

4mm×4mm QFNパッケージ LDO 2個内蔵I²C制御 降圧レギュレータ

特長

降圧レギュレータ

- 高効率: 最大93%
- 600mAの出力電流($V_{CC1} = 3V$, $V_{OUT} = 1.3V$)
- プログラム可能な出力電圧: 0.85V~1.55V
- 2.5V~5.5Vの入力電圧範囲
- 1.5MHzの固定周波数またはスペクトル拡散オプション
- ソフトスタート

LDO

- 2個のLDOレギュレータ: 50mA時0.3Vの損失

PowerPathコントローラ

- V_{CC} BATTを動的に安定化

I²C

- 標準(100kHz)または高速モード(400kHz)
- 24ピン(4mm×4mm)QFNパッケージ

アプリケーション

- Intelマイクロプロセッサ用電源(PXA27X)
- 携帯型計測機器

LT、LTC、LTはリニアテクノロジー社の登録商標です。

Burst Modeはリニアテクノロジー社の登録商標です。

PowerPathはリニアテクノロジー社の商標です。

I²CはPhilips Electronics N.V.の商標です。

5481178, 6580258, 6304066, 6127815, 6498466, 6611131を含む米国特許によって保護されています。スペクトル拡散は、現在特許出願中です。

概要

LTC[®]3445は、高効率のモノリシック同期式電流モード降圧レギュレータ、2個のLDOレギュレータ、PowerPath[™]コントローラ、およびI²C[™]インターフェースを内蔵しています。

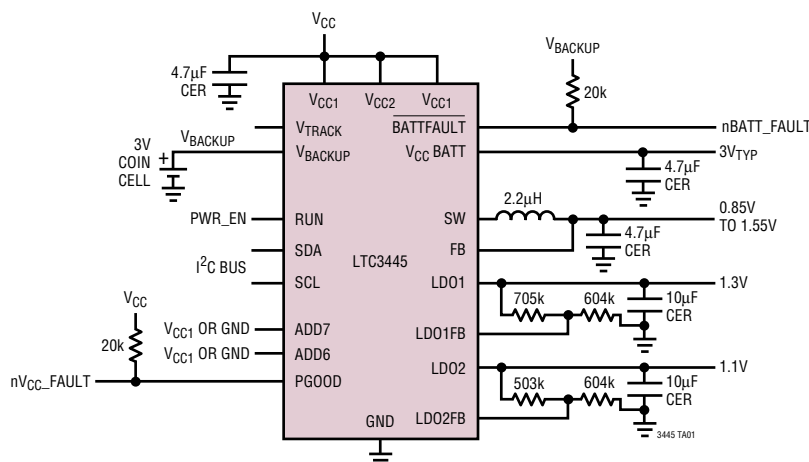
6ビットのプログラム設定によって、降圧レギュレータの出力電圧を0.85Vから1.55Vまでの範囲で選択できます。降圧レギュレータではさらに、固定(1.5MHz)またはスペクトル拡散のスイッチング周波数が使用できます。スペクトル拡散オプションの使用により、低ノイズ安定化出力、さらに入力ノイズの低ノイズ化も可能になります。これに加えて、I²Cインターフェースを介して、安定化出力電圧のスルーレートをプログラム設定することもできます。

LTC3445は、2個のLDO電圧レギュレータを内蔵しています。抵抗を外付けして、この各レギュレータの出力電圧をプログラム設定することが可能です。各LDOは最大50mAの電流を出力する能力を備えています。

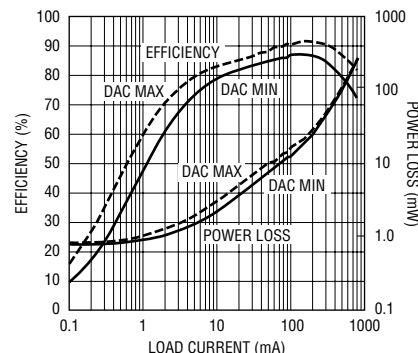
LTC3445は、バックアップ用バッテリーを自動的に選択するための制御回路(PowerPath)を内蔵しています。 V_{BACKUP} は通常、コイン・セルです。

動作時の標準的な消費電流はわずか360 μ Aで、シャットダウン時にはさらに27 μ Aまで低減されます。入力電圧範囲が2.5Vから5.5Vまでに規定されているため、LTC3445は1個のリチウムイオン・バッテリーを電源として使用するアプリケーションに最適です。自動Burst Mode[®]動作によって、軽負荷時に効率が向上するため、バッテリーの寿命をさらに延ばすことができます。

標準的応用例



効率および電力損失と
負荷電流、 $V_{CC1} = 3.6V$



3445 TA01b

3445fa

LTC3445

絶対最大定格

(Note 1)

V_{CC1} , V_{CC2} , SDA, SCL電圧	$-0.3V \sim 6V$
RUN, V_{TRACK} , V_{BACKUP} , PGOOD, ADD7, ADD6, FB, V_{CC} BATT, BATTFault電圧	$-0.3V \sim V_{CC1}$
SW電圧	$-0.3V \sim (V_{CC1} + 0.3V)$
LDO1FB, LDO2FB電圧	$-0.3V \sim V_{CC2}$
LDO1, LDO2電圧	$-0.3V \sim (V_{CC2} + 0.3V)$
LDO1, LDO2ソース電流	50mA
V_{CC} BATTソース電流	8mA
Pチャンネル・スイッチのソース電流 (DC)	800mA
Nチャンネル・スイッチのシンク電流 (DC)	800mA
ピークSWシンク電流とピークSWソース電流	1.3A
LDO1, LDO2, V_{CC} BATT出力の短絡時間	無制限
動作温度範囲 (Note 2)	$-40^{\circ}C \sim 85^{\circ}C$
接合部温度 (Note 3)	$125^{\circ}C$
保管温度範囲	$-65^{\circ}C \sim 125^{\circ}C$

パッケージ/発注情報

TOP VIEW UF PACKAGE 24-LEAD (4mm × 4mm) PLASTIC QFN $T_{JMAX} = 125^{\circ}C$, $\theta_{JA} = 37^{\circ}C/W$, $\theta_{JC} = 2.6^{\circ}C/W$ EXPOSED PAD (PIN 25) IS GND, MUST BE SOLDERED TO PCB	
ORDER PART NUMBER	UF PART MARKING
LTC3445EUF	3445
発注オプション テープ&リール:#TRを追加 鉛フリー:#PBFを追加 鉛フリー・テープ&リール:#TRPBFを追加 鉛フリー・デバイス・マーキング:http://www.linear.com/leadfree/	

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^{\circ}C$ での値。注記がない限り、 $V_{CC1} = V_{CC2} = 3.6V$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CC1} , V_{CC2}	Input Voltage Range		● 2.5		5.5	V
RUN	Run Threshold		● 0.3	1	1.5	V
PGOOD	Reports Undervoltage of any Regulator	PGOOD = 0.4V	● 3			mA
I_S	DC Bias Current (Shutdown)	RUN = 0		27	50	μA
	DC Bias Current (Buck, LDO1, LDO2 Disabled)	RUN = V_{CC1}		105	150	μA
Buck Regulator						
R_{FB}	Feedback Resistance			340		k Ω
$V_{OUT(MIN)}$	Regulated Output Voltage	$I_{OUT} = 100mA$, Burst Mode Operation Disabled	● 0.824	0.850	0.875	V
$V_{OUT(MAX)}$	Regulated Output Voltage	$I_{OUT} = 100mA$, Burst Mode Operation Disabled	● 1.504	1.55	1.597	V
$V_{OUT(STEP)}$	Output Voltage Step Size (0 to 48)	$I_{OUT} = 100mA$	● 13.1	14.7	16.1	mV
	Output Voltage Slew Rate = 00	$I_{OUT} = 100mA$, $V_{OUT} = 0.85V$ to $1.55V$		11.3		mV/ μs
	Output Voltage Slew Rate = 01	$I_{OUT} = 100mA$, $V_{OUT} = 0.85V$ to $1.55V$		7.5		mV/ μs
	Output Voltage Slew Rate = 10	$I_{OUT} = 100mA$, $V_{OUT} = 0.85V$ to $1.55V$		3.8		mV/ μs
	Output Voltage Slew Rate = 11	$I_{OUT} = 100mA$, $V_{OUT} = 0.85V$ to $1.55V$		0.9		mV/ μs
I_{PK}	Peak Inductor Current	$V_{CC1} = 3V$, $V_{FB} = 0.5V$ or $V_{OUT} = 90\%$, Duty Cycle < 35%	0.75	1	1.25	A
$V_{LOADREG}$	Output Voltage Load Regulation			0.5		%

3445fa

電氣的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC1} = V_{CC2} = 3.6\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I_S	Additional Input DC Bias Current For Buck	(Note 4)				
	Active Mode	$V_{OUT} = 90\%$, $I_{LOAD} = 0\text{A}$		220		μA
	Sleep Mode	$V_{OUT} = 103\%$, $I_{LOAD} = 0\text{A}$		6		μA
f_{OSC}	Nominal Oscillator Frequency	$V_{OUT} = 100\%$	● 1.2	1.5	1.8	MHz
		$V_{OUT} = 0\text{V}$		300		kHz
R_{PFET}	$R_{DS(ON)}$ of P-Channel FET	$I_{SW} = 100\text{mA}$		0.45		Ω
R_{NFET}	$R_{DS(ON)}$ of N-Channel FET	$I_{SW} = -100\text{mA}$		0.325		Ω
I_{LSW}	SW Leakage	$V_{RUN} = 0\text{V}$, $V_{SW} = 0\text{V}$ or 5V , $V_{CC1} = 5\text{V}$		1		μA

LD01

I_S	Additional DC Bias for LDO1			23	30	μA
V_{OUT}	Regulated Output Voltage	$2.5\text{V} < V_{IN} < 5.5\text{V}$, $1\text{mA} < I_{LOAD} < 50\text{mA}$		0.582	$V_{CC2} - 0.3$	V
	Line Regulation	$\Delta V_{CC2} = 2.5\text{V}$ to 5.5V , $I_{LOAD} = 1\text{mA}$, $V_{OUT} = 1.2\text{V}$		1	5	mV
	Load Regulation	$V_{CC2} = 2.5\text{V}$, $\Delta I_{LOAD} = 1\text{mA}$ to 50mA , $V_{OUT} = 1.2\text{V}$			15	mV
	Dropout Voltage	$I_{LOAD} = 50\text{mA}$		0.3		V
V_{FB}	LDO Feedback Voltage	$I_{LOAD} = 0\text{mA}$	● 0.582	0.6	0.618	V

LD02

I_S	Additional DC Bias for LDO2			23	30	μA
V_{OUT}	Regulated Output Voltage	$2.5\text{V} < V_{IN} < 5.5\text{V}$, $1\text{mA} < I_{LOAD} < 50\text{mA}$		0.582	$V_{CC2} - 0.3$	V
	Line Regulation	$\Delta V_{CC2} = 2.5\text{V}$ to 5.5V , $I_{LOAD} = 1\text{mA}$, $V_{OUT} = 1.2\text{V}$		1	5	mV
	Load Regulation	$V_{CC2} = 2.5\text{V}$, $\Delta I_{LOAD} = 1\text{mA}$ to 50mA , $V_{OUT} = 1.2\text{V}$			15	mV
	Dropout Voltage	$I_{LOAD} = 50\text{mA}$		0.3		V
V_{FB}	LDO Feedback Voltage	$I_{LOAD} = 0\text{mA}$	● 0.582	0.6	0.618	V

PowerPath Controller

V _{TRACK}	Tracked Input Voltage			3	V _{CC1} – 0.2	V	
V _{TRACK} – V _{CC BATT}	Tracked Output Voltage at V _{CC BATT}	3V < V _{TRACK} < V _{CC1} – 0.2V		–0.2	0	0.2	V
V _{BACKUP}	Backup Battery Voltage			2	5.5	V	
I _{BACKUP}	Backup Battery Bias Current	V _{CC1} = V _{TRACK} = 0V, V _{BACKUP} = 2.5V		4	6.5	μA	
V _{CC BATT}	V _{CC BATT} Output	V _{TRACK} = 0V, V _{CC1} = 4V, I _{VCCBAT} = 8mA		2.85	3	3.1	V
I _{VCCBATT}	Max V _{CC BATT} Output Current	V _{CC1} = 2.5V		8		mA	
$\overline{\text{BATTFAULT}}$	V _{CC1} High Level (Good)	Where $\overline{\text{BATTFAULT}}$ Goes High		2.65	2.8	2.9	V
	V _{CC1} Low Level (Bad)	Where $\overline{\text{BATTFAULT}}$ Goes Low		2.4	2.5	2.6	V
	Hysteresis	V _{CC1} = 0V to 4.2V, 4.2 to 0V		0.3		V	

I²C Interface

$f_{I2C(MAX)}$	Maximum I ² C Operating Frequency	(Note 5)		400		kHz
t_{BUF}	Bus Free Time Between Stop and Start Condition	(Note 5)		1.3		μs
$t_{HD(RSTA)}$	Hold Time After (Repeated) Start Condition	(Note 5)		600		ns

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC1} = V_{CC2} = 3.6\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$t_{SU(RSTA)}$	Repeated Start Condition Setup Time	(Note 5)			600	ns
$t_{SU(STOP)}$	Stop Condition Setup Time	(Note 5)			600	ns
$t_{HD(DIN)}$	Data Hold Time, Input	(Note 5)			0	ns
$t_{SU(DAT)}$	Data Setup Time	(Note 5)			100	ns
V_{THR}	SCL and SDA Logic Input Threshold			1.8		V
V_{HYS}	SCL and SDA Logic Input Hysteresis	(Note 5)		50		mV
$I_{LVTRACK}$	V_{TRACK} Leakage	$V_{CC} = 3.6\text{V}$		1.44	2.2	μA
$I_{LVBACKUP}$	V_{BACKUP} Leakage	$V_{CC} = 3.6\text{V}$	●		1	μA
I_{LADD7}	ADD7 Leakage	$V_{CC} = 3.6\text{V}$	●		1	μA
I_{LADD6}	ADD6 Leakage	$V_{CC} = 3.6\text{V}$	●		1	μA
I_{LSCL}	SCL Leakage	$V_{CC} = 3.6\text{V}$	●		1	μA
I_{LSDA}	SDA Leakage	$V_{CC} = 3.6\text{V}$	●		1	μA
I_{LLD01}	LD01 Leakage	$V_{CC} = 3.6\text{V}$, RUN = 0	●		1	μA
I_{LLD02}	LD02 Leakage	$V_{CC} = 3.6\text{V}$, RUN = 0	●		1	μA
$I_{LLD01FB}$	LD01FB Leakage	$V_{CC} = 3.6\text{V}$, RUN = 0	●		1	μA
$I_{LLD02FB}$	LD02FB Leakage	$V_{CC} = 3.6\text{V}$, RUN = 0	●		1	μA
$I_{LBATTFAULT}$	BATTFAULT Leakage	$V_{CC} = 3.6\text{V}$	●		1	μA
$I_{FB1,2}$	LDO Feedback Input Current	$V_{FB1} = 0.6\text{V}$	●		1	μA

Note 1: 絶対最大定格は、それを超えるとデバイスの寿命に影響を及ぼす値。

Note 2: LTC3445EUFは、 $0^\circ\text{C} \sim 70^\circ\text{C}$ の温度範囲で性能仕様に適合することが保証されている。 $-40^\circ\text{C} \sim 85^\circ\text{C}$ の動作温度範囲での仕様は、設計、特性評価、および統計的なプロセス・コントロールとの相関で確認されている。

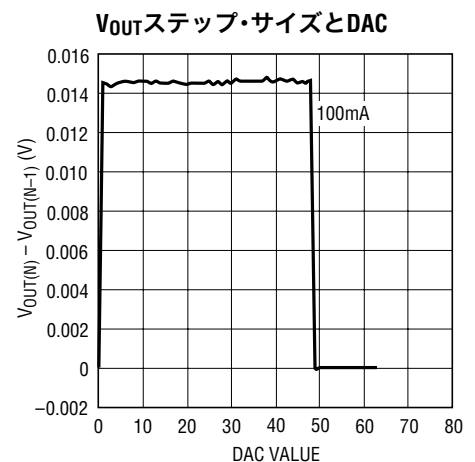
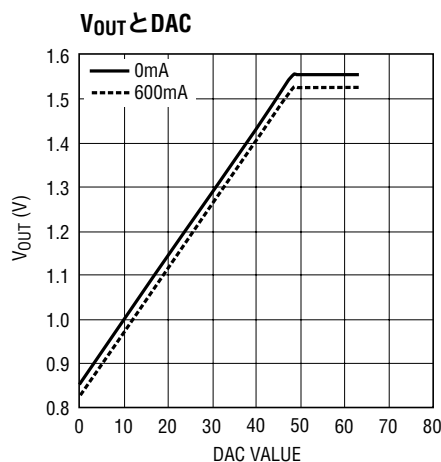
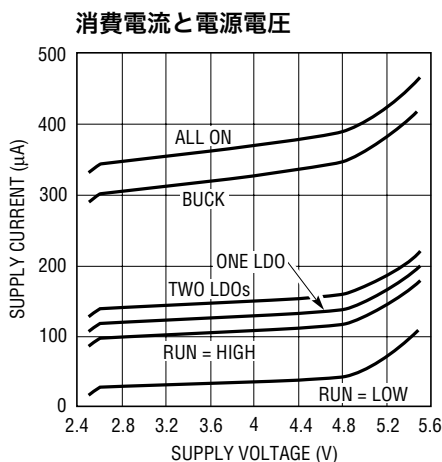
Note 3: T_J は周囲温度 T_A および消費電力 P_D から次式にしたがって計算される。

$$T_J = T_A + P_D \cdot 37^\circ\text{C/W}$$

Note 4: スイッチング周波数で供給される内部ゲート電荷により、動作時消費電流は増加する。

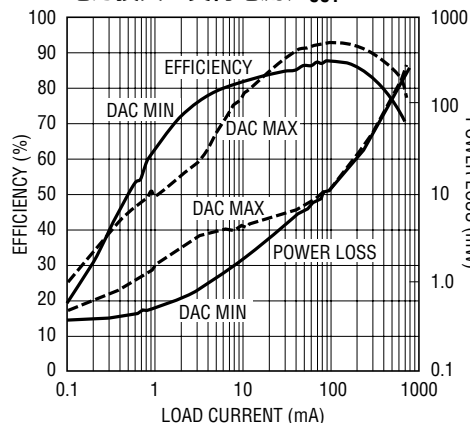
Note 5: 設計によって決定されており、製造時にテストは行われない。

標準的性能特性

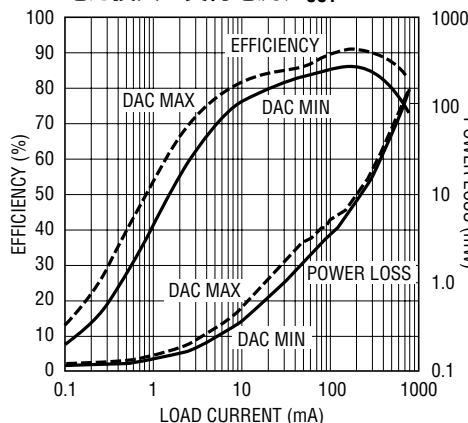


3445fa

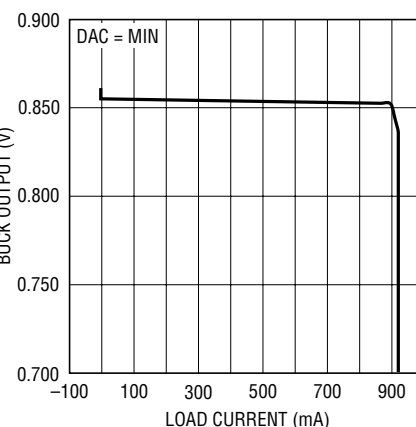
標準的性能特性

降圧レギュレータの効率および
電力損失と負荷電流、 $V_{CC1} = 2.5V$ 

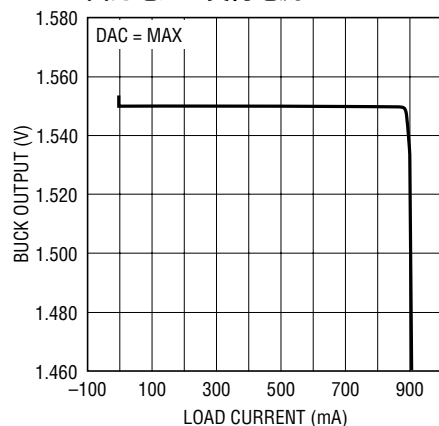
3445 G04

降圧レギュレータの効率および
電力損失と負荷電流、 $V_{CC1} = 4.2V$ 

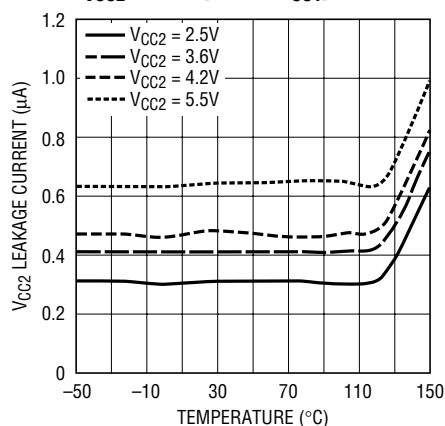
3445 G05

降圧レギュレータの
出力電圧と負荷電流

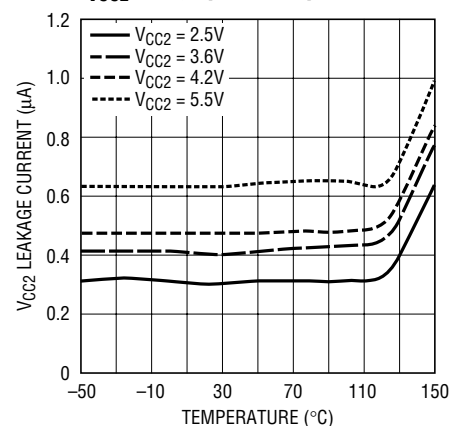
3445 G06

降圧レギュレータの
出力電圧と負荷電流

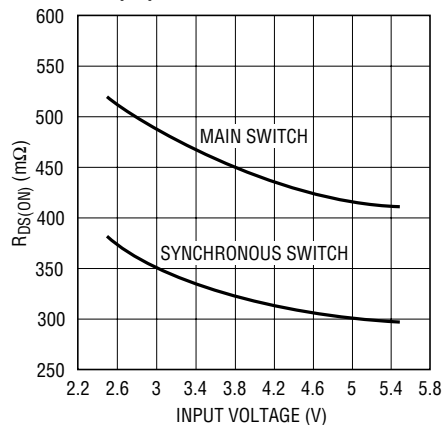
3445 G07

 I_{VCC2} と温度 (RUN = V_{CC1})

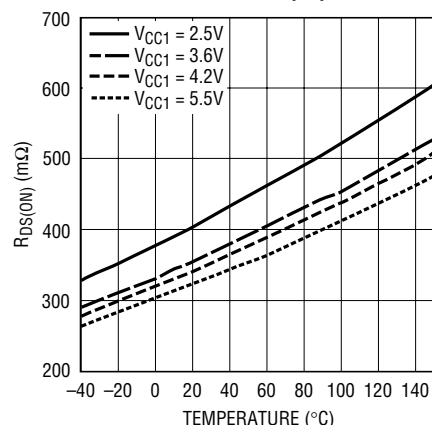
3445 G08

 I_{VCC2} と温度 (RUN = 0V)

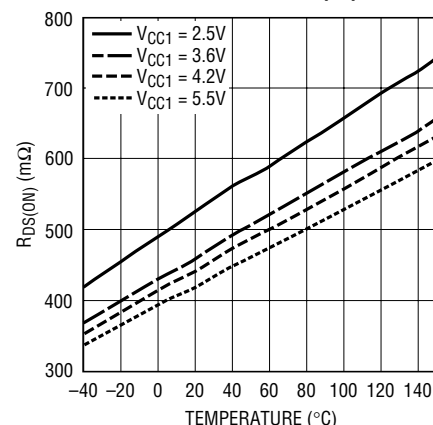
3445 G09

 $R_{DS(ON)}$ と入力電圧

3445 G10

同期スイッチの $R_{DS(ON)}$ と温度

3445 G11

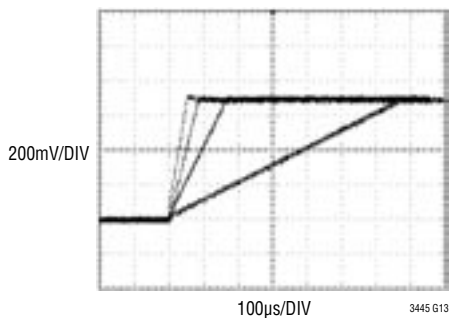
メイン・スイッチの $R_{DS(ON)}$ と温度

3445 G12

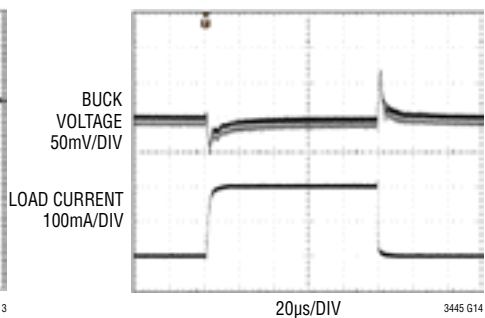
3445fa

標準的性能特性

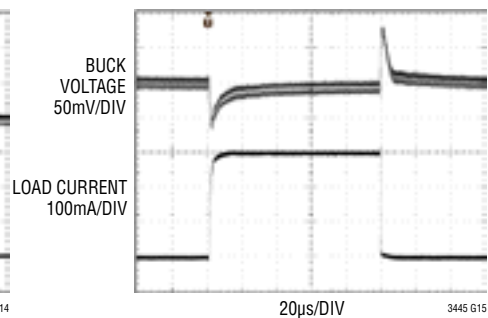
DAC Min~DAC Maxの
スルーレート



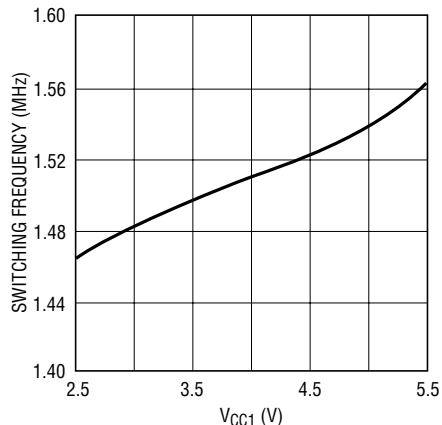
降圧レギュレータ(DAC = Min)の
100mA~300mA負荷ステップ過渡応答



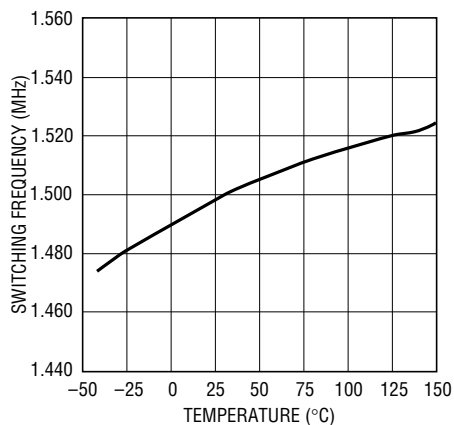
降圧レギュレータ(DAC = Max)の
100mA~400mA負荷ステップ過渡応答



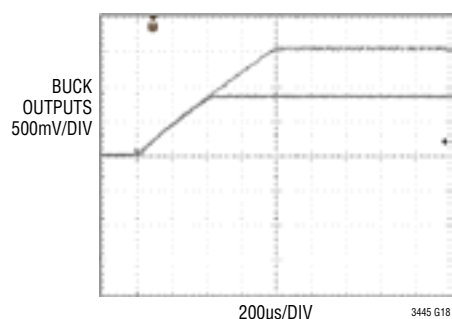
降圧レギュレータの
スイッチング周波数と V_{CC1}



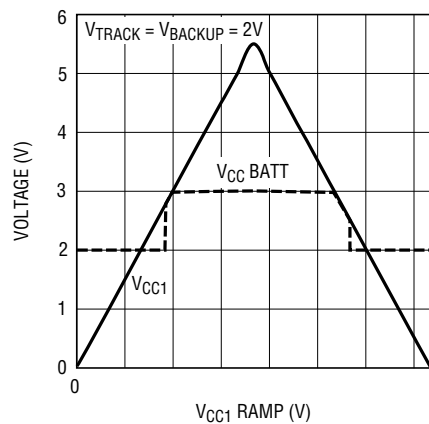
降圧レギュレータの
スイッチング周波数と温度



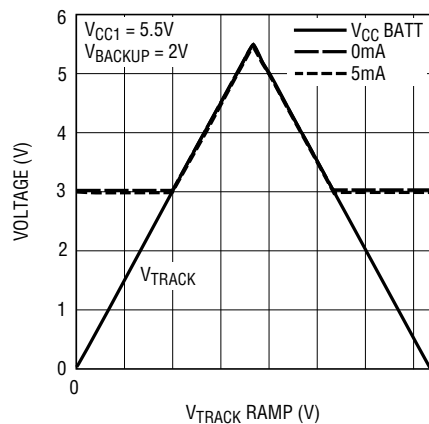
ソフトスタート (DAC = Min
およびMax)、4.7Ω負荷



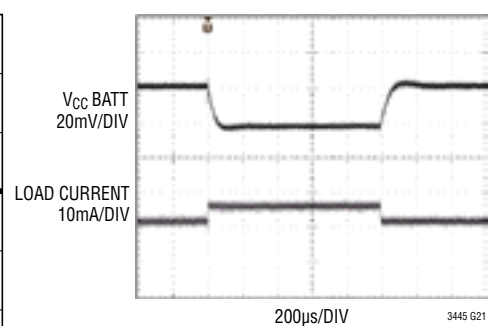
V_{CC} BATTと V_{CC1}



V_{CC} BATTと V_{TRACK}

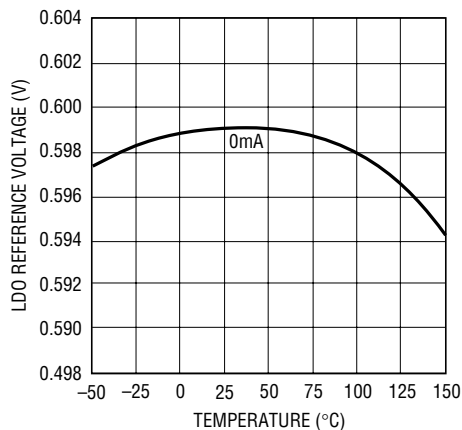


PowerPath LDOの1mA~5.5mA
負荷ステップ過渡応答



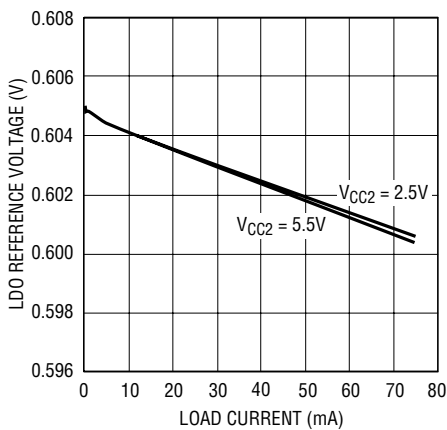
標準的性能特性

LDOのリファレンス電圧と温度

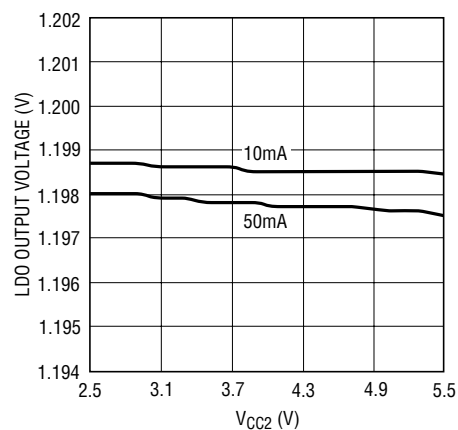


3445 G22

LDOのリファレンス電圧と負荷電流

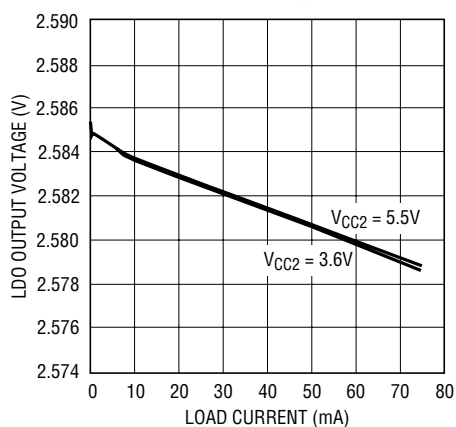


3445 G23

LDOの出力電圧と V_{CC2} 

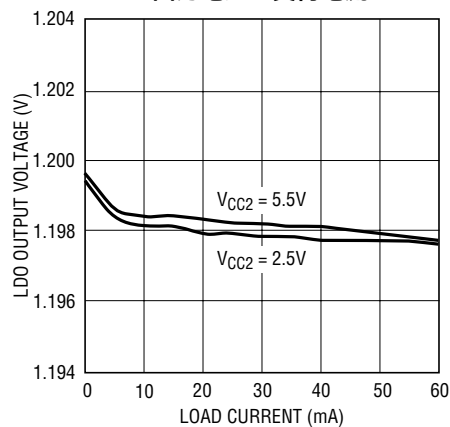
3445 G24

LDOの出力電圧と負荷電流



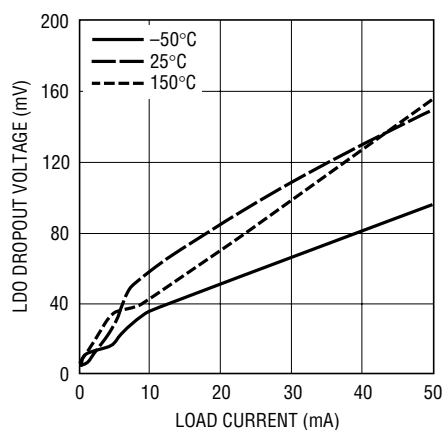
3445 G25

LDOの出力電圧と負荷電流

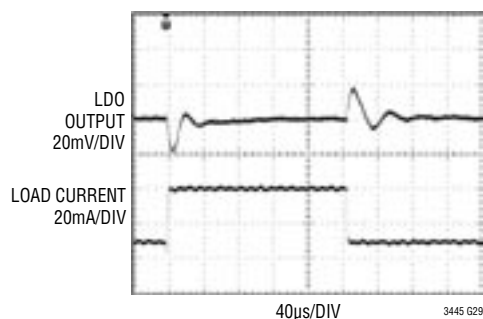


3445 G26

LDOの損失電圧と負荷電流



3445 G28

LDOの負荷ステップ過渡応答
(10mA~40mA)

3445 G29

ピン機能

V_{TRACK} (ピン1): 電源が3Vを超えると、V_{CC} BATTがトラッキングする電源センスです。この電圧は、V_{CC1}以下とすることが必要です。

V_{BACKUP} (ピン2): バックアップ・バッテリー入力。

V_{CC1} (ピン3、10): 電源(2.5V~5.5V)。この2本のV_{CC1}ピンは、2.5V~5.5V電源に外部接続することが必要です。

PGOOD (ピン4): 障害リポート(低電圧)。LDO1、LDO2、または降圧レギュレータの出力が低下すると、オープン・ドレインのドライバが常に電流をシンクします。

ADD7 (ピン5): I²Cストラップ可能アドレス(ビット7) –V_{CC1}またはグラウンド。

SDA (ピン6): I²Cデータ入力。

NC (ピン7): 無接続。

SCL (ピン8): I²Cクロック入力。

ADD6 (ピン9): I²Cストラップ可能アドレス(ビット6) –V_{CC1}またはグラウンド。

GND (ピン11): 降圧レギュレータのNFETのグラウンド。

NC (ピン12): 無接続。

NC (ピン13): 無接続。

SW (ピン14): 降圧レギュレータのスイッチ。

RUN (ピン15): チップ・イネーブル。1.5Vのときに、デバイスがイネーブルになります。このピンを0.3Vよりも低い電圧に強制設定すると、デバイスがシャットダウンします。シャットダウン時には、すべての機能がデイスエーブルになり、消費電流が35μA未満に抑えられます。RUNをフローティング状態にしないでください。この電圧は、V_{CC1}以下とすることが必要です。

NC (ピン16): 無接続。

FB (ピン17): 降圧レギュレータのフィードバック・ピン。

V_{CC} BATT (ピン18): V_{CC} BATTのPowerPath出力。

BATTFault (ピン19): オープン・ドレイン出力。V_{CC1}が低下するときに、ロー・レベルになります。

LD01FB (ピン20): LDO1のレギュレータ・センス。

LD01 (ピン21): LDO1のレギュレータ出力。

V_{CC2} (ピン22): LDOのレギュレータ電源電圧。

LD02 (ピン23): LDO2のレギュレータ出力。

LD02FB (ピン24): LDO2のレギュレータ・センス。

露出パッド (ピン25): グラウンド。電気的接触と熱性能の最適化のために、PCBグラウンドに半田付けすることが必要です。

機能図

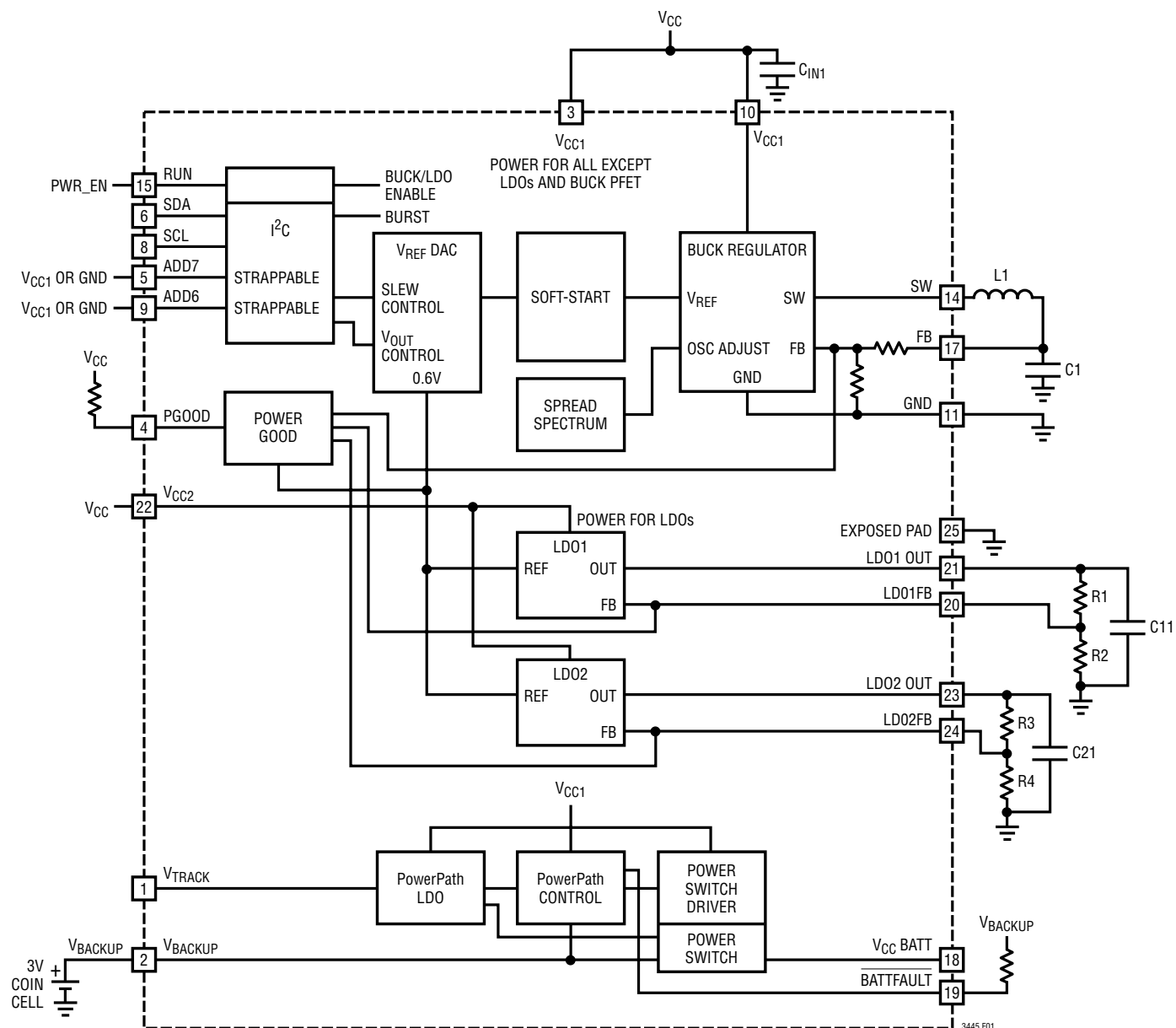


図1

機能図

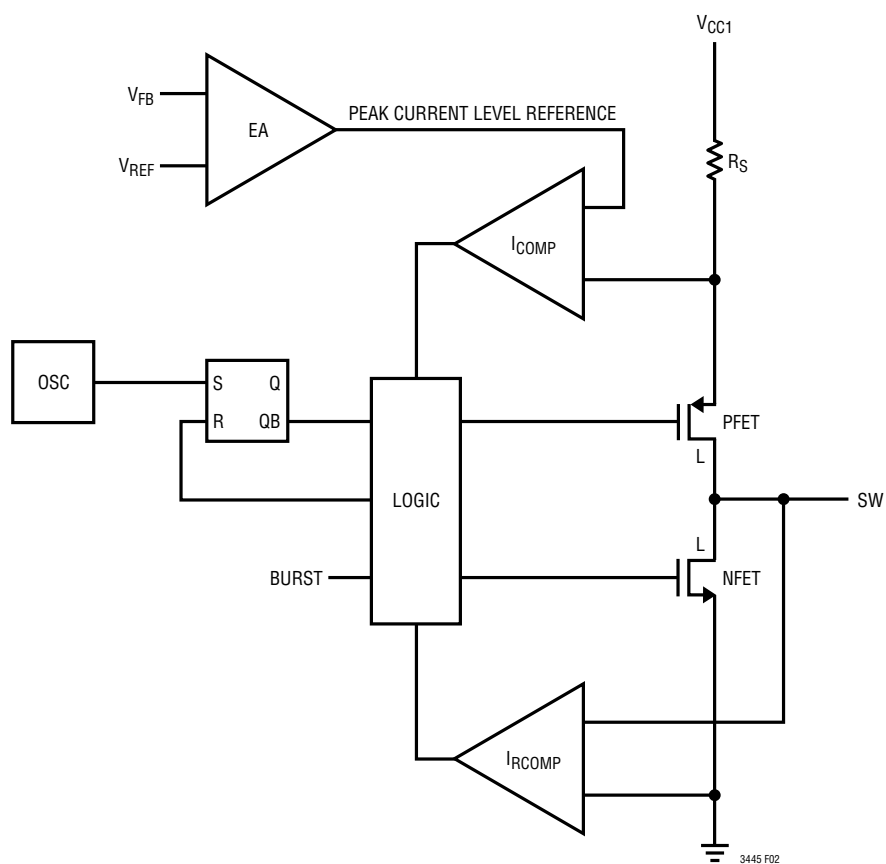
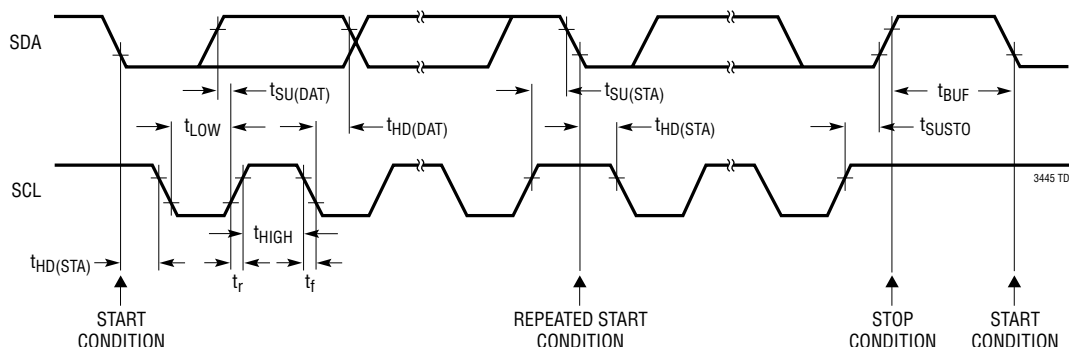


図2. 降圧レギュレータの詳細

タイミング図

I²C高速モードのタイミング仕様(参考用)

SYMBOL	PARAMETER	MIN	TYP	MAX	UNITS
f _{I2C} (MAX)	Maximum I ² C Operating Frequency	0		400	kHz
t _{BUF}	Bus Free Time Between Stop and Start Condition	1.3			μs
t _{HD} (RSTA)	Hold Time After (Repeated) Start Condition	0.6			μs
t _{SU} (RSTA)	Repeated Start Condition Setup Time	0.6			μs
t _{SU} (STOP)	Stop Condition Setup Time	0.6			μs
t _{HD} (DAT)	Data Hold Time	0		0.9	ns
t _{SU} (DAT)	Data Setup Time	100			ns
t _{LOW}	Clock Low Period	1.3			μs
t _{HIGH}	Clock High Period	0.6			μs
t _{SP}	Pulse Width of Spikes Suppressed by Input Filter	0		50	ns
t _f	Clock, Data Fall Time (Note 1)	20 + 0.1 • C _B		300	ns
t _r	Clock, Data Rise Time (Note 1)	20 + 0.1 • C _B		300	ns

Note 1: C_B = 1つのバス・ラインの容量

動作 (図1を参照)

降圧レギュレータ

メイン制御ループ

LTC3445は、固定周波数またはスペクトル拡散周波数の電流モード降圧アーキテクチャ(図2)を採用しています。メイン・スイッチ(PチャネルMOSFET)と同期スイッチ(NチャネルMOSFET)の両方を内蔵しています。通常の動作時は、発振器がRSラッチをセットする各サイクルで内部のトップ・パワーMOSFETがオンになり、電流コンパレータI_{COMP}がRSラッチをリセットすると、オフになります。

I_{COMP}がRSラッチをリセットするときのピーク・インダクタ電流は、誤差アンプEAの出力によって制御されます。負荷電流が増加すると、内蔵リファレンス電圧と比較して帰還電圧FBがわずかに低下します。これに伴って、平均インダクタ電流が新しい負荷電流と合致するまで、EAの出力電圧が増加します。トップMOSFETがオフの間は、電流反転コンパレータI_{RCMP}によって指示されるように、インダクタ電流が反転を開始するか、または次のクロック・サイクルが開始されるまで、ボトムMOSFETがオンになります。

動作 (図1を参照)

Burst Mode動作

LTC3445は、その内部パワーMOSFETが負荷要求に基づいて間欠的に動作するBurst Mode動作が可能です。

Burst Mode動作時には、インダクタのピーク電流が出力負荷とは無関係に約200mAに設定されます。各バーストは、軽負荷時の数サイクルから、中程度の負荷時の短いスリープ間隔を含めた、ほとんど連続的なサイクリングまで持続することがあります。1つのバーストの発生から、次のバーストの発生までの間に、パワーMOSFETとこの動作に必要な回路がすべてオフになるので、降圧レギュレータの静止電流が6 μ Aに低減されます。このスリープ状態のときに負荷電流が供給されるのは、出力コンデンサからのみです。出力電圧が低下するに従ってEAの出力が上昇し、これがスリープ・スレシヨルドを超えると、BURSTコンパレータがトリップし、トップMOSFETがオンになります。このプロセスは、負荷要求に応じて異なる速度で繰り返されます。

短絡保護

出力がグランドに短絡すると、発振器の周波数が約300kHzに低下します。この周波数のフォールドバックによって、インダクタ電流のディケイに十分な時間が確保されるので、電流の暴走が防止されます。V_{OUT}が増加して0Vを超えると、発振器の周波数が徐々に1.5MHzまで増加します。

低電源電圧動作

LTC3445は、最低2.5Vの低い入力電源電圧で動作しますが、この低い電圧時には出力電流の最大許容値が低下します。図3には、各種の出力電圧を供給するために使用する入力電圧の関数として変化する標準的な最大出力電流の低下を図示しています。

スローブ補償とインダクタのピーク電流

スローブ補償により、高いデューティ・サイクル時の低調波発振が防止されるので、固定周波数アーキテクチャの安定性が得られます。これは、40%を超すデューティ・サイクルでインダクタ電流信号に補償ランプを追加することによって、内部的に実現されます。通常、スローブ補償が追加されると、最大インダクタ・ピーク電流はデューティ・サイクルが40%を超すときに減少します。ただし、LTC3445には、この補償ランプの影響を相殺する特許出願中の方式が採用されているので、デューティ・サイクルの全範囲にわたって最大インダクタ・ピーク電流が一定に維持されます。

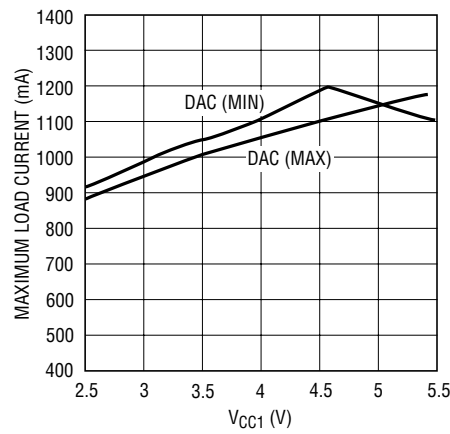


図3. 降圧レギュレータの最大ピーク電流とV_{CC1}

スペクトル拡散

LTC3445には、2個のレジスタ・ビットを使用してインネブル可能なスペクトル拡散モードが用意されています。このスペクトル拡散モード時には、スイッチング周波数が1.5MHzの中心周波数を中心にして変化します。スペクトル拡散によって、安定化出力のノイズと入力ノイズが低減されます。

図4には、LTC3445をスペクトル拡散モードに設定したときのノイズ低減機能を図示しています。周波数拡散の割合(%値)は、以下のようにレジスタ5の2つのビットで制御します。

- 00 = 0%の拡散
- 01 = 7.4%の拡散
- 10 = 14.8%の拡散
- 11 = 22.4%の拡散

DAC

降圧出力電圧の制御は、6ビットDACレジスタ(REG0[5:0])とGOビット(REG2[0])のプログラム設定によって行います。出力電圧範囲は、約15mVステップで0.85V~1.55Vです。DACの設定範囲は0~48です。48を超える設定を行っても、これはデフォルトで48の設定値になります。望ましいDAC設定をロードするときには、GOビットを0から1に変更することが必要です。GOビットの遷移が実行されると、その瞬間にロードされたDAC設定値にV_{OUT}が変化し始めます。

スルーレート

各DAC設定で異なるV_{OUT}の変化率を制御するときには、2ビット・レジスタを使用します。スルーレートの制御は、一組のマイクロステップを使用してV_{OUT}をその新しい設定値にステップさせる方法で行います。レジスタの設定とこれに対応するスルーレートを以下の表に記載します。

動作 (図1を参照)

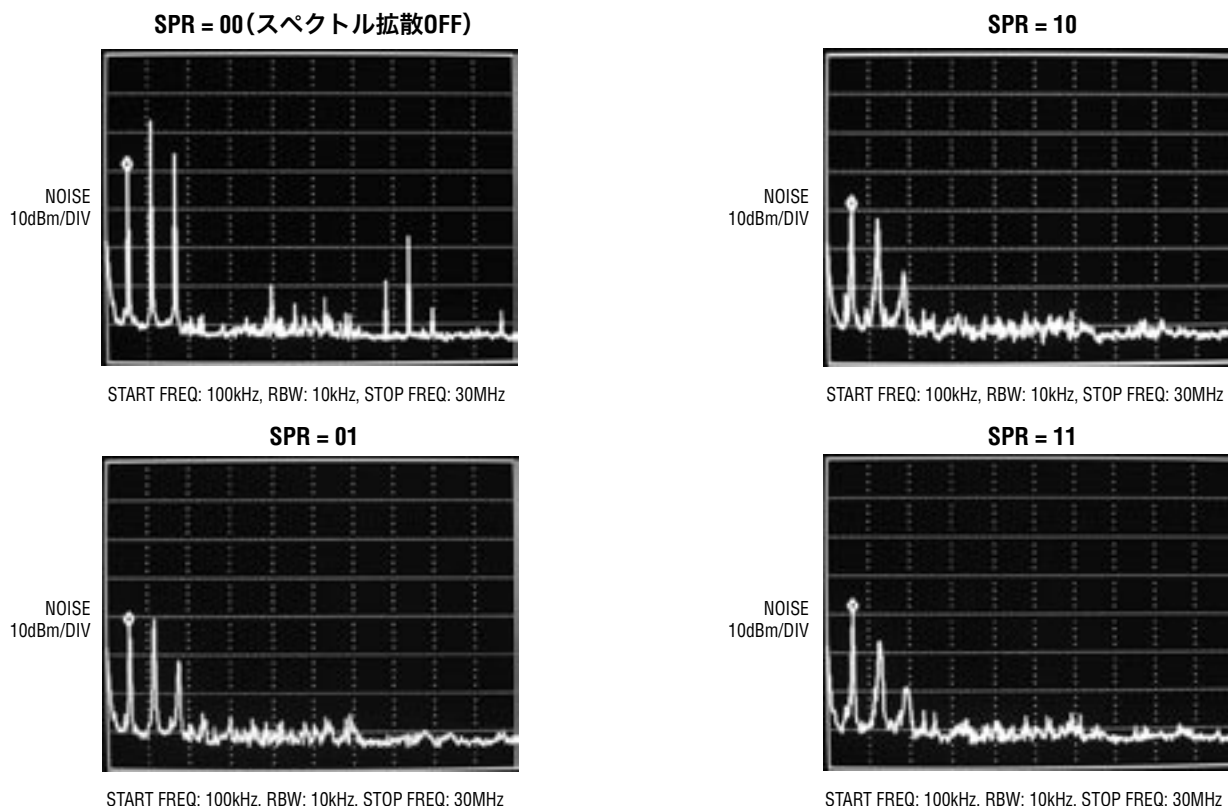


図4. LTC3445の出力ノイズ・スペクトル

レジスタ1 [1:0]	スルーレート (mV/μs)
00	11.3
01	7.5
10	3.8
11	0.9

DACの遷移時には、PGOODフォールト・リポート機能がディスエーブルされる点に注意してください。

LDO動作

可変動作

LTC3445には、出力電圧範囲が0.6Vから($V_{CC2} - 0.3V$)までの50mA LDOが2個内蔵されています。図1に示すように、この出力電圧は2本の外付け抵抗の比によって設定されます。0.6Vの帰還電圧(LDOx $\overline{FB}$ ピン)を維持するために、各LDOは出力電圧(LDOxピン)をサーボします。その後、 R_1 と R_2 の電流が $0.6V/R_2$ に等しくなります。安定化さ

れた電圧は、以下の数式から求められる数値になります。

$$V_{OUT} = (0.6V/R_2) \cdot (R_1 + R_2)$$

周波数補償

LTC3445は、その内部の支配的ポールによって周波数補償が行われます。良好な安定性を維持するための容量として、通常は $2\mu F$ から $10\mu F$ までの出力コンデンサで十分です。安定性を確実にするためには、出力ピンと帰還ピンの間に1本のフィードフォワード・コンデンサを接続しなければならない場合があります。この方法により、大きい値の帰還抵抗に存在する浮遊容量によって形成されるポールがキャンセルされます。さらに、帰還コンデンサはノイズのピックアップを最小限に抑え、リップル除去性能を改善します。

PowerPath動作

PowerPathの出力($V_{CC BATT}$)の制御は、メイン・バッテリー(V_{CC1})、 V_{TRACK} 、 V_{BACKUP} の3つの入力を組み合わせて行います。

動作 (図1を参照)

V_{CC1} が2.8Vを超える電圧まで増加すると、PowerPathのLDOがイネーブルになり、3Vまたは V_{CC1} より低い電圧に設定されます。 V_{TRACK} が3V以上になった時点で、PowerPathのLDO出力($V_{CC BATT}$)電圧を V_{TRACK} の200mV以内に調整します。 V_{TRACK} は V_{CC1} 以下の電圧にする必要がある点に注意してください。 V_{TRACK} が3Vよりも低い電圧に低下した場合は、 V_{CC1} を使用して、PowerPathのLDO出力($V_{CC BATT}$)を3Vに安定化させます。 V_{CC1} が2.4Vよりも低い電圧に減少すると、PowerPath LDOの接続が切断され、 V_{BACKUP} が $V_{CC BATT}$ に接続されます。

メイン・バッテリーの接続が切断された状態をレポートするために、PowerPathのフォールト検出回路ではオープン・ドレイン・ドライバ($BATTFault$)が使用されます。

PowerPath回路の各種の状態を図5に示します。一般的に、 V_{BACKUP} はコイン型のセルです。ただし、これ以外のタイプのバックアップ電源を使用しても構いません。

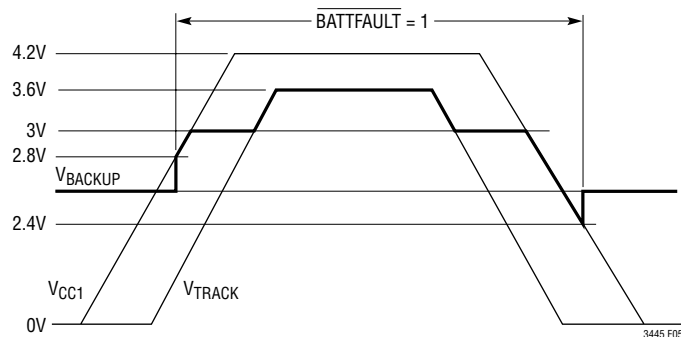


図5

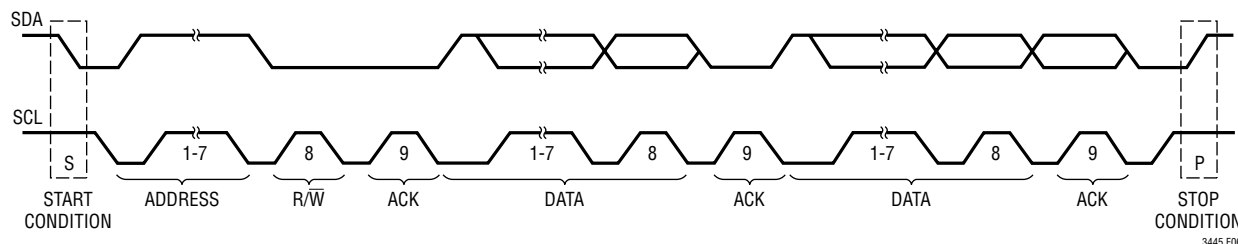
I²C動作

- ・簡易な2線インターフェース
- ・複数のデバイスを同じバス上に接続することが可能
- ・アイドル・バスでは、SDAとSCLの各ラインを“H”レベルに設定しなければならない。
- ・LTC3445は読み出し/書き込みデバイス
- ・マスタがバスを制御
- ・各デバイスは、データの前に割り当てられる固有のアドレスをリスニング

I²Cバス/SMBusの概要説明

I²CバスとSMBusは2線、双方向、シリアル通信バスの妥当な類例です。3番目の線、すなわちグランド・ラインが暗黙的に含まれるので、これらのバスを2線と呼ぶことは、厳密には正確ではありません。2線上の信号はともに、バス上のすべてのデバイスに共通すると考えられる1つのグランドを本質的に基準とするので、バス上の異なるデバイスのグランド間で大きいグランド降下またはスパイクが発生すると、通信の中断や妨害が引き起こされる可能性があります。この両方のタイプのバスでは、バス上のあるデバイスによって制御されていないときに、外部で“H”レベル電圧にプルアップされている1本のデータ・ラインと1本のクロック・ラインが使用されます。バス上の各デバイスは、データとクロックの各ラインを“L”レベルにすることしかできないため、1つ以上のデバイスがバスを制御しようとしているかどうかを容易に検出できます。最終的には、1つのデバイスがラインを解放しても、ラインが“H”にならない場合は、他のデバイスがまだ“L”であるということです。データおよびクロック・ラインのプルアップは一般的に、外付けのディスクリット抵抗によって行われますが、外付けの電流ソースを使用することも可能です。特定のデバイスに対して別のデバイスが通信動作を実行しようとしているかを特定のデバイスに通知するために使用される専用のラインがないので、各デバイスが応答する固有のアドレスを指定する必要があります。通信動作の最初のステップは、アドレスをバス上に送信し、別のデバイスがこれに応答するかを確認するまで待機することです。応答が検出されると、その後で有意なデータをデバイス間で交換することが可能になります。

一般的に、1つのデバイスがその動作時のほとんど大部分の間クロック・ラインを制御し、通常は他のデバイスにデータを送信し、これらのデバイスがデータを送り返すかをポーリングします。このデバイスをマスタと呼びます。バス競合を解決するうえで効果的なプロトコルが存在するため、複数のマスタを持つことは確実に可能であり、マスタ以外のデバイス(スレーブ)も同様に、クロックの制御によって立上がりエッジを遅延させたり、

図6. 標準的な2線シリアルI²Cのタイミング信号波形

3445fa

動作 (図1を参照)

計算や通信を完了させるために、より多くの時間を割り当てることが可能です(クロック伸長)。スレーブ・デバイスは、マスタからの通信に対して確認応答を行うために、データ・ラインを制御できる必要があります、一部のデバイスはマスタにデータを送り返す動作を実行できることが要求されます。つまり、これらのデバイスはこの動作を実行している間に、データ・ラインを制御することになります。多くのスレーブ・デバイスはクロック信号を伸長する必要がなく、またクロック・ラインを“L”レベルにする能力を備えていません。これは、LTC3445にも当てはまりません。

データの交換は、8ビットのパケットで構成されるバイト形式で行われます。スレーブによるバイトの確認応答(データ・ラインが“L”レベル)またはマスタによる非確認応答(データ・ラインが“H”レベルに保持される)が要求されるので、通信は9ビットのセグメントに分割されます。すなわち、1バイトの後に、確認応答用の1ビットが続きます。例えば、アドレスを送信する場合には、7ビットのデバイス・アドレス、読み出しまたは書き込み動作のどちらが実行されるかを指示する1ビット、そしてスレーブによる確認応答を可能にする1ビットを指定する必要があります。所定の送信で合計何個のバイトを交換可能であるかに関する理論上の制限はありません。

I²CとSMBusの仕様は非常に類似しており、SMBusの仕様はI²Cから派生したものです。一般的に、SMBusは低消費電力の機器(特にバッテリー電源動作の機器)を対象としており、低い消費電力に重点が置かれています。これに対して、I²Cはバスの消費電力が重要視されない高速システムを対象としています。I²Cでは、3つの異なる最高速度に対して3つの異なる仕様が規定されています。すなわち、標準モード(最大100kHz)、高速モード(最大400kHz)、およびHSモード(最大3.4MHz)が規定されています。標準モードと高速モードは大きな相違がありませんが、HSモードはハードウェアとソフトウェアの観点から見ると大きく異

なります。そのために、HS速度でデータの転送を開始するときには、その前に標準モードまたは高速モードの速度でコマンドの実行を開始しておくことが必要となります。SMBusでは、単に100kHzの最大速度が規定されているだけです。

STARTおよびSTOP条件

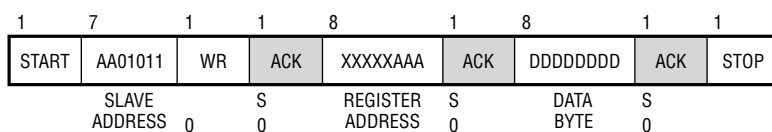
バスが使用されていないときには、SCLとSDAの両方を“H”に保持する必要があります。バス・マスタは、SCLが“H”の間にSDAを“H”から“L”に遷移させるSTART条件によって、送信の開始を通知します。マスタがスレーブとの通信を完了すると、SCLが“H”の間にSDAを“L”から“H”のレベルに遷移させるSTOP条件を発行します。その後で、バスは別の送信のために開放されます。

確認応答

マスタとスレーブ間のハンドシェーキングに確認応答信号が使用されます。確認応答信号(“L”アクティブ)をスレーブが送信することによって、マスタは最後のバイト情報が受信されたことを確認します。マスタは、確認応答に関するクロック・パルスが発生します。確認応答のクロック・パルスが送信される期間中、トランスミッタ・マスタはSDAライン(“H”)を解放します。スレーブ・レシーバは、確認応答のクロック・パルスが“H”の間にSDAラインが安定した“L”の状態に維持されるように、このクロック・パルスが送信される期間中にSDAラインをプルダウンしなければなりません。

スレーブ・レシーバがスレーブ・アドレスに対する確認応答を行わない場合には(例えば、何らかのリアルタイム機能を実行しているために、受信が不可能な場合)、スレーブがデータ・ラインを“H”にする必要があります。その後で、マスタはSTOP条件を発行し、転送を中断することができます。

書き込みバイト・プロトコル



読み出しバイト・プロトコル

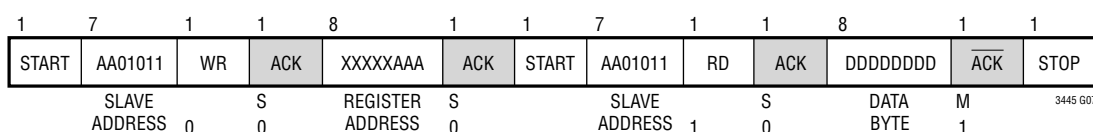


図7

動作 (図1を参照)

スレーブ・レシーバがスレーブ・アドレスに対する確認応答を行ったにもかかわらず、その後の転送動作でデータ・バイトを受信できなくなった場合、マスタは転送を再度中断しなければなりません。これは、その後に続く最初のバイトでスレーブが非確認応答信号を発生することで指示されます。スレーブはデータ・ラインを“H”に保持し、マスタはSTOP条件を発行します。読み出し動作でスレーブがデータ・バイトをマスタに送信した後で、データ・ラインもスレーブとマスタによって“H”に保持されますが、これはデータ転送が問題なく実行されることを指示する非確認応答です。

I²Cレジスタの定義
(すべてのレジスタでPOR = 00)

REG 0

7	0 (Logic Low)
6	0 (Logic Low)
5	Buck DAC5
4	Buck DAC4
3	Buck DAC3
2	Buck DAC2
1	Buck DAC1
0	Buck DAC0

REG 1

7	0 (Logic Low)
6	0 (Logic Low)
5	0 (Logic Low)
4	0 (Logic Low)
3	0 (Logic Low)
2	0 (Logic Low)
1	Slew Rate 1
0	Slew Rate 0

REG 2

7	0 (Logic Low)
6	0 (Logic Low)
5	0 (Logic Low)
4	STATUS—Buck Thermal Shutdown
3	STATUS—Buck PGOODb
2	STATUS—LD02 PGOODb
1	STATUS—LD01 PGOODb
0	Buck Update (GO Bit)

REG 3

7	PGOOD Blank Disable
6	0 (Logic Low)
5	0 (Logic Low)
4	0 (Logic Low)
3	BURST Mode
2	LD02 Disable
1	LD01 Disable
0	Buck Disable

サポートされるコマンド

LTC3445は、読み出しバイトと書き込みバイトの各コマンドをサポートします。ACKビットの場合には、スレーブがデータ・ラインを“L”に引き込んでいることをSで示し、マスタがデータ・ラインを“H”に保持することによって、実質的に確認応答を行っていることをMで示します。

書き込みコマンドのデータ転送タイミング

誤ったデータがデバイスに書き込まれないことを保証するために、有効な確認応答が実行された後のみに限り、書き込みコマンドからのデータが保存されます。SCLの立上がりエッジでSDAが“L”になることをデバイスは検出します。これは、LTC3445がデータの書き込みの確認応答を行い、続くSCLが“L”の間にデータをラッチする期間が終了したことを示します。

REG 5

7	0 (Logic Low)
6	% SPR1
5	% SPR0
4	(Logic Low)
3	(Logic Low)
2	(Logic Low)
1	(Logic Low)
0	(Logic Low)

アプリケーション情報

降圧レギュレータ

基本的なLTC3445のアプリケーション回路を本データシートの1ページに掲載しています。外部部品の選択は負荷に対する要求条件によって決まるので、インダクタLとC_{IN}およびC_{OUT}の値の選択から説明を始めます。

インダクタの選択

大部分のアプリケーションでは、1μHから4.7μHまでの範囲内の値のインダクタが使用されます。その値は、望ましいリップル電流に基づいて選択します。インダクタの値を大きくすると、リップル電流が低下し、インダクタの値を小さくすると、リップル電流が増加します。数式1に示すように、V_{CC1}を高くするか、またはV_{OUT}を低くする場合も同様に、リップル電流が増加します。リップル電流を設定するための妥当な出発点は、ΔI_L = 240mA(600mAの40%)です。

$$\Delta I_L = \frac{1}{f(L)} V_{OUT} \left(1 - \frac{V_{OUT}}{V_{CC1}} \right) \quad (1)$$

コアの飽和を防止するために、インダクタのDC電流定格値を最低でも最大負荷電流にリップル電流の1/2を加算した数値に規定することが必要です。したがって、ほとんどのアプリケーションでは定格値が720mAのインダクタを使用すれば十分です(600mA+120mA)。効率をさらに高めるには、DC抵抗値の低いインダクタを使用してください。

インダクタ値は、Burst Mode動作にも影響を与えます。ピーク・インダクタ電流が約200mAまで低下すると、低電流動作への遷移が開始されます。インダクタの値が小さいと(ΔI_Lが大きくなる)、この遷移が低負荷電流時にも発生することになります。このため、低電流動作の上の範囲で効率が低下します。Burst Mode動作では、インダクタンス値が小さいと、バースト周波数が上昇します。

インダクタのコアの選択

コアの材質と形状が異なると、インダクタのサイズ/電流および価格/電流の関係が変化します。フェライトやパーマロイを素材とするトロイド・コアやシールドされたポット型コアは、小型でエネルギー放射が大きくありませんが、類似の電気的特性を有する鉄粉コアのインダクタよりも一般に高価です。使用するインダクタの種類の選択は、LTC3445の動作に基づく条件よりも、価格とサイズの条件や放射フィールド/EMIの条件に依存する場合があります。表1には、LTC3445のアプリケーションに適し

たいいくつかの標準的な表面実装型インダクタを記載しています。

表1

製造元 製品番号	値 (μH)	DCR (mΩ MAX)	MAX DC (A)	サイズ L × W × H (mm ³)
Sumida CDRH3D16/ HP2R2	2.2	72	1.2	4.0 × 4.0 × 1.8
Sumida CR434R7	4.7	109	1.15	4.0 × 4.5 × 3.5
TDK TDK7030T- 2R2M5R4	2.2	12	5.5	7.3 × 6.8 × 3.2
Coilcraft D03316P-222	2.2	12	7	12.45 × 9.4 × 5.21

C_{IN}とC_{OUT}の選択

連続モード時に、トップMOSFETのソース電流はデューティ・サイクルV_{OUT}/V_{CC1}の方形波となります。大きい過渡電圧を防止するには、最大RMS電流に対応できる大きさの低ESR入力コンデンサを使用することが必要です。最大RMSコンデンサ電流は、次式から求められます。

$$C_{IN} \text{に要求される } I_{RMS} \cong I_{OMAX} \frac{\left[\frac{V_{OUT}(V_{CC1} - V_{OUT})}{V_{CC1}} \right]^{1/2}}{V_{CC1}} \quad (2)$$

この数式は、V_{CC1} = 2V_{OUT}のときに最大値をとります。この数式で、I_{RMS} = I_{OUT}/2です。大きく変化させても、それほど状況が改善されないため、一般にはこの単純なワーストケース条件が設計に使用されます。コンデンサの製造元が規定するリップル電流定格は多くの場合、2000時間の寿命試験に基づいている点に注意してください。したがって、コンデンサをさらにディレーティングするか、または必要とされるよりも高い温度で規定されたコンデンサを選択することを推奨します。疑問がある場合には、必ず製造元に問い合わせてください。

C_{OUT}の選択は、必要とされる等価直列抵抗(ESR)によって決まります。通常は、C_{OUT}のESR条件を満足すれば、RMS電流定格値はI_{RIPPLE(P-P)}の要求条件を大きく上回ります。出力リップルΔV_{OUT}は、次式で決定されます。

$$\Delta V_{OUT} \cong \Delta I_L \left(ESR + \frac{1}{8fC_{OUT}} \right) \quad (3)$$

アプリケーション情報

上の数式で、 f = 動作周波数、 C_{OUT} = 出力容量、そして ΔI_L = インダクタのリップル電流です。出力電圧が固定されている場合には、 ΔI_L は入力電圧の増加に応じて高くなるので、出力リップルは入力電圧が最大のときに最も高くなります。

アルミ電解型と乾式タンタル型のコンデンサはともに、表面実装パッケージで入手できます。タンタルの場合には、スイッチング電源に使用するためにサージ・テストが行われているタイプのコンデンサのみを使用することが重要です。その最適なタイプは、AVX TPSシリーズの表面実装タンタル・コンデンサです。これらは低いESRを維持するように特別な構造が採用され、特殊なテストが実施されているので、容積に対し最小のESRが得られます。その他のタイプのコンデンサとして、三洋のPOSCAP、KemetのT510およびT495シリーズ、Spragueの593Dおよび595Dシリーズがあげられます。その他の具体的な推奨事項については、製造元にお問い合わせください。

セラミックの入力コンデンサと出力コンデンサの使用

値の大きな低価格のセラミック・コンデンサが現在では、より小型化されたケース・サイズで入手できるようになりました。これらはリップル電流定格と電圧定格が大きく、ESRが小さいので、スイッチング・レギュレータのアプリケーションに最適です。LTC3445の制御ループは安定した動作を維持するために、出力コンデンサのESRに依存することがないので、セラミック・コンデンサを自由に使用して、非常に低い出力リップルと小型の回路サイズを達成することが可能です。

ただし、入力と出力にセラミック・コンデンサを使用する際には、注意が必要です。セラミック・コンデンサを入力に使用し、長いコードが付いたACアダプタから電源を供給すると、出力の負荷ステップによって入力 V_{CC1} にリングングが誘起される場合があります。この場合、このリングングが出力に結合して、ループが不安定であると誤認されることがあります。最悪の場合、長いコードを通して急に電流が突入すると、 V_{CC1} に大きな電圧スパイクが発生する可能性が高くなり、そのためにデバイスが損傷を受けるおそれがあります。

入力および出力セラミック・コンデンサを選択する際には、X5RまたはX7R誘電体タイプを選択してください。これらの誘電体は、所定の値およびサイズのセラミックすべての中で最も優れた温度および電圧特性を備えています。

降圧出力電圧のプログラミング

LTC3445では、その内部抵抗分割器ネットワークがFBピンに接続されています。出力電圧はDAC(6ビット・レジス

タ)によって制御され、DACの設定は I^2C インターフェースによって制御されます。有効なDACビット範囲は、0から48までとなっています。48を超えるDAC設定はすべて、48にデフォルト設定される点に注意してください。DACは約15mVステップで V_{OUT} を0.85Vから1.55Vまでの範囲で制御します。 V_{OUT} のデフォルト値は1.35Vであり、 V_{CC1} が上昇すると、常にこの数値にリセットされます。

DACの値が変更されるたびに、LTC3445は2ビットのRATEレジスタによって V_{OUT} のスルーレートを制御します。 I^2C インターフェースを介して、このRATEレジスタを更新することが可能です。スルーレートを約0.9mV/ μ s、3.8mV/ μ s、7.5mV/ μ s、または11.3mV/ μ sに設定できます。RATEのデフォルト値は10mV/ μ sであり、 V_{CC1} が上昇すると、常にこの数値にリセットされます。

RUNピン行使(アサート)、DACとRATEの値は消失しません。

DACとRATEの各レジスタをプログラミングした後で、降圧を更新するためには、GOビットの遷移が必要です。この遷移は、GOビット(REG2[0])をロジック“L”からロジック“H”に変更します。

効率の検討

スイッチング・レギュレータの効率は、出力電力÷入力電力×100%で求められる数値に等しくなります。個々の損失を解析して、効率を制限する要素がどれであり、また何が変化すれば、最も効率が改善されるかを判断する解析が役立つ場合があります。効率は次式で表すことができます。

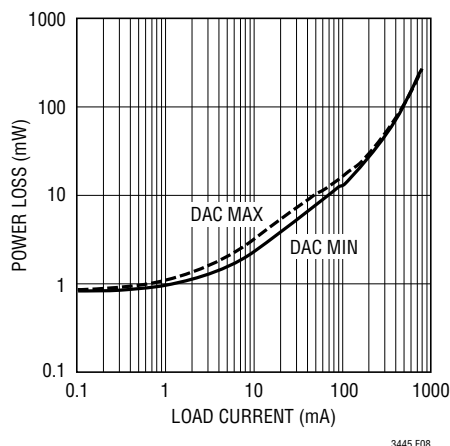
$$\text{効率} = 100\% - (L1 + L2 + L3 + \dots)$$

上の数式で、 $L1$ 、 $L2$ などは入力電力に対する割合(%値)として表した個々の損失です。

回路内の電力を消費するすべての要素で損失が生じますが、LTC3445降圧レギュレータ回路内における損失の大部分は、一般的に2つの主要な要因によって生じます。すなわち、 V_{CC1} の静止電流による損失と I^2R 損失です。非常に低い負荷電流時には V_{CC1} の静止電流による損失が効率の低下に対して支配的であるのに対して、中程度から高い負荷電流時には I^2R 損失が効率の低下を支配します。標準的な効率のプロットの仕方では、図8が示すように実際の電力損失が重大なものではないにもかかわらず、非常に低い負荷電流時の効率曲線が誤解を与えかねません。

1. V_{CC1} の静止電流は、2つの要素から成ります。すなわち、「電気的特性」に記載しているDCバイアス電流および内部のメイン・スイッチと同期スイッチのゲート充電

アプリケーション情報

図8. 電力損失と負荷電流、 $V_{CC1} = 3.6V$

電流です。内部パワーMOSFETスイッチのゲート容量をスイッチすると、ゲート充電電流が流れます。ゲートが“H”から“L”、そして再び“H”に切り替わるたびに、 V_{CC1} からグラウンドに電荷パケット dQ が移動します。その結果としての dQ/dt は V_{CC1} からの電流であり、これは一般にDCバイアス電流よりも大きくなります。連続モードでは、 $I_{GATECHG} = f(Q_T + Q_B)$ です。ここで、 Q_T と Q_B は内部のトップ・スイッチとボトム・スイッチのゲート電荷です。DCバイアス損失とゲート電荷損失は両方ともに V_{CC1} と比例するので、これらの影響は電源電圧が高くなるに従って顕著になります。

2. I^2R 損失は、内部スイッチの抵抗 R_{SW} と外部インダクタの抵抗 R_L から計算されます。連続モードでは、インダクタ L を流れる平均出力電流が、メイン・スイッチと同期スイッチ間で「チョップ」されます。したがって、SWピンから見た直列抵抗は次式に示すように、トップMOSFETとボトムMOSFET両方の $R_{DS(ON)}$ およびデューティ・サイクル(DC)の関数となります。

$$R_{SW} = (R_{DS(ON)TOP})(DC) + (R_{DS(ON)BOT})(1 - DC)$$

トップMOSFETとボトムMOSFET両方の $R_{DS(ON)}$ は、標準的性能特性の曲線から求めることができます。したがって、 I^2R 損失を求めるには、単に R_{SW} を R_L に加え、その結果に平均出力電流の2乗を掛けます。

C_{IN} や C_{OUT} のESR消費損失やインダクタのコア損失などを含むその他の損失は、一般に全追加損失の2%未満に過ぎません。

過渡応答のチェック

レギュレータのループ応答は、負荷過渡応答を観察してチェックすることができます。スイッチング・レギュレータは、負荷電流のステップに応答するまでに数サイクルを要します。負荷にステップが生じると、 V_{OUT} はただちに $(\Delta I_{LOAD} \cdot ESR)$ に等しい量だけシフトします。ここで、ESRは C_{OUT} の等価直列抵抗です。 ΔI_{LOAD} はさらに、帰還誤差信号を発生させる C_{OUT} の充電または放電を開始します。

その後で、レギュレータ・ループは V_{OUT} をその定常値に戻す動作を実行します。この回復時間の間、安定性の問題を示すオーバシュートやリングがないか V_{OUT} をモニタすることが可能です。スイッチング制御ループの理論に関する詳細な説明については、アプリケーションノート76を参照してください。

2番目は、容量の大きい($> 1\mu F$)電源バイパス用コンデンサを持つ負荷でのスイッチング動作による、もっと重大なトランジェントです。放電したバイパス・コンデンサを実質的に C_{OUT} と並列に接続すると、 V_{OUT} が急速に降下します。負荷スイッチ抵抗の値が低く、これが迅速に駆動される場合には、レギュレータはこの問題を防止するための十分な電流を供給することができません。その唯一の解決法は、スイッチ・ドライブの立上がり時間を制限し、負荷の立上がり時間をおよそ $(25 \cdot C_{LOAD})$ に制限することです。したがって、3.3Vに充電される $10\mu F$ のコンデンサでは、 $250\mu s$ の立上がり時間が要求され、充電電流は約130mAに制限されます。

LDOレギュレータ

LTC3445のLDOは、静止電流とシャットダウン電流が低く抑えられた50mAの低損失電圧レギュレータです。この各デバイスは、300mVの損失電圧で50mAを出力する能力を備えています。LDOは50mA超から75mA未満の電流制限がされています。LDOの出力電圧は、以下の数式に従って、抵抗分割器を外付けして設定します。

$$V_{LDOOUT1} = 0.6(1 + R1/R2) \quad (4)$$

$$V_{LDOOUT2} = 0.6(1 + R3/R4) \quad (5)$$

出力容量と過渡応答

LTC3445のLDOは、幅広い範囲の出力容量に対して安定性を維持するように設計されています。発振を防止するために、容量が最小 $2.2\mu F$ およびESRが 3Ω 以下の出力コンデンサを使用することを推奨します。LTC3445のLDOはマイクロパワー・デバイスであり、その出力過渡応答は出力容量の関数

アプリケーション情報

として変化します。大きい容量の出力コンデンサを使用すると、ピーク偏差が減少し、負荷電流の変動が大きい場合であっても過渡応答が改善されます。

PowerPathコントローラ

V_{CC1} が低下するか、またはその接続が切断されるときに、 V_{BACKUP} から V_{CC} BATTピンにバックアップ電源を供給するために、LTC3445のPowerPath回路が使用されます。 V_{CC1} が2.8Vよりも低い電圧に低下すると、PowerPathは通常コイン・セルである V_{BACKUP} を V_{CC} BATTピンに供給します。 V_{BACKUP} が選択されている間、 V_{BACKUP} 入力と V_{CC} BATT出力の間に接続される小さな抵抗(< 5Ω)を除いて、電流制限はまったくありません。LTC3445は V_{BACKUP} が選択されるときに、このピンから6.5μA未満の電流をシンクします。 V_{BACKUP} が選択されないときには、このピンから0.1μA未満の電流をシンクします。

V_{CC1} が2.8Vを超えると、 V_{BACKUP} と V_{CC} BATT間の接続が切断され、内部LDOが V_{CC} BATT電圧を最低で V_{CC1} の電圧または標準値3Vに安定化します。内部LDOは50mA未満に電流制限されますが、10mAを超える電流出力が可能です。 V_{CC} BATTピンに接続するコンデンサは、最低2μFの容量および3Ω未満のESRとしてください。

メイン・バッテリー電圧が2.4V以下になると、 V_{BACKUP} が V_{CC} BATT出力に供給されます。メイン・バッテリー電圧の V_{CC1} が3Vから2.4Vに低下するときに、LDOがドロップアウト状態になり、 V_{CC} BATTは V_{CC1} に追従して低下し、 V_{CC1} が2.4Vよりも低くなると、 V_{BACKUP} に回復します。 V_{CC1} が急速に取り除かれる場合には、 V_{BACKUP} がスイッチ入力されるまで、 V_{CC} BATTに接続されたコンデンサが V_{CC} BATTの低下を制限します。

V_{TRACK} 入力には、その電圧を V_{CC1} まで追従させる V_{CC} BATT電圧の能力があります。実際のところ、 V_{TRACK} はLDOの内蔵リファレンスをディスエーブルにするので、 V_{TRACK} が3Vの標準値を超えると、LDO出力(V_{CC} BATT)のゲインが V_{TRACK} を基準にして1に設定される結果になります。 V_{CC1} から電源の供給を受けるLDOの損失電圧を V_{TRACK} が超えない限り、 V_{CC} BATTは200mV以内まで V_{TRACK} に追従します。

V_{CC1} が接続される前に、 V_{BACKUP} が存在することが必要です。 V_{CC1} が存在しないことまたはその低下を検出するために使用されるBATTFaultドライバに V_{BACKUP} から電源が供給されます。 V_{BACKUP} が存在しなければ、LTC3445は V_{CC1} の障害状態を表示するために、BATTFaultピンを

“L”にすることができません。

出力容量と過渡応答

LTC3445のPowerPath LDOは、幅広い範囲の出力容量に対して安定性を維持するように設計されています。発振を防止するために、容量が最小2.2μFでESRが3Ω以下の出力コンデンサを使用することを推奨します。LTC3445のPowerPath LDOはマイクロパワー・デバイスであり、その出力過渡応答は出力容量の関数として変化します。大きい容量の出力コンデンサを使用すると、ピーク偏差が減少し、負荷電流の変動が大きい場合であっても過渡応答が改善されます。

熱に関する検討事項

ほとんどのアプリケーションで、LTC3445は効率が高いため、大きい発熱はありません。ただし、周囲温度が高く、ドロップアウトの場合のように低い電源電圧と高いデューティ・サイクルでLTC3445が動作するアプリケーションでは、発熱がデバイスの最大接合部温度を超えることがあります。接合部温度が約150°Cに達すると、両方のパワー・スイッチがオフになり、SWノードがハイ・インピーダンスになります。その他のレギュレータも同様にオフになります。

LTC3445が最大接合部温度を超えないことを保証するには、熱に関する分析を行う必要があります。熱に関する分析の目的は、電力消費がデバイスの最大接合部温度を超えるかどうかを判断することです。温度の上昇は、次式から求められます。

$$T_R = \theta_{JA} \cdot (P_{D_{BUCK}} + P_{D_{LD01}} + P_{D_{LD02}} + P_{D_{PowerPath}})$$

ここで、 P_D はレギュレータによって消費される電力、そして θ_{JA} はダイの接合部から周囲温度までの熱抵抗値です。

接合部温度 T_J は次式から求められます。

$$T_J = T_A + T_R$$

ここで、 T_A は周囲温度です

アプリケーション情報

一例として、入力電圧が2.7V、周囲温度が70°C、降圧負荷電流が600mA、LDO1を25mAの負荷電流で1.3Vに設定、LDO2を15mAの負荷電流で1.1Vに設定、そしてPowerPathレギュレータを6μAの負荷電流で2.5Vに設定する条件を適用して、ドロップアウト状態で使用しているLTC3445について考えてみましょう。スイッチ抵抗の標準的性能のグラフから、70°C時のPチャネル・スイッチの $R_{DS(ON)}$ は約0.52Ωです。したがって、デバイスの消費電力は以下のとおりです。

$$P_{D(BUCK)} = I_{LOAD}^2 \cdot R_{DS(ON)} = 180mW$$

$$P_{D(LDO1)} = (2.7 - 1.3)V \cdot 0.025A = 35mW$$

$$P_{D(LDO2)} = (2.7 - 1.1)V \cdot 0.015A = 24mW$$

$$P_{D(PowerPath)} = (2.7 - 2.5)V \cdot 6\mu A = 1.2\mu W$$

$$P_{D(TOTAL)} = 0.239W$$

QFN24パッケージの θ_{JA} は、37°C/Wです。したがって、このレギュレータの接合部温度は以下のようになります。

$$T_J = 70^\circ C + (0.239)(37) = 78.8^\circ C$$

この温度は、125°Cの最大接合部温度よりも十分に低い数値です。もっと高い電源電圧ではスイッチ抵抗 $R_{DS(ON)}$ が減少するので、接合部温度はさらに低くなる点に注目してください。

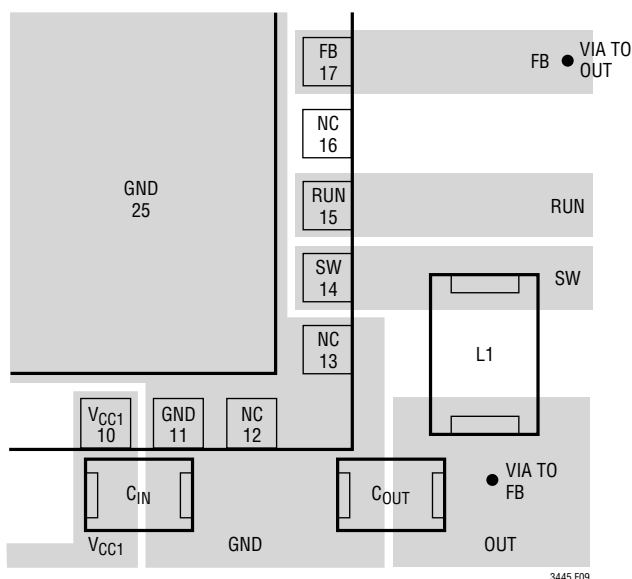


図9

PCボード・レイアウトのチェックリスト

プリント回路基板のレイアウトを行う際には、以下のチェックリストを利用して、LTC3445が正しく動作するように配慮する必要があります。これらの項目は、図9と図10にも例示しています。レイアウトでは、以下の項目をチェックしてください。

1. GND、SW、VCC1、VCC2の各パターン配線で構成される電源パターン配線を短く維持し、直接的に接続するとともに、幅広い配線としてください。
2. FBピンが出力電圧リファレンスに直接的に接続されていますか？リファレンス電圧とFBピンから負荷電流が流れていないことを確認してください。
3. C_{IN}1の(+)プレートがVCC1に可能な限り近くに接続されていますか？このコンデンサは、内部パワーMOSFETにAC電流を供給します。
4. 影響を受けやすいFBノードからスイッチング・ノードSWを遠ざけた状態に維持してください。
5. C_{IN}とC_{OUT}の(-)プレートを可能な限り近接した状態に維持してください。

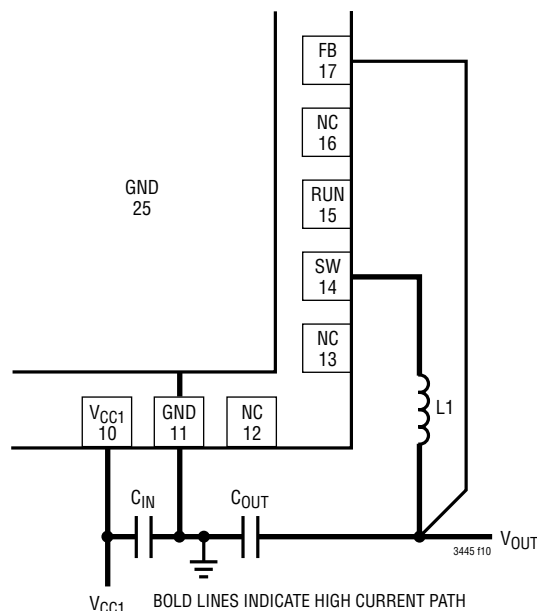


図10

アプリケーション情報

設計例

設計例として、1個のリチウムイオン・バッテリーを電源として使用するIntel PXA270マイクロプロセッサのアプリケーションにLTC3445を使用する場合を考えてみましょう。バッテリーは、最大4.2Vから約2.7Vまでの範囲で動作します。さらに、バッテリーはLTC3445の3本の電源ピンすべてに接続されます。

望ましいLDO出力は23mAの負荷時で1.3V、そして14mAの負荷時で1.1Vです。両方のLDOは同一であるため、1.3V出力にLDO1および1.1V出力にLDO2を選択します。数式4と5を利用し、R2とR4の値を604k Ω とし、R1とR2の値をそれぞれ705k Ω および503k Ω とします。さらに、10 μ Fの出力コンデンサを選択して、適切な安定性と過渡応答を確保するようにします。

PXA270のV_{CC} BATTに対する要求条件は、LTC3445のPowerPath制御回路によって容易に対処できます。コインセル・バッテリーを単にV_{BACKUP}に接続するだけで、PowerPath制御回路はV_{CC} BATTをPXA270の要求条件の範囲内に安定化します。

このアプリケーションで要求される降圧レギュレータの最大負荷条件は300mAです。降圧レギュレータのデフォルトの起動電圧は1.35Vですが、出力電圧を0.85Vにプログラム設定すると、リップル電流が最大になります。リップル電流が200mAで、メイン・バッテリー電圧が4.2Vの場合に必要なインダクタの値は、2.2 μ Hです(数式1)。最良の効率を達成するために、直列抵抗が0.3 Ω 未満で400mA以上のインダクタを選択します。ESRが0.25 Ω の10 μ Fの出力コンデンサを選択すると、リップル電圧は52mVになります(数式3)。ほとんどのケースでは、セラミック・コンデンサのESRは0.25 Ω 未満であるため、出力リップルがさらに低減されます(図11を参照)。V_{CC1}が低下するか、またはV_{OUT}が増加するときに、これに応じてリップル電流とリップル電圧が減少する点に注意してください。入力コンデンサC_{IN}については、規定の温度時に最低で0.150A $\approx$ I_{LOAD}(MAX)/2のRMS電流定格値が要求されます(数式2)。

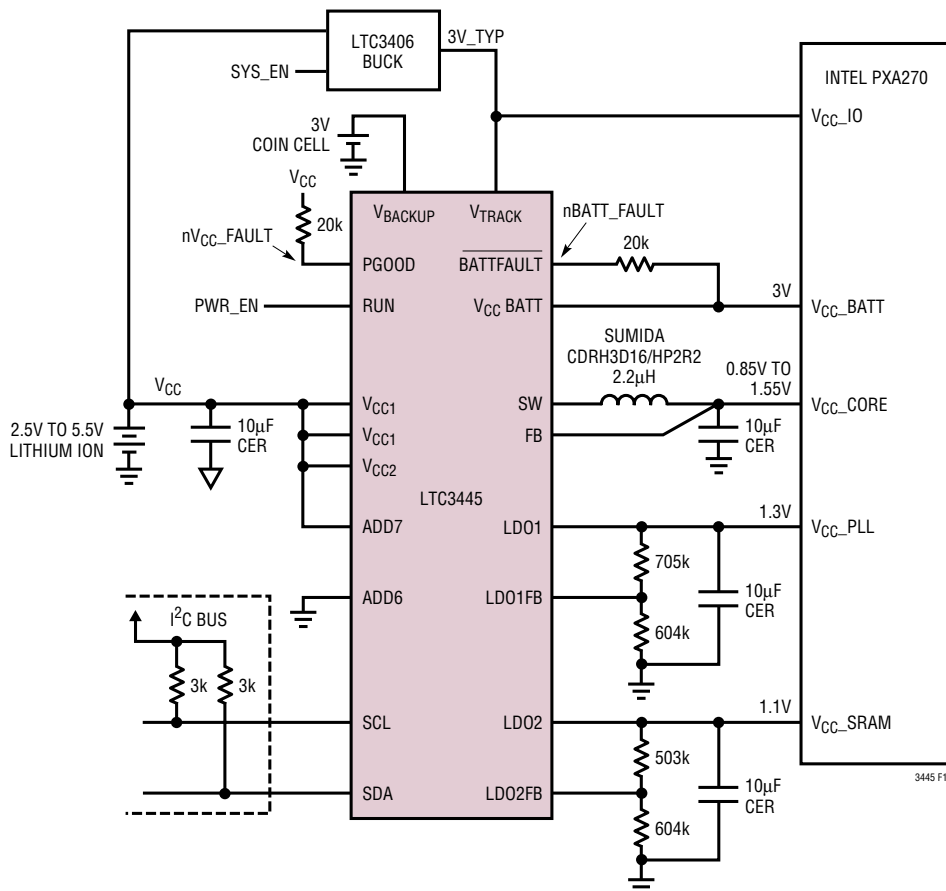
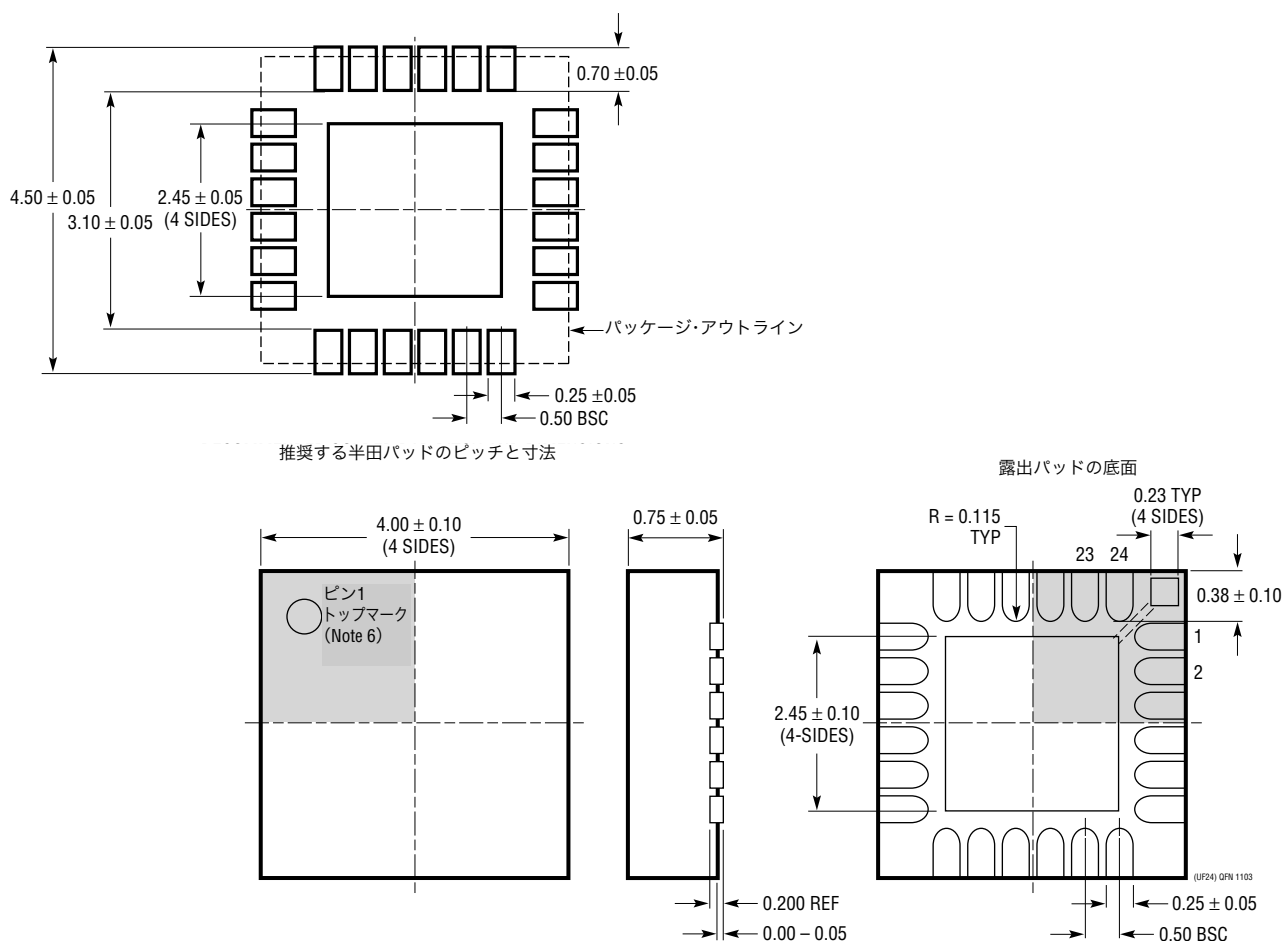


図11. 設計例

3445fa

パッケージ寸法

UFパッケージ
24ピン・プラスチックQFN (4mm×4mm)
(Reference LTC DWG #05-08-1697)



NOTE:

- 図はJEDECパッケージ・アウトラインMO-220のバリエーションWGDD-Xに含めるように提案されている - 承認待ち
- 図は実寸とは異なる
- すべての寸法はミリメートル
- パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。モールドのバリは(もしあれば)各サイドで 0.15 mmを超えないこと
- 露出パッドは半田メッキとする
- 網掛けの部分はパッケージのトップとボトムのピン1の位置の参考に過ぎない

関連製品

製品番号	説明	注釈
LT1761	100mA、低ノイズ、マイクロパワーLDO	V_{IN} : 1.8V~20V、 $V_{OUT(MIN)}$ = 1.22V、損失電圧 = 0.30V、 I_Q = 20 μ A、 I_{SD} < 1 μ A、 V_{OUT} = 調整可能、1.5V、1.8V、2V、2.5V、2.8V、 3V、3.3V、5V、ThinSOT™パッケージ、低ノイズ < 20 μ V _{RMS} (P-P)、 1 μ Fのセラミック・コンデンサで安定動作
LT1762	150mA、低ノイズ、マイクロパワーLDO	V_{IN} : 1.8V~20V、 $V_{OUT(MIN)}$ = 1.22V、損失電圧 = 0.30V、 I_Q = 25 μ A、 I_{SD} < 1 μ A、 V_{OUT} = 調整可能、2.5V、3V、3.3V、5V、 MS8パッケージ、低ノイズ < 20 μ V _{RMS} (P-P)
LT1763	500mA、低ノイズ、マイクロパワーLDO	V_{IN} : 1.8V~20V、 $V_{OUT(MIN)}$ = 1.22V、損失電圧 = 0.30V、 I_Q = 30 μ A、 I_{SD} < 1 μ A、 V_{OUT} = 1.5V、1.8V、2.5V、3V、3.3V、5V、 S8パッケージ、低ノイズ < 20 μ V _{RMS} (P-P)
LTC1844	150mA、超低損失LDO	V_{IN} : 6.5V~1.6V、 $V_{OUT(MIN)}$ = 1.25V、損失電圧 = 0.08V、 I_Q = 40 μ A、 I_{SD} < 1 μ A、 V_{OUT} = 調整可能、1.5V、1.8V、2.5V、2.8V、3.3V、 ThinSOTパッケージ、低ノイズ < 30 μ V _{RMS} (P-P)、 1 μ Fのセラミック・コンデンサで安定動作
LT1962	300mA、低ノイズ、マイクロパワーLDO	V_{IN} : 1.8V~20V、 $V_{OUT(MIN)}$ = 1.22V、損失電圧 = 0.27V、 I_Q = 30 μ A、 I_{SD} < 1 μ A、 V_{OUT} = 1.5V、1.8V、2.5V、3V、3.3V、5V、 MS8パッケージ、低ノイズ < 20 μ V _{RMS} (P-P)
LT3020	低 V_{IN} (0.9V)、低 V_{OUT} (0.2V) VLDO™	V_{IN} : 0.9V~10V、 $V_{OUT(MIN)}$ = 0.20V、損失電圧 = 0.15V、 I_Q = 120 μ A、 I_{SD} < 1 μ A、 V_{OUT} = 調整可能、DFNパッケージ
LTC3405/LTC3405A	300mA (I_{OUT})、 1.5MHz同期降圧DC/DCコンバータ	V_{IN} : 2.5V~5.5V、 $V_{OUT(MIN)}$ = 0.8V、 I_Q = 20 μ A、 I_{SD} < 1 μ A、ThinSOTパッケージ
LTC3406/LTC3406B	600mA (I_{OUT})、 1.5MHz同期降圧DC/DCコンバータ	V_{IN} : 2.5V~5.5V、 $V_{OUT(MIN)}$ = 0.6V、 I_Q = 20 μ A、 I_{SD} < 1 μ A、ThinSOTパッケージ
LTC3407	デュアル600mA、 1.5MHz同期降圧DC/DCコンバータ	V_{IN} : 2.5V~5.5V、 $V_{OUT(MIN)}$ = 0.6V、 I_Q = 40 μ A、 I_{SD} < 1 μ A、MS10Eパッケージ
LTC3411	1.25A (I_{OUT})、 4MHz同期降圧DC/DCコンバータ	V_{IN} : 2.5V~5.5V、 $V_{OUT(MIN)}$ = 0.8V、 I_Q = 60 μ A、 I_{SD} < 1 μ A、MS10パッケージ
LTC3412	2.5A (I_{OUT})、 4MHz同期降圧DC/DCコンバータ	V_{IN} : 2.5V~5.5V、 $V_{OUT(MIN)}$ = 0.8V、 I_Q = 60 μ A、 I_{SD} < 1 μ A、TSSOP16Eパッケージ
LTC3455	USBパワー・マネージャ およびリチウムイオン・バッテリー・チャージャ 内蔵のデュアルDC/DCコンバータ	V_{IN} : 3V~5.5V、入力ソースとリチウムイオン・バッテリー間の シームレスな遷移、USB、5V ACアダプタ、QFN24パッケージ
LTC4055	USBパワー・マネージャ およびリチウムイオン・バッテリー・チャージャ	スタンドアロン・チャージャ、入力電源が切断されたときに 自動的に切り替え
LTC4411/LTC4412	ThinSOTのPowerPathコントローラ	ダイオードOR回路よりも高い効率

ThinSOTとVLDOは、リニアテクノロジー社の商標です。