

## アドレス指定が可能な高効率の 双方向マルチセル・バッテリー・バランス

### 特長

- 直列に接続された最大6本のリチウムイオン電池またはLiFePO<sub>4</sub>電池の双方向同期フライバック・バランス調整
- バランス電流:最大10A(外付け部品で設定)
- 双方向アーキテクチャにより、バランス調整時間と電力損失を最小限に抑制
- 電荷転送効率:最大92%
- スタック可能なアーキテクチャにより、800V超のシステムが可能
- 簡素な2巻線トランスを使用
- 4ビットCRCパケット・エラー検査機能を備えた1MHzシリアル・インタフェース
- 5ビットのアドレスにより個別にアドレス指定可能
- 数多くのフォルト保護機能
- 露出パッド付きの48ピンQFNおよびLQFPパッケージ

### アプリケーション

- 電気自動車/プラグインHEV
- 大電力UPS/電力網エネルギー貯蔵システム
- 汎用マルチセル・バッテリー・スタック

LT, LT, LTC, LTM, Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。isoSPIはリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

### 概要

LTC®3300-2は、マルチセル・バッテリー・スタックのトランス・ベースでの双方向アクティブ・バランス調整を行うフォルト保護機能付きコントローラICです。関連するゲート駆動回路、高精度電流検出回路、フォルト検出回路、ウォッチドッグ・タイマを組み込んだ堅牢なシリアル・インタフェースをすべて内蔵しています。

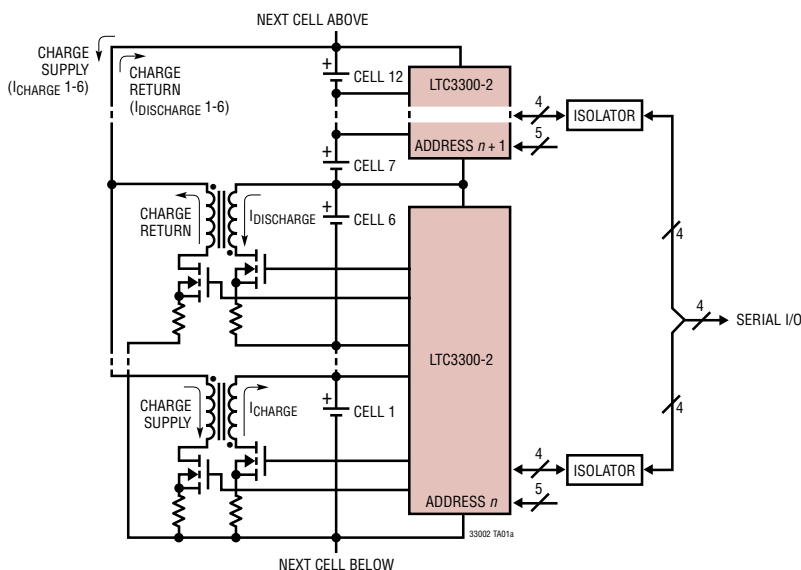
各LTC3300-2は、直列に接続された最大6本のバッテリー・セルのバランスを、最大36Vの入力同相電圧で調整できます。選択したセルと12本以上の隣接セルとの間で、電荷を高い効率で転送できます。各LTC3300-2デバイスは個別にアドレス指定可能なシリアル・インタフェースを備えているので、最大32個のLTC3300-2が1つの制御プロセッサとインタフェースをとることができます。

フォルト保護機能の内容は、読み出し機能、巡回冗長検査(CRC)誤り検出、最大オン時間ボルト秒クランプ、および過電圧遮断機能です。

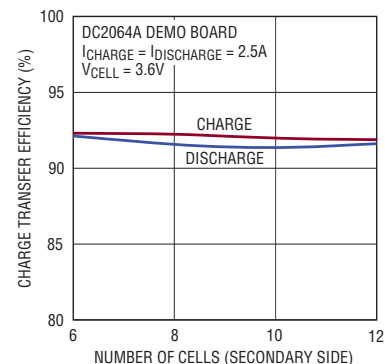
関連デバイスのLTC3300-1は、オプトカプラや光アイソレータを使用せずに複数のLTC3300-1のシリアル・ポートをデジタイチェーン接続可能なシリアル・インタフェースを備えています。

### 標準的応用例

高効率の双方向バランス調整



バランスの効率



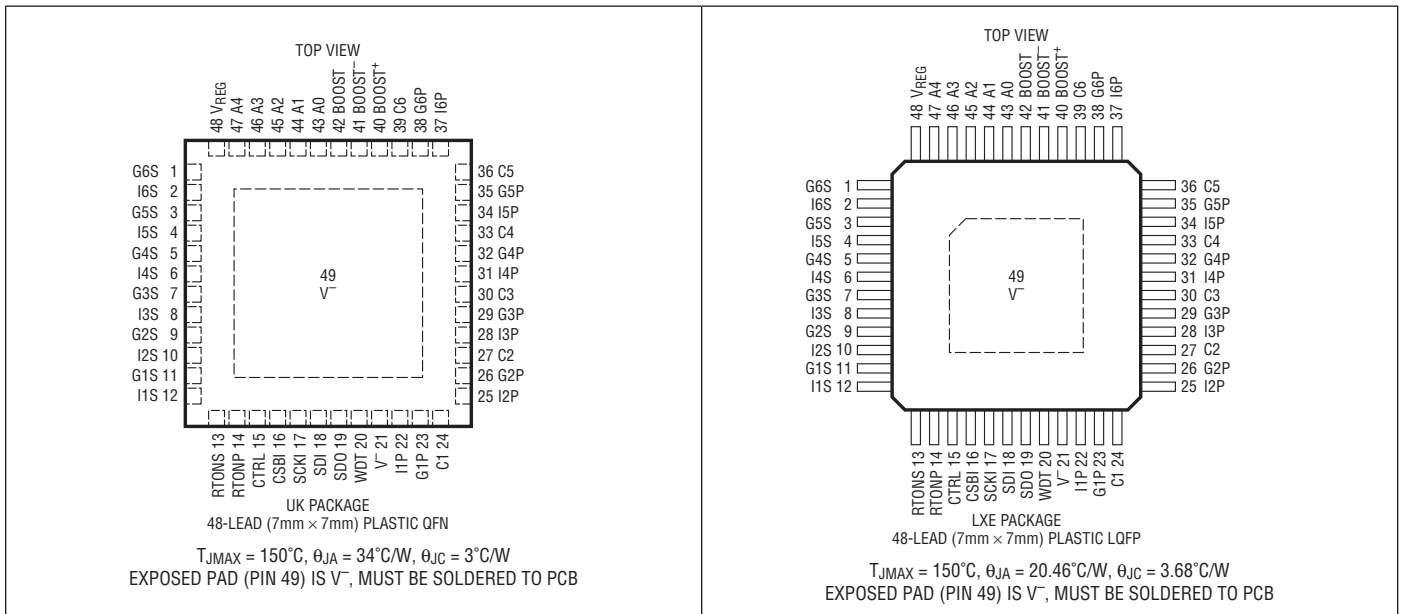
# LTC3300-2

## 絶対最大定格 (Note 1)

|                                    |  |
|------------------------------------|--|
| 全電源電圧 (C6 ~ V <sup>-</sup> ) ..... | 36V                                      |
| 入力電圧 (V <sup>-</sup> との相対電圧)       |  |
| C1 .....                           | -0.3V ~ 6V                               |
| I1P .....                          | -0.3V ~ 0.3V                             |
| I1S, I2S, I3S, I4S, I5S, I6S ..... | -0.3V ~ 0.3V                             |
| CSBI, SCKI, SDI .....              | -0.3V ~ 6V                               |
| V <sub>REG</sub> , SDO .....       | -0.3V ~ 6V                               |
| RTONP, RTONS .....                 | -0.3V ~ 最小 [V <sub>REG</sub> + 0.3V, 6V] |
| CTRL, BOOST, WDT .....             | -0.3V ~ 最小 [V <sub>REG</sub> + 0.3V, 6V] |
| A4, A3, A2, A1, A0 .....           | -0.3V ~ 最小 [V <sub>REG</sub> + 0.3V, 6V] |

|   |               |
|---|---------------|
| ピン間の電圧  |               |
| C <sub>n</sub> とC <sub>n-1</sub> * .....                                  | -0.3V ~ 6V    |
| I <sub>n</sub> PとC <sub>n-1</sub> * .....                                 | -0.3V ~ 0.3V  |
| BOOST <sup>+</sup> とC6 .....  | -0.3V ~ 6V    |
| SDO電流 .....   | 10mA          |
| G1P, G <sub>n</sub> P, G1S, G <sub>n</sub> S, BOOST <sup>-</sup> 電流 ..... | ±200mA        |
| 動作接合部温度範囲 (Note 2, 7)   |               |
| LTC3300I-2 .....  | -40°C ~ 125°C |
| LTC3300H-2 .....  | -40°C ~ 150°C |
| 保存温度範囲 .....  | -65°C ~ 150°C |
| *n = 2 ~ 6  |               |

## ピン配置



## 発注情報

| 無鉛仕上げ             | テープアンドリール          | 製品マーキング *    | パッケージ                             | 温度範囲           |
|-------------------|--------------------|--------------|-----------------------------------|----------------|
| LTC3300IUK-2#PBF  | LTC3300IUK-2#TRPBF | LTC3300UK-2  | 48-Lead (7mm × 7mm) Plastic QFN   | -40°C to 125°C |
| LTC3300HUK-2#PBF  | LTC3300HUK-2#TRPBF | LTC3300UK-2  | 48-Lead (7mm × 7mm) Plastic QFN   | -40°C to 150°C |
| 無鉛仕上げ             | トレイ                | 製品マーキング *    | パッケージ                             | 温度範囲           |
| LTC3300ILXE-2#PBF | LTC3300ILXE-2#PBF  | LTC3300LXE-2 | 48-Lead (7mm × 7mm) Plastic eLQFP | -40°C to 125°C |
| LTC3300HLXE-2#PBF | LTC3300HLXE-2#PBF  | LTC3300LXE-2 | 48-Lead (7mm × 7mm) Plastic eLQFP | -40°C to 150°C |

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。\* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

33002f

**電気的特性** ●は、規定動作接合部温度範囲での規格値を意味する。それ以外は、 $T_A = 25^\circ\text{C}$ での値 (Note 2)。注記がない限り、 $\text{BOOST}^+ = 25.2\text{V}$ 、 $\text{C6} = 21.6\text{V}$ 、 $\text{C5} = 18\text{V}$ 、 $\text{C4} = 14.4\text{V}$ 、 $\text{C3} = 10.8\text{V}$ 、 $\text{C2} = 7.2\text{V}$ 、 $\text{C1} = 3.6\text{V}$ 、 $V^- = 0\text{V}$ 。

| SYMBOL                                    | PARAMETER   | CONDITIONS  | MIN   | TYP  | MAX                     | UNITS   |
|---|---|---|---|--|-------------------------|---|
| <b>直流仕様</b>                               |   |   |   |  |                         |   |
| $I_{Q\_SD}$                               | Supply Current When Not Balancing (Post Suspend or Pre First Execute) | Measured at C1, C2, C3, C4, C5<br>Measured at C6<br>Measured at $\text{BOOST}^+$  | 6   | 0<br>14<br>0   | 1<br>22<br>10           | $\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$                                   |
| $I_{Q\_ACTIVE}$                           | Supply Current When Balancing (Note 3)                                | Balancing C1 Only (Note 4 for $V^-$ , C2, C6)<br>Measured at C1<br>Measured at C2, C3, C4, C5<br>Measured at C6<br>Measured at $\text{BOOST}^+$   |   | 250<br>70<br>560<br>0  | 375<br>105<br>840<br>10 | $\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$                  |
|   |   | Balancing C2 Only (Note 4 for C1, C3, C6)<br>Measured at C1<br>Measured at C2<br>Measured at C3, C4, C5<br>Measured at C6<br>Measured at $\text{BOOST}^+$   | -105  | -70<br>250<br>70<br>560<br>0   | 375<br>105<br>840<br>10 | $\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$ |
|   |   | Balancing C3 Only (Note 4 for C2, C4, C6)<br>Measured at C1, C4, C5<br>Measured at C2<br>Measured at C3<br>Measured at C6<br>Measured at $\text{BOOST}^+$   | -105  | 70<br>-70<br>250<br>560<br>0   | 105<br>375<br>840<br>10 | $\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$ |
|   |   | Balancing C4 Only (Note 4 for C3, C5, C6)<br>Measured at C1, C2, C5<br>Measured at C3<br>Measured at C4<br>Measured at C6<br>Measured at $\text{BOOST}^+$   | -105  | 70<br>-70<br>250<br>560<br>0   | 105<br>375<br>840<br>10 | $\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$ |
|   |   | Balancing C5 Only (Note 4 for C4, C6)<br>Measured at C1, C2, C3<br>Measured at C4<br>Measured at C5<br>Measured at C6<br>Measured at $\text{BOOST}^+$   | -105  | 70<br>-70<br>250<br>560<br>0   | 105<br>375<br>840<br>10 | $\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$ |
|   |   | Balancing C6 Only (Note 4 for C5, C6, $\text{BOOST}^+$ )<br>Measured at C1, C2, C3, C4<br>Measured at C5<br>Measured at C6<br>Measured at $\text{BOOST}^+$ ( $\text{BOOST} = V^-$ )<br>Measured at $\text{BOOST}^+$ ( $\text{BOOST} = V_{\text{REG}}$ ) | -105  | 70<br>-70<br>740<br>60<br>0  | 105<br>1110<br>90<br>10 | $\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$ |
|   |   | $V_{\text{CELL} \text{MIN}}$  | Minimum Cell Voltage (Rising) Required for Primary Gate Drive | $C_n$ to $C_{n-1}$ Voltage to Balance $C_n$ , $n = 2$ to 6<br>C1 Voltage to Balance C1<br>$C_n + 1$ to $C_n$ Voltage to Balance $C_n$ , $n = 1$ to 5<br>$\text{BOOST}^+$ to C6 Voltage to Balance C6, $\text{BOOST} = V^-$ | ●<br>●<br>●<br>●        | 1.8<br>1.8<br>1.8<br>1.8  |
| $V_{\text{CELL} \text{MIN}(\text{HYST})}$ | $V_{\text{CELL} \text{MIN}}$ Comparator Hysteresis                    |   |   | 70   |                         | mV  |
| $V_{\text{CELL} \text{MAX}}$              | Maximum Cell Voltage (Rising) Before Disabling Balancing              | C1, $C_n$ to $C_{n-1}$ Voltage to Balance Any Cell, $n = 2$ to 6  | ●   | 4.7  | 5<br>5.3                | V   |
| $V_{\text{CELL} \text{MAX}(\text{HYST})}$ | $V_{\text{CELL} \text{MAX}}$ Comparator Hysteresis                    |   |   | 0.5  |                         | V   |
| $V_{\text{CELL} \text{RECONNECT}}$        | Maximum Cell Voltage (Falling) to Re-Enable Balancing                 |   | ●   | 4.25   |                         | V   |
| $V_{\text{REG}}$                          | Regulator Pin Voltage   | $9\text{V} \leq C6 \leq 36\text{V}$ , $0\text{mA} \leq I_{\text{LOAD}} \leq 20\text{mA}$  | ●   | 4.4  | 4.8<br>5.2              | V   |
| $V_{\text{REG} \text{POR}}$               | $V_{\text{REG}}$ Voltage (Rising) for Power-On Reset                  |   |   | 4.0  |                         | V   |
| $V_{\text{REG} \text{MIN}}$               | Minimum $V_{\text{REG}}$ Voltage (Falling) for Secondary Gate Drive   | $V_{\text{REG}}$ Voltage to Balance $C_n$ , $n = 1$ to 6  | ●   | 3.8  |                         | V   |

# LTC3300-2

**電気的特性** ●は、規定動作接合部温度範囲での規格値を意味する。それ以外は、 $T_A = 25^\circ\text{C}$ での値 (Note 2)。注記がない限り、**BOOST<sup>+</sup> = 25.2V**、**C6 = 21.6V**、**C5 = 18V**、**C4 = 14.4V**、**C3 = 10.8V**、**C2 = 7.2V**、**C1 = 3.6V**、**V<sup>-</sup> = 0V**。

| SYMBOL                   | PARAMETER  | CONDITIONS  | MIN | TYP   | MAX       | UNITS            |               |
|--------------------------|--|---|-----|-------|-----------|------------------|---------------|
| I <sub>REG_SC</sub>      | Regulator Pin Short Circuit Current Limit  | V <sub>REG</sub> = 0V   |     | 55    |           | mA               |               |
| V <sub>RTONP</sub>       | RTONP Servo Voltage  | R <sub>RTONP</sub> = 20k $\Omega$   | ●   | 1.158 | 1.2       | 1.242            | V             |
| V <sub>RTONS</sub>       | RTONS Servo Voltage  | R <sub>RTONS</sub> = 15k $\Omega$   | ●   | 1.158 | 1.2       | 1.242            | V             |
| I <sub>WDT_RISING</sub>  | WDT Pin Current, Balancing   | R <sub>TONS</sub> = 15k $\Omega$ , WDT = 0.5V   | ●   | 72    | 80        | 88               | $\mu\text{A}$ |
| I <sub>WDT_FALLING</sub> | WDT Pin Current as a Percentage of I <sub>WDT_RISING</sub> , Secondary OV        | R <sub>TONS</sub> = 15k $\Omega$ , WDT = 2V   | ●   | 85    | 87.5      | 90               | %             |
| V <sub>PEAK_P</sub>      | Primary Winding Peak Current Sense Voltage                                       | I <sub>1P</sub>   | ●   | 45    | 50        | 55               | mV            |
|                          |  | I <sub>nP</sub> to C <sub>n</sub> - 1, n = 2 to 6   | ●   | 45    | 50        | 55               | mV            |
|                          | V <sub>PEAK_P</sub> Matching (All 6)   | $\pm[(\text{Max} - \text{Min})/(\text{Max} + \text{Min})] \cdot 100\%$                                  | ●   |       | $\pm 1.7$ | $\pm 5$          | %             |
| V <sub>PEAK_S</sub>      | Secondary Winding Peak Current Sense Voltage                                     | I <sub>1S</sub>   | ●   | 45    | 50        | 55               | mV            |
|                          |  | I <sub>nS</sub> to C <sub>n</sub> - 1, n = 2 to 6, CTRL = 0 Only  | ●   | 45    | 50        | 55               | mV            |
|                          | V <sub>PEAK_S</sub> Matching (All 6)   | $\pm[(\text{Max} - \text{Min})/(\text{Max} + \text{Min})] \cdot 100\%$                                  | ●   |       | $\pm 0.5$ | $\pm 3$          | %             |
| V <sub>ZERO_P</sub>      | Primary Winding Zero Current Sense Voltage (Note 5)                              | I <sub>1P</sub>   | ●   | -7    | -2        | 3                | mV            |
|                          |  | I <sub>nP</sub> to C <sub>n</sub> - 1, n = 2 to 6   | ●   | -7    | -2        | 3                | mV            |
|                          | V <sub>ZERO_P</sub> Matching (All 6) Normalized to Mid-Range V <sub>PEAK_P</sub> | $\pm\{[(\text{Max} - \text{Min})/2]/(\text{V}_{\text{PEAK\_P}}/\text{MIDRANGE})\} \cdot 100\%$ (Note 6) | ●   |       | $\pm 1.7$ | $\pm 5$          | %             |
| V <sub>ZERO_S</sub>      | Secondary Winding Zero Current Sense Voltage (Note 5)                            | I <sub>1S</sub>   | ●   | -12   | -7        | -2               | mV            |
|                          |  | I <sub>nS</sub> to C <sub>n</sub> - 1, n = 2 to 6, CTRL = 0 Only  | ●   | -12   | -7        | -2               | mV            |
|                          | V <sub>ZERO_S</sub> Matching (All 6) Normalized to Mid-Range V <sub>PEAK_S</sub> | $\pm\{[(\text{Max} - \text{Min})/2]/(\text{V}_{\text{PEAK\_S}}/\text{MIDRANGE})\} \cdot 100\%$ (Note 6) | ●   |       | $\pm 0.5$ | $\pm 3$          | %             |
| R <sub>BOOST_L</sub>     | BOOST <sup>-</sup> Pin Pull-Down R <sub>ON</sub>                                 | Measured at 100mA Into Pin, BOOST = V <sub>REG</sub>  |     |       | 2.5       | $\Omega$         |               |
| R <sub>BOOST_H</sub>     | BOOST <sup>-</sup> Pin Pull-Up R <sub>ON</sub>                                   | Measured at 100mA Out of Pin, BOOST = V <sub>REG</sub>  |     |       | 4         | $\Omega$         |               |
| T <sub>SD</sub>          | Thermal Shutdown Threshold (Note 7)  | Rising Temperature  |     |       | 155       | $^\circ\text{C}$ |               |
| T <sub>HYS</sub>         | Thermal Shutdown Hysteresis  |   |     |       | 10        | $^\circ\text{C}$ |               |

## タイミング仕様

|                        |  |  |   |   |         |         |               |
|------------------------|--|--|---|---|---------|---------|---------------|
| t <sub>r_P</sub>       | Primary Winding Gate Drive Rise Time (10% to 90%)  | G1P Through G6P, C <sub>GATE</sub> = 2500pF                            |   |   | 35      | 70      | ns            |
| t <sub>f_P</sub>       | Primary Winding Gate Drive Fall Time (90% to 10%)  | G1P Through G6P, C <sub>GATE</sub> = 2500pF                            |   |   | 20      | 40      | ns            |
| t <sub>r_S</sub>       | Secondary Winding Gate Drive Rise Time (10% to 90%)  | G1S, C <sub>GATE</sub> = 2500pF  |   |   | 30      | 60      | ns            |
|                        |  | G2S Through G6S, CTRL = 0 Only, C <sub>GATE</sub> = 2500pF             |   |   | 30      | 60      | ns            |
| t <sub>f_S</sub>       | Secondary Winding Gate Drive Fall Time (90% to 10%)  | G1S, C <sub>GATE</sub> = 2500pF  |   |   | 20      | 40      | ns            |
|                        |  | G2S Through G6S, CTRL = 0 Only, C <sub>GATE</sub> = 2500pF             |   |   | 20      | 40      | ns            |
| t <sub>ONP</sub> MAX   | Primary Winding Switch Maximum On-Time   | R <sub>RTONP</sub> = 20k $\Omega$ (Measured at G1P-G6P)                | ● | 6 | 7.2     | 8.4     | $\mu\text{s}$ |
|                        |  | $\pm[(\text{Max} - \text{Min})/(\text{Max} + \text{Min})] \cdot 100\%$ | ● |   | $\pm 1$ | $\pm 4$ | %             |
| t <sub>ONS</sub> MAX   | Secondary Winding Switch Maximum On-Time   | R <sub>RTONS</sub> = 15k $\Omega$ (Measured at G1S-G6S)                | ● | 1 | 1.2     | 1.4     | $\mu\text{s}$ |
|                        |  | $\pm[(\text{Max} - \text{Min})/(\text{Max} + \text{Min})] \cdot 100\%$ | ● |   | $\pm 1$ | $\pm 4$ | %             |
| t <sub>DLY_START</sub> | Delayed Start Time After New/Different Balance Command or Recovery from Voltage/Temp Fault |  |   |   | 2       |         | ms            |

## SPIポートのタイミング仕様

|                |                                 |                 |   |     |  |  |    |
|----------------|---------------------------------|-----------------|---|-----|--|--|----|
| t <sub>1</sub> | SDI Valid to SCKI Rising Setup  | Write Operation | ● | 10  |  |  | ns |
| t <sub>2</sub> | SDI Valid from SCKI Rising Hold | Write Operation | ● | 250 |  |  | ns |
| t <sub>3</sub> | SCKI Low                        |                 | ● | 400 |  |  | ns |
| t <sub>4</sub> | SCKI High                       |                 | ● | 400 |  |  | ns |

33002f

**電気的特性** ●は、規定動作接合部温度範囲での規格値を意味する。それ以外は、 $T_A = 25^\circ\text{C}$ での値(Notes 2)。注記がない限り、 $\text{BOOST}^+ = 25.2\text{V}$ 、 $\text{C6} = 21.6\text{V}$ 、 $\text{C5} = 18\text{V}$ 、 $\text{C4} = 14.4\text{V}$ 、 $\text{C3} = 10.8\text{V}$ 、 $\text{C2} = 7.2\text{V}$ 、 $\text{C1} = 3.6\text{V}$ 、 $V^- = 0\text{V}$ 。

| SYMBOL           | PARAMETER                     | CONDITIONS  | MIN | TYP  | MAX | UNITS |               |
|------------------|-------------------------------|---|-----|------|-----|-------|---------------|
| $t_5$            | CSBI Pulse Width              |   | ●   | 400  |     | ns    |               |
| $t_6$            | SCKI Rising to CSBI Rising    |   | ●   | 100  |     | ns    |               |
| $t_7$            | CSBI Falling to SCKI Rising   |   | ●   | 100  |     | ns    |               |
| $t_8$            | SCKI Falling to SDO Valid     | Read Operation                                      | ●   |      | 250 | ns    |               |
| $f_{\text{CLK}}$ | Clock Frequency               |   | ●   |      | 1   | MHz   |               |
| $t_{\text{WD1}}$ | Watchdog Timer Timeout Period | WDT Assertion Measured from Last Valid Command Byte | ●   | 0.75 | 1.5 | 2.25  | second        |
| $t_{\text{WD2}}$ | Watchdog Timer Reset Time     | WDT Negation Measured from Last Valid Command Byte  | ●   |      | 1.5 | 5     | $\mu\text{s}$ |

### デジタルI/O仕様

|                 |                             |   |                  |   |                          |                  |  |
|-----------------|-----------------------------|---|------------------|---|--------------------------|------------------|--|
| $V_{\text{IH}}$ | Digital Input Voltage High  | Pins CSBI, SCKI, SDI<br>Pins CTRL, BOOST<br>Pins A4, A3, A2, A1, A0<br>Pin WDT                | ●<br>●<br>●<br>● | $V_{\text{REG}} - 0.5$<br>$V_{\text{REG}} - 0.5$<br>$V_{\text{REG}} - 0.5$<br>2 |                          | V<br>V<br>V<br>V |  |
| $V_{\text{IL}}$ | Digital Input Voltage Low   | Pins CSBI, SCKI, SDI<br>Pins CTRL, BOOST<br>Pins A4, A3, A2, A1, A0<br>Pin WDT                | ●<br>●<br>●<br>● |   | 0.5<br>0.5<br>0.5<br>0.8 | V<br>V<br>V<br>V |  |
| $I_{\text{IH}}$ | Digital Input Current High  | Pins CSBI, SCKI, SDI<br>Pins CTRL, BOOST<br>Pins A4, A3, A2, A1, A0<br>Pin WDT, Timed Out     |                  | -1<br>-1<br>-1<br>-1  | 0<br>0<br>0<br>0         | 1<br>1<br>1<br>1 | $\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$ |
| $I_{\text{IL}}$ | Digital Input Current Low   | Pins CSBI, SCKI, SDI<br>Pins CTRL, BOOST<br>Pins A4, A3, A2, A1, A0<br>Pin WDT, Not Balancing |                  | -1<br>-1<br>-1<br>-1  | 0<br>0<br>0<br>0         | 1<br>1<br>1<br>1 | $\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$ |
| $V_{\text{OL}}$ | Digital Output Voltage Low  | Pin SDO, Sinking 500 $\mu\text{A}$ ; Read   | ●                |   |                          | 0.3              | V  |
| $I_{\text{OH}}$ | Digital Output Current High | Pin SDO at 6V   | ●                |   |                          | 100              | nA   |

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

**Note 2:** LTC3300-2は $T_J$ が $T_A$ にほぼ等しいパルス負荷条件でテストされる。LTC3300I-2は、 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲で動作することが保証されている。LTC3300H-2は、 $-40^\circ\text{C} \sim 150^\circ\text{C}$ の動作接合部温度範囲で動作することが保証されている。接合部温度が高いと動作寿命が短くなる。 $125^\circ\text{C}$ を超える接合部温度では動作寿命はディレーティングされる。これらの仕様を満たす最高周囲温度は、基板レイアウト、パッケージの定格熱インピーダンスおよび他の環境要因と関連した特定の動作条件によって決まることに注意。接合部温度( $T_J$ ( $^\circ\text{C}$ ))は周囲温度( $T_A$ ( $^\circ\text{C}$ ))および電力損失( $P_D$ (W))から次式に従って計算される。

$$T_J = T_A + (P_D \cdot \theta_{JA})$$

ここで、 $\theta_{JA}$ ( $^\circ\text{C}/\text{W}$ )はパッケージの熱インピーダンス。

**Note 3:** 複数のセルのバランスを一度に調整する場合、個々のセルの電源電流は、表で与えられた値から次のように計算できる。まず、動作中のバランスについて、セルごとに該当する表の値を加算する。次に動作中の他の各バランスについて、C1、C2、C3、C4、およびC5の場合は

合計値から70 $\mu\text{A}$ を引き、C6の場合は合計値から450 $\mu\text{A}$ を引く。例えば、6個のバランスが動作中である場合、C1の電流は $[250 - 70 + 70 + 70 + 70 + 70 - 5(70)]\mu\text{A} = 110\mu\text{A}$ になり、C6の電流は $[560 + 560 + 560 + 560 + 560 + 740 - 5(450)]\mu\text{A} = 1290\mu\text{A}$ になる。

**Note 4:** バランス調整が動作しているときの、動的な電源電流は、スイッチング周波数で供給されるゲート電荷によって増加する。これらの電流の推定の詳細については、「動作」の「ゲート・ドライバ/ゲート駆動コンパレータ」と「電圧レギュレータ」のセクションを参照。

**Note 5:** 表で与えられたゼロ電流検出電圧は、直流しきい値。アプリケーションに現れる実際のゼロ電流検出電圧は、巻線電流のスルーレートと電流検出コンパレータの有限遅延により、ゼロに近くなる。

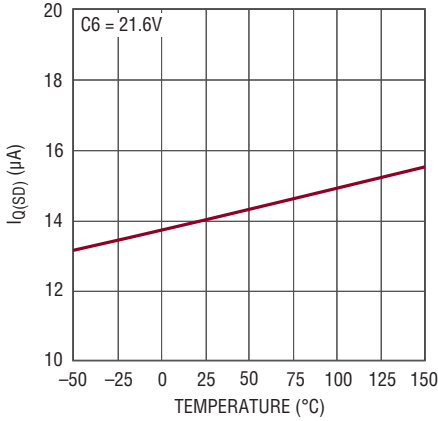
**Note 6:** ミッドレンジ値は、6個のグループ内の最小値と最大値の平均。

**Note 7:** このデバイスは短時間の過負荷状態の間デバイスを保護するための過熱保護機能を備えている。この過熱保護機能が動作しているときは、最高接合部温度を超える場合がある。規定された最高動作接合部温度を超えた状態で使用を続けると、デバイスの劣化または故障が生じるおそれがある。

# LTC3300-2

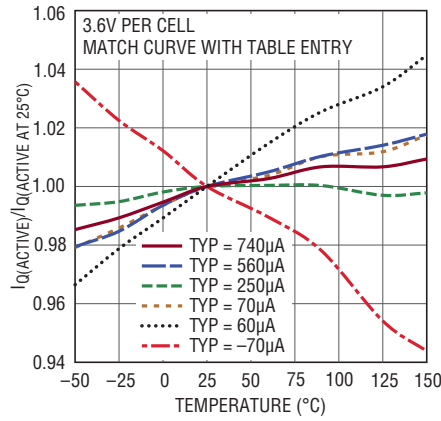
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

バランスを調整していないときの  
C6電源電流と温度



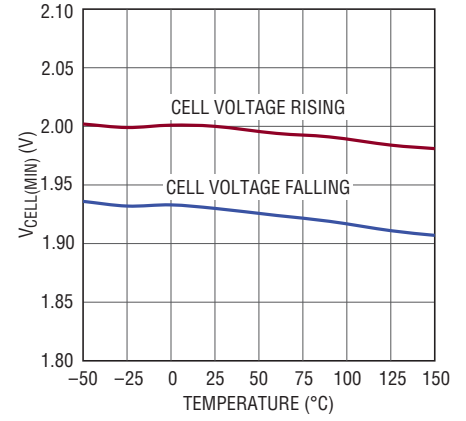
33002 G01

バランスを調整しているときの  
電源電流と温度 (25°Cに正規化)



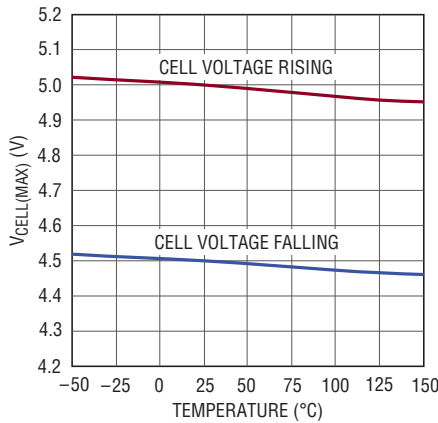
33002 G02

1次側ゲート駆動に必要な  
最小セル電圧と温度



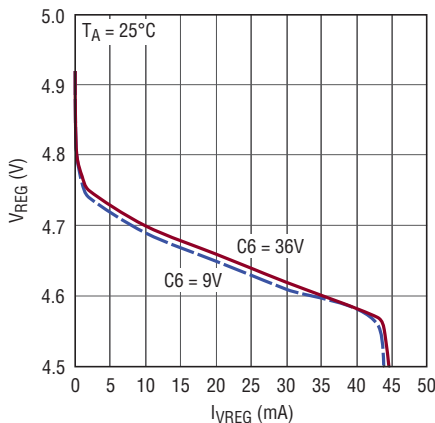
33002 G03

バランス調整可能な  
最大セル電圧と温度



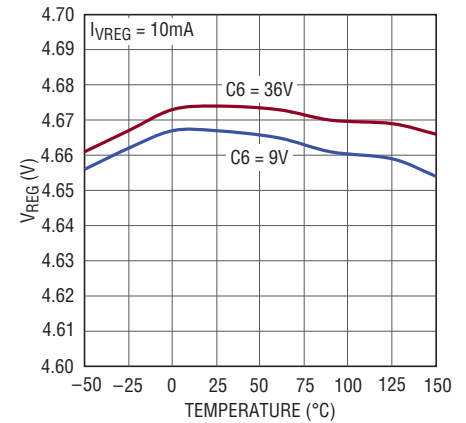
LT33002 G04

VREG 負荷レギュレーション



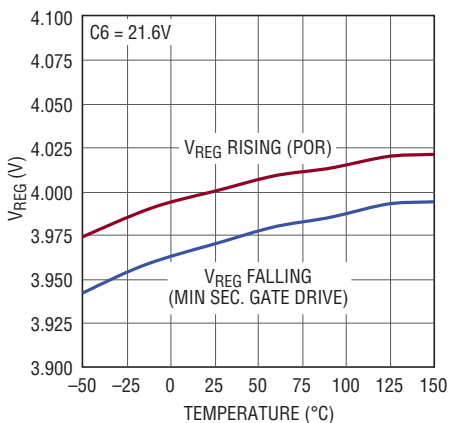
33002 G05

VREG 電圧と温度



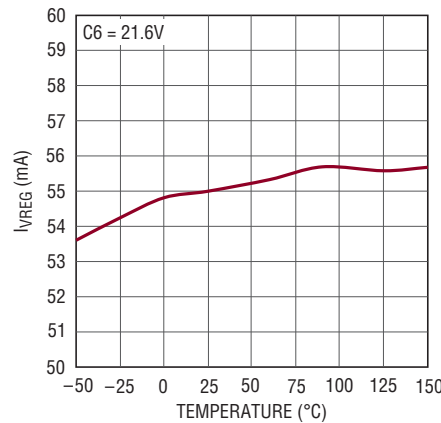
33002 G06

VREGPOR 電圧および  
最小2次側ゲート駆動と温度



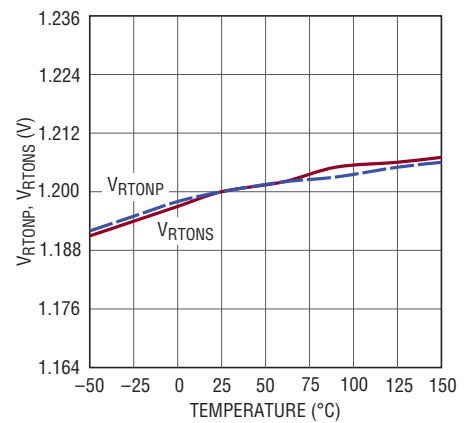
33002 G07

VREG 短絡電流制限と温度



33002 G08

VRTONP、VRTONSと温度

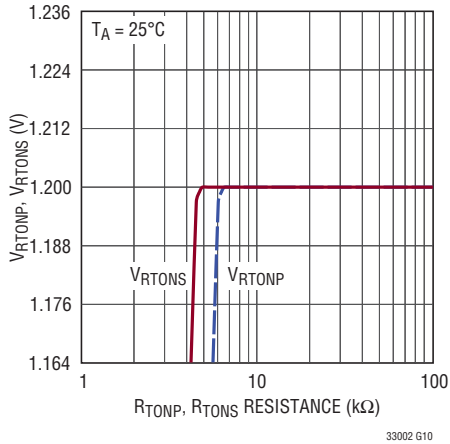


33002 G09

33002f

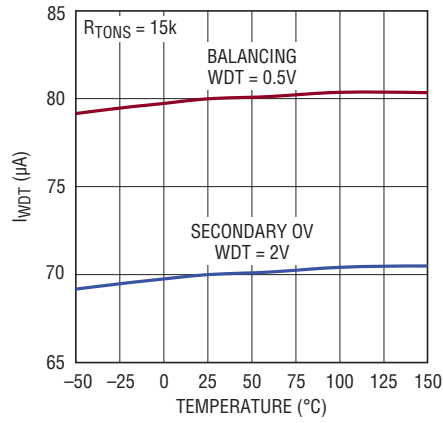
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

$V_{RTONP}$ 、 $V_{RTONS}$ と外付け抵抗



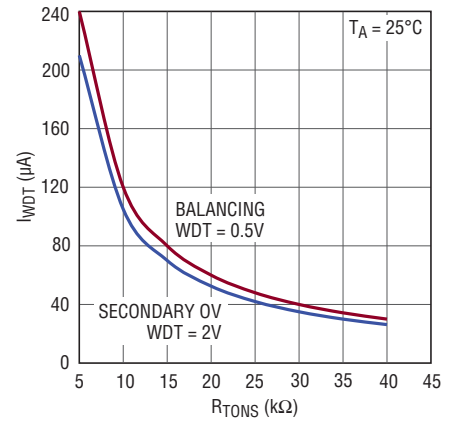
33002 G10

WDTピンの電流と温度



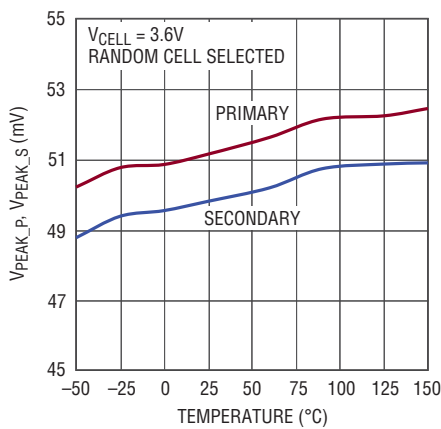
33002 G11

WDTピンの電流と $R_{TONS}$



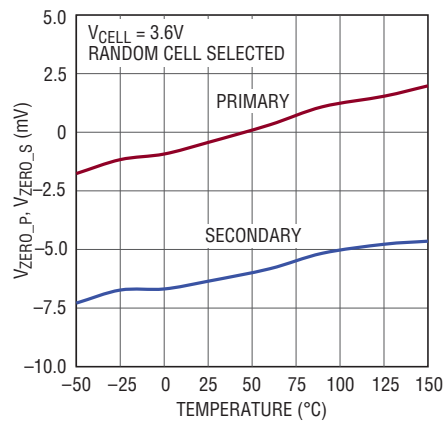
33002 G12

ピーク電流検出しきい値と温度



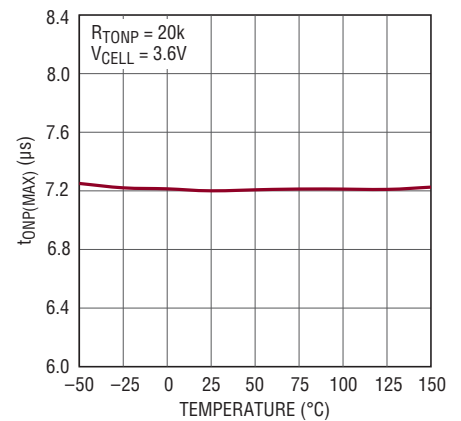
33002 G13

ゼロ電流検出しきい値と温度



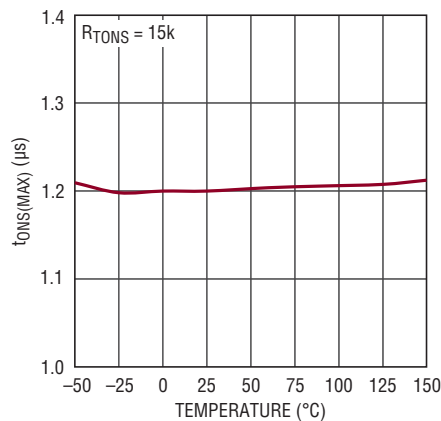
33002 G14

1次側巻線スイッチ最大オン時間と温度



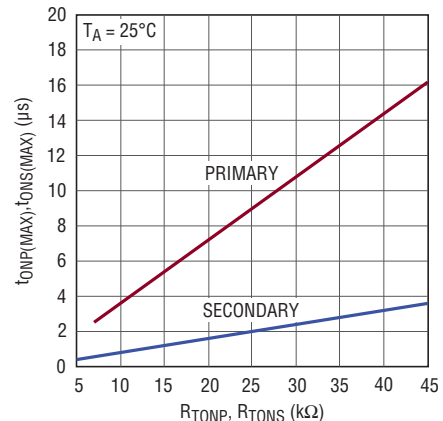
33002 G15

2次側巻線スイッチ最大オン時間と温度



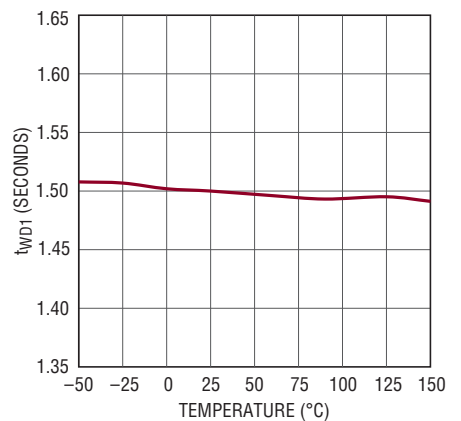
33002 G16

最大オン時間と $R_{TONP}$ 、 $R_{TONS}$



33002 G17

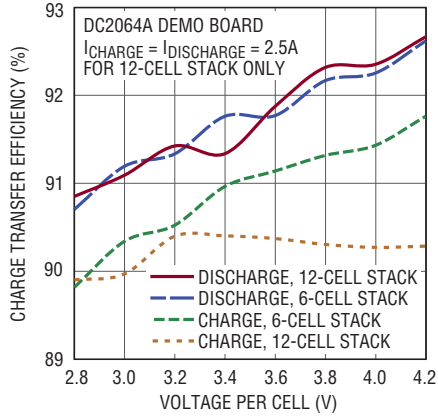
ウォッチドッグ・タイマのタイムアウト期間と温度



33002 G18

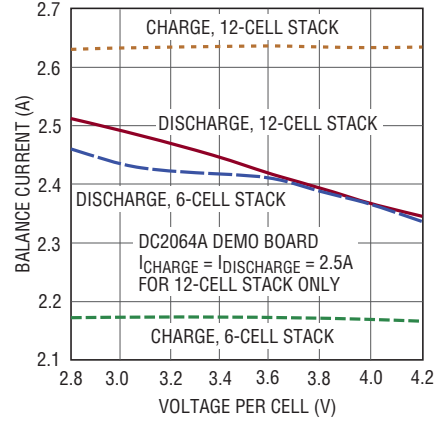
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

バランスの効率とセル電圧



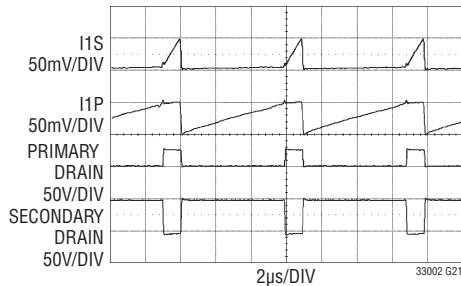
33002 G19

バランス電流とセル電圧



33002 G20

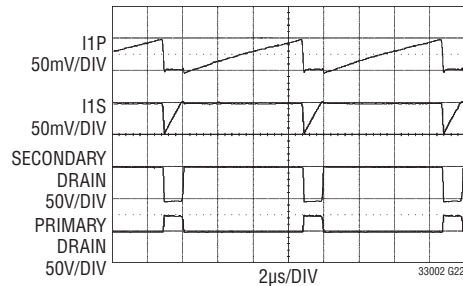
標準的な充電波形



33002 G21

DC2064A DEMO BOARD  
 $I_{\text{CHARGE}} = 2.5\text{A}$   
 $T = 2$   
 $S = 12$

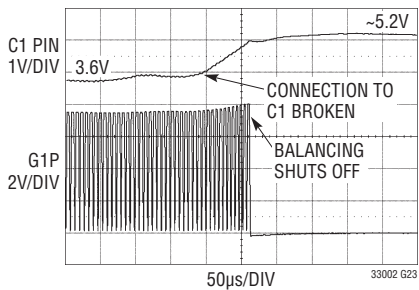
標準的な放電波形



33002 G22

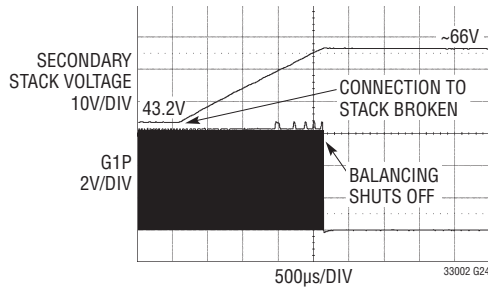
DC2064A DEMO BOARD  
 $I_{\text{DISCHARGE}} = 2.5\text{A}$   
 $T = 2$   
 $S = 12$

充電中にセルが断線した場合の保護



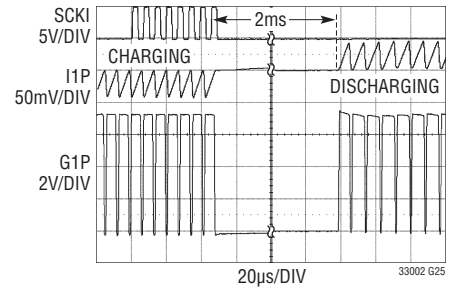
33002 G23

放電中に2次側スタックが断線した場合の保護



33002 G24

バランスの充電方向オンザフライ



33002 G25



## ピン機能

注:このデータ・シートでは、慣習として、**エネルギーの転送方向に関わらず**、個々のバッテリー・セルに並列に接続されたトランスの巻線を1次側と呼び、複数の直列スタック・セルと並列に接続されたトランスの巻線を2次側と呼びます。

**G6S、G5S、G4S、G3S、G2S、G1S (ピン1、3、5、7、9、11) :** G1S～G6Sは、トランスの2次側巻線と直列に接続された外付けNMOSトランジスタを駆動するためのゲート・ドライバ出力です。トランスの1次側は、バッテリー・セル1～6と並列に接続されます。1つのトランス( $CTRL = V_{REG}$ )を使用して部品数を最小に抑えるバランス調整アプリケーションの場合は、G2S～G6Sを接続しません。

**I6S、I5S、I4S、I3S、I2S、I1S (ピン2、4、6、8、10、12) :** I1S～I6Sは、トランスの2次側巻線電流を測定するための電流検出出力です。トランスの1次側は、バッテリー・セル1～6と並列に接続されます。1つのトランス( $CTRL = V_{REG}$ )を使用して部品数を最小に抑えるバランス調整アプリケーションの場合は、I2S～I6Sを $V^-$ に接続します。

**RTONS (ピン13) :** 2次側巻線の最大 $t_{ON}$ 設定抵抗。RTONSピンは、1.2Vにサーボ制御されます。 $V^-$ に向かう抵抗は、2次側巻線と直列に接続されたすべての外付けNMOSトランジスタの最大オン時間を設定します。これによって、すべての2次側巻線の短絡電流検出抵抗から保護します。この機能を無効化する場合は、RTONSを $V_{REG}$ に接続します。2次側巻線のOVPしきい値(WDTピンを参照)も、抵抗 $R_{TONS}$ の値に従います。

**RTONP (ピン14) :** 1次側巻線の最大 $t_{ON}$ 設定抵抗。RTONPピンは、1.2Vにサーボ制御されます。 $V^-$ に向かう抵抗は、1次側巻線と直列に接続されたすべての外付けNMOSトランジスタの最大オン時間を設定します。これによって、すべての1次側巻線の短絡電流検出抵抗から保護します。この機能を無効化する場合は、RTONPを $V_{REG}$ に接続します。

**CTRL : (ピン15) :** 制御入力。CTRLピンを $V_{REG}$ に接続した場合、LTC3300-2は、1つのトランスを使用する部品数最小のアプリケーション用に構成され、CTRLピンを $V^-$ に接続した場合、LTC3300-2は、複数のトランスを使用するアプリケーション用に構成されます。このピンは、 $V_{REG}$ または $V^-$ のいずれかに接続する必要があります。

**CSBI (ピン16) :** チップ選択(アクティブ“L”)入力。CSBIピンは、レール・トゥ・レール出力ロジック・ゲートとインタフェースします。詳細については、「動作」のセクションの「シリアル・ポート」を参照してください。

**SCKI (ピン17) :** シリアル・クロック入力。SCKIピンは、レール・トゥ・レール出力ロジック・ゲートとインタフェースします。詳細については、「動作」のセクションの「シリアル・ポート」を参照してください。

**SDI (ピン18) :** シリアル・データ入力。LTC3300-2にデータを書き込むとき、SDIピンはレール・トゥ・レール出力ロジック・ゲートとインタフェースします。詳細については、「動作」のセクションの「シリアル・ポート」を参照してください。

**SDO (ピン19) :** シリアル・データ出力。LTC3300-2からデータを読み出すとき、SDOピンはNMOSオープンドレイン出力になります。詳細については、「動作」のセクションの「シリアル・ポート」を参照してください。

**WDT (ピン20) :** ウォッチドッグ・タイマ出力(アクティブ“H”)。初期電源投入時、有効なバランス・コマンドの実行が試みられていないときに、外付けプルアップ抵抗が存在する場合、WDTピンは高インピーダンスになり、“H”に引き上げられます(内部では約5.6Vにクランプされます)。バランス調整中(または、バランスを調整しようとして電圧/温度フォルトのために実行できないときに)、通信が正常に動作している間、WDTピンは、抵抗 $R_{TONS}$ に従う高精度電流源によって“L”に引き下げられます。ただし、1.5秒間(標準)、有効なコマンド・バイトが書き込まれなかった場合、WDT出力は“H”に戻ります。WDTが“H”になると、すべてのバランスが停止します。WDTを $V^-$ に接続することによって、ウォッチドッグ・タイマ機能をディスエーブルできます。このピンを使用して、2次側巻線のOVP機能を実装することもできます(「動作」のセクションを参照)。

**$V^-$  (ピン21、露出パッド・ピン49) :**  $V^-$ は、一連のセルのうち、最も低い負の電位に接続します。露出パッドは、LTC3300-2の直下に配置した複数のピアを使って、プリント回路基板の2番目の層の、 $V^-$ にバイアスされた連続したグラウンド・プレーンに接続します。

**I1P、I2P、I3P、I4P、I5P、I6P (ピン22、25、28、31、34、37) :** I1P～I6Pは、バッテリー・セル1～6と並列に接続されたトランスの1次側巻線電流を測定するための、電流検出出力です。

**G1P、G2P、G3P、G4P、G5P、G6P (ピン23、26、29、32、35、38) :** G1P～G6Pは、バッテリー・セル1～6と並列に接続されたトランスの1次側巻線と直列に接続された外付けNMOSトランジスタを駆動するための、ゲート・ドライバ出力です。

## ピン機能

**C1、C2、C3、C4、C5、C6 (ピン 24、27、30、33、36、39) :** C1～C6は、バッテリー・セル1～6の正端子に接続します。バッテリー・セル1の負端子は、V<sup>-</sup>に接続します。

**BOOST<sup>+</sup> (ピン 40) :** BOOST<sup>+</sup>ピン。このピンは、外付けフライング・コンデンサの陽極に接続され、特定のLTC3300-2サブスタック内の先頭バッテリー・セルをバランス調整するために必要となる十分なゲート駆動の生成に使用されます。ショットキ・ダイオードを、C6からBOOST<sup>+</sup>に接続する必要もあります。あるいは、上位のサブスタックが存在する場合、BOOST<sup>+</sup>ピンをそのサブスタック内の1つ上のセルに接続することもできます。このピンは、事実上、C7になります。(注記:「サブスタック」とは、さらに大きなスタックの一部として個々のLTC3300-2にローカルに接続された、3～6個のバッテリー・セルのことです。)

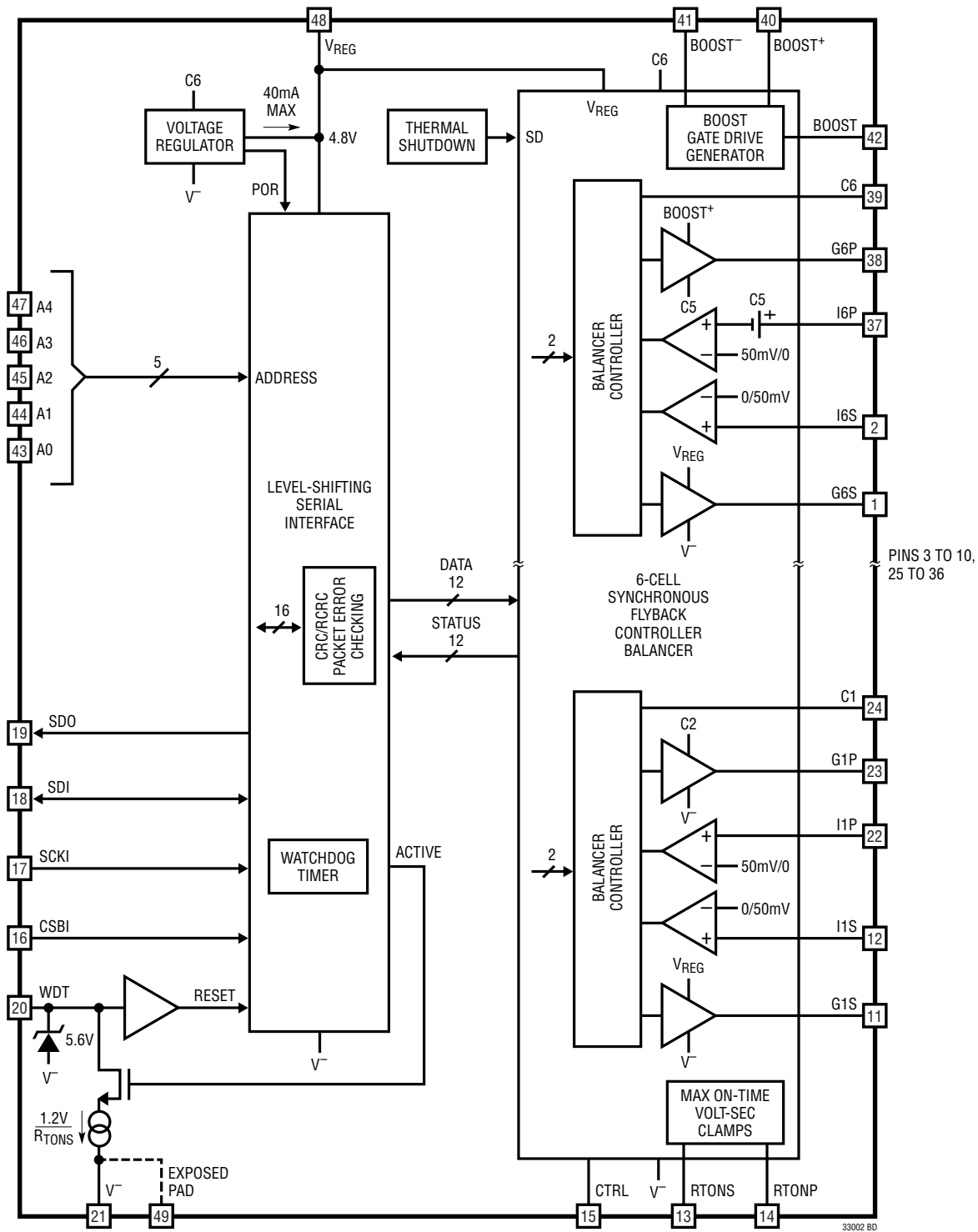
**BOOST<sup>-</sup> (ピン 41) :** BOOST<sup>-</sup>ピン。このピンは、外付けフライング・コンデンサの陰極に接続され、特定のLTC3300-2サブスタック内の先頭バッテリー・セルをバランス調整するために必要となる十分なゲート駆動の生成に使用されます。あるいは、上位のサブスタックが存在し、BOOST<sup>+</sup>ピンをそのサブスタック内の1つ上のセルに接続した場合、このピンは接続しません。

**BOOST (ピン 42) :** イネーブル・ブースト・ピン。特定のLTC3300-2サブスタック内の先頭セルのバランス調整に必要なゲート駆動ブーストをイネーブルするには、BOOSTをV<sub>REG</sub>に接続します。BOOST<sup>+</sup>ピンをスタック内の1つ上のセル(つまり、スタック内の次のLTC3300-2のC1)に接続できる場合、BOOSTをV<sup>-</sup>に接続し、BOOST<sup>-</sup>は接続しません。このピンは、V<sub>REG</sub>またはV<sup>-</sup>のいずれかに接続する必要があります。

**A0、A1、A2、A3、A4 (ピン 43、44、45、46、47) :** アドレス入力。アドレス・ピンの状態(V<sub>REG</sub> = 1、V<sup>-</sup> = 0)でLTC3300-2のアドレスが決まります。これらのピンは、V<sub>REG</sub>またはV<sup>-</sup>のいずれかに接続する必要があります。詳細については、「動作」のセクションの「シリアル・ポート」を参照してください。

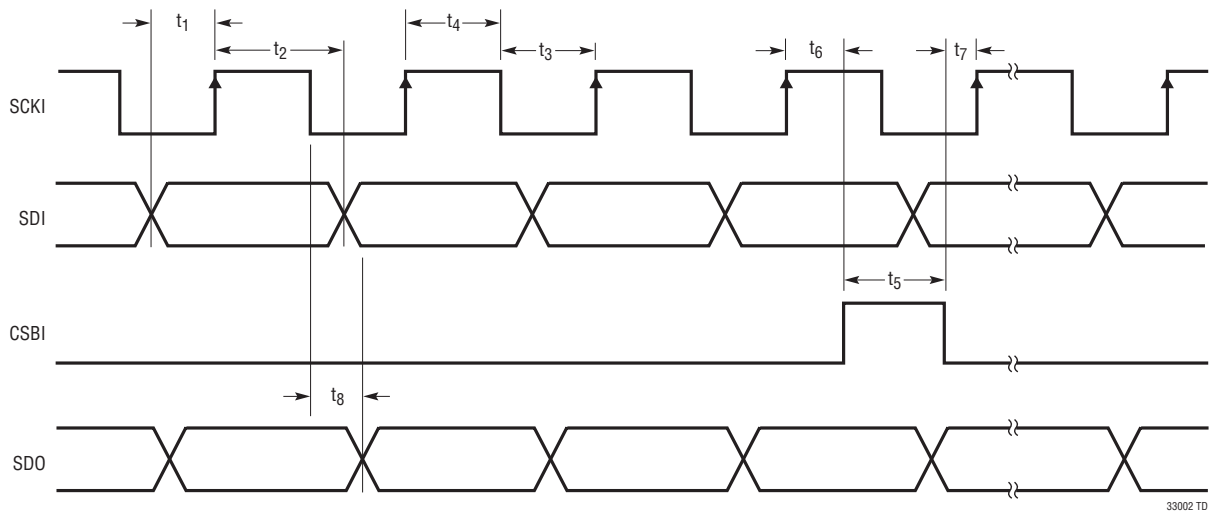
**V<sub>REG</sub> (ピン 48) :** リニア電圧レギュレータ出力。この4.8V出力は、1μF以上のコンデンサを使用してV<sup>-</sup>にバイパスする必要があります。V<sub>REG</sub>ピンは、最大40mAを内部および外部の負荷に供給できます。V<sub>REG</sub>ピンは、電流をシンクしません。

ブロック図



## タイミング図

シリアル・インタフェースのタイミング図



33002 TD

## 動作

## バッテリー管理システム(BMS)

LTC3300-2 マルチセル・バッテリー・セル・バランスは、直列に接続されたりチウムイオン・セル用の高性能バッテリー管理システム(BMS)における主要部品です。これは、モニタ、チャージャ、およびマイクロプロセッサまたはマイクロコントローラと連携して動作するように設計されています(図1参照)。

このバランスの機能は、隣接するセル間の電圧と容量のバランスを回復するために、スタック内のバランスを失った特定のセルと、それに隣接するさらに大きな(個々のセルを含む)セル・グループとの間で、効率的に電荷を転送することです。この電荷を常にスタック全体との間で直接転送することが理想的ですが、スタック全体のセル数が多い場合、電圧の問題のため、そうすることは非実用的です。LTC3300-2は、最大6個の直列セルのグループとインタフェースするように設計されています。そのため、N個のセルから成る直列スタックのバランス調整に必要なLTC3300-2デバイスの数は、N/6を最も近い整数に切り上げた数になります。LTC3300-2のアドレスは5ビットなので、セル数Nは最大192が可能です。スタック内の個々のLTC3300-2を、6個よりも少ないセルに接続する場合は、「アプリケーション情報」のセクションを参照してください。

バランス調整機能はセル間に大きなスイッチング(マルチアンペア)電流を引き起こすため、LTC6803-2(または、そのファミリのいずれかのデバイス)などの専用モニタ部品を使用することで、BMSで高精度な電圧モニタが得られます。LTC6803-2は、最大12個の直列セルの高精度A/Dモニタ機能を提供します。LTC3300-2は、範囲を超えた過電圧と低電圧のセルをバランス調整の対象外にする、粗い電圧モニタ機能のみを提供します。これによって、モニタ部品に対するケルビン検出が失われた場合に、安全な遮断が提供されます。

セルがバランスを回復する過程で、スタック全体がわずかに放電します。チャージャ部品は、代替電源からスタック全体を充電するための手段を提供します。

BMSの最後の部品は、マイクロプロセッサ/マイクロコントローラです。これらは、バランス、モニタ、およびチャージャと直接通信して電圧、電流、および温度の情報を受信し、バランス調整アルゴリズムを実装します。

## 動作

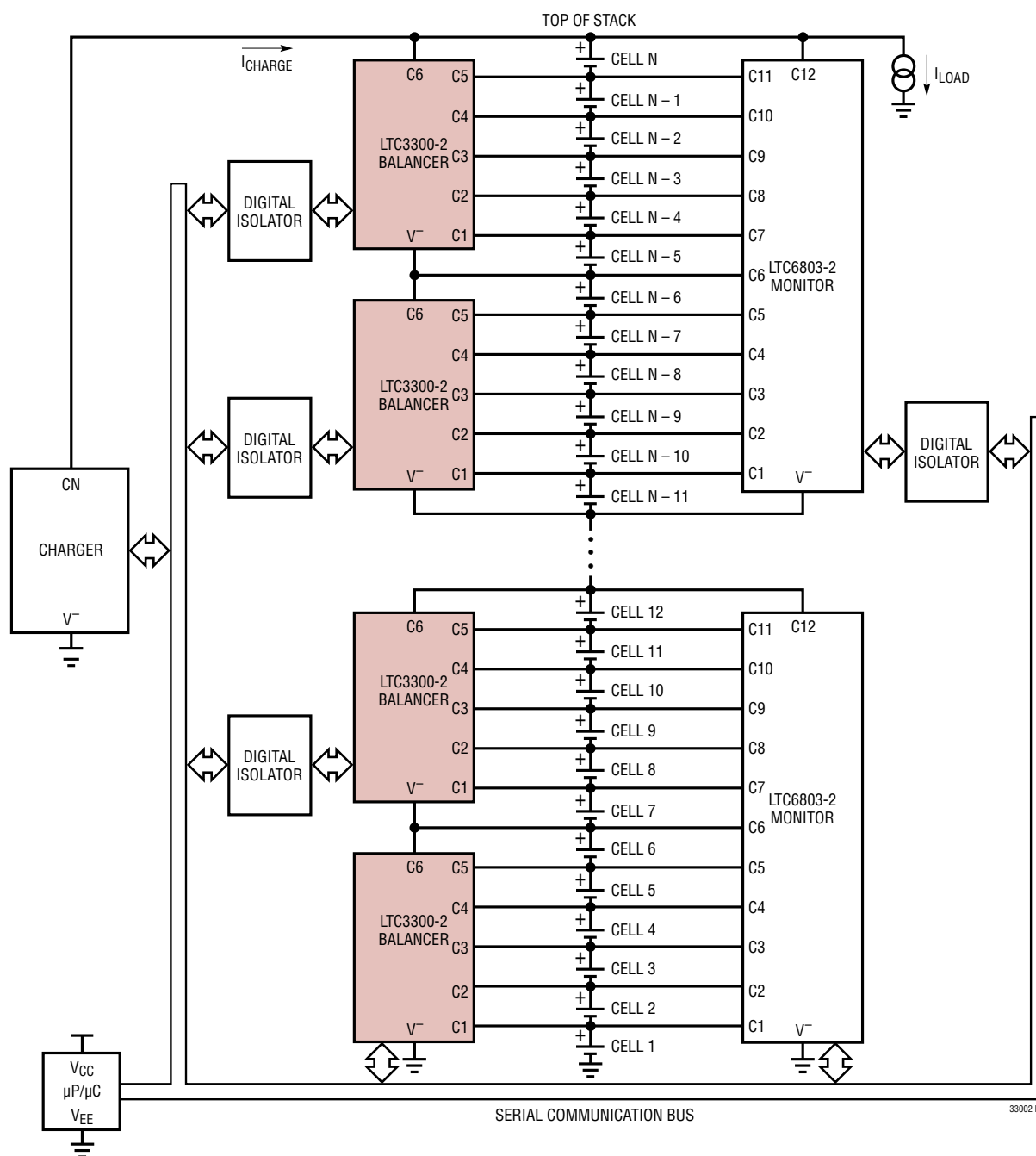


図1. LTC3300-2/LTC6803-2の標準的なバッテリー管理システム (BMS)

すべての状況に対して最適な、1つのバランス調整アルゴリズムは存在しません。例えば、スタック全体を充電するときに、スタック全体が完全に充電される前に、どのセルも最終的な電荷に達しないようにするために、まず、最も電圧の高いセルを放電することが望ましい場合があります。同様に、スタック全体を放電するときに、セルが危険な低電圧に達しないようにするために、まず、最も電圧の低いセルを充電することが望

ましい場合があります。その他のアルゴリズムでは、全体のバランス調整を最速で行うことが優先される場合があります。LTC3300-2は、スタックのバランス調整を行うアルゴリズムを実装していません。その代わりにLTC3300-2は、すべての個々のセル・バランスが同時かつ双方向に動作できるようにして、実装されるアルゴリズムに制限を与えないことによって、最大限の柔軟性を提供します。

33002f

## 動作

### 単方向と双方向のバランス調整

現在使用されているほとんどのバランスは、単方向(放電のみ)の方法を採用しています。これらのうち、最も単純な方法では、スタック内の電圧が最も高いセル間の抵抗でスイッチングすることによって動作します(受動的バランス調整)。この方法では、電荷は回収されません。代わりに、抵抗素子内で電荷が熱として消費されます。これは、(誘電的または容量的)エネルギー保存素子を使用して、スタック内で最も電圧の高いセルから電圧の低い他のセルに電荷を転送することによって、改善できます(アクティブ・バランス調整)。この方法は、スタック全体のうちの数個のセルのみの電圧が高い場合は(電荷回収に関して)非常に効率的ですが、スタック全体のうちの数個のセルのみの電圧が低い場合には、非常に非効率的で時間もかかります。一般的なすべてのセル容量誤差について、最

小のバランス調整時間と、最大の電荷回収を実現するには、LTC3300-2で採用されているような双方向アクティブ・バランス調整方法が必要になります。

### 同期整流式フライバック・バランス

LTC3300-2で実装されているバランス調整アーキテクチャは、双方向同期整流式フライバックです。各LTC3300-2は、個々のセルを直接充電または放電できる独立した6個の同期整流式フライバック・コントローラを内蔵しています。バランス電流の大きさは、外付け部品を使用して変更できます。各バランスは、他のバランスから独立して動作し、個々のセルとさらに大きな隣接セル・グループとの間で双方向の電荷転送手段を提供します。図2を参照してください。

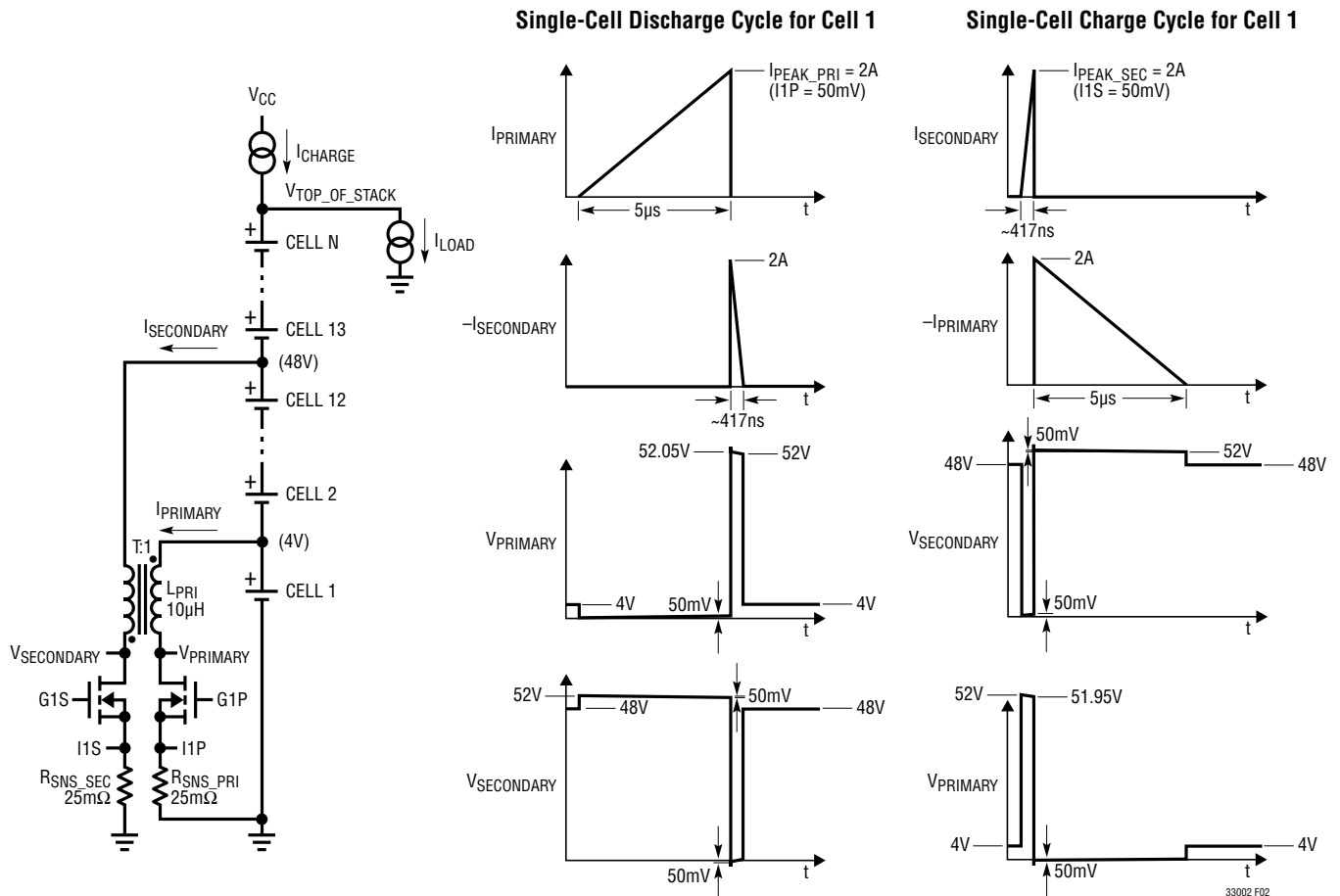


図2.T = 1、S = 12での同期整流式フライバック・バランス調整の例

## 動作

### セルの放電(同期整流式)

特定のセルの放電がイネーブルされると、1次側スイッチがオンになり、設定されたピーク電流 ( $I_{PEAK\_PRI}$ ) が  $I_{IN}$  ピンで検出されるまで、トランスの1次側巻線の電流が増加します。次に、1次側スイッチがオフになり、トランスに保存されたエネルギーが2次側のセルに転送されて、トランスの2次側巻線内で電流が流れます。2次側の電流がゼロに減少するまで ( $I_{IN}$  で検出) 2次側の同期整流式スイッチがオンになり、転送期間中の電力損失を最小限に抑えます。2次側の電流がゼロに達すると、2次側スイッチがオフになり、1次側スイッチがオンに戻って、このサイクルが繰り返されます。このようにして、放電中のセルから、2次側の先頭と最後尾の間に接続されたすべてのセルに電荷が転送されます。これによって、隣接セルが充電されます。図2の例では、2次側で、放電中のセルを含む12個のセル全体が接続されています。

$I_{PEAK\_PRI}$  は、次の式を用いて設定されます。

$$I_{PEAK\_PRI} = \frac{50\text{mV}}{R_{SNS\_PRI}}$$

セルの放電電流(1次側)と2次側の電荷回収電流は、以下の式から1次近似で決定されます。

$$I_{DISCHARGE} = \frac{I_{PEAK\_PRI}}{2} \left( \frac{S}{S+T} \right)$$

$$I_{SECONDARY} = \frac{I_{PEAK\_PRI}}{2} \left( \frac{1}{S+T} \right) \eta_{DISCHARGE}$$

ここで、Sは2次側のセル数、1:Tは1次側から2次側へのトランスの巻数比、 $\eta_{DISCHARGE}$  は1次側セルの放電から2次側スタックへの転送効率です。

### セルの充電

特定のセルの充電がイネーブルされると、イネーブルされたセルの2次側スイッチがオンになり、2次側の各セルからトランスを経由して電流が流れます。2次側で  $I_{PEAK\_SEC}$  に達すると ( $I_{IN}$  ピンで検出)、2次側スイッチがオフになり、次に1次側で電流が流

れます。その結果、選択されたセルが、スタック全体の2次側セルから充電されます。放電の場合と同様に、1次側の同期整流式スイッチがオンになり、セルの充電期間中の電力損失を最小限に抑えます。1次側の電流がゼロに減少すると、1次側スイッチがオフになり、2次側スイッチがオンに戻って、このサイクルが繰り返されます。

$I_{PEAK\_SEC}$  は、次の式を用いて設定されます。

$$I_{PEAK\_SEC} = \frac{50\text{mV}}{R_{SNS\_SEC}}$$

セルの充電電流と、対応する2次側の放電電流は、以下の式から1次近似で決定されます。

$$I_{CHARGE} = \frac{I_{PEAK\_SEC}}{2} \left( \frac{ST}{S+T} \right) \eta_{CHARGE}$$

$$I_{SECONDARY} = \frac{I_{PEAK\_SEC}}{2} \left( \frac{T}{S+T} \right)$$

ここで、Sはスタック内の2次側セルの数、1:Tは1次側から2次側へのトランスの巻数比、 $\eta_{CHARGE}$  は2次側スタックの放電から1次側セルへの転送効率です。

各バランスの電荷転送の「周波数」とデューティ・ファクタは、 $I_{PEAK\_PRI}$ 、 $I_{PEAK\_SEC}$ 、トランスの巻線インダクタンス、巻数比、セルの電圧、2次側セルの数などの、多くの要因に依存します。

ゲート・ドライバ出力に現れるスイッチング周波数は、以下の式から得られます。

$$f_{DISCHARGE} = \frac{S}{S+T} \cdot \frac{V_{CELL}}{L_{PRI} \cdot I_{PEAK\_PRI}}$$

$$f_{CHARGE} = \frac{S}{S+T} \cdot \frac{V_{CELL}}{L_{PRI} \cdot I_{PEAK\_SEC} \cdot T}$$

ここで、 $L_{PRI}$  は1次側巻線インダクタンスです。

図3に、6個のバランスをすべて使用したフル実装のLTC3300-2アプリケーションを示します。

## 動作

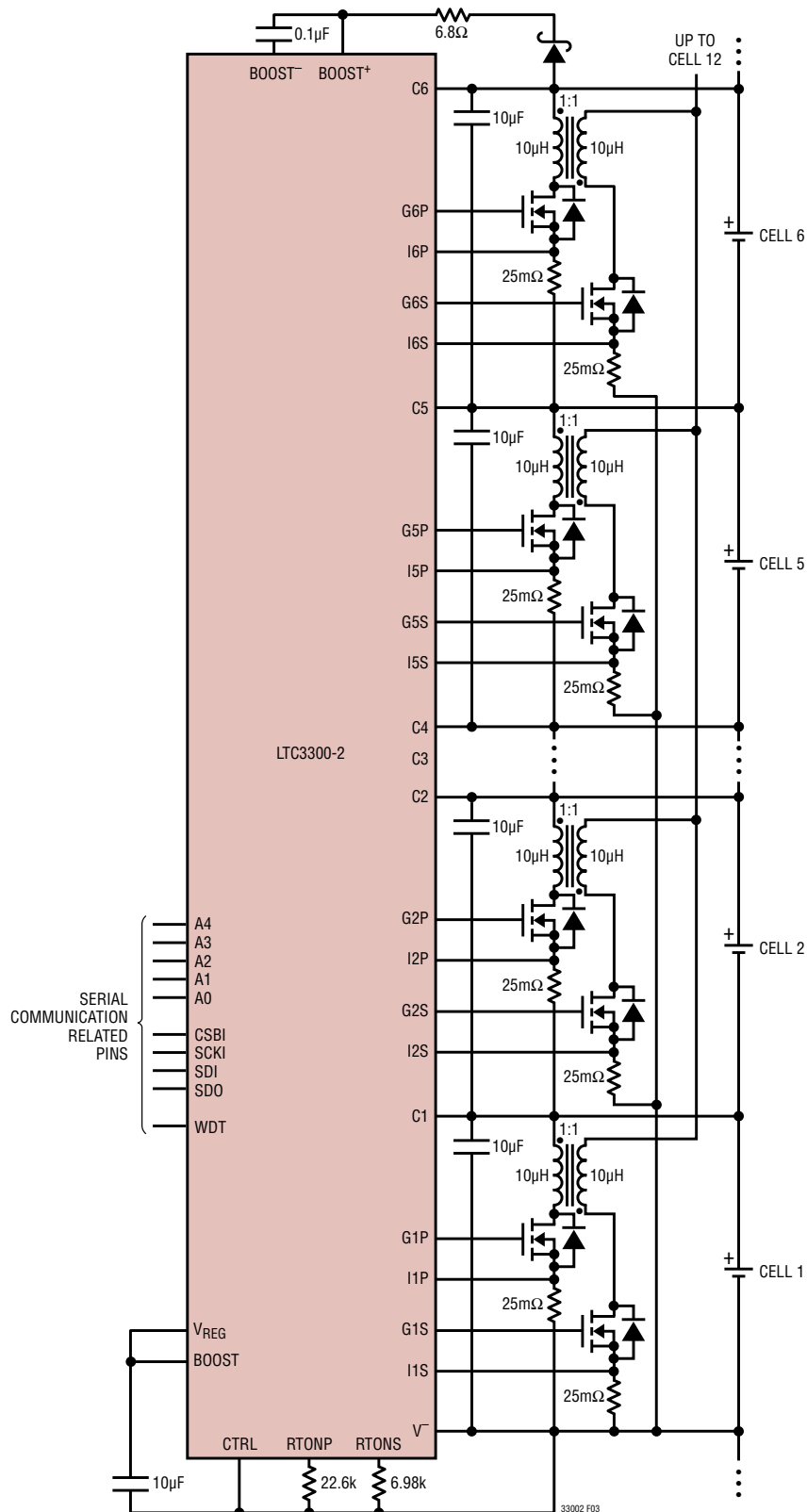


図3. マルチトランス・アプリケーション (CTRL = V) の電源接続を示す LTC3300-2 6セル・アクティブ・バランサ・モジュール

33002f



## 動作

### 高電圧バッテリー・スタックのバランス調整

12個を大幅に超えるセルが直列に接続されたバッテリーのバランスを調整するには、1次側と2次側の電力FETのブレイクダウン電圧の要件を制限しながらスタック全体のバランス調整を実現するために、トランスの2次側接続のインターリーブが必要になります。図4に、マルチセル・バッテリー・スタックの標準のインターリーブ・トランス接続を汎用的に示し、図5に18セル・スタックの具体例を示します。これらの例では、各トランスの2次側は、各LTC3300-2サブスタック内で最も電圧の低いセルの下部からスタック内で12個分高い位置にあるセルの上部に接続されています。スタック内の最上位のLTC3300-2の場合、トランスの2次側を12個のセルを超えて接続することができません。代わりに、そのトランスの2次側は、スタックの先頭に接続されます。つまり、事実上、6個のセルのみを超えて接続されます。この方法でインターリーブを行うことによって、バッテリー・スタック全体にわたって、6セルのサブスタック間で電荷を転送することが可能になります。

### 最大オン時間ボルト秒クランプ

LTC3300-2は、プログラム可能なフォルト保護クランプを備えています。これは、検出抵抗が短絡した場合に、1次側巻線または2次側巻線のいずれかで電流が増加できる時間を制限します。すべての1次側接続(セルの放電中に動作)とすべての2次側接続(セルの充電中に動作)の最大オン時間は、 $R_{TONP}$ ピンおよび $R_{TONS}$ ピンからV<sub>+</sub>に抵抗を接続することによって、以下の式に従って個別にプログラム可能です。

$$t_{ON(MAX)PRIMARY} = 7.2\mu s \frac{R_{TONP}}{20k\Omega}$$

$$t_{ON(MAX)SECONDARY} = 1.2\mu s \frac{R_{TONS}}{15k\Omega}$$

適切な最大オン時間の選択の詳細については、「アプリケーション情報」のセクションを参照してください。

この機能を無効化する場合、該当する $R_{TON}$ ピンをV<sub>REG</sub>に短絡します。

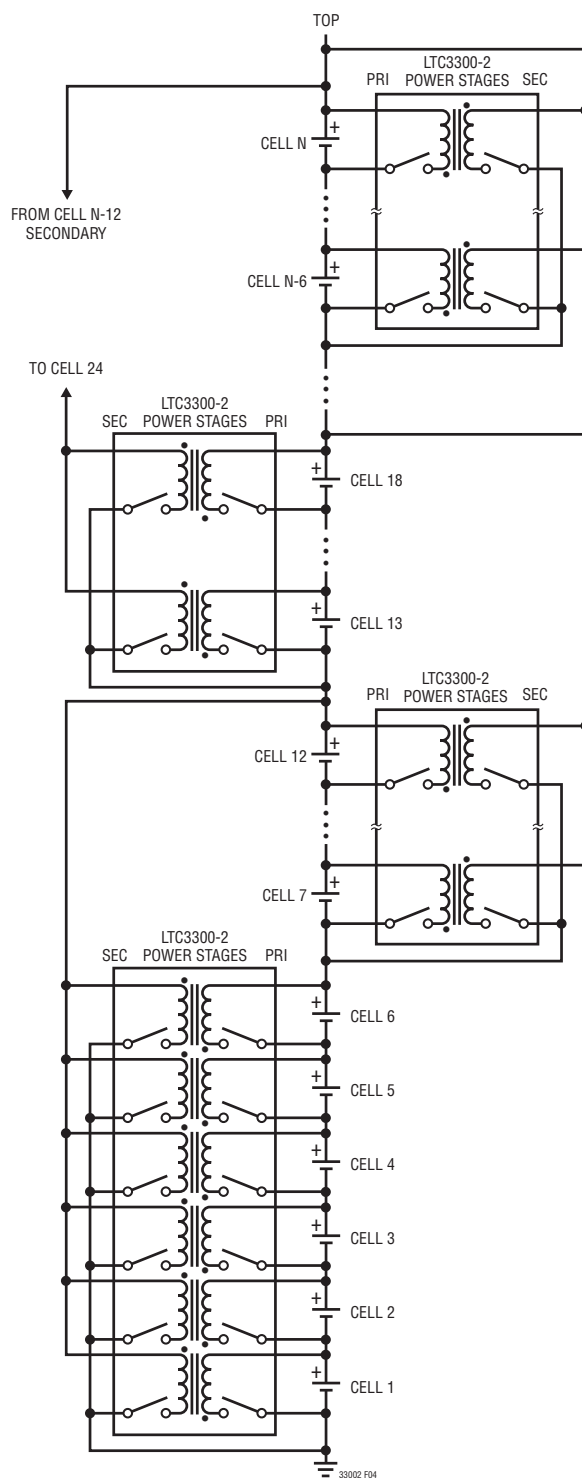


図4. スタックを經由した電力転送インターリーブ、高電圧スタック用のトランス接続の図

## 動作

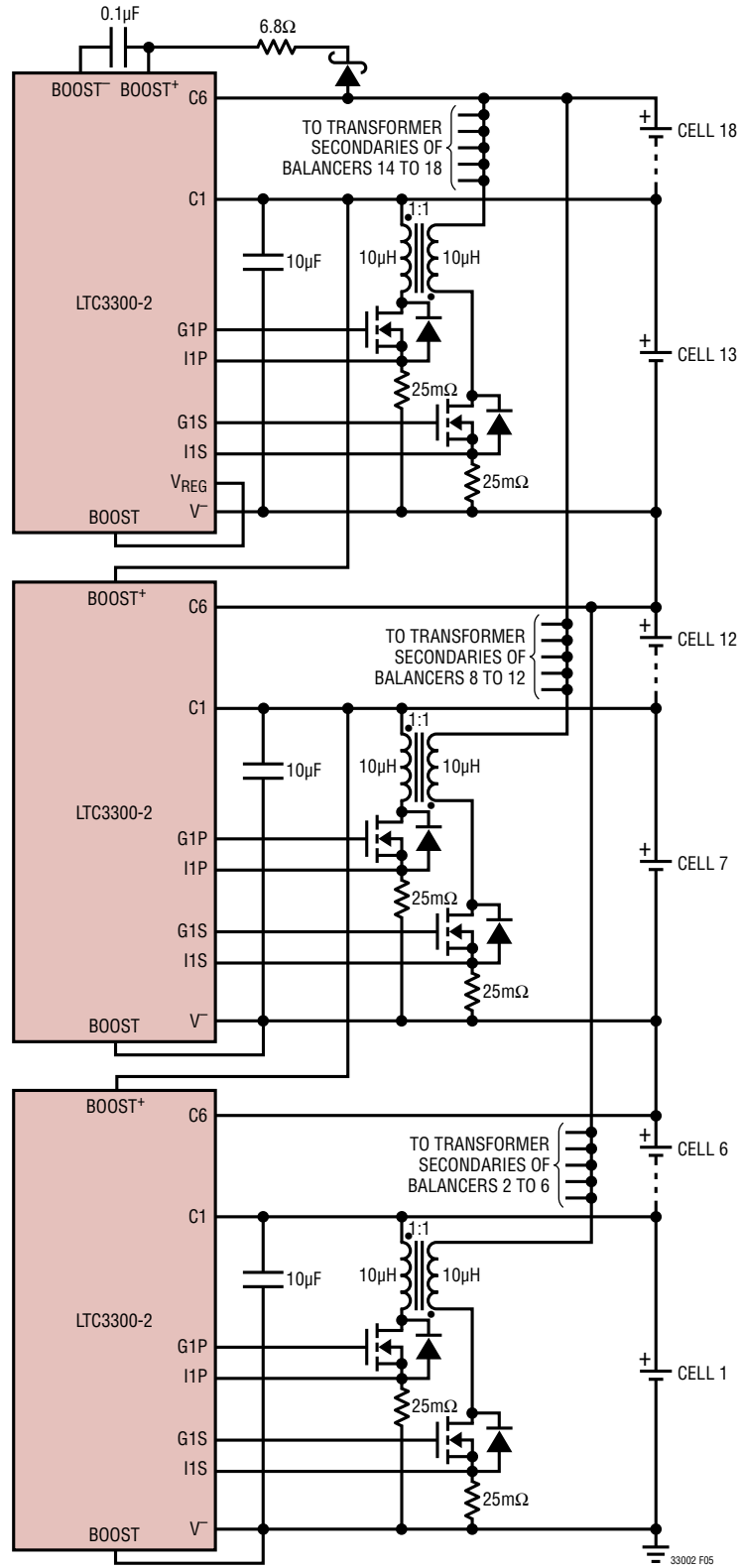


図5. 電源接続を示す18セル・アクティブ・バランサ、トランスの2次側をインターリーブしてスタックの上方にBOOST+レールを生成

## 動作

### ゲート・ドライバ/ゲート駆動コンパレータ

すべての2次側ゲート・ドライバ(G1S～G6S)は、V<sub>REG</sub>出力から電力を供給され、オンのときに4.8Vに引き上げられ、オフのときにV<sup>-</sup>に引き下げられます。すべての1次側ゲート・ドライバ(G1P～G6P)は、それに対応するセルの電圧と、スタック内の1つ上のセルの電圧から電力を供給されます(表1を参照)。個々のセル・バランスは、対応するセルの電圧が2Vを超え、スタック内の1つ上のセルの電圧も2Vを超えた場合にのみイネーブルされます。G6Pゲート・ドライバ出力の場合、スタック内の1つ上のセルは、スタック内の1つ上のLTC3300-2(存在する場合)のC1であり、ゲート駆動ブーストが(BOOSTをV<sup>-</sup>に接続することによって)ディスエーブルされた場合にのみ使用されます。ゲート駆動ブーストが(BOOSTをV<sub>REG</sub>に接続することによって)イネーブルされた場合、C6セルの電圧のみが参照されて、セル6のバランス調整がイネーブルされます。スタック内の最上位のLTC3300-2の場合、ゲート駆動ブーストをイネーブルする必要があります。ゲート駆動ブーストでは、C6からBOOST<sup>+</sup>に外付けダイオードを接続し、BOOST<sup>+</sup>からBOOST<sup>-</sup>に昇圧コンデンサを接続する必要があります。これらの部品の選択の詳細については、「アプリケーション情報」のセクションを参照してください。また、「電気的特性」の表のNote 4に記載された動的な電源電流が、表1の「オフ時の電圧」と「オン時の電圧」の列に示されたピンの端子電流に追加されることに注意してください。

ゲート駆動コンパレータは、70mVの直流ヒステリシスを備えています。ノイズ耐性を向上するために、入力には内部でローパス・フィルタがかけられ、内部コンパレータの状態が3～6μs(標準)の間不変であることがない限り出力が遷移しないように、出力にはフィルタがかけられます。アクティブ・バランス調整中に、不十分なゲート駆動が検出された場合(例えば、スタックに重い負荷がかかった場合)、影響を受けるバランス

のみが遮断されます。その後、十分なゲート駆動が回復した場合、バランス・コマンドがメモリに保存されたままであるため、遮断されたところからアクティブ・バランス調整が再開します。これは、例えば、スタックが充電中の場合に発生することがあります。

### セルの過電圧コンパレータ

バランス調整をイネーブルするには十分なゲート駆動が必要ですが、それに加えて、6個のセルのいずれかの電圧が5Vを超えた場合にすべてのアクティブ・バランス調整をディスエーブルするコンパレータが存在します。これらのコンパレータは、500mVの直流ヒステリシスを備えています。ノイズ耐性を向上するために、入力には内部でローパス・フィルタがかけられ、内部コンパレータの状態が3～6μs(標準)の間不変であることがない限り出力が遷移しないように、出力にはフィルタがかけられます。アクティブ・バランス調整中に、いずれかのセルが過電圧になった場合、動作中のすべてのバランスが遮断されます。その後、セルの電圧が所定の範囲内に戻った場合、バランス・コマンドがメモリに保存されたままであるため、遮断されたところからアクティブ・バランス調整が再開します。バランス調整中にバッテリーへの接続が失われ、そのバランス調整の結果としてセルの電圧が上昇し続けた場合に、これらのコンパレータによってLTC3300-2が保護されます。

### 電圧レギュレータ

C6から電力を供給されるリニア電圧レギュレータは、V<sub>REG</sub>ピンで4.8Vの電圧レールを作成します。この電圧レールは、6個すべての2次側ゲート・ドライバなどの、LTC3300-2の特定の内部回路への電力供給に使用されます。V<sub>REG</sub>出力は、外部負荷への電力供給にも使用できます。ただし、レギュレータの合計直流負荷電流が40mAを超えないという条件があります。この電流値を超えた時点で、電流制限が加えられて、内部の

表1

| ドライバ出力 | オフ時の電圧         | オン時の電圧  | バランス調整をイネーブルするために必要なゲート駆動                      |
|--------|----------------|---|--|
| G1P    | V <sup>-</sup> | C2  | (C2 - C1) ≥ 2V and (C1 - V <sup>-</sup> ) ≥ 2V |
| G2P    | C1             | C3  | (C3 - C2) ≥ 2V and (C2 - C1) ≥ 2V              |
| G3P    | C2             | C4  | (C4 - C3) ≥ 2V and (C3 - C2) ≥ 2V              |
| G4P    | C3             | C5  | (C5 - C4) ≥ 2V and (C4 - C3) ≥ 2V              |
| G5P    | C4             | C6  | (C6 - C5) ≥ 2V and (C5 - C4) ≥ 2V              |
| G6P    | C5             | If BOOST = V <sub>REG</sub> :BOOST <sup>+</sup> (Generated) | (C6 - C5) ≥ 2V                                 |
|        |                | If BOOST = V <sup>-</sup> :BOOST <sup>+</sup> = C7*         | (C7* - C6) ≥ 2V and (C6 - C5) ≥ 2V             |

\*この接続を使用した場合、C7は、スタック内の1つ上のLTC3300-2のC1に等しい。

## 動作

電力損失が抑えられます。内部部品の直流負荷電流は、平均ゲート・ドライバ電流(G1S～G6S)によって左右されます。各平均ゲート・ドライバ電流は、 $C \cdot V \cdot f$ によって近似できます。ここで、 $C$ は外付けNMOSトランジスタのゲート容量、 $V$ は $V_{REG} = 4.8V$ 、 $f$ はゲート・ドライバ出力の動作時の周波数です。通常、FETメーカは、所定のゲート駆動電圧でクーロン単位で測定された $Q_g$ (ゲート電荷)として、 $C \cdot V$ の積を指定します。周波数 $f$ は、多くの項に依存しますが、主に、個々のセルの電圧、2次側スタック内のセル数、設定されたバランス調整ピーク電流、トランスの1次側と2次側の巻線インダクタンスに依存します。「標準的応用例」では、 $V_{REG}$ 出力の負荷電流 $C \cdot V \cdot f$ は、1つのドライバにつき10ミリアンペア未満であることが期待されます。なお、 $V_{REG}$ の負荷電流は、最終的にはC6ピンから供給されます。非常に大きなバランス電流を伴い、かつ(または)非常に大きなゲート容量を持つ外付けNMOSトランジスタを使用するアプリケーションの場合、 $V_{REG}$ 出力は、40mA(平均)を超える電流をソースする必要があることがあります。このような状況での設計方法の詳細については、「アプリケーション情報」のセクションを参照してください。

$V_{REG}$ 出力に従属するもう1つの機能は、パワーオン・リセット(POR)です。初期電源投入時、および、それ以降 $V_{REG}$ ピンの電圧が(例えば、過負荷により)約4Vを下回った場合、シリアル・ポートがクリアされて、バランスがすべて停止するデフォルトのパワーアップ状態になります。この機能によって、2次側の外付けFETに供給される最小ゲート駆動も4Vになることが保証されます。初期電源投入時に、10 $\mu$ Fコンデンサで出力に負荷を与えた場合、出力は約1ms後にレギュレーションに達します。

### サーマル・シャットダウン

LTC3300-2は、内部シリコン・ダイの温度が約155°Cに上昇した場合にすべてのアクティブ・バランス調整をシャットダウンする、過熱保護回路を備えています。サーマル・シャットダウン中は、すべてのシリアル通信が動作したままであるため、セル・バランス・ステータス(温度情報を含む)を読み出すことができます。実行されていたバランス・コマンドは、メモリに保存されたままになります。この機能は、10°Cのヒステリシスを備えています。そのため、その後、ダイ温度が約145°Cに低下したときに、前に実行されていたコマンドによってアクティブ・バランス調整が再開されます。

### ウォッチドッグ・タイマ回路

ウォッチドッグ・タイマ回路は、LTC3300-2への通信が失われた場合にすべてのアクティブ・バランス調整をシャットダウンする手段を提供します。ウォッチドッグ・タイマは、バランス・コマンドの実行が開始されたときに開始され、有効な8ビットのコマンド・バイト(「シリアル・ポートの動作」を参照)が書き込まれるたびに、ゼロにリセットされます。コマンド・バイトとして有効なのは、実行、書き込み、または読み出し(コマンドまたはステータス)です。「部分的な」読み出しと書き込みは、有効と見なされます。つまり、必要なのは、最初の8ビットに正しいアドレスを書き込んで格納することのみです。

図6aに示すように、外付けプルアップ抵抗が存在する場合、初期電源投入時、バランス調整を行っていないときに、WDTピンは高インピーダンスになり、「H」に引き上げられます(内部で約5.6Vにクランプされます)。バランス調整が行われていて、通信が正常に動作している間、WDTピンは、1.2V/ $R_{TONS}$ に等しい高精度電流源によって「L」に引き下げられます。(注記： $R_{TONS}$ を $V_{REG}$ に接続することによって2次側ボルト秒クランプが無効化されている場合、ウォッチドッグ機能も無効化されます。)有効なコマンド・バイトが1.5秒間(標準)書き込まれなかった場合、WDT出力は「H」に戻ります。WDTが「H」のとき、すべてのバランスはシャットダウンされますが、前に実行されていたバランス・コマンドは、メモリに残ったままになります。このタイムアウト状態の発生後、有効なコマンド・バイトによってタイマはリセットされます。ただし、バランスが再始動されるのは、実行コマンドが書き込まれた場合のみです。ウォッチドッグ機能を無効化する場合は、単にWDTピンをV<sub>-</sub>に接続します。

### バランス調整の一時停止/再開(WDTピン経由)

WDT出力ピンは、ロジック入力(TTLレベル)としての役割も果たします。WDT出力ピンを、図6b(ウォッチドッグなし)に示すように外部ロジック・ゲートによって駆動するか、図6c(ウォッチドッグあり)に示すようにPMOS/スリーステート・ロジック・ゲートによって駆動して、動作中のバランス調整を一時停止および再開できます。外部のプルアップは、WDTピンでのグラウンドへの電流源(1.2V/ $R_{TONS}$ )を無効にするための、十分な駆動能力を持つ必要があります。内部ウォッチドッグ・タイマが単独でタイムアウトしないという条件で、WDTピンを外部で「H」に引き上げることによって、バランス調整が即座に一時停止し、WDTピンが解除されると、停止したところからバランス調整が再開します。

## 動作

## 2次側巻線 OVP 機能 (WDTピン経由)

図6cに示すように、バランス調整中にWDTピンをプルダウンする高精度電流源を使用して、高精度の2次側巻線OVP保護回路を作成できます。R<sub>TONS</sub>によって大きさを設定され、トランスの2次巻線に接続される2次側外付け抵抗を使用して、コンパレータのしきい値を設定します。WDTピンを高電圧から保護するために、NMOSカスコード・デバイス(ゲートをV<sub>REG</sub>に接続)も必要です。2次側巻線OVPしきい値は、以下の式から得られます。

$$V_{SEC|OVP(RISING)} = 1.4V + 1.2V \cdot (R_{SEC\_OVP}/R_{TONS})$$

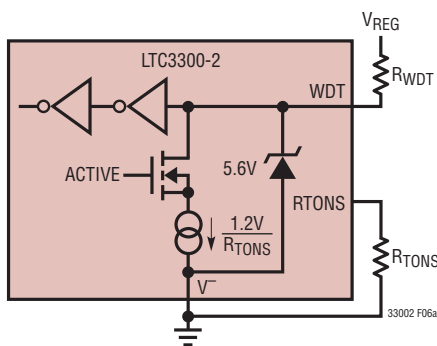
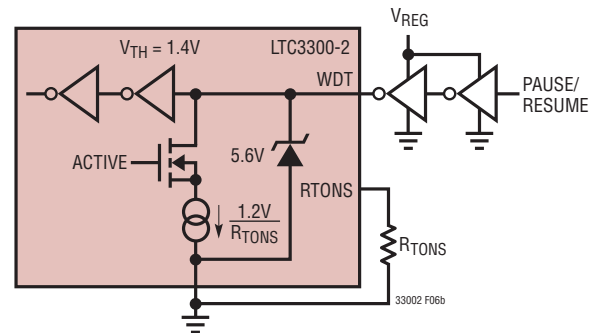
$$V_{SEC|OVP(FALLING)} = 1.4V + 1.05V \cdot (R_{SEC\_OVP}/R_{TONS})$$

このコンパレータは、バランス調整中にバッテリー・スタックへの2次側巻線接続が失われ、そのバランス調整の結果として2次側巻線電圧が増加を続けた場合に、LTC3300-2のアプリケーション回路を保護します。その後、スタックの電圧が安全

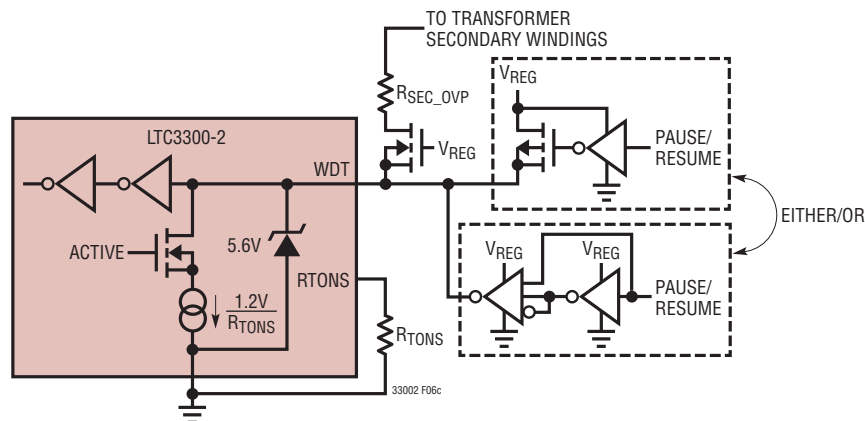
なレベルに低下した場合、バランス・コマンドがメモリに保存されたままであるため、停止したところからアクティブ・バランス調整が再開します。

単トランス・アプリケーション (CTRL = V<sub>REG</sub>)

図7に、1つのカスタム・トランスを共有し、6個のバランスをすべて使用したフル実装のLTC3300-2アプリケーションを示します。このアプリケーションでは、トランスの6本の1次側巻線が、1本の2次側巻線と結合しています。6個のバランスすべてが2次側ゲート・ドライバG1Sと2次側電流検出力I1Sを共有しているため、特定の時間に動作できるバランスは1つのみです。未使用のゲート・ドライバ出力G2S～G6Sをフロートのままにし、未使用の電流検出力I2S～I6SをV<sup>-</sup>に接続する必要があります。一度に複数のバランスを動作させようとするバランス・コマンドは、無視されます。このアプリケーションは、最小の部品数で実現可能なアクティブ・バランスを示しています。

(6a) ウォッチドッグ・タイマのみ (無効化する場合は WDT = V<sup>-</sup>)

(6b) バランス調整の一時停止/再開のみ



(6c) バランス調整の一時停止/再開機能と2次側巻線 OVP 保護機能付きウォッチドッグ・タイマ

図6. WDTピンの接続オプション

## 動作

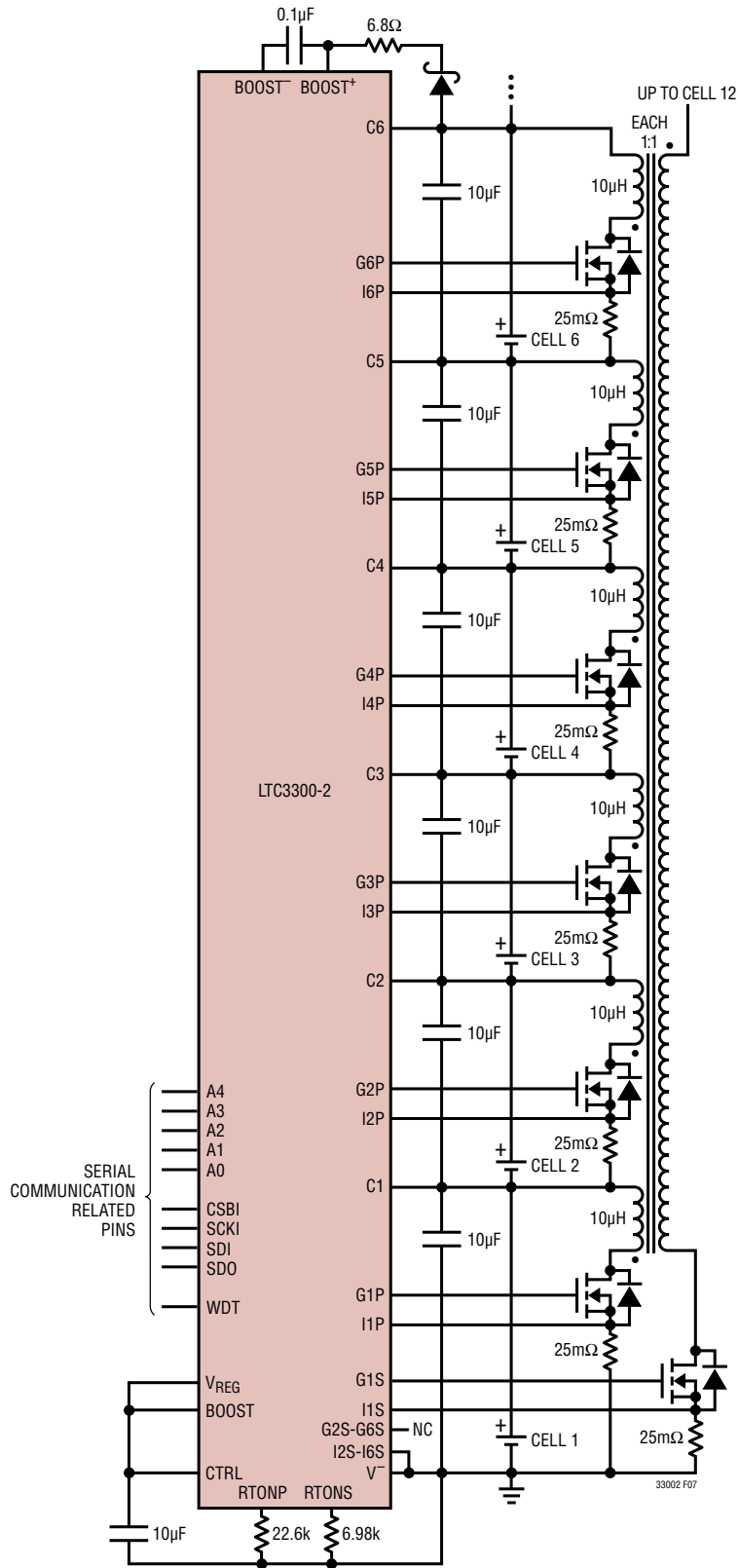


図7. 単一トランス・アプリケーション(CTRL = V<sub>REG</sub>)の電源接続を示す LTC3300-2 6セル・アクティブ・バランス・モジュール

## 動作

### シリアル・ポートの動作

#### 概要

LTC3300-2は、SPIバス互換のシリアル・ポートを備えています。デジタル・アイソレータを使ってデバイスを並列接続することができます。複数のデバイスは、A0ピン～A4ピンによって決まるデバイス・アドレスにより、一意に識別されます。

#### 物理層

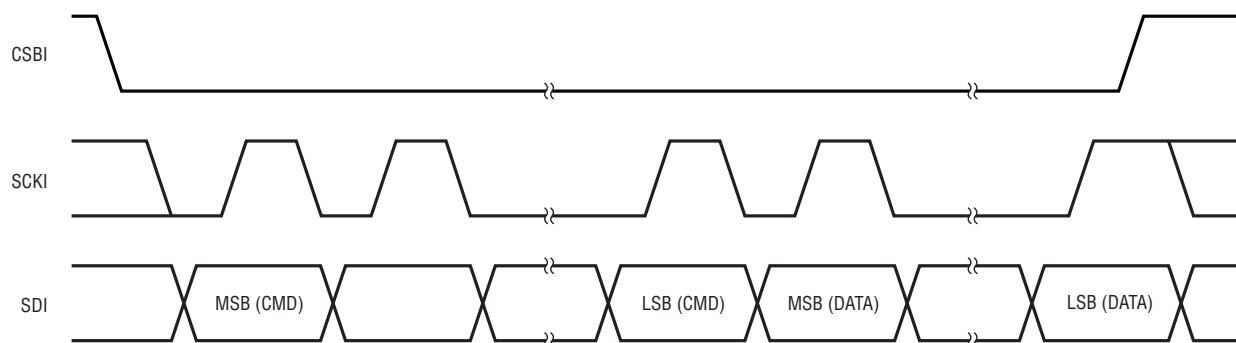
LTC3300-2では、4つのピンでシリアル・インタフェースが構成されています。CSBI、SCKI、SDIおよびSDOです。必要であれば、SDOピンとSDIピンを互いに接続して、単一の双方向ポートを形成できます。5つのアドレス・ピン(A0～A4)でデバイス・アドレスを設定します。シリアル通信に係るすべてのピンは電圧モードで、これらの電圧レベルはV<sub>REG</sub>電源とV<sub>電源</sub>を基準にしています。

#### データ・リンク層

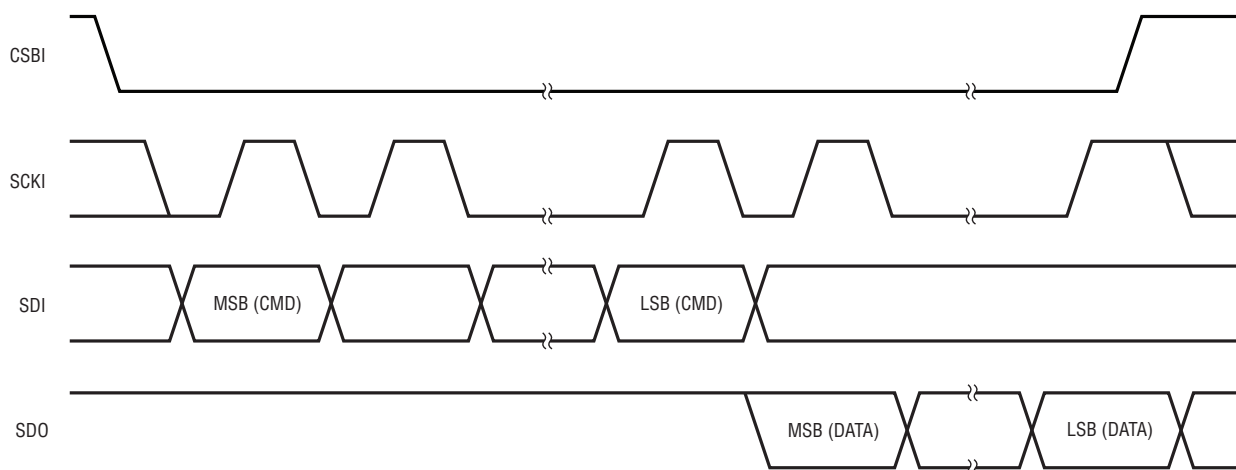
**クロックの位相と極性:** LTC3300-2のSPI互換インタフェースは、CPHA = 1およびCPOL = 1を使用するシステムで動作するように構成されています。したがって、SDIのデータはSCKIの立ち上がりエッジの間安定している必要があります。

**データ転送:** 各バイトは8ビットで構成されます。バイトは、最上位ビット(MSB)を先頭にして転送されます。書き込みでは、SDIのデータ値がSCKIの立ち上がりエッジでデバイスにラッチされます(図8a)。同様に、読み出しでは、SDOのデータ値はSCKIの立ち上がりエッジの間有効で、SCKIの立ち下がりエッジで遷移します(図8b)。

CSBIは、コマンド・バイトとそれに続くデータの間を含むコマンド・シーケンスの全期間“L”を維持する必要があります。書き込みコマンドでは、データはCSBIの立ち上がりエッジでラッチされます。



(8a) Transmission Format (Write)



(8b) Transmission Format (Read)

33002 F08

図 8.

## 動作

### コマンド・バイト

LTC3300-2へのすべての通信は、CSBIのロジック“L”を使用して行われます。CSBIが“H”から“L”に遷移した後のデータの最初の8ビットは、コマンド・バイトを表します。8ビットのコマンド・バイトが、表2に従ってMSB(最上位ビット)を先頭にして書き込まれます。最初の5ビットは、個々のデバイスのピンの結線による固定アドレス [A4 A3 A2 A1 A0] に一致している必要があります。このアドレスに一致しない場合は、CSBIが“H”に遷移してから再び“L”に遷移するまで、後続のデータはすべて無視されます。6番目と7番目のビットは、表3に示す4つのコマンドのうちのいずれかを設定します。8ビットのコマンド・バイト全体が偶数パリティを持つように、コマンド・バイトの8番目のビットを設定する必要があります。パリティが正しくない場合、現在実行中の(最後に正常に書き込まれた)バランス・コマンドが即座に終了し、CSBIが“H”に遷移してから再び“L”に遷移するまで、それ以降の(書き込み)データはすべて無視されます。アドレスが一致するかどうかに関わらず、不正なパリティによってこの動作が行われます。これによって、不正なパリティを持つコマンド・バイトを意図的に書き込むことで動作中のバランス調整を即座に終了する、高速な手段が提供されます。

表2. コマンド・バイトのビット・マッピング(リセット状態でのデフォルトは0x00)

|          |    |    |    |    |      |      |                  |
|----------|----|----|----|----|------|------|------------------|
| A4 (MSB) | A3 | A2 | A1 | A0 | CMDA | CMDB | Parity Bit (LSB) |
|----------|----|----|----|----|------|------|------------------|

表3. コマンド・ビット

| CMDA | CMDB | COMMUNICATION ACTION                      |
|------|------|---|
| 0    | 0    | Write Balance Command (without Executing) |
| 0    | 1    | Readback Balance Command                  |
| 1    | 0    | Read Balance Status                       |
| 1    | 1    | Execute Balance Command                   |

表4. 書き込みバランス・コマンド・データのビット・マッピング(リセット状態でのデフォルトは0x000F)

|           |     |     |     |     |     |     |     |     |     |     |     |        |        |        |              |
|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|--------|--------|--------|--------------|
| D1A (MSB) | D1B | D2A | D2B | D3A | D3B | D4A | D4B | D5A | D5B | D6A | D6B | CRC[3] | CRC[2] | CRC[1] | CRC[0] (LSB) |
|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|--------|--------|--------|--------------|

### 書き込みバランス・コマンド

コマンド・ビットによって書き込みバランス・コマンドが設定された場合、それ以降のすべての書き込みデータは、(CSBIが“H”に遷移するまで)ちょうど16ビットでなければなりません。そうでない場合、書き込みデータは無視されます。コマンドを保持している内部レジスタがクリアされて、読み出しを確認できます。その後、実行バランス・コマンドが書き込まれた場合、現在実行中の(最後に正常に書き込まれた)バランス・コマンドは続行されますが、すべてのアクティブ・バランス調整はオフになります。アドレスが一致するスタック内の各LTC3300-2のみが書き込みデータをロードします。16ビットの書き込みバランス・コマンドが、表4に従ってMSBを先頭にして書き込まれます。

16ビットのバランス・コマンドの最初の12ビットは、動作中の1つ以上のバランスとそれらの方向(充電または放電)を示します。6個のセル・バランスは、表5に従うこのデータの2ビットによって、それぞれ制御されます。特定のセルのバランス調整アルゴリズムは、次のとおりです。

セル $n$ の充電: 2次側巻線の $I_{PEAK}$ をランプアップし、1次側巻線の $I_{ZERO}$ をランプダウンする。これを繰り返す。

セル $n$ の放電(同期整流式): 1次側巻線の $I_{PEAK}$ をランプアップし、2次側巻線の $I_{ZERO}$ をランプダウンする。これを繰り返す。

表5. セル・バランス制御ビット

| $D_nA$ | $D_nB$ | バランス調整動作 ( $n = 1 \sim 6$ )         |
|--------|--------|-------------------------------------|
| 0      | 0      | None                                |
| 0      | 1      | Discharge Cell $n$ (Nonsynchronous) |
| 1      | 0      | Discharge Cell $n$ (Synchronous)    |
| 1      | 1      | Charge Cell $n$                     |



## 動作

セル $n$ の非同期整流式放電の場合、2次巻線ゲート駆動と(ゼロ)電流検出アンプは、ディスエーブルされます。2次側電流は、2次側スイッチ(存在する場合)のボディ・ダイオードまたは代用のショットキ・ダイオードを経由して流れます。1次側は、2次側巻線のボルト秒クランプがタイムアウトした場合にのみ、再びオンになります。2次側スイッチを備える双方向アプリケーションでは、非同期整流式放電モードを選択することによって、わずかに高い放電効率を実現できる場合があります(ゲート電荷の減少が、追加されたダイオードの電圧降下による損失を上回る場合)。ただし、電流反転が発生しないことを保証するために、2次側巻線のボルト秒クランプを、電流がゼロに達すると予期される時間よりも長く設定する必要があります。2次側スイッチをショットキ・ダイオードで置き換えた場合、「標準的応用例」のセクションの図16に示すように、絶縁型補助セルを充電する、放電のみの単方向バランス調整アプリケーションを作成できます。

図7に示す、単一のトランスを使用して一度に1つのセルのみをバランス調整するCTRL = 1のアプリケーションでは、複数のセルを同時にバランス調整することを要求するコマンドは、すべて無視されます。その後、実行バランス・コマンドが書き込まれた場合、すべてのアクティブ・バランス調整はオフになります。

16ビットのバランス・コマンドの最後の4ビットは、パケット・エラー検査(PEC)に使用されます。書き込みデータの16ビット(12ビットのメッセージ+4ビットのCRC)は、国際電気通信連合の次のCRC-4標準特性多項式を使用する巡回冗長検査(CRC)ブロックに入力されます。

$$x^4 + x + 1$$

書き込みデータでは、メッセージに追加する4ビットのCRCは、CRCの除算の剰余がゼロになるように選択する必要があります。なお、書き込みバランス・コマンドのCRCビットは、反転されます。これは、「すべてゼロ」のコマンドを無効にするた

めに実行されます。剰余がゼロでない場合、LTC3300-2は書き込みデータを無視します。コマンドを保持している内部レジスタがクリアされ、読み出しを確認できます。その後、実行バランス・コマンドが書き込まれた場合、現在実行中の(最後に正常に書き込まれた)バランス・コマンドは続行されますが、すべてのアクティブ・バランス調整はオフになります。例を含むCRCの計算方法の詳細については、「アプリケーション情報」のセクションを参照してください。

### 読み出しバランス・コマンド

読み出しバランス・コマンドのビット・マッピングは、書き込みバランス・コマンドと同じです。コマンド・ビットによって読み出しバランス・コマンドが設定された場合、前回書き込まれた16ビット・データ(12ビットのメッセージ+新たに計算された4ビットCRCでラッチされる)は、表4に従ってMSBを先頭にした同じビット順序でシフトアウトされます。アドレスが一致するスタック内の各LTC3300-2のみが読み出しデータを送出します。このコマンドを使用して、書き込まれたコマンドについて、実行する前にマイクロプロセッサを検証できます。なお、読み出しバランス・コマンドのCRCビットも反転されます。これは、「すべてゼロ」の読み出しを無効にするために実行されます。

### 読み出しバランス・ステータス

コマンド・ビットによって読み出しバランス・ステータスが設定された場合、16ビットのステータス・データ(12ビットのデータ+関連する4ビットCRC)は、表6に従ってMSBを先頭にしてシフトアウトされます。読み出しバランス・コマンドと同様に、16ビットの各バランス・ステータスの最後の4ビットは、誤り検出に使用されます。ステータスの最初の12ビットは、書き込みコマンドに使用されたものと同じ特性多項式を使用する巡回冗長検査(CRC)ブロックに入力されます。LTC3300-2は、適切な4ビットCRCを計算して12ビットの送信メッセージに追加します。この4ビットCRCは、マイクロプロセッサのエラー検査で使用できます。アドレスが一致するスタック内の各LTC3300-2のみ

表6. 読み出しバランス・ステータス・データのビット・マッピング(リセット状態でのデフォルトは0x000F)

| Gate Drive 1 OK (MSB) | Gate Drive 2 OK | Gate Drive 3 OK | Gate Drive 4 OK | Gate Drive 5 OK | Gate Drive 6 OK | Cells Not OV | Sec Not OV | Temp OK | 0 | 0 | 0 | CRC[3] | CRC[2] | CRC[1] | CRC[0] (LSB) |
|-----------------------|-----------------|-----------------|-----------------|-----------------|-----------------|--------------|------------|---------|---|---|---|--------|--------|--------|--------------|
|                       |                 |                 |                 |                 |                 |              |            |         |   |   |   |        |        |        |              |

## 動作

がステータス・データを送出します。**なお、読み出しバランス・ステータスのCRCビットは反転されます。**これは、「すべてゼロ」の読み出しを無効にするために実行されます。

読み出しバランス・ステータスの最初の6ビットは、6個のバランスそれぞれに十分なゲート駆動が存在するかどうかを示します。これらのビットは、表1の右端の列に対応します。ただし、バランスを含む実行コマンドの後に続く場合に、その特定のバランスに対応するビットのみがロジック“H”になることができます。バランスが動作していない場合、ゲート駆動OKビットはロジック“H”になります。読み出しバランス・ステータスの7番目、8番目、および9番目のビットは、6個のセルがすべて過電圧状態ではないこと、トランスの2次側が過電圧状態ではないこと、およびLTC3300-2のダイが過熱していないことを、それぞれ示します。これら3つのビットは、少なくとも1つのバランスを含む実行コマンドの後に続く場合にのみ、ロジック“H”になることができます。読み出しバランス・ステータスの10番目、11番目、および12番目のビットは現在使用されていないため、常にロジック・ゼロになります。例として、バランス1および4が、両方とも電圧フォルトも温度フォルトも生じずに動作している場合、12ビットの読み出しバランス・ステータスは、100100111000になります。

## 実行バランス・コマンド

コマンド・ビットによって実行バランス・コマンドが設定された場合、最後に正常に書き込まれてラッチされたバランス・コマンドが、即座に実行されます。CSBIが“H”に遷移してから再び“L”に遷移するまで、それ以降の(書き込み)データはすべて無視されます。

## バランス調整の一時停止/再開(SPIポート経由)

LTC3300-2は、動作中のバランス調整を(スタック全体で)中断し、その後、前回のバランス・コマンドをスタック内のすべてのLTC3300-2デバイスに再び書き込むことなく再始動できる、単純な手段を提供します。バランス調整を一次停止するには、単に、不正なパリティを含む8ビットの実行バランス・コマンドを書き込みます。バランス調整を再開するには、単に、正しいパリティを含む実行バランス・コマンドをそれぞれのアドレスに書き込みます。この機能は、バランス調整中に、スタックを「静止」させて高精度のセル電圧測定を実行したい場合に役立ちます。任意の8ビットのコマンド・バイトに不正なパリティが含まれている場合、動作中のバランス調整は即座に一時停止します。

標準的な再始動時間は、新規または別のバランス・コマンドの後の遅延した始動時間( $t_{DLY\_START}$ )と同じ、2msです。再始動時間は、SCKIの8番目の立ち上がりエッジからバランスがオンになるまで測定されます。これは、「標準的性能特性」のセクションのG25に示されています。

## アプリケーション情報

### 外付け検出抵抗の選択

1次側巻線と2次側巻線の両方の外付け電流検出抵抗は、以下の式に従ってピーク・バランス調整電流を設定します。

$$R_{\text{SENSE|PRIMARY}} = \frac{50\text{mV}}{I_{\text{PEAK\_PRI}}}$$

$$R_{\text{SENSE|SECONDARY}} = \frac{50\text{mV}}{I_{\text{PEAK\_SEC}}}$$

### バランスの同期

個々の同期整流式フライバック電源回路を積み重ねた構成と、ゲート・ドライバのインターリーブの性質により、6個のグループ内の隣接したバランス、または、ほぼ隣接したバランス(あるいは、その両方)を、より高いバランス電流で同期することができます。通常は、動作中の個々のバランスのうちの最も高い周波数に同期します。その結果、影響を受けた他のバランスのバランス電流がわずかに低下します。この誤差は、個々のセルの電圧が大きくバランスを失わない限り、一致する $I_{\text{PEAK}}/I_{\text{ZERO}}$ と一致する電源回路により、通常は非常に小さくなります。図9に示すような単純なRCネットワークを使用して1次側または2次側(あるいは、その両方)の電流検出信号にローパス・フィルタをかけることによって、バランスの同期を抑制することができます。RC時定数の妥当な出発点は、関連する(1次側または2次側)スイッチのオン時間の1/10です。 $I_{\text{PEAK}}$ の検出の場合、ローパス・フィルタに関連する位相のずれによって、正しい検出抵抗電圧と比較して、LTC3300-2に現れる電圧がわ

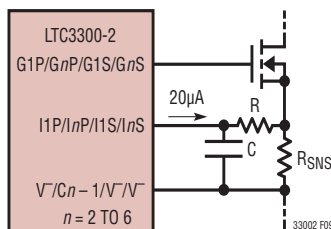


図9.RCネットワークを使用したLTC3300-2への電流検出入力フィルタリング

ずかに低下します。この誤差は、Rの値を選択し、コンパレータのトリップ点でLTC3300-2の電流検出ピンから出る $20\mu\text{A}$ の標準電流値を使用して、この電圧低下分を追加することによって、補正できます。

### 適切な最大オン時間の設定

1次側巻線および2次側巻線のボルト秒クランプは、電流暴走保護機能として使用することを目的にしており、検出抵抗に置き換わる電流制御の代替手段として使用することは意図されていません。正常な $I_{\text{PEAK}}/I_{\text{ZERO}}$ の動作を妨げないようにするために、アプリケーションに現れる最小セル電圧で $I_{\text{PEAK}}$ (または $I_{\text{ZERO}}$ )まで上昇するのに必要な時間よりも長く、最大オン時間を設定する必要があります。

$$t_{\text{ON(MAX)|PRIMARY}} > L_{\text{PRI}} \cdot I_{\text{PEAK\_PRI}} / V_{\text{CELL(MIN)}}$$

$$t_{\text{ON(MAX)|SECONDARY}} > L_{\text{PRI}} \cdot I_{\text{PEAK\_SEC}} \cdot T / (S \cdot V_{\text{CELL(MIN)}})$$

これらの値は、トランスの巻線インダクタンスの製造許容誤差を考慮するとさらに20%増加し、 $I_{\text{PEAK}}$ の変動を考慮するとさらに10%増加します。

### 外付けFETの選択

ピーク・バランス調整電流を扱うための定格に加えて、1次側巻線と2次側巻線の両方の外付けNMOSトランジスタの、ドレイン・ソース間ブレークダウンの定格を選択する必要があります。1次側MOSFETの場合、次のように選択します。

$$\begin{aligned} V_{\text{DS(BREAKDOWN)|MIN}} &> V_{\text{CELL}} + \frac{V_{\text{STACK}} + V_{\text{DIODE}}}{T} \\ &= V_{\text{CELL}} \left( 1 + \frac{S}{T} \right) + \frac{V_{\text{DIODE}}}{T} \end{aligned}$$

2次側MOSFETの場合は、次のように選択します。

$$\begin{aligned} V_{\text{DS(BREAKDOWN)|MIN}} &> V_{\text{STACK}} + T(V_{\text{CELL}} + V_{\text{DIODE}}) \\ &= V_{\text{CELL}}(S+T) + T V_{\text{DIODE}} \end{aligned}$$

ここで、Sは2次側巻線スタック内のセル数、1:Tはトランスの1次対2次の巻数比です。例えば、2次側スタック内に12個のリチウムイオン・セルが存在し、1:2の巻数比を使用する場合、1次側FETの定格は $4.2\text{V}(1+6) + 0.5 = 29.9\text{V}$ よりも大きい必要があり、2次側FETの定格は $4.2\text{V}(12+2) + 2\text{V} = 60.8\text{V}$ よりも大きい必要があります。

## アプリケーション情報

漏れインダクタンス・リングングによってさらに高い電圧が発生することを考慮すると、優れた設計の実例により、この定格電圧からさらに20%以上増やすことが推奨されます。LTC3300-2での使用が推奨されているFETの一覧については、表7を参照してください。

表7

| 製品番号           | メーカー          | I <sub>DS</sub> (MAX) | V <sub>DS</sub> (MAX) |
|----------------|---------------|-----------------------|-----------------------|
| SiR882DP       | Vishay        | 60A                   | 100V                  |
| SiS892DN       | Vishay        | 25A                   | 100V                  |
| IPD70N10S3-12  | Infineon      | 70A                   | 100V                  |
| IPB35N10S3L-26 | Infineon      | 35A                   | 100V                  |
| RJK1051DPB     | ルネサス・エレクトロニクス | 60A                   | 100V                  |
| RJK1054DPB     | ルネサス・エレクトロニクス | 92A                   | 100V                  |

### トランスの選択

LTC3300-2は、1～20マイクロヘンリーの1次側巻線インダクタンス、1:2の巻数比(1次対2次)、および最大12個のセルに並列接続される2次側巻線を備えた簡素な2巻線トランスを使用して動作するように最適化されています。さらに効率的なバランス調整を行うために、2次側スタック内でより多くのセルが必要な場合、さらに大きな巻数比を持つトランスを選択できます。例えば、2次側スタック内の最大60セルに対しては、1:10のトランスが適しています。この場合、外付けFETの定格電圧をさらに大きくする必要があります(上記を参照)。すべての場合において、アプリケーションに現れるピーク電流よりも大きくなるように、トランスの飽和電流を選択する必要があります。

LTC3300-2での使用が推奨されているトランスの一覧については、表8を参照してください。

表8

| 製品番号            | メーカー              | 巻数比* | 1次側<br>インダクタンス | I <sub>SAT</sub> |
|-----------------|-------------------|------|----------------|------------------|
| 750312504 (SMT) | Würth Electronics | 1:1  | 3.5μH          | 10A              |
| 750312677 (THT) | Würth Electronics | 1:1  | 3.5μH          | 10A              |
| MA5421-AL       | Coilcraft         | 1:1  | 3.4μH          | 10A              |
| CTX02-18892-R   | Coiltronics       | 1:1  | 3.4μH          | 10A              |
| XF0036-EP135    | XFMRS Inc         | 1:1  | 3μH            | 10A              |
| L00-3218        | BH Electronics    | 1:1  | 3.4μH          | 10A              |
| DHCP-X79-1001   | TOKO              | 1:1  | 3.4μH          | 10A              |
| C128057LF       | GCI               | 1:1  | 3.4μH          | 10A              |
| T10857-1        | Inter Tech        | 1:1  | 3.4μH          | 10A              |

\*表に示したすべてのトランスは8ピンであり、1:1、1:2、2:1、または2:2の巻数比で構成可能。

### スナバの設計

アプリケーションの1次側および2次側巻線FETのドレイン電圧に現れるどのトランジェント・リングングにも、十分注意する必要があります。リングングのピークは、選択したFETのブレイクダウン電圧定格に近づくべきではなく、超えてはなりません。アプリケーションに存在する漏れインダクタンスを最小に抑え、優れた基板レイアウト技法を活用することによって、リングングの大きさを軽減できます。アプリケーションによっては、抵抗とコンデンサを直列に接続したスナバ・ネットワークを、トランスの各巻線と並列に配置する必要があります。通常、このネットワークによって、効率は数パーセント低下しますが、FETが安全な動作範囲内に維持されます。一般的に、アプリケーションでRとCの値を決定するには、ある程度の試行錯誤による最適化が必要になります。表8に示すトランスの場合、スナバ・ネットワークの妥当な出発点となる値は、直列に接続された330Ωと100pFです。

### ゲート駆動ブースト部品の選択 (BOOST = V<sub>REG</sub>)

BOOST<sup>+</sup>からBOOST<sup>-</sup>に接続された外付け昇圧コンデンサは、G6Pに接続された外付けNMOSをオンにするために必要なゲート駆動電圧を供給します。このコンデンサは、NMOSがオフのときに、C6からBOOST<sup>+</sup>に接続された外付けショットキ・ダイオードを介して充電されます(G6P = BOOST<sup>-</sup> = C5)。NMOSがオンになると、BOOST<sup>-</sup>ドライバはコンデンサの下側プレートをC5からC6に切り替え、同相のBOOST<sup>+</sup>電圧がC6よりも1セル分上昇します。NMOSが再びオフになると、BOOST<sup>-</sup>ドライバは、コンデンサの下側プレートをC5に切り替えて、ブースト・コンデンサをリフレッシュします。

正しい経験則に従って、G6Pに接続したNMOSの入力容量の100倍を、昇圧コンデンサの値にします。ほとんどのアプリケーションでは、0.1μF/10Vで十分です。ショットキ・ダイオードの逆ブレイクダウン電圧は6Vより大きいだけで済みます。バッテリー電圧を最初にLTC3300-2に接続したときに、損傷を与えるおそれのある過剰なサージ電流がゲート駆動ブースト部品内を流れないようにするために、図3に示すように、6.8Ωの抵抗をショットキ・ダイオードと直列に配置することが推奨されます。破損する危険を防ぐには、サージ電流を1Aに抑える必要があります。

## アプリケーション情報

### 断線保護機能のためのセル・バイパス・コンデンサのサイズ設定

バランス調整中にバッテリー・スタックへの1本の接続が失われた場合、LTC3300-2の電源回路に現れる断線部分の両側の差分セル電圧は、充電中か放電中かの状況と、実際に断線が発生した場所に依りて、増加または減少する場合があります。最悪のシナリオは、断線部分の両側のバランスが両方とも動作しており、逆方向にバランス調整している場合です。このシナリオでは、差分セル電圧は、断線部分の一方の側で急速に増加し、もう一方の側で急速に減少します。適切にサイズ設定された差分セル・バイパス・コンデンサと連動して動作するセル過電圧コンパレータは、局所的な差分セル電圧が絶対最大定格に達する前にすべてのバランス調整を遮断することによって、LTC3300-2と、それに関連する電源部品を保護します。コンパレータのしきい値(立ち上がり)は5Vであり、バランス調整が停止するまでに、3 $\mu$ s～6 $\mu$ sかかります。その間、バイパス・コンデンサによって、差分セル電圧が6Vを超えて増加するのを防ぐ必要があります。したがって、完全な断線保護機能のための差分バイパス・コンデンサの最小値は、次の式から得られます。

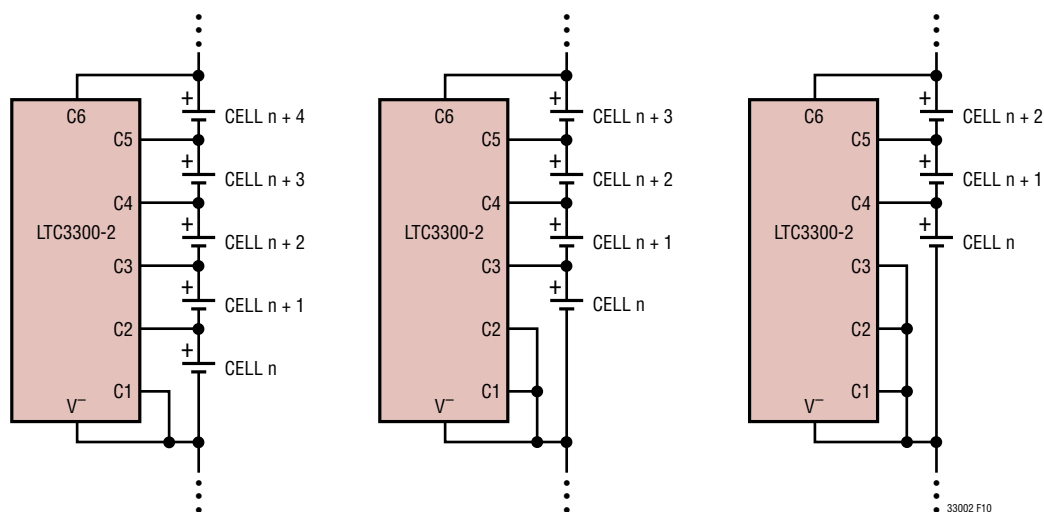
$$C_{\text{BYPASS(MIN)}} = \frac{(I_{\text{CHARGE}} + I_{\text{DISCHARGE}}) \cdot 6\mu\text{s}}{6\text{V} - 5\text{V}}$$

$I_{\text{CHARGE}}$  と  $I_{\text{DISCHARGE}}$  の公称値が同じに設定されている場合、バランス電流1A当たり約12 $\mu$ Fの実容量が必要になります。

2次側巻線のクラスタとの断線からの保護は、「動作」のセクションで説明した2次側巻線OVP機能(WDTピン経由)によって、スタック内の各LTC3300-2に対して局所的に提供されます。ただし、スタックの上に向かうトランスの巻線のインターリーブのために、断線が発生し遮断された時点で、離れたLTC3300-2が、別のLTC3300-2によって局所的に発生するセル電圧で動作し続けることが可能です。この理由により、2次側巻線の各クラスタは、それが接続する個々のセル接続から分離した、スタックへの専用接続を備える必要があります。

### 6個未満のセルでのLTC3300-2の使用

N個のセルの直列スタックをバランス調整する場合、必要なLTC3300-2デバイスの数は、N/6を最も近い整数に切り上げた数になります。LTC3300-2のアドレスは5ビットなので、セル数Nは最大192が可能です。さらに、スタック内の各LTC3300-2は、最小限、3個のセル(C4、C5、およびC6を含む必要がある)とインタフェースする必要があります。したがって、3個～192個のセルのスタックを、適切なLTC3300-2デバイスのスタックを使用してバランス調整することができます。特定のLTC3300-2のサブスタック内の未使用のセル入力(C1、C1+C2、またはC1+C2+C3)は、V<sup>-</sup>に短絡する必要があります(図10を参照)。ただし、すべての構成において、書き込みデータは16ビットのままです。LTC3300-2は、未使用のセルのセル・バランス調整ビットに対して動作しませんが、これらのビットはCRC計算には含まれます。



(10a) Sub-Stack Using Only 5 Cells (10b) Sub-Stack Using Only 4 Cells (10c) Sub-Stack Using Only 3 Cells

図10.5セル、4セル、または3セルの場合のバッテリー・スタック接続

## アプリケーション情報

### 40mAを超える補助的な電圧レギュレータ駆動

LTC3300-2に内蔵された4.8Vリニア電圧レギュレータは、V<sub>REG</sub>ピンで40mAを供給できます。さらに電流供給能力が必要な場合は、図11に示すように、C6から電力を供給された外付けの低コスト5V降圧DC/DCレギュレータによって、V<sub>REG</sub>

ピンをバックドライブできます。LTC3300-2の内部レギュレータのシンク電流能力は非常に限定されているため、さらに高い強制電圧には対応できません。

### フォルト保護

バッテリーなどの高エネルギー源を使用する場合は、常に注意が必要です。耐用寿命の間にバッテリー・システムに影響を与える可能性のある組立とサービスの手順を考えた場合、システムを間違っ構成してしまう方法は無数にあります。表9に、保護回路の使用を予定する場合に考慮する必要のある、さまざまな状況を示します。最初の4つのシナリオは、製造時に発生すると予想されます。それらに適した保護機能が、LTC3300-2デバイス自体に内蔵されてます。

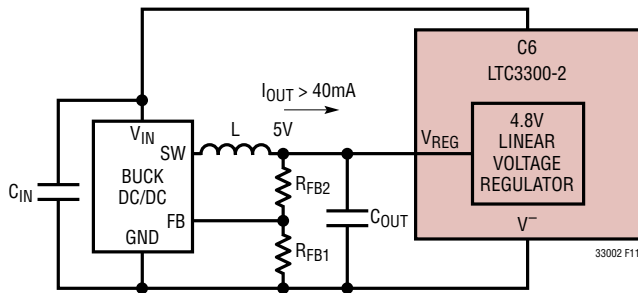


図11. 40mAを超えるV<sub>REG</sub>駆動の場合の外付け降圧DC/DCレギュレータの追加

表9. LTC3300-2の故障メカニズムの影響分析

| シナリオ   | 影響  | 設計による緩和   |
|--|---|---|
| Top cell (C6) input connection loss to LTC3300-2.  | Power will come from highest connected cell input or via data port fault current.   | Clamp diodes at each pin to C6 and V <sup>-</sup> (within IC) provide alternate power path. Diode conduction at data ports will impair communication with higher potential units.   |
| Bottom cell (V <sup>-</sup> ) input connection loss to LTC3300-2.  | Power will come from lowest connected cell input or via data port fault current.  | Clamp diodes at each pin to C6 and V <sup>-</sup> (within IC) provide alternate power path. Diode conduction at data ports will impair communication with higher potential units.   |
| Random cell (C1-C5) input connection loss to LTC3300-2.  | Power-up sequence at IC inputs/differential input voltage overstress.   | Clamp diodes at each pin to C6 and V <sup>-</sup> (within IC) provide alternate power path. Zener diodes across each cell voltage input pair (within IC) limit stress.              |
| Disconnection of a harness between a sub-stack of battery cells and the LTC3300-2 (in a system of stacked groups). | Loss of all supply connections to the IC.   | Clamp diodes at each pin to C6 and V <sup>-</sup> (within IC) provide alternate power path if there are other devices (which can supply power) connected to the LTC3300-2.          |
| Secondary winding connection loss to battery stack.  | Secondary winding power FET could be subjected to a higher voltage as bypass capacitor charges up.                                | WDT pin implements a secondary winding OVP circuit which will detect overvoltage and terminate balancing.   |
| Shorted primary winding sense resistor.  | Primary winding peak current cannot be detected to shut off primary switch.   | Maximum ON-time set by R <sub>TONP</sub> resistor will shut off primary switch if peak current detect doesn't occur.  |
| Shorted secondary winding sense resistor.  | Secondary winding peak current cannot be detected to shut off secondary switch.   | Maximum ON-time set by R <sub>TONS</sub> resistor will shut off secondary switch if peak current detect doesn't occur.  |
| Data error (noise margin induced or otherwise) occurs during a write command.                                      | Incoming checksum will not agree with the incoming message when read in by any individual LTC3300-2 in the stack.                 | Since the CRC remainder will not be zero, the LTC3300-2 will not execute the write command, even if an execute command is given. All balancers with nonzero remainders will be off. |
| Data error (noise margin induced or otherwise) occurs during a read command.                                       | Outgoing checksum (calculated by the LTC3300-2) will not agree with the outgoing message when read in by the host microprocessor. | Since the CRC remainder (calculated by the host) will not be zero, the data cannot be trusted. All balancers will remain in the state of the last previously successful write.      |

## アプリケーション情報

### 内部保護ダイオード

LTC3300-2の各ピンは、電源レールを超える電圧の外部アプリケーションによって内部デバイス構造が損傷するのを防ぐために、図12に示すように保護ダイオードを備えています。これらのダイオードは、0.5Vの順方向ブレイクダウン電圧を備える、通常のシリコン・ダイオードです。ラベルが付いていないツェナー・ダイオード構造は、逆方向ブレイクダウン特性を備えており、最初に9Vでブレイクダウンし、その後、7Vのクランプ電位に戻ります。Z<sub>CLAMP</sub>というラベルが付いたツェナー・ダイオードは、最初に25Vで逆方向ブレイクダウンしてから22Vに戻る、より電圧の高いデバイスです。すべてのツェナー・ダイオードの順方向電圧降下は0.5Vです。

図12に示す内部保護ダイオードは、電力が制限されたトランジェント電圧の暴走から保護することを目的とする電力デバイスです。これらの電圧がLTC3300-2の絶対最大定格を超える場合、これらの電圧レベルでのどの持続的動作も、デバイスに損傷を与えます。

### LTC3300-2への最初のバッテリー接続

前述した内部保護ダイオードの他に、6つの各差動セル入力の間には、低電圧/低電流ダイオードが存在します(図12には示されていません)。これらのダイオードは、アプリケーションでのバッテリー電圧の最初の印加時に、LTC3300-2を保護します。これらのダイオードは、20kΩの直列抵抗での5.3Vのブレイクダウン電圧を備えており、電源投入時にセル端子電流が0～数10マイクロアンペアである間、差分セル電圧を絶対最大定格未満に抑えます。これによって、高インピーダンス入力に従う漏れ電流による未接続セルの入力ピンの過電圧を心配することなく、6個のバッテリーを任意のランダム・シーケンスで接続することができます。アプリケーションで使用されるセル間の差動バイパス・コンデンサは、完全なランダム・シーケンス保護の場合と同じ公称値のものである必要があります。

### シャットダウン状態のスタックの端子電流の解析

「電気的特性」の表で示されるように、バランス調整が行われていないときのLTC3300-2の暗電流は、C6ピンで14μA、C1～C5ピンで0Aです。この14μAは、LTC3300-2のV<sub>ピン</sub>

にすべて現れます。長い直列スタック内のデバイス間で、14μAの電流が完全に一致する場合、シャットダウン状態のスタックの端子電流は、スタックの先頭ノードから出る14μAおよびスタックの最後尾ノードに入る14μAです。他のすべての中間ノードの電流はゼロです。

### LTC3300-2とLTC3300-1の相違点

LTC3300-1は、スタック内の各デバイスが上または下の同じタイプのデバイスと電流を介して双方向通信を行うSPI互換のシリアル・インタフェースを採用しています。スタックの高さに制限はありません。大きな同相電圧差がLTC3300-1によって処理されます。BMSシステム内のマイクロプロセッサのみがスタック内の最後尾デバイスと情報をやり取りし、引き続きすべてのデバイスが同じ固定内部アドレスを使用します。

LTC3300-2は、各デバイスがピンの結線による独自の5ビット・アドレスを持つSPI互換のシリアル・インタフェースを採用しています。BMSシステム内のマイクロプロセッサは、同相電圧差がデジタル・アイソレータまたはフォトカプラによって処理されるスタック内のすべてのデバイスと直接情報をやり取りします。アドレスが5ビットなので、スタックの高さは32個のLTC3300-2デバイス、つまり192セル(約800V)に制限されます。

割り当てが異なる5本のピンがあり、すべてシリアル・インタフェースに関連するピンです。

LTC3300-1とLTC3300-2の相違点の概要については表10を参照してください。

表10. LTC3300-1とLTC3300-2の相違点

|  | LTC3300-1               | LTC3300-2  |
|--|-------------------------|--|
| High Side Current Mode SPI Pins                        | CSB0, SCK0, SDO1        | None   |
| “Where Am I in The Stack?”Pins                         | V <sub>MODE</sub> , TOS | None*  |
| SPI Address  | 10101 (Fixed)           | A <sub>4</sub> A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub><br>(Pin Strapped) |
| Maximum Height of Battery Stack                        | Unlimited               | 32 × 6 = 192 Cells   |
| GND (V <sub>ピン</sub> ) Pin Current in Shutdown/Suspend | 23.5μA                  | 14μA   |

\*LTC3300-2ではV<sub>MODE</sub> = TOS = 1で内部固定されている。スタック内の各デバイスは、スタックの先頭と最後尾のどちらともみなせる。したがって、マイクロプロセッサと各デバイス間で情報をやり取りするために、フォトカプラやデジタル・アイソレータが必要になる。

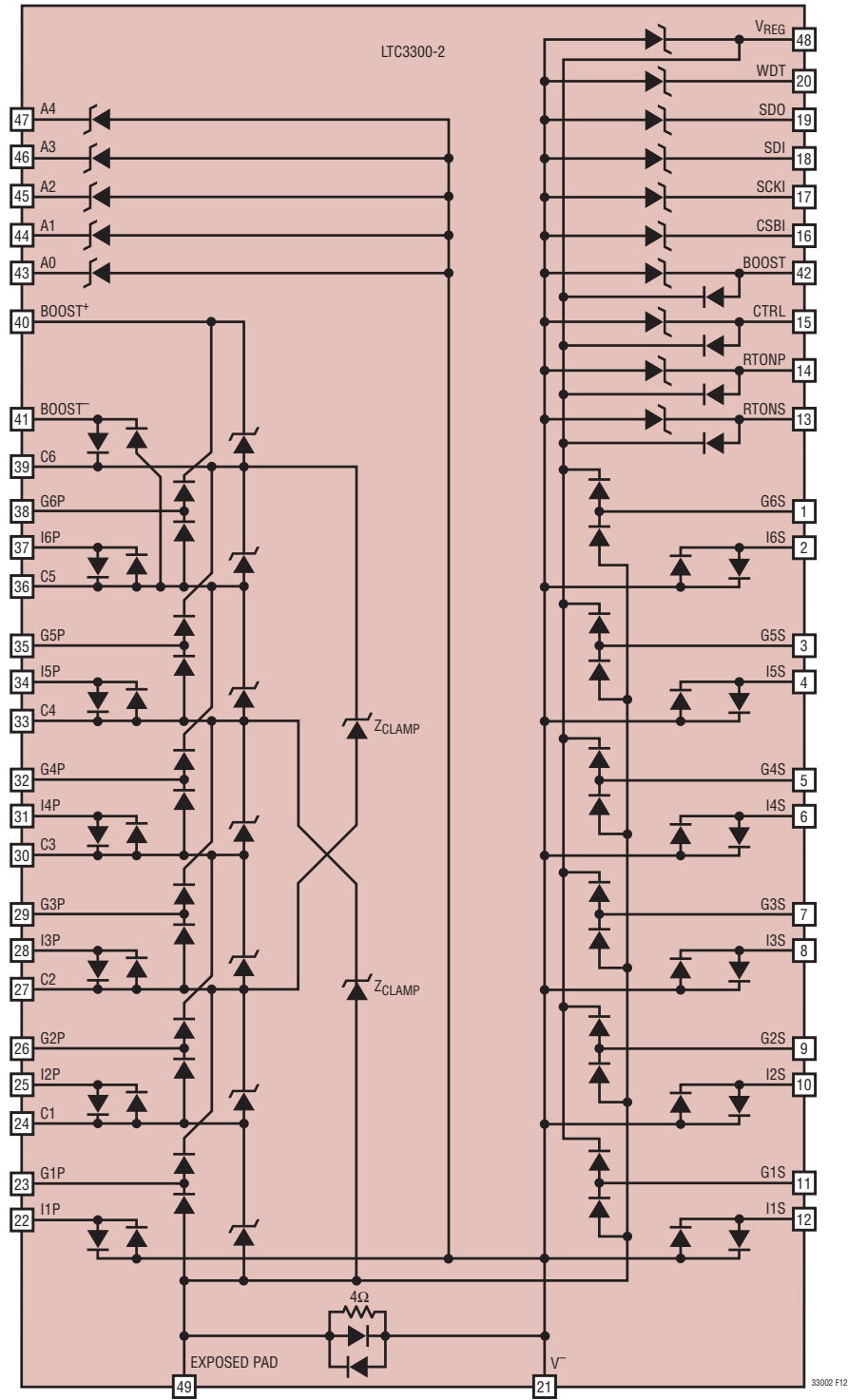


図12. 内部保護ダイオード



## アプリケーション情報

## CRCの計算方法

nビットのCRCを計算する単純な方法の1つは、n+1ビットの特性多項式のモジュロ2除算を実行してmビットのメッセージを求め、n個のゼロを追加することです(m+nビット)。モジュロ2除算は、通常の長除法から繰り下げと繰り上げを除いたものに似ています。長除法の各中間ステップでは、被除数の先頭ビットが1である場合、商に1が入り、被除数と除数の間でビットごとに排他的論理和がとられます。被除数の先頭ビットが0である場合、商に0が入り、被除数とn個のゼロとの間でビットごとに排他的論理和がとられます。この処理がm回繰り返されます。長除法の最後で、商は無視され、nビットの剰余がCRCになります。これを、次に示す例でわかりやすく説明します。

LTC3300-2でCRCを実装する場合、n=4およびm=12です。使用する特性多項式は、 $x^4+x+1$ です。これは、 $1x^4+0x^3+0x^2+1x^1+1x^0$ を短くしたものであり、そのため除数は10011になります。メッセージは、バランス・コマンドの最初の12ビットです。例えば、目的のバランス・コマンドが、セル1の充電と、

同期したセル4の放電を同時に要求するとします。その場合、12ビットの(MSBが先頭の)メッセージは、110000010000になります。これに4つのゼロを追加して、1100000100000000という被除数が得られます。図13aに、長除法と、その結果得られたCRC(1101)を示します。書き込みバランス・コマンド内のCRCビットが反転していることに注意してください。そのため、正しい16ビットのバランス・コマンドは、1100000100000010となります。図13bに、LTC3300-2から読み出されたデータ(コマンドまたはステータス)のCRCのチェックに使用される、同じ長除法の手順を示します。このシナリオでは、データが有効であるためには、長除法の実行後の剰余がゼロ(0000)になる必要があります。読み出されたCRCビットは、除算を実行する前に、被除数内で反転する必要があることに注意してください。

CRCを計算する別の方法を図14に示します。ここでは、バランス・コマンド・ビットは、2入力排他的論理和ゲートのみから成る組み合わせ論理回路に入力されます。この「力づく」の実装は、数行のCコードで簡単に複製できます。

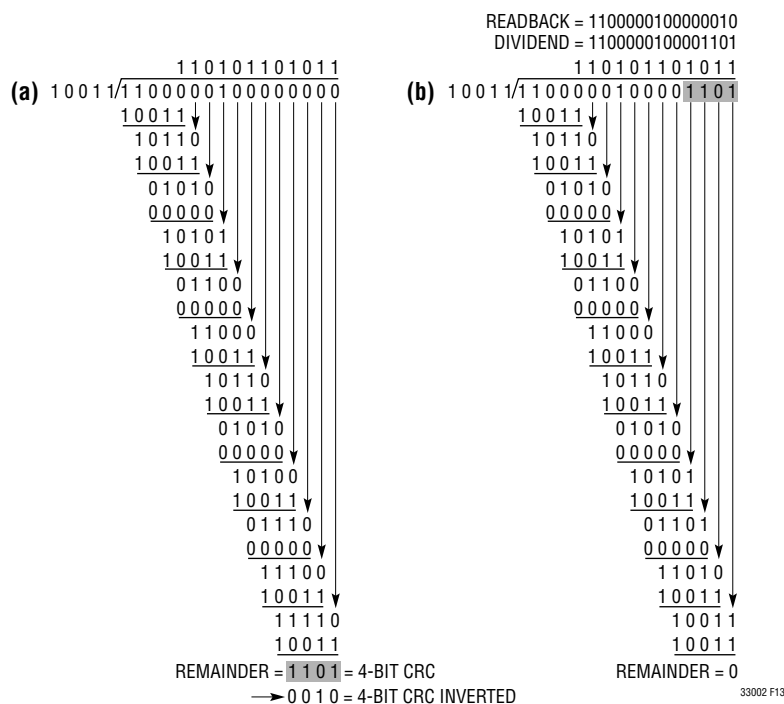


図13. (a)書き込み用のCRCを計算する長除法の例 (b)読み出し用のCRCをチェックする長除法の例

## アプリケーション情報

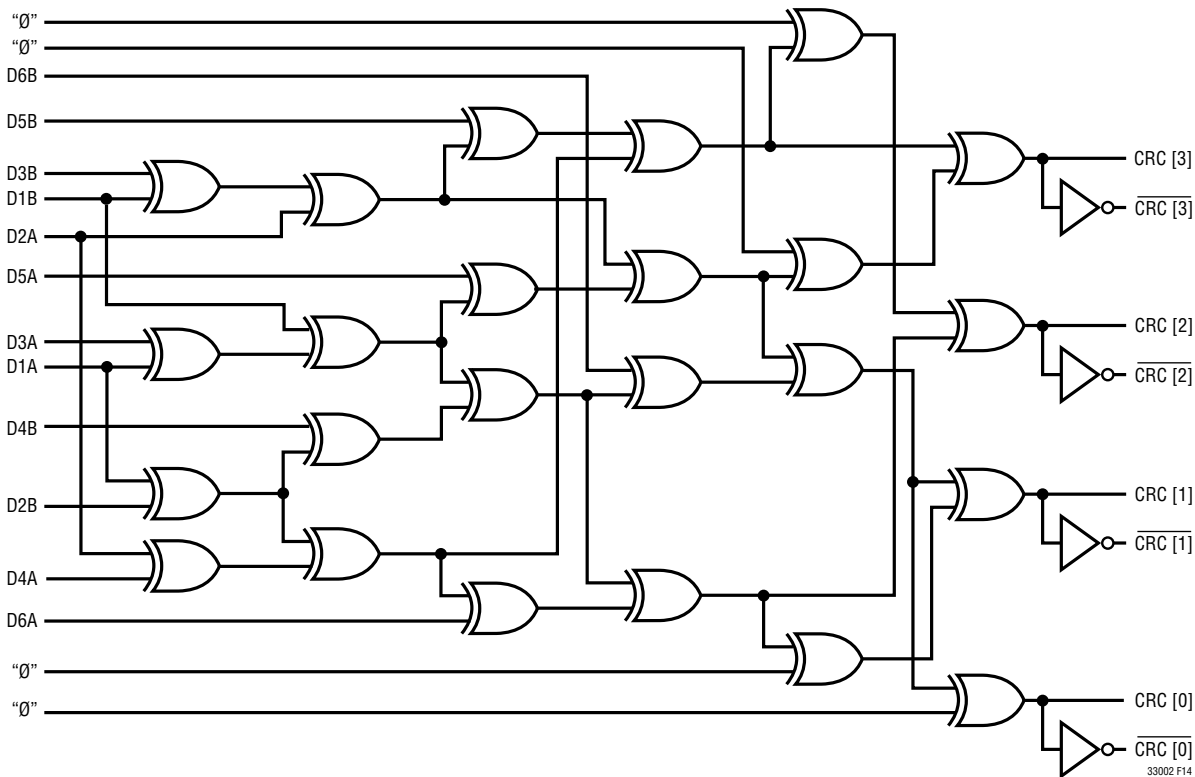


図 14. 組み合わせ論理回路による CRC 計算器の実装

## LTC6803 と LTC6804 を使用したシリアル通信

LTC3300-2 は、LTC6803 や LTC6804 などの、すべての LTC モニタ・デバイスと互換性があり、それらのデバイスとともに簡単に使用できます。「標準的応用例」のセクションの図 17 に、一般的なマイクロプロセッサの SPI ポートを使用した、LTC3300-2/LTC6803-2 BMS 用のシリアル通信接続を示します。最も下の LTC3300-2 と LTC6803-2 の、SCKI、SDI、および SDO の配線が互いに接続されています。ただし、CSBI の配線は、両方のデバイスに同時に通信するのを防ぐために、分離する必要があります。これは、GPIO 出力の 1 つを LTC6803-2 からゲートに接続し、CSBI の配線を LTC3300-2 に向けて反転することによって、簡単に実現できます。この設定では、LTC6803-2 との通信は、通常は GPIO1 の出力ビットが「H」であるため、LTC3300-2 が不在の場合と同じになります。LTC3300-2 と通信するには、LTC3300-2 との通信前の LTC6803-2 への GPIO1 ネゲーション書き込みと、LTC3300-2 との通信後の GPIO1 アサーション書き込みとで、書き込まれたコマンドを「はさむ」必要があります。LTC3300-2 と LTC6803-2 のすべてのグラウンド基準でないデバイスとの通信は、デジタル・アイソレータを介して行われます。

このデータ・シートの最終ページに示した「標準的応用例」は、LTC3300-2/LTC6804-2 BMS のシリアル通信接続を示しています。積み重なったそれぞれの 12 セル・モジュールには、2 つの LTC3300-2 デバイスと、1 つの LTC6804-2 モニタ・デバイスが含まれています。モジュール内の LTC6804-2 は、その GPIO3 ピン、GPIO4 ピン、および GPIO5 ピンで効率的な SPI ポート出力を提供するために構成されます。これらのピンは、下側の LTC3300-2 のローサイド通信ピン (CSBI、SDI=SDO、SCKI) に直接接続されます。各モジュール内の上側の LTC3300-2 は、デジタル・アイソレータを介して下側の LTC3300-2 からのシリアル通信を受信します。最も下の LTC6804-2 との通信、およびモニタ・デバイス間の通信は、LTC6820 と isoSPI™ インタフェースを介して行われます。このアプリケーションでは、未使用のバッテリー・セルを、モニタの精度を下げることなく任意のモジュールの下部 (つまり、モジュールの基板上ではなく、モジュールの外側) から短絡させることができます。

## アプリケーション情報

## PCBレイアウトに関する検討事項

LTC3300-2は、BOOST<sup>+</sup>とV<sup>-</sup>の間を、40Vで動作することができます。電位の異なる配線の物理的な分離を維持するために、PCBレイアウトに注意する必要があります。LTC3300-2のピン配置は、この物理的な分離が容易になるように選択されています。1つの例外(BOOSTとBOOST<sup>-</sup>)を除いて、隣接する2つのピンの間も、8.4Vを超えることはありません。この例外では、アプリケーションでBOOSTピンがV<sup>-</sup>またはV<sub>REG</sub>に結線されており、遠くのLTC3300-2から配線する必要はありません。パッケージ本体を使用して、最も高い電圧(例えば、25.2V)を、最も低い電圧(0V)から分離します。例として、6個の4.2Vバッテリー・セルをLTC3300-2に接続した場合の、V<sup>-</sup>に対する各ピンのDC電圧を図15に示します。

「優れた手法」としての、レイアウトに関するその他の検討事項は以下のとおりです。

1. V<sub>REG</sub>ピンを、それぞれ1μF以上のコンデンサを使用して、できるだけLTC3300-2に近づけて露出パッドとV<sup>-</sup>にバイパスする必要があります。

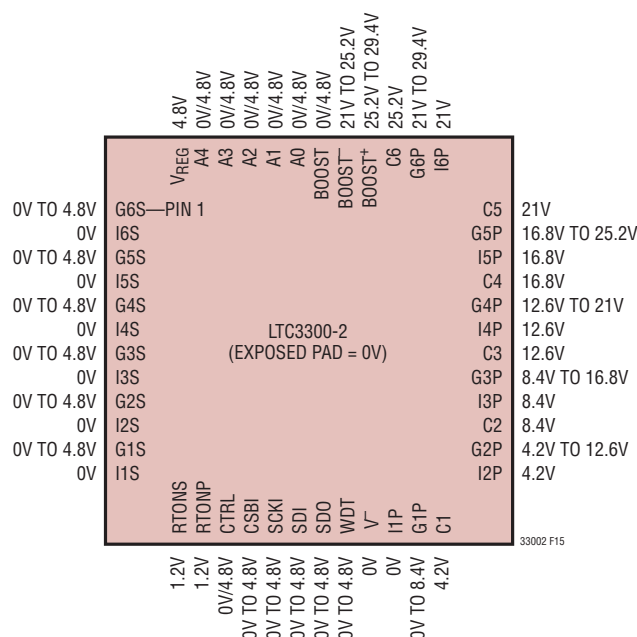


図15.6個の4.2Vセルの場合の標準的ピン電圧

2. 差動セル入力(C6からC5、C5からC4、…、C1から露出パッド)を、1μF以上のコンデンサを使用して、できるだけLTC3300-2に近づけてバイパスする必要があります。これは、電力段に存在するバルク容量に加わります。
3. ピン21 (V<sup>-</sup>)は、I1S～I6SとI1Pに接続される電流検出抵抗(7個の抵抗)のためのグラウンド検出用です。ピン21を、LTC3300-2の露出パッドに接続する前に、できるだけ低インピーダンスのトレースを使用して、これらの抵抗のグラウンド側にケルビン接続する必要があります。
4. セル入力C1～C5は、I2P～I6Pに接続される電流検出抵抗(5個の抵抗)のためのグラウンド検出用です。これらのピンを、できるだけ低インピーダンスのトレースを使用して、これらの抵抗のグラウンド側にケルビン接続する必要があります。
5. RTONSピンとRTONPピンに接続された最大オン時間設定抵抗のグラウンド側を、LTC3300-2の露出パッドに接続する前に、ピン21 (V<sup>-</sup>)にケルビン接続する必要があります。
6. LTC3300-2のゲート駆動出力(G1S～G6SおよびG1P～G6P)と電流検出入力(I1S～I6SおよびI1P～I6P)のトレース長を、できるだけ短くする必要があります。
7. ゲート駆動ブースト部品(ダイオードとコンデンサ)を使用する場合、それらをLTC3300-2のC6ピン、BOOST<sup>+</sup>ピン、およびBOOST<sup>-</sup>ピンに近づけて、緊密なループを形成する必要があります。
8. 外付け電力部品(トランス、FET、および電流検出抵抗)については、2つの高速電流スイッチング・ループ(1次側と2次側)で囲まれた面積を、できるだけ狭くすることが重要です。これを行う場合、電源回路に対してローカルに2つのバイパス・コンデンサを追加することが、非常に役立ちます。1つは差動セル間に追加し、もう1つはトランスの2次側からローカルのV<sup>-</sup>に追加します。

これらの推奨事項をすべて取り入れた代表的なレイアウトが、LTC3300-1に関連する周辺製品のDC2064A デモボードに実装されています(詳細な説明については、付属するデモボードのマニュアルを参照)。LTC3300-2に対応するには、ピン43の接続をピン47に変更するだけで済みます。PCBレイアウト・ファイル(.GRB)も、弊社または弊社代理店から入手できます。

## 標準的応用例

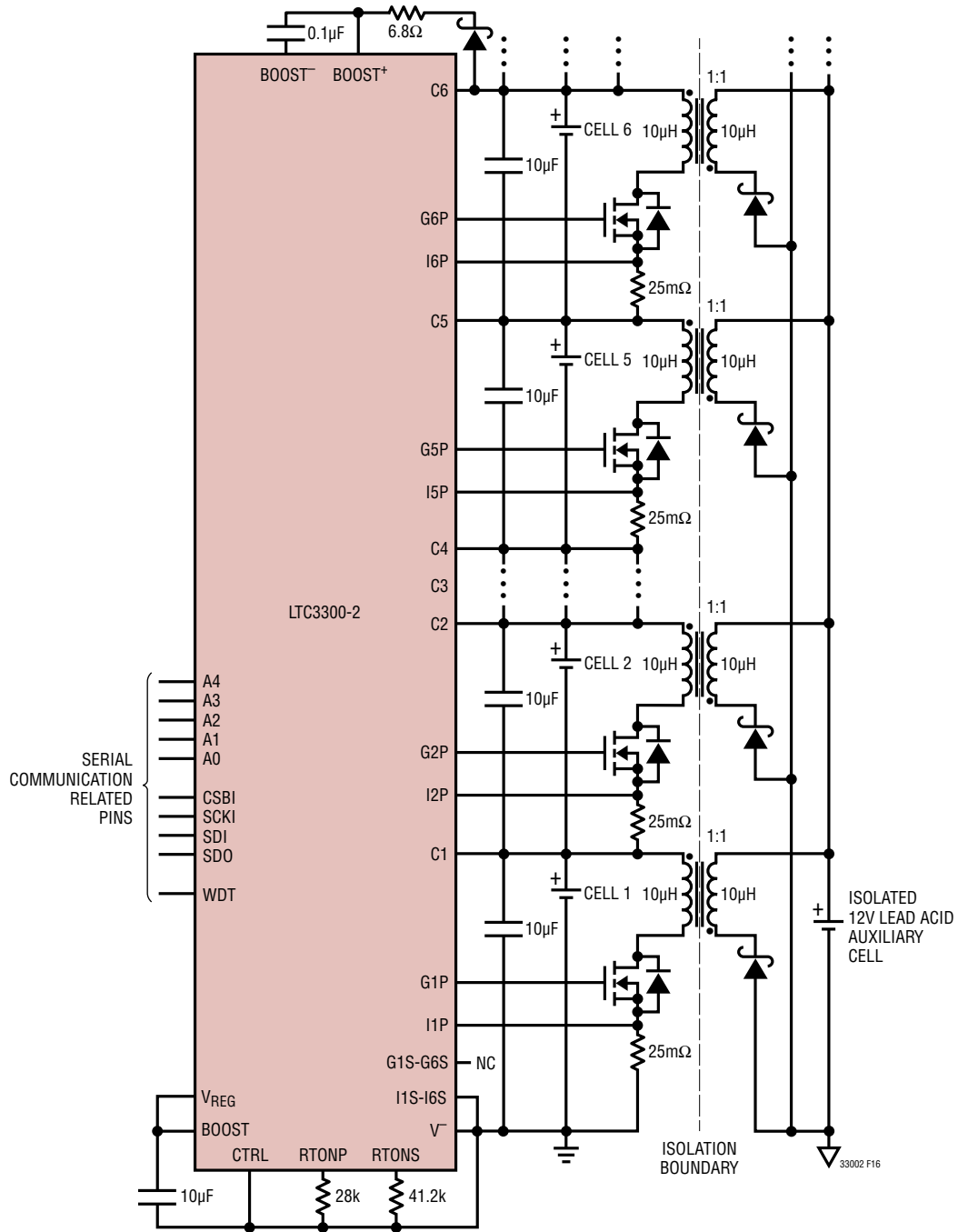


図 16. 絶縁型補助セルを充電するための LTC3300-2 の単方向放電専用バランス調整アプリケーション

標準的応用例

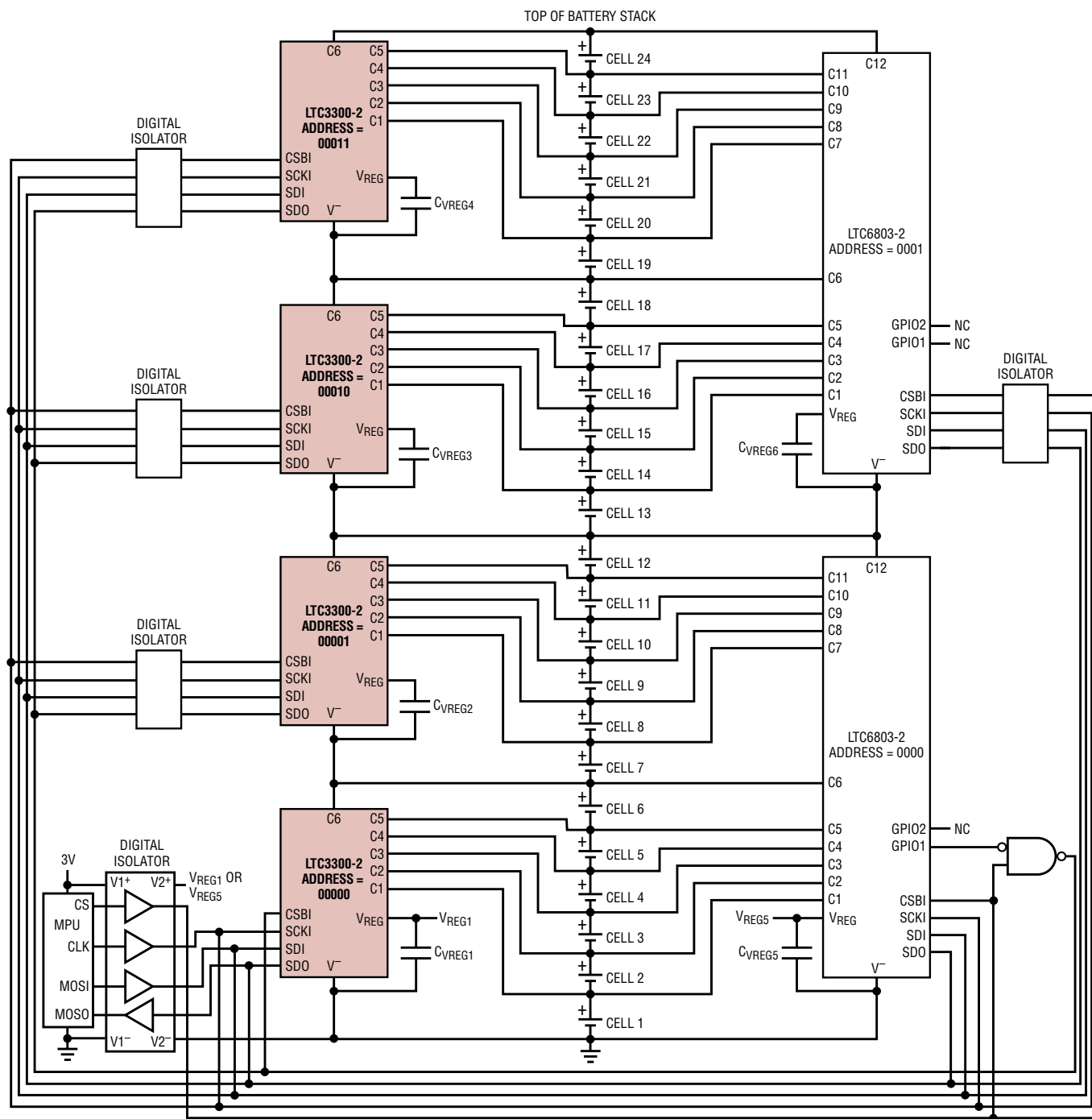


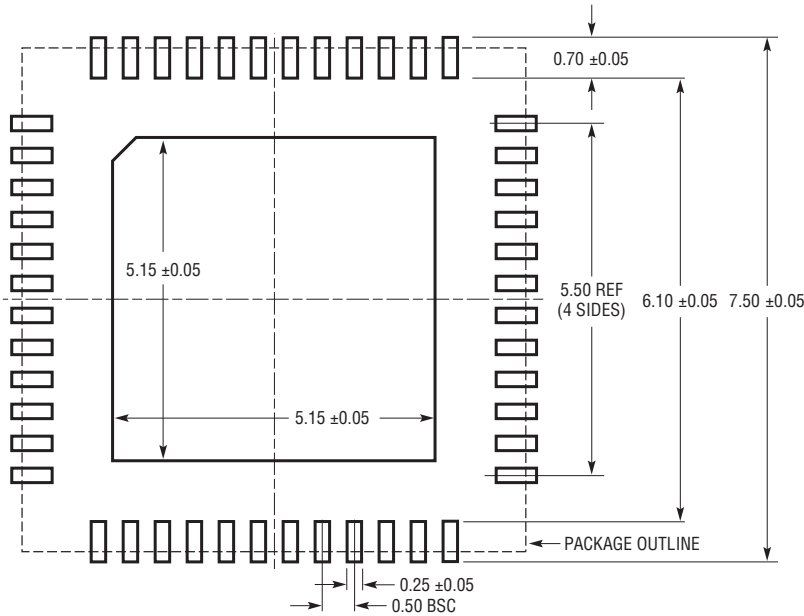
図 17.24 セル・スタックの場合の LTC3300-2/LTC6803-2 バッテリとシリアル通信接続

33002 F17

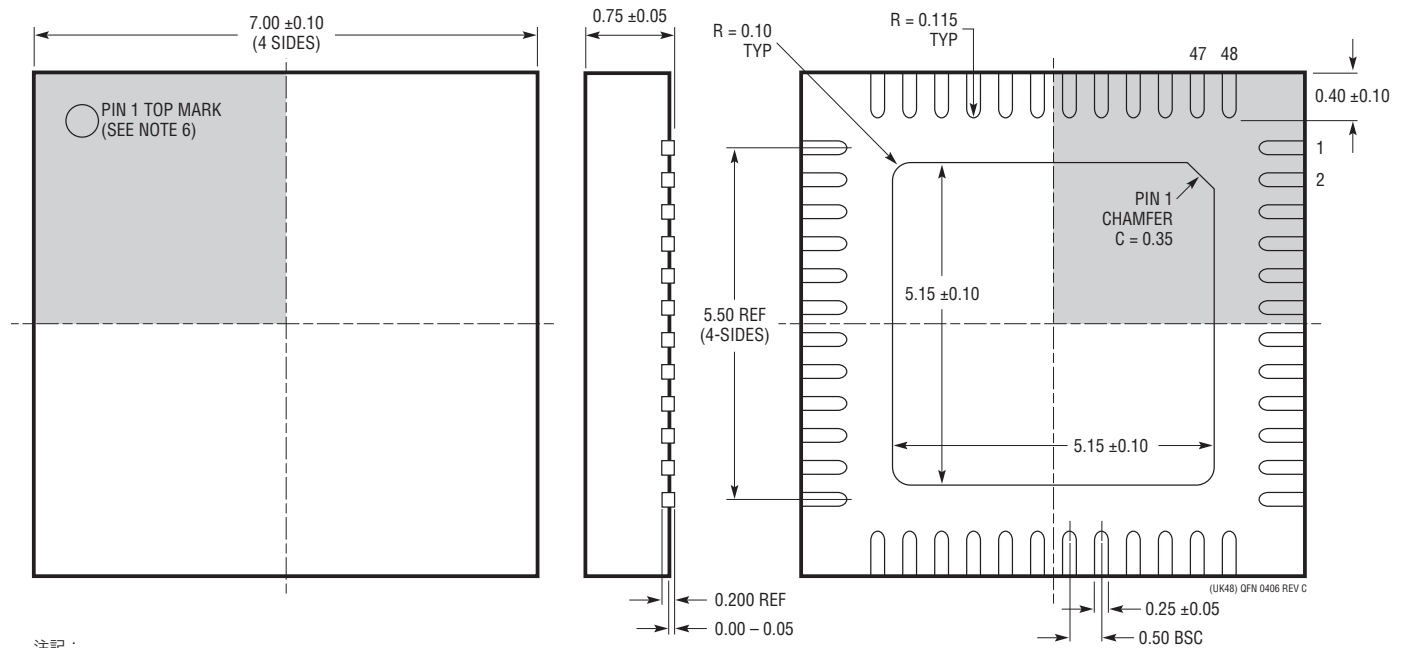
## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

**UK Package**  
**48-Lead Plastic QFN (7mm × 7mm)**  
 (Reference LTC DWG # 05-08-1704 Rev C)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS  
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



注記:

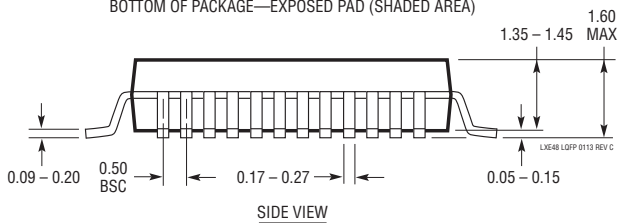
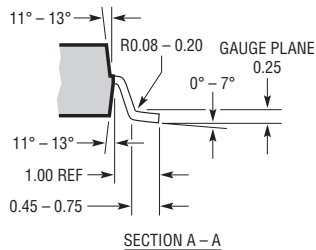
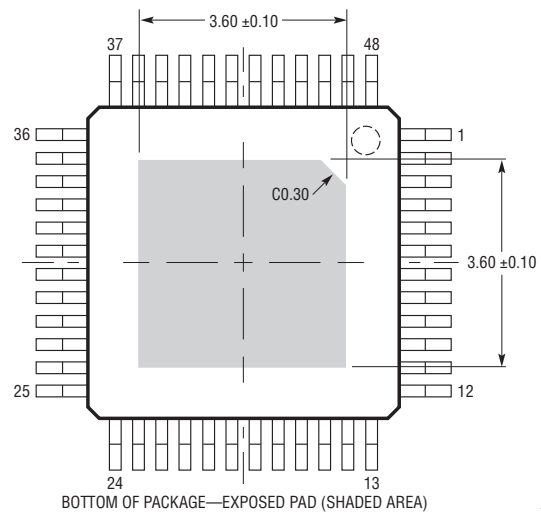
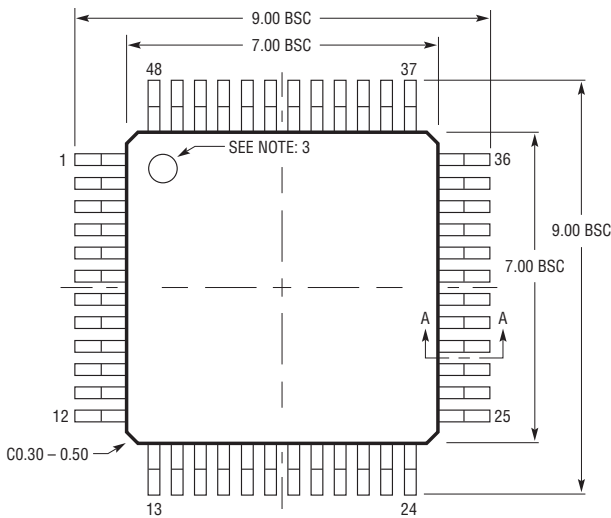
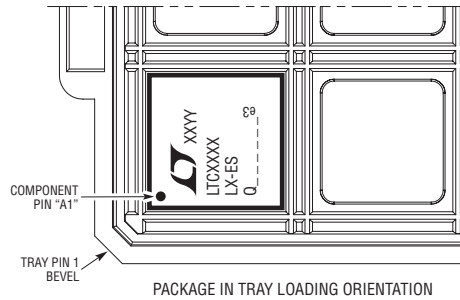
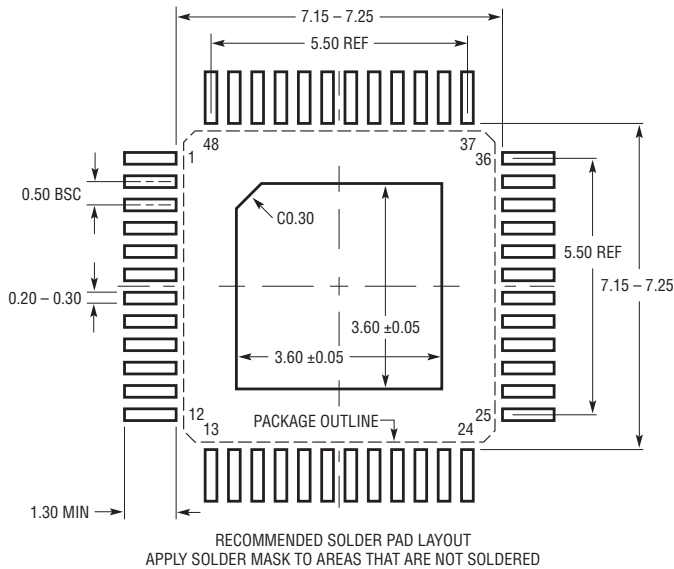
1. 図面は JEDEC のパッケージ外形 M0-220 のバリエーション (WKKD-2) に適合
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。  
モールドのバリは各サイドで 0.20mm を超えないこと
5. 露出パッドは半田メッキとする
6. 灰色の部分はパッケージのトップとボトムのパイン 1 の位置の参考に過ぎない

BOTTOM VIEW—EXPOSED PAD

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

**LXE Package**  
**48-Lead Plastic Exposed Pad LQFP (7mm × 7mm)**  
 (Reference LTC DWG #05-08-1832 Rev C)



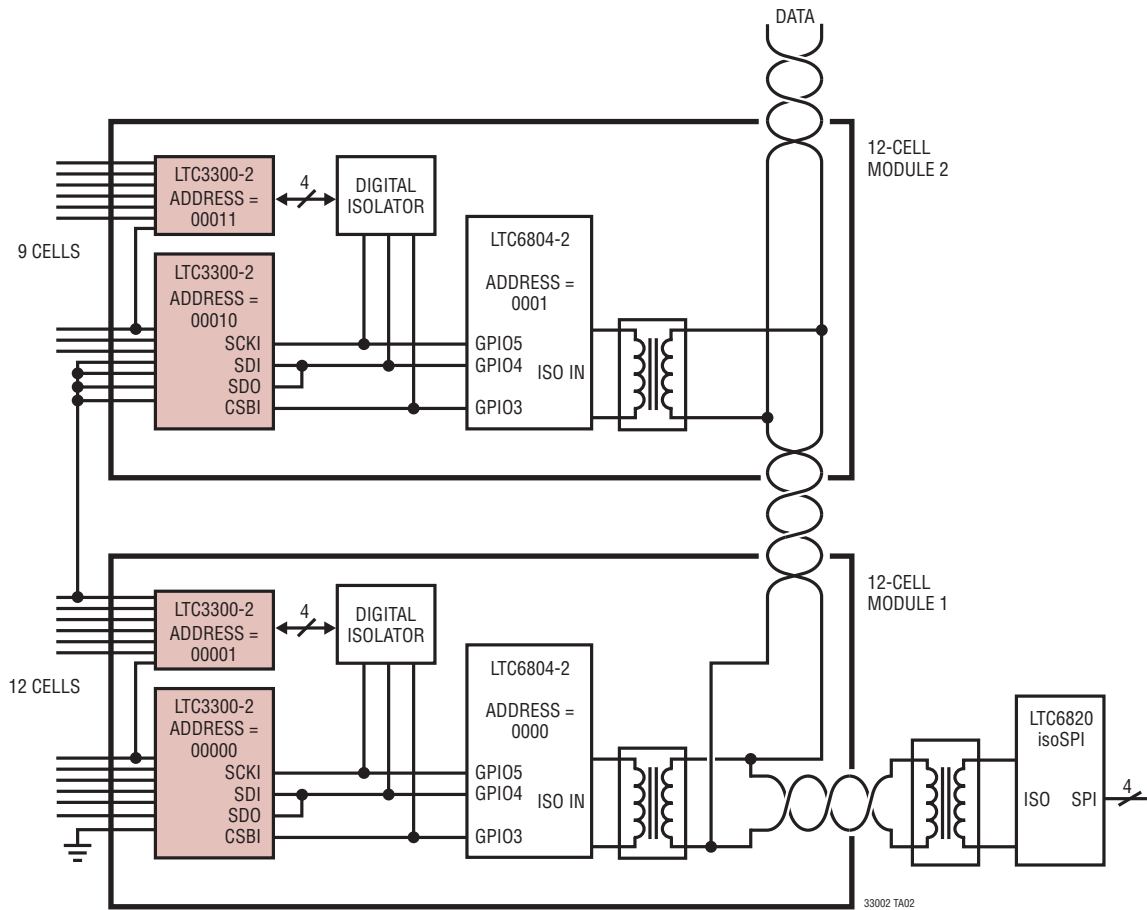
- 注記:  
 1. 寸法はミリメートル  
 2. パッケージ寸法にはモールドのバリを含まない。  
 モールドのバリは(もしあれば)各サイドで0.25mmを超えないこと

3. ピン1の識別マークはモールドのくぼみ、直径0.50mm。  
 4. 図は実寸とは異なる

# LTC3300-2

## 標準的応用例

LTC3300-2/LTC6804-2のシリアル通信接続



## 関連製品

| 製品番号                                       | 説明                        | 注釈  |
|--|---------------------------|---|
| LTC3300-1                                  | 高効率の双方向マルチセル・バッテリー・バランス   | フォトカプラや光アイソレータを使用せずに、複数のデバイスのシリアル・ポートをデイジーチェーン接続可能                |
| LTC6801                                    | 独立動作のマルチセル・バッテリー・スタック・モニタ | 最大12個の直列接続されたバッテリー・セルの低電圧または過電圧をモニタ、LTC6802、LTC6803、およびLTC6804と併用 |
| LTC6802-1/LTC6802-2                        | マルチセル・バッテリー・スタック・モニタ      | 最大12個の直列接続されたバッテリー・セルを測定、第1世代：新設計のLTC6803およびLTC6804によって更新された      |
| LTC6803-1/LTC6803-3<br>LTC6803-2/LTC6803-4 | マルチセル・バッテリー・スタック・モニタ      | 最大12個の直列接続されたバッテリー・セルを測定、第2世代：LTC6802に対して機能拡張され、ピン互換性を持つ          |
| LTC6804-1/LTC6804-2                        | マルチセル・バッテリー・モニタ           | 最大12個の直列接続されたバッテリー・セルを測定、第3世代：LTC6803よりも高精度でisoSPIインタフェースを内蔵      |
| LTC6820                                    | isoSPI絶縁型通信インタフェース        | より対線を使用した最大100mのSPI通信用絶縁型インタフェースを提供、LTC6804と併用                    |

33002f