

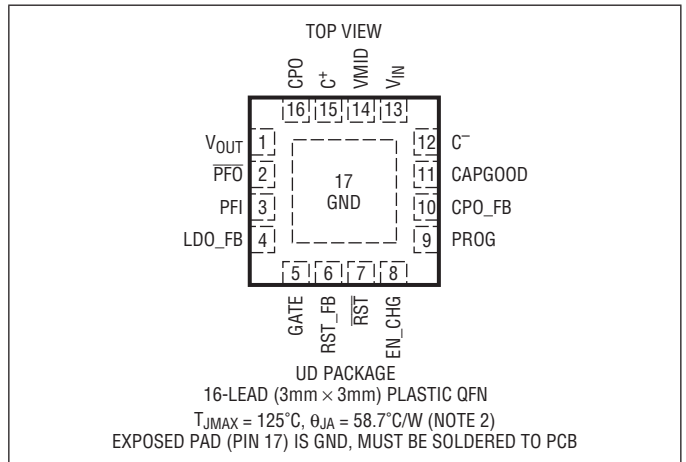
LTC3226

絶対最大定格

(Note 1)

V_{IN} 、 V_{OUT} 、 V_{MID} 、 CPO 、 \overline{RST} 、 \overline{PFO} 、
 $CAPGOOD$ 、 LDO_FB-0.3V ~ 6V
 EN_CHG 、 PFI 、 RST_FB 、
 CPO_FB の電圧.....-0.3V ~ 最大(V_{IN} 、 CPO) + 0.3V
 動作接合部温度範囲 (Note 3).....-40°C ~ 125°C
 保存温度範囲.....-65°C ~ 150°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC3226EUD#PBF	LTC3226EUD#TRPBF	LFZV	16-Lead (3mm × 3mm) Plastic QFN	-40°C to 125°C
LTC3226IUD#PBF	LTC3226IUD#TRPBF	LFZV	16-Lead (3mm × 3mm) Plastic QFN	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
 テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

電气的特性

● は全動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 3)。注記がない限り、 $V_{IN} = 3.3\text{V}$ 、 $V_{CPO} = 5\text{V}$ 、 $V_{OUT} = 3.3\text{V}$ 、 $VMID = 1/2 V_{CPO}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Input Supply Range		● 2.5		5.5	V
$I_{VIN(ST)}$	V_{IN} Quiescent Current in Normal Mode	$V_{PFI} > 1.2\text{V}$, $V_{CPO_FB} > 1.2\text{V}$, $V_{IN} < V_{CPO}$		10		μA
$I_{CPO(ST)}$	CPO Quiescent Current in Normal Mode	$V_{PFI} > 1.2\text{V}$, $V_{CPO_FB} > 1.2\text{V}$, $V_{IN} < V_{CPO}$		20		μA
$I_{VOUT(ST)}$	V_{OUT} Quiescent Current in Normal Mode	$V_{OUT} = V_{IN}$, $V_{PFI} > 1.2\text{V}$, $V_{CPO_FB} > 1.2\text{V}$, $V_{IN} < V_{CPO}$		5		μA
$I_{CPO(BU)}$	CPO Quiescent Current in Backup Mode	$V_{PFI} < 1.2\text{V}$, $V_{LDO_FB} > 0.8\text{V}$, $V_{CPO} > V_{OUT}$		24		μA
$I_{VOUT(BU)}$	V_{OUT} Quiescent Current in Backup Mode	$V_{IN} = 0\text{V}$, $V_{PFI} < 1.2\text{V}$, $V_{LDO_FB} > 0.8\text{V}$, $V_{CPO} > V_{OUT}$		3		μA
理想ダイオード・コントローラ						
$V_{FWD(EDA)}$	External Ideal Diode Forward Voltage ($V_{IN}-V_{OUT}$)	$I_{VOUT} = 2\text{mA}$		15		mV
V_{RTO}	Fast Turn-Off Voltage ($V_{IN}-V_{OUT}$)	V_{IN} Falling		-45		mV
	Fast Turn-On Voltage ($V_{IN}-V_{OUT}$)	V_{OUT} Falling		45		mV
チャージポンプ・スーパーキャパシタ・チャージャ						
V_{CPO_FB}	CPO_FB Pin Threshold for Entering Sleep Mode		● 1.18	1.21	1.24	V
	CPO_FB Pin Hysteresis for Exiting Sleep Mode			20		mV
I_{CPO_FB}	Charge Pump FB Pin Input Leakage	$V_{CPO_FB} = 1.3\text{V}$	● -50		50	nA
f_{OSC}	CLK Frequency		0.75	0.9	1.05	MHz
R_{OL}	Effective Open-Loop Output Impedance (Note 4)	$V_{CPO} = 4.5\text{V}$, $C_{FLY} = 1\mu\text{F}$		6		Ω
V_{PROG}	PROG Pin Servo Voltage	$V_{CPO_FB} < 1.2\text{V}$	● 0.98	1.0	1.02	V
$I_{VIN(ILIM)}$	Input Current Limit	$R_{PROG} = 33.3\text{k}$, $V_{CPO} = 0\text{V}$		360		mA
h_{PROG}	Ratio of V_{IN} Input Current Limit to PROG Pin Current	$R_{PROG} = 33.3\text{k}$, $V_{CPO} = 0\text{V}$		10,500		A/A
$I_{CHRG(1x)}$	CPO Pin Charging Current (1x Mode)	$V_{IN} = 3.8\text{V}$, $R_{PROG} = 33.3\text{k}$, $V_{CPO} = 3\text{V}$		315		mA
$I_{CHRG(2x)}$	CPO Pin Charging Current (2x Mode)	$R_{PROG} = 33.3\text{k}$		157.5		mA
I_{SC}	Short-Circuit Charge Current	PROG Pin Grounded, $V_{CPO} = 0\text{V}$		600		mA
V_{MODE}	V_{IN} to CPO Voltage Differential for Switching Mode from 1x to 2x			200		mV
	1x/2x Mode Comparator Hysteresis			120		mV
V_{CLAMP}	Maximum Voltage Across Either Supercapacitor After Charging		● 2.65	2.75		V
V_{STACK}	Maximum Supercapacitor Stack Voltage		● 5.3	5.5		V
$VMID$	VMID Output Voltage			2.5		V
	VMID Current Sourcing Capability	$VMID < V_{CPO}/2$, $V_{CPO_FB} > 1.24\text{V}$		4.5		mA
	VMID Current Sinking Capability	$VMID > V_{CPO}/2$, $V_{CPO_FB} > 1.24\text{V}$		5.5		mA
	CPO_FB Pin Threshold Voltage (Rising) for CAPGOOD		● 1.09	1.11	1.13	V
	CPO_FB Pin Hysteresis for CAPGOOD			20		mV
	CAPGOOD Output Low Voltage	$I_{SINK} = 5\text{mA}$		65		mV
	CAPGOOD High Impedance Leakage Current	$V_{CAPGOOD} = 5\text{V}$	●		1	μA

LTC3226

電気的特性

●は全動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 3)。注記がない限り、 $V_{IN} = 3.3\text{V}$ 、 $V_{CPO} = 5\text{V}$ 、 $V_{OUT} = 3.3\text{V}$ 、 $V_{MID} = 1/2 V_{CPO}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
LDO						
	Minimum CPO Voltage for LDO Operation		2.4			V
V_{LDO_FB}	LDO FB Servo Voltage	$I_{VOUT} = 1\text{mA}$	● 0.76	0.8	0.82	V
	Load Regulation $\Delta V_{LDO_FB}/\Delta I_{OUT}$	$1\text{mA} < I_{VOUT} < 2\text{A}$		2.7		mV/A
	LDO FET $R_{DS(ON)}$	$V_{CPO} = 3.6\text{V}$		200		m Ω
$I_{LDO_FB(LEAK)}$	LDO_FB Input Leakage Current	$V_{LDO_FB} = 0.9\text{V}$	● -60		60	nA
I_{LIM}	LDO Current Limit		2	4		A
RST_FB, RST						
$V_{RST_FB(TH)}$	RST_FB Threshold (Falling Edge)		● 0.72	0.74	0.76	V
$V_{RST_FB(HYS)}$	RST_FB Hysteresis			20		mV
$I_{RST_FB(LEAK)}$	RST_FB Input Leakage Current	$V_{RST_FB} = 0.9\text{V}$	● -50		50	nA
	\overline{RST} Output Low Voltage	$I_{SINK} = 5\text{mA}$		65		mV
	\overline{RST} High Impedance Leakage Current	$V_{RST} = 5\text{V}$	●		1	μA
	\overline{RST} Delay (RST_FB Rising)			290		ms
パワーフェール・コンパレータ						
$V_{PFI(TH)}$	PFI Input Threshold (Falling Edge)		● 1.175	1.2	1.225	V
$V_{PFI(HYS)}$	PFI input Hysteresis			20		mV
$I_{PFI(LEAK)}$	PFI Input Leakage Current	$V_{PFI} = 0.5\text{V}$	● -50		50	nA
	\overline{PFO} Output Low Voltage	$I_{SINK} = 5\text{mA}$		65		mV
$I_{PFO(LEAK)}$	\overline{PFO} High Impedance Leakage Current	$V_{PFO} = 5\text{V}$	●		1	μA
	PFI Delay to \overline{PFO} (PFI Falling)			0.5		μs
EN_CHG						
V_{IH}	Input High Voltage		● 1.3			V
V_{IL}	Input Low Voltage		●		0.4	V
I_{IH}	Input High Current		● -1		1	μA
I_{IL}	Input Low Current		● -1		1	μA

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: パッケージの露出した裏面をPC基板のグランド・プレーンに半田付けしないと、熱抵抗が 58.7°C/W よりもはるかに大きくなる。

Note 3: LTC3226は T_J が T_A にほぼ等しいパルス負荷条件でテストされている。LTC3226Eは $0^\circ\text{C} \sim 85^\circ\text{C}$ の接合部温度で仕様に適合することが保証されている。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲での仕様は、設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。LTC3226Iは $-40^\circ\text{C} \sim 125^\circ\text{C}$ の全動作接合部温度範囲で保証されている。接合部温度 T_J は周囲温度 T_A および電力損失 P_D から次式に従って計算される。

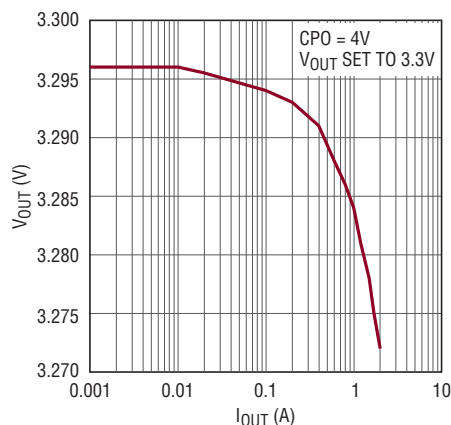
$$T_J = T_A + (P_D \cdot 58.7^\circ\text{C/W})$$

これらの仕様を満たす最大周囲温度は、基板レイアウト、パッケージの定格熱抵抗および環境要因と関連した特定の動作条件によって決まることに注意。

Note 4: 出力がレギュレーション状態ではない、 $R_{OL} = (2 \cdot V_{IN} - V_{CPO})/I_{CPO}$ 。

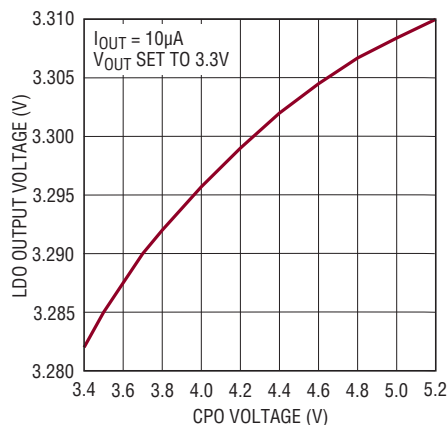
標準的性能特性 注記がない限り $T_A = 25^\circ\text{C}$ 。

LDOの負荷レギュレーション



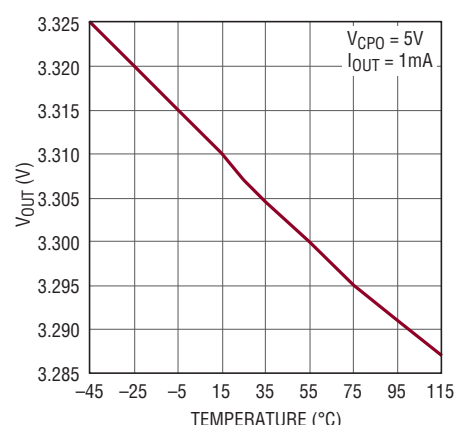
3226 G01

LDOの電源レギュレーション



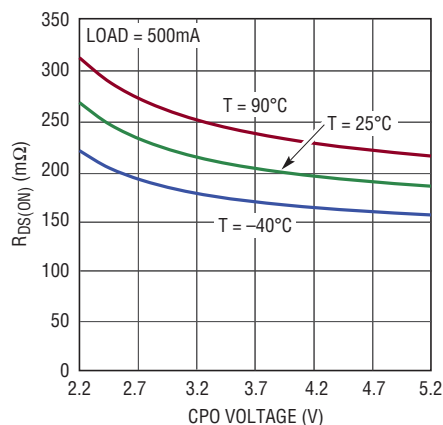
3226 G02

LDOの安定化電圧と温度



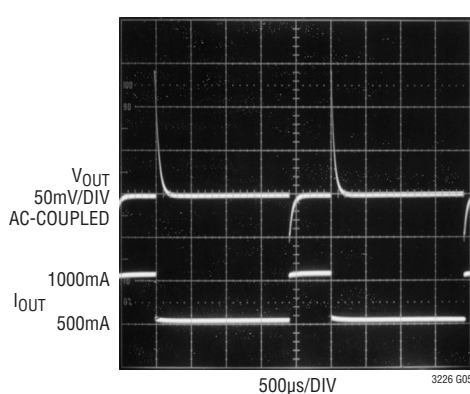
3226 G03

LDOのFET オン抵抗とCPO電圧および温度



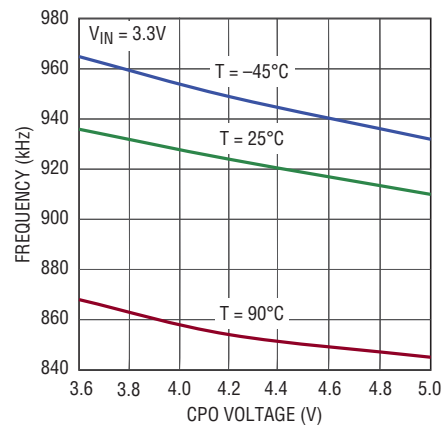
3226 G04

LDO出力の過渡ステップ応答波形



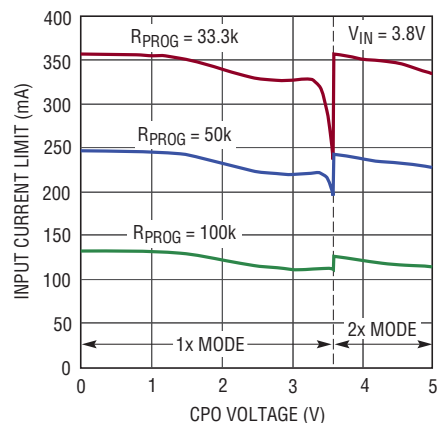
3226 G05

チャージポンプの発振器周波数とVCPOおよび温度



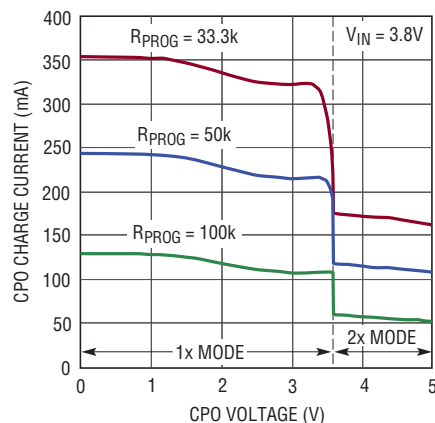
3226 G06

チャージポンプの入力電流とCPOの出力電圧



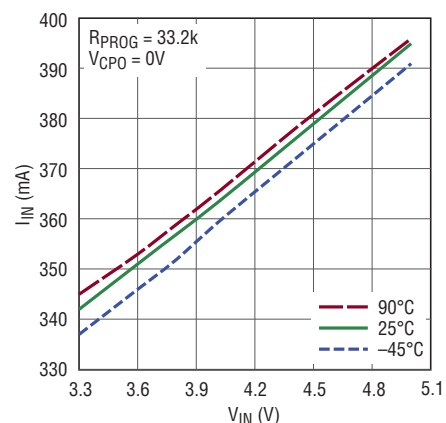
3226 G07

チャージポンプの充電電流とCPOの出力電圧



3226 G08

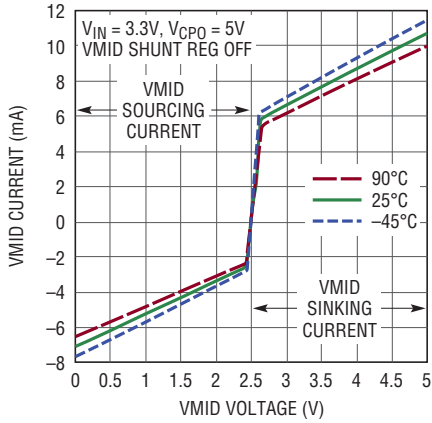
チャージポンプの入力電流とCPOを接地したときのVIN



3226 G09

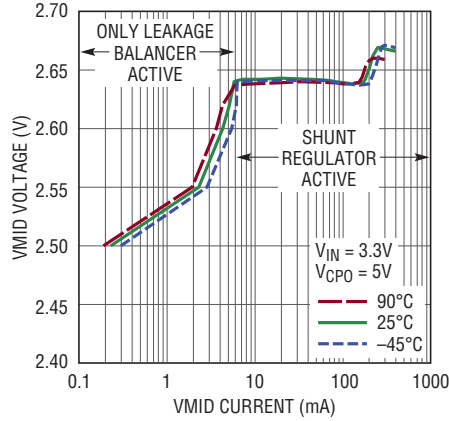
標準的性能特性 注記がない限り $T_A = 25^\circ\text{C}$ 。

リーク・バランスのソースおよびシンク能力



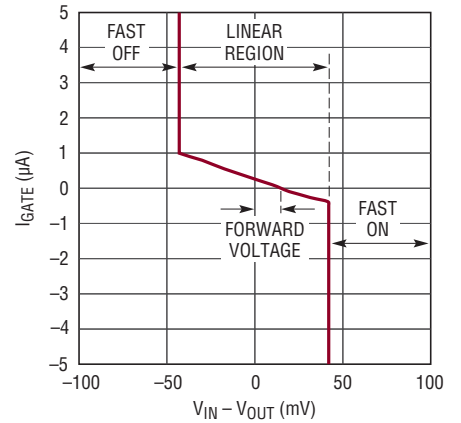
3226 G10

VMIDシャント・レギュレータの電圧と電流および温度



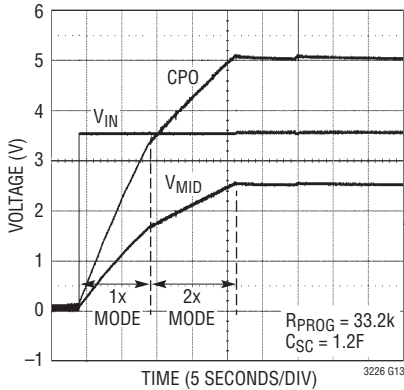
3226 G11

理想ダイオードのゲート電流と ($V_{IN} - V_{OUT}$)



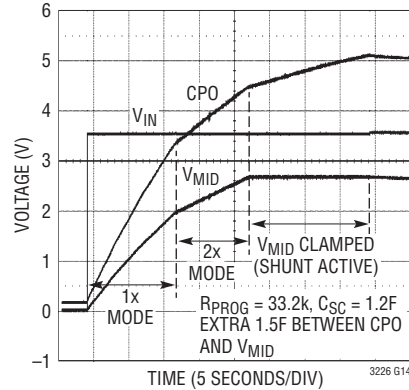
3226 G12

トップ・キャパシタ = ボトム・キャパシタのときの充電プロフィール



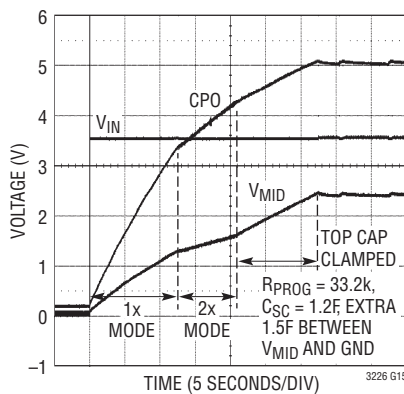
3226 G13

トップ・キャパシタ > ボトム・キャパシタのときの充電プロフィール



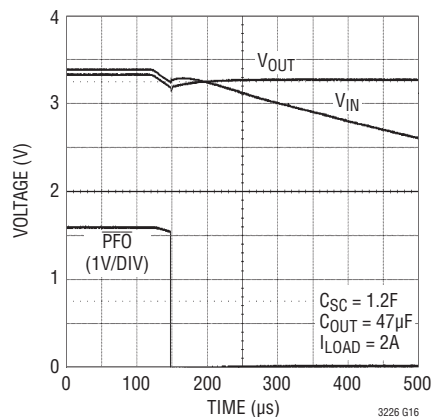
3226 G14

トップ・キャパシタ < ボトム・キャパシタのときの充電プロフィール



3226 G15

通常モードからバックアップ・モードへの切り替え時の過渡波形



3226 G16

ピン機能

V_{OUT} (ピン1) : 電圧出力。このピンを使って、主入力電源 (V_{IN})、あるいは主入力電源が得られないときにスーパーキャパシタ (CPO) から外部負荷に電力を供給します。V_{OUT} は、少なくとも 47 μ F の容量の低 ESR セラミック・コンデンサで GND にバイパスします。

PFO (ピン2) : オープン・ドレインのパワーフェール状態出力。PFI 入力 が 1.2V を下回ると、このピンは内部 N チャンネル MOSFET によってグラウンドに引き下げられます。PFI 入力 が回復すると、このピンは高インピーダンスになります。

PFI (ピン3) : パワーフェール入力。下降時スレッシュホールドが 1.2V でヒステリシスが 20mV の高精度コンパレータの高インピーダンス入力。このピンは、PFO 出力ピンの状態と LTC3226 の動作モードを制御します。

LDO_FB (ピン4) : 内部 LDO の帰還ピン。このピンの電圧はエラーアンプによって内部リファレンス電圧 (0.8V) と比較され、出力をレギュレーション状態に保ちます。LDO の出力電圧を設定するために、V_{OUT}、LDO_FB、および GND の間に外付け抵抗分割器が必要です。「アプリケーション情報」のセクションを参照してください。

GATE (ピン5) : 外付け FET のゲート・ピン。このピンは内部理想ダイオード・コントローラによってドライブされ、V_{OUT} を V_{IN} より 15mV 低い値に安定化します。

RST_FB (ピン6) : リセット・コンパレータの入力。下降時スレッシュホールドが 0.74V でヒステリシスが 20mV の高精度コンパレータの高インピーダンス入力。このピンによって RST 出力ピンの状態を制御します。V_{OUT}、RST_FB、および GND の間に外付け抵抗分割器が必要です。これは LDO_FB の分割器と同じ抵抗分割器にすることができます。「アプリケーション情報」のセクションを参照してください。

RST (ピン7) : RESET コンパレータのオープンドレイン状態出力。RST_FB ピンの電圧が 0.74V を下回ると、このピンは内部 N チャンネル MOSFET によってグラウンドに引き下げられます。RST_FB ピンの電圧が回復すると、このピンは 290ms の遅延後に高インピーダンスになり、V_{OUT} が設定値の 7.5% 以内であることを示します。

EN_CHG (ピン8) : 内部プルアップを備えたチャージポンプ・スーパーキャパシタ・チャージャのイネーブル・ピン。このピンを 0.4V より低い電圧に接続すると、内部チャージポンプがディスエーブルされます。

PROG (ピン9) : チャージャの入力電流制限の設定ピン。このピンと GND の間に接続された抵抗により、チャージャの入力電流制限が設定されます。「アプリケーション情報」のセクションを参照してください。

CPO_FB (ピン10) : チャージポンプの帰還ピン。このピンの電圧は内部リファレンス電圧 (1.2V) と比較され、チャージポンプの出力 CPO をレギュレーション状態に保ちます。CPO の出力電圧を設定するために、CPO、CPO_FB、および GND の間に外付け抵抗分割器が必要です。「アプリケーション情報」のセクションを参照してください。

CAPGOOD (ピン11) : CPO 電圧のオープンドレイン状態出力。CPO_FB ピンの電圧が 1.11V に達するまで、このピンは内部 N チャンネル MOSFET によってグラウンドに引き下げられます。CPO_FB ピンの電圧が 1.11V を超えると、このピンは高インピーダンスになり、CPO 電圧が目標値の 7.5% 以内であることを示します。

C⁻ (ピン12) : 内部チャージポンプのフライング・コンデンサの負端子。

V_{IN} (ピン13) : 主入力電源。このピンは、外付け P チャンネル MOSFET を介して V_{OUT} ピンに電力を供給するとともに、CPO ピンと VMID ピンに接続されたスーパーキャパシタにも電力を供給します。V_{IN} は、負荷過渡に応じて、少なくとも 2.2 μ F の低 ESR セラミック・コンデンサで GND にバイパスします。

VMID (ピン14) : 直列に接続された 2 個のスーパーキャパシタの中間点。

C⁺ (ピン15) : 内部チャージポンプのフライング・コンデンサの正端子。C⁺ から C⁻ に 1 μ F ~ 10 μ F の X5R または X7R セラミック・コンデンサを接続します。

CPO (ピン16) : バックアップ電源ピン。CPO をトップ・スーパーキャパシタのトップ・プレートに接続します。このピンは、主入力電源が機能しないときに、内部チャージポンプ・ダブラを介して V_{IN} から電力を受け取り、内部 LDO を介して V_{OUT} に電力を供給します。

GND (露出パッドのピン17) : グラウンド。露出パッドは、デバイスの直下に配置した複数のビアを使って、プリント回路基板の 2 番目の層の連続したグラウンド・プレーンに接続し、最適な熱性能を達成します。

ブロック図

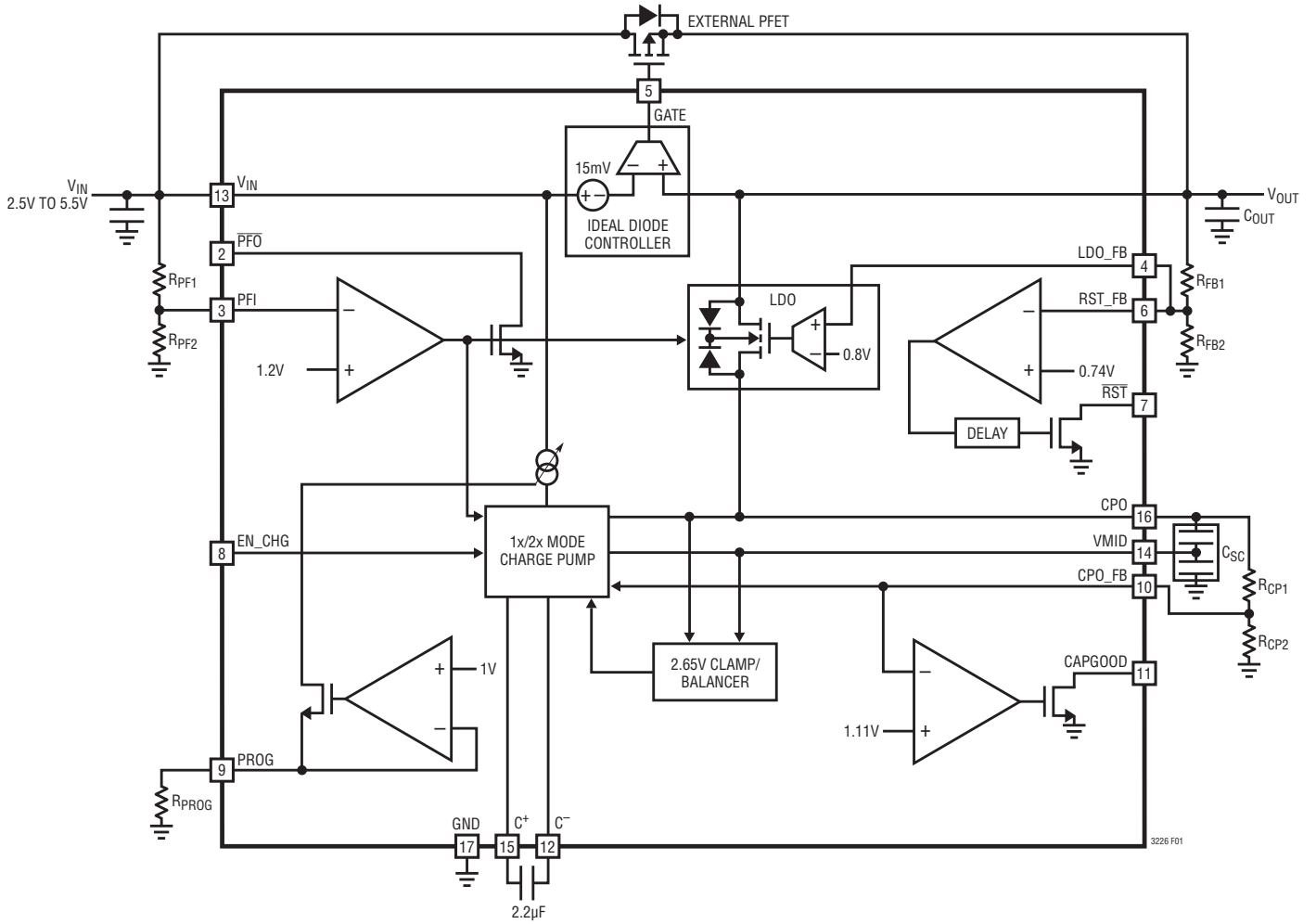


図 1. LTC3226 のブロック図

動作

LTC3226は、2.5V～5.3Vの範囲のリチウムイオン・バッテリーなどのシステム・レールをバックアップするように設計された、2セル直列スーパーキャパシタ・チャージャです。このデバイスには、バランスと電圧クランプを備えたデュアル・モード(1x/2x)チャージポンプ、スーパーキャパシタに蓄積された電荷から負荷電流を供給するLDO、 V_{IN} と V_{OUT} の間の外付けFETのゲートを制御する理想ダイオード・コントローラ、 V_{IN} が外部設定された値を下回ったときにチャージポンプを起動してスーパーキャパシタ・スタックを充電するかまたはLDOを起動して負荷に電力を供給するかを決めるPFIコンパレータの4つの主要な回路要素が備わっています。

LTC3226には2つの動作モード(通常モードおよびバックアップ・モード)があります。 V_{IN} が外部設定可能なPFIスレッシュホールド電圧より高いと、デバイスは通常モードになります。通常モードでは、 V_{IN} から外付けFETを介して V_{OUT} に電力が供給され、内部チャージポンプがオン状態を維持してスーパーキャパシタ・スタックをトップオフします。 V_{IN} がこのPFIスレッシュホールドより低いと、デバイスはバックアップ・モードになります。このモードでは、内部チャージポンプがオフし、外付けFETがオフし、LDOがオンして蓄積された電荷から負荷電流を供給します。

チャージポンプ

LTC3226の主要な回路要素の1つは、 V_{IN} から電荷を転送してCPOピンのスーパーキャパシタ・スタックに蓄積する、デュアル・モードの低ノイズ固定周波数(0.9MHz)に制御されたチャージポンプです。CPOピンの目標電圧つまり充電終了電圧は、CPO_FBピンを使った外付け抵抗分割器によって設定されます。チャージャの入力電流制限は、PROGピンとグラウンドの間の外付け抵抗によって設定します。 V_{IN} が外部設定可能なPFIスレッシュホールドを超えると、チャージポンプはオンします。充電サイクルの開始時にCPOピンの電圧が V_{IN} より低いと、チャージポンプは1倍モード(リニア・モード)になります。1倍モードでは、チャージポンプはパス素子として機能し、設定された入力電流制限によって制限された充電電流でスーパーキャパシタを充電します。CPOの電圧が入力電源電圧の200mV以内まで上昇すると、チャージポンプは2倍モード(ダブル・モード)に切り替わります。2倍モードでは、平均充電電流が入力電流制限の半分にはほぼ等しい値になります。CPOの電圧が目標値を約1%超えると、チャージポンプはターンオフ状態に切り替わり、スリープ・モードになります。スリープ・モードではチャージポンプ制御回路のほとんどがオフし、消費電

流が最小限に抑えられます。リークと内部消費電流の負荷によってスーパーキャパシタが放電するのに従い、CPOピンの電圧は緩やかに低下します。CPOピンの電圧が設定電圧より1%低い値まで低下すると、チャージポンプはオンしてスーパーキャパシタを再度充電し、このサイクルが繰り返されます。EN_CHGピンを0.4Vより低い電圧に引き下げることにより、チャージポンプをオフすることができます。ただし、デフォルトでは、EN_CHGピンがフロート状態のときに内部の低電流プルアップ回路により、チャージポンプは常にイネーブルされます。

電圧クランプ

LTC3226のチャージポンプには、スタックのどちらのスーパーキャパシタ両端の電圧も2.65Vの最大許容プリセット電圧に制限する回路が備わっています。CPOピンが目標電圧に達する前にトップ・キャパシタ両端の電圧($VMID-V_{CPO}$)が2.65Vになると、チャージポンプはCPOピンを介したスタックのトップ・キャパシタの充電を停止し、1倍モードに切り替わり、スタック電圧が設定値に達するまでVMIDピンを介してボトム・キャパシタに直接電荷を供給します。スタック電圧が目標値になる前にボトム・キャパシタ両端の電圧が2.65Vに達すると、チャージポンプはCPOピンを介してスタックのトップ・キャパシタに電荷を供給し続け、シャント・レギュレータがオンしてボトム・キャパシタから電荷を抜き取り、VMIDピンの電圧がさらに上昇するのを防ぎます。シャント・レギュレータは、約315mAの最大許容充電電流をシャントすることができます(1倍モードの場合)。両方のキャパシタが2.65Vを超えると、チャージポンプは回路の大部分をオフすることによってスリープ・モードになります。

リーク・バランス

LTC3226は、VMIDピンの電圧をCPOピンの電圧のちょうど半分にサーボ制御するリーク・バランス・アンプを内蔵しています。ただし、アンプのソース能力(最大4.5mA)とシンク能力(最大5.5mA)が制限されています。このアンプはリーク電流によるスーパーキャパシタのわずかな不整合に対応するように設計されたものであり、欠陥による大きな不整合を補正するには設計されていません。バランスは入力電源電圧がPFIスレッシュホールドより高いときだけアクティブになります。内部バランスにより、外付けバランス抵抗が不要になります。

動作

CAPGOOD 状態出力

LTC3226のチャージポンプは、CAPGOODピンのオープンドレインNMOSトランジスタを介してスーパーキャパシタの状態を通知するコンパレータを備えています。このピンは、CPOピンの電圧が設定値の7.5%以内に上昇するまでグラウンドに引き下げられます。CPOピンがこのスレッショルドを上回ると、CAPGOODピンは高インピーダンスになります。

PROG ピンの短絡保護

通常、LTC3226のチャージポンプが供給可能な最大電流はPROG抵抗によって設定されます。ただし、何らかの理由で、PROGピンがGNDに短絡されるか、または推奨値よりもはるかに小さいPROG抵抗の値が選択されると、チャージポンプの入力電流が約600mAの内部設定値に制限されます。また、PROGピンからソース可能な最大電流は内部抵抗によって1mA以下に制限されます。

低損失レギュレータ (LDO)

LTC3226のその他の主要な回路要素は、 $R_{DS(ON)}$ が約200m Ω のパス素子を介してスーパーキャパシタ・スタックから V_{OUT} に電力を転送する低損失レギュレータ(LDO)です。このLDOの電流制限値は4Aに内部設定されています。入力電源電圧がPFIスレッショルドを下回る場合には、PFIコンパレータがLDOを迅速にオンし、 V_{OUT} レールをあまり垂下させずに必要な負荷電流を供給します。ただし、理想ダイオードを介して入力からスーパーキャパシタに電流が無制限に流れるのを防ぐため、CPO電圧が V_{IN} より標準で100mVだけ高くなるまでLDOはオフします。LDOの出力電圧は、LDO_FBピンを経由した外付け抵抗分割器によって設定されます。

パワーフェール(PFI)コンパレータ

LTC3226は、入力電圧 V_{IN} が外部設定されるスレッショルド電圧を下回ったときに、デバイスを通常モードからバックアップ・モードに切り替える高速コンパレータを備えています。バックアップ・モードでは、チャージポンプがオフし、スーパーキャ

パシタに十分な電荷が蓄積されている限り、LDOが負荷に電力を供給します。PFIのスレッショルド電圧は、PFIピンを経由した外付け抵抗分割器によって設定されます。PFIコンパレータの出力もオープンドレインNMOSのゲートをドライブし、 \overline{PFO} ピンを介して状態を通知します。通常モードでは、 \overline{PFO} ピンは高インピーダンスですが、バックアップ・モードでは、このピンはグラウンドにプルダウンされます。

理想ダイオード・コントローラ

LTC3226は、入力 V_{IN} と出力 V_{OUT} の間にGATEピンを経由して接続された外付けPFETのゲートを制御する理想ダイオード・コントローラを備えています。通常動作状態では、この外付けFETが入力から出力への主な電力経路を構成します。非常に軽い負荷では、コントローラは入力電圧と出力電圧の間にFET両端の15mVのデルタを維持します。 V_{IN} が突然 V_{OUT} を下回ると、コントローラは短時間でFETをオフし、 V_{OUT} から入力電源への逆導通を防止します。

RESET コンパレータ

LTC3226は、すべての動作モードでRST_FBピンによって V_{OUT} をモニタし、 \overline{RST} ピンのオープンドレインNMOSトランジスタを介して状態を通知するRESETコンパレータを備えています。どの時点でも、 V_{OUT} が設定値から7.5%低下すると、RESETコンパレータはほとんど瞬時に \overline{RST} ピンを“L”に引き下げます。ただし、立ち上がりエッジでは、このコンパレータは V_{OUT} がスレッショルドを超えた後290ms待つてから \overline{RST} ピンを高インピーダンスにします。

グローバル・サーマル・シャットダウン

LTC3226は、ダイ温度が152°Cを超えた場合にデバイス全体をシャットダウンするグローバル・サーマル・シャットダウン機能を備えています。温度が約15°C下がってほぼ137°Cになると、デバイスは通常動作を再開します。

アプリケーション情報

スーパーキャパシタの充電終了電圧(CPO)の設定

CPOピンのスーパーキャパシタ・スタックの充電終了電圧は、次式のように、CPOピンからCPO_FBピンを経由してGNDに接続した抵抗分割器を使用することにより、2.5V～5.3Vの任意の電圧に設定できます。

$$V_{CPO} = V_{CPO_FB} \cdot \left(1 + \frac{R_{CP1}}{R_{CP2}} \right)$$

ここで、 V_{CPO_FB} は1.2Vです。図1の「ブロック図」を参照してください。 R_{CP1} と R_{CP2} の標準値は40k～5Mの範囲です。

チャージャの入力電流制限の設定

LTC3226のチャージポンプの入力電流制限は、PROGピンからグラウンドに1本の抵抗を接続して設定します。入力電流制限の標準値はPROGピンから流れ出す電流の10,500倍です。デバイスがスリープ・モードでない限り、PROGピンの電圧は常に1Vにサーボ制御されます。設定抵抗と入力電流制限は次式を使って計算します。

$$R_{PROG} = 10,500 \cdot \frac{1V}{I_{VIN(ILIM)}}, \quad I_{VIN(ILIM)} = 10,500 \cdot \frac{1V}{R_{PROG}}$$

ここで、 $I_{VIN(ILIM)}$ はチャージポンプ・チャージャの入力電流制限です。315mAの最大許容入力電流制限は、33.2kのPROG抵抗を使用することによって実現できます。電荷の転送レートを最大にするため、スーパーキャパシタの電圧が入力電圧より低く、CPOピンからの充電電流が設定された入力電流制限によってのみ制限される場合、チャージポンプは1倍モードで動作します。ただし、2倍モードでは、平均充電電流は入力電流制限の約半分になります。

パワーフェール・コンパレータの入力電圧スレッシュホールドの設定

入力電圧スレッシュホールド(この値を下回るとパワーフェール状態ピン \overline{PFO} がパワーフェール状態を示し、LTC3226が内部LDOをオンに切り替える)は次式のように、 V_{IN} ピンからPFIピンを経由してGNDに接続した抵抗分割器を使用することによって設定できます。

$$V_{IN(PFO_HI_LO)} = V_{PFI} \cdot \left(1 + \frac{R_{PFI1}}{R_{PFI2}} \right)$$

ここで、 V_{PFI} は1.2Vです。図1を参照してください。 R_{PFI1} と R_{PFI2} の標準値は40k～5Mの範囲です。通常モードからバックアップ・モードにスムーズに移行させるには、PFIスレッシュホールドを設定されたLDOの出力電圧 V_{OUT} より50mV～100mV上に設定します。

その値を超えると、パワーフェール状態ピン \overline{PFO} が高インピーダンスになり、スーパーキャパシタ・チャージャと理想ダイオードがイネーブルされる入力電圧は、次のようになります。

$$V_{IN(PFO_LO_HI)} = (V_{PFI} + V_{PFI(HYS)}) \cdot \left(1 + \frac{R_{PFI1}}{R_{PFI2}} \right)$$

ここで、 $V_{PFI(HYS)}$ はPFIコンパレータのヒステリシスです。この値は20mVの標準値に内部設定されています。

図2に示すように、 \overline{PFO} ピンとPFIピンの間にダイオードD1と直列接続された抵抗 R_H を追加することにより、ヒステリシスを外部で増加させることができます。このネットワークは \overline{PFO} に対して V_{IN} の“L”から“H”へのスレッシュホールドを上げますが、“H”から“L”へのスレッシュホールドは維持します。入力のヒステリシスの増加は次式のように計算できます。

$$\Delta V_{IN(HYS)} = (V_{PFI} + V_{PFI(HYS)} - V_F) \cdot \frac{R_{PFI1}}{R_H}$$

アプリケーション情報

ここで、 V_F はダイオードの順方向電圧です。例として、 $R_{PF1} = 200k$ 、 $R_{PF2} = 120k$ 、 $R_H = 2M$ 、および $V_F = 0.4V$ とすると、このネットワークによって追加されるヒステリシスは上式を使って次のように計算できます。

$$\Delta V_{IN(HYS)} = (1.2 + 0.02 - 0.4)V \cdot \frac{200k\Omega}{2M\Omega} = 82mV$$

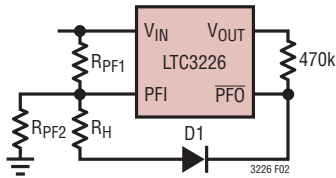


図2. 外部でPFIコンパレータのヒステリシスを増加させる回路

LDOの出力電圧(V_{OUT})の設定

バックアップ・モードのLDOの出力電圧は次式のように、 V_{OUT} ピンからLDO_FBピンを経由してGNDに接続した抵抗分割器を使用することにより、2.5V～5.3Vの任意の電圧に設定できます。

$$V_{OUT} = V_{LDO_FB} \cdot \left(1 + \frac{R_{FB1}}{R_{FB2}}\right)$$

ここで、 V_{LDO_FB} は0.8Vです。図1の「ブロック図」を参照してください。RFB1とRFB2の標準値は40k～500kの範囲です。抵抗を小さくしすぎると消費電流が大きくなる一方で、抵抗を大きくしすぎるとLDO_FBピンの容量と組み合わせられ、追加のポールが形成されてループが不安定になる可能性があります。

リセット・スレッシュホールドの設定

リセット・コンパレータのスレッシュホールドは次式のように、 V_{OUT} ピンからRST_FBピンを経由してGNDに接続した抵抗分割器を使用することによって設定できます。

$$V_{OUT} = V_{RST_FB} \cdot \left(1 + \frac{R_{FB1}}{R_{FB2}}\right)$$

ここで、 V_{RST_FB} は0.74Vです。図1を参照してください。RFB1とRFB2の標準値は40k～5Mの範囲です。ほとんどのアプリケーションでは、LDO_FBピンとRST_FBピンを一緒に短絡

することができ、 V_{OUT} と V_{OUT} の設定電圧より7.5%低いリセット・スレッシュホールドを設定するのに必要なのは、 V_{OUT} とGNDの間の1本の抵抗分割器だけです。ただし、追加の抵抗分割器を使用すれば、リセット・スレッシュホールドを V_{OUT} に関係なく設定できます。

チャージポンプの実効開ループ出力抵抗(R_{OL})

チャージポンプの実効開ループ出力抵抗(R_{OL})によってチャージポンプの能力が決まります。このパラメータの値は、発振器の周波数(f_{OSC})、フライング・コンデンサ(C_{FLY})の値、非重複時間、内部スイッチの抵抗(R_S)、外付けコンデンサのESRなど、多くの要因に依存します。 R_{OL} の1次近似は次式で与えられます。

$$R_{OL} \cong 2 \sum_{S=1to4} R_S + \frac{1}{f_{OSC} \cdot C_{FLY}}$$

LTC3226のチャージポンプの場合、総スイッチ抵抗は、 $V_{IN} = 3.3V$ と $V_{CPO} = 5V$ の標準的アプリケーションで約2.5Ωになります。 $C_{FLY} = 1\mu F$ と $f_{OSC} = 1MHz$ の場合、チャージポンプの実効開ループ出力抵抗は、上式から次式のように概算できます。

$$R_{OL} \cong 2 \cdot 2.5\Omega + \frac{1}{1MHz \cdot 1\mu F} = 6\Omega$$

利用可能な最大充電電流

内部電流制限がない場合、2倍モードのチャージポンプから利用可能な最大電流は、次式を使ってチャージポンプの入力および出力電圧と実効開ループ出力抵抗 R_{OL} から計算できます。

$$I_{CHRG} = \frac{2V_{IN} - V_{CPO}}{R_{OL}}$$

たとえば、LTC3226のチャージポンプ($R_{OL} \cong 6\Omega$)が2.5V入力でスーパーキャパシタを5Vまで充電する必要がある場合、 $V_{CPO} = 4.8V$ のときに利用可能な充電電流は次式で計算できます。

$$I_{CHRG} = \frac{2 \cdot 2.5V - 4.8V}{6\Omega} = 33.3mA$$

アプリケーション情報

したがって、チャージポンプの入力電流制限が315mA ($R_{PROG} = 33.2k$)に設定されたとしても、2倍モードで入力電源電圧が非常に低いときは、実際の充電電流は157.5mA (設定制限値の半分) よりもかなり小さくなります。 $V_{IN} = 2.5V$ では、その値を超えると充電電流が157.5mAの設定値 ($R_{PROG} = 33.2k$)から減少するCPO電圧は、前の式から次のように計算できます。

$$V_{CPO} = (2 \cdot 2.5V - 157.5mA \cdot 6\Omega) = 4.055V$$

LDOの出力コンデンサの選択

V_{IN} が設定されたPFIスレッシュホールドを下回ると、PFIコンパレータがチャージポンプをオフして内部LDOをオンし、バックアップされたスーパーキャパシタから負荷電流を供給します。ただし、PFIコンパレータとLDO回路に関連する遅延により、LDOが V_{OUT} に必要な負荷電流を供給できるようになるまで最大2 μs かかる可能性があります。この遷移の間に V_{OUT} が大幅に垂下するのを防ぐため、 V_{OUT} 端子に47 μF のセラミック・コンデンサを接続することを推奨します。出力容量 C_{OUT} 、遅延 Δt 、負荷電流 I_{LOAD} 、 V_{OUT} の電圧降下 ΔV は、次式を使って計算できます。

$$I_{LOAD} = C_{OUT} \cdot \frac{\Delta V}{\Delta t}$$

たとえば、この遷移の間、2Aの最大負荷で V_{OUT} が100mVを超える電圧降下を許容できない場合、LDO出力に必要な最小容量は上式を使って次のように計算できます。

$$C_{OUT(MIN)} = 2A \cdot \frac{2\mu s}{100mV} = 40\mu F$$

1個のスーパーキャパシタの充電

LTC3226は、図3に示すように、100 μF の最小容量の2個の整合した直列接続セラミック・コンデンサをスーパーキャパシタと並列接続することにより、1個のスーパーキャパシタの充電に使用することもできます。

スーパーキャパシタのメーカー

スーパーキャパシタのメーカーについては以下の表を参照してください。

表1. スーパーキャパシタのメーカー

CAP-XX	www.cap-xx.com
NESS CAP	www.nesscap.com
Maxwell	www.maxwell.com
Bussmann	www.cooperbussmann.com
AVX	www.avx.com
Illinois Capacitor	www.illinoiscapacitor.com
Tecate Group	www.tecategroup.com

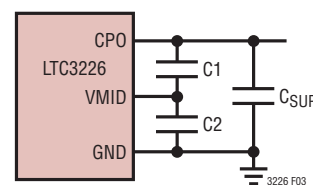


図3. 1個のスーパーキャパシタの充電

基板のレイアウトに関する検討事項

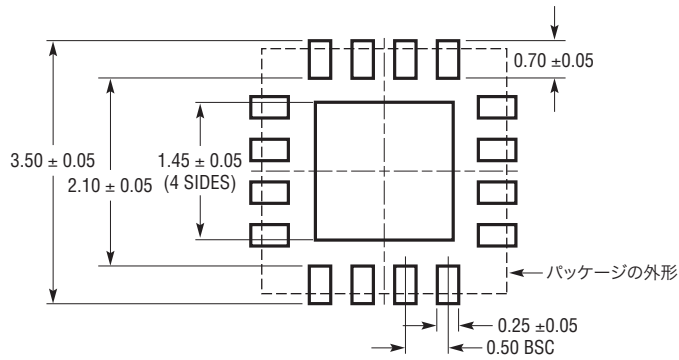
LTC3226のチャージポンプによって高いスイッチング周波数と大きな過渡電流が生じるので、最適な性能を引き出すには基板のレイアウトに注意が必要です。グランド・プレーンを適切にし、すべての外付けコンデンサへの接続を短くすることにより、性能が改善されます。

また、あらゆる条件においてLDOから最大の負荷電流を供給できるようにするためには、QFNパッケージ裏面の露出した金属パッドのPC基板のグランド・プレーンへの適切な熱的接触が不可欠です。熱的接触が適切でないと、接合部温度がサーマル・シャットダウンのスレッシュホールドを超える可能性があります。

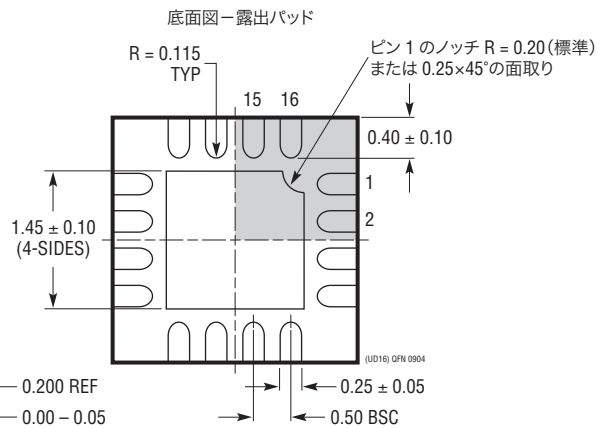
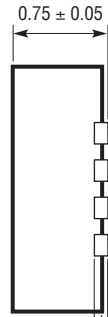
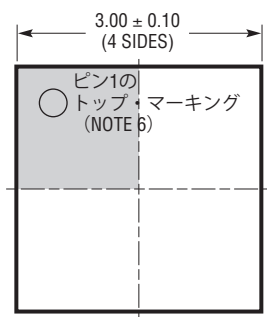
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

UD パッケージ 16ピン・プラスチック QFN (3mm×3mm) (Reference LTC DWG # 05-08-1691)



推奨する半田パッドのピッチと寸法



NOTE:

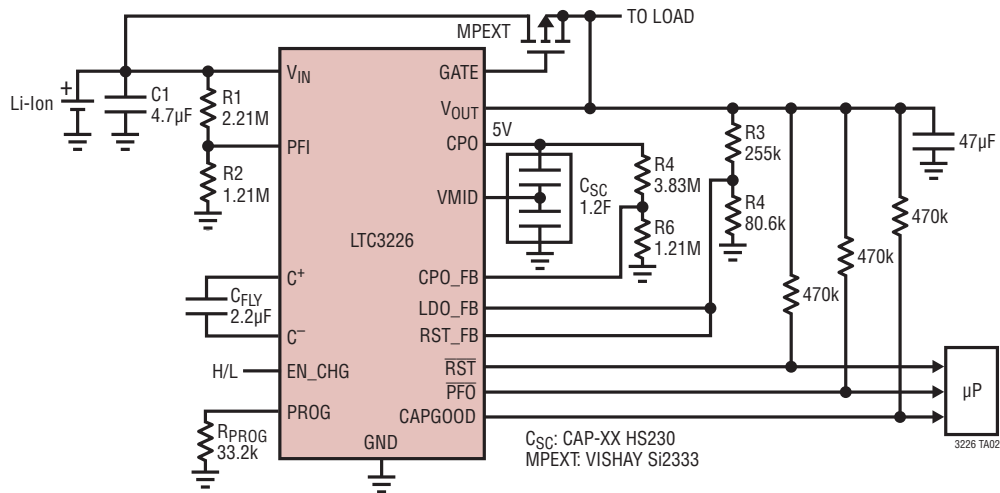
1. 図面は JEDEC のパッケージ外形 MO-220 バリエーション (WEED-2) に適合
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは(もしあれば)各サイドで 0.15mm を超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

改訂履歴

REV	日付	概要	ページ番号
A	5/12	動作接合部温度範囲にNote 3を追加 電気的特性の基本的なデフォルト条件を修正 Note 3のテスト条件を修正	2 3,4 4

標準的応用例

リチウムイオン・バックアップ電源



関連製品

製品番号	説明	注釈
LTC3225/ LTC3225-1	150mA スーパーキャパシタ・チャージャ	直列に接続された2個のスーパーキャパシタを低ノイズ固定周波数で充電。自動セル・バランスングにより、充電時のスーパーキャパシタの過電圧を防止。充電電流をプログラム可能(最大150mA)。セルごとに2.4Vまたは2.65Vの安定化電圧を選択可能(LTC3225)、セルごとに2Vまたは2.25Vの安定化電圧を選択可能(LTC3225-1)。2mm×3mm DFNパッケージ
LT3485	出力電圧モニタとIGBTドライブを内蔵したフォトフラッシュ・コンデンサ・チャージャ	IGBTドライブと電圧出力モニタを内蔵、小型トランスを使用:(5.8mm×5.8mm×3mm)。2個のAAバッテリー、1セル・リチウムイオン・バッテリー、または1.8V~10Vの任意の電源で動作。出力分圧器が不要、外付けショットキー・ダイオードが不要。任意のサイズのフォトフラッシュ・コンデンサを充電、10ピン(3mm×3mm)DFNパッケージ
LTC3625/ LTC3625-1	自動セル・バランスング付き、1A 高効率 2セル・スーパーキャパシタ・チャージャ	直列に接続された2個のスーパーキャパシタを高効率で昇圧/降圧充電。自動セル・バランスングにより、充電時のスーパーキャパシタの過電圧を防止。プログラム可能な充電電流:最大500mA(1個のインダクタ)、1A(2個のインダクタ)。VIN=2.7V~5.5V、セルごとに2.4Vまたは2.65Vの安定化電圧を選択可能(LTC3625)。セルごとに2Vまたは2.25Vの安定化電圧を選択可能(LTC3625-1)、無負荷での低消費電流:23µA。12ピン3mm×4mm DFNパッケージ
LT3750	コンデンサ・チャージャ・コントローラ	あらゆるサイズのコンデンサを充電、出力電圧を容易に調整可能。高電流NMOS FETをドライブ、1次側検出—出力分圧器が不要。広い入力範囲:3V~24V、ゲートをVCC-2Vまでドライブ。10ピンMSパッケージ
LT3751	レギュレーション付き高電圧コンデンサ・チャージャ・コントローラ	あらゆるサイズのコンデンサを充電、電圧安定化モードで低ノイズ出力。無負荷状態で安定動作、VCC≤8Vでレール・トゥ・レール動作をする2A MOSFETゲート・ドライブを内蔵。5.6Vまたは10.5Vの内部ゲート・ドライブ電圧クランプを選択可能、過電圧/低電圧検出をユーザーが選択可能。出力電圧を容易に調整可能、1次側または2次側の出力電圧検出。広い入力VCC電圧範囲:5V~24V、20ピンQFN 4mm×5mmパッケージと20ピンTSSOPパッケージ
LTC4425	電流制限理想ダイオード付き スーパーキャパシタ・チャージャ	2セル直列スーパーキャパシタ・スタック用定電流/定電圧リニア・チャージャ VIN:リチウムイオン/ポリマー・バッテリー、USBポート、または2.7V~5.5Vの電流制限電源。充電電流:2A、自動セル・バランスング、消費電流:20µA、シャットダウン電流:<2µA。高さの低い12ピン3mm×3mm DFNパッケージまたは12ピンMSOPパッケージ