損失電圧85mV、低ノイズ、出力設定可能な5Aリニア・レギュレータ

特長

- **出力電流：5A**
- **損失電圧：標準85mV**
- **デジタル設定可能な出力電圧：0.8V～1.8V**
- **デジタル出力マージニング：±1%、±3%または±5%**
- **低出力ノイズ：25μV_{RMS}（10Hz～100kHz）**
- **複数のデバイスの並列接続により、10A以上の出力が可能**
- **高精度電流制限：±20%**
- 入力、負荷、温度の全範囲で±1%の精度を実現
- 低ESRのセラミック出力コンデンサ（最小15μF）で安定
- 高周波数PSRR：1MHzで30dB
- イネーブル機能により、出力をオン／オフ
- VIOCピンで降圧コンバータを制御して、低消費電力を維持し、効率を最適化
- PWRGD/UVLO/サーマル・シャットダウン・フラグ
- フォールドバック付き電流制限による保護
- サーマル・シャットダウン
- 28ピン（4mm × 5mm × 0.75mm）QFNパッケージ

アプリケーション

- FPGAおよびDSPの電源
- ASICおよびマイクロプロセッサの電源
- サーバおよびストレージ機器
- 降圧レギュレータのポスト・レギュレーションおよび電源の絶縁

概要

LT®3070はUltraFast™過渡応答を実現する低電圧リニア・レギュレータです。このデバイスは85mV（標準）の損失電圧で5Aまでの出力電流を供給します。0.01μFのリファレンス・バイパス・コンデンサによって出力電圧ノイズを25μV_{RMS}にまで抑えます。LT3070は帯域幅が広いので、低ESRのセラミック・コンデンサを使用可能で、バルク容量やコストを削減します。このような特長を持つLT3070は、高性能FPGA、マイクロプロセッサ、ノイズに敏感な通信用電源などのアプリケーションに最適です。

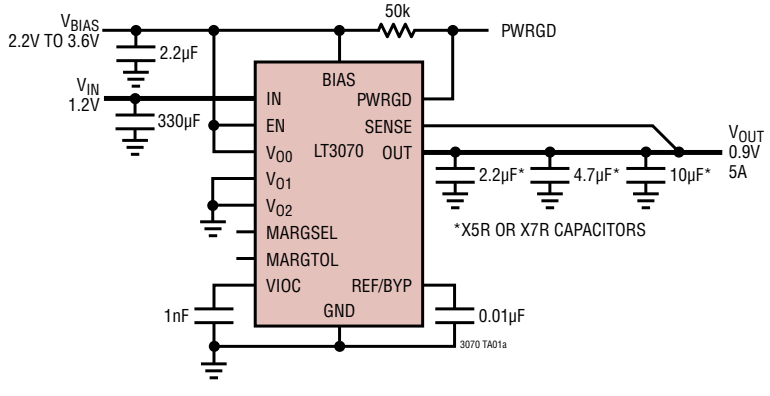
出力電圧は、0.8V～1.8Vの範囲で50mV刻みでデジタル設定可能です。マージニング機能により、システムの出力電圧を±1%、±3%または±5%単位で調節できます。また、独自のトラッキング機能を搭載しており、LT3070の入力に電力供給する降圧レギュレータを制御することができます。このトラッキング機能は降圧レギュレータをドライブすることによってLT3070の入力電圧をV_{OUT}＋300mVに保ち、電力損失を最小限に抑えます。

内部保護機能として、UVLO、逆電流保護、パワー・フォールドバック付き高精度電流制限、サーマル・シャットダウンなどがあります。LT3070は熱特性が改善された28ピン4mm×5mmQFNパッケージで供給されます。

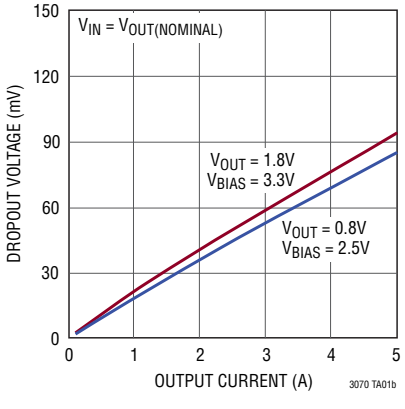
、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。UltraFastおよびVLDOはリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。特許出願中。

標準的応用例

0.9V、5Aレギュレータ



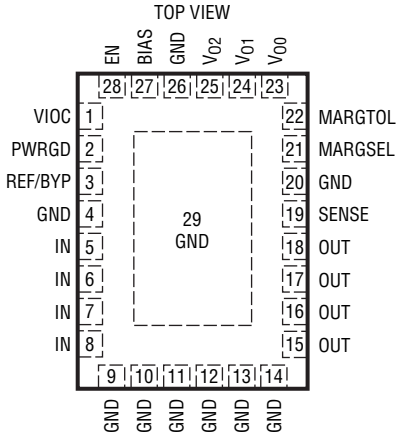
損失電圧



絶対最大定格 (Note 1)

IN、OUT ..... –0.3V～3.3V
BIAS ..... –0.3V～4V
V_{O2}、V_{O1}およびV_{O0}入力 ..... –0.3V～4V
MARGSELおよびMARGTOL入力 ..... –0.3V～4V
EN入力 ..... –0.3V～4V
SENSE入力 ..... –0.3V～4V
VIOCおよびPWRGD出力 ..... –0.3V～4V
REF/BYP出力 ..... –0.3V～4V
出力短絡時間 ..... 無期限
動作接合部温度(Note 2)
　LT3070E/LT3070I ..... –40°C～125°C
　LT3070MP ..... –55°C～125°C
保存温度範囲 ..... –65°C～150°C

ピン配置



UFD PACKAGE
28-LEAD (4mm × 5mm) PLASTIC QFN

T_{JMAX} = 125°C, θ_{JA} = 30°C/W TO 35°C/W
EXPOSED PAD (PIN 29) IS GND, MUST BE SOLDERED TO PCB

発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LT3070EUFD#PBF	LT3070EUFD#TRPBF	3070	28-Lead (4mm × 5mm) Plastic QFN	–40°C to 125°C
LT3070IUFD#PBF	LT3070IUFD#TRPBF	3070	28-Lead (4mm × 5mm) Plastic QFN	–40°C to 125°C
LT3070MPUFD#PBF	LT3070MPUFD#TRPBF	3070	28-Lead (4mm × 5mm) Plastic QFN	–55°C to 125°C
鉛ベース仕様	**テープアンドリール**	**製品マーキング***	**パッケージ**	**温度範囲**
LT3070EUFD	LT3070EUFD#TR	3070	28-Lead (4mm × 5mm) Plastic QFN	–40°C to 125°C
LT3070IUFD	LT3070IUFD#TR	3070	28-Lead (4mm × 5mm) Plastic QFN	–40°C to 125°C
LT3070MPUFD	LT3070MPUFD#TR	3070	28-Lead (4mm × 5mm) Plastic QFN	–55°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。　*温度グレードは出荷時のコンテナのラベルで識別されます。

鉛フリー仕様の製品マーキングの詳細については、http://www.linear-tech.co.jp/leadfree/ をご覧ください。
テープアンドリールの仕様の詳細については、http://www.linear-tech.co.jp/tapeandreel/ をご覧ください。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値。注記がない限りC_{OUT} = 15μF（Note 9）、V_{IN} = V_{OUT}+0.3V（Note 5）、V_{BIAS} = 2.5V。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
IN Pin Voltage Range	$V_{IN} \geq V_{OUT}$ + 150mV, I_{OUT}= 5A	●	0.95		3.0	V
BIAS Pin Voltage Range (Note 3)		●	2.2		3.6	V
Regulated Output Voltage	V_{OUT} = 0.8V, 10mA ≤ I_{OUT} ≤ 5A, 1.05V ≤ V_{IN} ≤ 1.25V	●	0.792	0.800	0.808	V
	V_{OUT} = 0.9V, 10mA ≤ I_{OUT} ≤ 5A, 1.15V ≤ V_{IN} ≤ 1.35V	●	0.891	0.900	0.909	V
	V_{OUT} = 1V, 10mA ≤ I_{OUT} ≤ 5A, 1.25V ≤ V_{IN} ≤ 1.45V	●	0.990	1.000	1.010	V
	V_{OUT} = 1.1V, 10mA ≤ I_{OUT} ≤ 5A, 1.35V ≤ V_{IN} ≤ 1.55V	●	1.089	1.100	1.111	V
	V_{OUT} = 1.2V, 10mA ≤ I_{OUT} ≤ 5A, 1.45V ≤ V_{IN} ≤ 1.65V, V_{BIAS} = 3.3V	●	1.188	1.200	1.212	V
	V_{OUT} = 1.5V, 10mA ≤ I_{OUT} ≤ 5A, 1.75V ≤ V_{IN} ≤ 1.95V, V_{BIAS} = 3.3V	●	1.485	1.500	1.515	V
	V_{OUT} = 1.8V, 10mA ≤ I_{OUT} ≤ 5A, 2.05V ≤ V_{IN} ≤ 2.25V, V_{BIAS} = 3.3V	●	1.782	1.800	1.818	V
Regulated Output Voltage Margining (Note 3)	MARGTOL = 0V, MARGSEL = V_{BIAS}	●	0.8	1	1.2	%
	MARGTOL = 0V, MARGSEL = 0V, I_{OUT} = 10mA	●	–1.2	–1	–0.8	%
	MARGTOL = FLOAT, MARGSEL = V_{BIAS}	●	2.7	3	3.3	%
	MARGTOL = FLOAT, MARGSEL = 0V, I_{OUT} = 10mA	●	–3.3	–3	–2.7	%
	MARGTOL = V_{BIAS}, MARGSEL= V_{BIAS}	●	4.6	5	5.4	%
	MARGTOL = V_{BIAS}, MARGSEL = 0V, I_{OUT} = 10mA	●	–5.4	–5	–4.6	%
Line Regulation to V_{IN}	V_{OUT} = 0.8V, ΔV_{IN} = 1.05V to 2.7V, V_{BIAS} = 3.3V, I_{OUT} = 10mA	●			1.0	mV
	V_{OUT} = 1.8V, ΔV_{IN} = 2.05V to 2.7V, V_{BIAS} = 3.3V, I_{OUT} = 10mA	●			1.0	mV
Line Regulation to V_{BIAS}	V_{OUT} = 0.8V, ΔV_{BIAS} = 2.2V to 3.6V, V_{IN} = 1.1V, I_{OUT} = 10mA	●			2.0	mV
	V_{OUT} = 1.8V, ΔV_{BIAS} = 3.25V to 3.6V, V_{IN} = 2.1V, I_{OUT} = 10mA	●			1.0	mV
Load Regulation, ΔI_{OUT} = 10mA to 5A	V_{BIAS} = 2.5V, V_{IN} = 1.05V, V_{OUT} = 0.8V			–1.5	–3.0	mV
		●			–5.5	mV
	V_{BIAS} = 2.5V, V_{IN} = 1.25V, V_{OUT} = 1.0V			–2	–4.0	mV
		●			–7.5	mV
	V_{BIAS} = 3.3V, V_{IN} = 1.45V, V_{OUT} = 1.2V			–2	–4.0	mV
		●			–7.5	mV
	V_{BIAS} = 3.3V, V_{IN} = 1.75V, V_{OUT} = 1.5V			–2.5	–5.0	mV
		●			–9.0	mV
	V_{BIAS} = 3.3V, V_{IN} = 2.05V, V_{OUT} = 1.8V			–3	–7.0	mV
		●			–13	mV
Dropout Voltage, V_{IN} = $V_{OUT(NOMINAL)}$ (Note 6)	I_{OUT} = 1A, V_{OUT} = 1V	●		20	35	mV
	I_{OUT} = 2.5A, V_{OUT} = 1V			50	65	mV
		●			85	mV
	I_{OUT} = 5A, V_{OUT} = 1V			85	120	mV
		●			150	mV
SENSE Pin Current	V_{IN} = 1.1V, V_{SENSE} = 0.8V	●	35	50	65	μA
	V_{BIAS} = 3.3V, V_{IN} = 2.1V, V_{SENSE} = 1.8V	●	200	300	400	μA
Ground Pin Current, V_{IN} = 1.3V, V_{OUT} = 1V	I_{OUT} = 10mA	●	0.65	1.1	1.8	mA
	I_{OUT} = 5A	●	0.9	1.35	2.3	mA

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値。注記がない限りC_{OUT} = 15μF（Note 9）、V_{IN} = V_{OUT}＋0.3V（Note 5）、V_{BIAS} = 2.5V。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
BIAS Pin Current in Nap Mode	EN = Low	●	120	200	320	μA
BIAS Pin Current, V_{IN} = 1.3V, V_{OUT} = 1V	I_{OUT} = 10mA I_{OUT} = 100mA I_{OUT} = 500mA I_{OUT} = 1A I_{OUT} = 2.5A I_{OUT} = 5A	● ● ● ● ● ●	0.75 1.25 2.0 2.6 3.5 4.5	1.08 1.8 3.0 3.8 5.2 6.9	1.5 2.4 4.0 5.0 7.0 10.0	mA mA mA mA mA mA
Current Limit (Note 5)	V_{IN} – V_{OUT} < 0.3V, V_{BIAS} = 3.3V V_{IN} – V_{OUT} = 1.0V, V_{BIAS} = 3.3V V_{IN} – V_{OUT} = 1.7V, V_{BIAS} = 3.3V	● ● ●	5.1 3.2 1.2	6.4 4.5 2.5	7.7 5.8 4.3	A A A
Reverse Output Current (Note 8)	V_{IN} = 0V, V_{OUT} = 1.8V	●		300	450	μA
PWRGD V_{OUT} Threshold	Percentage of $V_{OUT(NOMINAL)}$, V_{OUT} Rising Percentage of $V_{OUT(NOMINAL)}$, V_{OUT} Falling	● ●	87 82	90 85	93 88	% %
PWRGD V_{OL}	I_{PWRGD} = 200μA (Fault Condition)	●		50	150	mV
V_{BIAS} Undervoltage Lockout	V_{BIAS} Rising V_{BIAS} Falling	● ●	1.1 0.9	1.55 1.4	2.1 1.7	V V
V_{IN}-V_{OUT} Servo Voltage by VIOC		●	250	300	350	mV
VIOC Output Current	V_{IN} = $V_{OUT(NOMINAL)}$ + 150mV, Sourcing Out of the Pin V_{IN} = $V_{OUT(NOMINAL)}$ + 450mV, Sinking Into the Pin	● ●	160 170	235 255	310 340	μA μA
V_{IL} Input Threshold (Logic-0 State), V_{O2}, V_{O1}, V_{O0}, MARGSEL, MARGTOL	Input Falling	●			0.25	V
V_{IZ} Input Range (Logic-Z State), V_{O2}, V_{O1}, V_{O0}, MARGSEL, MARGTOL		●	0.75		V_{BIAS} – 0.9	V
V_{IH} Input Threshold (Logic-1 State), V_{O2}, V_{O1}, V_{O0}, MARGSEL, MARGTOL	Input Rising	●	V_{BIAS} – 0.25			V
Input Hysteresis (Both Thresholds), V_{O2}, V_{O1}, V_{O0}, MARGSEL, MARGTOL				60		mV
Input Current High, V_{O2}, V_{O1}, V_{O0}, MARGSEL, MARGTOL	V_{IH} = V_{BIAS} = 2.5V, Current Flows Into Pin	●		25	40	μA
Input Current Low, V_{O2}, V_{O1}, V_{O0}, MARGSEL, MARGTOL	V_{IL} = 0V, V_{BIAS} = 2.5V, Current Flows Out of Pin	●		25	40	μA
EN Pin Threshold	V_{OUT} = Off to On, V_{BIAS} = 2.5V V_{OUT} = On to Off, V_{BIAS} = 2.5V V_{OUT} = Off to On, V_{BIAS} =2.2V to 3.6V V_{OUT} = On to Off, V_{BIAS} =2.2V to 3.6V	● ● ● ●	 0.9 0.36 • V_{BIAS}		1.4 0.56 • V_{BIAS} 	V V V V
EN Pin Logic High Current	V_{EN} = V_{BIAS} = 2.5V	●	2.5	4.0	6.5	μA
EN Pin Logic Low Current	V_{EN} = 0V	●			0.1	μA

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値。注記がない限りC_{OUT} = 15μF（Note 9）、V_{IN} = V_{OUT}+0.3V（Note 5）、V_{BIAS} = 2.5V。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{BIAS} Ripple Rejection	V_{BIAS} = V_{OUT} + 1.5V_{AVG}, V_{RIPPLE} =0.5V_{P-P} , f_{RIPPLE} = 120Hz, V_{IN} – V_{OUT} = 300mV, I_{OUT} = 2.5A			75		dB
V_{IN} Ripple Rejection (Notes 3, 4, 5)	V_{BIAS} = 2.5V, V_{RIPPLE} = 50mV_{P-P}, f_{RIPPLE} = 120Hz, V_{IN} – V_{OUT} = 300mV, I_{OUT} = 2.5A			66		dB
Reference Voltage Noise (REF/BYP Pin)	$C_{REF/BYP}$ = 10nF, BW = 10Hz to 100kHz			10		μV_{RMS}
Output Voltage Noise	V_{OUT} = 1V, I_{OUT} = 5A, $C_{REF/BYP}$ = 10nF, C_{OUT} = 15μF, BW = 10Hz to 100kHz			25		μV_{RMS}

Note 1：絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、絶対最大定格状態が長時間続くと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2：LT3070レギュレータはT_JがほぼT_Aに等しいパルス負荷条件のもとでテストされ、仕様が規定されている。LT3070EはT_A = 25°Cで全数テストされている。–40°Cと125°Cの温度での性能は設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。LT3070Iは–40°C～125°Cの動作接合部温度範囲で保証されている。LT3070MPは–55°C～125°Cの動作接合部温度範囲で全数テストされ、保証されている。

Note 3：適正な性能とレギュレーションを維持するため、BIAS電源電圧はIN電源電圧よりも高くする必要がある。与えられたV_{OUT}に対して、BIAS電圧は2.2V ≤ V_{BIAS} ≤ 3.6VおよびV_{BIAS} ≥ (1.25 • V_{OUT}+1V)の条件を満たす必要がある。V_{OUT} ≤ 0.95Vの場合、最小BIAS電圧は2.2Vに制限される。

Note 4：動作条件は最大接合部温度によって制限されている。安定化された出力電圧の仕様は、入力電圧と出力電流の全ての可能な組合せに対して適用されるわけではない。最大出力電流で動作しているときは、入力電圧範囲をV_{IN} < V_{OUT}+500mVに制限する。

Note 5：LT3070には安全動作領域保護回路が搭載されている。V_{IN}-V_{OUT}間の電圧が上昇するに従って電流制限が減少する。V_{IN}–V_{OUT} > 500mVで電流制限フォールドバックが作動する。電流制限とV_{IN}–V_{OUT}電圧のグラフについては「標準的性能特性」を参照。電流制限フォールドバック機能はサーマル・シャットダウン回路には関係しない。

Note 6：損失電圧V_{DO}は、規定出力電流時の入力-出力間の最小電圧差である。ドロップアウト時には、出力電圧はV_{IN}–V_{DO}に等しくなる。

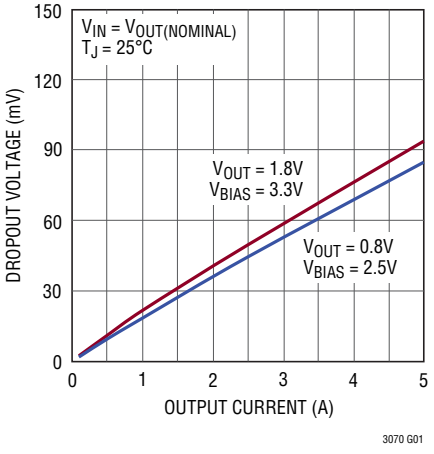
Note 7：GNDピンの電流はV_{IN} = $V_{OUT(NOMINAL)}$+300mVおよび電流源負荷でテストされる。VIOCはバッファされた出力で、V_{O2}ピン～V_{O0}ピンによって設定されるV_{OUT}の値によって決定される。VIOCの出力はマージニング機能には関係しない。

Note 8：逆出力電流は、INピンをグランドに接続し、OUTピンとSENSEピンを定格出力電圧に強制した状態でテストされる。これはOUTピンとSENSEピンに流入する電流として測定される。

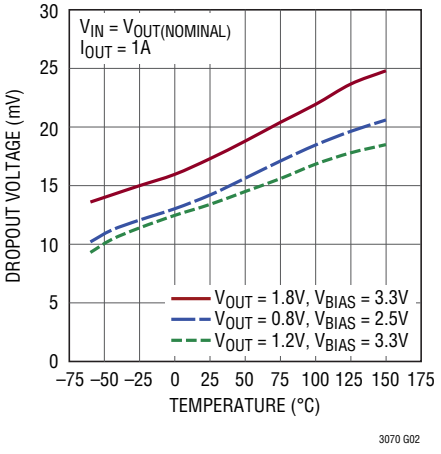
Note 9：周波数補償：LT3070は、15個の1μFのセラミック・コンデンサまたは同じケース寸法の段階的に大きさを変えた10μF/4.7μF/2.2μFのセラミック・コンデンサで構成される最小15μFのC_{OUT}をOUTピンに使用して周波数補償を行う必要がある。リニアテクノロジーではX5RまたはX7Rの誘電体コンデンサのみを推奨している。

標準的性能特性

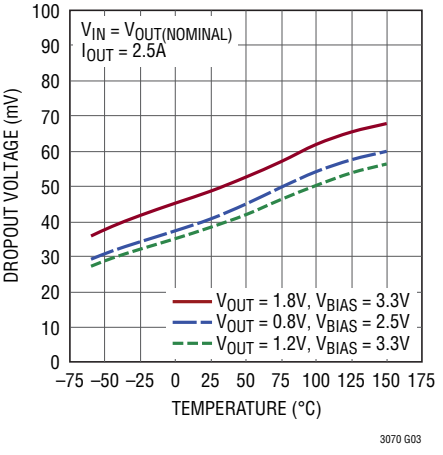
損失電圧とI_{OUT}



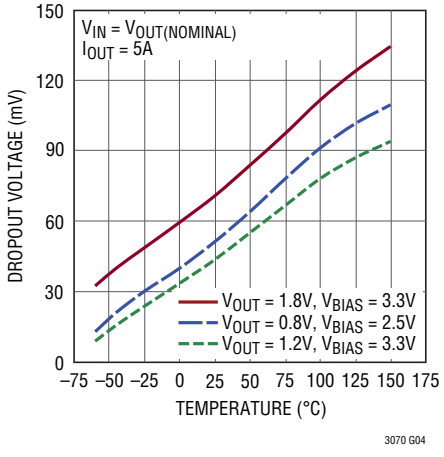
損失電圧と温度



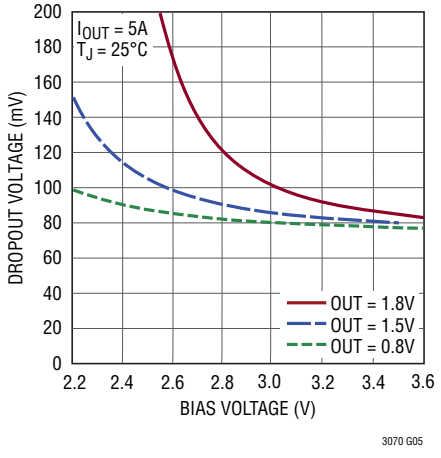
損失電圧と温度



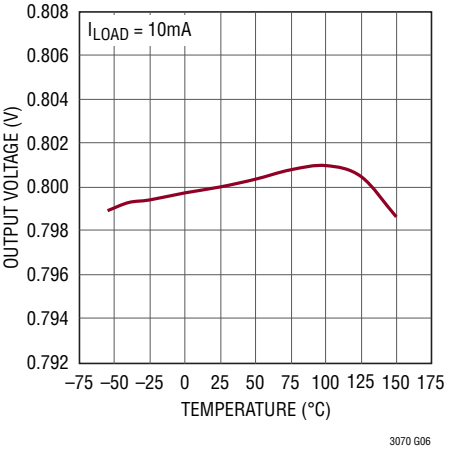
損失電圧と温度



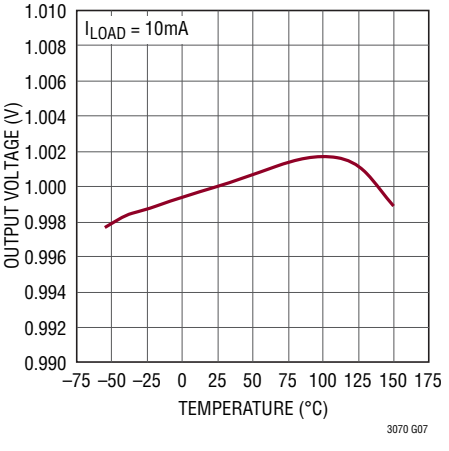
損失電圧とV_{BIAS}



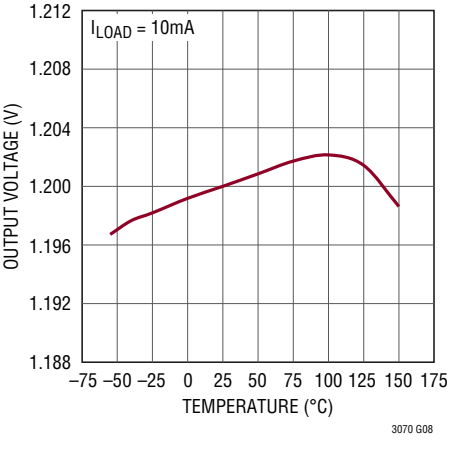
出力電圧(0.8V)と温度



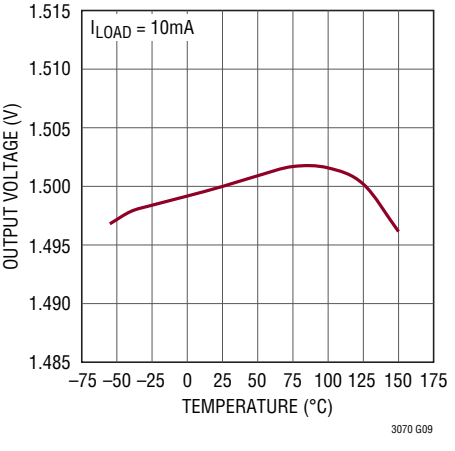
出力電圧(1V)と温度



出力電圧(1.2V)と温度

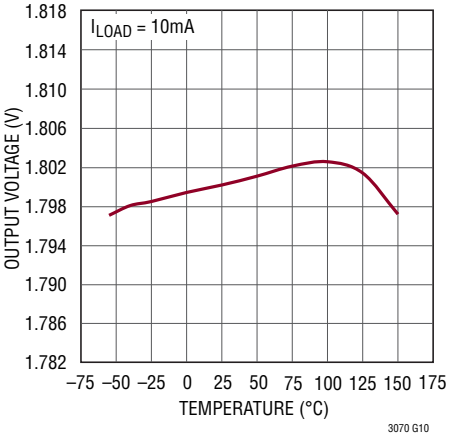


出力電圧(1.5V)と温度

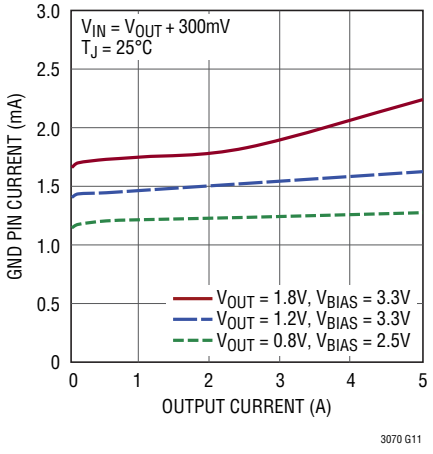


標準的性能特性

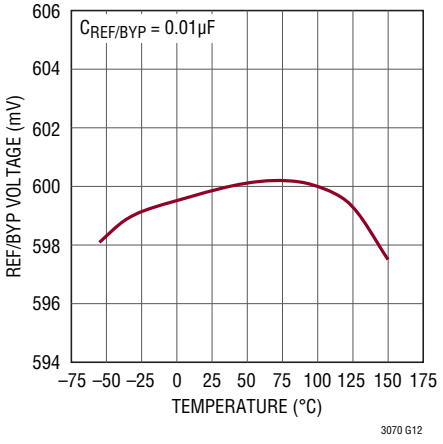
出力電圧(1.8V)と温度



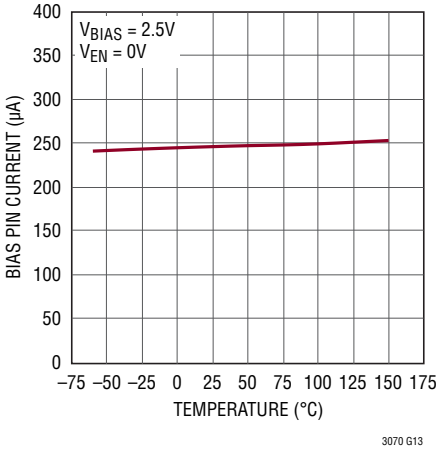
GNDピンの電流とI_{OUT}



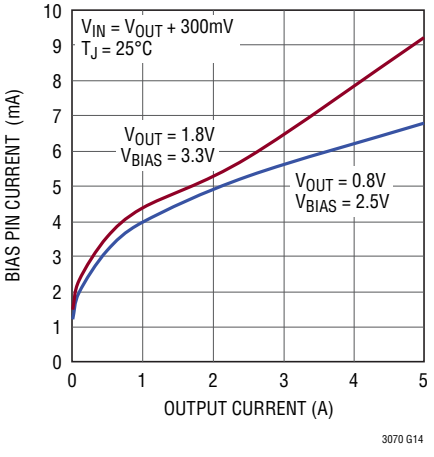
REF/BYPピンの電圧と温度



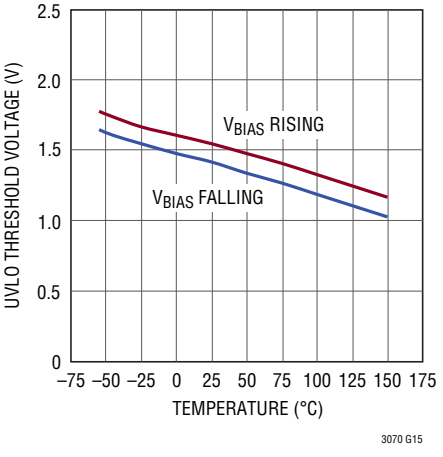
ナップ・モードのBIASピンの電流



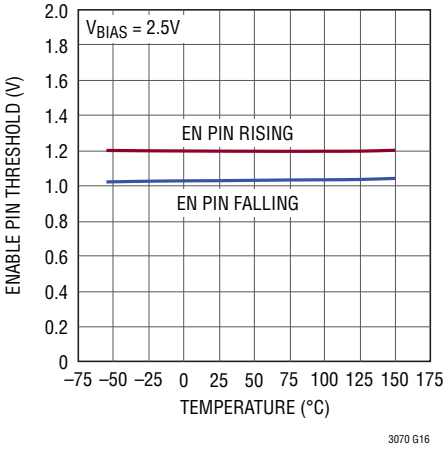
BIASピンの電流とI_{OUT}



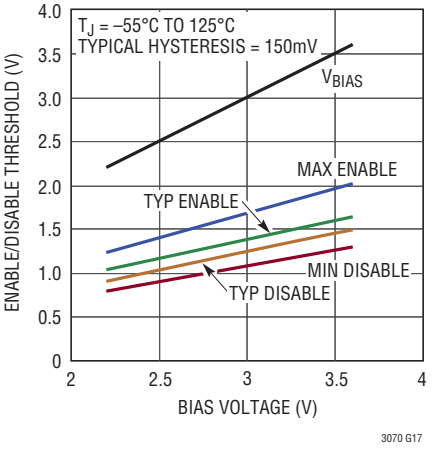
BIASピンの低電圧ロックアウト・スレッショルド



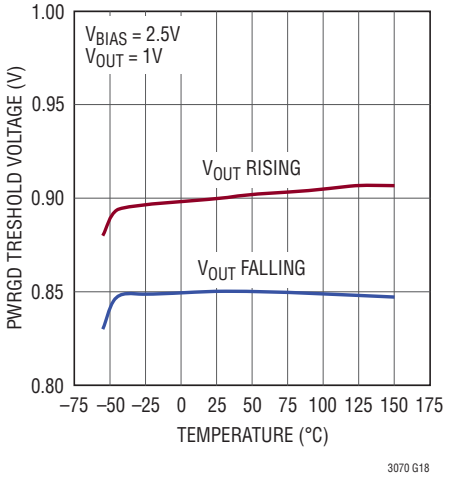
ENピンのスレッショルド



イネーブル・ピンのスレッショルドおよびヒステリシスとV_{BIAS}

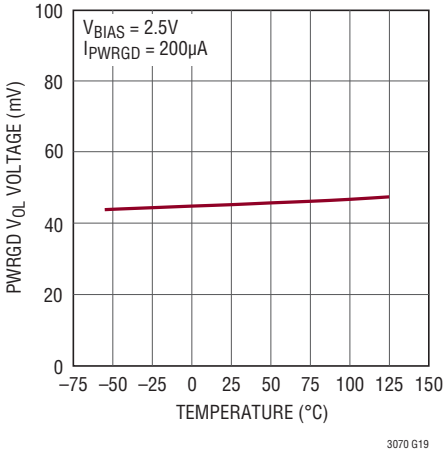


PWRGDのスレッショルド電圧

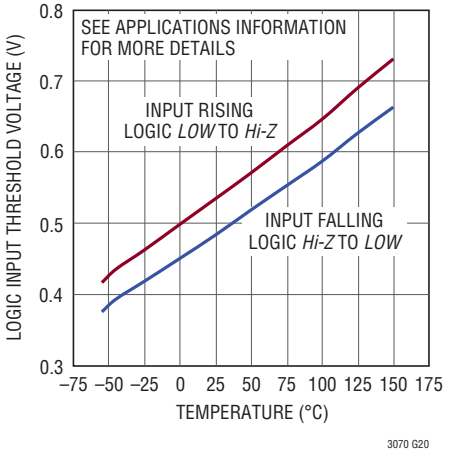


標準的性能特性

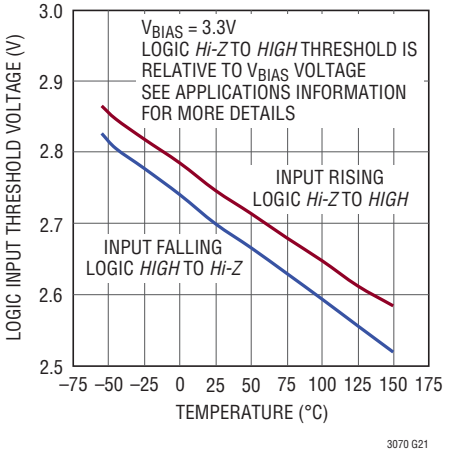
PWRGDのV_{OL}と温度



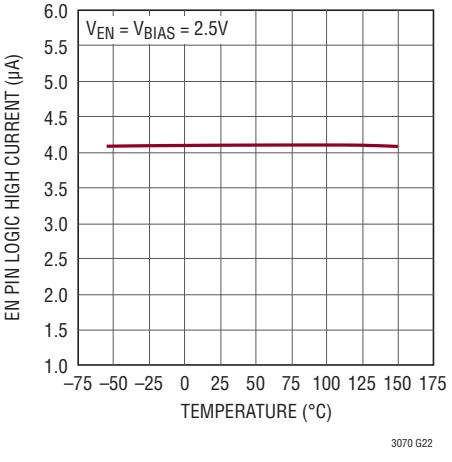
ロジック入力のスレッショルド電圧 “L”から高インピーダンスへのロジック状態の遷移



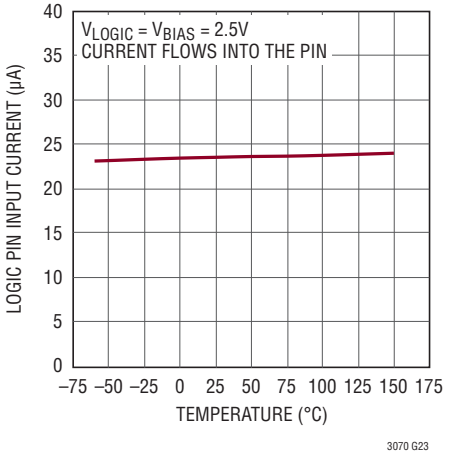
ロジック入力のスレッショルド電圧 高インピーダンスから“H”へのロジック状態の遷移



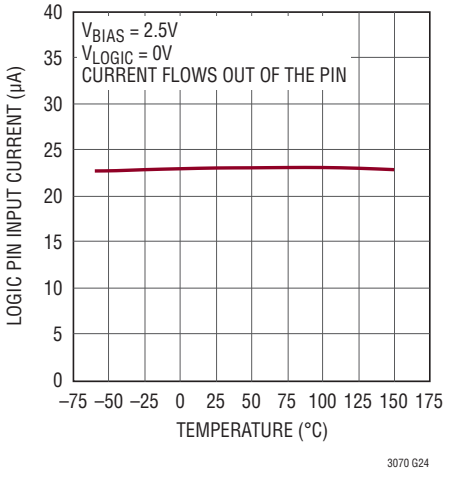
ENピンのロジック“H”の電流



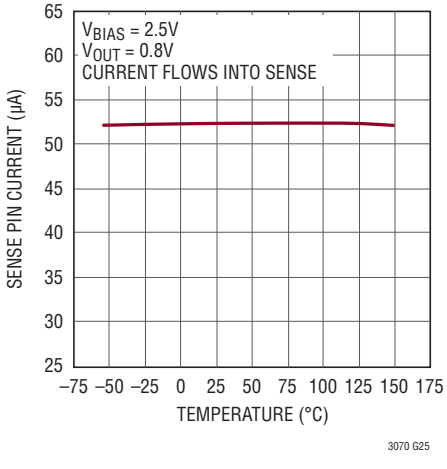
ロジックピンの入力電流、“H”状態



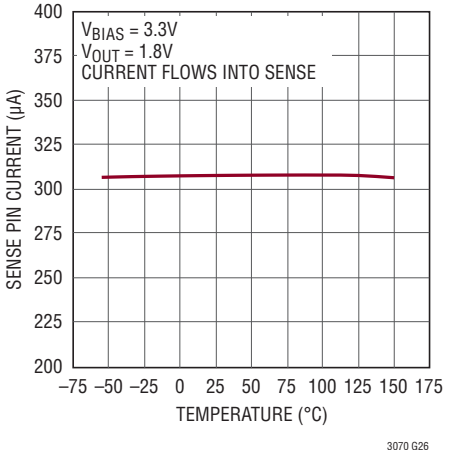
ロジックピンの入力電流、“L”状態



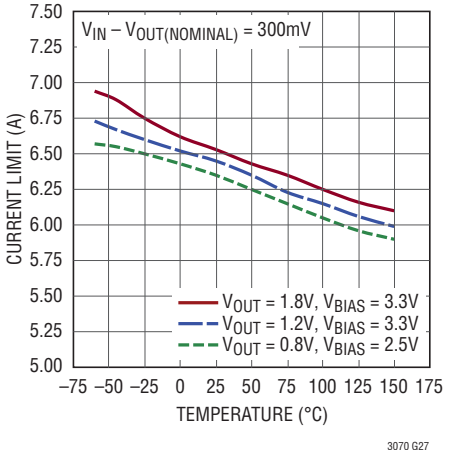
SENSEピンの電流



SENSEピンの電流

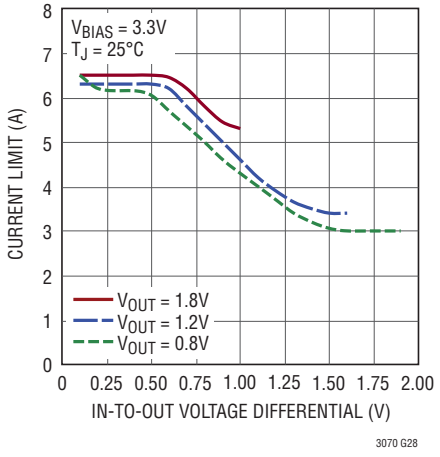


電流制限と温度

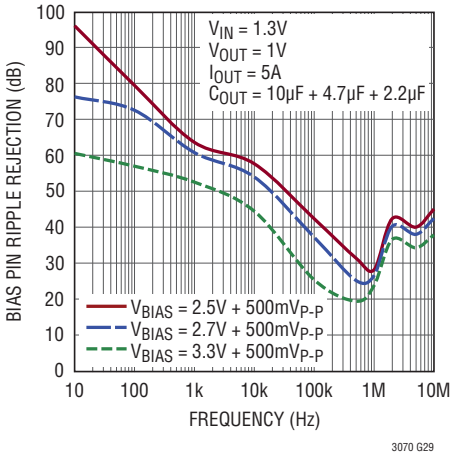


標準的性能特性

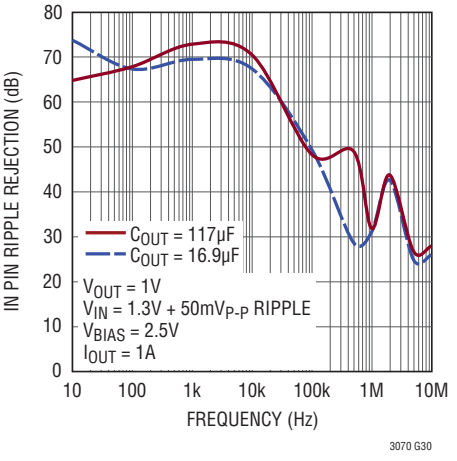
電流制限とV_{IN}–V_{OUT}



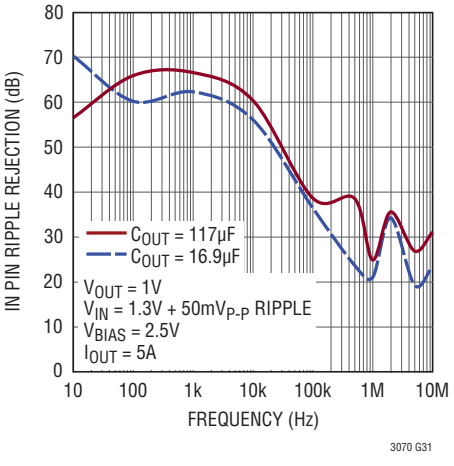
BIASピンのリップル除去比



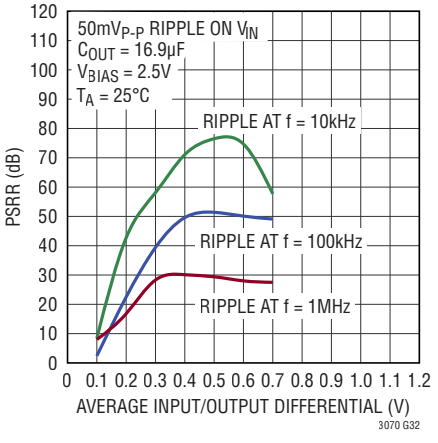
INピンのリップル除去比



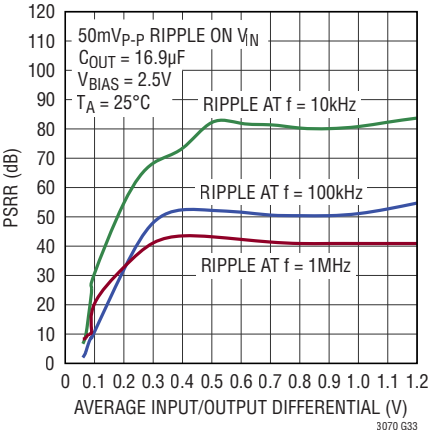
INピンのリップル除去比



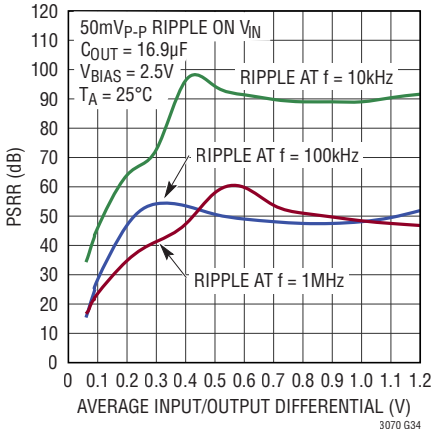
INピンのリップル除去比と V_{IN} – V_{OUT}、1V/5A



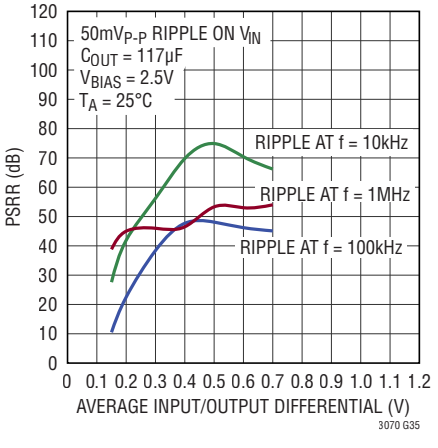
INピンのリップル除去比と V_{IN} – V_{OUT}、1V/2.5A



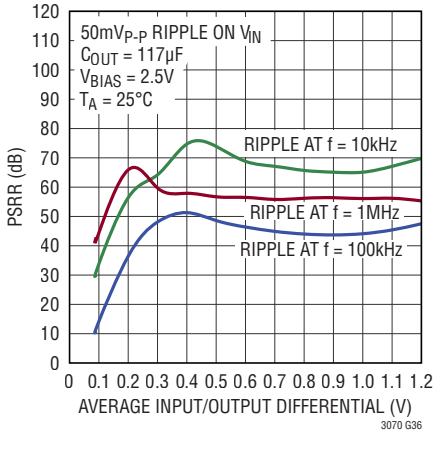
INピンのリップル除去比と V_{IN} – V_{OUT}、1V/1A



INピンのリップル除去比とVIN – VOUT、1V/5A

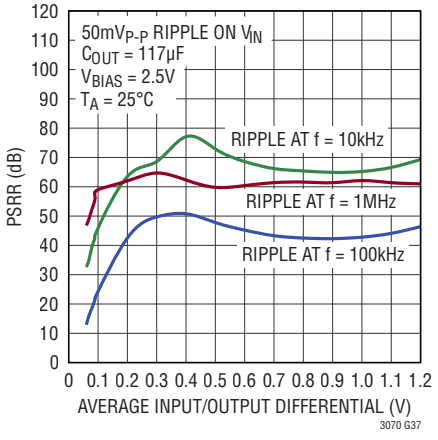


INピンのリップル除去比と V_{IN} – V_{OUT}、1V/2.5A

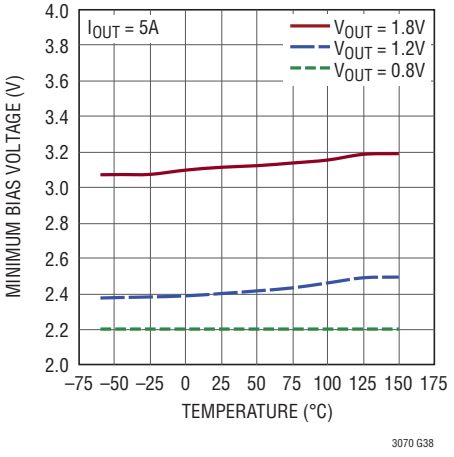


標準的性能特性

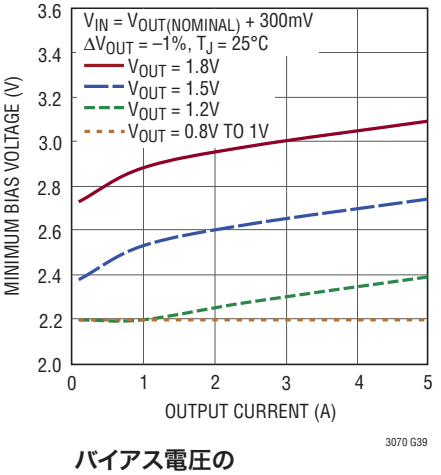
INピンのリップル除去比と $V_{IN} - V_{OUT}$、1V/1A



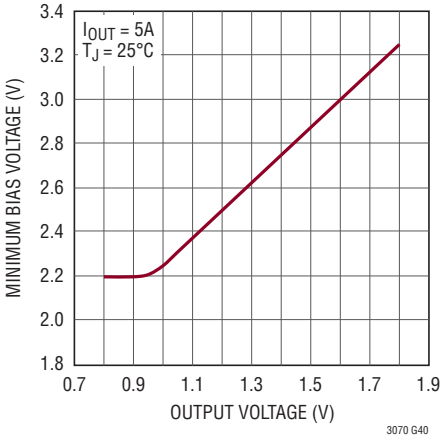
最小BIAS電圧と温度



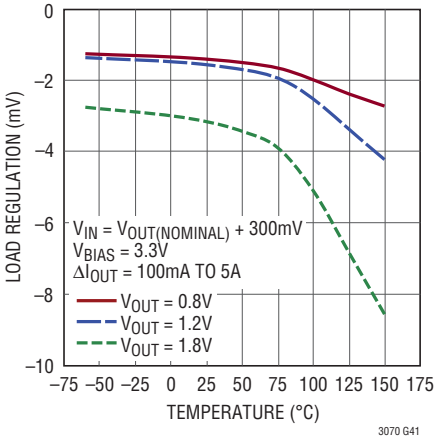
最小BIAS電圧とI_{OUT}



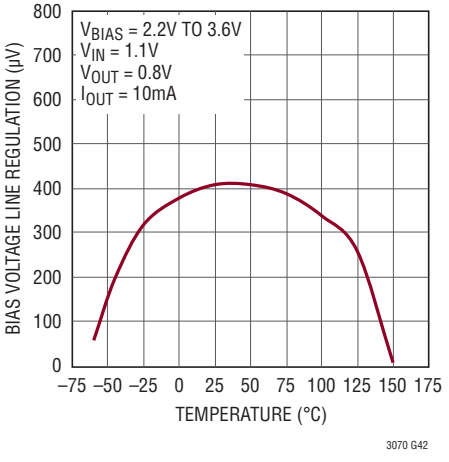
最小BIAS電圧とV_{OUT}



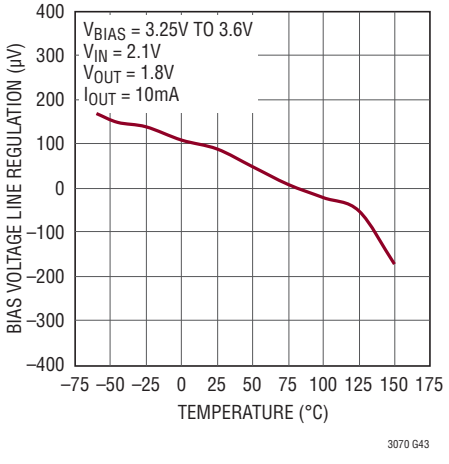
ロード・レギュレーション



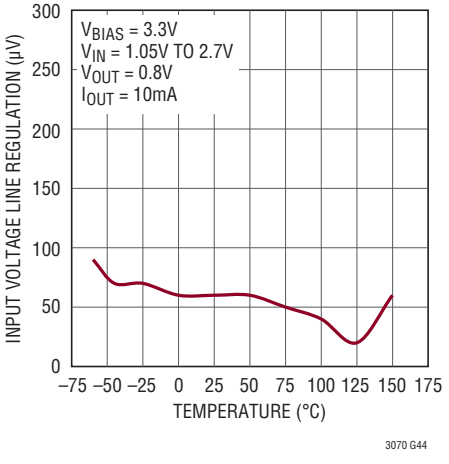
バイアス電圧の ライン・レギュレーション



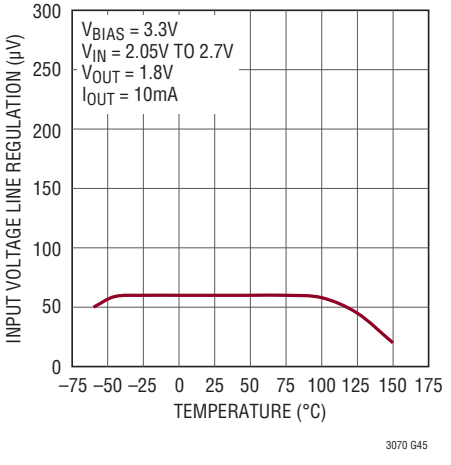
バイアス電圧の ライン・レギュレーション



入力電圧の ライン・レギュレーション

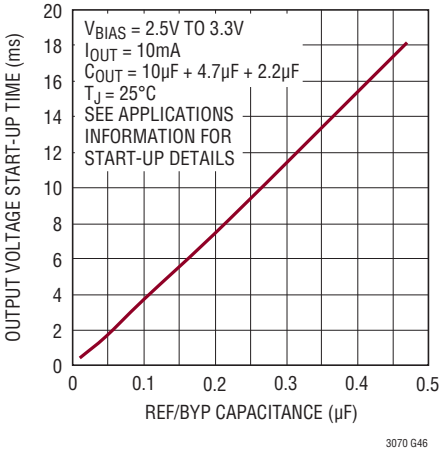


入力電圧の ライン・レギュレーション



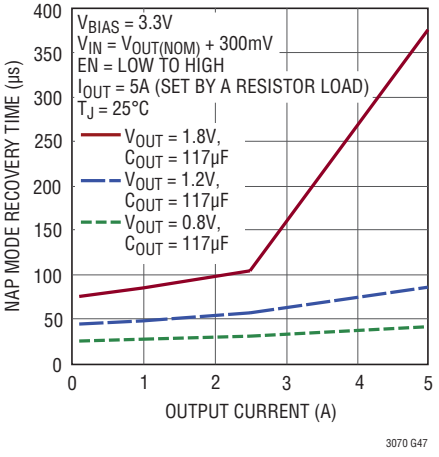
標準的性能特性

出力電圧の起動時間と$C_{REF/BYP}$



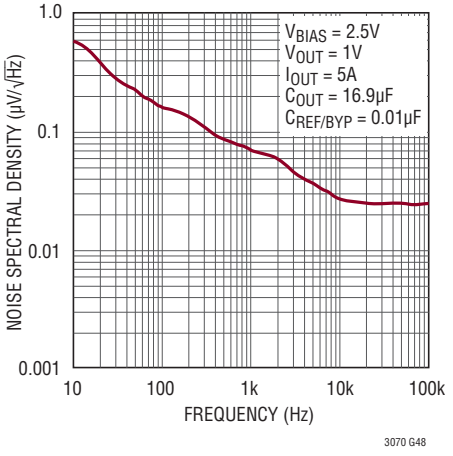
3070 G46

ナップ・モードの回復時間とI_{OUT}



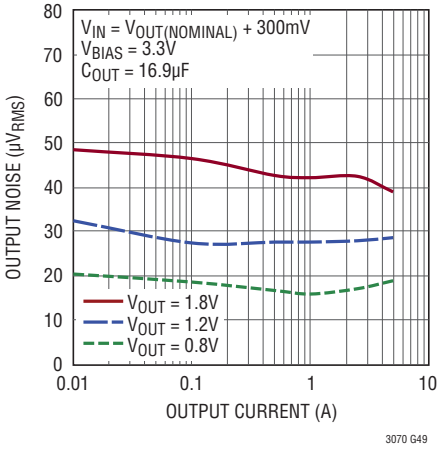
3070 G47

出力ノイズのスペクトル密度



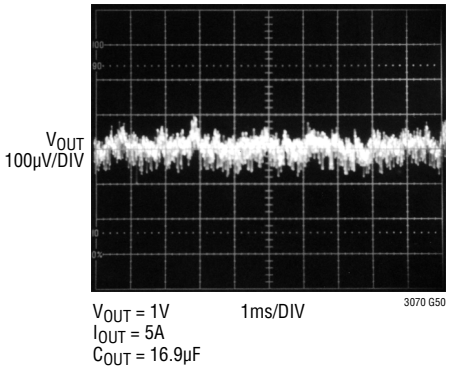
3070 G48

RMS出力ノイズと出力電流



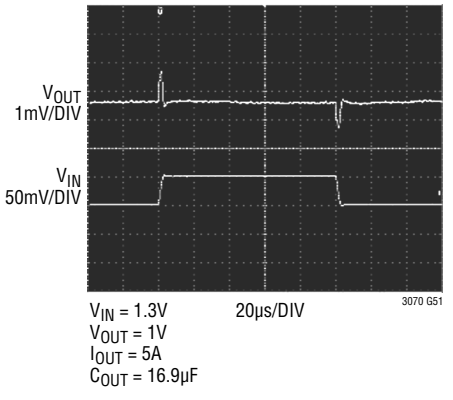
3070 G49

出力ノイズ（10Hz～100kHz）



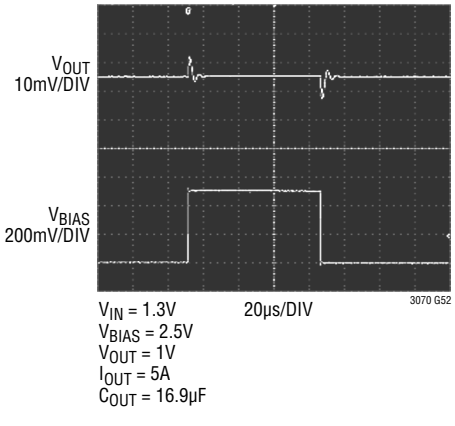
3070 G50

入力電圧のライン過渡応答



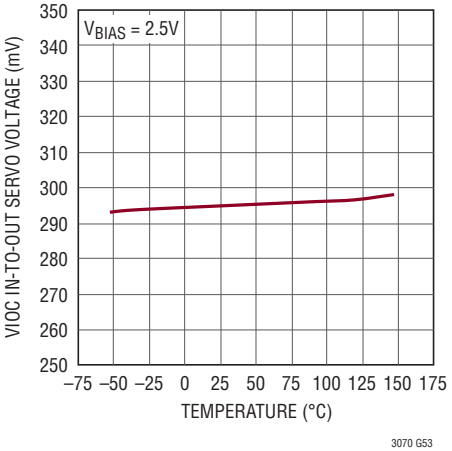
3070 G51

バイアス電圧のライン過渡応答



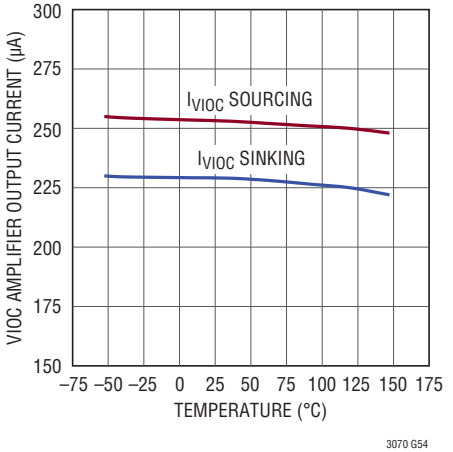
3070 G52

VIOCアンプのIN-OUT間のサーボ電圧



3070 G53

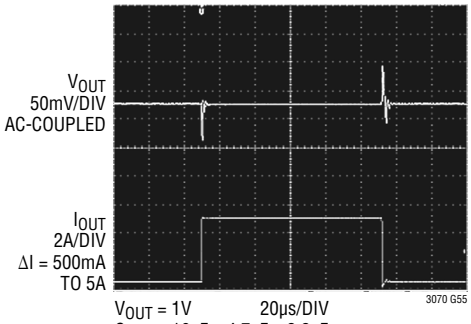
VIOCアンプの出力電流と温度



3070 G54

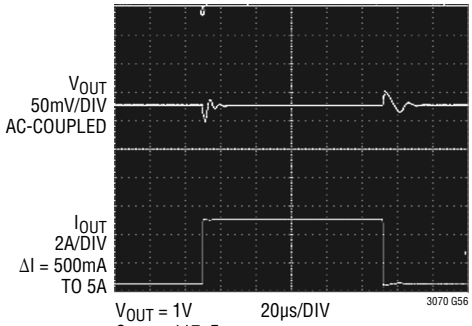
標準的性能特性

負荷過渡応答



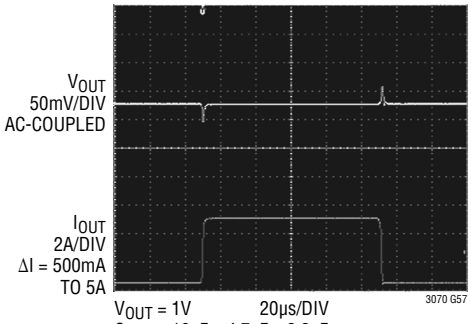
V_{OUT} = 1V　　20μs/DIV
C_{OUT} = 10μF + 4.7μF + 2.2μF
I_{OUT} t_{RISE}/t_{FALL} = 100ns

負荷過渡応答



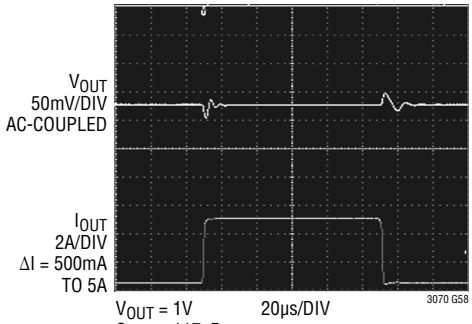
V_{OUT} = 1V　　20μs/DIV
C_{OUT} = 117μF
I_{OUT} t_{RISE}/t_{FALL} = 100ns

負荷過渡応答



V_{OUT} = 1V　　20μs/DIV
C_{OUT} = 10μF + 4.7μF + 2.2μF
I_{OUT} t_{RISE}/t_{FALL} = 1μs

負荷過渡応答



V_{OUT} = 1V　　20μs/DIV
C_{OUT} = 117μF
I_{OUT} t_{RISE}/t_{FALL} = 1μs

ピン機能

VIOC（ピン1）：入力-出力間の制御電圧。このデバイスには、LT3070の入力に電力を供給する降圧レギュレータを制御する独自のトラッキング回路が搭載されています。VIOCピンはこのトラッキング回路の出力で、降圧レギュレータをドライブしてLT3070の入力電圧をV_{OUT}＋300mVに維持します。この回路によって効率が最大になり、電力損失が最小限に抑えられます。降圧レギュレータの適切な制御の詳細については「アプリケーション情報」を参照してください。

PWRGD（ピン2）：パワーグッド。PWRGDピンはオープンドレインのNMOS出力で、以下のフォールト・モードのいずれか1つが検出されるとアクティブに“L”になります。

- V_{OUT}の立ち上がりエッジでV_{OUT}が$V_{OUT(NOMINAL)}$の90%を下回る。
- V_{OUT}が$V_{OUT(NOMINAL)}$の85%を下回る状態が25μs以上続く。
- 接合部温度が標準で145°Cを超える。
- V_{BIAS}が低電圧ロックアウト・スレッショルドを下回る。
- OUT-IN間の逆電流検出器が作動する。

PWRGDフォールト・モードの詳細については、「アプリケーション情報」を参照してください。

REF/BYP（ピン3）：リファレンス・フィルタ。このピンはバンドギャップ・リファレンスの出力で、インピーダンスは約19kΩです。このピンには外部負荷を接続しないでください。10nFのコンデンサを使用してREF/BYPピンをGNDにバイパスすることにより、出力電圧ノイズが減少し、リファレンスにソフトスタート機能が提供されます。LTCでは、高品質で低リークのコンデンサを使用することを推奨しています。ノイズおよび出力電圧のマージニングの検討事項の詳細については、「アプリケーション情報」を参照してください。

GND（ピン4、9～14、20、26、29）：グランド。QFNパッケージの露出パッド（ピン29）はGNDに電気的に接続されています。適正な電気的性能および熱性能を確保するため、ピン29をPCBグランドに半田付けしてパッケージの全てのGNDピンに接続します。これらのGNDピンは、放熱特性と熱抵抗特性を最適にするため、内部ダイアタッチ・パッドと露出パッドに溶着されています。「熱に関する検討事項」と「接合部温度の計算」については、「アプリケーション情報」を参照してください。

IN（ピン5、6、7、8）：入力電源。これらのピンは高電流パス・トランジスタに電力を供給します。適正な性能を得るため、全てのINピンを相互接続します。LT3070は、全周波数で安定性と低入力インピーダンスを維持するため、INにバイパス・コンデンサを必要とします。ほとんどのバッテリや電源プレーンのインピーダンスに対して47μFの入力バイパス・コンデンサで十分です。入力トレースのインダクタンスを最小限に抑えることによって性能が最適化されます。小さいV_{IN}-V_{OUT}間電圧差で動作し、負荷過渡が大きくて高速のアプリケーションでは、入力電源が垂下してレギュレータがドロップアウト状態にならないように非常に大きな入力コンデンサが必要になることがあります。入力コンデンサの要件の詳細については、「アプリケーション情報」を参照してください。

OUT（ピン15、16、17、18）：出力。これらのピンは負荷に電力を供給します。適正な性能を得るため、全てのOUTピンを相互接続します。安定性を確保するには、最小15μFの出力コンデンサが必要です。最高の性能を得るため、LTCでは低ESRのX5RまたはX7Rの誘電体セラミック・コンデンサを推奨しています。10μF＋4.7μF＋2.2μFの並列接続されたセラミック・コンデンサの組み合わせ、または15個の1μFセラミック・コンデンサの並列接続により、優れた安定性および負荷過渡応答が得られます。負荷過渡が大きいアプリケーションでは、ピーク過渡電圧を制限するために大きな出力コンデンサが必要です。出力コンデンサの要件の詳細については、「アプリケーション情報」を参照してください。

SENSE（ピン19）：OUTのケルビン検出。SENSEピンはエラーアンプの反転入力です。SENSEピンがレギュレータのOUTピンに接続されている場合に、最適なレギュレーションが得られます。要求の厳しいアプリケーションでは、レギュレータと負荷の間のPCBトレースの抵抗（R_P）によって小さな電圧降下が生じ、ポイントオブロードでのロード・レギュレーション誤差になります。SENSEピンをOUTに直接接続するのではなく負荷のところで接続すると、この電圧誤差は除去されます。このケルビン検出接続の手法を図1に示します。外部のPCBトレースに生じる電圧降下がレギュレータの損失電圧に加わる点に注意してください。SENSEピンの入力バイアス電流は選択した出力電圧に左右されます。SENSEピンの入力電流は、V_{OUT} = 0.8Vでの標準50μAからV_{OUT} = 1.8Vでの標準300μAまで変化します。

ピン機能

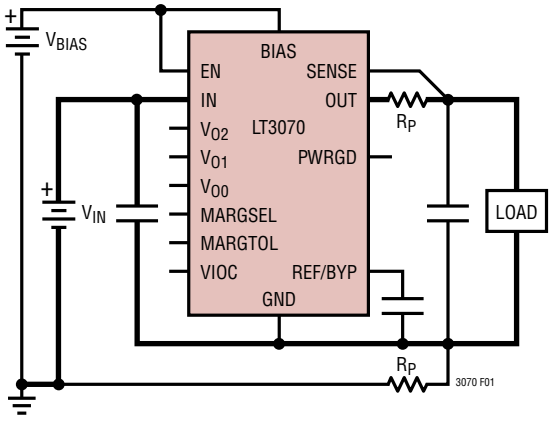


図1. ケルビン検出接続

MARGSEL（ピン21）：マージニングのイネーブルと極性の選択。このスリーステートのピンにより、マージニング機能の極性とアクティブ状態の両方が決定されます。ロジック**"L"**のスレッショルドはGNDを基準にして250mV以下で、負電圧のマージニングがイネーブルされます。ロジック**"H"**のスレッショルドはV_{BIAS}−250mV以上で、正電圧のマージニングがイネーブルされます。ウィンドウ・コンパレータによって設定されるこれら2つのロジック・スレッショルド間の電圧範囲では、ロジックが**高インピーダンス**状態になり、マージニング機能がディスエーブルされます。

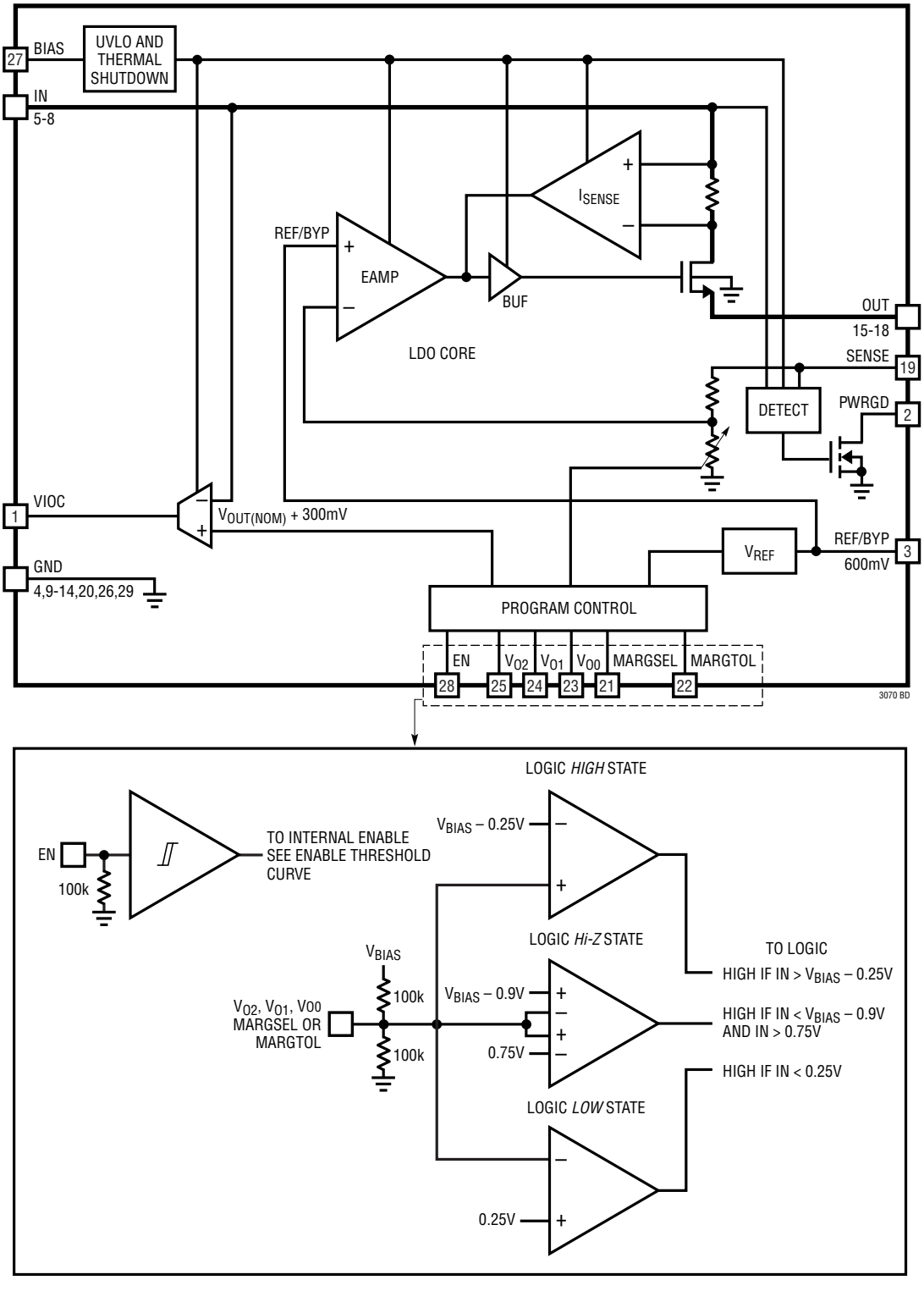
MARGTOL（ピン22）：マージニングの許容誤差。MARGSEL入力によってイネーブルされている場合、このスリーステート・ピンにより、マージニングの絶対値（1%、3%または5%）が選択されます。ロジック**"L"**のスレッショルドはGNDを基準にして250mV以下で、MARGSELピンの状態に応じてV_{OUT}の±1%の変化のどちらかがイネーブルされます。ロジック**"H"**のスレッショルドはV_{BIAS}−250mV以上で、MARGSELピンの状態に応じてV_{OUT}の±5%の変化のどちらかがイネーブルされます。ウィンドウ・コンパレータによって設定されるこれら2つのロジック・スレッショルド間の電圧範囲では、ロジックが**高インピーダンス**状態になり、MARGSELピンの状態に応じてV_{OUT}の±3%の変化のどちらかがイネーブルされます。

V_{O0}、V_{O1}、V_{O2}（ピン23、24、25）：出力電圧の選択。これらのスリーステート・ピンを組み合わせて、0.8V～1.8Vの公称出力電圧を50mV刻みで選択します。V_{O2} = **"H"**のときV_{O1}は内部でオーバーライドされ、出力電圧は最大1.8Vに制限されます。入力のロジック**"L"**のスレッショルドはGNDを基準にして250mV以下で、ロジック**"H"**のスレッショルドはV_{BIAS}−250mV以上です。ウィンドウ・コンパレータによって設定されるこれら2つのスレッショルド間の範囲では、ロジックが**高インピーダンス**状態になります。V_{O2}、V_{O1}、V_{O0}の設定値とV_{OUT}の関係を示す「アプリケーション情報」の表1を参照してください。

BIAS（ピン27）：バイアス電源。このピンは、内部制御回路とパス・トランジスタをドライブする出力段に電流を供給します。LT3070は、安定性と適正な動作を確保するために最小2.2μFのバイパス・コンデンサを必要とします。適正に動作させるため、BIAS電圧は2.2V ≤ V_{BIAS} ≤ 3.6VおよびV_{BIAS} ≥（1.25 • V_{OUT}＋1V）の条件を満たす必要があります。V_{OUT} ≤ 0.95Vの場合、最小BIAS電圧は2.2Vに制限されます。

EN（ピン28）：イネーブル。このピンによって出力デバイスのみのイネーブル/ディスエーブルが行われます。V_{BIAS}がUVLOスレッショルドを上回ると、内部リファレンスと全てのサポート機能がアクティブになります。ENを"L"にするとリファレンス回路はアクティブに保たれますが、出力のパス・トランジスタがディスエーブルされてLT3070が低電力の**ナップ**・モードになります。ENの上昇時の最大スレッショルドはV_{BIAS}の0.56%で、ENxの下降時の最小スレッショルドはV_{BIAS}の0.36%です。ENピンは、デジタル・ロジック・ポートを使用してドライブするか、あるいは、V_{BIAS}に接続されたプルアップ抵抗で終端されたオープンコレクタのNPNまたはオープンドレインのNMOSを使用してドライブします。ENピンのV_{IH}条件を満たすため、プルアップ抵抗は35k以下にする必要があります。ENを使用しない場合にはBIASに接続します。

ブロック図


27
BIAS
UVLO AND THERMAL SHUTDOWN
IN
5-8
REF/BYP
EAMP
BUF
ISENSE
LDO CORE
OUT
15-18
SENSE
19
DETECT
PWRGD
2
VIOC
1
VOUT(NOM) + 300mV
VREF
REF/BYP
600mV
3
GND
4,9-14,20,26,29
PROGRAM CONTROL
EN
V02
V01
V00
MARGSEL
MARGTOL
28
25
24
23
21
22
3070 BD
LOGIC HIGH STATE
EN
100k
TO INTERNAL ENABLE
SEE ENABLE THRESHOLD
CURVE
VBIAS – 0.25V
LOGIC Hi-Z STATE
VBIAS
100k
V02, V01, V00
MARGSEL OR
MARGTOL
100k
VBIAS – 0.9V
0.75V
TO LOGIC
HIGH IF IN > VBIAS – 0.25V
HIGH IF IN < VBIAS – 0.9V
AND IN > 0.75V
HIGH IF IN < 0.25V
LOGIC LOW STATE
0.25V

アプリケーション情報

はじめに

新世代のFPGAやASICプロセッサでは、コア、I/Oおよびトランシーバ・チャネルに電力を供給する電源に厳しい要件が課されます。これらのマイクロプロセッサでは、負荷電流を数十ナノ秒でゼロ近くから数アンペアに切り替えることがあります。特に1V近辺の出力電圧の仕様は、要件の一部として過渡応答を含む厳しい許容誤差を要求します。ASICプロセッサの中には、コアとI/O回路を動作させる単一の出力電圧だけを必要とするものもあります。高性能FPGAプロセッサの中には、プロセッサのコア、I/O、トランシーバ用に個別の電源電圧を必要とするものもあります。多くの場合、最小のビット誤り率を達成するため、これらの電源電圧は低ノイズで広帯域幅でなければなりません。これらの要件には、低い入力電圧および出力電圧で動作する非常に高精度、低ノイズ、高電流、非常に高速のレギュレータ回路が欠かせません。

LT3070はUltraFast過渡応答を実現する低電圧リニア・レギュレータです。このデバイスは85mVの標準損失電圧で最大5Aの出力電流を供給します。0.01μFのリファレンス・バイパス・コンデンサにより、出力電圧ノイズを25μV_{RMS}（BW = 10Hz～100kHz）まで低減します。LT3070は帯域幅が広いので、低ESRセラミック出力コンデンサ（最小15μF）を使用したUltraFast過渡応答を実現し、バルク容量、PCB面積およびコストを削減します。

LT3070の機能により、**最先端の**リニア・レギュレータの性能が得られます。LT3070は、高性能FPGA、マイクロプロセッサ、ノイズに敏感な通信用電源、低い入力電圧および出力電圧でも動作する高電流のロジック・アプリケーションに最適です。

LT3070の出力電圧は、0.8V～1.8Vの範囲にわたり50mV刻みでデジタル設定可能です。マージニング機能により、システムの出力電圧を±1%、±3%または±5%調整できます。

このデバイスには独自のトラッキング回路が搭載されており、ユーザーによってイネーブルされると、LT3070の入力に電力を供給する上流のレギュレータを制御します（図8を参照）。このトラッキング回路は降圧レギュレータをドライブして、LT3070の入力電圧をV_{OUT}＋300mVに維持します。この入力-出力間の電圧制御により、レギュレータの出力電圧を変化させることができ、部品を変更することなく、LT3070の入力に電力を供給するスイッチング・レギュレータを最適な入力電圧にトラッキングさせることができます。

これにより、スイッチング・レギュレータの効率と優れたリニア・レギュレータの応答が共に得られます。また、最大5Aの出力負荷の場合でもシステムの熱管理が可能になります。

LT3070の内部保護機能には、入力低電圧ロックアウト（UVLO）、逆電流保護、パワー・フォールドバック付き高精度電流制限、サーマル・シャットダウンなどがあります。LT3070レギュレータは、熱特性が改善された28ピン4mm × 5mm QFNパッケージで供給されます。

LT3070のアーキテクチャでは、内部Nチャネル・パワーMOSFETをソース・フォロワとしてドライブします。この構成により、非常に低損失で高周波PSRR性能が優れたUltraFast過渡応答レギュレータが実現されます。LT3070は、最近の多くの要求の厳しいマイクロプロセッサのアプリケーションに使用されている高価なバルクのタンタルコンデンサや電解コンデンサを除去することにより、レギュレータの優れた帯域幅および負荷過渡性能を実現します。追加のバルク容量が全て削除されるので大きなコスト低減が実現されます。さらに、挿入コスト、購入/在庫コストおよびボード・スペースが削減されることは明らかです。高精度の小刻みな出力電圧制御により、従来のみならず将来のマイクロプロセッサの電源電圧に適応することができます。

出力コンデンサのネットワークは、セラミック・コンデンサを直接並列に組み合わせたものに簡略化されます。多くの場合、これらの様々なFPGAやASICプロセッサが必要とする高周波セラミック・デカップリング・コンデンサはシステムを安定させるのに十分です（「安定性と出力容量」を参照）。このレギュレータ設計により、何マイクロ秒もの時間で応答するレギュレータに比べ、十分な帯域幅が得られて過渡負荷の変化に数百ナノ秒で応答することが可能になります。

LT3070には高精度電流制限、出力電圧のイネーブル/ディスエーブル制御機能も搭載され、過電圧およびサーマル・シャットダウン保護機能が内蔵されています。LT3070の独自の設計は、低損失電圧、機能の高度の集積化、高精度性能、UltraFast過渡応答の利点を組み合わせており、高速負荷過渡のアプリケーションに必要な出力容量のコストを大幅に削減します。

高周波数のスイッチング電源の分野では低電圧のアプリケーションがますます普及してきているので、LT3070は優れたレギュレーションと部品の大幅なコスト削減を提供します。

アプリケーション情報

LT3070は、新世代のFPGA、DSPおよびマイクロプロセッサの次の性能レベルに踏み込んでいます。これらの回路から得られるシンプルな多様性と利点は、今日の高性能マイクロプロセッサの電源のニーズを超えています。

出力電圧の設定

3つの3レベル入力ピンV_{O2}、V_{O1}、V_{O0}により、出力電圧の値が設定されます。これらのピンを**"H"**、**"L"**、またはフロート状態に設定して、3ビット・デジタル・ワードから得られる出力電圧を表1に示します。

これらのピンは、V_{BIAS}にピンストラップするか、またはデジタル・ポートを使用してドライブすることによって**"H"**または**"L"**に接続することができます。フロート状態にするピンは実際にフロートさせることができます。または**高インピーダンス**出力が可能なロジックが必要です。これにより、出力電圧を必要に応じてダイナミックに変化させることができます。

出力電圧は、最小0.8Vから最大1.8Vまで50mV刻みで選択可能です。MSBのV_{O2}によって**ペデスタル**電圧が設定され、LSBのV_{O1}およびV_{O0}によってV_{OUT}の増加分が設定されます。

V_{O2} = **"H"**のときV_{O1}は内部でオーバーライドされる（デフォルトで**"L"**になる）ので、出力電圧は最大1.8Vに制限されます。

表1. V_{O2}～V_{O0}の設定値と出力電圧

V_{O2}	V_{O1}	V_{O0}	$V_{OUT(NOM)}$	V_{O2}	V_{O1}	V_{O0}	$V_{OUT(NOM)}$
0	0	0	0.80V	Z	0	1	1.35V
0	0	Z	0.85V	Z	Z	0	1.40V
0	0	1	0.90V	Z	Z	Z	1.45V
0	Z	0	0.95V	Z	Z	1	1.50V
0	Z	Z	1.00V	Z	1	0	1.55V
0	Z	1	1.05V	Z	1	Z	1.60V
0	1	0	1.10V	Z	1	1	1.65V
0	1	Z	1.15V	1	X	0	1.70V
0	1	1	1.20V	1	X	Z	1.75V
Z	0	0	1.25V	1	X	1	1.80V
Z	0	Z	1.30V				

X = ドントケア、0 = "L"、Z = フロート、1 = "H"

入力ロジック**"L"**のスレッショルドはGNDを基準にして250mV以下で、ロジック**"H"**のスレッショルドはV_{BIAS}−250mV以上です。ウィンドウ・コンパレータによって設定されるこれら2つのスレッショルド間の範囲では、ロジックが**高インピーダンス**状態になります。

REF/BYP（電圧リファレンス）

このピンは内部バンドギャップ・リファレンスのバッファされた出力で、出力インピーダンスは約19kΩです。設計にはf_C = 4kHzの内部補償ポールが含まれています。10nFのREF/BYPコンデンサをGNDに接続することにより、f_{LP} = 840Hzのローパス・ポールが形成されます。10nFのコンデンサにより、リファレンス電圧ノイズが約10μV_{RMS}に低減され、リファレンスをソフトスタートさせます。LT3070は、最初のターンオン・シーケンスの間だけリファレンス電圧をソフトスタートさせます。最初のターンオンの後ENピンが"L"に切り替わると、リファレンスはパワーアップしたままになります。したがって、ENピンを"L"から"H"に切り替えてもリファレンスはソフトスタートしません。BIAS電源電圧をオン/オフすることによってのみ、リファレンスをソフトスタートさせることができます。出力電圧ノイズは、アンプのノイズにリファレンス電圧ノイズを実効値として加算したものです。

高出力電流を得るために別のLT3070レギュレータを並列接続するアプリケーションを除き、REF/BYPピンにはどのようなDC負荷も接続しないでください。並列接続の詳細説明については「アプリケーション」のセクションを参照してください。

出力電圧のマージニング

2つの3レベル入力ピンMARGSEL（極性）およびMARGTOL（スケーリング）により、出力電圧のマージニングの極性および値が選択されます。マージニングは、±1%、±3%および±5%に設定可能です。マージニングはリファレンス電圧のスケーリングとして内部で設定されます。

表2に、これらのピンを"H"、"L"、またはフロート状態に設定して、2ビット・デジタル・ワードから得られる出力電圧のマージニングを示します。

これらのピンは、V_{BIAS}にピンストラップするか、またはデジタル・ポートを使用してドライブすることによって"H"または"L"に設定することができます。フロート状態にするピンは実際にフロートさせることができます。または高インピーダンス出力が可能なロジックが必要です。これにより、出力電圧を必要に応じてダイナミックにマージニングすることができます。

MARGSELピンにより、マージニング機能の極性とアクティブ状態の両方が決定されます。ロジック**"L"**のスレッショルドはGNDを基準にして250mV以下で、負電圧のマージニングがイネーブルされます。ロジック**"H"**のスレッショルドはV_{BIAS}−250mV以上で、正電圧のマージニングがイネーブルされます。ウィンドウ・コンパレータによって設定されるこれら2つのロジッ

アプリケーション情報

ク・スレッショルド間の電圧範囲では、ロジックが**高インピーダンス**状態になり、マージニング機能がディスエーブルされます。

MARGSEL入力によってイネーブルされる場合、MARGTOLピンにより、マージニングの絶対値（1%、3%または5%）が選択されます。ロジック**"L"**のスレッショルドはGNDを基準にして250mV以下で、MARGSELピンの状態に応じてV_{OUT}の±1%の変化のどちらかがイネーブルされます。ロジック**"H"**のスレッショルドはV_{BIAS}−250mV以上で、MARGSELピンの状態に応じてV_{OUT}の±5%の変化のどちらかがイネーブルされます。ウィンドウ・コンパレータによって設定されるこれら2つのロジック・スレッショルド間の電圧範囲では、ロジックが**高インピーダンス**状態になり、MARGSELピンの状態に応じてV_{OUT}の±3%の変化のどちらかがイネーブルされます。

表2. マージニングの設定

MARGSEL	MARGTOL	% of $V_{OUT(NOM)}$
0	0	–1
0	Z	–3
0	1	–5
Z	0	0
Z	Z	0
Z	1	0
1	0	1
1	Z	3
1	1	5

イネーブル機能（ターンオン/ターンオフ）

ENピンは出力デバイスだけをイネーブル/ディスエーブルします。V_{BIAS}がUVLOスレッショルドを上回ると、LT3070のリファレンスと全てのサポート機能がアクティブのままになります。ENピンを"L"にすると、LT3070は**ナップ**・モードに移行します。**ナップ**・モードでは、リファレンス回路はアクティブですが、出力がディスエーブルされて消費電流が減少します。

ENピンは、デジタル・ロジック・ポートを使用してドライブするか、あるいは、V_{BIAS}に接続されたプルアップ抵抗で終端されたオープンコレクタのNPNまたはオープンドレインのNMOSを使用してドライブします。ENピンのV_{IH}条件を満たすため、プルアップ抵抗は35k以下にする必要があります。ENを使用しない場合にはBIASに接続します。

BIASピンの入力低電圧ロックアウト

内部の低電圧ロックアウト（UVLO）コンパレータによってBIAS電源電圧がモニタされます。V_{BIAS}がUVLOスレッショルドを下回ると、全ての機能がシャットダウンし、パス・トランジスタがゲートオフして出力電流がゼロまで減少します。BIASピンのV_{BIAS}の立ち上がりエッジでの標準的なUVLOスレッショルドは1.55Vです。UVLO回路にはV_{BIAS}の立ち下がりエッジに約150mVのヒステリシスがあります。

高効率リニア・レギュレータ（入力-出力間の電圧制御）

VIOC（voltage input-to-output control）ピンにはスイッチング・レギュレータを制御する機能があり、高負荷電流時のシステム効率を最大にしながら低損失電圧の性能を提供するデザイン・ソリューションを容易にします。

VIOCピンは内蔵のトランスコンダクタンス・アンプの出力で、約250μAの電流のソースとシンクを行います。このピンは通常、ITH補償ノードから電流をシンクすることにより、ほとんどのLTC®スイッチング・レギュレータまたはLTM®電源モジュールの出力を制御します。VIOC機能は、LT3070の入力電圧をV_{OUT}＋300mVに保つことにより、LT3070の入力に電力を供給する降圧レギュレータを制御します。この300mVのV_{IN}-V_{OUT}間電圧差は、電力損失を最小限に抑えて効率を最大にしながら、高速過渡応答と良好な高周波PSRRが得られるように選択されています。たとえば、1.5Vから1.2Vへの変換と1.3Vから1Vへの変換では、5Aの最大出力電流時の電力損失が1.5Wになります。

図2は、リニア・レギュレータがディスエーブルされている場合に、スイッチャの帰還抵抗ネットワークによってスイッチング・レギュレータの最大出力電圧が設定されることを示しています。ただし、LT3070がイネーブルされると、VIOCの帰還ループがスイッチング・レギュレータの出力電圧をV_{OUT}＋300mVまで低下させます。

VIOC機能を使用することにより、LT3070とスイッチング・レギュレータの間に帰還ループが形成されます。したがって、帰還ループは周波数補償を行って安定させる必要があります。幸い、多くのLTCスイッチング・レギュレータのITHピンへのVIOCの接続は高インピーダンスになっており、帰還ループを周波数補償するのに最適な回路ノードです。VIOCノードとGNDの間に使用される標準的な周波数補償ネットワークを図2に示します。

VIOCアンプの特性は次のようになります。

g_m = 3.2mS, I_{OUT} = ±250μA, BW = 10MHz.

VIOC機能を使用しない場合、小さなコンデンサ（1000pF）でVIOCピンをGNDに終端して発振が生じないようにします。

アプリケーション情報

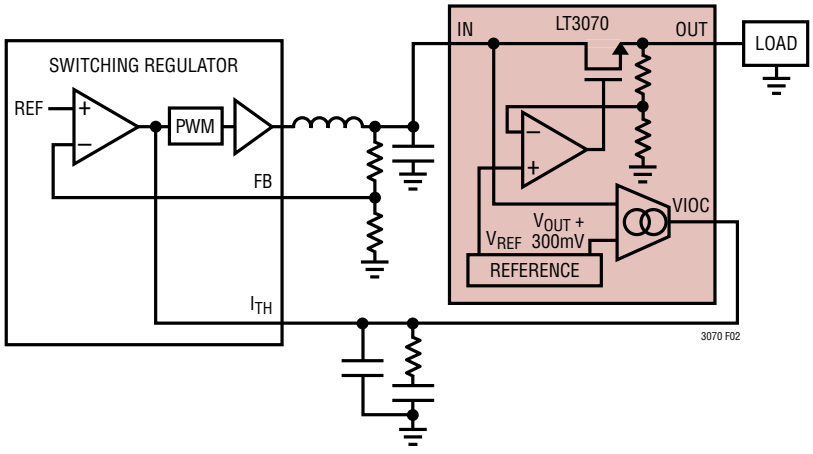


図2. VIOC制御のブロック図

PWRGD(パワーグッド)

PWRGDピンはオープンドレインのNMOSデジタル出力で、以下のフォールト・モードのいずれか1つが検出されるとアクティブに“L”になります。

- V_{OUT}の立ち上がりエッジでV_{OUT}が$V_{OUT(NOMINAL)}$の90%を下回る。
- V_{OUT}が$V_{OUT(NOMINAL)}$の85%を下回る状態が25μs以上続く。
- V_{BIAS}が低電圧ロックアウト・スレッショルドを下回る。
- OUT-IN間の逆電流検出器が作動する。
- 接合部温度が標準で145°Cを超える。*

*接合部温度の検出器は早期警告インジケータで、サーマル・シャットダウンに移行する約20°C手前でトリップします。

安定性と出力容量

LT3070の帰還ループは安定させるために出力コンデンサを必要とします。C_{OUT}の選択に注意を払い、LT3070のOUTピンとGNDピンの近くに配置します。インダクタンスを最小限に抑えるため、OUTとGNDの配線プレーンの幅を広くします。最適な負荷過渡性能を得るため、可能であれば、レギュレータをアプリケーションの負荷に隣接させて配置して、分布インダクタンスを最小限に抑えます。ポイントオブロードのアプリケーションでは、LT3070の最大の性能を引き出すためのベストケースのレイアウトのシナリオが提供されます。

LT3070を安定させるため、LTCではX5RまたはX7Rの低ESRセラミック・チップ・コンデンサの選択を推奨しています。デバイスに近接して配置したデカップリング・コンデンサから離してバルク・コンデンサを分散配置してもかまいません。その理由は、それらの寄生ESLやESRがPCBの分布インダクタンスと組み合わさって、ローカルの表面実装セラミック・コンデンサによって与えられる主補償ポールからそれらを分離するからです。

安定させるため、LT3070は15μFの最小出力容量を必要とします。LTCでは、並列接続した複数の小さな値のセラミック・コンデンサで出力コンデンサ・ネットワークを構成することを強く推奨しています。

複数の小さな値の出力コンデンサの並列接続が有効な理由

C_{OUT}が15μFのLT3070のユニティゲイン帯域幅は、5Aの最大負荷電流で約1MHzです。表面実装MLCCコンデンサには$f_R = 1/(2\pi\sqrt{LC})$の自己共振周波数があり、この値はレギュレータの帯域幅よりも高い周波数にする必要があります。標準的なMLCCコンデンサを使用できます。共振周波数を1MHz以上に保つには、$1/(2\pi\sqrt{LC})$の値は1MHz以上でなければなりません。この帯域幅ではPCBのビアによって大きなインダクタンスが加わる可能性があるので、基本的なデカップリング・コンデンサはLT3070と同じプレーンに実装する必要があります。

アプリケーション情報

標準的な0603や0805のケース寸法のコンデンサには約800pHのESLがあり、PCBへの実装で最大約200pH加わる可能性があります。したがって、並列に組み合わせたコンデンサを使用することによって寄生インダクタンスを低減することが必要になります。同じ自己共振周波数f_Rのコンデンサはそれ自体でリンギングを生じる可能性があるタンク回路を形成するので、適切な方法でこの並列接続を管理する必要があります。小さな値のESR（5mΩ～20mΩ）には共振ループを減衰させるというある程度の利点がありますが、ESRの値が大きいと、立ち上がり/立ち下がり時間が1μs以下の過渡負荷ステップへのコンデンサの反応速度が遅くなります。並列コンデンサの最も面積効率が良い組み合わせは、同じケース寸法のf_Rを4/2/1の段階的な大きさにすることです。これらの条件では、それぞれのESLは比較的均一で、共振のピークは分かれてレギュレータの帯域幅を超えて分散されます。15μFに近い推奨する並列接続の組み合わせは10μF＋4.7μF＋2.2μFです。0805よりも大きいケース寸法のコンデンサは、ESLが大きくESRが小さく（<5mΩ）なります。したがって、小さな値（<10μF）のより多くのコンデンサを選択する必要があります。f_Rを排除して安定度を最大にするには、新世代の低インダクタンスのコンデンサを検討する必要があります。コンデンサの仕様については、表面実装セラミック・コンデンサの製造元のデータシートを参照してください。図3に、並列出力コンデンサの組み合わせの最適なPCBレイアウト、ならびにAC GNDループを最小限に抑えて高速負荷過渡を実現するためのINコンデンサとOUTコンデンサの間のGND接続を示します。この密なバイパス接続により、EMIが最小限に抑えられてバイパスが最適化されます。

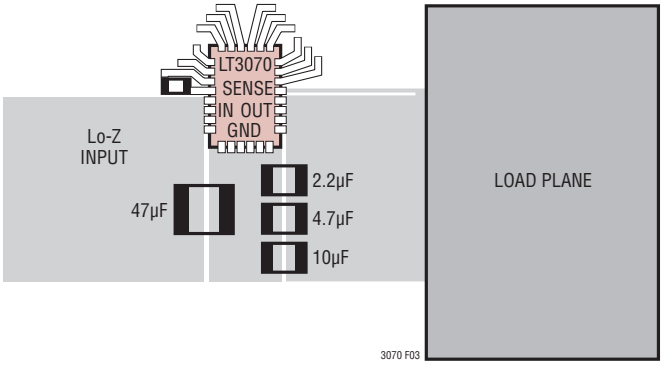


図3. PCBレイアウトの例

FPGA、ASICプロセッサやDSPの電源などLT3070が適している多くのアプリケーションでは、一般にデバイスに電力を供給するために高周波デカップリング・コンデンサ・ネットワークが必要になります。このネットワークは通常、並列接続された多くの小さな値のセラミック・コンデンサで構成されます。アプリケーションによっては、この容量の合計値がLT3070の15μFの最小容量要件に近づくこともあります。これにより、LT3070の出力に直接必要な容量値が減少する可能性があります。複数の小さな値のコンデンサを並列接続することによって好ましい周波数特性が得られ、寄生ポールやゼロの多くをLT3070のユニティゲイン・クロスオーバー周波数の外に移します。この手法には、LT3070の全帯域幅の性能を引き出す方法が示されています。

セラミック・コンデンサを使用する際には、さらに注意が必要です。セラミック・コンデンサは様々な誘電体を使用して製造されており、それぞれ温度や印加される電圧によって動作が異なります。最も一般的に使用されている誘電体は、Z5U、Y5V、X5R、X7RのEIA温度特性コードで規定されています。Z5UとY5Vの誘電体は小型のパッケージで大きな容量を実現するのには適していますが、図4と図5に示すように、電圧係数と温度係数が大きくなる傾向があります。5Vのレギュレータに使用する場合、16V 10μFのY5Vコンデンサは、印加されたDCバイアス電圧と動作温度範囲で1μF～2μFの小さな実効値になる可能性があります。X5RとX7Rの誘電体を使用すると、さらに安定した特性になり、これらは出力コンデンサとしての使用により適しています。X7Rタイプは全温度範囲にわたって安定性が優れており、X5Rタイプは安価で大きな値のものが入手可能です。X5RやX7Rのコンデンサを使用する場合でも注意する必要があります。X5RとX7Rのコードは動作温度範囲と全温度範囲での最大容量変化を規定するだけです。X5RとX7RのコンデンサのDCバイアスによる容量変化はY5VやZ5Uのコンデンサに比べると小さいですが、それでもコンデンサの容量が適切なレベルを下回るほど変化することがあります。コンデンサのDCバイアス特性は部品のケース寸法が大きいほど向上する傾向がありますが、動作電圧での必要な容量を検証する必要があります。電圧係数と温度係数だけが問題になるわけではありません。セラミック・コンデンサの中には圧電効果を示すものがあります。圧電デバイスは、圧電マイクロホンの動作原理と同様、機械的応力によって端子間に電圧を生じます。セラミック・コンデンサの場合、システムの振動や熱過渡によって応力が生じることがあります。

アプリケーション情報

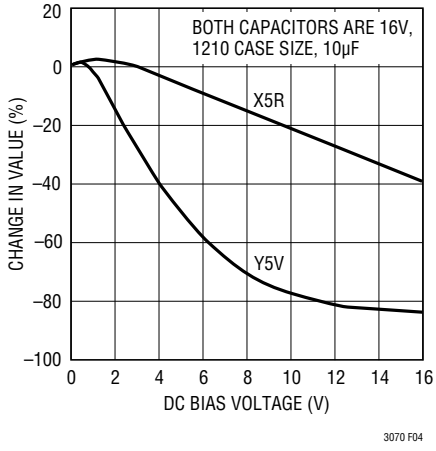


図4. セラミック・コンデンサのDCバイアス特性

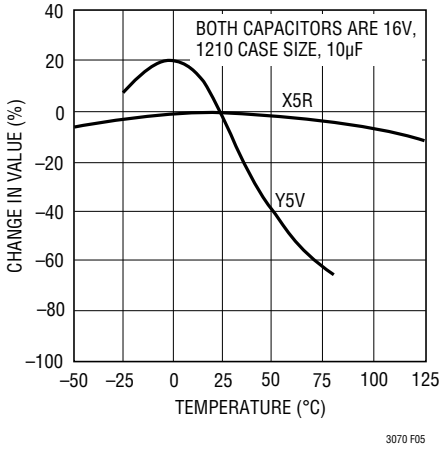


図5. セラミック・コンデンサの温度特性

安定性と入力容量

LT3070はINピンに接続された47µFの最小容量で安定します。低ESRのコンデンサを使用して、大きな負荷過渡状態での瞬時の電圧降下を最小限に抑えます。大きな負荷過渡時にV_{IN}が大きく垂下すると、レギュレータがドロップアウト状態になるのに応じて負荷過渡応答が低下する恐れがあります。アプリケーションの要件によっては、入力容量および出力容量の大きな値が必要になる場合があります。回路は電力を最小限に抑えるために意図的にドロップアウトに近い動作をするので、十分な入力容量が不可欠です。理想的には、大きな過渡での5Aの負荷に対応するため、INに電力を供給する電源の出力インピーダンスは10mΩ以下にします。

ワイヤを使用して電源とLT3070の入力を接続する場合(また、LT3070のグランドと電源グランドを接続する場合も)、アプリケーションが不安定にならないように大きな入力コンデンサが必要になります。

これは、ワイヤのインダクタンスが入力コンデンサとともにLCタンク回路を形成するためで、LT3070が不安定なためではありません。ワイヤの自己インダクタンス(つまり、単独のインダクタンス)はその長さに正比例します。ただし、ワイヤの直径が自己インダクタンスに大きな影響を与えることはありません。たとえば、直径が0.04インチで長さが1インチの18-AWGワイヤの自己インダクタンスは28nHです。直径が0.26インチの単独の2-AWGワイヤの自己インダクタンスは、18-AWGワイヤのインダクタンスの約半分です。ワイヤ全体の自己インダクタンスは2つの方法で低減することができます。1つの方法はLT3070に向かって流れる電流をそれぞれ同じ方向に流す2つの並列の導体に分割します。この場合、ワイヤが互いに離れているほどインダクタンスが減少し、数インチ離すと最大50%減少します。ワイヤを分割すると基本的に2つの等しいインダクタを並列に接続したことになります。ただし、互いに近づけると、相互インダクタンスがワイヤ全体の自己インダクタンスに加わります。全体のインダクタンスを低減する最も効果的な方法は、電流の往路と復路の導体(入力のワイヤとリターン・グランドのワイヤ)を互いに近づけて配置することです。2本の18-AWGワイヤを0.05インチだけ離すと、全体の自己インダクタンスが1本の単独のワイヤの約1/4まで減少します。LT3070が、同じ回路基板にグランド・プレーンと電源プレーンを近接して実装されたバッテリによって電力を供給される場合、47µFの入力コンデンサで十分安定します。ただし、LT3070が離れた電源から電力を供給される場合、ESRが小さい330µF程度の大きな値の入力コンデンサを使用します。電源の出力インピーダンスの変化に応じて、アプリケーションを安定させるのに必要な最小入力容量も変化します。

BIASピンの容量の要件

BIASピンは、内部制御回路の大部分とパス・トランジスタをドライブする出力段に電流を供給します。LT3070は、安定性と適正な動作を確保するために最小2.2µFのバイパス・コンデンサを必要とします。適正に動作させるため、BIAS電圧は$2.2V \le V_{BIAS} \le 3.6V$および$V_{BIAS} \ge (1.25 \bullet V_{OUT}+1V)$の条件を満たす必要があります。$V_{OUT} \le 0.95V$の場合、最小BIAS電圧は2.2Vに制限されます。

アプリケーション情報

ロード・レギュレーション

LT3070にはV_{OUT}用にケルビン検出ピンが備わっており、パッケージおよびPCBの寄生抵抗によるI-R電圧降下をアプリケーションで補正することができます。ただし、LTCではSENSEピンをLT3070のOUTピンの近くで終端することを推奨しています。これにより、寄生インダクタンスが最小限に抑えられてレギュレーションが最適化されます。LT3070は中程度のレベルの出力ライン・インピーダンスに対応していますが、V_{OUT}とC_{OUT}の間に過度のインピーダンスがあると、帰還ループに過度の位相シフトが生じて安定性に悪影響を与えます。

「ピン機能」の図1は、PCBトレースの抵抗による電圧降下を解消するケルビン検出接続の方法を示しています。ただし、外部のPCBトレースに生じる電圧降下がレギュレータの損失電圧に加わる点に注意してください。SENSEピンの入力バイアス電流は選択した出力電圧に左右されます。SENSEピンの入力電流は、V_{OUT} = 0.8Vでの標準50μAからV_{OUT} = 1.8Vでの標準300μAまで変化します。

短絡および過負荷からの回復

多くのICパワー・レギュレータと同様、LT3070は安全動作領域(SOA)の保護機能を備えています。安全領域保護機能により、入力-出力間の電圧が上昇するにつれて電流制限が減少し、入力-出力間の絶対最大定格電圧までの全ての電圧値に対してパワー・トランジスタを安全動作領域内に保ちます。どの機能でもV_{BIAS}はUVLOスレッショルドを上回る必要があります。LT3070には±20%に規定された高精度電流制限機能が備わっており、V_{BIAS}がUVLOを上回るとアクティブになります。

最大I_{LOAD}および最大V_{IN}-V_{OUT}間電圧の状態では、デバイスの電力損失は約3Wに達します。周囲温度が十分に高い場合、ダイの接合部温度は125°Cの最大動作温度を超えることになります。これが生じると、LT3070はさらに2つの熱的安全機能に依存します。約145°Cで、PWRGD出力が**"L"**になり、サーマル・シャットダウン状態が間近に迫っていることを早期警告します。標準165°Cで、LT3070のサーマル・シャットダウンが開始され、デバイスの温度がサーマル・ヒステリシス・リミットを下回るまで出力がシャットダウンされます。IN-OUT間電圧が低下するに従ってSOA保護が電流制限を低減し、入力-出力間電圧の全ての値で電力損失を安全なレベルに保ちます。LT3070は、絶対最大定格電圧までの全ての入力-出力間電圧の値でいくらかの出力電流を供給します。「標準的性能特性」の「電流制限とV_{IN}」の曲線を参照してください。

起動時に、BIAS電圧がUVLOスレッショルドを超えていてV_{IN}が上昇していると、電流制限がC_{OUT}を充電する速度で出力電圧が上昇します。

入力電圧が高いと、出力の短絡状態を取り除いても出力電圧が回復しないという問題が生じる可能性があります。電流制限フォールドバック付きの他のレギュレータでもこの現象を生じるので、LT3070に固有の問題ではありません。このような負荷の負荷曲線は出力電流曲線と2点（通常動作およびSOA制限の負荷電流の設定値）で交わる可能性があります。よく生じるのは短絡が解消された直後の静的負荷が1A以上の場合です。この状況では、負荷を取り除くか、またはI_{OUT}を1A未満にすることによってこの状態が解消され、V_{OUT}を通常のレギュレーション状態に戻すことができます。

逆電圧

LT3070には、V_{IN}がV_{OUT}を下回るかどうかを検出する回路が搭載されています。この逆電圧検出器には約（$V_{IN}-V_{OUT}$）= −6mVの標準スレッショルドがあります。スレッショルドを超えると、この検出器の回路は内部のNMOSパス・トランジスタのドライブをオフするので、出力がオフになります。負荷電流が出力容量を放電することによって出力は"L"になります。この回路の目的は、フォールトや過負荷状態によって入力電圧が急落したときに、OUTからINへの逆電流を制限し、防止することです。注意すべきなのは、DUTが有効である限り、負（-）の逆電圧検出スレッショルドはV_{OUT}からV_{IN}へ少量の逆電流が流れる可能性があることを暗示する、ということです。シャットダウンを保証するには、イネーブル（EN）ピンを"L"にする必要があります。

熱に関する検討事項

LT3070の電力処理能力は125°Cの最大定格接合部温度によって制限され、以下のように出力電流に入力と出力の電圧差を掛けた値で決定されます。

$$I_{OUT} \bullet (V_{IN}-V_{OUT})$$

アプリケーション情報

LT3070内部の電力および熱制限回路は過負荷状態のときにデバイスを保護します。一時的でない通常負荷状態で125°Cの最大接合部温度を超えてはなりません。接合部から周囲までの全ての熱抵抗について注意深く検討してください。これには、接合部-ケース間、ケース-ヒートシンク接続部間、アプリケーションによって決まるヒートシンク抵抗（つまり回路基板-周囲間などの熱抵抗）が含まれます。LT3070に近接して実装されるその他の熱源についても検討してください。LT3070は表面実装デバイスなので、PC基板とその銅トレースの熱分散能力を利用してヒートシンクを実現します。パワー・デバイスが発生する熱を分散するのに、表面実装ヒートシンクとメッキ・スルーホールを使用することもできます。接合部-ケース間熱抵抗は、デバイスの接合部からダイ直下のケース底面までで規定されています。これは熱流の最小抵抗経路です。パッケージのこの領域から放熱材への可能な限り最良の熱流を確保するには、適切に実装する必要があります。露出パッドはGNDに電気的に接続されている点に注意してください。

一定の基板寸法の銅面積に対する熱抵抗を表3に示します。全ての測定は、静止空気中で、1オンスの切れ目のない内部プレーンと2オンスの上面と底面の外部トレース・プレーンを有し、合計の仕上げボード厚が1.6mmの4層FR-4ボードで行いました。PCBの層数、銅重量、ボード・レイアウトおよびサーマル・ビアが熱抵抗の値に影響を与えます。熱抵抗と高熱伝導性テスト・ボードの詳細については、JEDEC標準規格のJESD51、特にJESD51-12およびJESD51-7を参照してください。低い熱抵抗を実現するには、細部にわたる注意深いPCBレイアウトに配慮する必要があります。

表3. UFDプラスチック・パッケージ、28ピンQFN

銅面積		基板面積	熱抵抗（接合部-周囲間）
上面*	裏面		
2500mm^2	2500mm^2	2500mm^2	30°C/W
1000mm^2	2500mm^2	2500mm^2	32°C/W
225mm^2	2500mm^2	2500mm^2	33°C/W
100mm^2	2500mm^2	2500mm^2	35°C/W

*デバイスは上面に実装される

接合部温度の計算

例: 出力電圧が0.9V、入力電圧範囲が1.2V ±5%、BIAS電圧が2.5V、最大出力電流が4A、最大周囲温度が50°Cだとすると、最大接合部温度はいくらになるでしょうか。

デバイスの電力損失は次のようになります。

$$I_{OUT(MAX)} \bullet (V_{IN(MAX)} - V_{OUT}) + (I_{BIAS} - I_{GND}) \bullet V_{OUT} + I_{GND} \bullet V_{BIAS}$$

ここで、

$I_{OUT(MAX)} = 4A$

$V_{IN(MAX)} = 1.26V$

I_{BIAS} at ($I_{OUT} = 4A$, $V_{BIAS} = 2.5V$) = 6.91mA

I_{GND} at ($I_{OUT} = 4A$, $V_{BIAS} = 2.5V$) = 0.87mA

したがって次のようになります。

$$P = 4A(1.26V - 0.9V) + (6.91mA - 0.87mA)0.9V + 0.87mA(2.5V) = 1.448W$$

最大面積の銅領域に半田付けしたQFNパッケージの場合、熱抵抗は30°C/Wになります。したがって、周囲温度を超える接合部温度の上昇分は次のようになります。

1.448W at 30°C/W = 43.44°C

最大接合部温度は、最大周囲温度と周囲温度を超える接合部の最大上昇温度の和に等しく、次のようになります。

T_{JMAX} = 50°C+43.44°C = 93.44°C

LT3070の放熱のための広いPCBスペースを確保できないアプリケーションでは、出力電流のディレーティング、またはエアフローの増加が必要になります。

大きなI_{OUT}のためのデバイスの並列接続

複数のLT3070を並列接続して大きな出力電流を得ることができます。この並列接続の概念はLT3080で採用された手法を継承しています。

この並列接続を実現するには、並列接続されたレギュレータのREF/BYPピンを相互接続します。これにより、複数の600mVリファレンス電圧源の平均値が効率的に得られます。並列接続されたレギュレータのOUTピンは、各レギュレータの主出力コンデ

アプリケーション情報

ンサの先で、PCトレースの小片をバラスト抵抗として使うか、あるいは実際の表面実装検出抵抗を使って、共通負荷プレーンに接続します。必要なバラスト抵抗はアプリケーションの出力電圧とピーク負荷電流に依存します。負荷レギュレーションに1%寄与する値のバラスト抵抗を推奨します。たとえば、1Vを出力して10Aの負荷を分担するように構成された2個のLT3070レギュレータはそれぞれの出力に2mΩのバラスト抵抗を必要とします。ケルビンSENSEピンはバラスト抵抗のレギュレータ側に接続し、個々の制御ループが互いにぶつからないようにします(図8と図9を参照)。このバラスト抵抗として使われるトレース領域は、抵抗を制御可能にしておくために半田がない状態に保ちます。

表4に、PCBトレースの抵抗と重さおよびトレース幅の関係のシンプルなガイドラインを示します。

表4. PC基板のトレース抵抗

重さ(オンス)	幅100ミル*	幅200ミル*
1	5.43	2.71
2	2.71	1.36

*トレース抵抗の単位はミリオーム/インチ

ノイズの抑制

LT3070は多くの点でノイズ特性が優れています。どのLDOにもいくつかのノイズ源があります。LDOの最も致命的なノイズ源はリファレンスで、次に致命的なのはLDOのエラーアンプです。従来の低ノイズ・レギュレータでは、電圧リファレンスをバッファして(通常は大きな値の抵抗を介して)外部ピンに出力し、バイパスしてリファレンス・ノイズを低減することを可能にしています。LT3070は、従来の電圧リファレンスを使用せず、約19kの内部抵抗に流れるリファレンス電流から低電圧のV_{REF}を生成します。この中間インピーダンス・ノード(REF/BYP)により、外部での直接のフィルタリングが容易になります。10nFのフィルタ・コンデンサにより、REF/BYPピンが600mVのときのリファレンス・ノイズが最小限の10μV_{RMS}に抑えられ、V_{OUT} = 1Vのときの出力ノイズが等価的に17μV改善されます。出力電圧に対するノイズの特性と$C_{REF/BYP}$の関係については「標準的性能特性」を参照してください。

この手法は、電流分担のアプリケーションで相互に接続されているLT3070レギュレータ相互のリファレンス共有にも対応しています。REF/BYPのフィルタ・コンデンサは、時定数RCだけ初期パワーアップ時間を遅延させます。**ナップ**・モードではV_{REF}はアクティブのままなので、起動時間が大幅に短縮されて**ナップ**・モードからの復帰が十分に制御されます(ENは“L”から“H”に移行)。

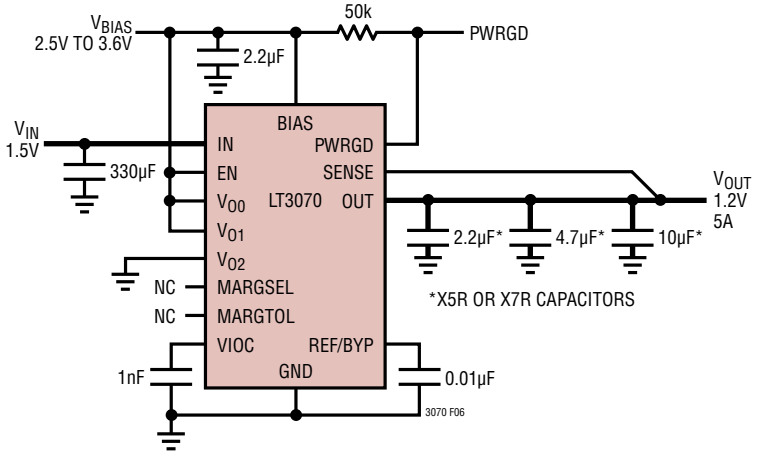


図6. 1.5Vから1.2Vのリニア・レギュレータ

アプリケーション情報

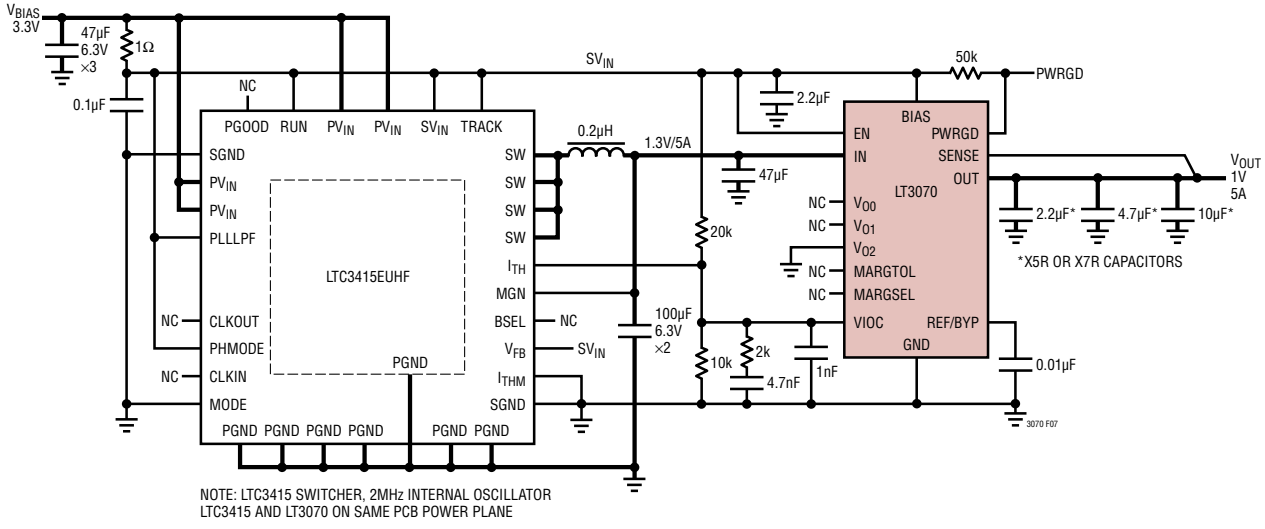


図7. VIOC降圧制御を使用したレギュレータ

アプリケーション情報

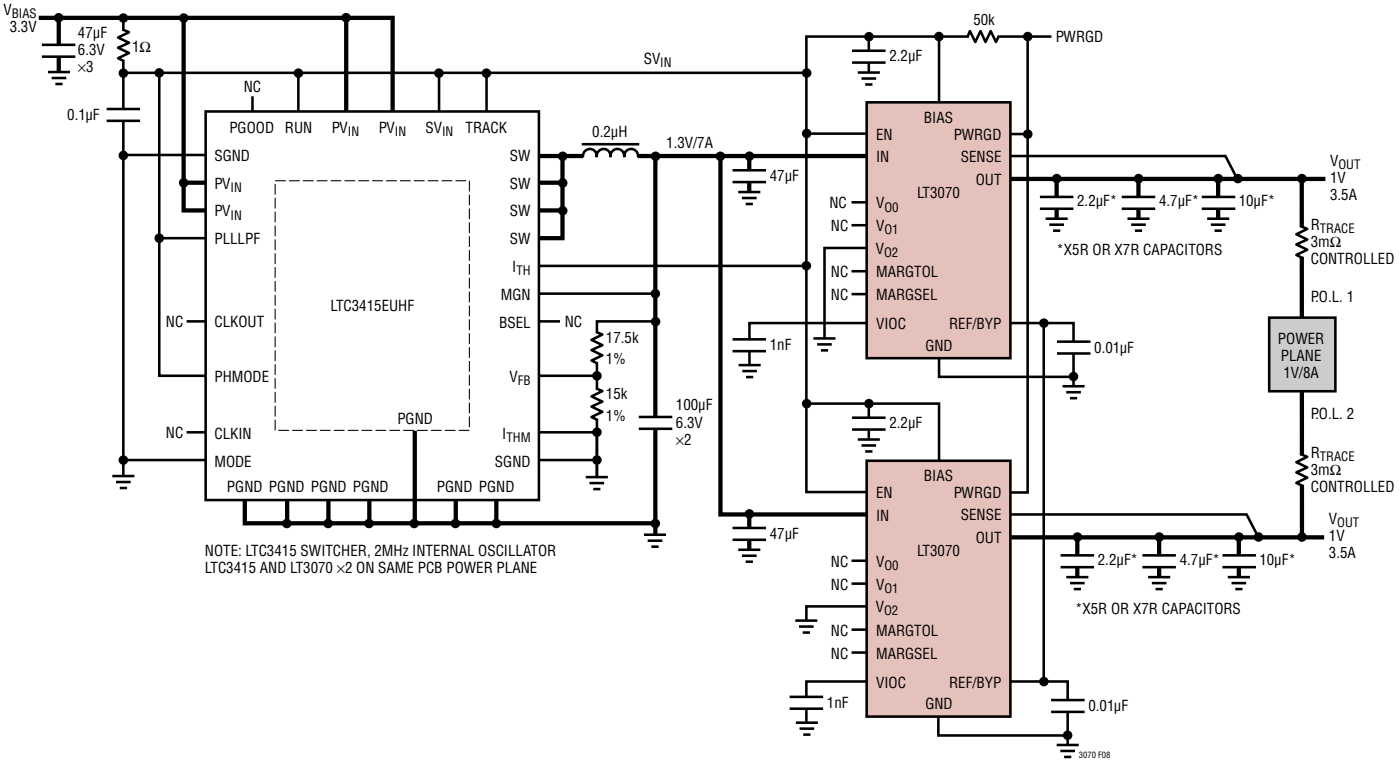


図8. 1V、7Aポイントオブロード電流分担レギュレータ

アプリケーション情報

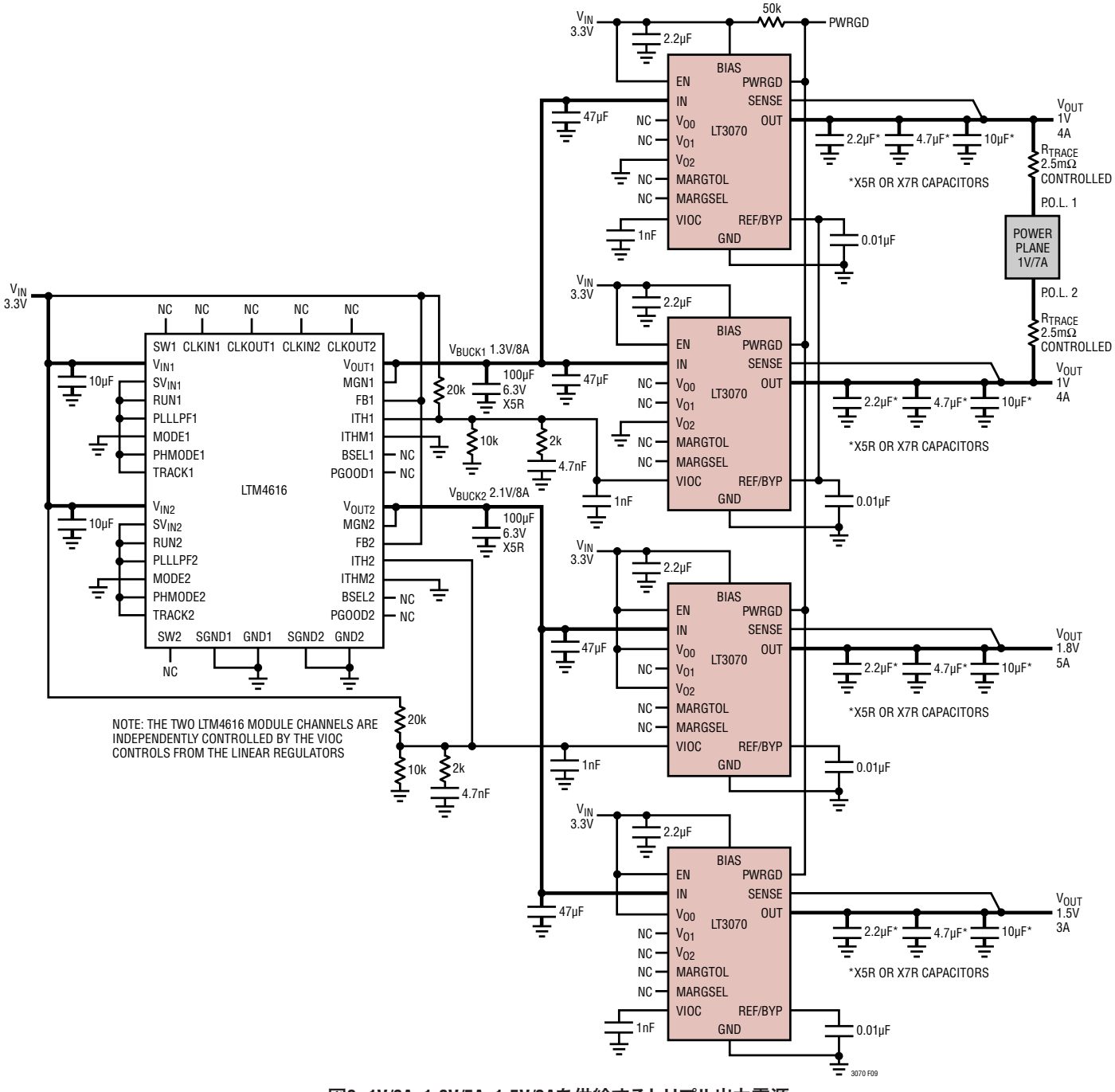
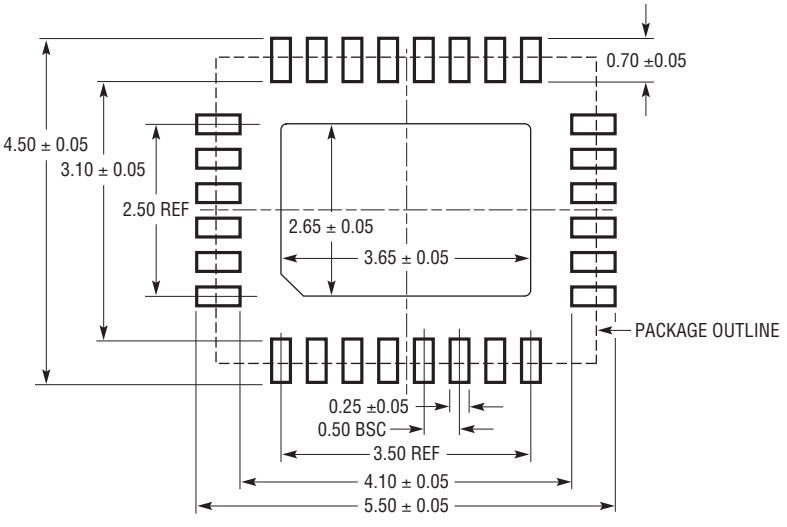


図9. 1V/8A、1.8V/5A、1.5V/3Aを供給するトリプル出力電源

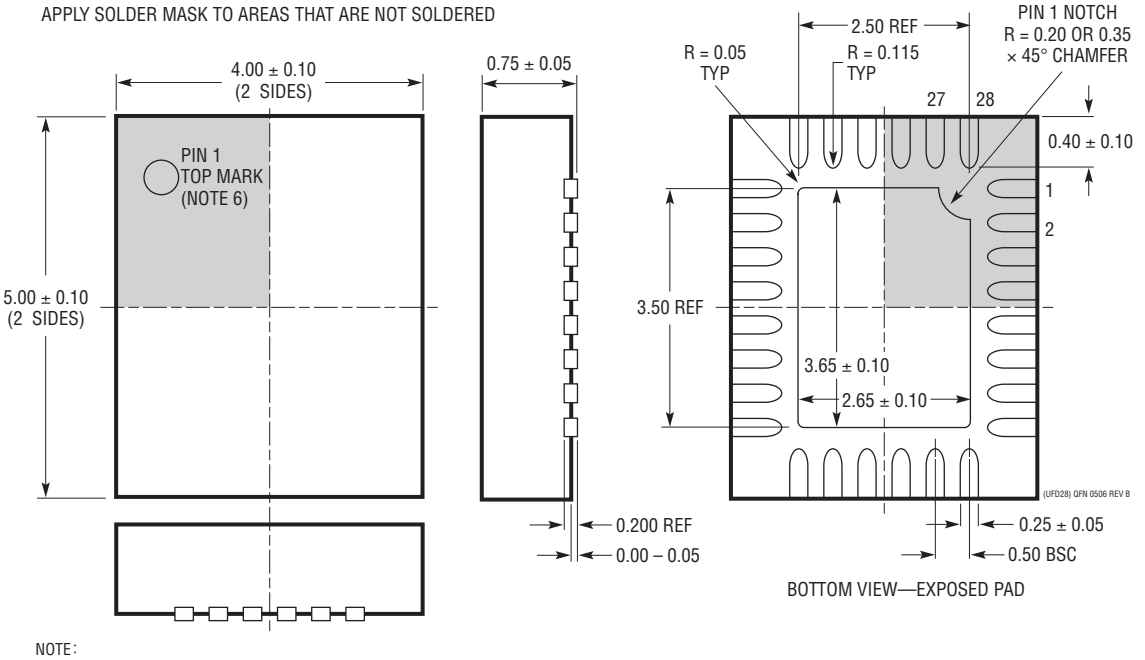
パッケージ

最新のパッケージ図面については、http://www.linear-tech.co.jp/designtools/packaging/をご覧ください。

UFD Package
28-Lead Plastic QFN (4mm × 5mm)
(Reference LTC DWG # 05-08-1712 Rev B)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



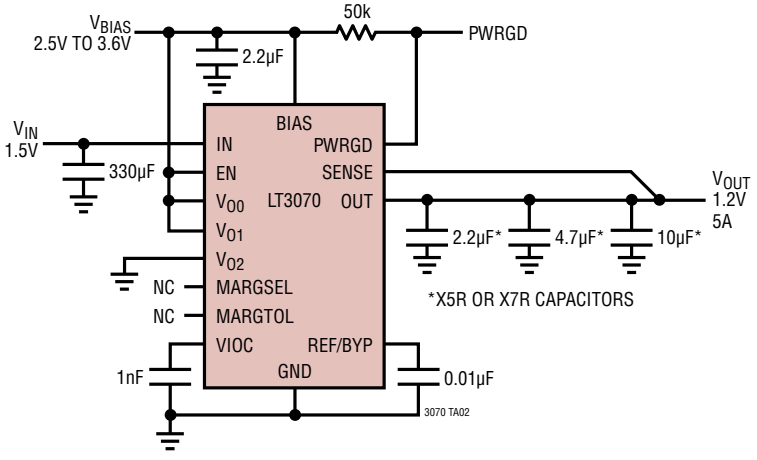
NOTE:
1. 図はJEDECパッケージ外形MO-220のバリエーション(WXXX-X)にするよう提案されている
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
   モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

改訂履歴

Rev	日付	概要	ページ番号
A	5/10	データシート全体を改訂。	1～28
B	4/13	電気的特性の表のパラメータ条件を明確化。 イネーブル・ピンのスレッショルドのグラフを追加。 ENピンの動作を明確化。 ブロック図の改良。 関連製品にLT3071を追加。	4 7 13 14 28
C	2/15	PSRRのグラフを追加。 「逆電圧」セクションを修正。	9、10 22

LINEAR TECHNOLOGY
リニアテクノロジー・コーポレーションがここで提供する情報は正確かつ信頼できるものと考えておりますが、その使用に関する責務は一切負いません。また、ここに記載された回路結線と既存特許とのいかなる関連についても一切関知いたしません。なお、日本語の資料はあくまでも参考資料です。訂正、変更、改版に追従していない場合があります。最終的な確認は必ず最新の英語版データシートでお願いいたします。

標準的応用例



1.5Vから1.2Vのリニア・レギュレータ

関連製品

製品番号	説明	注釈
LT1763	500mA、低ノイズLDO	損失電圧:300mV、低ノイズ:20µV_{RMS}、入力電圧:1.8V～20V、SO-8パッケージ
LT1764/LT1764A	3A、高速過渡応答、低ノイズLDO	損失電圧:340mV、低ノイズ:40µV_{RMS}、入力電圧:2.7V～20V、TO-220およびDDパッケージ、LT1764Aはセラミック・コンデンサでも安定
LT1963/LT1963A	1.5A、低ノイズ、高速過渡応答LDO	損失電圧:340mV、低ノイズ:40µV_{RMS}、入力電圧:2.5V～20V、LT1963Aはセラミック・コンデンサで安定、TO-220、DD、SOT-223およびSO-8パッケージ
LT1965	1.1A、低ノイズ、低損失リニア・レギュレータ	損失電圧:290mV、低ノイズ:40µV_{RMS}、入力電圧:1.8V～20V、出力電圧:1.2V～19.5V、セラミック・コンデンサで安定、TO-220、DD-Pak、MSOPおよび3mm × 3mm DFNパッケージ
LT3021	500mA、低電圧VLDO™リニア・レギュレータ	入力電圧:0.9V～10V、損失電圧:160mV(標準)、調整可能な出力電圧(V_{REF} = $V_{OUT(MIN)}$ = 200mV)、固定出力電圧:1.2V、1.5Vおよび1.8V、低ESRおよびセラミック出力コンデンサで安定、16ピンDFN(5mm × 5mm)および8ピンSOパッケージ
LT3080/LT3080-1	1.1A、並列接続可能、低ノイズ、低損失リニア・レギュレータ	損失電圧:300mV(2電源動作)、低ノイズ:40µV_{RMS}、入力電圧:1.2V～36V、出力電圧:0V～35.7V、電流ベースのリファレンス、抵抗1本でV_{OUT}を設定、直接並列接続(オペアンプ不要)、セラミック・コンデンサで安定、TO-220、SOT-223、MSOP-8および3mm × 3mm DFN-8パッケージ、LT3080-1はバラスト抵抗を内蔵
LT3085	500mA、並列接続可能、低ノイズ、低損失リニア・レギュレータ	損失電圧:275mV(2電源動作)、低ノイズ:40µV_{RMS}、入力電圧:1.2V～36V、出力電圧:0V～35.7V、電流ベースのリファレンス、抵抗1本でV_{OUT}を設定、直接並列接続(オペアンプ不要)、セラミック・コンデンサで安定、MSOP-8および2mm × 3mm DFN-6パッケージ
LTC3025-1/LTC3025-2	2mm×2mm DFNパッケージの500mA、マイクロパワーVLDOリニア・レギュレータ	入力電圧:0.9V～5.5V、損失電圧:75mV、低ノイズ:80µV_{RMS}、低消費電流:54µA、固定出力電圧:1.2V(LTC3025-2);調整可能な出力電圧範囲:0.4V～3.6V(LTC3025-1)、2mm × 2mm 6ピンDFNパッケージ
LTC3026	1.5A、低入力電圧VLDOレギュレータ	入力電圧:1.14V～3.5V(昇圧イネーブル時)、1.14V～5.5V(外部5V時)、V_{DO} = 0.1V、消費電流:950µA、10µFセラミック・コンデンサで安定、10ピンMSOPおよびDFN-10パッケージ
LT3071	アナログ・マージニング機能付き、損失電圧85mV、低ノイズ、出力設定可能な5Aリニア・レギュレータ	入力電圧:0.95V～3V、出力電圧:0.8V～1.8V(50mV刻み)、低ノイズ:25µV_{RMS}、セラミック・コンデンサで安定、4mm×5mm 28ピンQFNパッケージ

リニアテクノロジー株式会社
〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F
TEL 03-5226-7291• FAX 03-5226-0268 • www.linear-tech.co.jp/LT3070

LT 0215 REV C • PRINTED IN JAPAN
© LINEAR TECHNOLOGY CORPORATION 2009