

調整可能なデュアル5V レギュレータ付きSPI/デジタルまたは I²C対応μModuleアイソレータ

特長

- 6チャンネルのロジック・アイソレータ:2500V_{RMS}(1分間)
- UL-CSA規格認定取得中
- 絶縁型DC電力:
 - 最大100mAでの1.8V~5Vロジック電源
 - 最大100mAでの0.6V~5V補助電源
- 外付け部品は不要
- SPI/デジタル対応オプション(LTM2887-S)またはI²C対応オプション(LTM2887-I)
- 同相トランジェント耐性が高い:30kV/μs
- 高速動作
 - 10MHzのデジタル絶縁
 - 4MHz/8MHzのSPI絶縁
 - 400kHzのI²C絶縁
- 3.3V動作(LTM2887-3)または5V動作(LTM2887-5)
- 1.62V~5.5Vのロジック電源
- 絶縁障壁間での±10kVのESD保護(人体モデル)
- 連続動作時の最大電圧:560V_{PEAK}
- 低電流シャットダウン・モード(<10μA)
- 高さの低い15mm×11.25mm×3.42mm BGAパッケージ

アプリケーション

- 絶縁型のSPIインタフェースまたはI²Cインタフェース
- 産業用システム
- テスト装置および測定装置
- 切断されているグラウンド・ループ

概要

LTM[®]2887は、完全なガバナック・デジタルμModule[®](マイクロモジュール)アイソレータです。外付け部品は必要ありません。3.3Vまたは5Vの単電源により、一体化された絶縁型DC/DCコンバータを介してインタフェースの両側に電力を供給します。ロジック電源ピンにより、主電源に関係なく、1.62V~5.5Vのさまざまなロジック・レベルとのインタフェースを容易にとることができます。

供給可能なオプションは、SPI規格およびI²C規格(マスターモードのみ)に準拠しています。

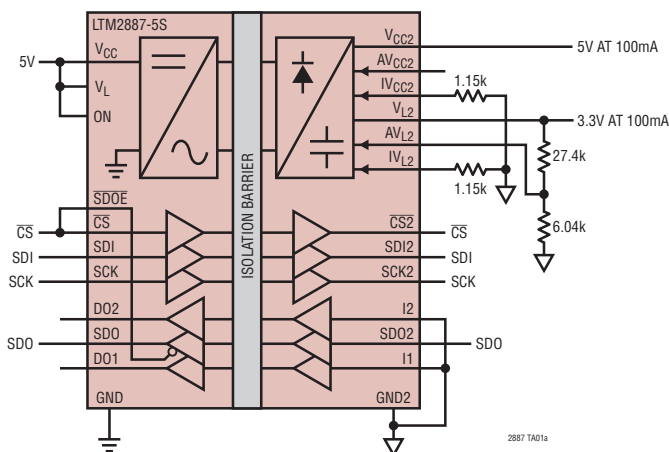
絶縁サイドには、設定可能な電流制限を備える2つの公称5Vの電源があり、それぞれ100mAより大きい負荷電流供給能力を持っています。各電源は、1本の外付け抵抗を使用して公称値から調整できます。

結合インダクタと絶縁パワー・トランスにより、入力と出力のロジック・インタフェース間で2500V_{RMS}の絶縁を実現します。このデバイスは、グラウンド・ループが切断されているシステムに最適であり、同相電圧範囲を広くすることができます。同相トランジェントが30kV/μsを超える場合に通信が途切れません。

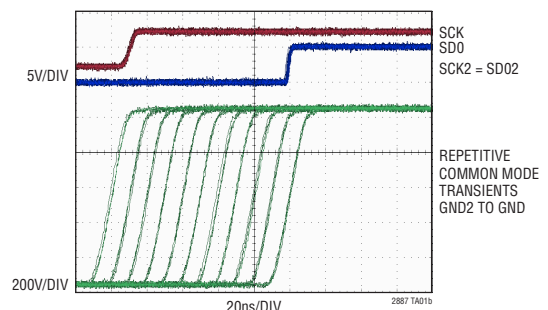
LT、LT、LTC、LTM、Linear Technology、LinearのロゴおよびμModuleはリニアテクノロジー社の登録商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

絶縁型の4MHz SPIインタフェース



50kV/μsの同相トランジェント通過時のLTM2887の動作



LTM2887

絶対最大定格

(Note 1)

V_{CC} - GND 間.....	-0.3V ~ 6V
V_L - GND 間.....	-0.3V ~ 6V
V_{CC2} 、 AV_{CC2} 、 IV_{CC2} - GND2 間.....	-0.3V ~ 6V
V_{L2} 、 AV_{L2} 、 IV_{L2} - GND2 間.....	-0.3V ~ 6V
ロジック入力	
DI1、SCK、SDI、 \overline{CS} 、SCL、SDA、 \overline{SDOE} 、	
ON - GND 間.....	-0.3V ~ ($V_L + 0.3V$)
I1、I2、SDA2、	
SDO2 - GND2 間.....	-0.3V ~ ($V_{L2} + 0.3V$)

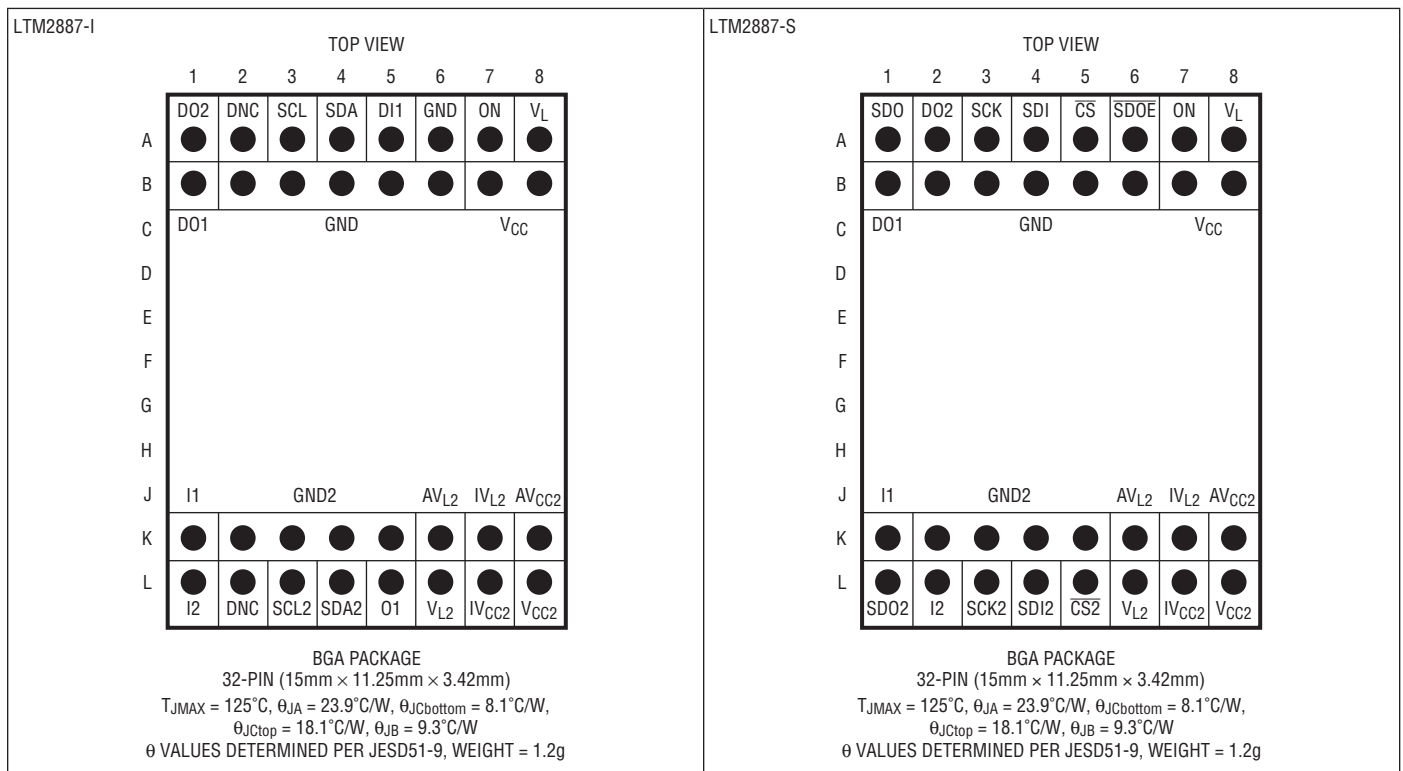
ロジック出力

DO1、DO2、SDO - GND 間.....	-0.3V ~ ($V_L + 0.3V$)
O1、SCK2、SDI2、 $\overline{CS2}$ 、	
SCL2 - GND2 間.....	-0.3V ~ ($V_{L2} + 0.3V$)

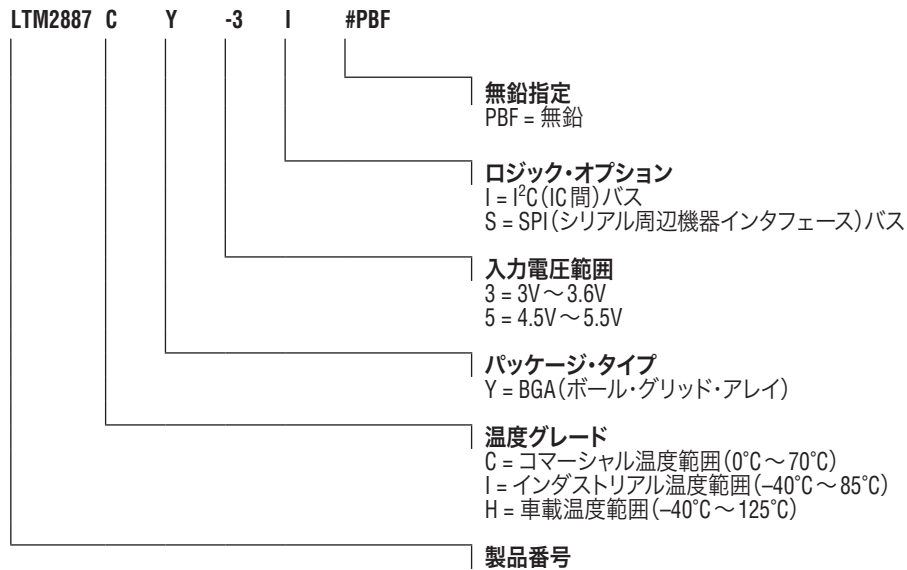
動作温度範囲 (Note 4)

LTM2887C.....	0°C ~ 70°C
LTM2887I.....	-40°C ~ 85°C
LTM2887H.....	-40°C ~ 125°C
最大内部動作温度.....	125°C
保存温度範囲.....	-55°C ~ 125°C
ピーク・ボディ・リフロー温度.....	245°C

ピン配置



製品選択ガイド

発注情報 <http://www.linear-tech.co.jp/product/LTM2887#orderinfo>

製品番号	パッド/ ボール仕上げ	製品マーキング		パッケージ・ タイプ	MSL レーティング	入力電圧範囲	ロジック・ オプション	温度範囲			
		デバイス	仕上げコード								
LTM2887CY-3I#PBF	SAC305 (RoHS)	LTM2887Y-3I	e1	BGA	3	3V to 3.6V	I ² C	0°C to 70°C			
LTM2887IY-3I#PBF								-40°C to 85°C			
LTM2887HY-3I#PBF								-40°C to 125°C			
LTM2887CY-3S#PBF							SPI	0°C to 70°C			
LTM2887IY-3S#PBF								-40°C to 85°C			
LTM2887HY-3S#PBF								-40°C to 125°C			
LTM2887CY-5I#PBF		LTM2887Y-5I				e1	BGA	3	4.5V to 5.5V	I ² C	0°C to 70°C
LTM2887IY-5I#PBF											-40°C to 85°C
LTM2887HY-5I#PBF											-40°C to 125°C
LTM2887CY-5S#PBF										SPI	0°C to 70°C
LTM2887IY-5S#PBF											-40°C to 85°C
LTM2887HY-5S#PBF											-40°C to 125°C

- デバイスの温度グレードは出荷時のコンテナのラベルで示してあります。
- パッドまたはボールの仕上げコードはIPC/JEDEC J-STD-609に準拠しています。
- 端子仕上げの製品マーキングの参照先: www.linear-tech.co.jp/leadfree
- この製品では、第2面のリフローは推奨していません。詳細については、www.linear-tech.co.jp/BGA-assyをご覧ください。
- 推奨のBGA PCBアセンブリ手順および製造手順についての参照先: www.linear-tech.co.jp/BGA-assy
- BGAパッケージおよびトレイの図面の参照先: www.linear-tech.co.jp/packaging
- この製品は水分の影響を受けやすくなっています。詳細についての参照先: www.linear-tech.co.jp/BGA-assy

LTM2887

電気的特性

● は規定された動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

注記がない限り、LTM2887-3 の $V_{CC} = 3.3\text{V}$ 、LTM2887-5 の $V_{CC} = 5\text{V}$ 、 $V_L = 3.3\text{V}$ 、および $\text{GND} = \text{GND2} = 0\text{V}$ 、 $\text{ON} = V_L$ 。

注記がない限り、規格値は全てのオプションに適用される。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
入力電源							
V_{CC}	Input Supply Range	LTM2887-3	●	3	3.3	3.6	V
		LTM2887-5	●	4.5	5	5.5	V
V_L	Logic Supply Range	LTM2887-S	●	1.62		5.5	V
		LTM2887-I	●	3	5	5.5	V
I_{CC}	Input Supply Current	$\text{ON} = 0\text{V}$	●		0	10	μA
		LTM2887-3, $\text{ON} = V_L$, No Load	●		25	30	mA
		LTM2887-5, $\text{ON} = V_L$, No Load	●		19	25	mA
I_L	Logic Supply Current	$\text{ON} = 0\text{V}$	●		0	10	μA
		LTM2887-S, $\text{ON} = V_L$			10		μA
		LTM2887-I, $\text{ON} = V_L$				150	μA
出力電源							
V_{CC2}	Regulated Output Voltage	No Load, AV_{CC2} Open	●	4.75	5	5.25	V
	Output Voltage Operating Range	(Note 2)		0.6		5.5	V
	Line Regulation	$I_{\text{LOAD}} = 1\text{mA}$, $\text{MIN} \leq V_{CC} \leq \text{MAX}$	●		1	6	mV
	Load Regulation	$I_{\text{LOAD}} = 1\text{mA}$ to 100mA	●		45	150	mV
	ADJ Pin Voltage	$I_{\text{LOAD}} = 1\text{mA}$ to 100mA	●	540	580	620	mV
	Voltage Ripple	$I_{\text{LOAD}} = 100\text{mA}$ (Note 2)			1		mV_{RMS}
	Efficiency	LTM2887-5, $I_{\text{LOAD}} = 100\text{mA}$ (Note 2)			62		%
I_{CC2}	Output Short Circuit Current	$V_{CC2} = 0\text{V}$, $\text{IV}_{CC2} = 0\text{V}$			200		mA
	Internal Current Limit	$\Delta V_{CC2} = -5\%$, $\text{IV}_{CC2} = 0\text{V}$	●	100			mA
	External Programmed Current Limit	$V_{CC2} = 5\text{V}$, $\text{R}(\text{IV}_{CC2}$ to $\text{GND2}) = 2.26\text{k}$ $V_{CC2} = 5\text{V}$, $\text{R}(\text{IV}_{CC2}$ to $\text{GND2}) = 1.5\text{k}$ $V_{CC2} = 5\text{V}$, $\text{R}(\text{IV}_{CC2}$ to $\text{GND2}) = 1.15\text{k}$	● ● ●	49 71 91	53 79 103	57 87 115	mA mA mA
V_{L2}	Regulated Output Voltage	No Load, AV_{L2} Open	●	4.75	5	5.25	V
	Output Voltage Operating Range	LTM2887-I (Note 2) LTM2887-S (Note 2)		3 1.8		5.5 5.5	V V
	Line Regulation	$I_{\text{LOAD}} = 1\text{mA}$, $\text{MIN} \leq V_{CC} \leq \text{MAX}$	●		0.25	3	mV
	Load Regulation	$I_{\text{LOAD}} = 1\text{mA}$ to 100mA	●		25	100	mV
	ADJ Pin Voltage	$I_{\text{LOAD}} = 1\text{mA}$ to 100mA	●	540	580	620	mV
	Voltage Ripple	$I_{\text{LOAD}} = 100\text{mA}$ (Note 2)			1		mV_{RMS}
	Efficiency	LTM2887-5, $I_{\text{LOAD}} = 100\text{mA}$ (Note 2)			62		%
I_{L2}	Output Short Circuit Current	$V_{L2} = 0\text{V}$, $\text{IV}_{L2} = 0\text{V}$			200		mA
	Current Limit	$\Delta V_{L2} = -5\%$, $\text{IV}_{L2} = 0\text{V}$	●	100			mA
	External Programmed Current Limit	$V_{L2} = 5\text{V}$, $\text{R}(\text{IV}_{L2}$ to $\text{GND2}) = 2.26\text{k}$ $V_{L2} = 5\text{V}$, $\text{R}(\text{IV}_{L2}$ to $\text{GND2}) = 1.5\text{k}$ $V_{L2} = 5\text{V}$, $\text{R}(\text{IV}_{L2}$ to $\text{GND2}) = 1.15\text{k}$	● ● ●	49 71 91	53 79 103	57 87 115	mA mA mA
ロジック/SPI							
V_{ITH}	Input Threshold Voltage	ON , DI1 , $\overline{\text{SDOE}}$, SCK , SDI , $\overline{\text{CS}} 1.62\text{V} \leq V_L < 2.35\text{V}$	●	$0.25 \cdot V_L$		$0.75 \cdot V_L$	V
		ON , DI1 , $\overline{\text{SDOE}}$, SCK , SDI , $\overline{\text{CS}} 2.35\text{V} \leq V_L$	●	$0.33 \cdot V_L$		$0.67 \cdot V_L$	V
		I1 , I2 , SDO2	●	$0.33 \cdot V_{L2}$		$0.67 \cdot V_{L2}$	V
I_{INL}	Input Current		●			± 1	μA

2887f

電气的特性

● は規定された動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、LTM2887-3 の $V_{CC} = 3.3\text{V}$ 、LTM2887-5 の $V_{CC} = 5\text{V}$ 、 $V_L = 3.3\text{V}$ 、および $\text{GND} = \text{GND2} = 0\text{V}$ 、 $\text{ON} = V_L$ 。

注記がない限り、規格値は全てのオプションに適用される。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{HYS}	Input Hysteresis			150		mV
V_{OH}	Output High Voltage	DO1, DO2, SDO $I_{LOAD} = -1\text{mA}$, $1.62\text{V} \leq V_L < 3\text{V}$ $I_{LOAD} = -4\text{mA}$, $3\text{V} \leq V_L \leq 5.5\text{V}$	●	$V_L - 0.4$		V
		O1, SCK2, SDI2, $\overline{\text{CS2}}$, $I_{LOAD} = -4\text{mA}$	●	$V_{L2} - 0.4$		V
V_{OL}	Output Low Voltage	DO1, DO2, SDO $I_{LOAD} = 1\text{mA}$, $1.62\text{V} \leq V_L < 3\text{V}$ $I_{LOAD} = 4\text{mA}$, $3\text{V} \leq V_L \leq 5.5\text{V}$	●		0.4	V
		O1, SCK2, SDI2, $\overline{\text{CS2}}$, $I_{LOAD} = 4\text{mA}$	●		0.4	V
I_{SC}	Short-Circuit Current	$0\text{V} \leq (\text{DO1, DO2, SDO}) \leq V_L$ $0\text{V} \leq (\text{O1, SCK2, SDI2, } \overline{\text{CS2}}) \leq V_{L2}$	●		± 85	mA
				± 60		mA
I²C						
V_{IL}	Low Level Input Voltage	SCL, SDA SDA2	● ●		$0.3 \cdot V_L$ $0.3 \cdot V_{L2}$	V V
V_{IH}	High Level Input Voltage	SCL, SDA SDA2	● ●	$0.7 \cdot V_L$ $0.7 \cdot V_{L2}$		V V
I_{INL}	Input Current	SCL, SDA = V_L or 0V SDA2 = V_{L2} , SDA2 = $V_{L2} = 0\text{V}$	● ●		± 1 ± 1	μA μA
V_{HYS}	Input Hysteresis	SCL, SDA SDA2		$0.05 \cdot V_L$ $0.05 \cdot V_{L2}$		mV mV
V_{OH}	Output High Voltage	SCL2, $I_{LOAD} = -2\text{mA}$ DO2, $I_{LOAD} = -2\text{mA}$	●	$V_{L2} - 0.4$ $V_L - 0.4$		V V
V_{OL}	Output Low Voltage	SDA, $I_{LOAD} = 3\text{mA}$ DO2, $I_{LOAD} = 2\text{mA}$ SCL2, $I_{LOAD} = 2\text{mA}$ SDA2, No Load, SDA = 0V , $4.5\text{V} \leq V_{L2} < 5.5\text{V}$ SDA2, No Load, SDA = 0V , $3\text{V} < V_{L2} < 4.5\text{V}$	● ● ● ● ●		0.4 0.4 0.4 0.45 0.55	V V V V V
C_{IN}	Input Pin Capacitance	SCL, SDA, SDA2 (Note 2)	●		10	pF
C_B	Bus Capacitive Load	SCL2, Standard Speed (Note 2) SCL2, Fast Speed SDA, SDA2, $\text{SR} \geq 1\text{V}/\mu\text{s}$, Standard Speed (Note 2) SDA, SDA2, $\text{SR} \geq 1\text{V}/\mu\text{s}$, Fast Speed	● ● ● ●		400 200 400 200	pF pF pF pF
	Minimum Bus Slew Rate	SDA, SDA2	●	1		V/ μs
I_{SC}	Short-Circuit Current	SDA2 = 0, SDA = V_L $0\text{V} \leq \text{SCL2} \leq V_{L2}$ $0\text{V} \leq \text{DO2} \leq V_L$ SDA = 0, SDA2 = V_{L2} SDA = V_L , SDA2 = 0	●		100	mA
				± 30 ± 30 6 -1.8		mA mA mA mA
ESD (人体モデル) (Note 2)						
	Isolation Boundary	(V_{CC2} , V_{L2} , GND2) to (V_{CC} , V_L , GND)			± 10	kV

LTM2887

スイッチング特性

●は規定された動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

注記がない限り、LTM2887-3の $V_{CC} = 3.3\text{V}$ 、LTM2887-5の $V_{CC} = 5\text{V}$ 、 $V_L = 3.3\text{V}$ 、および $\text{GND} = \text{GND2} = 0\text{V}$ 、 $\text{ON} = V_L$ 。

注記がない限り、規格値は全てのオプションに適用される。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
ロジック							
	Maximum Data Rate	DI1 → O1, Ix → DOx, $C_L = 15\text{pF}$ (Note 3)	●	10			MHz
t_{PHL} , t_{PLH}	Propagation Delay	$C_L = 15\text{pF}$ (Figure 1)	●	35	60	100	ns
t_R	Rise Time	$C_L = 15\text{pF}$ (Figure 1) LTM2887-I, DO2, $C_L = 15\text{pF}$ (Figure 1)	● ●		3 20	12.5 35	ns ns
t_F	Fall Time	$C_L = 15\text{pF}$ (Figure 1) LTM2887-I, DO2, $C_L = 15\text{pF}$ (Figure 1)	● ●		3 20	12.5 35	ns ns
SPI							
	Maximum Data Rate	Bidirectional Communication (Note 3) Unidirectional Communication (Note 3)	● ●	4 8			MHz MHz
t_{PHL} , t_{PLH}	Propagation Delay	$C_L = 15\text{pF}$ (Figure 1)	●	35	60	100	ns
t_{PWU}	Output Pulse Width Uncertainty	SDO, SDI2, $\overline{\text{CS}}2$ (Note 2)		-20		50	ns
t_R	Rise Time	$C_L = 15\text{pF}$ (Figure 1)	●		3	12.5	ns
t_F	Fall Time	$C_L = 15\text{pF}$ (Figure 1)	●		3	12.5	ns
t_{PZH} , t_{PZL}	Output Enable Time	$\text{SDOE} = \downarrow$, $R_L = 1\text{k}\Omega$, $C_L = 15\text{pF}$ (Figure 2)	●			50	ns
t_{PHZ} , t_{PLZ}	Output Disable Time	$\text{SDOE} = \uparrow$, $R_L = 1\text{k}\Omega$, $C_L = 15\text{pF}$ (Figure 2)	●			50	ns
I²C							
	Maximum Data Rate	(Note 3)	●	400			kHz
t_{PHL} , t_{PLH}	Propagation Delay	SCL → SCL2, $C_L = 15\text{pF}$ (Figure 1) SDA → SDA2, $R_L = \text{Open}$, $C_L = 15\text{pF}$ (Figure 3) SDA2 → SDA, $R_L = 1.1\text{k}\Omega$, $C_L = 15\text{pF}$ (Figure 3)	● ● ●		150 150 300	225 250 500	ns ns ns
t_{PWU}	Output Pulse Width Uncertainty	SDA, SDA2 (Note 2)		-20		50	ns
$t_{HD, DAT}$	Data Hold Time	(Note 2)			600		ns
t_R	Rise Time	SDA2, $C_L = 200\text{pF}$ (Figure 3) SDA, $R_L = 1.1\text{k}\Omega$, $C_L = 200\text{pF}$ (Figure 3) SCL2, $C_L = 200\text{pF}$ (Figure 1)	● ● ●	40 40		300 250 250	ns ns ns
t_F	Fall Time	SDA2, $C_L = 200\text{pF}$ (Figure 3) SDA, $R_L = 1.1\text{k}\Omega$, $C_L = 200\text{pF}$ (Figure 3) SCL2, $C_L = 200\text{pF}$ (Figure 1)	● ● ●	40 40		250 250 250	ns ns ns
t_{SP}	Pulse Width of Spikes Suppressed by Input Filter		●	0		50	ns
電源							
	Power-Up Time	$\text{ON} = \uparrow$ to V_{CC2} (Min) $\text{ON} = \uparrow$ to V_{L2} (Min)	● ●		3 3	5 5	ms ms

絶縁特性 $T_A = 25^\circ\text{C}$.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V _{ISO}	Rated Dielectric Insulation Voltage	1 Minute, Derived from 1 Second Test 1 Second (Notes 5, 6)	2500 3000			V _{RMS} V _{RMS}
	Common Mode Transient Immunity	LTM2887-3 V _{CC} = 3.3V, LTM2887-5 V _{CC} = 5V, V _L = ON = 3.3V, V _{CM} = 1kV, Δt = 33ns (Note 2)	30			kV/μs
V _{IORM}	Maximum Continuous Working Voltage	(Notes 2, 5)	560 400			V _{PEAK} , V _{DC} V _{RMS}
	Partial Discharge	V _{PD} = 750V _{RMS} (Note 5)			5	pC
	Input to Output Resistance	(Notes 2, 5)	10 ⁹			Ω
CTI	Comparative Tracking Index	IEC 60112 (Note 2)	600			V _{RMS}
	Depth of Erosion	IEC 60112 (Note 2)		0.017		mm
DTI	Distance Through Insulation	(Note 2)		0.06		mm
	Input to Output Capacitance	(Notes 2, 5)		6		pF
	Creepage Distance	(Note 2)		9.5		mm

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: 設計によって保証されており、製造時のテストは行われず。

Note 3: 最大データレートは他の測定されたパラメータによって保証されており、直接にはテストされていない。

Note 4: このモジュールには短時間の過負荷状態の間デバイスを保護するための過熱保護機能が備わっている。過熱保護機能が動作しているとき接合部温度は125°Cを超える。規定された最大動作接合部温度を超えた動作が継続すると、デバイスの劣化または故障が生じる恐れがある。

Note 5: デバイスは2端子のデバイスとみなされる。A1からB8までのピン・グループを互いに接続し、K1からL8までのピン・グループを互いに接続する。

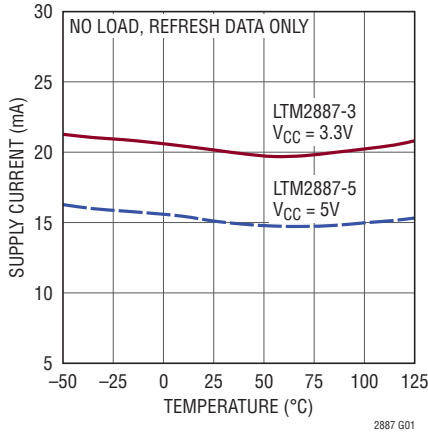
Note 6: 誘電体絶縁定格電圧は連続定格電圧と解釈してはならない。

LTM2887

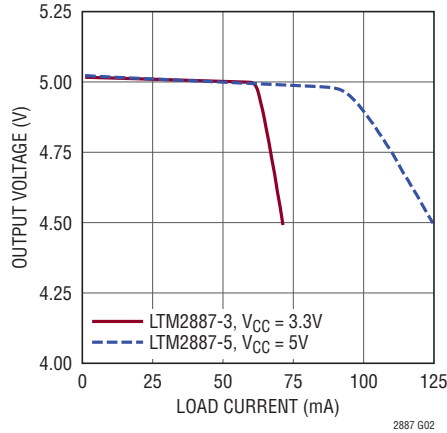
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、LTM2887-3の $V_{CC} = 3.3\text{V}$ 、LTM2887-5の $V_{CC} = 5\text{V}$ 、 $V_L = 3.3\text{V}$ 、 $\text{GND} = \text{GND2} = 0\text{V}$ 、 $\text{ON} = V_L$ 。

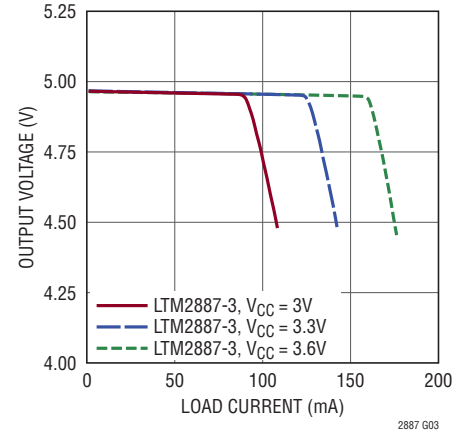
V_{CC} の電源電流と温度



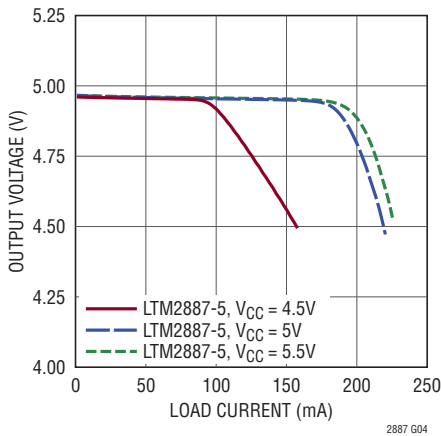
V_{CC2} および V_{L2} の電圧と同じ
負荷電流



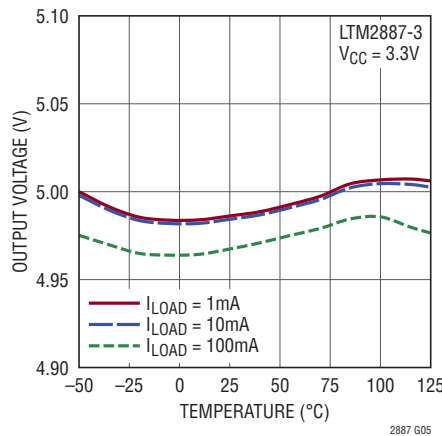
V_{CC2} または V_{L2} 出力電圧と
入力電圧および負荷電流



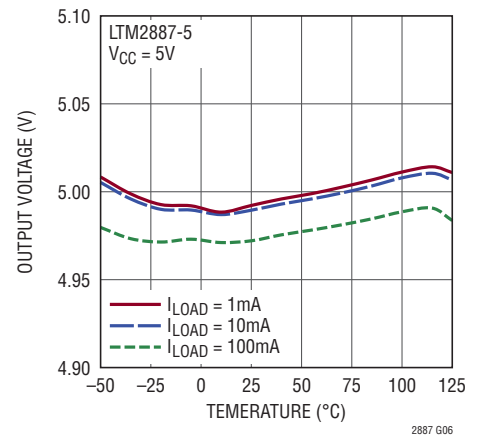
V_{CC2} または V_{L2} 出力電圧と
入力電圧および負荷電流



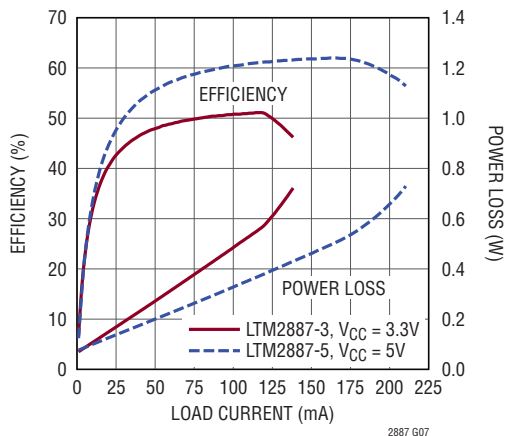
V_{CC2} または V_{L2} の
負荷レギュレーションと温度



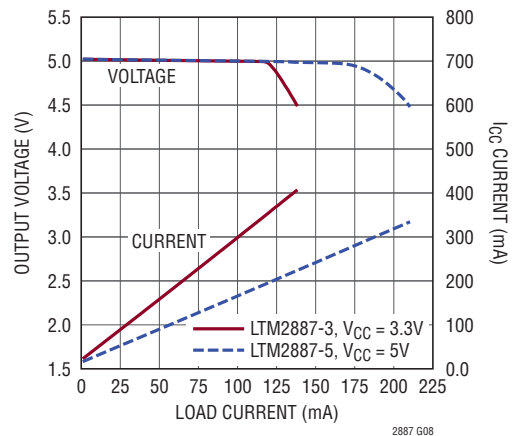
V_{CC2} または V_{L2} の
負荷レギュレーションと温度



V_{CC2} または V_{L2} の効率



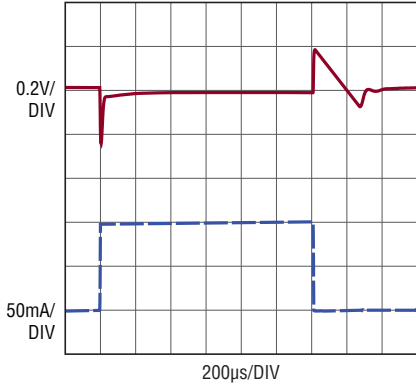
V_{CC2} または V_{L2} の電圧および
 V_{CC} 入力電流と負荷電流



標準的性能特性

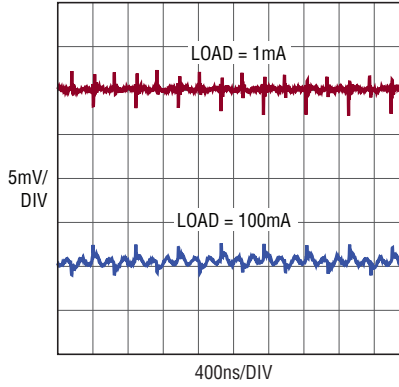
注記がない限り、 $T_A = 25^\circ\text{C}$ 、LTM2887-3の $V_{CC} = 3.3\text{V}$ 、LTM2887-5の $V_{CC} = 5\text{V}$ 、 $V_L = 3.3\text{V}$ 、 $\text{GND} = \text{GND2} = 0\text{V}$ 、 $\text{ON} = V_L$ 。

V_{CC2} または V_{L2} のトランジェント
応答 100mA の負荷ステップ時



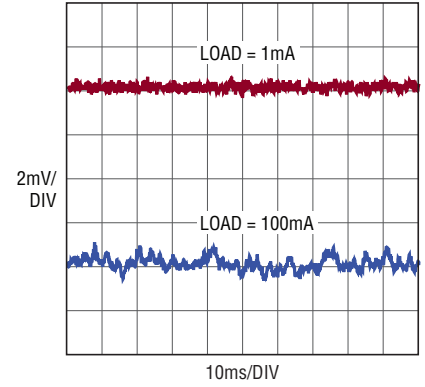
2887 G09

V_{CC2} または V_{L2} のリップル



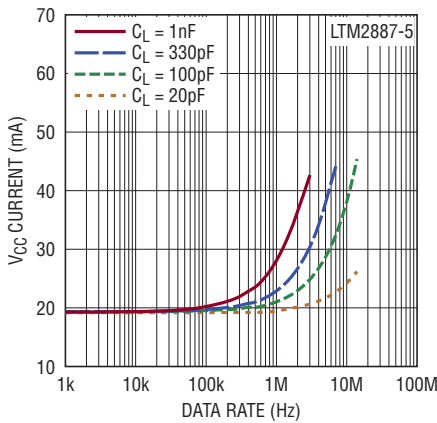
2887 G10

V_{CC2} または V_{L2} のノイズ



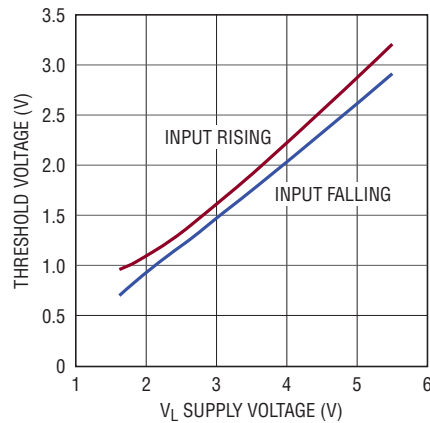
2887 G11

V_{CC} の電源電流と単一チャネルの
データレート



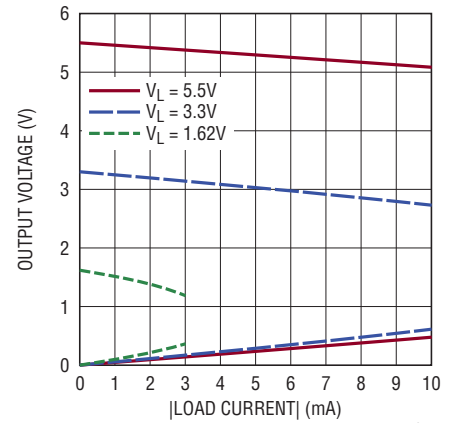
2887 G12

ロジック入力しきい値と V_L の
電源電圧



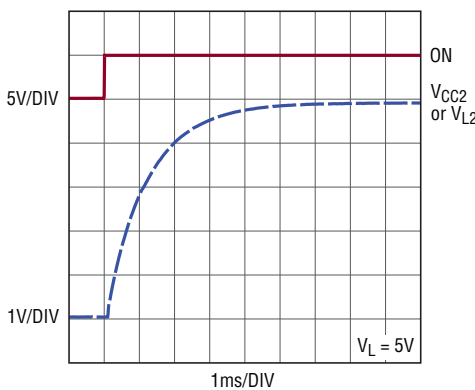
2887 G13

ロジック出力電圧と負荷電流



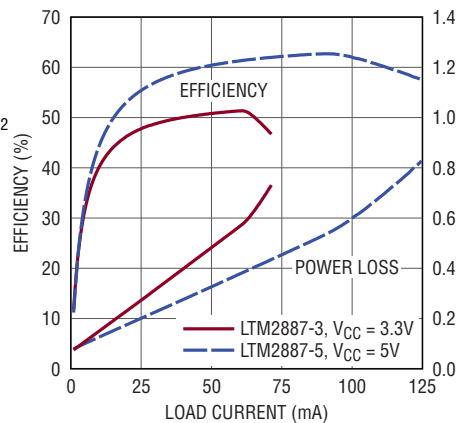
2887 G14

電源投入時のシーケンス



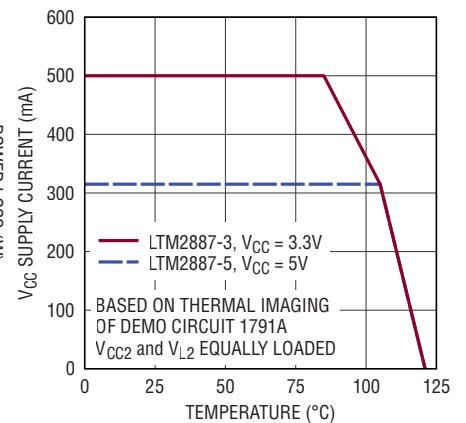
2887 G15

同じ負荷電流での V_{CC2} および
 V_{L2} の効率



2887 G16

最大内部動作温度 125°C の
ディレーティング



2887 G17

ピン機能

LTM2887-Iのロジック・サイド

DO2 (A1) : デジタル出力ピン。基準となる電位は V_L ピンの電圧および GND。絶縁障壁を介して I2 ピンに接続されるロジック出力。絶縁通信障害の状態では、この出力は高インピーダンス状態になります。

DNC (A2) : 接続しないでください。このピンは内部で接続されています。

SCL (A3) : シリアル I²C クロック入力ピン。基準となる電位は V_L ピンの電圧および GND。絶縁障壁を介して絶縁サイドの SCL2 ピンに接続されるロジック入力。クロックはロジック・サイドから絶縁サイドへの片方向の信号です。フロート状態にしないでください。

SDA (A4) : シリアル I²C データ・ピン。基準となる電位は V_L ピンの電圧および GND。絶縁障壁を介して絶縁サイドの SDA2 ピンに接続される双方向ロジック・ピン。絶縁通信障害の状態では、このピンは高インピーダンス状態になります。フロート状態にしないでください。

DI1 (A5) : デジタル入力ピン。基準となる電位は V_L ピンの電圧および GND。絶縁障壁を介して O1 ピンに接続されるロジック入力。DI1 ピンのロジック状態は、O1 ピンと同じロジック状態に変換されます。フロート状態にしないでください。

GND (A6, B2 ~ B6) : 回路のグラウンド。

ON (A7) : イネーブル・ピン。基準となる電位は V_L ピンおよび GND ピンの電圧。絶縁障壁を介して電源供給およびデータ通信をイネーブルします。ON ピンが“H”になるとデバイスがイネーブルされ、電源および通信が絶縁サイドで動作可能になります。ON ピンが“L”になるとロジック・サイドがリセット状態に保持され、全てのデジタル出力が高インピーダンス状態になり、絶縁サイドに電源が供給されなくなります。フロート状態にしないでください。

V_L (A8) : ロジック電源ピン。DI1、SCL、SDA、DO1、DO2、ON ピンのインタフェース電源電圧。動作電圧は 1.62V ~ 5.5V です。1 μ F のコンデンサにより、内部でバイパスされています。

DO1 (B1) : デジタル出力ピン。基準となる電位は V_L ピンの電圧および GND。絶縁障壁を介して I1 ピンに接続されるロジック出力。絶縁通信障害の状態では、この出力は高インピーダンス状態になります。

V_{CC} (B7 ~ B8) : 電源電圧。動作電圧は、LTM2887-3 の場合は 3V ~ 3.6V で、LTM2887-5 の場合は 4.5V ~ 5.5V です。2.2 μ F のコンデンサにより、内部でバイパスされています。

LTM2887-Iの絶縁サイド

I2 (L1) : デジタル入力ピン。基準となる電位は V_{L2} ピンの電圧および GND2。絶縁障壁を介して DO2 ピンに接続されるロジック入力。I2 ピンのロジック状態は、DO2 ピンと同じロジック状態に変換されます。フロート状態にしないでください。

DNC (L2) : 接続しないでください。このピンは内部で接続されています。

SCL2 (L3) : シリアル I²C クロック出力ピン。基準となる電位は V_{L2} ピンおよび GND2 ピンの電圧。絶縁障壁を介してロジック・サイドの SCL ピンに接続されるロジック出力。クロックはロジック・サイドから絶縁サイドへの片方向の信号です。SCL2 ピンにはプッシュプル出力段があるので、外付けのプルアップ・デバイスには接続しないでください。絶縁通信障害の状態では、この出力はデフォルトで“H”状態になります。

SDA2 (L4) : シリアル I²C データ・ピン。基準となる電位は V_{L2} ピンの電圧および GND2。絶縁障壁を介してロジック・サイドの SDA ピンに接続される双方向ロジック・ピン。出力は 1.8mA の電流源によって“H”にバイアスされます。SDA2 ピンには外付けのプルアップ・デバイスを接続しないでください。絶縁通信障害の状態では、この出力はデフォルトで“H”状態になります。

O1 (L5) : デジタル出力ピン。基準となる電位は V_{L2} ピンの電圧および GND2。絶縁障壁を介して DI1 ピンに接続されるロジック出力。絶縁通信障害の状態では、O1 ピンはデフォルトで“H”状態になります。

V_{L2} (L6) : 3V ~ 5.5V の調整可能な絶縁された電源電圧。絶縁型 DC/DC コンバータによって V_{CC} を基に内部で生成され、外付け部品なしで 5V に安定化されます。4.7 μ F のコンデンサにより、内部でバイパスされています。

IV_{CC2} (L7) : V_{CC2} の高精度電流制限調整ピン。 IV_{CC2} と GND2 の間に抵抗を接続することによって、電流制限しきい値が設定されます。電流制限抵抗値の設定方法の詳細については、「アプリケーション情報」のセクションを参照してください。使用しない場合、 IV_{CC2} ピンは GND2 に接続してください。10nF のコンデンサにより、内部でバイパスされています。

V_{CC2} (L8) : 0.6V ~ 5.5V の調整可能な絶縁された電源電圧。絶縁型 DC/DC コンバータによって V_{CC} を基に内部で生成され、外付け部品なしで 5V に安定化されます。4.7 μ F のコンデンサにより、内部でバイパスされています。

I1 (K1) : デジタル入力ピン。基準となる電位は V_{L2} ピンの電圧および GND2。絶縁障壁を介して DO1 ピンに接続されるロジック入力。I1 ピンのロジック状態は、DO1 ピンと同じロジック状態に変換されます。フロート状態にしないでください。

GND2 (K2 ~ K5) : 絶縁サイドのグラウンド。

ピン機能

LTM2887-Iの絶縁サイド

AV_{L2} (K6) : 公称5Vの絶縁された電源電圧調整ピン。調整ピンの電圧はGND2を基準にして600mVです。詳細については、「アプリケーション情報」のセクションを参照してください。

IV_{L2} (K7) : V_{L2}の高精度電流制限調整ピン。IV_{L2}とGND2の間に抵抗を接続することによって、電流制限しきい値が設定されます。電流制限抵抗値の設定方法の詳細については、「アプリケーション情報」のセクションを参照してください。使用しない場合、IV_{L2}ピンはGND2に接続してください。10nFのコンデンサにより、内部でバイパスされています。

AV_{CC2} (K8) : 公称5Vの絶縁された電源電圧調整ピン。調整ピンの電圧はGND2を基準にして600mVです。詳細については、「アプリケーション情報」のセクションを参照してください。

LTM2887-Sのロジック・サイド

SDO (A1) : シリアルSPIのデジタル出力ピン。基準となる電位はV_Lピンの電圧およびGND。絶縁障壁を介して絶縁サイドのSDO2ピンに接続されるロジック出力。絶縁通信障害の状態では、この出力は高インピーダンス状態になります。

DO2 (A2) : デジタル出力ピン。基準となる電位はV_Lピンの電圧およびGND。絶縁障壁を介してI2ピンに接続されるロジック出力。絶縁通信障害の状態では、この出力は高インピーダンス状態になります。

SCK (A3) : シリアルSPIのクロック入力ピン。基準となる電位はV_Lピンの電圧およびGND。絶縁障壁を介して絶縁サイドのSCK2ピンに接続されるロジック入力。フロート状態にしないでください。

SDI (A4) : シリアルSPIのデータ入力ピン。基準となる電位はV_Lピンの電圧およびGND。絶縁障壁を介して絶縁サイドのSDI2ピンに接続されるロジック入力。フロート状態にしないでください。

CS (A5) : シリアルSPIのチップ選択ピン。基準となる電位はV_Lピンの電圧およびGND。絶縁障壁を介して絶縁サイドのCS2ピンに接続されるロジック入力。フロート状態にしないでください。

SDOE (A6) : シリアルSPIのデータ出力イネーブル・ピン。基準となる電位はV_Lピンの電圧およびGND。SDOEピンがロジック“H”になると、ロジック・サイドのSDOピンは高インピーダンス状態になり、ロジック“L”になると出力はイネーブルされます。フロート状態にしないでください。

ON (A7) : イネーブル・ピン。基準となる電位はV_LピンおよびGNDピンの電圧。絶縁障壁を介して電源供給およびデータ通信をイネーブルします。ONピンが“H”になるとデバイスがイ

ネーブルされ、電源および通信が絶縁サイドで動作可能になります。ONピンが“L”になるとロジック・サイドがリセット状態に保持され、全てのデジタル出力が高インピーダンス状態になり、絶縁サイドに電源が供給されなくなります。フロート状態にしないでください。

V_L (A8) : ロジック電源ピン。SDI、SCK、SDO、DO1、DO2、CS、ONピンのインタフェース電源電圧。動作電圧は1.62V～5.5Vです。1μFのコンデンサにより、内部でバイパスされています。

DO1 (B1) : デジタル出力ピン。基準となる電位はV_Lピンの電圧およびGND。絶縁障壁を介してI1ピンに接続されるロジック出力。絶縁通信障害の状態では、この出力は高インピーダンス状態になります。

GND (B2～B6) : 回路のグラウンド。

V_{CC} (B7～B8) : 電源電圧。動作電圧は、LTM2887-3の場合は3V～3.6Vで、LTM2887-5の場合は4.5V～5.5Vです。2.2μFのコンデンサにより、内部でバイパスされています。

LTM2887-Sの絶縁サイド

SDO2 (L1) : シリアルSPIのデジタル入力ピン。基準となる電位はV_{L2}ピンの電圧およびGND2。絶縁障壁を介してロジック・サイドのSDOピンに接続されるロジック入力。フロート状態にしないでください。

I2 (L2) : デジタル入力ピン。基準となる電位はV_{L2}ピンの電圧およびGND2。絶縁障壁を介してDO2ピンに接続されるロジック入力。I2ピンのロジック状態は、DO2ピンと同じロジック状態に変換されます。フロート状態にしないでください。

SCK2 (L3) : シリアルSPIのクロック出力ピン。基準となる電位はV_{L2}ピンの電圧およびGND2。絶縁障壁を介してロジック・サイドのSCKピンに接続されるロジック出力。絶縁通信障害の状態では、この出力はデフォルトで“L”状態になります。

SDI2 (L4) : シリアルSPIのデータ出力ピン。基準となる電位はV_{L2}ピンの電圧およびGND2。絶縁障壁を介してロジック・サイドのSDIピンに接続されるロジック出力。絶縁通信障害の状態では、この出力はデフォルトで“L”状態になります。

CS2 (L5) : シリアルSPIのチップ選択ピン。基準となる電位はV_{L2}ピンの電圧およびGND2。絶縁障壁を介してロジック・サイドのCSピンに接続されるロジック出力。絶縁通信障害の状態では、この出力はデフォルトで“H”状態になります。

V_{L2} (L6) : 1.8V～5.5Vの調整可能な絶縁された電源電圧。絶縁型DC/DCコンバータによってV_{CC}を基に内部で生成され、外付け部品なしで5Vに安定化されます。4.7μFのコンデンサにより、内部でバイパスされています。

LTM2887

ピン機能

LTM2887-Sの絶縁サイド

IV_{CC2} (L7) : V_{CC2}の高精度電流制限調整ピン。IV_{CC2}とGND2の間に抵抗を接続することによって、電流制限しきい値が設定されます。電流制限抵抗値の設定方法の詳細については、「アプリケーション情報」のセクションを参照してください。使用しない場合、IV_{CC2}ピンはGND2に接続してください。10nFのコンデンサにより、内部でバイパスされています。

V_{CC2} (L8) : 0.6V～5.5Vの調整可能な絶縁された電源電圧。絶縁型DC/DCコンバータによってV_{CC}を基に内部で生成され、外付け部品なしで5Vに安定化されます。4.7μFのコンデンサにより、内部でバイパスされています。

I1 (K1) : デジタル入力ピン。基準となる電位はV_{L2}ピンの電圧およびGND2。絶縁障壁を介してDO1ピンに接続されるロジック入力。I1ピンのロジック状態は、DO1ピンと同じロジック状態に変換されます。フロート状態にしないでください。

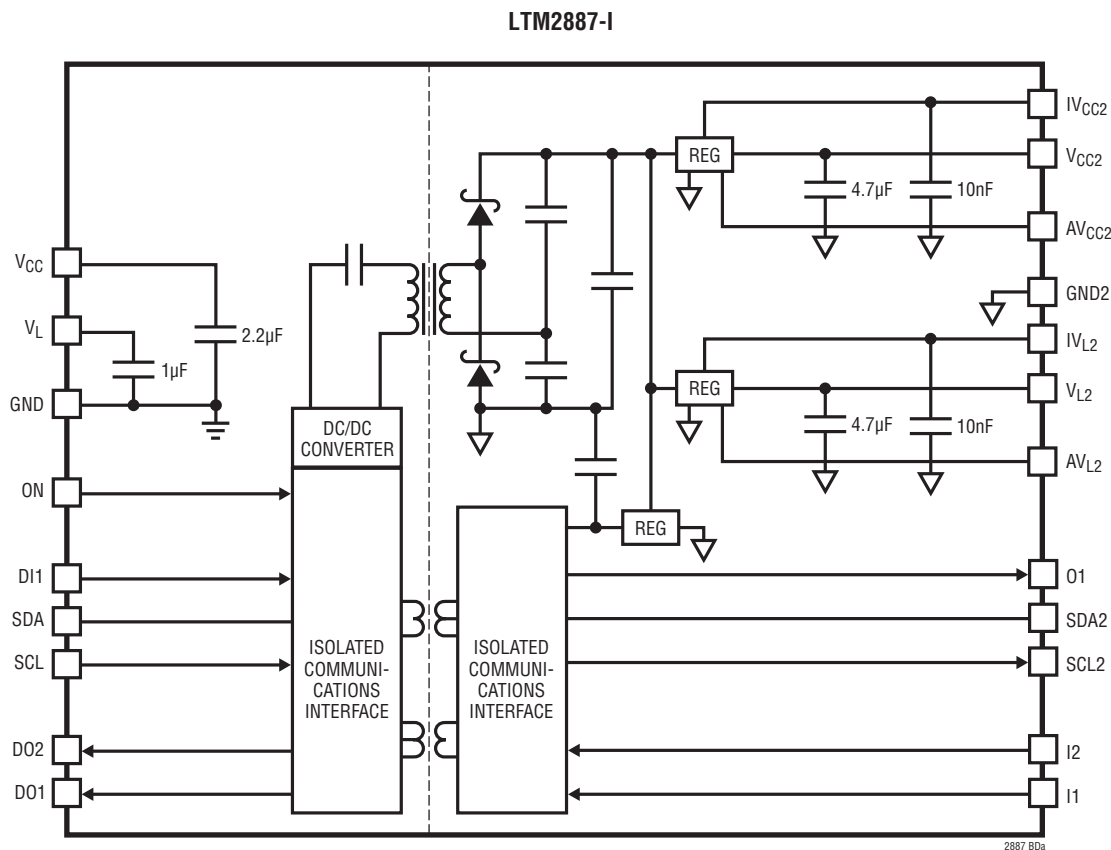
GND2 (K2～K5) : 絶縁サイドのグラウンド。

AV_{L2} (K6) : 公称5Vの絶縁された電源電圧調整ピン。調整ピンの電圧はGND2を基準にして600mVです。詳細については、「アプリケーション情報」のセクションを参照してください。

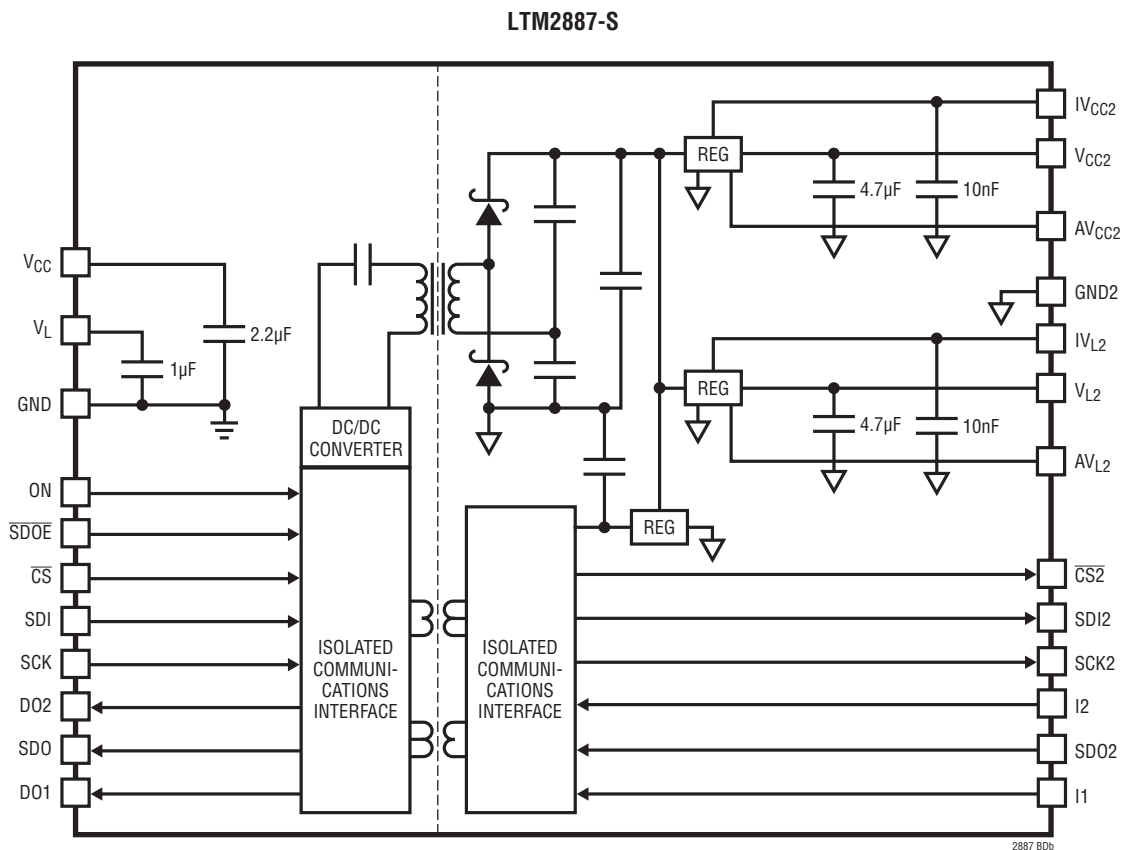
IV_{L2} (K7) : V_{L2}の高精度電流制限調整ピン。IV_{L2}とGND2の間に抵抗を接続することによって、電流制限しきい値が設定されます。電流制限抵抗値の設定方法の詳細については、「アプリケーション情報」のセクションを参照してください。使用しない場合、IV_{L2}ピンはGND2に接続してください。10nFのコンデンサにより、内部でバイパスされています。

AV_{CC2} (K8) : 公称5Vの絶縁された電源電圧調整ピン。調整ピンの電圧はGND2を基準にして600mVです。詳細については、「アプリケーション情報」のセクションを参照してください。

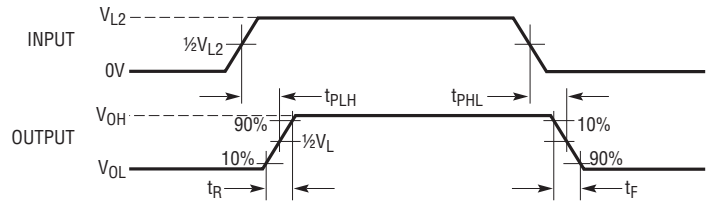
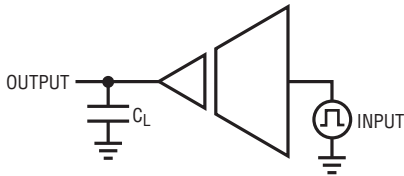
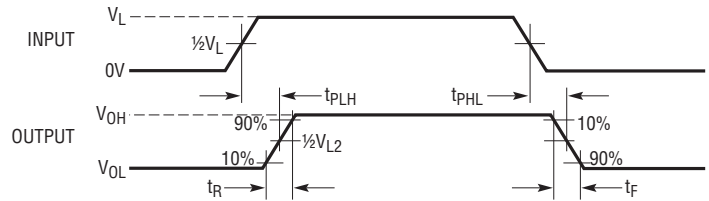
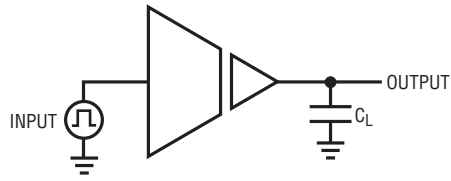
ブロック図



ブロック図

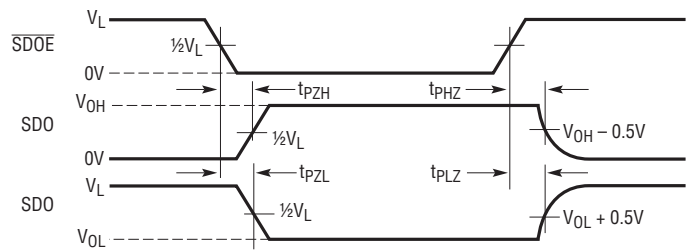
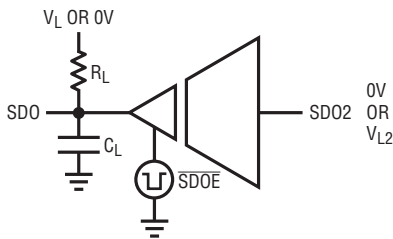


テスト回路



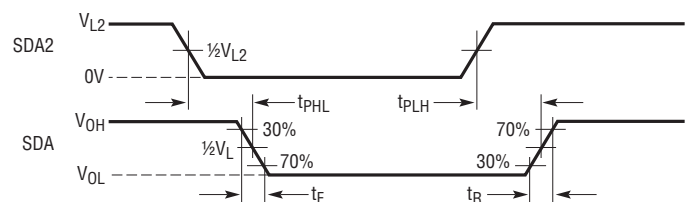
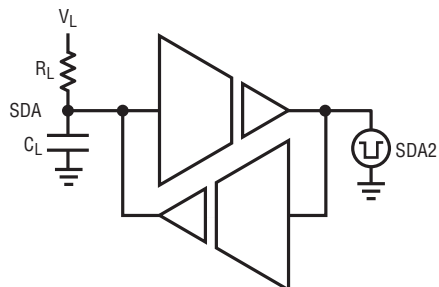
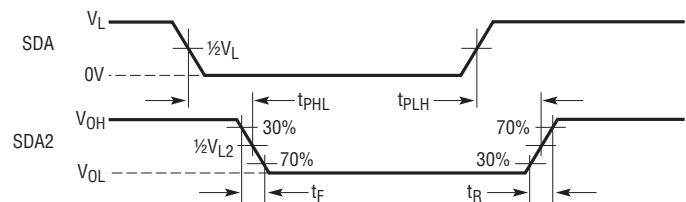
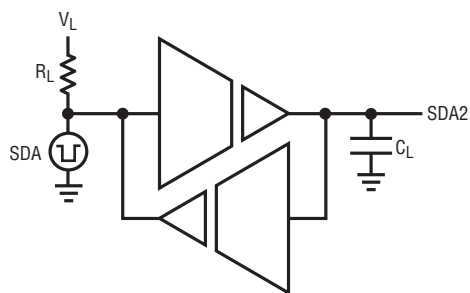
2887 F01

図1. ロジックのタイミング測定



2887 F02

図2. ロジックのイネーブル/ディスエーブル時間



2887 F03

図3. I²Cのタイミング測定

アプリケーション情報

概要

LTM2887 デジタル μ Module アイソレータは、ガルバニック絶縁された堅牢なロジック・インタフェースを実現します。このインタフェースは、内蔵の安定化 DC/DC コンバータによって電力が供給され、デカップリング・コンデンサを備えています。LTM2887 は、グラウンドの電位が異なる場合がある複数の回路網で使用するのに最適です。LTM2887 内での絶縁により、高い電圧差が遮断され、グラウンド・ループが取り除かれます。また、グラウンド・プレーン間での同相トランジェントに対する耐性がきわめて高くなります。30kV/ μ s より大きい同相事象が発生しても誤りのない動作が維持されるので、優れたノイズ絶縁性能を実現します。

アイソレータ μ Module 技術

LTM2887 は、アイソレータ μ Module 技術を使用して、絶縁障壁を越えて信号および電力を変換します。障壁のどちらの側の信号もパルスに符号化され、 μ Module 基板内に形成された空芯型トランスにより、絶縁境界を越えて変換されます。このシステムは、データ・リフレッシュ機能、障害発生時の安全なシャットダウン機能、きわめて高い同相信号除去特性を備えているので、信号を双方向で絶縁するための堅牢なソリューションを実現します。 μ Module 技術により、絶縁された信号処理と、複数のレギュレータおよび強力な絶縁型 DC/DC コンバータを1つの小型パッケージに集約する手段が得られます。

DC/DC コンバータ

LTM2887 は、完全に集積化された DC/DC コンバータをトランスを含めて内蔵しているので、外付け部品は必要ありません。ロジック・サイドには、1.6MHz で動作するフルブリッジ・ドライバがあり、1個のトランスの1次側に AC 結合されています。直列の DC 阻止コンデンサにより、ドライバのデューティ・サイクルに偏りが生じてトランスは飽和しません。1次側の電圧はトランスによって調整され、全波倍電圧整流回路によって整流されます。この回路構成では、中間タップ付きの全波ブリッジの場合と同様にダイオード1個分の電圧降下を考慮に入れており、2次側での不均衡に起因するトランスの飽和が発生しません。

3つの低ドロップアウト・レギュレータ (LDO) は、電圧ダブラの出力に接続されます。1つの LDO は内部回路に電力を供給し、外部では使用できません。他の2つの LDO は、 V_{CC2} 出力および V_{L2} 出力に、安定化された公称 5V を供給します。 V_{L2} は、絶縁されたロジック・ピンの電圧レベルに対応します。

内部電源ソリューションは、 V_{CC2} および V_{L2} から 100mA 以上の電流を供給するのに十分な性能を持っています。 V_{CC} は、

2.2 μ F を使用してバイパスされ、 V_{CC2} および V_{L2} は、それぞれ 4.7 μ F を使用してバイパスされています。

V_L ロジック電源

ロジック電源ピン V_L は独立しているので、LTM2887 は、図4に示すように 1.62V ~ 5.5V のロジック信号とのインタフェースが可能です。所望のロジック電源を V_L にそのまま接続してください。

V_{CC} と V_L の間に相互依存性はありません。規定の動作範囲内であれば任意の電圧で同時に動作可能であり、任意の順序で順序付けが可能です。 V_L は 1 μ F のコンデンサにより、内部でバイパスされています。

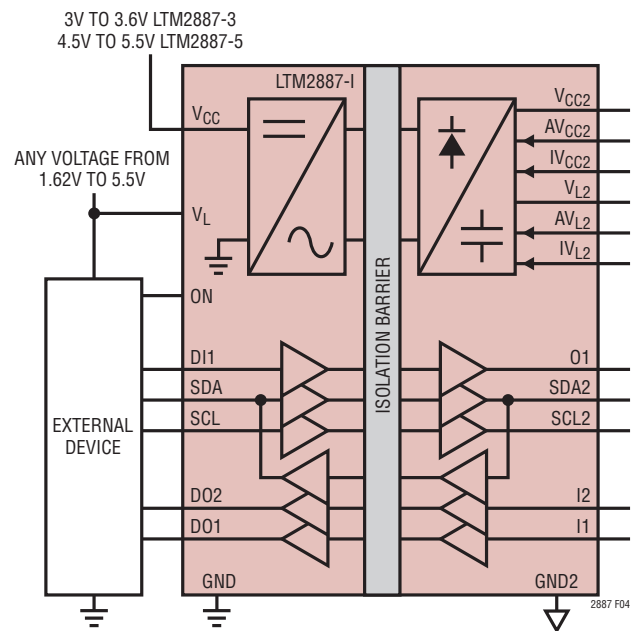


図4. V_{CC} と V_L は無関係

安全な活線挿入

LTM2887 はセラミックのデカップリング・コンデンサを内蔵しているので、LTM2887 の電源 (V_{CC} または V_L) に対して電源のプラグ接続が行われるアプリケーションでは注意が必要です。ケーブルの寄生インダクタンスとセラミック・コンデンサの高い Q 特性の組み合わせにより、最大定格電圧を超える可能性があるかなりのリングングが発生して、LTM2887 を損傷する場合があります。この現象の詳細および軽減方法については、リニアテクノロジーのアプリケーションノート 88「セラミック入力コンデンサによって生じる過電圧トランジェント」を参照してください。

アプリケーション情報

絶縁型電源の電圧調整動作

2つの絶縁された電源レールは、外付け抵抗分割器を接続することによって調整できます。未調整の出力電圧は、保証性能の最大値を表します。 $V_{CC2} = 3.3V$ および $V_{L2} = 2.5V$ の出力電源レールの構成を図5に示します。

V_{CC2} の出力電圧調整範囲は0.6V～5.5Vです。出力電圧は、次式によって計算できます。

$$V_{CC2} = 0.6V(1 + R2/R1)$$

V_{L2} の調整範囲は、LTM2887-Iの場合で3V～5.5V、LTM2887-Sの場合で1.8V～5.5Vです。出力電圧は、次式によって計算できます。

$$V_{L2} = 0.6V(1 + R5/R4)$$

調整ピンのバイアス電流および内部分圧器によって生じる出力電圧の誤差を最小限に抑えるため、 $R1$ または $R4$ の値は6.04kΩ以下にします。

低い出力電圧で動作させると、低ドロップアウト・レギュレータの電力損失が原因でサーマル・シャットダウン状態になる恐れがあります。

絶縁された電源の設定可能な電流制限

IV_{CC2} ピンおよび IV_{L2} ピンを使用して、 V_{CC2} および V_{L2} から使用可能な最大電流をそれぞれ設定できます。電流調整機能を使用して最大出力電力を制限し、一方の電圧レール

にその能力を超える負荷が加えられた場合に、もう一方の電圧レールの電圧が低下しないことを保証できます。電流制限しきい値(I_{LIMIT})は、 IV_{CC2} または IV_{L2} からGND2に抵抗(R_{IMAX})を接続することにより、次のように設定されます。

$$R_{IMAX} = [119.22 - (0.894 \cdot (V_{CC2}, V_{L2}))] / I_{LIMIT}$$

抵抗値を設定する場合のこの式の精度は、約±1%です。値の単位は、アンペア、ボルト、およびオームです。図5に、 V_{CC2} に対して75mAおよび V_{L2} に対して25mAに設定された電流制限を示します。外部設定可能な電流制限が不要な場合は、 IV_{CC2} ピンまたは IV_{L2} ピンをGND2に接続する必要があります。電流制限ピンは、10nFのコンデンサを使用して内部でデカップリングされています。

チャンネルのタイミングの不確実性

入力および出力の符号化および復号化により、複数のチャンネルが絶縁障壁にまたがってサポートされます。各方向で最大3つの信号がパケットとして組み立てられ、絶縁障壁を越えて伝送されます。3ビット全ての伝送に必要な時間は最大100nsなので、障壁の反対側で信号を変更できる頻度には制限が設定されます。符号化伝送は、各データの方向には関係ありません。採用されている技法では、関連の出力チャンネルにジッタが発生せず、遅延のみとなるように、ロジック・サイドではSCKまたはSCLに、絶縁サイドではSDO2またはI2に、それぞれ最高の優先度が割り当てられます。この占有権割り当て方式により、他方の絶縁チャンネルに一定量の不確実性が生じ

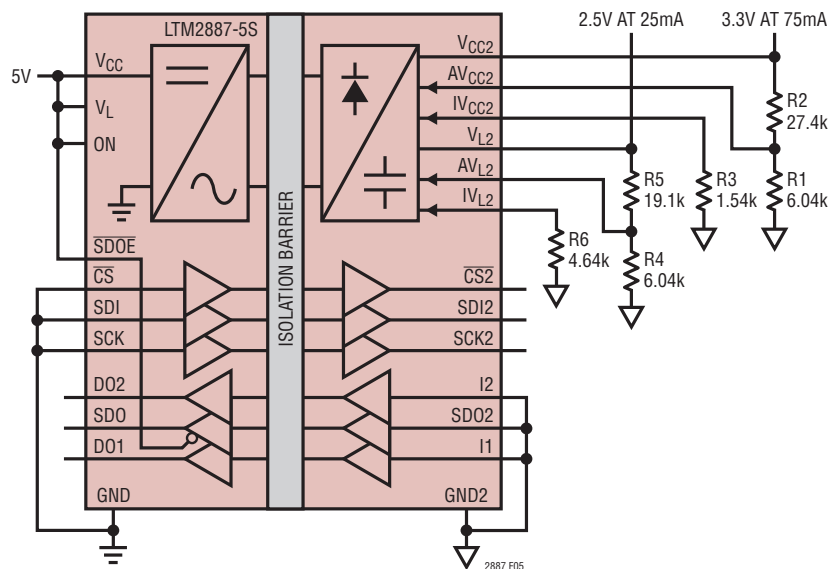


図5. 調整可能な電圧レール

アプリケーション情報

ます。その結果、優先度の低いチャンネルでのパルス幅の不確実性は標準では±6nsですが、優先度の低いチャンネルが符号化されたパケットが、優先度の高いシリアル・パケットと同じパケットでなかった場合は、最大±44nsまで変化することがあります。

SPI(シリアル周辺機器インタフェース)バス

LTM2887-Sは、SPI互換の絶縁インタフェースを備えています。最大データレートは、固有のチャンネル伝播遅延、チャンネル間のパルス幅不確実性、およびデータ方向要件の関数です。チャンネルのタイミングの詳細を図6～9と表2および3に示します。SPIプロトコルは、クロックの極性(CPOL)およびクロックの位相(CPHA)で定義される4つの固有タイミング構成をサポートしています(概要を表1に示します)。

表1.SPIモード

CPOL	CPHA	データ(とクロック)との関係	
0	0	サンプル(立ち上がり)	セットアップ(立ち下がり)
0	1	セットアップ(立ち上がり)	サンプル(立ち下がり)
1	0	サンプル(立ち下がり)	セットアップ(立ち上がり)
1	1	セットアップ(立ち下がり)	サンプル(立ち上がり)

双方向通信の最大データレートは、タイミング波形に詳細を示すように、同期システムを基準にして4MHzです。クロックのデューティ・サイクルに偏りを持たせてSDOからSCKまでのセットアップ時間を最小限に抑えれば、データレートをわずかに高くすることができますが、クロック・レートは引き続きシステムの伝播遅延に左右されます。重要なタイミング経路について、図6および7を基準にして以下に説明します。

- \overline{CS} からSCKまで(マスタ・サンプルSDO、最初のSDOが有効)
 - $t_0 \rightarrow t_1$ 約50ns、 \overline{CS} から $\overline{CS}2$ までの伝播遅延
 - $t_1 \rightarrow t_{1+}$ 絶縁されたスレーブ・デバイスの伝播時間(応答時間)、SDO2をアサート
 - $t_1 \rightarrow t_3$ ≈50ns、SDO2からSDOまでの伝播遅延
 - $t_3 \rightarrow t_5$ マスタSDOからSCKまでのセットアップ時間

- SDIからSCKまで(マスタ・データのスレーブへの書き込み)
 - $t_2 \rightarrow t_4$ ≈50ns、SDIからSDI2までの伝播遅延
 - $t_5 \rightarrow t_6$ ≈50ns、SCKからSCK2までの伝播遅延
 - $t_2 \rightarrow t_5$ ≥50ns、SDIからSCKまで、別のパケットゼロ以外のセットアップ時間
 - $t_4 \rightarrow t_6$ ≥50ns、SDI2からSCK2まで、別のパケットゼロ以外のセットアップ時間
- SDOからSCKまで(マスタ・サンプルSDO、後続のSDOが有効)
 - t_8 SDIおよびSCKでのセットアップ・データ遷移時刻
 - $t_8 \rightarrow t_{10}$ ≈50ns、SDIからSDI2までとSCKからSCK2までの伝播遅延
 - t_{10} SCK2のデータ遷移に呼応したSDO2のデータ遷移
 - $t_{10} \rightarrow t_{11}$ ≈50ns、SDO2からSDOまでの伝播遅延
 - $t_{11} \rightarrow t_{12}$ マスタSDOからSCKまでのセットアップ時間

マスタからスレーブへの片方向通信の最大データレートは8MHzで、システムの符号化/復号化方式または伝播遅延によって制限されます。クロック位相の2種類のタイミングの詳細を図8、図9および表3に示します。

最大データレートを確保するためのその他の要件は以下のとおりです。

- \overline{CS} は、非同期の場合はSDIのデータ・パケットより前に送信され、同期の場合はSDIと同じデータ・パケット内で送信される。
- SDIおよびSCKのセットアップ・データ遷移は、同じデータ・パケット内で発生する。図6を参照すると、SDIはSCKより最大13ns($t_7 \rightarrow t_8$)先行するか、SCKより3ns($t_8 \rightarrow t_9$)遅れる可能性があり、この要件には違反していません。同様に図8では、SDIはSCKより最大13ns($t_4 \rightarrow t_5$)先行するか、SCKより3ns($t_5 \rightarrow t_6$)遅れる可能性があります。

アプリケーション情報

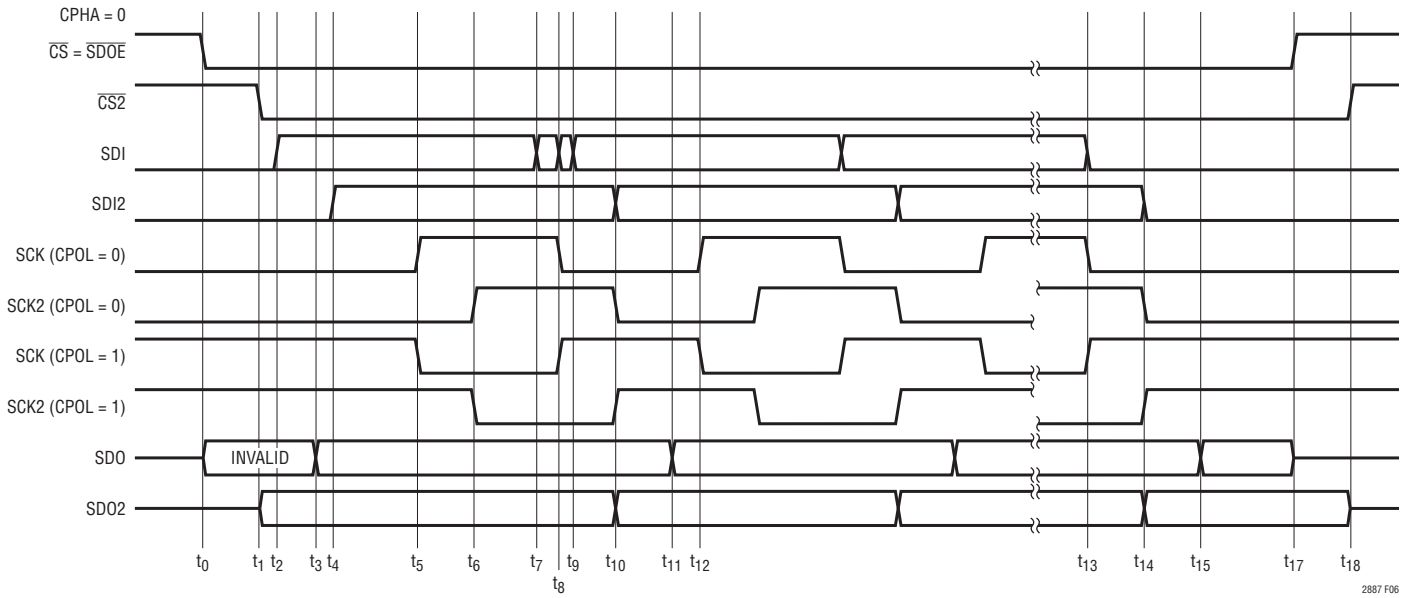


図6. SPIのタイミング、双方向、CPHA = 0

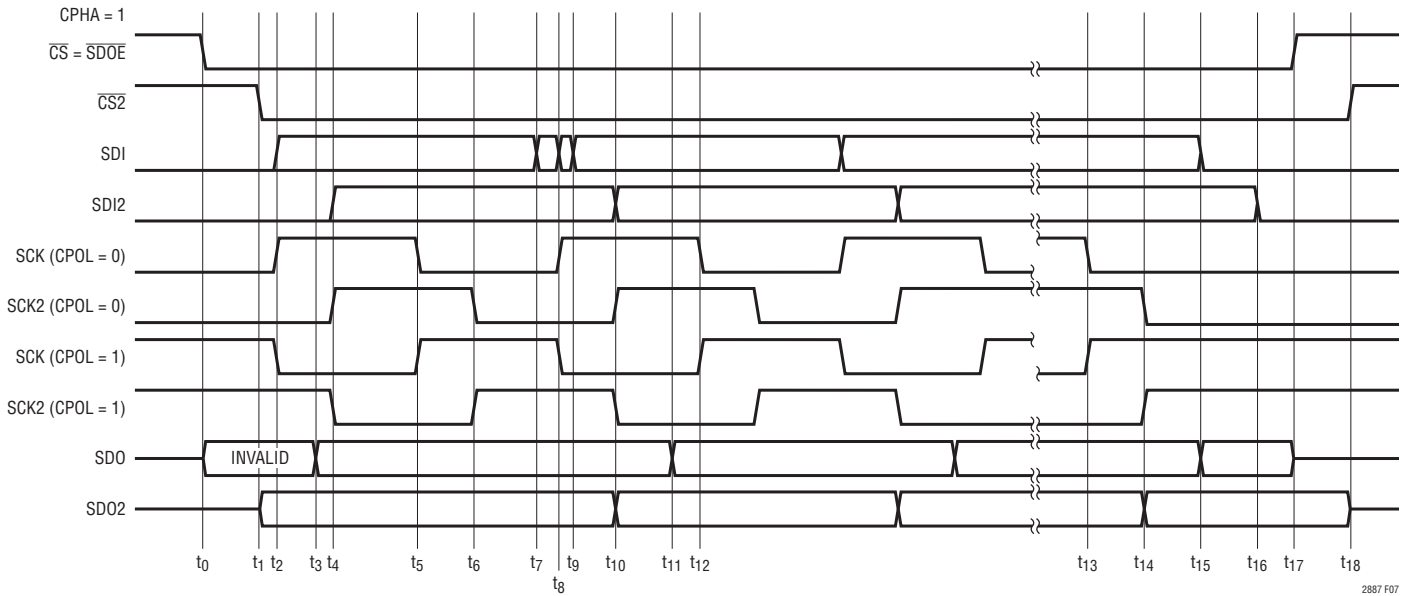


図7. SPIのタイミング、双方向、CPHA = 1

アプリケーション情報

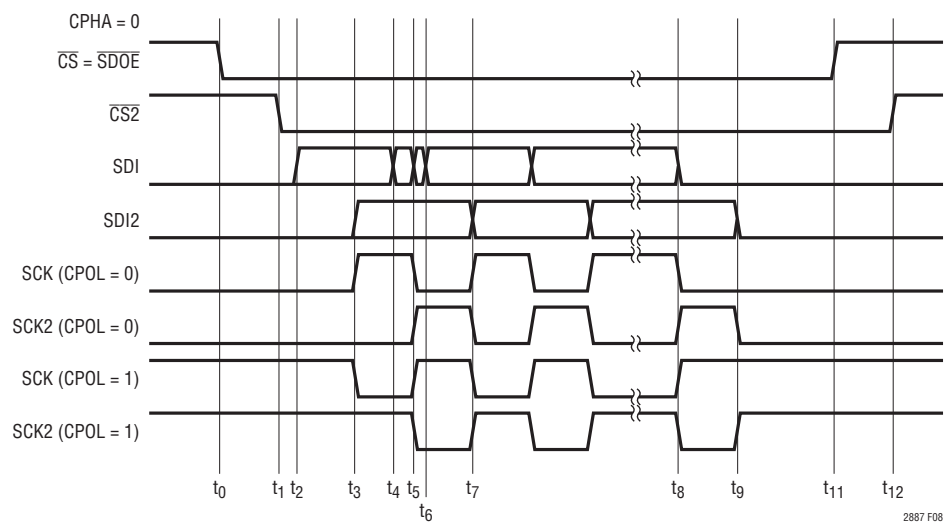


図8. SPIのタイミング、片方向、CPHA = 0

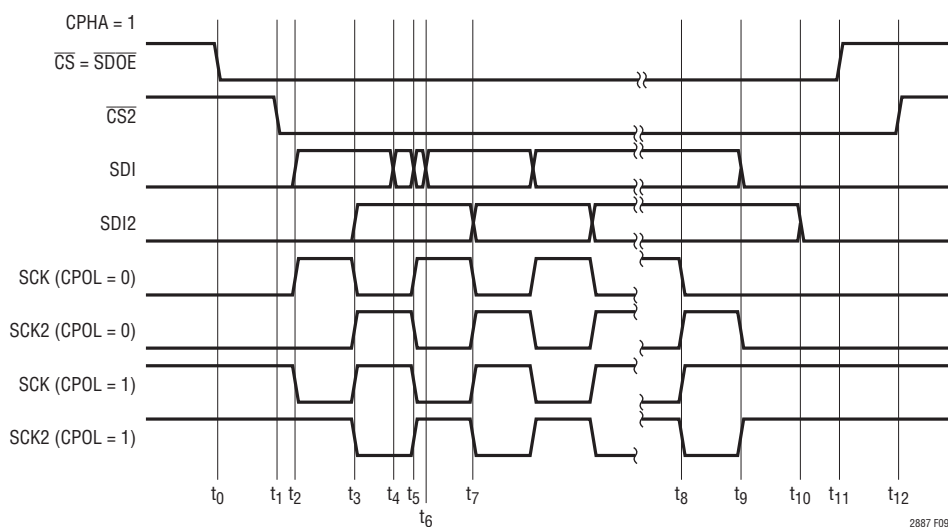


図9. SPIのタイミング、片方向、CPHA = 1

アプリケーション情報

表 2. 双方向での SPI タイミング事象の説明

時刻	CPHA	事象の説明
t ₀	0, 1	非同期のチップ選択。SDI に同期できるが、遅延時間を 3ns より長くすることはできない。ロジック・サイドのスレーブ・データ出力はイネーブルされており、初期データはスレーブ・デバイスのデータ出力とは等しくない
t ₀ ~ t ₁ , t ₁₇ ~ t ₁₈	0, 1	チップ選択の伝播遅延、ロジック・サイドから絶縁サイドの方向、標準 50ns
t ₁	0, 1	スレーブ・デバイスのチップ選択出力データ・イネーブル
t ₂	0	データ伝送の開始、データ・セットアップ
	1	伝送の開始、データおよびクロックのセットアップ。データ遷移はクロック・エッジの -13ns ~ 3ns 以内にする必要がある
t ₁ ~ t ₃	0, 1	スレーブ・データの伝播遅延、絶縁サイドからロジック・サイドの方向、標準 50ns
t ₃	0, 1	スレーブ・データ出力が有効、ロジック・サイド
t ₂ ~ t ₄	0	データの伝播遅延、ロジック・サイドから絶縁サイドの方向
	1	データおよびクロックの伝播遅延、ロジック・サイドから絶縁サイドの方向
t ₅	0, 1	ロジック・サイドのデータ・サンプル時刻、セットアップ・データ遷移時刻から半クロック周期だけ遅延
t ₅ ~ t ₆	0, 1	クロックの伝播遅延、ロジック・サイドから絶縁サイドの方向
t ₆	0, 1	絶縁サイドのデータ・サンプル時刻
t ₈	0, 1	同期データおよびクロックの遷移、ロジック・サイド
t ₇ ~ t ₈	0, 1	データからクロックまでの遅延、13ns 以内にする必要あり
t ₈ ~ t ₉	0, 1	クロックからデータまでの遅延、3ns 以内にする必要あり
t ₈ ~ t ₁₀	0, 1	クロックおよびデータの伝播遅延、ロジック・サイドから絶縁サイドの方向
t ₁₀ ~ t ₁₄	0, 1	スレーブ・デバイスのデータ遷移
t ₁₀ ~ t ₁₁ , t ₁₄ ~ t ₁₅	0, 1	スレーブ・データの伝播遅延、絶縁サイドからロジック・サイドの方向
t ₁₁ ~ t ₁₂	0, 1	スレーブ・データ出力からサンプル・クロックのセットアップまでの時間
t ₁₃	0	データおよびクロックの最後の遷移、ロジック・サイド
	1	サンプル・クロックの最後の遷移、ロジック・サイド
t ₁₃ ~ t ₁₄	0	データおよびクロックの伝播遅延、ロジック・サイドから絶縁サイドの方向
	1	クロックの伝播遅延、ロジック・サイドから絶縁サイドの方向
t ₁₅	0	スレーブ・データ出力の最後の遷移、ロジック・サイド
	1	スレーブ・データ出力およびデータの最後の遷移、ロジック・サイド
t ₁₅ ~ t ₁₆	1	データの伝播遅延、ロジック・サイドから絶縁サイドの方向
t ₁₇	0, 1	チップ選択の非同期の遷移、伝送の終了。スレーブ・データ出力のディスエーブル、ロジック・サイド
t ₁₈	0, 1	絶縁サイドでのチップ選択の遷移、スレーブ・データ出力はディスエーブル済み

アプリケーション情報

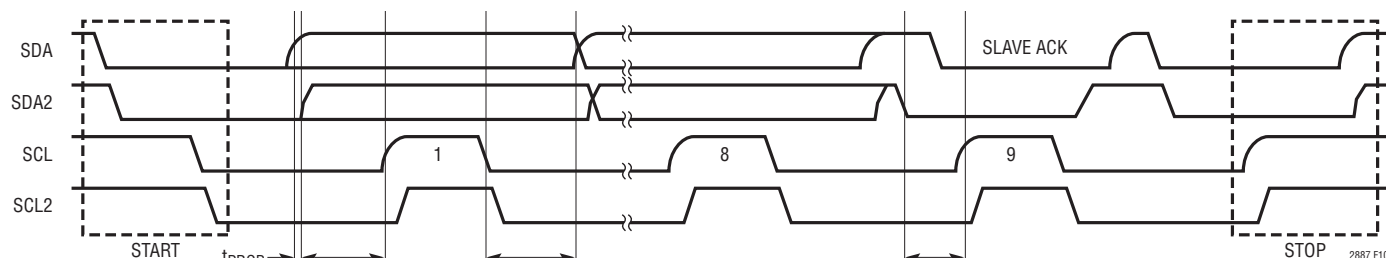
表 3. 片方向でのSPIタイミング事象の説明

時刻	CPHA	事象の説明
t_0	0, 1	非同期のチップ選択。SDIに同期できるが、遅延時間を3nsより長くすることはできない
$t_0 \sim t_1$	0, 1	チップ選択の伝播遅延、ロジック・サイドから絶縁サイドの方向
t_2	0	データ伝送の開始、データ・セットアップ
	1	伝送の開始、データおよびクロックのセットアップ。データ遷移はクロック・エッジの-13ns～3ns以内にする必要がある
$t_2 \sim t_3$	0	データの伝播遅延、ロジック・サイドから絶縁サイドの方向
	1	データおよびクロックの伝播遅延、ロジック・サイドから絶縁サイドの方向
t_3	0, 1	ロジック・サイドのデータ・サンプル時刻、セットアップ・データ遷移時刻から半クロック周期だけ遅延
$t_3 \sim t_5$	0, 1	クロックの伝播遅延、クロックおよびデータの遷移
$t_4 \sim t_5$	0, 1	データからクロックまでの遅延、13ns以内にする必要あり
$t_5 \sim t_6$	0, 1	クロックからデータまでの遅延、3ns以内にする必要あり
$t_5 \sim t_7$	0, 1	データおよびクロックの伝播遅延
t_8	0	クロックおよびデータの最後の遷移
	1	クロックの最後の遷移
$t_8 \sim t_9$	0	クロックおよびデータの伝播遅延
	1	クロックの伝播遅延
$t_9 \sim t_{10}$	1	データの伝播遅延
t_{11}	0, 1	チップ選択の非同期の遷移、伝送の終了
t_{12}	0, 1	絶縁サイドでのチップ選択の遷移

I²C (IC間通信) バス

LTM2887-Iは、I²C互換の絶縁インタフェースを備えています。クロック (SCL) は一方向で、マスタ・モードのみをサポートしており、データ (SDA) は双方向です。最大データレートは400kHzで、高速モードのI²Cをサポートします。タイミングの詳細を図10に示します。データレートはスレーブのアクノリッジ・セットアップ時間 ($t_{SU;ACK}$) で制限されます。この時間は、I²C標準の最小セットアップ時間 ($t_{SU;DAT}$) である100ns、ク

ロック伝播遅延の最大値である225ns、グリッチ・フィルタおよび絶縁サイドのデータ遅延の最大値である500ns、絶縁サイドおよびロジック・サイドでの最大バス負荷時のデータ立ち下がり時間の合計である300nsで構成されます。セットアップ時間を合計すると、I²Cでのデータ保持時間 ($t_{HD;DAT}$) が最大で175nsまで減少するので、十分なデータ・セットアップ時間 ($t_{SU;ACK}$) が保証されます。

図 10. I²Cのタイミング図

アプリケーション情報

絶縁サイドの双方向シリアル・データ・ピンであるSDA2付近の簡略回路図を図11に示します。内蔵の1.8mA電流源により、SDA2ピンにはプルアップ電流が供給されます。SDA2ピンには他のプルアップ・デバイスを接続しないでください。この電流源は、高速モードでは200pFより大きく標準モードでは400pFより大きいバス容量のシステム要件を満たすのに十分です。

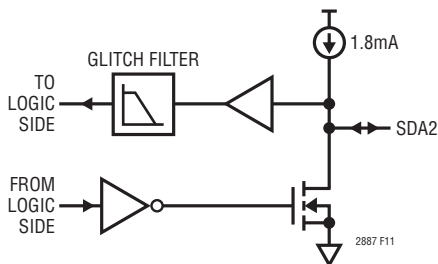


図11. 絶縁サイドのSDA2ピン付近の回路図

その他の独自回路により、SDAおよびSDA2の信号のスループレートをモニタして、絶縁障壁間での方向の制御が行われます。正常動作のためには、これら2つのピンでのスループレートを1V/μsより大きくする必要があります。

ロジック・サイドの双方向シリアル・データ・ピンであるSDAには、 V_L に接続されたプルアップ抵抗または電流源が必要です。高速モードおよび標準モードでの所望の立ち上がり時間規格値および V_{OL} の最大制限値を満たす適切なプルアップ抵抗をSDAピンに接続するには、図12および図13の要件に従ってください。抵抗の曲線は抵抗の最大値の境界を表します。該当する曲線の左側の領域であれば、任意の値を使用できます。

絶縁サイドのクロック・ピンであるSCL2のプッシュプル出力ドライバの能力は十分ではないので、外付けのプルアップ・デバイスは接続しないでください。SCL2ピンは、クロック幅の伸張なしでI²Cデバイスとの互換性があります。軽負荷の接続では、SCL2ピンとGND2ピンの間に100pFのコンデンサを接続するか、RCローパス・フィルタ(R = 500Ω, C = 100pF)を使用することにより、立ち上がり時間および立ち下がり時間を増やしてノイズを最小限に抑えることができます。

SCL2ピンとSDA2ピンの間の信号結合に対しては、何らかの考慮が必要です。プリント回路基板上でこれらの信号線を分離するか、信号線間にグランド配線を設けてください。これらの信号線が基板から離れている場合は、SCL2ピンの信号線をV_{CC2}またはGND2(あるいはその両方)の配線とより合わせ、SDA2ピンの信号線をGND2またはV_{CC2}(あるいはその両方)の配線とより合わせます。SCL2とSDA2の信号線を一緒により合わせることはしないでください。SCL2ピンとSDA2ピンの間で信号の結合が避けられない場合は、前述のRCフィルタをSCL2ピンに配置して、SDA2ピンへのノイズ注入を減らしてください。

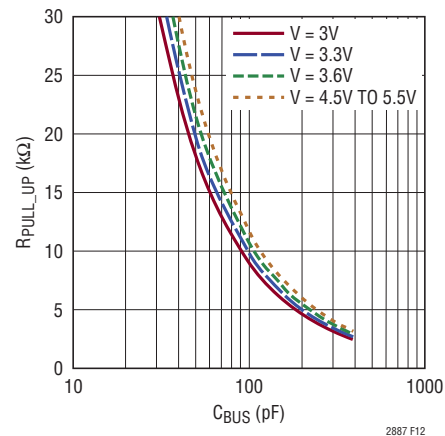


図12. 標準速度モードでのSDAピンの最大プルアップ抵抗

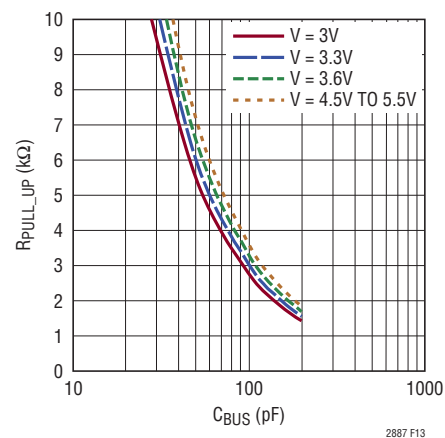


図13. 高速モードでのSDAピンの最大プルアップ抵抗

アプリケーション情報

RF、磁界に対する耐性

LTM2887内部で使用されているアイソレータ μ Module技術は単独で評価されており、以下の試験規格に従って、欧州規格EN 55024に準拠したRFおよび磁界の耐性試験の要求基準に合格しました。

EN 61000-4-3	Radiated, Radio-Frequency, Electromagnetic Field Immunity (放射無線周波数電磁界での耐性)
EN 61000-4-8	Power Frequency Magnetic Field Immunity (電源周波数磁界での耐性)
EN 61000-4-9	Pulsed Magnetic Field Immunity (パルス磁界での耐性)

試験は、データシートのプリント回路基板レイアウトの推奨事項に従って設計されたシールドなしのテスト・カードを使用して行われました。試験ごとの具体的な制限値の詳細を表4に示します。

表 4. EMC 耐性試験

TEST	周波数	電界/磁界強度
EN 61000-4-3 Annex D	80MHz~1GHz	10V/m
	1.4MHz~2GHz	3V/m
	2GHz~2.7GHz	1V/m
EN 61000-4-8 Level 4	50Hzおよび60Hz	30A/m
EN 61000-4-8 Level 5	60Hz	100A/m*
EN 61000-4-9 Level 5	Pulse	1000A/m

*IEC以外の方法

PCB レイアウト

LTM2887は集積密度が高いので、プリント回路基板のレイアウトは非常に簡単です。ただし、電氣的絶縁特性、EMI性能、熱性能を最適化するには、レイアウトについていくつか検討することが必要です。

- 負荷が重い条件では、V_{CC}およびGNDを流れる電流が300mAを超えることがあります。プリント回路基板の銅の量を十分確保し、抵抗に起因する損失によって電源電圧が許容最小レベルより低くならないようにしてください。同様に、V_{CC2}とGND2の導体パターンも、どのような外部負荷電流もサポートできるように大きさを決める必要があります。こうした厚い銅配線領域は、熱ストレスの軽減や熱伝導率の向上にも役立ちます。

- 入力および出力のデカップリング用部品は、パッケージ内部に組み込まれているので必要ありません。追加する場合は値が6.8 μ F~22 μ Fの大容量コンデンサを推奨します。このコンデンサはESRが大きいので、基板の共振が減少し、電源電圧の活線挿入による電圧スパイクが最小限に抑えられます。EMIの影響を受けやすいアプリケーションでは、1 μ F~4.7 μ Fの低ESLセラミック・コンデンサを追加することを推奨します。これらはできるだけ電源端子およびグランド端子の近くに配置してください。代わりに、値の小さいコンデンサをいくつか並列に配置してESLを減少させ、正味の容量を同じにすることもできます。
- パッドの内側の列の間のプリント回路基板上には銅領域を配置しないでください。定格の絶縁電圧に耐えるため、この領域は空けたままにしておく必要があります。
- EMIの影響を受けにくいアプリケーションでは、GNDおよびGND2に切れ目のないグランド・プレーンを使用して、信号の忠実度および熱性能を最適化し、結合していないプリント回路基板配線の導通によるRF放射を最小限に抑えます。EMIが問題となるグランド・プレーンを使用すると、ダイポール・アンテナ構造が形成され、GNDとGND2の間に生じる差動電圧が放射される可能性があるという弱点があります。グランド・プレーンを使用する場合は、その面積を最小限に抑え、連続した面を使用することを推奨します。開口部や切れ目があるとRF放射の悪影響が増す可能性があるからです。
- グランド・プレーンが広がる場合は、ディスクリートのコンデンサを接続するか基板内に容量を埋め込むことによってGNDとGND2の間に小さい容量(330pF以下)を追加すると、モジュールの寄生容量に対する低インピーダンスの電流帰還経路ができるので、高周波の差動電圧が最小限に抑えられ、放射ノイズを大きく減少させることができます。ディスクリート・コンデンサによる容量の場合は、寄生ESLがあるので、埋め込み容量ほどは効果がありません。さらに、部品を選択するときは、電圧定格、漏れ電流、および隙間を考慮する必要があります。プリント回路基板内部に容量を埋め込むと、理想に近いコンデンサが形成され、部品選択の問題が解消されますが、プリント回路基板は4層にする必要があります。どちらの技法を採用する場合でも、絶縁障壁の電圧定格が低下しないように注意する必要があります。

アプリケーション情報

- プリント回路基板内部に容量を埋め込まないアプリケーションでは、ロジック・サイドと絶縁サイドのデバイス・ピン間にスロットを追加できます。スロットにより、プリント回路基板側にある終端間の表面漏れ電流経路が広がります。スロットはデバイスの中央に配置して、パッケージの周辺長より長いものにする必要があります。

図14および15のプリント回路基板レイアウトは、LTM2887の低EMIデモ基板を示しています。デモ基板では、埋め込みPCBブリッジ容量とGND - GND2間のディスクリート・コンデンサの両方を含む、EMI軽減技法の組み合わせを採用しています。安全規格認定のY2クラスの2つのコンデンサ(村田製作所製、製品番号GA342QR7GF471KW01L)を直列に接続して使用しています。埋め込みコンデンサが有効に低減するのは400MHzより高い放射ノイズであるのに対して、ディスクリート・コンデンサは400MHzより低い放射ノイズに有効です。EMI性能を図16に示します。これは、GTEM (Gigahertz Transverse Electromagnetic: ギガヘルツ横方向電磁界)セルと、IEC 61000-4-20 (Testing and Measurement Techniques - Emission and Immunity Testing in Transverse Electromagnetic Waveguides: 試験および測定技術 - 横方向電磁界導波管のエミッションおよびイミュニティ試験)に詳細が記載されている方法を使用して測定しました。

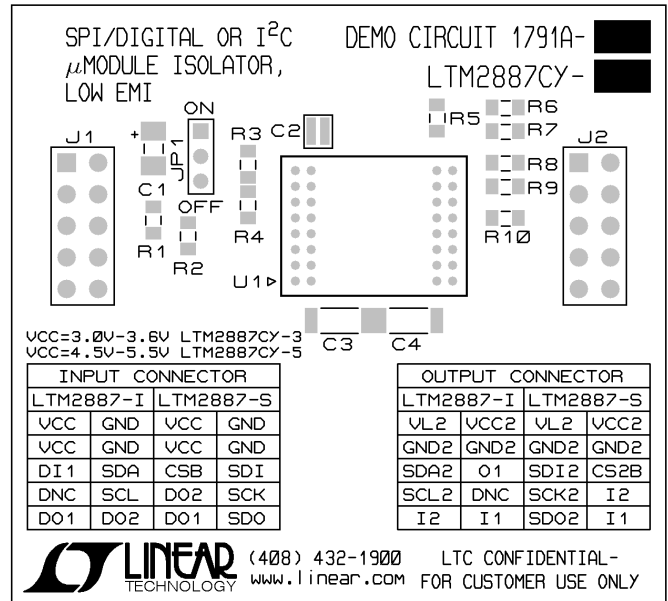
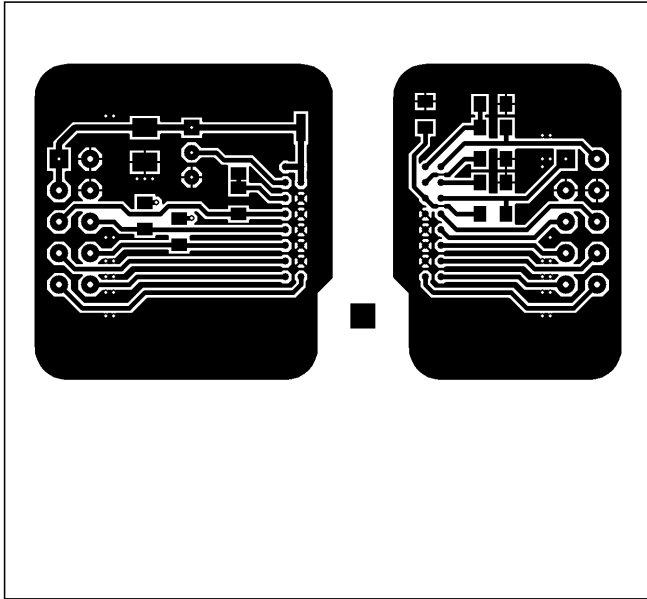


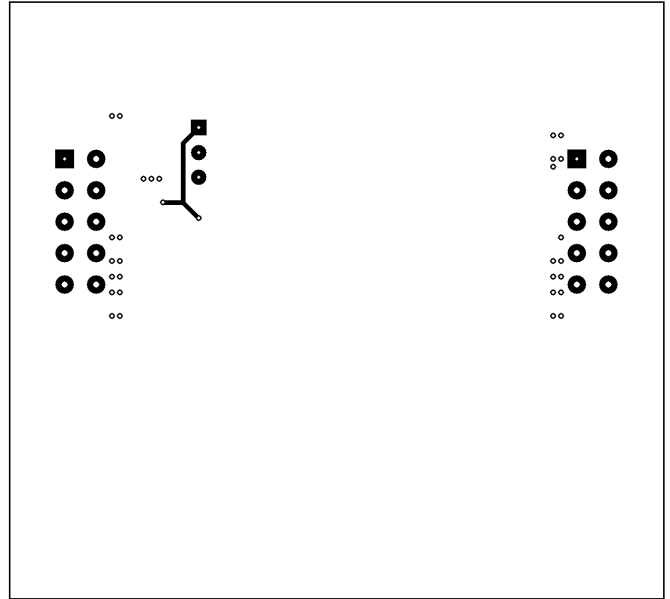
図14. LTM2887低EMIデモ基板レイアウト

アプリケーション情報

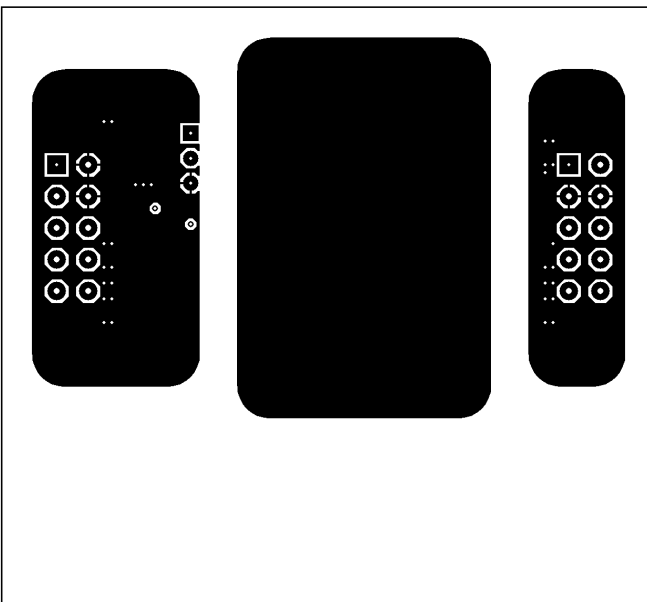
最上層



内部第2層



中間層1



最下層

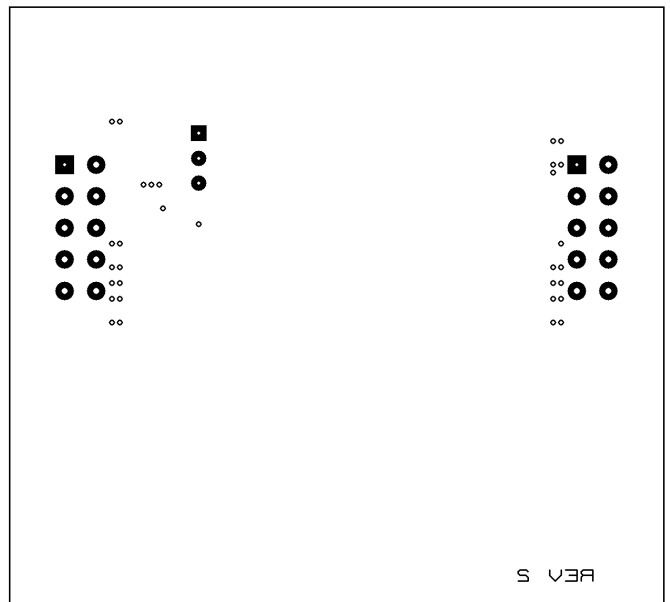


図 15. LTM2887 低 EMI デモ基板レイアウト (DC1791A)

アプリケーション情報

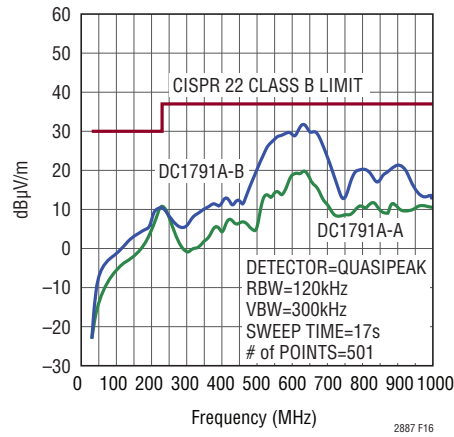


図 16. LTM2887 低 EMI デモ基板での放射ノイズ

標準的応用例

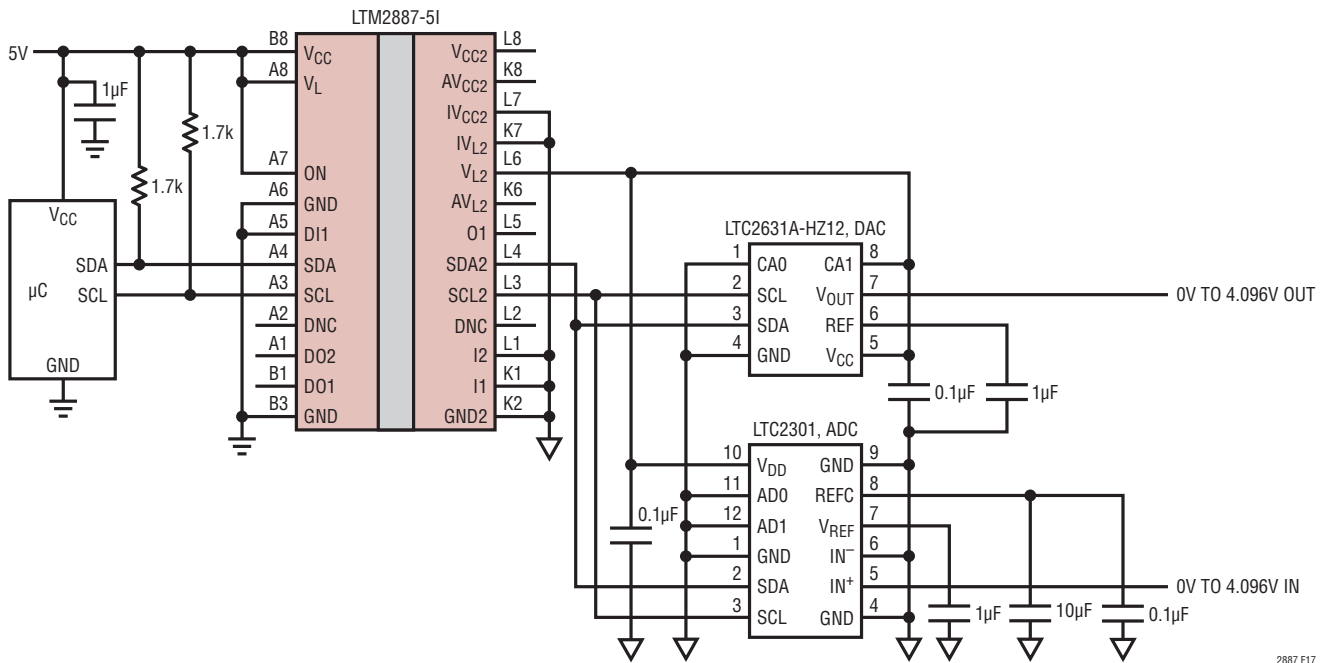


図 17. 絶縁された I²C 制御の 12 ビット、0V ~ 4.096V アナログ入力および出力

標準的応用例

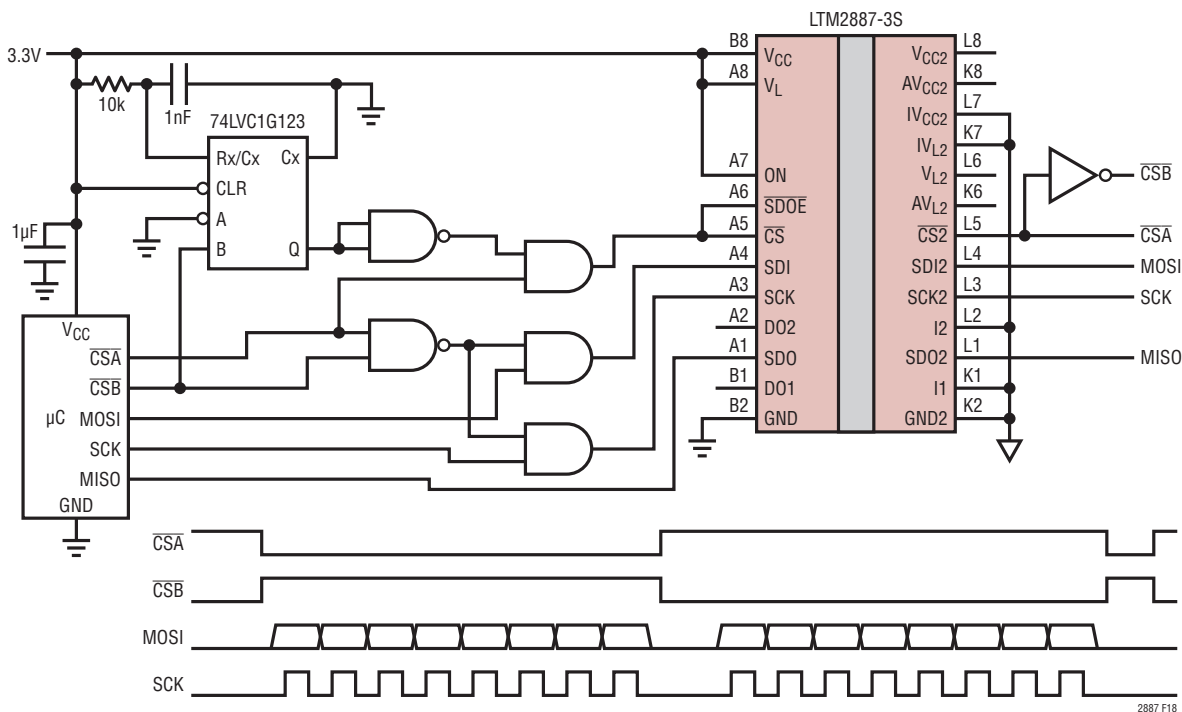


図 18. 絶縁型のSPI制御デバイス拡張回路

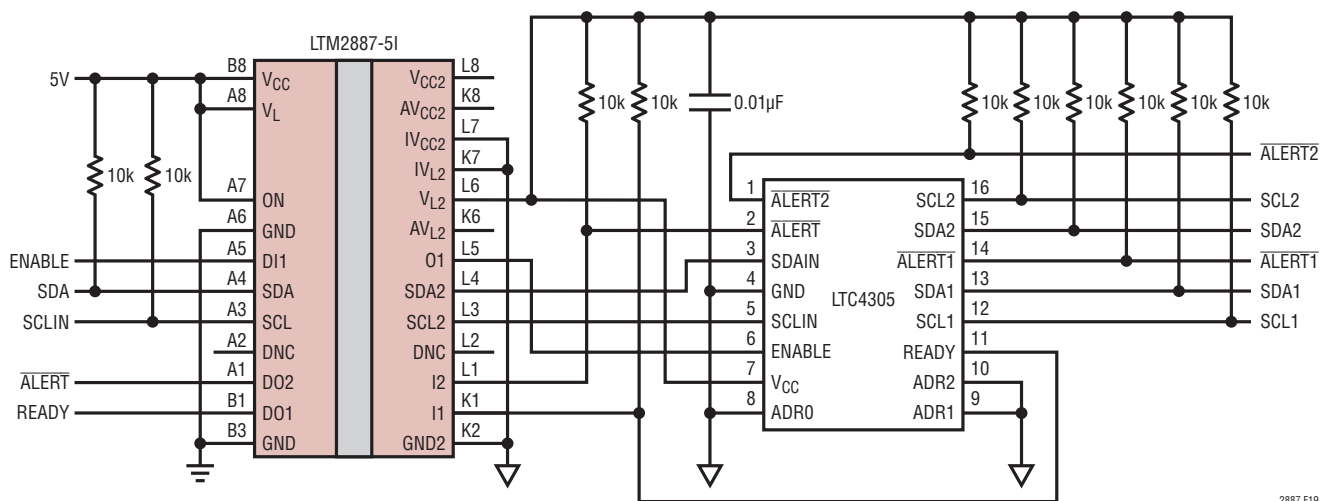


図 19. デュアル出力を備えた絶縁型I²C制御バッファ

LTM2887

標準的応用例

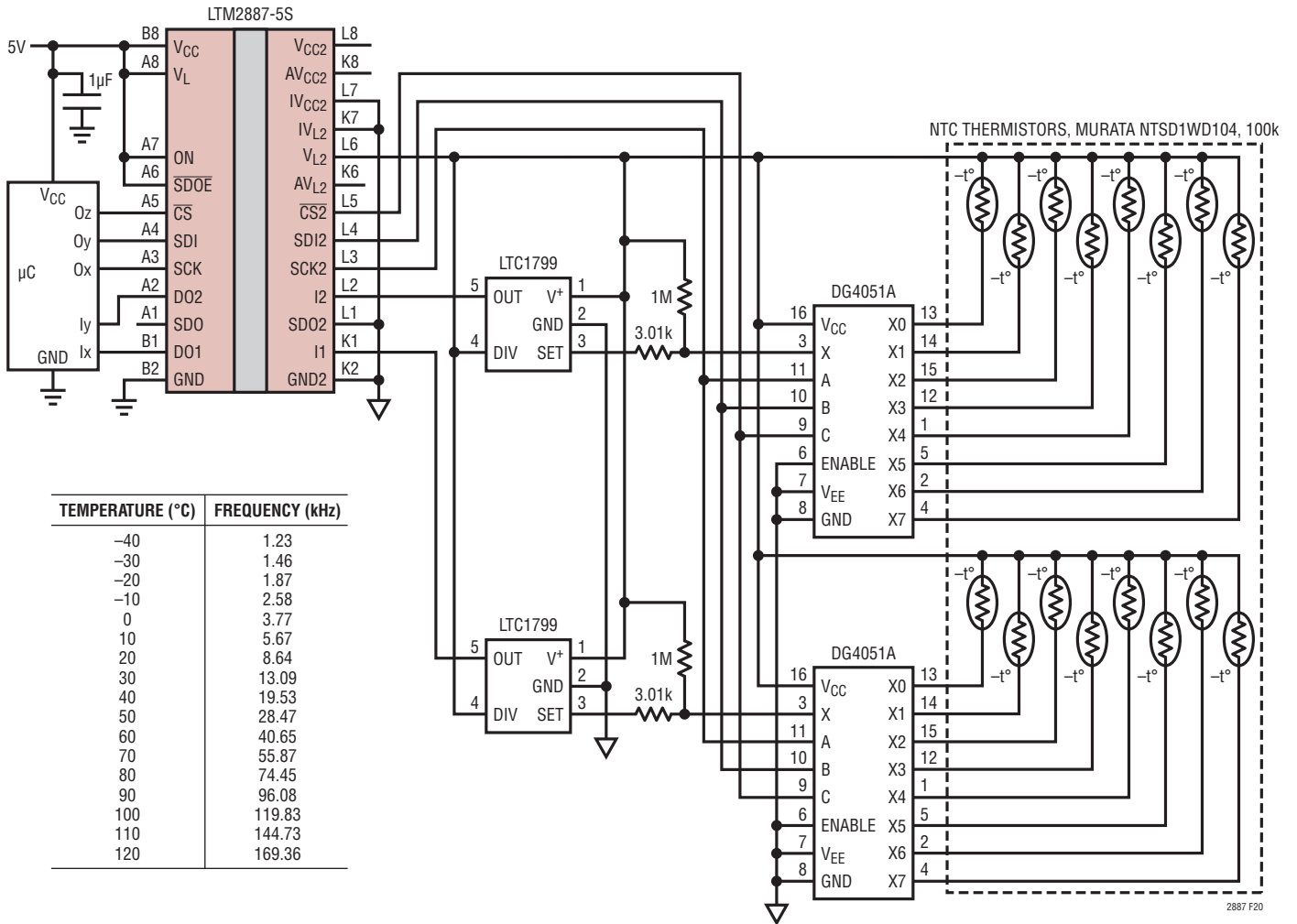


図20. 16チャンネル絶縁型温度/周波数変換器

標準的応用例

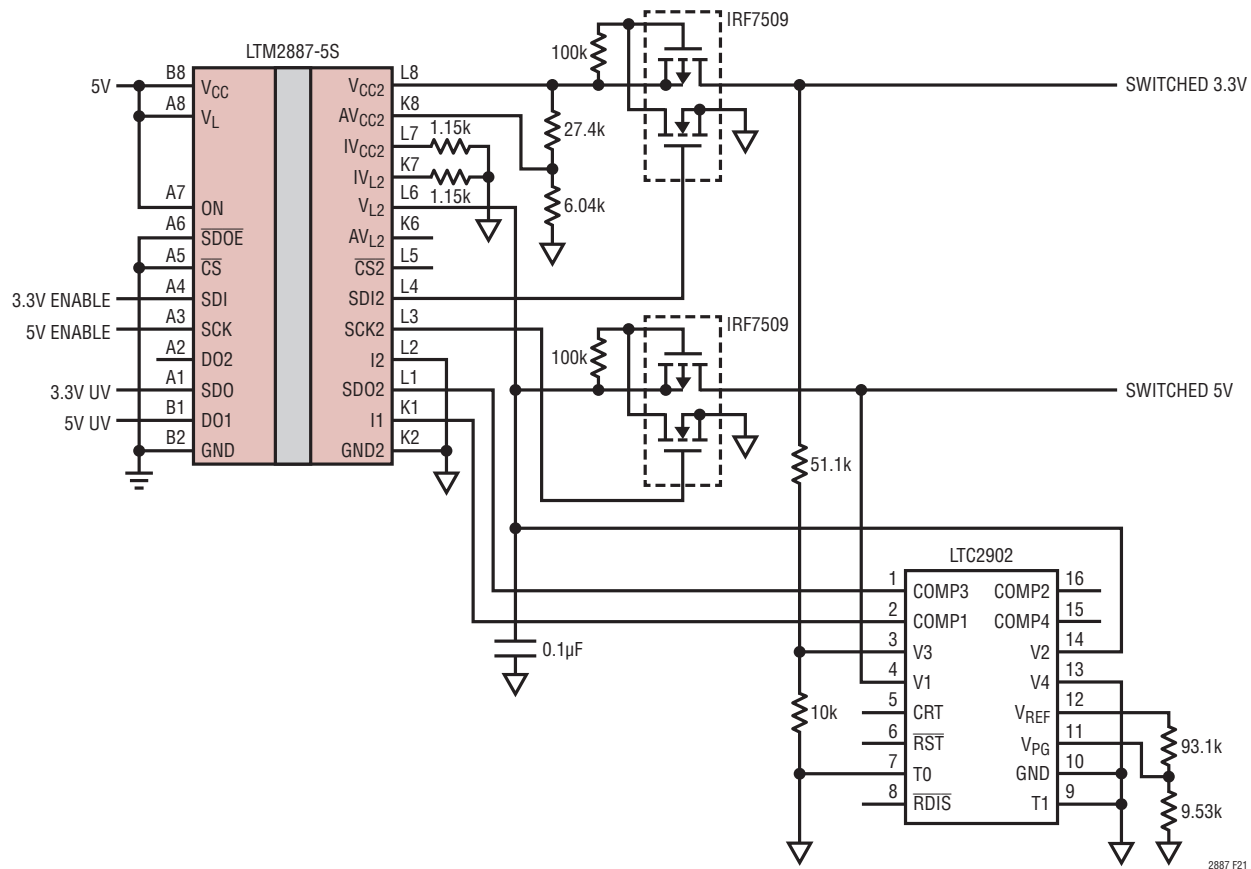
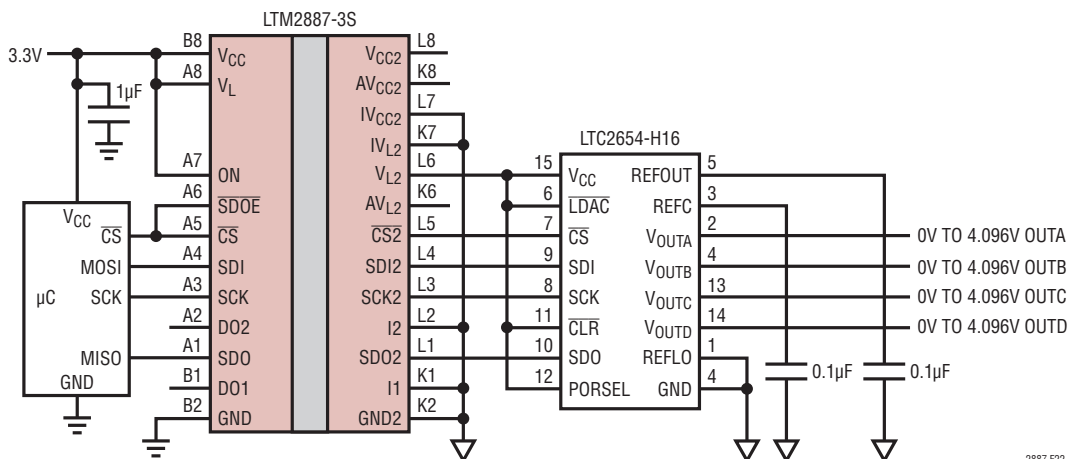


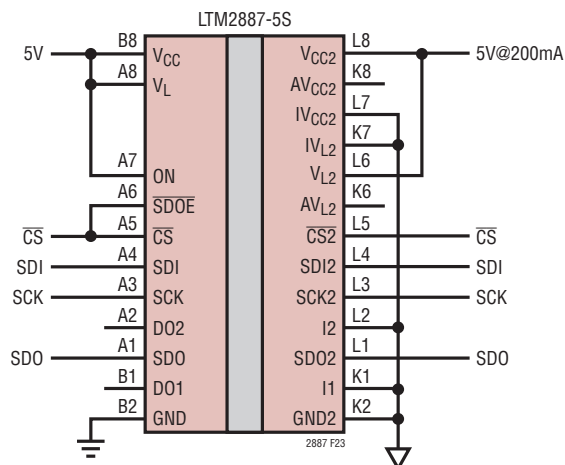
図 21. 低電圧モニタを備えたデジタル切り替え式デュアル電源

標準的応用例



2887 F22

図 22. 出力範囲が 0～4.096V のクワッド 16 ビット D/A コンバータ



2887 F23

図 23. 高電流用の並列出力電源

標準的応用例

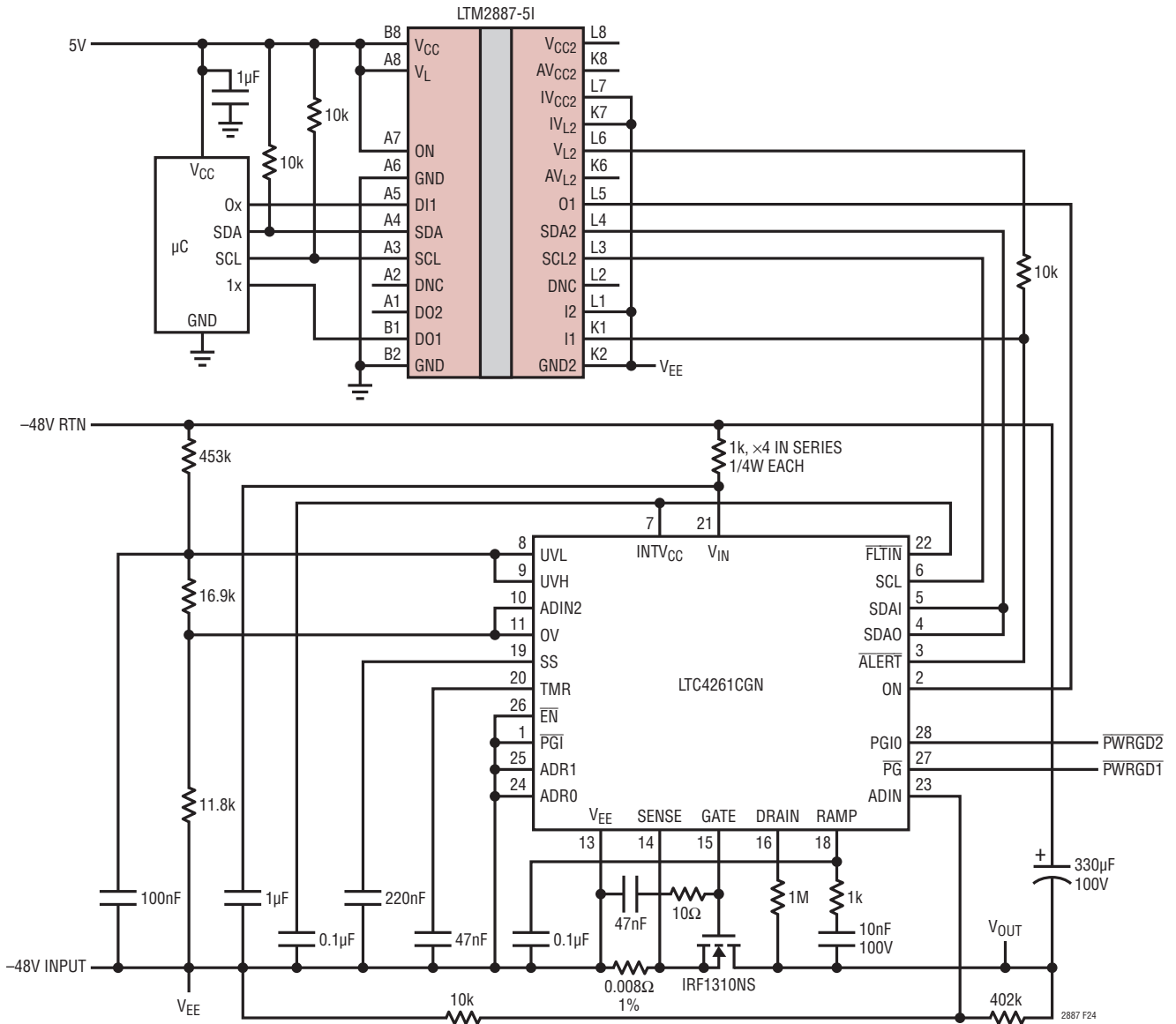


図 24. 絶縁型 I²C インタフェースを備えた -48V/200W ホットスワップ・コントローラ

標準的応用例

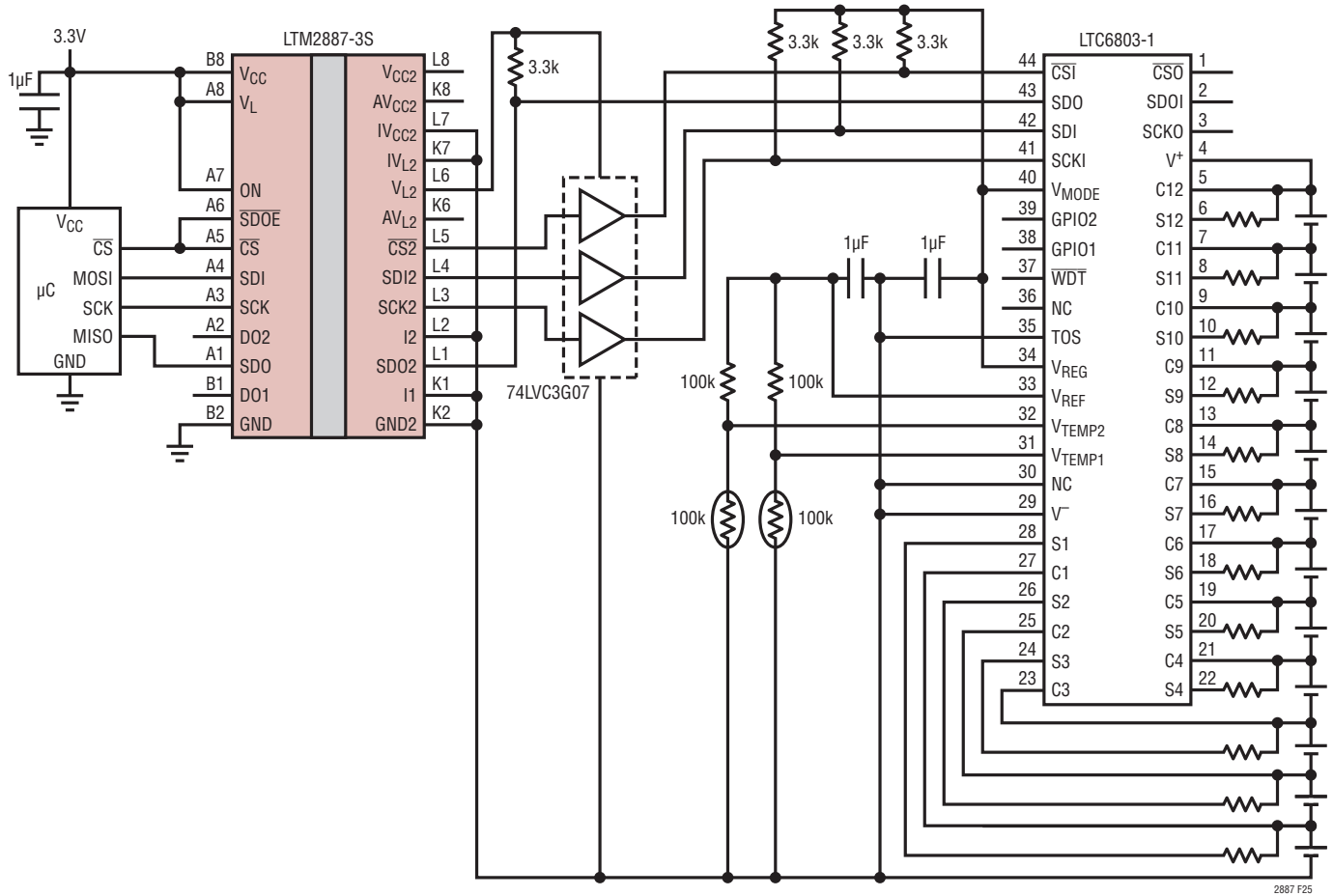


図 25. 絶縁型 SPI インタフェースと低消費電力シャットダウン回路を備えた 12 セル・バッテリー・スタック・モニタ

標準的応用例

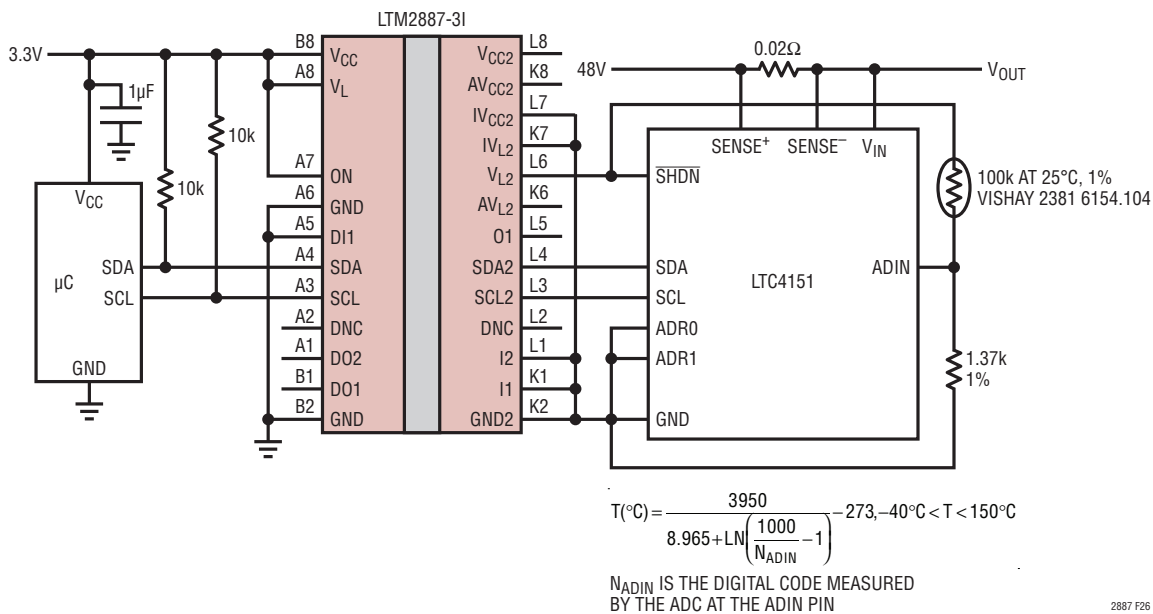


図26. 絶縁型I²C制御の電圧、電流、温度、電源モニタ

標準的応用例

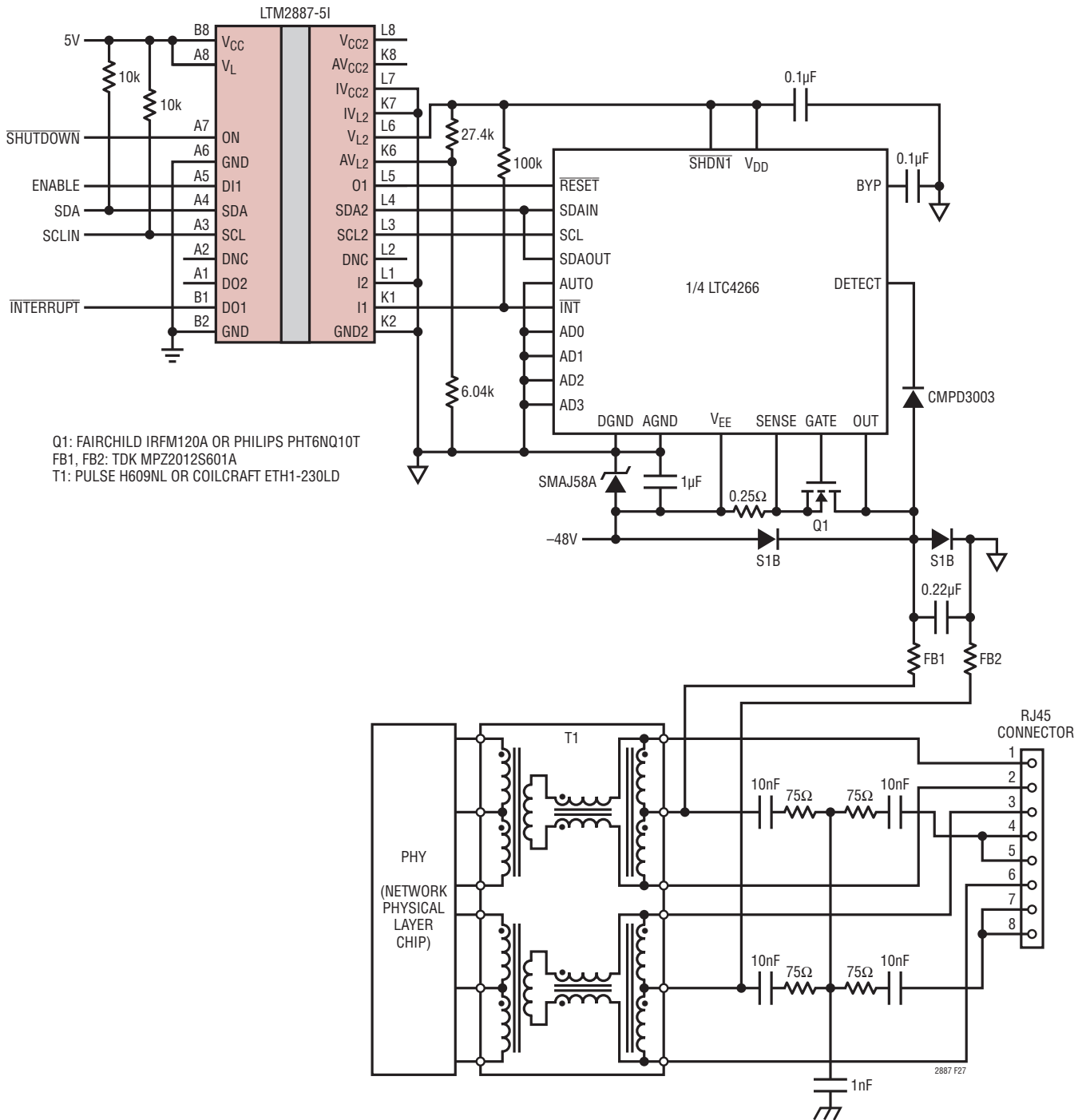
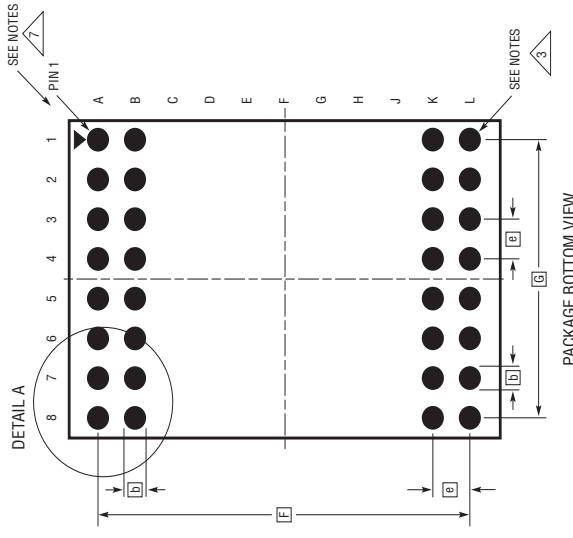


図27. 1つの完全に絶縁された電源が供給されるイーサネット・ポート

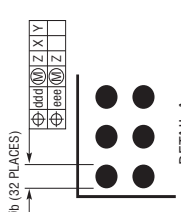
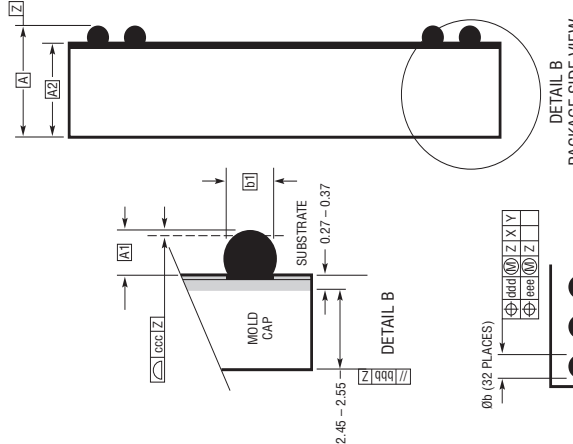
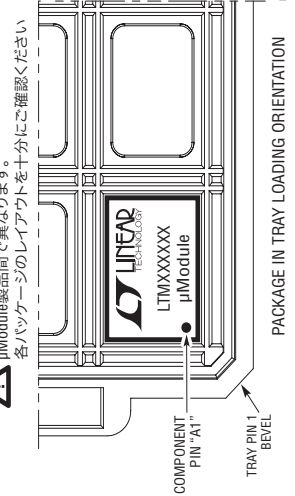
パッケージの寸法

最新のパッケージ図面については、<http://www.linear-tech.co.jp/product/LTM2887#packaging> を参照してください。

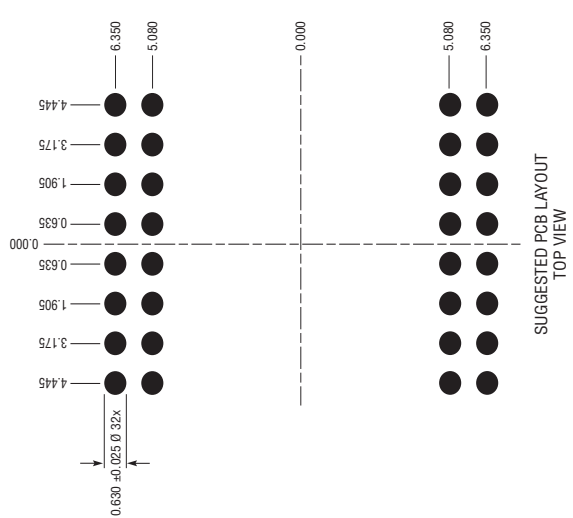
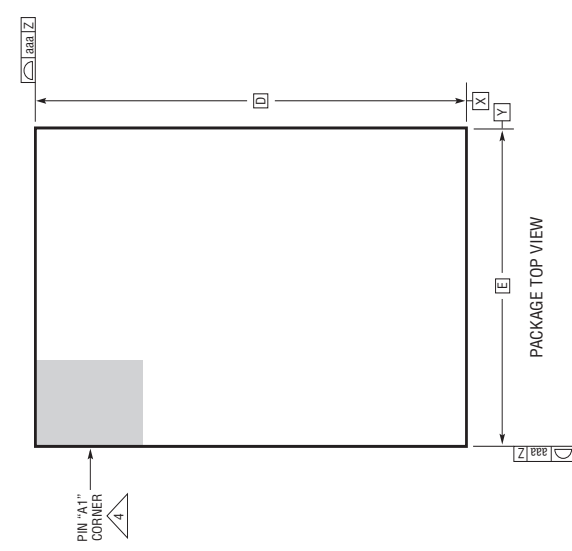
BGA Package
32-Lead (15mm × 11.25mm × 3.42mm)
 (Reference LTC DWG # 05-08-1851 Rev D)



- 注記:
1. 寸法と許容誤差はASME Y14.5M-1994による
 2. 全ての寸法はミリメートル
 3. ボールの指定はJESD MS-028およびJEF95による
 4. ピン#1の識別マークの詳細はオプションだが、示された領域内になければならない。ピン#1の識別マークはモールドまたはマーキングにすることができる
 5. 主アークラム-zはシーティングプレーン
 6. 半田ボールは、元素構成比がスズ(Sn)96.5%、銀(Ag)3.0%、銅(Cu)0.5%の合金とする
 7. パッケージの行と列のラベルは、各Module製品間で異なります。各パッケージのレイアウトを十分にご確認ください



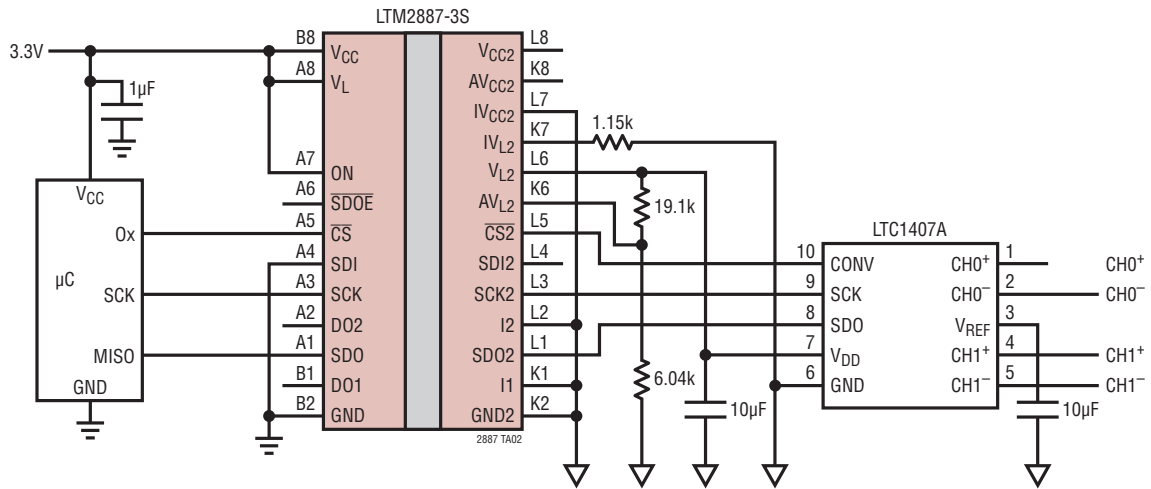
DIMENSIONS				
SYMBOL	MIN	NOM	MAX	NOTES
A	3.22	3.42	3.62	
A1	0.50	0.60	0.70	
A2	2.72	2.82	2.92	
b	0.60	0.75	0.90	
b1	0.60	0.63	0.66	
D		15.0		
E		11.25		
e		1.27		
F		12.70		
G		8.89		
aaa			0.15	
bbb			0.10	
ccc			0.20	
ddd			0.30	
eee			0.15	
TOTAL NUMBER OF BALLS: 32				



LTM2887

標準的応用例

絶縁型デュアル・チャンネル同時サンプリング・アナログ/デジタル・コンバータ、0V～2.5Vの入力範囲



関連製品

製品番号	説明	注釈
LTM2881	DC/DCコンバータを内蔵した絶縁型RS485/RS422 µModuleトランシーバ	20Mbps、2500V _{RMS} の絶縁特性を備え、電源もLGA/BGAパッケージに収容
LTM2882	DC/DCコンバータを内蔵したデュアル絶縁型RS232 µModuleトランシーバ	2500V _{RMS} の絶縁特性を備え、電源をLGA/BGAパッケージに収容
LTM2883	DC/DCコンバータが内蔵されたSPI/デジタルまたはI ² C µModuleアイソレータ	2500V _{RMS} の絶縁特性を備え、調整可能な±12.5Vおよび5V電源をBGAパッケージに収容
LTM2884	電源を備えた絶縁型USBトランシーバ	2500V _{RMS} 、自動速度選択、1～2.5W絶縁型電源
LTM2886	DC/DCコンバータが内蔵されたSPI/デジタルまたはI ² C µModuleアイソレータ	2500V _{RMS} の絶縁特性を備え、固定された±5Vおよび調整可能な5V電源をBGAパッケージに収容
LTM2889	電源付き絶縁型CAN FD µModuleトランシーバ	4Mbps、2500V _{RMS} の絶縁特性を備え、電源もBGAパッケージに収容
LTM2892	SPI/デジタルまたはI ² C対応のµModuleアイソレータ	3500V _{RMS} の絶縁特性を備え、電源なしで9mm×6.25mm BGAパッケージに収容
LTC®1535	絶縁型RS485トランシーバ	2500V _{RMS} の絶縁特性を備え、外付けトランスを駆動
LTC4310	ホットスワップ可能なI ² Cアイソレータ	双方向I ² C通信、低電圧レベル・シフト機能、100kHzまたは400kHzの動作
LTC6803-1、LTC6803-3、LTC6803-2、LTC6803-4	マルチセル・バッテリー・スタック・モニタ	LTC6803-1は複数のデバイスをデジタイズ・チェーン接続することを可能にし、LTC6803-2は並列通信バッテリー・スタック構成を可能にする