

シリアル18ビット SoftSpan 電流出力DAC

特長

- 18ビット INL 誤差の最大値:全温度範囲で±1 LSB
- 6つの出力範囲をプログラムまたはピン結線で設定:
0V~5V、0V~10V、-2.5V~7.5V、±2.5V、±5V、±10V
- 全温度範囲で単調性を保証
- グリッチ・インパルス:0.4nV・s(3V)、2nV・s(5V)
- 18ビットのセトリング時間:2.1μs
- 2.7V~5.5V単電源動作
- すべてのコードに対して一定のリファレンス電流
- 電圧制御オフセットおよび利得調整
- すべてのレジスタの読み出し機能を備えたシリアル・インタフェース
- 出力範囲に関係なく出力を0Vにクリアまたはパワーオン・リセット
- 28ピンSSOPパッケージ

アプリケーション

- 計測器
- 医療機器
- 自動テスト装置
- プロセス制御および産業用自動制御

概要

LTC[®]2756は18ビット乗算型シリアル入力、電流出力のD/Aコンバータです。LTC2756は、全温度範囲での完全な18ビット性能(INLおよびDNLが最大で±1LSB)を調整不要で実現します。すべての性能グレードで18ビットの単調性が保証されています。このSoftSpan™ DACは、3V~5Vの単電源で動作し、3線式のSPIシリアル・インタフェースを介して設定できる6つの出力範囲(最大±10V)を備えています。単一の範囲で動作させる場合は、ピンの結線で設定できます。

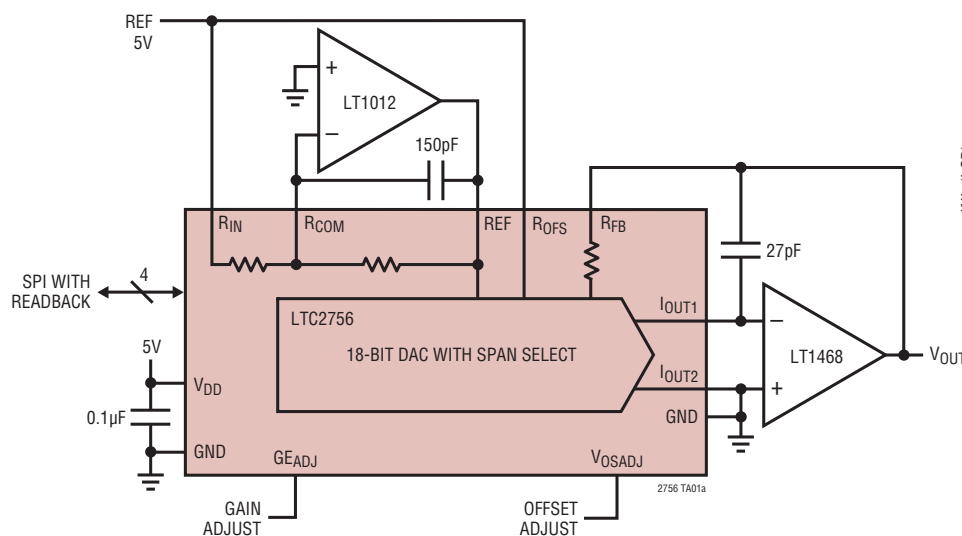
内蔵レジスタの内容(DAC出力範囲の設定を含む)は、わずか1回の命令サイクルで読み出して確認できます。レジスタの内容を変更した場合は、変更されたレジスタが次の命令サイクル時に自動的に読み出されます。

電圧制御のオフセット調整機能および利得調整機能も備えています。パワーオン・リセット回路とCLRピンは、いずれも出力範囲に関係なくDAC出力を0Vにリセットします。

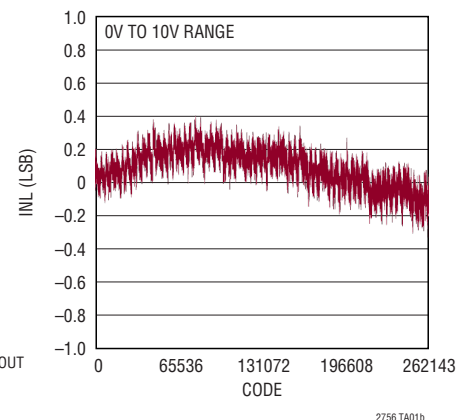
LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。SoftSpanはリニアテクノロジー社の商標です。その他のすべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

範囲をソフトウェアで選択可能な18ビット電圧出力DAC



LTC2756の積分非直線性

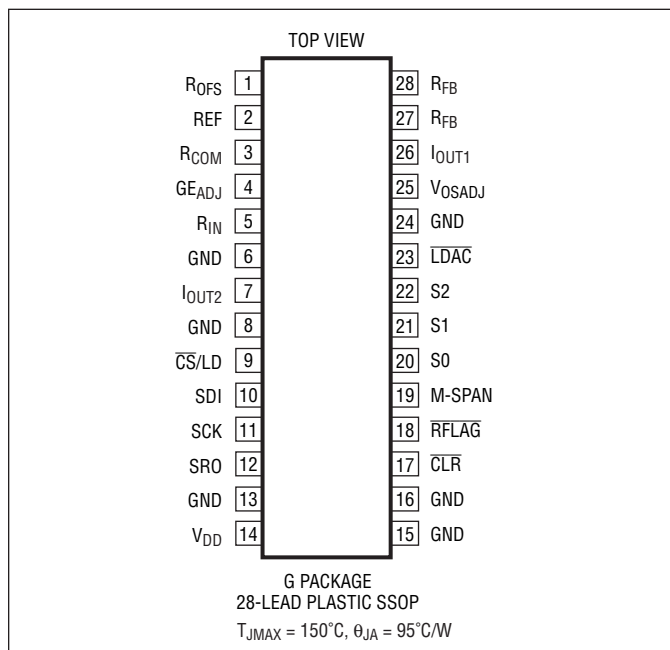


LTC2756

絶対最大定格 (Notes 1, 2)

I _{OUT1} 、I _{OUT2} - GND間	±0.3V
R _{IN} 、R _{COM} 、REF、R _{FB} 、R _{OFS} 、V _{OSADJ} 、G _{EADJ} - GND間	±18V
V _{DD} - GND間	-0.3V ~ 7V
デジタル入力 - GND間	-0.3V ~ 7V
デジタル出力 - GND間	-0.3V ~ V _{DD} + 0.3V (最大 7V)
動作温度範囲	
LTC2756C	0°C ~ 70°C
LTC2756I	-40°C ~ 85°C
最大接合部温度	150°C
保存温度範囲	-65°C ~ 150°C
リード温度 (半田付け、10秒)	300°C

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2756BCG#PBF	LTC2756BCG#TRPBF	LTC2756G	28-Lead Plastic SSOP	0°C to 70°C
LTC2756BIG#PBF	LTC2756BIG#TRPBF	LTC2756G	28-Lead Plastic SSOP	-40°C to 85°C
LTC2756ACG#PBF	LTC2756ACG#TRPBF	LTC2756G	28-Lead Plastic SSOP	0°C to 70°C
LTC2756AIG#PBF	LTC2756AIG#TRPBF	LTC2756G	28-Lead Plastic SSOP	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性 注記がない限り、 $V_{DD} = 5V$ 、 $V(R_{IN}) = 5V$ 。●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ C$ での値。

SYMBOL	PARAMETER	CONDITIONS	LTC2756B			LTC2756A			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX		
静特性										
	Resolution		●	18			18		Bits	
	Monotonicity		●	18			18		Bits	
DNL	Differential Nonlinearity		●			±1	±0.25	±1	LSB	
INL	Integral Nonlinearity		●			±2	±0.5	±1	LSB	
GE	Gain Error	All Output Ranges	●			±40	±5	±28	LSB	
	Gain Error Temperature Coefficient	$\Delta\text{Gain}/\Delta\text{Temp}$				±0.25	±0.25		ppm/ $^\circ C$	
BZE	Bipolar Zero Error	All Bipolar Ranges	●			±24	±2.5	±16	LSB	
	Bipolar Zero Temperature Coefficient					±0.15	±0.15		ppm/ $^\circ C$	
	Unipolar Zero-Scale Error	Unipolar Ranges (Note 3)	●			±0.03	±3.2	±0.03	±3.2	LSB
PSR	Power Supply Rejection	$V_{DD} = 5V, \pm 10\%$ $V_{DD} = 3V, \pm 10\%$	● ●			±1.6 ±4	±0.05 ±0.2	±0.8 ±2	LSB/V LSB/V	
I _{LKG}	I _{OUT1} Leakage Current	$T_A = 25^\circ C$ T_{MIN} to T_{MAX}	●			±0.05	±2	±0.05	±2	nA nA

 注記がない限り、 $V_{DD} = 5V$ 、 $V(R_{IN}) = 5V$ 。●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ C$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
アナログ・ピン						
	Reference Inverting Resistors	(Note 4)	●	16	20	k Ω
R _{REF}	DAC Input Resistance	(Notes 5, 6)	●	8	10	k Ω
R _{FB}	Feedback Resistors	(Note 6)	●	8	10	k Ω
R _{OFS}	Bipolar Offset Resistors	(Note 6)	●	16	20	k Ω
R _{VOSADJ}	Offset Adjust Resistors		●	1024	1280	k Ω
R _{GEADJ}	Gain Adjust Resistors		●	2048	2560	k Ω
C _{IOUT1}	Output Capacitance	Full-Scale Zero-Scale			90 40	pF

ダイナミック性能

	Output Settling Time	Span Code = 0000, 10V Step. To $\pm 0.0004\%$ FS (Note 7)			2.1	μs
	Glitch Impulse	$V_{DD} = 5V$ (Note 8) $V_{DD} = 3V$ (Note 8)			2 0.4	nV $\cdot s$ nV $\cdot s$
	Digital-to-Analog Glitch Impulse	$V_{DD} = 5V$ (Note 9) $V_{DD} = 3V$ (Note 9)			2.6 0.6	nV $\cdot s$ nV $\cdot s$
	Reference Multiplying BW	0V to 5V Range, Code = Full Scale, -3dB Bandwidth			1	MHz
	Multiplying Feedthrough Error	0V to 5V Range, $V_{REF} = \pm 10V$, 10kHz Sine Wave			0.4	mV
THD	Total Harmonic Distortion	(Note 10) Multiplying			-108	dB
	Output Noise Voltage Density	(Note 11) at I _{OUT1}			13	nV/ \sqrt{Hz}

LTC2756

電気的特性

注記がない限り、 $V_{DD} = 5V$ 、 $V(R_{IN}) = 5V$ 。●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ C$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
電源						
V_{DD}	Supply Voltage		● 2.7		5.5	V
I_{DD}	Supply Current, V_{DD}	Digital Inputs = 0V or V_{DD}	●	0.5	1	μA
デジタル入力						
V_{IH}	Digital Input High Voltage	$3.3V \leq V_{DD} \leq 5.5V$ $2.7V \leq V_{DD} < 3.3V$	● 2.4 ● 2			V V
V_{IL}	Digital Input Low Voltage	$4.5V < V_{DD} \leq 5.5V$ $2.7V \leq V_{DD} \leq 4.5V$	● ●		0.8 0.6	V V
	Hysteresis Voltage			0.1		V
I_{IN}	Digital Input Current	$V_{IN} = GND$ to V_{DD}	●		± 1	μA
C_{IN}	Digital Input Capacitance	$V_{IN} = 0V$ (Note 12)	●		6	pF
デジタル出力						
V_{OH}	$I_{OH} = 200\mu A$	$2.7V \leq V_{DD} \leq 5.5V$	●	$V_{DD} - 0.4$		V
V_{OL}	$I_{OL} = 200\mu A$	$2.7V \leq V_{DD} \leq 5.5V$	●		0.4	V

タイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ C$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{DD} = 4.5V \sim 5.5V$						
t_1	SDI Valid to SCK Set-Up		● 7			ns
t_2	SDI Valid to SCK Hold		● 7			ns
t_3	SCK High Time		● 11			ns
t_4	SCK Low Time		● 11			ns
t_5	\overline{CS}/LD Pulse Width		● 9			ns
t_6	LSB SCK High to \overline{CS}/LD High		● 4			ns
t_7	\overline{CS}/LD Low to SCK Positive Edge		● 4			ns
t_8	\overline{CS}/LD High to SCK Positive Edge		● 4			ns
t_9	SRO Propagation Delay	$C_{LOAD} = 10pF$	●		18	ns
t_{10}	\overline{CLR} Pulse Width Low		● 36			ns
t_{11}	\overline{LDAC} Pulse Width Low		● 15			ns
t_{12}	\overline{CLR} Low to \overline{RFLAG} Low	$C_{LOAD} = 10pF$ (Note 12)	●		50	ns
t_{13}	\overline{CS}/LD High to \overline{RFLAG} High	$C_{LOAD} = 10pF$ (Note 12)	●		40	ns
	SCK Frequency	50% Duty Cycle (Note 13)	●		40	MHz
$V_{DD} = 2.7V \sim 3.3V$						
t_1	SDI Valid to SCK Set-Up		● 9			ns
t_2	SDI Valid to SCK Hold		● 9			ns
t_3	SCK High Time		● 15			ns
t_4	SCK Low Time		● 15			ns
t_5	\overline{CS}/LD Pulse Width		● 12			ns
t_6	LSB SCK High to \overline{CS}/LD High		● 5			ns

タイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t ₇	$\overline{\text{CS}}/\text{LD}$ Low to SCK Positive Edge		●	5		ns
t ₈	$\overline{\text{CS}}/\text{LD}$ High to SCK Positive Edge		●	5		ns
t ₉	SRO Propagation Delay	$C_{\text{LOAD}} = 10\text{pF}$	●		26	ns
t ₁₀	CLR Pulse Width Low		●	60		ns
t ₁₁	LDAC Pulse Width Low		●	20		ns
t ₁₂	CLR Low to $\overline{\text{RFLAG}}$ Low	$C_{\text{LOAD}} = 10\text{pF}$ (Note 12)	●		70	ns
t ₁₃	$\overline{\text{CS}}/\text{LD}$ High to $\overline{\text{RFLAG}}$ high	$C_{\text{LOAD}} = 10\text{pF}$ (Note 12)	●		60	ns
	SCK Frequency	50% Duty Cycle (Note 13)	●		25	MHz

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: 規定された最大動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なう恐れがある。

Note 3: 帰還抵抗および I_{OUT1} 漏れ電流の規格から計算。製造時のテストは行われず、ほとんどのアプリケーションでは、ユニポーラのゼロスケール誤差は出力アンプが寄与する割合が大きい。

Note 4: 入力抵抗は R_{IN} から R_{COM} まで測定される。帰還抵抗は R_{COM} から REF まで測定される。

Note 5: DAC 入力抵抗はコードに依存しない。

Note 6: 規定されているピンから I_{OUT1} までの抵抗と、規定されているピンから I_{OUT2} までの抵抗を並列に接続。

Note 7: LT1468 と $C_{\text{FEEDBACK}} = 27\text{pF}$ の組み合わせを使用。±0.0004% までのセトリング時間である 1.8μs は、個別に時定数を最適化することで実現できる。アプリケーション・ノート 120 「1ppm Settling Time Measurement for a Monolithic 18-Bit DAC」を参照。

Note 8: メジャー・キャリヤー遷移、0V ~ 5V の範囲で測定。出力アンプ: LT1468、 $C_{\text{FB}} = 50\text{pF}$ 。

Note 9: フルスケールの遷移、REF = 0V。

Note 10: REF = 6V_{RMS} (1kHz)。0V ~ 5V の範囲。DAC のコード = FS。出力アンプ = LT1468。

Note 11: $V_n = \sqrt{4kTRB}$ により計算。ここで、 $k = 1.38\text{E-}23 \text{ J/K}$ (ボルツマン定数)、 $R =$ 抵抗 (Ω)、 $T =$ 温度 ($^\circ\text{K}$)、および $B =$ 帯域幅 (Hz)。0V ~ 5V の範囲: ゼロスケール、ミッドスケール、またはフルスケール。

Note 12: 設計によって保証されているが、製造時にはテストされない。

Note 13: SRO を使用する場合、最大 SCK 周波数 f_{MAX} は SRO の伝播遅延 t_9 によって次のように制限される。

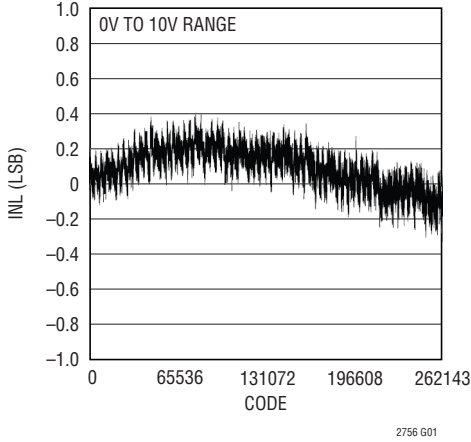
$$f_{\text{MAX}} = \left(\frac{1}{2(t_9 + t_s)} \right) \text{ ここで、} t_s \text{ は受信側デバイスのセットアップ時間。}$$

LTC2756

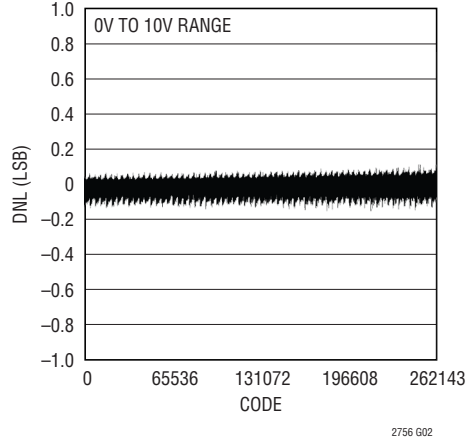
標準的性能特性

注記がない限り、 $V_{DD} = 5V$ 、 $V(R_{IN}) = 5V$ 、 $T_A = 25^\circ C$ 。

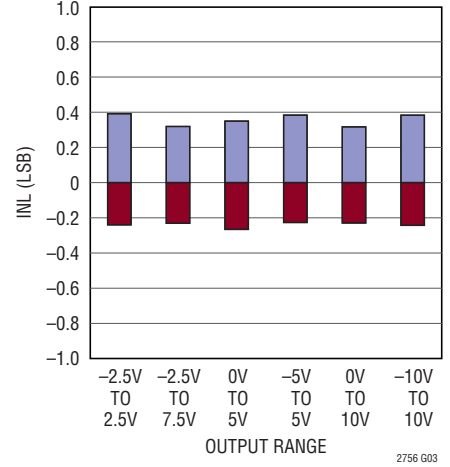
積分非直線性 (INL)



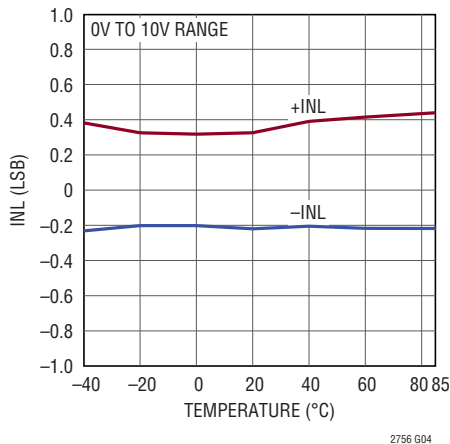
微分非直線性 (DNL)



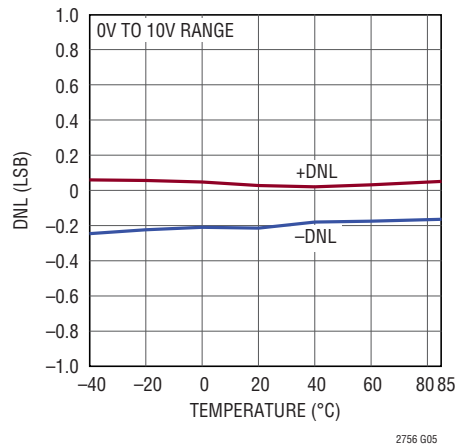
INLと出力範囲



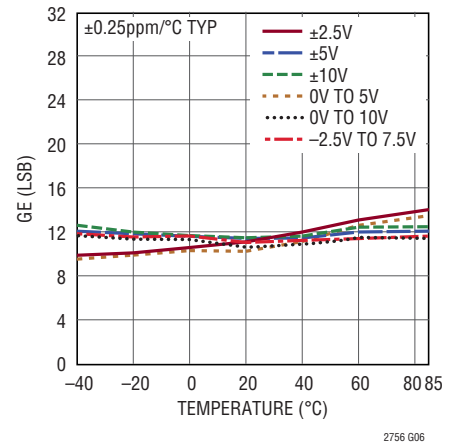
INLと温度



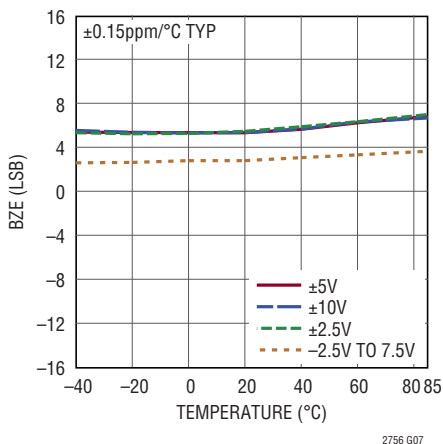
DNLと温度



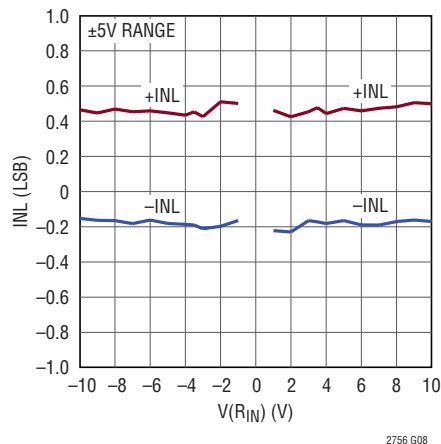
利得誤差と温度



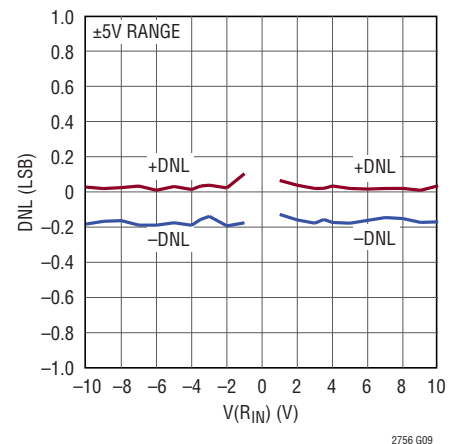
バイポーラのゼロ誤差と温度



INLとリファレンス電圧

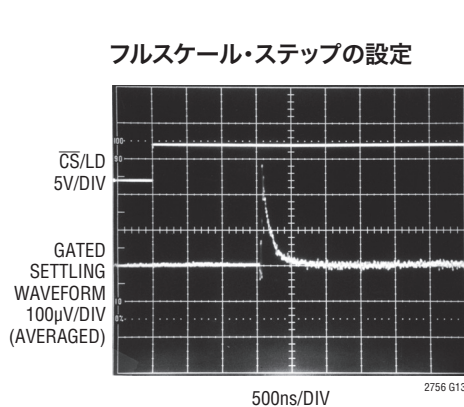
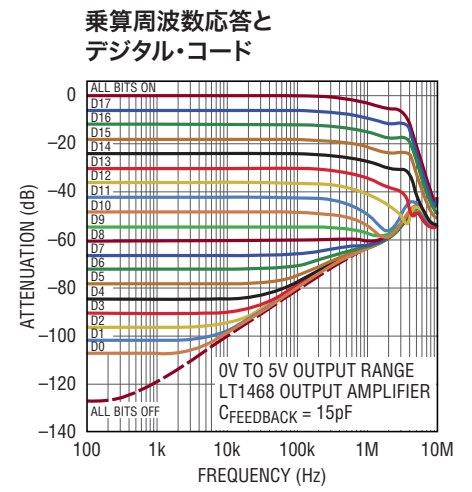
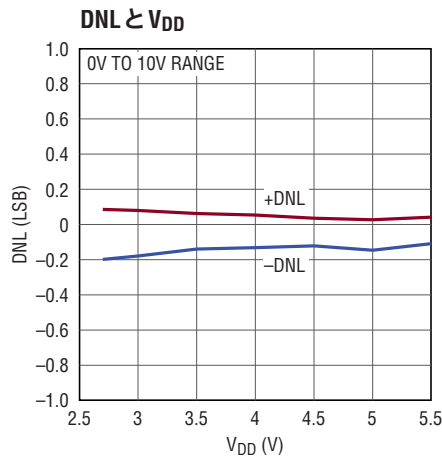
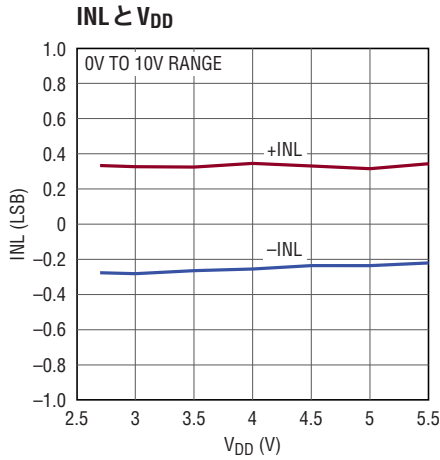


DNLとリファレンス電圧

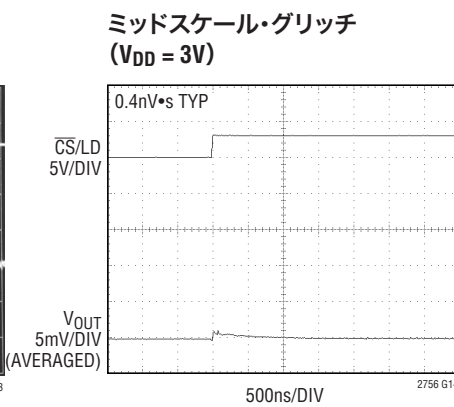


標準的性能特性

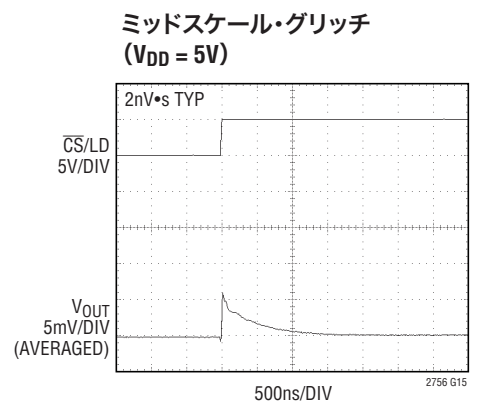
注記がない限り、 $V_{DD} = 5V$ 、 $V(R_{IN}) = 5V$ 、 $T_A = 25^\circ C$ 。



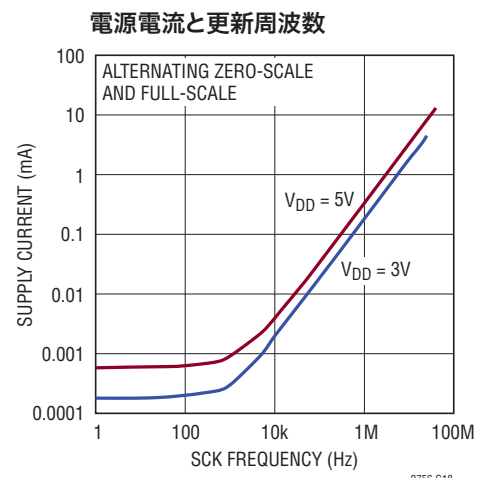
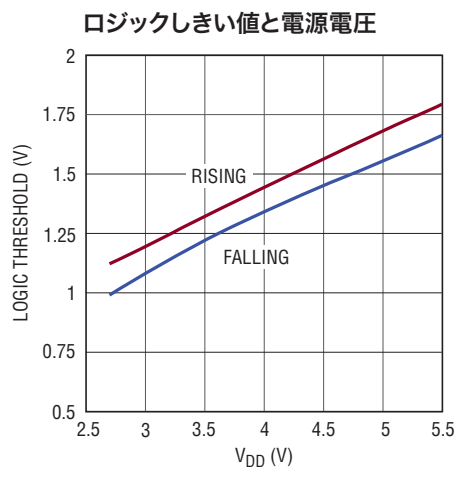
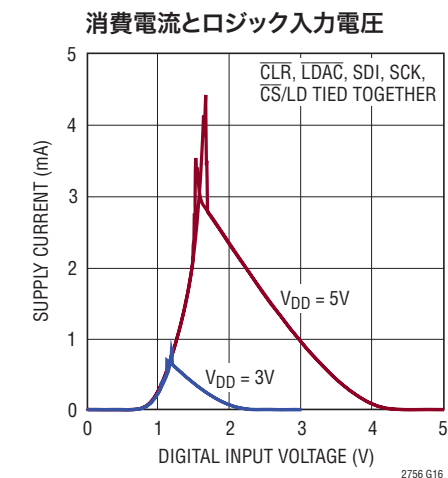
LT1468 AMP; $C_{FEEDBACK} = 20pF$
0V TO 10V STEP
 $V_{REF} = -10V$; SPAN CODE = 0000
 $t_{SETTLE} = 1.8\mu s$ to 0.0004% (18 BITS)



0V TO 5V RANGE
LT1468 OUTPUT AMPLIFIER
 $C_{FEEDBACK} = 50pF$
RISING MAJOR CARRY TRANSITION.
FALLING TRANSITION IS SIMILAR OR BETTER.



0V TO 5V RANGE
LT1468 OUTPUT AMPLIFIER
 $C_{FEEDBACK} = 50pF$
RISING MAJOR CARRY TRANSITION.
FALLING TRANSITION IS SIMILAR OR BETTER.



ピン機能

RoFs (ピン1) : バイポーラ・オフセット抵抗。このピンの機能は、バイポーラ・スパンの出力電圧範囲の変換です。±15Vまで入力可能です。通常動作の場合は、 R_{IN} (ピン5)に正のリファレンス電圧を接続します。

REF (ピン2) : DACリファレンス入力、およびリファレンス反転アンプの帰還抵抗。外部リファレンス反転アンプは、その負荷を10kのDACリファレンス入力抵抗と20kの帰還抵抗との並列接続と認識します。通常動作の場合は、このピンをリファレンス反転アンプの出力に接続します(「標準的応用例」のセクションを参照)。標準は5Vですが、±15Vまで入力可能です。

R_{COM} (ピン3) : 内蔵のリファレンス反転抵抗の仮想接地点。これらの20k高精度整合抵抗がデバイスに内蔵されているのは、正の出力極性を発生するのに必要な負のリファレンス電圧を発生しやすくするためです。これらの抵抗は、 R_{IN} と R_{COM} の間、および R_{COM} とREFの間に内部接続されています(「ブロック図」を参照)。通常動作の場合は、 R_{COM} を外部リファレンス反転アンプの負入力に接続します(「標準的応用例」のセクションを参照)。

GE_{ADJ} (ピン4) : 利得調整ピン。この制御ピンを使用すると、利得誤差をゼロにするか、リファレンス誤差を補償することができます。公称の調整範囲は、± V_{RIN} の電圧入力範囲に対して±2048 LSB(つまり、5Vのリファレンス入力の場合は±5V)です。使用しない場合は、グランドに接続します。

R_{IN} (ピン5) : リファレンス反転アンプの入力抵抗。 R_{IN} と R_{COM} の間に20kの入力抵抗が内部接続されています。通常動作の場合は、 R_{IN} を外部のリファレンス電圧に接続します(「標準的応用例」のセクションを参照)。標準は5Vですが、±15Vまで入力可能です。

GND (ピン6、8、13、15、16、24) : グランド・ピン。グランドに接続します。

I_{OUT2} (ピン7) : 電流出力の補完ピン。クリーンな低インピーダンス経路を介してグランドに接続します。

$\overline{CS/LD}$ (ピン9) : 同期チップ・セレクトおよび負荷入力ピン。このピンをロジック“L”にすると、シリアル・データの入力および出力に対してSDI、SCK、およびSRO(ピン10、11、および12)がイネーブルされます。

SDI (ピン10) : シリアル・データ入力。データは $\overline{CS/LD}$ (ピン9)が“L”のときシリアル・クロック(SCK、ピン11)の立ち上がりエッジでクロックに同期します。

SCK (ピン11) : シリアル・クロック。

SRO (ピン12) : シリアル読み出し出力。データはSCKの立ち下がりエッジでクロックとの同期から外れます。読み出しデータがクロックとの同期から外れ始めるのは、最初のバイトがクロックに同期した後です。SROがアクティブな出力であるのは、チップが選択されているとき(つまり、 $\overline{CS/LD}$ が“L”であるとき)だけです。それ以外は、他のデバイスがバスを制御できるように、SROは高インピーダンス出力になります。

V_{DD} (ピン14) : 正の電源入力。2.7V ≤ V_{DD} ≤ 5.5V。0.1μFの低ESRコンデンサを使用してグランドへバイパスします。

\overline{CLR} (ピン17) : 非同期のクリア入力。このピンが“L”のときは、すべてのDACレジスタ(コードとスパンの両方)がクリアされて0になります。DAC出力はクリアされて0Vになります。

RFLAG (ピン18) : リセット・フラグ出力。パワーオン・リセットまたはクリアの状況が生じると、アクティブ“L”の出力がアクティブになります。更新コマンドが実行されると“H”に戻ります。

M-SPAN (ピン19) : 手動スパン制御ピン。M-SPANは、DACの単一固定出力範囲の動作を設定するために、ピンS0、S1、およびS2(ピン20、21、および22)と組み合わせて使用します。

デバイスを手動スパンで使用するように設定するには、M-SPANを直接 V_{DD} に接続します。次に、アクティブな出力範囲を(SPIポートではなく)ピンS2、S1およびS0のハードウェア・ピン結線によって設定します。書き込みと更新のコマンドはアクティブ出力スパンには影響しません。

デバイスをSoftSpanで使用するように設定するには、M-SPANを直接GNDに接続します。これで、出力範囲はSPIポートを介して個別に制御可能になるので、ピンS2、S1およびS0は影響を与えません。

「動作」セクションの「手動スパンの設定」を参照してください。M-SPANはGND (SoftSpan構成)または V_{DD} (手動スパン構成)のいずれかに直接接続する必要があります。

ピン機能

S0 (ピン20) : スパン・ビット0の入力。手動スパン・モード (M-SPANをV_{DD}に接続)では、ピンS0、S1、およびS2をピン結線して、単一の固定出力範囲を選択します。これらのピンは、使用しない場合でも、GNDまたはV_{DD}に接続する必要があります。

S1 (ピン21) : スパン・ビット1の入力。手動スパン・モード (M-SPANをV_{DD}に接続)では、ピンS0、S1、およびS2をピン結線して、単一の固定出力範囲を選択します。これらのピンは、使用しない場合でも、GNDまたはV_{DD}に接続する必要があります。

S2 (ピン22) : スパン・ビット2の入力。手動スパン・モード (M-SPANをV_{DD}に接続)では、ピンS0、S1、およびS2をピン結線して、単一の固定出力範囲を選択します。これらのピンは、使用しない場合でも、GNDまたはV_{DD}に接続する必要があります。

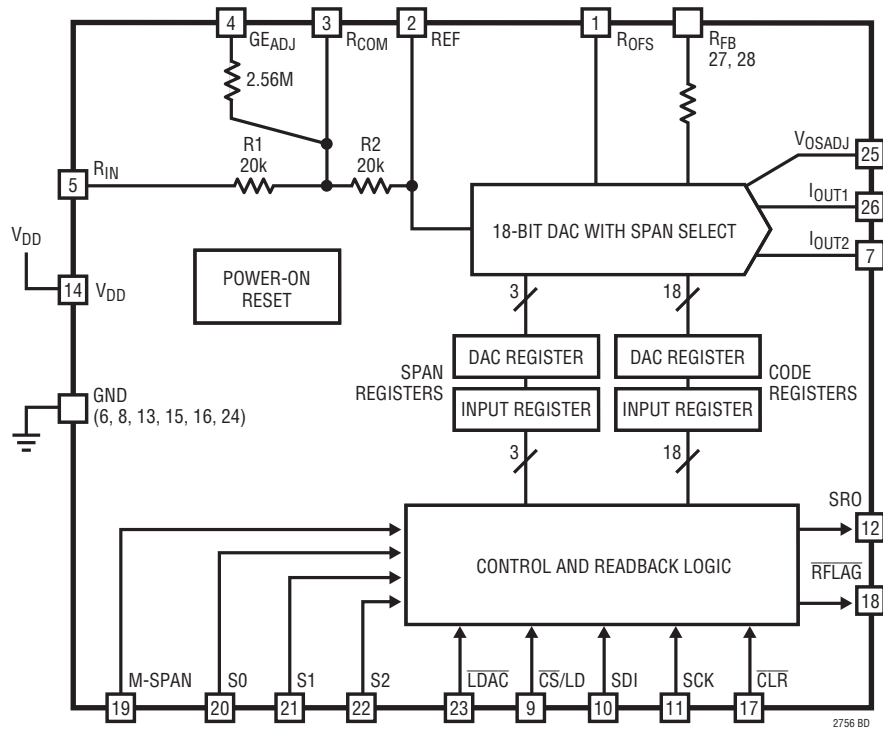
$\overline{\text{LDAC}}$ (ピン23) : 非同期のDAC負荷入力。 $\overline{\text{LDAC}}$ をロジック“L”にすると、DACは更新されます ($\overline{\text{CS/LD}}$ は“H”である必要があります)。

V_{OSADJ} (ピン25) : オフセット調整ピン。この制御ピンを使用すると、ユニポーラ・オフセットまたはバイポーラ・ゼロ誤差を取り除くことができます。V_{OSADJ}に5Vの制御電圧を加えることで、どの出力範囲の場合でも $\Delta V_{OS} = -2048 \text{ LSB}$ となるように、オフセット電圧の変化量は反転して減衰します (R_{IN}に5Vのリファレンス電圧を入力していることが前提です)。「動作」のセクションの「**システムのオフセットとリファレンスの調整**」を参照してください。使用しない場合は、グラウンドに接続します。

I_{OUT1} (ピン26) : 電流出力ピン。このピンはDACが動作しているときは仮想グラウンドなので、0Vになります。通常動作の場合は、I/Vコンバータ・アンプの負入力に接続します («標準的応用例」のセクションを参照)。

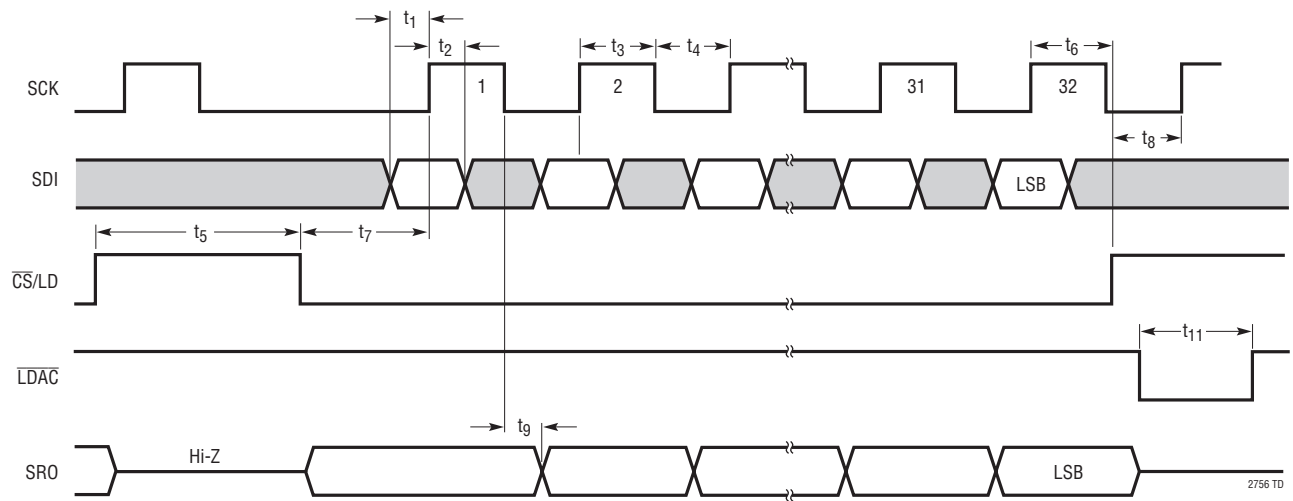
R_{FB} (ピン27、28) : 帰還抵抗。通常動作の場合は、両方のピンをI/Vコンバータ・アンプの出力に接続します («標準的応用例」のセクションを参照)。I_{OUT1}からのDACの出力電流は、帰還抵抗を流れてR_{FB}ピンに流れます。

ブロック図



2756 BD

タイミング図



動作

出力範囲

LTC2756は、出力範囲を選択可能な電流出力、シリアル入力の高精度乗算型DACです。範囲は、最大限の柔軟性を得るためにソフトウェアでプログラミングする(DACは6つの出力範囲のいずれかにプログラム可能)か、ピン結線によって配線することができます。2つのユニポーラ範囲(0V~5Vおよび0V~10V)と4つのバイポーラ範囲($\pm 2.5V$ 、 $\pm 5V$ 、 $\pm 10V$ 、および $-2.5V$ ~ $7.5V$)があります。これらの範囲は外部の高精度5Vリファレンスを使う場合に得られます。その他のリファレンス電圧の出力範囲は、各範囲が外部リファレンス電圧の倍数になるように簡単に計算できます。したがって、範囲は次のように表すことができます。0~1倍、0~2倍、 ± 0.5 倍、 ± 1 倍、 ± 2 倍、および -0.5 倍~ 1.5 倍。

手動スパンの設定

アプリケーションによっては、複数の出力範囲は必要ありません。余計な動作上の負担を加えず単一スパンで動作するようにLTC2756を設定するには、M-SPANピンを直接V_{DD}に接続します。次に、アクティブな出力範囲を(SPIポートではなく)ピンS2、S1およびS0のハードウェア・ピン結線によって設定します。書き込みと更新のコマンドはアクティブ出力スパンには影響しません。図1と表2を参照してください。

通常のSoftSpan動作ではM-SPANピンをグランドに接続します。

入力レジスタおよびDACレジスタ

LTC2756には2組の二重バッファ・レジスタ(1組はコード・データ用で、もう1組はDACの出力範囲用)と1つの読み出しレジスタがあり、合計で5つのレジスタがあります。二重バッファによりスパン(出力範囲)とコードを同時に更新可能なので、出力範囲の変更時に電圧を滑らかに遷移させることができます。

二重バッファ・レジスタの各組は、入力レジスタとDACレジスタで構成されます。

入力レジスタ：書き込み動作では、SDIピンから、選択された入力レジスタにデータがシフトします。入力レジスタは保持バッファなので、書き込み動作はDACの出力に影響を与えません。

DACレジスタ：更新動作では、入力レジスタの内容がその関連DACレジスタにコピーされます。DACレジスタの内容は関連したDACの出力電圧または出力範囲を直接更新します。

更新にはコードとスパンの両方のレジスタ・セットが含まれることに注意してください。ただし、DACレジスタに保持されている値は、関連した入力レジスタの値が書き込み動作によって先に変更されている場合にのみ変更されます。

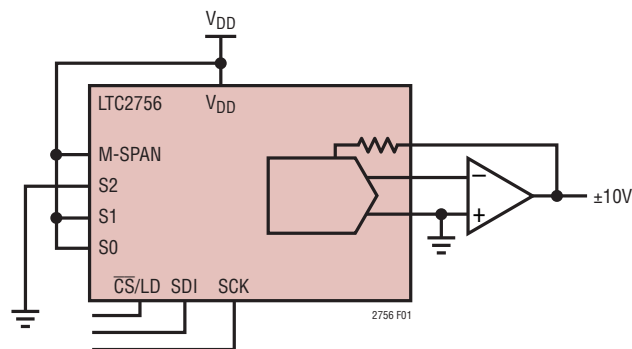


図1. M-SPANを使用したLTC2756の単一スパン動作の設定($\pm 10V$ の範囲を示す)

動作

シリアル・インタフェース

\overline{CS}/LD ピンが“L”になると、SDIピンのデータは、クロック(SCKピン)の立ち上がりエッジでシフト・レジスタに読み込まれます。LTC2756に必要な読み込み順序は、最初に4ビットのコマンド・ワード(C3 C2 C1 C0)と4つのゼロで構成される1バイトを読み込み、その後3バイト(24ビット)のデータを読み込むという順序です。

コードを書き込む場合、コード・データは左(MSB)揃えにします。これにより、24ビットのデータ・フィールドは、18個のコード・ビットと、それに続く6つのドント・ケア・ビットで構成されます。

出力範囲を書き込む場合は、2番目のデータ・バイトの最後の4ビットに、S3からS0の順にスパン・データを書き込みます。書き込みに使用するSDI入力ワード構文を図2に示します。

\overline{CS}/LD が“L”のとき、SROピン(シリアル読み出し出力)はアクティブな出力です。読み出しデータは、先頭のバイトがSDIにシフトした後に始まります。 \overline{CS}/LD の立ち下がりエッジから読み出しデータが始まるまで、SROはロジック“L”を出力します。

\overline{CS}/LD が“H”のとき、SROピンは高インピーダンス(3状態)出力を示します。

\overline{LDAC} は非同期の更新ピンです。 \overline{LDAC} が“L”になると、DACのコード・データおよびスパン・データが更新されます(入力バッファのデータがDACのバッファにコピーされます)。この動作の間、 \overline{CS}/LD は“H”にしておく必要があります。そうでないと、 \overline{LDAC} はロックアウトされ、無効になります。 \overline{LDAC} を使用することは、シリアル・コマンドを使用することと機能的には同じです。

コマンドのコード(C3～C0)は表1に定義されています。

読み出し

LTC2756には、コードスパンのレジスタ・セットの他に、読み出しレジスタがあります。各命令サイクルの最後に、内蔵レジスタのいずれかの内容が読み出しレジスタにコピーされ、SROピンを介して順次シフトアウトされます。

読み出しデータは常に24ビットのデータ・フィールドに置かれます。これは、最初のバイトがSDIにシフトインした直後のSCKの立ち下がりエッジから始まります。コードを読み出すとき、コード・データは24ビット・フィールドの最初の18ビットを占めます。出力範囲をチェックするとき、スパン・ビットは2番

目のデータ・バイトの最後の4ビットです。いずれの場合も、24ビット・データ・フィールドのその他のビットはすべて0になります。入力および読み出しの順序を図2に示します。

SROによって出力されるデータは、位置と順序が入力データと常に同じです。ただし、このことは、SROのデータが、SDIにシフトインしている対応ビットよりも1/2クロック・サイクル早くシフトアウトすることを意味しています。たとえば、コード・ビットD9がSDIにシフトインされるのはSCKクロック17の立ち上がりエッジですが、このビットがSROからシフトアウトされるのはクロック16の立ち下がりエッジです。これにより、D9はクロック17の立ち上がりエッジで外部マイクロプロセッサに同期させることができます。

読み出しコマンドの場合、要求されたデータは、コマンド・バイト直後の3バイト(24ビット)のデータ・フィールドでSROからシフトアウトされます。読み出しコマンドでは、命令サイクルの待ち時間がないので、データは要求されたのと同じ命令サイクルでシフトアウトされます。

読み出し以外の(つまり、書き込みや更新)コマンドでは、直前のコマンドで対象になったバッファの内容をSROが自動的にシフトアウトします。この「回転式読み出し」というデフォルトの動作モードにより、必要な命令サイクルの数を劇的に減らすことができます。ほとんどのコマンドを余計な負担なしで後続のコマンド実行中に検証できるからです。概念的な流れ図を図3に示します。先行するコマンドごとに、どのレジスタ(読み出しポインタ)が読み出しレジスタにコピーされ、後続の命令サイクル中にSROから出力されるかを表1に示します。

手動スパン設定におけるスパンの読み出し

スパンDACレジスタが読み出しのために選択されると、SROは実際の出力スパンを出力することで応答します。これが該当するのは、LTC2756がSoftSpanに設定(M-SPANはGNDに接続)されているか、または手動スパンに設定(M-SPANはV_{DD}に接続)されている場合です。

SoftSpan構成では、SROは(SPIポートを介してプログラムされた)スパンDACレジスタからスパン・コードを出力します。マニュアル・スパン構成では、有効な出力範囲はピンS2、S1およびS0によって制御されるので、SROはこれらのピンのロジック値を出力します。スパン・コード・ビットS2、S1およびS0は、SRO出力シーケンスで常に同じ順序と位置で現れます(図2を参照)。

動作

表1. コマンドのコード

コード				コマンド	読み出しポインタ- 現在の入力ワード W_0	読み出しポインタ- 次の入力ワード W_{+1}
C3	C2	C1	C0			
0	0	1	0	スパンを書き込む	前のコマンドによって設定	入力スパン・レジスタ
0	0	1	1	コードを書き込む	前のコマンドによって設定	入力コード・レジスタ
0	1	0	0	更新	前のコマンドによって設定	DAC スパン・レジスタ
0	1	1	0	スパンを書き込む、更新	前のコマンドによって設定	DAC スパン・レジスタ
0	1	1	1	コードを書き込む、更新	前のコマンドによって設定	DAC コード・レジスタ
1	0	1	0	入力スパン・レジスタを読み出す	入力スパン・レジスタ	入力スパン・レジスタ
1	0	1	1	入力コード・レジスタを読み出す	入力コード・レジスタ	入力コード・レジスタ
1	1	0	0	DAC スパン・レジスタを読み出す	DAC スパン・レジスタ	DAC スパン・レジスタ
1	1	0	1	DAC コード・レジスタを読み出す	DAC コード・レジスタ	DAC コード・レジスタ
1	1	1	1	動作なし	前のコマンドによって設定	DAC コード・レジスタ
—				システム・クリア	—	DAC スパン・レジスタ
—				最初の電源投入または電源供給の中断	—	DAC スパン・レジスタ

表示されていないコードは予備—使用しないでください。

表2. スパンのコード

S3	S2	S1	S0	スパン
0	0	0	0	ユニポーラ 0V~5V
0	0	0	1	ユニポーラ 0V~10V
0	0	1	0	バイポーラ -5V~5V
0	0	1	1	バイポーラ -10V~10V
0	1	0	0	バイポーラ -2.5V~2.5V
0	1	0	1	バイポーラ -2.5V~7.5V

表示されていないコードは予備—使用しないでください。

動作

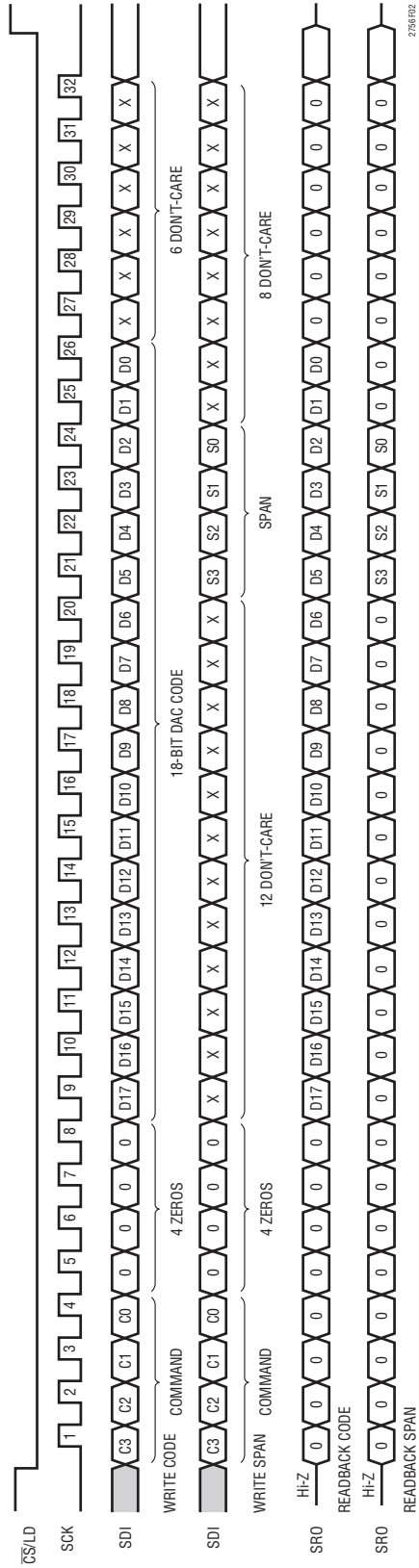


図2. シリアル入力および出力の順序

動作

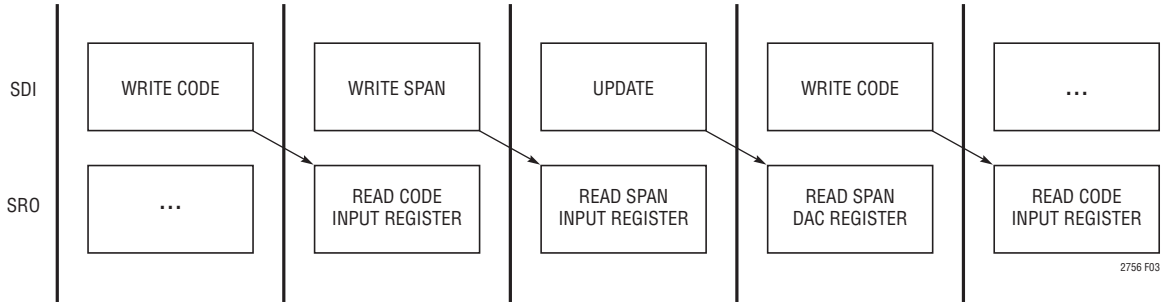


図3. 回転式読み出しの例

動作

例

1. $\pm 5V$ の範囲を読み込み、出力を0Vにします。スパンとコードは一緒に更新されるので、この例の全体を通じて出力は0Vのままです。
 - a) \overline{CS}/LD ↓ (“L”にする)。SDIを同期:
00100000 XXXXXXXX XXXX0010 XXXXXXXX
 - b) \overline{CS}/LD ↑
 (“H”にする)スパン入力レジスタ – 範囲をバイポーラ $\pm 5V$ に設定。
 - c) \overline{CS}/LD ↓。SDIを同期:
00110000 10000000 00000000 00XXXXXX
 - d) \overline{CS}/LD ↑
コード入力レジスタ – コードをミッドスケールに設定。
 - e) \overline{CS}/LD ↓。SDIを同期:
01000000 XXXXXXXX XXXXXXXX XXXXXXXX
 - f) \overline{CS}/LD ↑
コードおよび範囲を更新。
代わりに、ステップeおよびfをLDACの \overline{LD} (“H”→“L”→“H”の順に切り替え)で置き換えることができる。
2. $\pm 10V$ の範囲を読み込み、出力を5Vにしてから $-5V$ に変更します。
 - a) \overline{CS}/LD ↓。SDIを同期:
00110000 11000000 00000000 00XXXXXX
 - b) \overline{CS}/LD ↑
コード入力レジスタを $\frac{3}{4}$ スケールのコードに設定。
 - c) \overline{CS}/LD ↓。SDIを同期:
01100000 XXXXXXXX XXXX0011 XXXXXXXX
 - d) \overline{CS}/LD ↑
スパン入力レジスタを $\pm 10V$ の範囲に設定。
コードおよび範囲を更新。出力は5Vになる。
 - e) \overline{CS}/LD ↓。SDIを同期:
01110000 01000000 00000000 00XXXXXX
 - f) \overline{CS}/LD ↑
コード入力レジスタを $\frac{1}{4}$ スケールのコードに設定。
コードおよび範囲を更新(更新では範囲は変更されません。新たな範囲が書き込まれたわけではないからです)。出力は $-5V$ になる。
3. 更新前の入力レジスタの内容を確認するために、読み出しを使用して0V \sim 10Vの範囲のミッドスケール・コード ($V_{OUT} = 5V$)を書き込んで更新します。
 - a) \overline{CS}/LD ↓。SDIを同期:
00110000 10000000 00000000 00XXXXXX
 - b) \overline{CS}/LD ↑
コード入力レジスタをミッドスケールに設定。
 - c) \overline{CS}/LD ↓。SDIを同期:
00100000 XXXXXXXX XXXX0001 XXXXXXXX
SROでのデータ出力:
00000000 10000000 00000000 00000000
コード入力レジスタがミッドスケールに設定されていることを確認。
 - d) \overline{CS}/LD ↑
スパン入力レジスタを0V \sim 10Vの範囲に設定。
 - e) \overline{CS}/LD ↓。SDIを同期:
10100000 XXXXXXXX XXXXXXXX XXXXXXXX
SROでのデータ出力:
00000000 00000000 00000001 00000000
スパン入力レジスタが0V \sim 10Vの範囲に設定されていることを確認。
 - f) \overline{CS}/LD ↑
 - g) \overline{CS}/LD ↓。SDIを同期:
01000000 XXXXXXXX XXXXXXXX XXXXXXXX
 - h) \overline{CS}/LD ↑
コードおよび範囲を更新。出力は5Vになる。

動作

システムのオフセットとリファレンスの調整

多くのシステムがシステム全体のオフセットの補償を必要とします。このオフセットは、LTC2756のオフセットよりも1桁以上大きいことがあります。LTC2756のオフセットは小さいので、最も高精度のオペアンプを使用している場合でも外部出力アンプの誤差の方が大きくなります。

オフセット調整ピン V_{OSADJ} を使って、ユニポーラ・オフセットまたはバイポーラ・ゼロ誤差を取り除くことができます。LSB で表されているオフセットの変化はどの出力範囲でも同じです。

$$\Delta V_{OS} [\text{LSB}] = \frac{-V(V_{OSADJ})}{V(R_{IN})} \cdot 2048$$

V_{OSADJ} に 5V の制御電圧を加えると、どの出力範囲の場合でも $\Delta V_{OS} = -2048$ LSB となります (R_{IN} に 5V のリファレンス電圧を入力していることが前提です)。

電圧で表すと、オフセットの変化量(デルタ)は、出力範囲に応じて、32、64または128分の1に減衰します。(以下の関数はリファレンス電圧に関係なく成立します。)

$$\Delta V_{OS} = -(1/128)V_{OSADJ} \quad [\text{スパンが } 0V \sim 5V, \pm 2.5V \text{ の場合}]$$

$$\Delta V_{OS} = -(1/64)V_{OSADJ} \quad [\text{スパンが } 0V \sim 10V, \pm 5V, -2.5V \sim 7.5V \text{ の場合}]$$

$$\Delta V_{OS} = -(1/32)V_{OSADJ} \quad [\text{スパンが } \pm 10V \text{ の場合}]$$

利得誤差調整ピン GE_{ADJ} を使うと、利得誤差を取り除くか、リファレンス誤差を補償することができます。LSB で表される利得誤差の変化はどの出力範囲でも同じです。

$$\Delta GE = \frac{V(GE_{ADJ})}{V(R_{IN})} \cdot 2048$$

利得誤差の変化量(デルタ)は、正のリファレンス電圧の場合には非反転です。

このピンは、反転したリファレンス電圧 $V(REF)$ を変えることによって利得を補償することに注意してください。電圧で表すと、 $V(REF)$ の変化量(デルタ)は反転して128分の1に減衰します。

$$\Delta V(REF) = -(1/128)GE_{ADJ}$$

これらのピンの公称入力範囲は $\pm 5V$ です。必要に応じて、 $\pm 15V$ までの他の電圧を使用することができます。ただし、電源を分

圧した電圧は使わないでください。DACの最良の性能を維持するには、リファレンスの品質をもった低ノイズの入力が必要です。

V_{OSADJ} ピンの入力インピーダンスは $1.28M\Omega$ です。LTC2756のセットリング性能を維持するには、このピンを $10k$ 以下のテブナン等価インピーダンスで駆動します。 V_{OSADJ} ピンを使わない場合は、GNDに短絡します。

GE_{ADJ} ピンの入力インピーダンスは $2.56M\Omega$ であり、固定のリファレンス電圧のみで使用することを想定しています。このピンを使わない場合は、GNDに短絡します。

パワーオン・リセットとクリア

LTC2756に初めて電源が投入されると、DACはユニポーラ5Vモード(S3 S2 S1 S0 = 0000)で起動します。すべての内部レジスタは0にリセットされ、DAC出力は0Vに初期化されます。

デバイスが手動スパン動作に設定されると、DACは最初の更新コマンドでピン結線による範囲に設定されます。これにより、ユーザーは、選択された出力範囲に電圧が滑らかに遷移するようにスパンとコードを同時に更新することができます。

\overline{CLR} ピンを“L”にすると、システムは結果をクリアします。DACバッファは0にリセットされ、DAC出力は0Vにリセットされます。入力バッファはそのままなので、それ以降に(\overline{LDAC} の使用を含む)更新コマンドを実行すると、DACは以前の状態に戻ります。

命令の間に、つまり $\overline{CS/LD}$ が“L”のときに \overline{CLR} がアクティブになると、その命令は中止されます。これらの条件では、関連した入力バッファの完全性は保証されないため、内容を読み出してチェックするか置き換えます。

\overline{RFLAG} ピンはデータの完全性が失われたことをシステムに通知するフラグとして使われます。 \overline{RFLAG} 出力は、起動時、システム・クリア時、または電源 V_{DD} が約 $2V$ より低くなると“L”でアクティブになり、有効な更新コマンドが実行されるまでアクティブに保たれます。

アプリケーション情報

オペアンプの選択

18ビットのLTC2756は精度が非常に高いので、このデバイスで可能な並外れた性能を実現するために、オペアンプの選択は慎重に行います。幸いにも、オペアンプのオフセットに対するINLとDNLの感度は、前の世代の乗算型DACに比べて大幅に減少しています。

表3. 表4の式の係数

出力範囲	A1	A2	A3	A4	A5
5V	1.1	2	1	-	1
10V	2.2	3	0.5	-	1.5
±5V	2	2	1	1	1.5
±10V	4	4	0.83	1	2.5
±2.5V	1	1	1.4	1	1
-2.5V to 7.5V	1.9	3	0.7	0.5	1.5

ユニポーラまたはバイポーラの出力範囲でプログラムした場合のLTC2756の精度に対するオペアンプのパラメータの影響を評価する式を表3と表4に示します。これらは、オペアンプが原因で生じることがある、INL、DNL、ユニポーラ・オフセット、ユニポーラ利得誤差、バイポーラ・ゼロ誤差、およびバイポーラ利得誤差の変化です。

LTC2756との併用を推奨するリニアテクノロジーの高精度オペアンプのリストの一部を表5に示します。使いやすい設計式により、システムの規定の誤差に適合するオペアンプを簡単に選択することができます。表5からアンプを選択し、規定されているオペアンプのパラメータを表4に当てはめます。各分類の誤差をすべて加算して、デバイスの精度に対するオペアンプの影響を調べます。算術和から得られるのは、(可能性の低い)ワーストケースの影響です。二乗和平方根(RMS)からは、より現実的な推定値が得られます。

表4. すべての出力範囲でDACの精度に対するオペアンプの影響を求める使いやすい式(1ページの回路)。添字の1は出力アンプを指し、添字の2はリファレンス反転アンプを指す。

OP AMP	INL (LSB)	DNL (LSB)	UNIPOLAR OFFSET (LSB)	BIPOLAR ZERO ERROR (LSB)	UNIPOLAR GAIN ERROR (LSB)	BIPOLAR GAIN ERROR (LSB)
V_{OS1} (mV)	$V_{OS1} \cdot 12.1 \cdot \left(\frac{5V}{V_{REF}}\right)$	$V_{OS1} \cdot 3.1 \cdot \left(\frac{5V}{V_{REF}}\right)$	$A3 \cdot V_{OS1} \cdot 52.4 \cdot \left(\frac{5V}{V_{REF}}\right)$	$A3 \cdot V_{OS1} \cdot 78.6 \cdot \left(\frac{5V}{V_{REF}}\right)$	$V_{OS1} \cdot 52.4 \cdot \left(\frac{5V}{V_{REF}}\right)$	$V_{OS1} \cdot 52.4 \cdot \left(\frac{5V}{V_{REF}}\right)$
I_{B1} (nA)	$I_{B1} \cdot 0.0012 \cdot \left(\frac{5V}{V_{REF}}\right)$	$I_{B1} \cdot 0.00032 \cdot \left(\frac{5V}{V_{REF}}\right)$	$I_{B1} \cdot 0.524 \cdot \left(\frac{5V}{V_{REF}}\right)$	$I_{B1} \cdot 0.524 \cdot \left(\frac{5V}{V_{REF}}\right)$	$I_{B1} \cdot 0.0072 \cdot \left(\frac{5V}{V_{REF}}\right)$	$I_{B1} \cdot 0.0072 \cdot \left(\frac{5V}{V_{REF}}\right)$
$AVOL1$ (V/mV)	$A1 \cdot \left(\frac{66}{AVOL1}\right)$	$A2 \cdot \left(\frac{6}{AVOL1}\right)$	0	0	$A5 \cdot \left(\frac{524}{AVOL1}\right)$	$A5 \cdot \left(\frac{524}{AVOL1}\right)$
V_{OS2} (mV)	0	0	0	$A4 \cdot V_{OS2} \cdot 52.4 \cdot \left(\frac{5V}{V_{REF}}\right)$	$V_{OS2} \cdot 104.8 \cdot \left(\frac{5V}{V_{REF}}\right)$	$V_{OS2} \cdot 104.8 \cdot \left(\frac{5V}{V_{REF}}\right)$
I_{B2} (nA)	0	0	0	$A4 \cdot I_{B2} \cdot 0.524 \cdot \left(\frac{5V}{V_{REF}}\right)$	$I_{B2} \cdot 1.048 \cdot \left(\frac{5V}{V_{REF}}\right)$	$I_{B2} \cdot 1.048 \cdot \left(\frac{5V}{V_{REF}}\right)$
$AVOL2$ (V/mV)	0	0	0	$A4 \cdot \left(\frac{262}{AVOL2}\right)$	$\left(\frac{524}{AVOL2}\right)$	$\left(\frac{524}{AVOL2}\right)$

表5. LTC2756との併用を推奨するリニアテクノロジーの高精度オペアンプの一部とその関連仕様のリスト
アンプの仕様

アンプ	V_{OS} μV	I_B nA	$AVOL$ V/mV	電圧 ノイズ nV/√Hz	電流 ノイズ pA/√Hz	スルー レート V/μs	利得帯域幅積 MHz	$t_{SETTLING}$ (LTC2756 併用時) μs	電力損失 mW
LTC1150	10	0.05	5600	90	0.0018	3	2.5	10ms	24
LT1001	25	2	800	10	0.12	0.25	0.8	120	46
LT1012	25	0.1	2000	14	0.02	0.2	1	120	11.4
LT1097	50	0.35	2500	14	0.008	0.2	0.7	120	11
LT1468	75	10	5000	5	0.6	22	90	2.1	117

アプリケーション情報

オペアンプのオフセットは、その大部分がDACの出力オフセットと利得誤差に寄与し、INLとDNLに対する影響はほとんどありません。たとえば、ユニポーラの5V出力範囲でのLTC2756について考えます。(この例では、LSBの大きさが $19\mu\text{V}$ であることに注意。)オペアンプのオフセットが $35\mu\text{V}$ である場合、発生する出力オフセットと利得誤差はそれぞれ1.8LSBになりますが、INLは0.4LSBであり、DNLはわずか0.1LSBです。

表3と表4の簡単な式では直接扱ってはいませんが、ユニポーラとバイポーラのアプリケーションに対する温度の影響も同様に簡単に扱うことができます。まず、オペアンプのデータシートを参照して、全温度範囲でのワーストケースの V_{OS} および I_B を見つけます。次に、これらの数値を表4の V_{OS} と I_B の式に代入して温度による影響を計算します。

高速セトリング時間が重要なアプリケーションの場合、アプリケーションノート120「**1ppm Settling Time Measurement for a Monolithic 18-Bit DAC**」では、18ビットDACのセトリング時間とオペアンプの選択について詳細に説明されています。

推奨事項

DCまたは低周波数のアプリケーションでは、LTC1150が最も簡素な18ビットの高精度出力アンプです。自動ゼロ・アンプは、オフセット(最大 $10\mu\text{V}$)とオフセット・ドリフト($0.01\mu\text{V}/^\circ\text{C}$)が格段に小さいので、これらを除去する必要はありません。振幅が8Vを超える場合は、LT1010バッファを追加して負荷電流対応力を増強します。自動ゼロ・アンプのセトリングは、特殊な事例です。詳細については、アプリケーションノート120「**1ppm Settling Time Measurement for a Monolithic 18-Bit DAC**」の「Appendix E」を参照してください。

LT1012とLT1001は、適度な速度と高精度を実現する中間出力アンプの優れた解決策です。固定リファレンス・アプリケーションでのリファレンス反転アンプの場合にも適しています。

高速アプリケーションの場合、LT1468は $2.1\mu\text{s}$ で安定状態になります。最大 $75\mu\text{V}$ のオフセットがあるので、DAC出力でのINLは最大で0.9LSB低下することに注意してください。高精度が要求される高速アプリケーションでは、デジタル・ポテンショメータにより、アンプのオフセットをゼロにすることができます。

オフセットをゼロにしないで高速セトリング($8\mu\text{s}$)と非常に低いオフセット(最大 $3\mu\text{V}$)を実現する複合出力アンプを図5に

示します。この回路は、高い開ループ利得(最小 $1000\text{V}/\text{mV}$)、小さい入力バイアス電流(最大 0.15nA)、高速スルーレート(最小 $25\text{V}/\mu\text{s}$)、および高い利得帯域幅積(標準 30MHz)を実現します。高速の経路は、 18MHz の超低バイアス電流アンプであるLTC6240と、その後段に、利得を増強して出力での振幅を $\pm 10\text{V}$ にすることが可能な 50MHz の高速スルーイング・アンプであるLT1360を配置することで構成されています。補償はLTC6240の出力を使って行うので、利得が5の段の後で補償する場合よりもはるかに大きい補償コンデンサを使用できます。自動ゼロ・アンプであるLTC2054は、 I_{OUT1} で電圧を検出してLTC6240の非反転入力に駆動し、高速経路のオフセットを取り除きます。 $100:1$ の減衰器と入力フィルタにより、低いDCオフセットを維持しながら、この段の低周波数ノイズを低減します。

高精度電圧リファレンスに関する検討事項

LTC2756と併用するオペアンプの選択はシステムの性能にとって非常に重要であると同様に、高精度電圧リファレンスの選択にも相応の注意が必要です。LTC2756の出力電圧は電圧リファレンスの影響を直接受けるので、電圧リファレンスの誤差はすべてDACの出力電圧誤差として現れます。

18ビット・アプリケーション用の高精度電圧リファレンスを選択するときに検討すべき主な誤差発生源は3つあります。それは、出力電圧の初期許容誤差、出力電圧の温度係数、および出力電圧ノイズです。

リファレンス出力電圧の初期許容誤差が修正されないと、フルスケールの誤差項が生じます。LTC6655のような出力電圧の初期許容誤差が低い($\pm 0.025\%$)リファレンスを選択すると、リファレンスによって生じる利得誤差を最小限に抑えることができます。ただし、システムのゼロ誤差とフルスケール誤差を修正する較正手順を必ず実行することを推奨します。

リファレンスの出力電圧温度係数は、フルスケール誤差だけでなく、回路のINLとDNLの性能にも影響する可能性があります。出力電圧の温度係数規格が緩いリファレンスを選択すると、DACの出力電圧とその伝達特性が周囲の状態に大きく依存するようになります。リファレンスの温度係数による誤差を最小限に抑えるには、出力電圧の温度係数が低い高精度リファレンスを選択するか、回路の周囲温度を厳密に制御して温度勾配をできるだけ小さくします。

アプリケーション情報

表 6. LTC2756 との併用を推奨するリニアテクノロジーの高精度リファレンスの一部とその関連仕様のリスト

リファレンス	初期許容誤差	温度ドリフト	0.1Hz~10Hzでのノイズ
LT1019A-5、 LT1019A-10	最大 ±0.05%	最大 5ppm/°C	12μV _{P-P}
LT1236A-5、 LT1236A-10	最大 ±0.05%	最大 5ppm/°C	3μV _{P-P}
LT1460A-5、 LT1460A-10	最大 ±0.075%	最大 10ppm/°C	20μV _{P-P}
LT1790A-2.5	最大 ±0.05%	最大 10ppm/°C	12μV _{P-P}
LTC6652A-5	最大 ±0.05%	最大 5ppm/°C	2.8ppm _{P-P}
LTC6655A-2.5 LTC6655A-5	最大 ±0.025%	最大 2ppm/°C	0.25ppm _{P-P}

高精度のDACアプリケーションが18ビット性能に移行するにつれて、リファレンス出力電圧のノイズがシステムのノイズフロアの主要な要因となることがあります。その結果、システムのダイナミックレンジとSN比を低下させる可能性があります。望みのシステムの分解能に対して、できるだけ出力ノイズ電圧が低い電圧リファレンスを選択するように注意が必要です。LT1236やLTC6655のような高精度電圧リファレンスでは、0.1Hz~10Hzの領域での出力ノイズが小さいので、フルスケールが5Vまたは10Vのシステムでの18ビットLSBレベルより十分小さいレベルです。ただし、回路の帯域幅が広がるにつれて、リファレンスの出力をフィルタ処理して出力ノイズを最小限に抑えることが必要な場合があります。

接地

どんな高分解能のコンバータの場合でもそうですが、クリーンな接地が重要です。低インピーダンスのアナログ・グランド・プレーンが必要であり、スター・グランドの手法も必要です。スターグランドに使用する基板層を連続に保ってグランド抵抗を最小に抑えてください。つまり、別々のスタートレースを使わずにスターグランドのコンセプトを使います。I_{OUT2}ピンは特に重要です。電圧がグランド電位まで低下してもよい場合には、I_{OUT2}ピンに流れるコード依存電流によってINLが低下するためです。この場合の最善の方針は、デバイス直下に配置した複数のビアによって、これらのピンをスター・グランド・プレーンに接続することです。代わりに、必要に応じてピンをスター・グランド点に配線することもできます。1オンスの銅の30個以下の正方形からなる1本のトレースで配線します。

これらのどちらの代替方法も実際的でない稀な例では、フォース/センス・アンプをグランド・バッファとして使います(図4を参照)。ただし、グランド・バッファアンプの電圧オフセットは、表4の「V_{OS1}」で規定された精度に影響する直接の要因になります。オフセットを合計した影響は、式の中のV_{OS1}を、I_{OUT1}からI_{OUT2}への全オフセットで置き換えることで計算できます。

アプリケーション情報

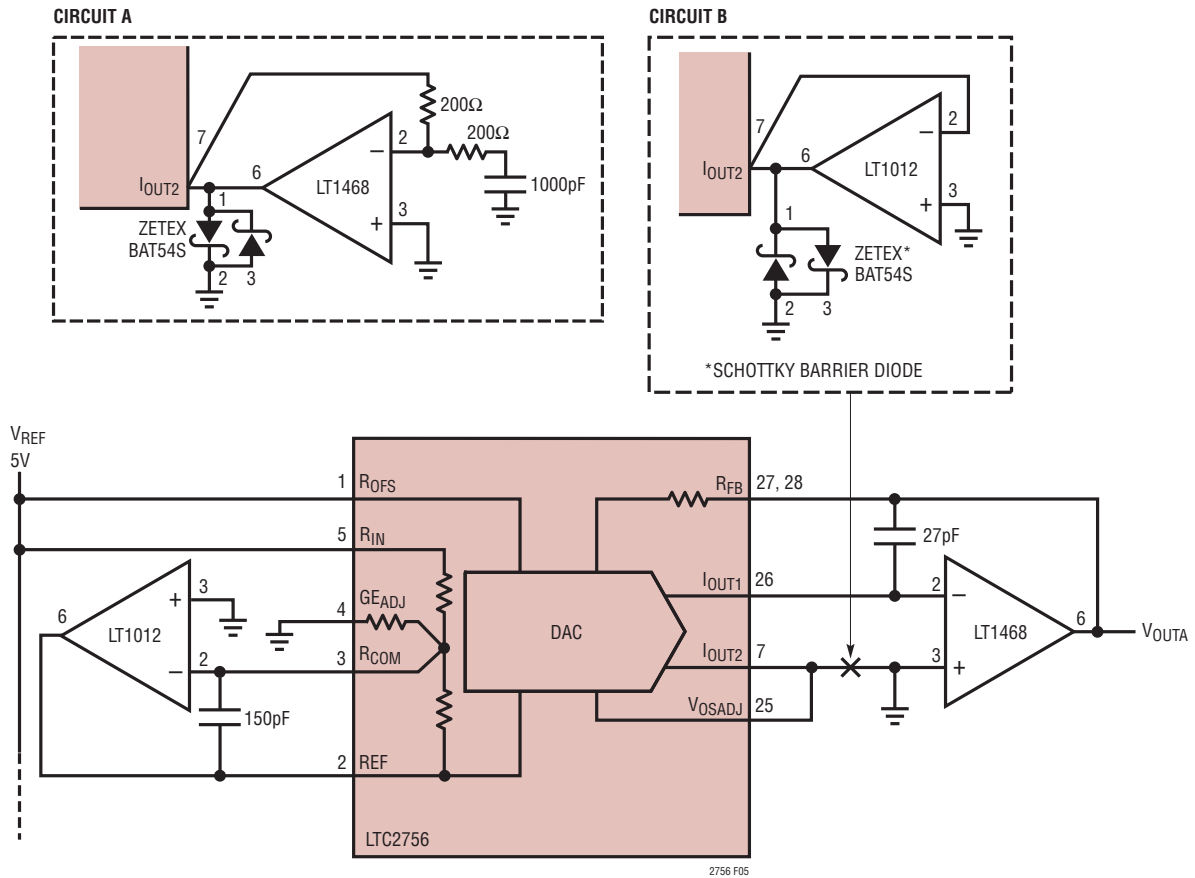
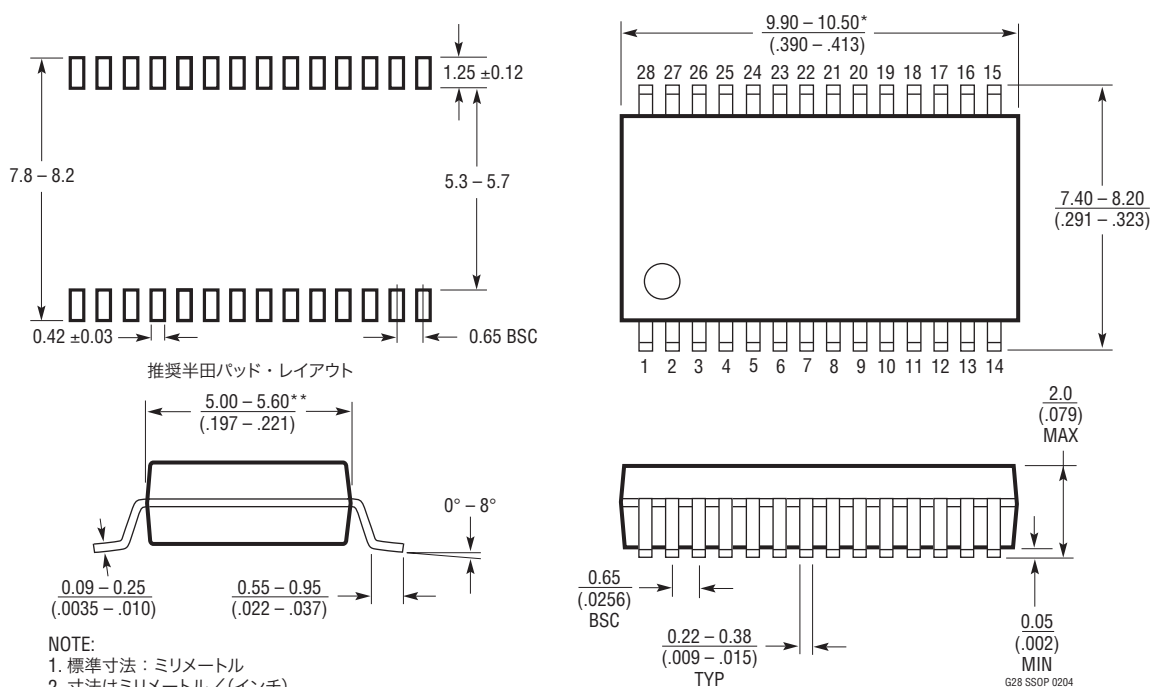


図4. 低インピーダンスのグランド・プレーンを設けることができない場合は、図に示すようにフォース/センス・アンプを使用して I_{OUT2} を駆動します。セリング時間への影響を最小限に抑えるには回路Aを使用し、低消費電力および精度向上のためには回路Bを使用します。

パッケージ

最新のパッケージ図については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

Gパッケージ
28ピン・プラスチックSSOP(5.3mm)
 (Reference LTC DWG # 05-08-1640)



NOTE:

- 標準寸法：ミリメートル
- 寸法はミリメートル/（インチ）
- 図は実寸とは異なる
 - * 寸法にはモールドのバリを含まない。
モールドのバリは各サイドで 0.152mm (0.006) を超えないこと
 - ** 寸法にはリード間のバリを含まない。
リード間のバリは各サイドで 0.010 (0.254mm) を超えないこと

標準的応用例

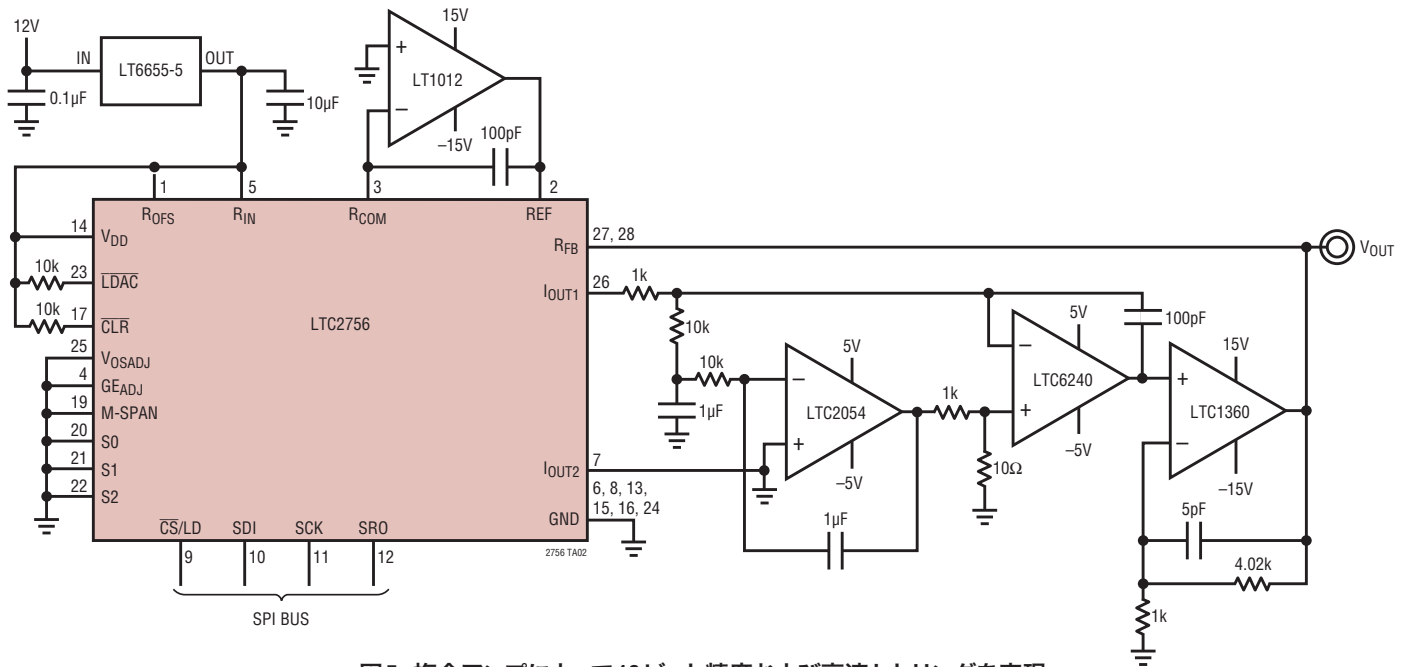


図5. 複合アンプによって18ビット精度および高速セトリングを実現

関連製品

製品番号	説明	注釈
LTC2757	シングル・パラレル 18ビット電流出力 SoftSpan DAC	INL/DNL: ±1LSB、ソフトウェアで選択可能な範囲、7mm×7mm LQFP-48パッケージ
LTC1592	シングル・シリアル 16/14/12ビット電流出力 SoftSpan DAC	INL/DNL: ±1LSB、ソフトウェアで選択可能な範囲、16ピン SSOPパッケージ
LTC2751	シングル・パラレル 16/14/12ビット電流出力 SoftSpan DAC	INL/DNL: ±1LSB、ソフトウェアで選択可能な範囲、5mm×7mm QFN-38パッケージ
LTC1597/LTC1591	シングル・パラレル 16/14ビット電流出力 DAC	INL/DNL: ±1LSB、4個の4象限抵抗内蔵、28ピン SSOPパッケージ
LTC2758	デュアル・シリアル 18ビット電流出力 SoftSpan DAC	INL/DNL: ±1LSB、ソフトウェアで選択可能な範囲、7mm×7mm LQFP-48パッケージ
LTC2754	クワッド・シリアル 16/12ビット電流出力 SoftSpan DAC	INL/DNL: ±1LSB、ソフトウェアで選択可能な範囲、7mm×8mm QFN-52パッケージ
LTC2704	クワッド・シリアル 16/14/12ビット電圧出力 SoftSpan DAC	INL/DNL: ±1LSB、ソフトウェアで選択可能な範囲、アンプ内蔵
LTC2641/LTC2642	16/14/12ビット電圧出力 DAC	INL/DNL: ±1LSB、グリッチ: 0.5nV*s、セトリング時間: 1μs、3mm×3mm DFN
リファレンス		
LTC6655A-2.5/ LTC6655A-5	低ドリフト高精度バッファ付きリファレンス	最大許容誤差: 0.025%、2ppm/°C (最大)、0.1Hz ~ 10Hzでのノイズ: 0.25ppmp-p
LT1236A-5/ LT1236A-10	高精度リファレンス	最大許容誤差: 0.05%、5ppm/°C (最大)、0.1Hz ~ 10Hzでのノイズ: 3μVp-p
LT1460A-5/ LT1460A-10	マイクロパワー高精度シリーズ・リファレンス	最大許容誤差: 0.075%、10ppm/°C (最大)、0.1Hz ~ 10Hzでのノイズ: 20μVp-p
LT1790A-2.5	マイクロパワー低損失リファレンス	最大許容誤差: 0.05%、10ppm/°C (最大)、0.1Hz ~ 10Hzでのノイズ: 12μVp-p
LTC6652A-5	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	最大許容誤差: 0.05%、5ppm/°C (最大)、0.1Hz ~ 10Hzでのノイズ: 2.8ppmp-p
アンプ		
LT1150	コンデンサ内蔵のゼロドリフト・オペアンプ	最大オフセット電圧: 10μV、高電圧動作: ±16V、ノイズ: 1.8μVp-p
LT1012	高精度オペアンプ	最大オフセット電圧: 25μV、最大入力電流: 100pA、ノイズ: 0.5μVp-p、電源電流: 380μA
LT1001	高精度オペアンプ	最大オフセット電圧: 25μV、ノイズ: 0.3μVp-p、高出力駆動
LT1468	シングル 16ビット精度オペアンプ	セトリング時間: 900ns、利得帯域幅: 90MHz、スルーレート: 22V/μs、最大オフセット電圧: 75μV