

### 特長

- 3mm×3mmの小型8ピンDFNパッケージ
- 16ビットでの最大INL誤差:全温度範囲で±1LSB
- 低電源電流:120μA
- 全温度範囲で単調性を保証
- 低いグリッチ・インパルス:0.5nV・sec
- 単電源動作:2.7V~5.5V
- 16ビットまでのセtring時間が高速:1μs
- 60kの負荷を直接駆動するバッファなしの電圧出力
- 50MHzのSPI/QSPI/MICROWIRE 互換シリアル・インタフェース
- パワーオン・リセットによってDAC出力をゼロスケール(LTC2641)またはミッドスケール(LTC2642)にクリア
- シュミット・トリガ入力により、オプトカプラとの直接インタフェースが可能
- 非同期CLRピン
- 8ピンMSOP、3mm×3mm DFNパッケージ(LTC2641)
- 10ピンMSOPおよび3mm×3mm DFNパッケージ(LTC2642)

### アプリケーション

- 高分解能のオフセットおよび利得調整
- プロセス制御および産業用オートメーション
- 自動テスト装置
- データ収集システム

### 概要

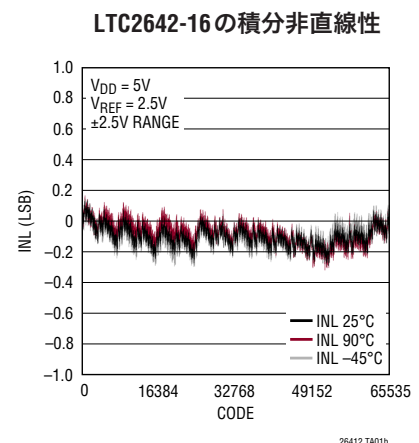
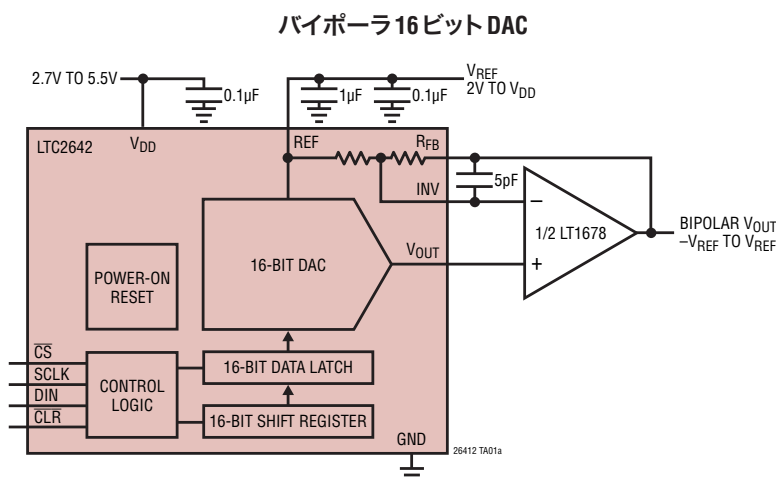
LTC2641/LTC2642は、バッファのない16、14、および12ビットの電圧出力D/Aコンバータです。これらのD/Aコンバータは2.7V~5.5Vの単電源で動作し、全温度範囲で単調性が保証されています。LTC2641A-16/LTC2642A-16は、全温度範囲で16ビット性能(±1LSBのINLおよび±1LSBのDNL)を実現します。D/Aコンバータ出力にバッファがないので、120μAの低電源電流と±1LSBの低オフセット誤差が得られます。

LTC2641とLTC2642は、どちらも2V~V<sub>DD</sub>のリファレンス入力範囲を備えています。V<sub>OUT</sub>の振幅範囲は0V~V<sub>REF</sub>です。両極性動作のため、LTC2642は整合したスケリング抵抗を内蔵しており、(LT1678などの)外部高精度オペアンプと組み合わせて使用することにより、R<sub>FB</sub>ピンで±V<sub>REF</sub>の出力振幅を発生します。

LTC2641/LTC2642は、SPI/MICROWIRE 互換のシンプルな3線式シリアル・インタフェースを使用します。このインタフェースは最大50MHzのクロック・レートで動作可能であり、絶縁を必要とするアプリケーション向けにオプトカプラと直接インタフェースをとることができます。電源が最初に投入されると、パワーオン・リセット回路によってLTC2641のD/Aコンバータ出力はゼロスケールに、LTC2642のD/Aコンバータ出力はミッドスケールにそれぞれクリアされます。また、CLRピンをロジック“L”にすると、D/Aコンバータはゼロスケール(LTC2641)またはミッドスケール(LTC2642)に非同期でクリアされます。これらのD/Aコンバータでは、その全項目が民生用と産業用の全範囲で規定されています。

LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

### 標準的応用例



# LTC2641/LTC2642

## 絶対最大定格 (Note 1)

$V_{DD} \sim GND$ .....	-0.3V ~ 6V
$\overline{CS}$ 、SCLK、DIN、 $\overline{CLR}$ から GND .....	-0.3V ~ ( $V_{DD} + 0.3V$ ) または 6V
REF、 $V_{OUT}$ 、INV から GND .....	-0.3V ~ ( $V_{DD} + 0.3V$ ) または 6V
$R_{FB}$ から INV .....	-6V ~ 6V
$R_{FB}$ から GND .....	-6V ~ 6V
GND から GND (S8 パッケージ) <b>製造中止</b> .....	-0.3V ~ 0.3V

動作温度範囲	
LTC2641C/LTC2642C .....	0°C ~ 70°C
LTC2641I/LTC2642I .....	-40°C ~ 85°C
最大接合部温度 (Note 2) .....	125°C
保存温度範囲 .....	-65°C ~ 150°C
リード温度 (半田付け、10 秒) .....	300°C

## ピン配置

<p>LTC2641</p> <p>TOP VIEW</p> <p>DD PACKAGE 8-LEAD (3mm × 3mm) PLASTIC DFN <math>T_{JMAX} = 125^{\circ}C</math> (NOTE 2), <math>\theta_{JA} = 43^{\circ}C/W</math> EXPOSED PAD (PIN 9) IS GND, MUST BE SOLDERED TO PCB</p>	<p>LTC2641</p> <p>TOP VIEW</p> <p>MS PACKAGE 8-LEAD PLASTIC MSOP <math>T_{JMAX} = 125^{\circ}C</math> (NOTE 2), <math>\theta_{JA} = 120^{\circ}C/W</math></p>	<p>LTC2641</p> <p>TOP VIEW</p> <p>S8 PACKAGE 8-LEAD PLASTIC SO <math>T_{JMAX} = 125^{\circ}C</math>, <math>\theta_{JA} = 110^{\circ}C/W</math> <b>製造中止パッケージ</b></p>
<p>LTC2642</p> <p>TOP VIEW</p> <p>DD PACKAGE 10-LEAD (3mm × 3mm) PLASTIC DFN <math>T_{JMAX} = 125^{\circ}C</math> (NOTE 2), <math>\theta_{JA} = 43^{\circ}C/W</math> EXPOSED PAD (PIN 11) IS GND, MUST BE SOLDERED TO PCB</p>	<p>LTC2642</p> <p>TOP VIEW</p> <p>MS PACKAGE 10-LEAD PLASTIC MSOP <math>T_{JMAX} = 125^{\circ}C</math> (NOTE 2), <math>\theta_{JA} = 120^{\circ}C/W</math></p>	

## 発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2641ACDD-16#PBF	LTC2641ACDD-16#TRPBF	LCZP	8-Lead (3mm × 3mm) Plastic DFN	0°C to 70°C
LTC2641CDD-16#PBF	LTC2641CDD-16#TRPBF	LCZP	8-Lead (3mm × 3mm) Plastic DFN	0°C to 70°C
LTC2641CDD-14#PBF	LTC2641CDD-14#TRPBF	LCZN	8-Lead (3mm × 3mm) Plastic DFN	0°C to 70°C
LTC2641CDD-12#PBF	LTC2641CDD-12#TRPBF	LCZM	8-Lead (3mm × 3mm) Plastic DFN	0°C to 70°C
LTC2641AIDD-16#PBF	LTC2641AIDD-16#TRPBF	LCZP	8-Lead (3mm × 3mm) Plastic DFN	-40°C to 85°C
LTC2641IDD-16#PBF	LTC2641IDD-16#TRPBF	LCZP	8-Lead (3mm × 3mm) Plastic DFN	-40°C to 85°C
LTC2641IDD-14#PBF	LTC2641IDD-14#TRPBF	LCZN	8-Lead (3mm × 3mm) Plastic DFN	-40°C to 85°C
LTC2641IDD-12#PBF	LTC2641IDD-12#TRPBF	LCZM	8-Lead (3mm × 3mm) Plastic DFN	-40°C to 85°C
LTC2641ACMS8-16#PBF	LTC2641ACMS8-16#TRPBF	LTCZS	8-Lead Plastic MSOP	0°C to 70°C
LTC2641CMS8-16#PBF	LTC2641CMS8-16#TRPBF	LTCZS	8-Lead Plastic MSOP	0°C to 70°C
LTC2641CMS8-14#PBF	LTC2641CMS8-14#TRPBF	LTCZR	8-Lead Plastic MSOP	0°C to 70°C
LTC2641CMS8-12#PBF	LTC2641CMS8-12#TRPBF	LTCZQ	8-Lead Plastic MSOP	0°C to 70°C
LTC2641AIMS8-16#PBF	LTC2641AIMS8-16#TRPBF	LTCZS	8-Lead Plastic MSOP	-40°C to 85°C
LTC2641IMS8-16#PBF	LTC2641IMS8-16#TRPBF	LTCZS	8-Lead Plastic MSOP	-40°C to 85°C
LTC2641IMS8-14#PBF	LTC2641IMS8-14#TRPBF	LTCZR	8-Lead Plastic MSOP	-40°C to 85°C
LTC2641IMS8-12#PBF	LTC2641IMS8-12#TRPBF	LTCZQ	8-Lead Plastic MSOP	-40°C to 85°C
LTC2642ACDD-16#PBF	LTC2642ACDD-16#TRPBF	LCZW	10-Lead (3mm × 3mm) Plastic DFN	0°C to 70°C
LTC2642CDD-16#PBF	LTC2642CDD-16#TRPBF	LCZW	10-Lead (3mm × 3mm) Plastic DFN	0°C to 70°C
LTC2642CDD-14#PBF	LTC2642CDD-14#TRPBF	LCZV	10-Lead (3mm × 3mm) Plastic DFN	0°C to 70°C
LTC2642CDD-12#PBF	LTC2642CDD-12#TRPBF	LCZT	10-Lead (3mm × 3mm) Plastic DFN	0°C to 70°C
LTC2642AIDD-16#PBF	LTC2642AIDD-16#TRPBF	LCZW	10-Lead (3mm × 3mm) Plastic DFN	-40°C to 85°C
LTC2642IDD-16#PBF	LTC2642IDD-16#TRPBF	LCZW	10-Lead (3mm × 3mm) Plastic DFN	-40°C to 85°C
LTC2642IDD-14#PBF	LTC2642IDD-14#TRPBF	LCZV	10-Lead (3mm × 3mm) Plastic DFN	-40°C to 85°C
LTC2642IDD-12#PBF	LTC2642IDD-12#TRPBF	LCZT	10-Lead (3mm × 3mm) Plastic DFN	-40°C to 85°C
LTC2642ACMS-16#PBF	LTC2642ACMS-16#TRPBF	LTCZZ	10-Lead Plastic MSOP	0°C to 70°C
LTC2642CMS-16#PBF	LTC2642CMS-16#TRPBF	LTCZZ	10-Lead Plastic MSOP	0°C to 70°C
LTC2642CMS-14#PBF	LTC2642CMS-14#TRPBF	LTCZY	10-Lead Plastic MSOP	0°C to 70°C
LTC2642CMS-12#PBF	LTC2642CMS-12#TRPBF	LTCZX	10-Lead Plastic MSOP	0°C to 70°C
LTC2642AIMS-16#PBF	LTC2642AIMS-16#TRPBF	LTCZZ	10-Lead Plastic MSOP	-40°C to 85°C
LTC2642IMS-16#PBF	LTC2642IMS-16#TRPBF	LTCZZ	10-Lead Plastic MSOP	-40°C to 85°C
LTC2642IMS-14#PBF	LTC2642IMS-14#TRPBF	LTCZY	10-Lead Plastic MSOP	-40°C to 85°C
LTC2642IMS-12#PBF	LTC2642IMS-12#TRPBF	LTCZX	10-Lead Plastic MSOP	-40°C to 85°C
製造中止				
LTC2641CS8-16#PBF	LTC2641CS8-16#TRPBF	264116	8-Lead Plastic SO	0°C to 70°C
LTC2641IS8-16#PBF	LTC2641IS8-16#TRPBF	264116	8-Lead Plastic SO	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。\* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

# LTC2641/LTC2642

## 電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{DD} = 3\text{V}$ または $5\text{V}$ 、 $V_{REF} = 2.5\text{V}$ 、 $C_L = 10\text{pF}$ 、 $GND = 0$ 、 $R_L = \infty$ 。

SYMBOL	PARAMETER	CONDITIONS	LTC2641-12 LTC2642-12			LTC2641-14 LTC2642-14			LTC2641-16 LTC2642-16			LTC2641A-16 LTC2642A-16			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
<b>スタチック性能</b>															
N	Resolution		●	12		14		16		16		16		Bits	
	Monotonicity		●	12		14		16		16		16		Bits	
DNL	Differential Nonlinearity	(Note 3)	●		$\pm 0.5$	$\pm 0.5$	$\pm 1$	$\pm 0.5$	$\pm 1$	$\pm 0.5$	$\pm 1$	$\pm 0.5$	$\pm 1$	LSB	
INL	Integral Nonlinearity	(Note 3)	●		$\pm 0.5$	$\pm 0.5$	$\pm 1$	$\pm 0.5$	$\pm 2$	$\pm 0.5$	$\pm 1$	$\pm 0.5$	$\pm 1$	LSB	
ZSE	Zero Code Offset Error	Code = 0	●		1		2		2		2		2	LSB	
ZSTC	Zero Code Tempco				$\pm 0.05$		$\pm 0.05$		$\pm 0.05$		$\pm 0.05$		$\pm 0.05$	ppm/ $^\circ\text{C}$	
GE	Gain Error		●		$\pm 0.5$	$\pm 2$	$\pm 1$	$\pm 4$	$\pm 2$	$\pm 5$	$\pm 2$	$\pm 5$	$\pm 2$	LSB	
GETC	Gain Error Tempco				$\pm 0.1$		$\pm 0.1$		$\pm 0.1$		$\pm 0.1$		$\pm 0.1$	ppm/ $^\circ\text{C}$	
ROUT	DAC Output Resistance	(Note 4)			6.2		6.2		6.2		6.2		6.2	k $\Omega$	
	Bipolar Resistor Matching	(LTC2642) $R_{FB}/R_{INV}$			1		1		1		1		1		
	Ratio Error (Note 7)		●		$\pm 0.1$		$\pm 0.03$		$\pm 0.015$		$\pm 0.015$		$\pm 0.015$	%	
BZE	Bipolar Zero Offset Error	(LTC2642)	●		$\pm 0.5$	$\pm 2$	$\pm 0.5$	$\pm 4$	$\pm 2$	$\pm 5$	$\pm 2$	$\pm 5$	$\pm 2$	LSB	
BZSTC	Bipolar Zero Tempco	(LTC2642)			$\pm 0.1$		$\pm 0.1$		$\pm 0.1$		$\pm 0.1$		$\pm 0.1$	ppm/ $^\circ\text{C}$	
PSR	Power Supply Rejection	$\Delta V_{DD} = \pm 10\%$	●		$\pm 0.5$		$\pm 0.5$		$\pm 1$		$\pm 1$		$\pm 1$	LSB	

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{DD} = 3\text{V}$ または $5\text{V}$ 、 $V_{REF} = 2.5\text{V}$ 、 $C_L = 10\text{pF}$ 、 $GND = 0$ 、 $R_L = \infty$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>リファレンス入力</b>						
$V_{REF}$	Reference Input Range		●	2.0	$V_{DD}$	V
$R_{REF}$	Reference Input Resistance (Note 5)	Unipolar Mode (LTC2641)	●	11	14.8	k $\Omega$
		Bipolar Mode (LTC2642)	●	8.5	11.4	k $\Omega$

### ダイナミック性能 – $V_{OUT}$

SR	Voltage Output Slew Rate	Measured from 10% to 90%		15		V/ $\mu\text{s}$
	Output Settling Time	To $\pm 0.5\text{LSB}$ of FS		1		$\mu\text{s}$
	DAC Glitch Impulse	Major Carry Transition		0.5		nV $\cdot\text{s}$
	Digital Feedthrough	Code = 0000hex; NCS = $V_{DD}$ ; SCLK, DIN 0V to $V_{DD}$ Levels		0.2		nV $\cdot\text{s}$
	Output Voltage Noise Density			10		nV/ $\sqrt{\text{Hz}}$

### ダイナミック性能 – リファレンス入力

BW	Reference -3dB Bandwidth	Code = FFFFhex		1.3		MHz
	Reference Feedthrough	Code = 0000hex, $V_{REF} = 1V_{P-P}$ at 100kHz		1		mV $_{P-P}$
SNR	Signal-to-Noise Ratio			92		dB
$C_{IN(REF)}$	Reference Input Capacitance	Code = 0000hex Code = FFFFhex		75 120		pF pF

### デジタル入力

$V_{IH}$	Digital Input High Voltage	$V_{CC} = 3.6\text{V}$ to $5.5\text{V}$ $V_{CC} = 2.7\text{V}$ to $3.6\text{V}$	● ●	2.4 2.0		V V
----------	----------------------------	--	--------	------------	--	--------

26412fd

## 電气的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。  
注記がない限り、 $V_{DD} = 3\text{V}$ または $5\text{V}$ 、 $V_{REF} = 2.5\text{V}$ 、 $C_L = 10\text{pF}$ 、 $\text{GND} = 0$ 、 $R_L = \infty$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{IL}$	Digital Input Low Voltage	$V_{CC} = 4.5\text{V to } 5.5\text{V}$	●		0.8	V
		$V_{CC} = 2.7\text{V to } 4.5\text{V}$	●		0.6	V
$I_{IN}$	Digital Input Current	$V_{IN} = \text{GND to } V_{DD}$	●		$\pm 1$	$\mu\text{A}$
$C_{IN}$	Digital Input Capacitance	(Note 6)	●	3	10	pF
$V_H$	Hysteresis Voltage			0.15		V

## 電源

$V_{DD}$	Supply Voltage		●	2.7	5.5	V
$I_{DD}$	Supply Current, $V_{DD}$	Digital Inputs = 0V or $V_{DD}$	●	120	200	$\mu\text{A}$
$P_D$	Power Dissipation	Digital Inputs = 0V or $V_{DD}$ , $V_{DD} = 5\text{V}$		0.60		mW
		Digital Inputs = 0V or $V_{DD}$ , $V_{DD} = 3\text{V}$		0.36		mW

## 電气的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。  
注記がない限り、 $V_{DD} = 3\text{V}$ または $5\text{V}$ 、 $V_{REF} = 2.5\text{V}$ 、 $C_L = 10\text{pF}$ 、 $\text{GND} = 0$ 、 $R_L = \infty$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$t_1$	DIN Valid to SCLK Setup Time		●	10		ns
$t_2$	DIN Valid to SCLK Hold Time		●	0		ns
$t_3$	SCLK Pulse Width High		●	9		ns
$t_4$	SCLK Pulse Width Low		●	9		ns
$t_5$	$\overline{\text{CS}}$ Pulse High Width		●	10		ns
$t_6$	LSB SCLK High to $\overline{\text{CS}}$ High		●	8		ns
$t_7$	$\overline{\text{CS}}$ Low to SCLK High		●	8		ns
$t_8$	$\overline{\text{CS}}$ High to SCLK Positive Edge		●	8		ns
$t_9$	$\overline{\text{CLR}}$ Pulse Width Low		●	15		ns
$f_{\text{SCLK}}$	SCLK Frequency	50% Duty Cycle	●		50	MHz
	$V_{DD}$ High to $\overline{\text{CS}}$ Low (Power-Up Delay)			30		$\mu\text{s}$

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

**Note 2:** 規定された最高動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なうおそれがある。

**Note 3:** LTC2641-16/LTC2642-16  $\pm 1\text{LSB} = \pm 0.0015\%$  = フルスケールの  $\pm 15.3\text{ppm}$ 。LTC2641-14/LTC2642-14  $\pm 1\text{LSB} = \pm 0.006\%$  = フルスケールの  $\pm 61\text{ppm}$ 。  
LTC2641-12/LTC2642-12  $\pm 1\text{LSB} = \pm 0.024\%$  = フルスケールの  $\pm 244\text{ppm}$ 。

**Note 4:**  $R_{OUT}$  の許容誤差は標準で  $\pm 20\%$ 。

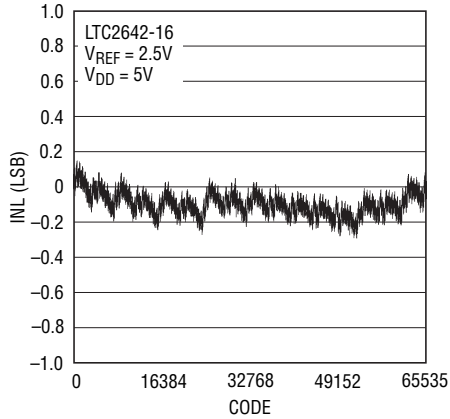
**Note 5:** リファレンス入力の抵抗はコードに依存する。ユニポーラ・モードの最小は 871Chex (34,588) のときで、バイポーラ・モードの最小は 671Chex (26,396) のときである。

**Note 6:** 設計によって保証されているが、製造時にはテストされない。

**Note 7:** 利得誤差とオフセット誤差のテストによって保証されているが、製造時にはテストされない。

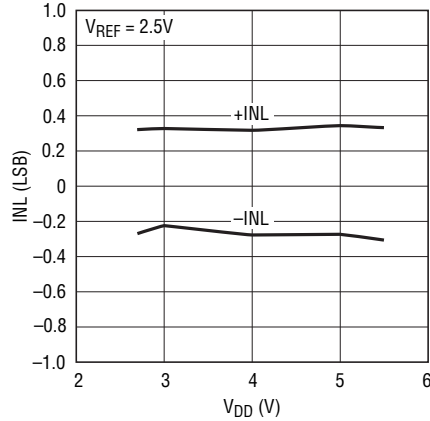
## 標準的性能特性

積分非直線性 (INL)



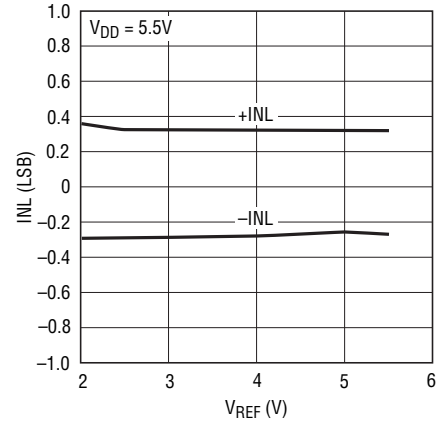
26412 G01

積分非直線性 (INL) と電源 ( $V_{DD}$ )



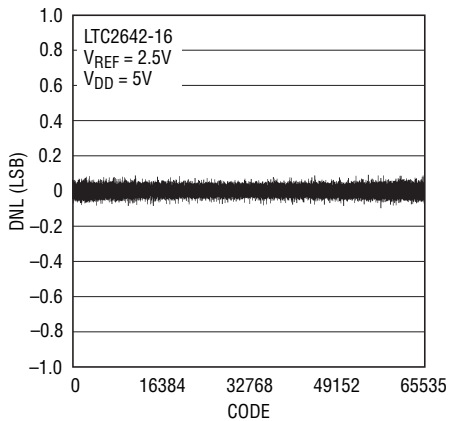
26412 G02

INL と  $V_{REF}$



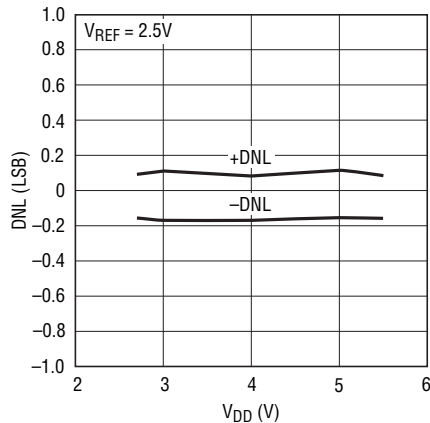
26412 G03

微分非直線性 (DNL)



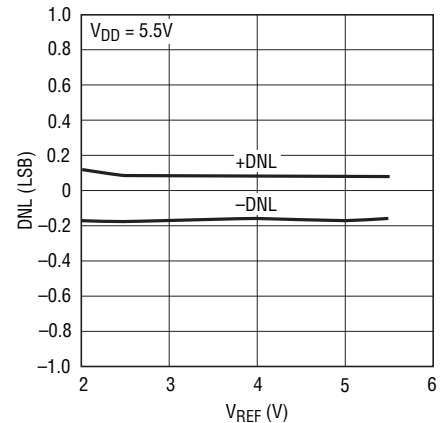
26412 G04

微分非直線性 (DNL) と電源 ( $V_{DD}$ )



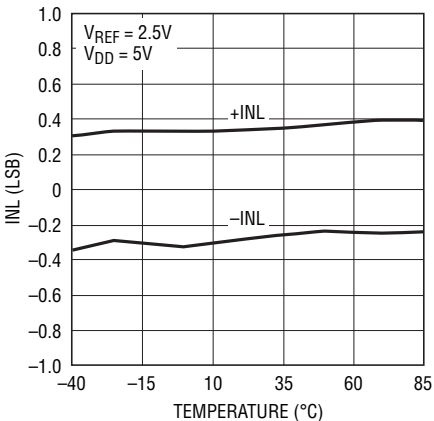
26412 G05

DNL と  $V_{REF}$



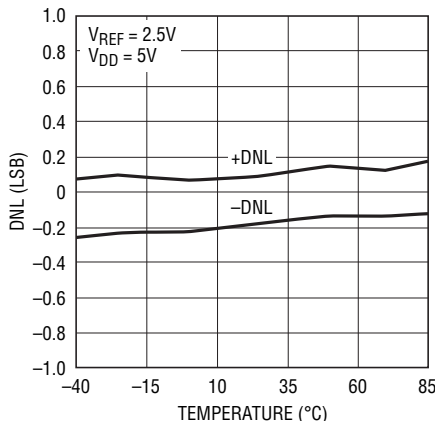
26412 G06

INL と温度



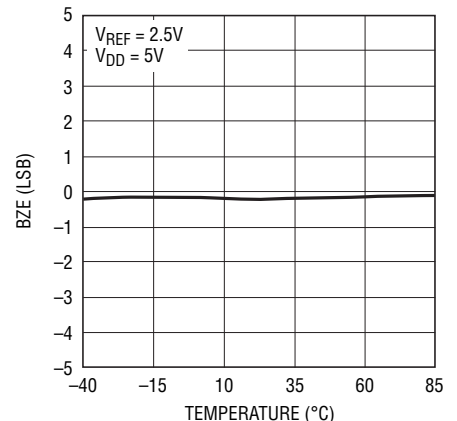
26412 G07

DNL と温度



26412 G08

バイポーラのゼロ誤差と温度

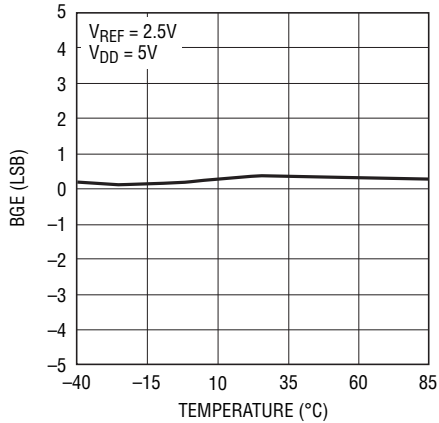


26412 G09

26412fd

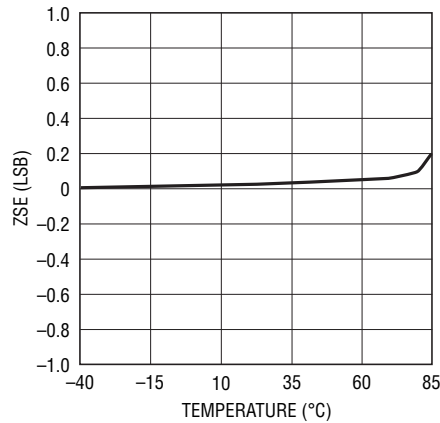
標準的性能特性

バイポーラ利得誤差と温度



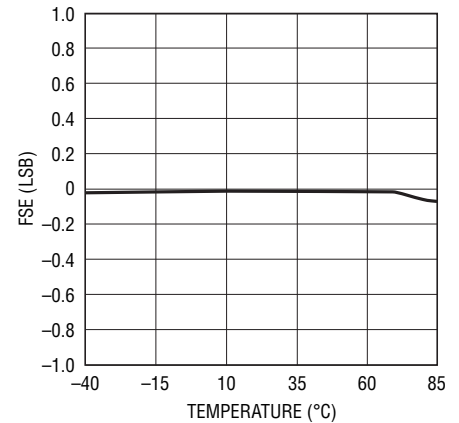
26412 G10

バッファなしのゼロスケール誤差と温度 (LTC2641-16)



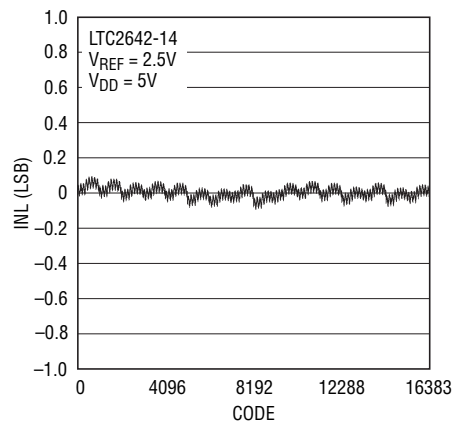
26412 G11

バッファなしのフルスケール誤差と温度 (LTC2641-16)



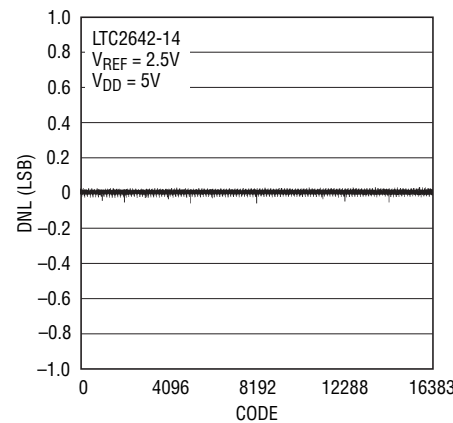
26412 G12

14ビット積分非直線性 (INL) (LTC2642-14)



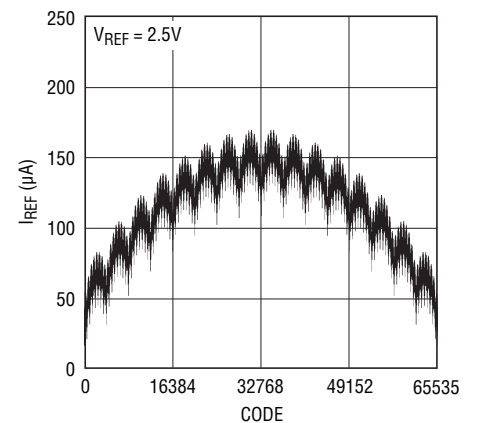
26412 G13

14ビット微分非直線性 (DNL) (LTC2642-14)



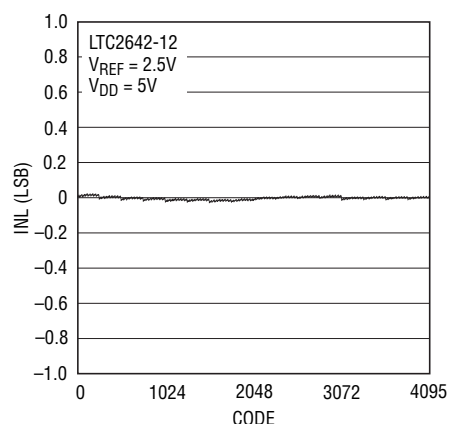
26412 G14

IREFとコード (ユニポーラのLTC2641)



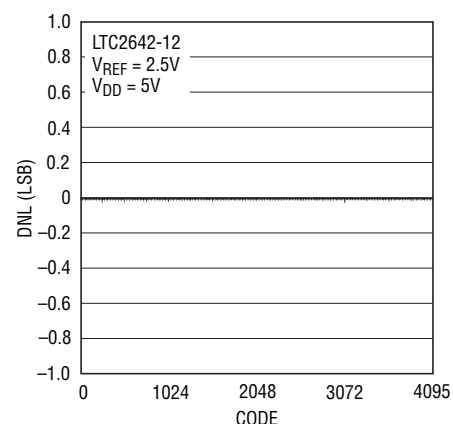
26412 G15

12ビット積分非直線性 (INL) (LTC2642-12)



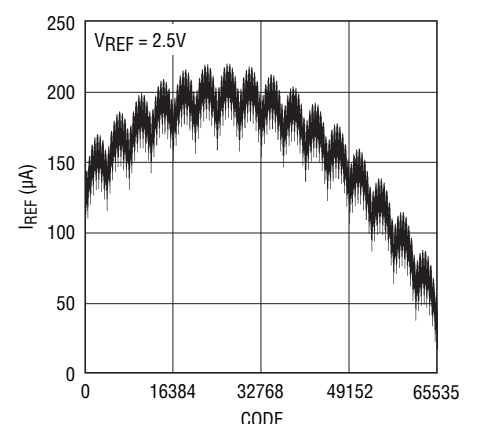
26412 G16

12ビット微分非直線性 (DNL) (LTC2642-12)



26412 G17

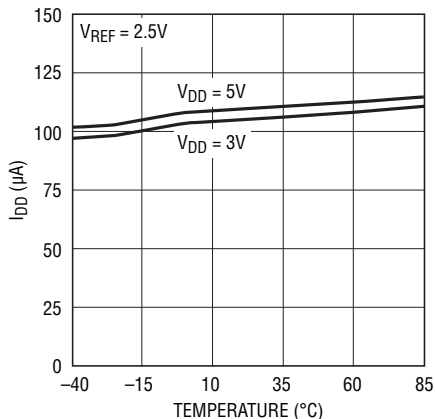
IREFとコード (バイポーラのLTC2642)



26412 G18

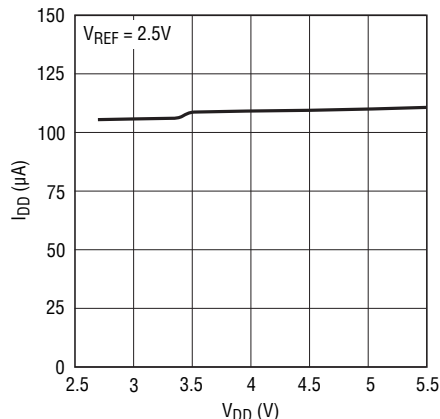
## 標準的性能特性

電源電流 ( $I_{DD}$ ) と温度



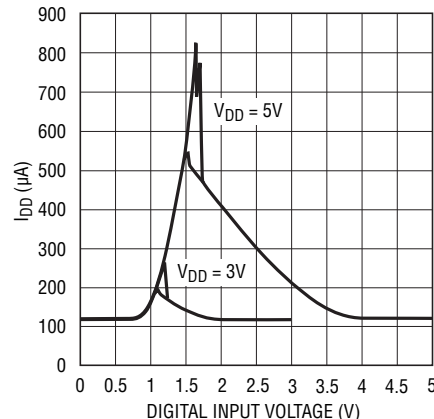
26412 G19

電源電流 ( $I_{DD}$ ) と電源電圧 ( $V_{DD}$ )



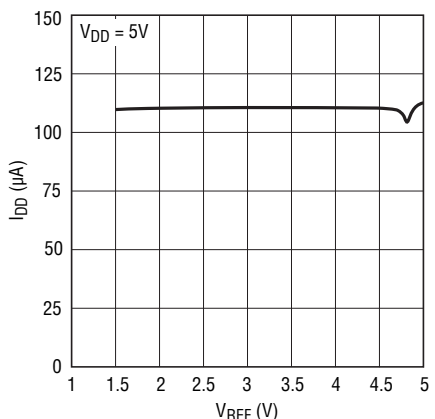
26412 G20

電源電流 ( $I_{DD}$ ) とデジタル入力電圧



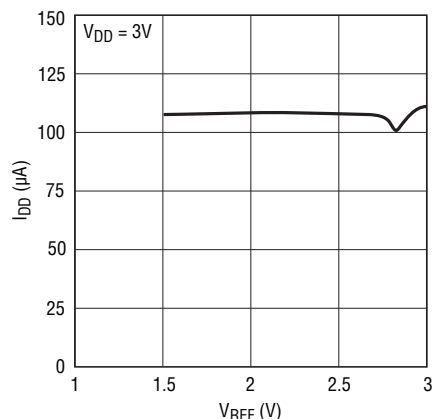
26412 G21

電源電流 ( $I_{DD}$ ) と  $V_{REF}$ ,  $V_{DD} = 5V$



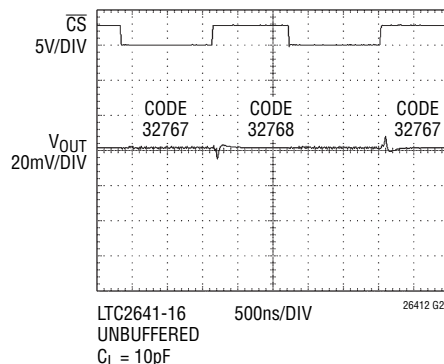
26412 G22

電源電流 ( $I_{DD}$ ) と  $V_{REF}$ ,  $V_{DD} = 3V$

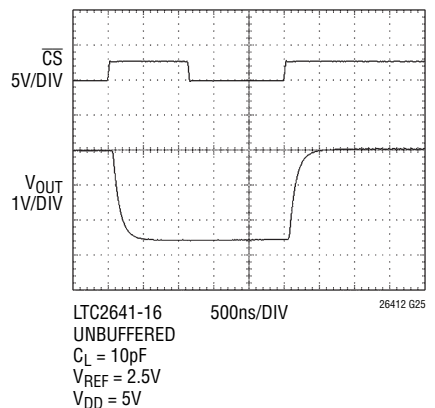


26412 G23

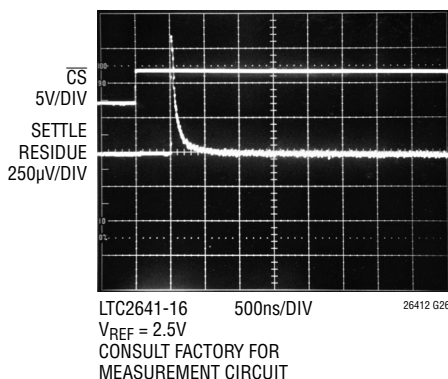
ミッドスケール・グリッチ・インパルス



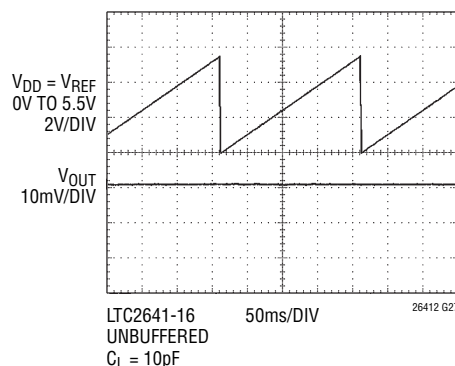
フルスケールの遷移



フルスケールのセトリング (ズームイン)



$V_{OUT}$  と  $V_{DD} = 0V \sim 5.5V$  (POR 機能) LTC2641





## ピン機能

### LTC2641—MSOPおよびDFNパッケージ

**REF (ピン1)** : リファレンス電圧入力。2V ~  $V_{DD}$  の外部リファレンスをREFに与えます。

**$\overline{CS}$  (ピン2)** : シリアル・インタフェースのチップ・セレクト/ロード入力。 $\overline{CS}$ が“L”のとき、DINのデータをシフトして取り込むため、SCLKがイネーブルされます。 $\overline{CS}$ が“H”に引き上げられるとSCLKがデイスエーブルされ、16ビットの入力ワードがラッチされ、DACが更新されます。

**SCLK (ピン3)** : シリアル・インタフェースのクロック入力。CMOSとTTLに対して互換。

**DIN (ピン4)** : シリアル・インタフェースのデータ入力。データはDINに与えられ、SCLKの立上りエッジでデバイスに転送されます。

**$\overline{CLR}$  (ピン5)** : 非同期クリア入力。ロジック“L”にするとDACをコード0にクリアします。

**$V_{OUT}$  (ピン6)** : DACの出力電圧。出力範囲は0V ~  $V_{REF}$ です。

**$V_{DD}$  (ピン7)** : 電源電圧。2.7V ~ 5.5Vに設定します。

**GND (ピン8)** : 回路のグラウンド。

**露出パッド (DFNピン9)** : 回路のグラウンド。PCBグラウンドに半田付けする必要があります。

### LTC2641—SO廃止パッケージ

**$V_{OUT}$  (ピン1)** : DACの出力電圧。出力範囲は0V ~  $V_{REF}$ です。

**GND (ピン2)** : 回路のグラウンド。

**REF (ピン3)** : リファレンス電圧入力。2V ~  $V_{DD}$  の外部リファレンスをREFに与えます。

**$\overline{CS}$  (ピン4)** : シリアル・インタフェースのチップ・セレクト/ロード入力。 $\overline{CS}$ が“L”のとき、DINのデータをシフトして取り込むため、SCLKがイネーブルされます。 $\overline{CS}$ が“H”に引き上げられるとSCLKがデイスエーブルされ、16ビットの入力ワードがラッチされ、DACが更新されます。

**SCLK (ピン5)** : シリアル・インタフェースのクロック入力。CMOSとTTLに対して互換。

**DIN (ピン6)** : シリアル・インタフェースのデータ入力。データはDINに与えられ、SCLKの立上りエッジでデバイスに転送されます。

**GND (ピン7)** : 回路のグラウンド・ピン。ピン2(GND)に接続しなければなりません。

**$V_{DD}$  (ピン8)** : 電源電圧。2.7V ~ 5.5Vに設定します。

### LTC2642—MSOPおよびDFNパッケージ

**REF (ピン1)** : リファレンス電圧入力。2V ~  $V_{DD}$  の外部リファレンスをREFに与えます。

**$\overline{CS}$  (ピン2)** : シリアル・インタフェースのチップ・セレクト/ロード入力。 $\overline{CS}$ が“L”のとき、DINのデータをシフトして取り込むため、SCLKがイネーブルされます。 $\overline{CS}$ が“H”に引き上げられるとSCLKがデイスエーブルされ、16ビットの入力ワードがラッチされ、DACが更新されます。

**SCLK (ピン3)** : シリアル・インタフェースのクロック入力。CMOSとTTLに対して互換。

**DIN (ピン4)** : シリアル・インタフェースのデータ入力。データはDINに与えられ、SCLKの立上りエッジでデバイスに転送されます。

**$\overline{CLR}$  (ピン5)** : 非同期クリア入力。ロジック“L”にするとDACをミッドスケールにクリアします。

**$V_{OUT}$  (ピン6)** : DACの出力電圧。出力範囲は0V ~  $V_{REF}$ です。

**INV (ピン7)** : 内部スケーリング抵抗のセンタータップ。バイポーラ・モードで外部アンプの反転入力に接続します。

**$R_{FB}$  (ピン8)** : 帰還抵抗。バイポーラ・モードで外部アンプの出力に接続します。バイポーラ出力範囲は $-V_{REF}$  ~  $V_{REF}$ です。

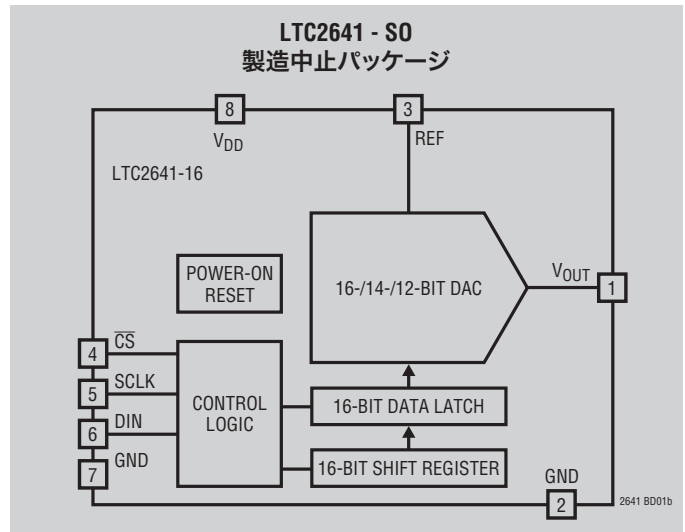
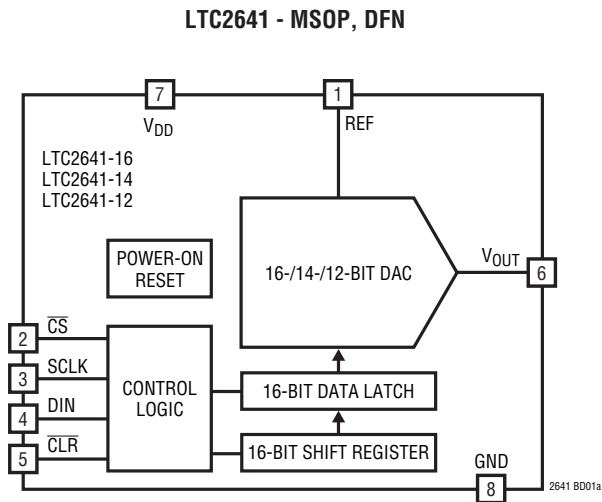
**$V_{DD}$  (ピン9)** : 電源電圧。2.7V ~ 5.5Vに設定します。

**GND (ピン10)** : 回路のグラウンド。

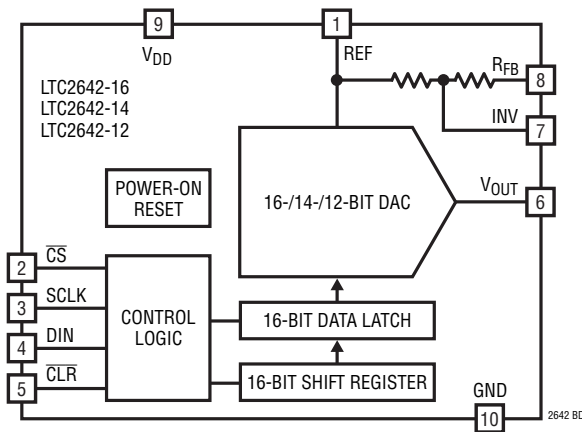
**露出パッド (DFNピン11)** : 回路のグラウンド。PCBグラウンドに半田付けする必要があります。

# LTC2641 / LTC2642

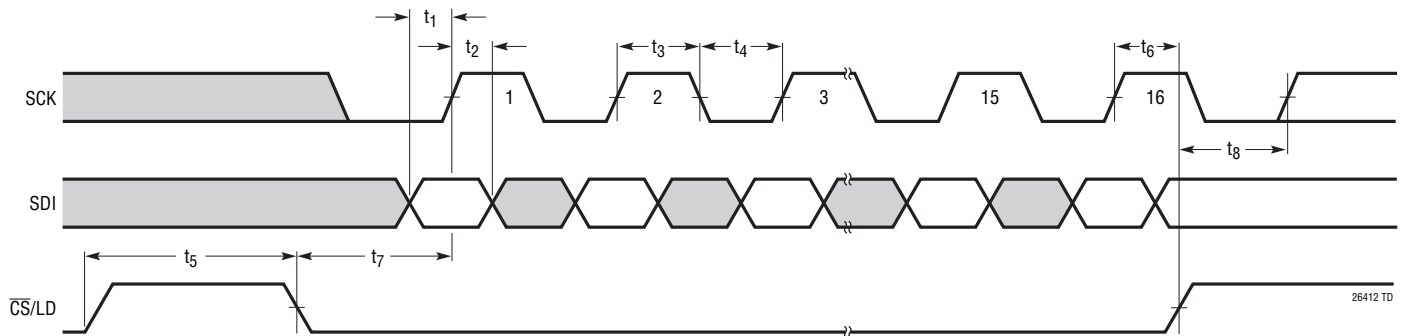
## ブロック図



## LTC2642



## タイミング図



## 動作

### 概要

LTC2641/LTC2642 製品ファミリーの 16/14/12 ビット電圧出力 DAC は、最大 16 ビットの性能を備えており、積分直線性誤差は  $\pm 1$ LSB 未満、微分直線性誤差は  $\pm 1$ LSB 未満で、動作の単調性が保証されています。これらは 2.7V ~ 5.5V の単一電源で動作し、120 $\mu$ A (標準) を消費します。2V ~  $V_{DD}$  の外部電圧リファレンスにより、DAC のフルスケール出力電圧が決まります。LTC2641/LTC2642 は 3 線シリアル・インタフェースを備えているので、小型 8 ピン/10 ピンの MSOP または DFN 3mm $\times$ 3mm パッケージに収まります。

### デジタル・アナログ・アーキテクチャ

この DAC のアーキテクチャは、精密薄膜抵抗と CMOS スイッチを使用した電圧スイッチング・モードの抵抗ラダーです。LTC2641/LTC2642 DAC の抵抗ラダーは、統合した DAC セクションの独自の配置によって構成されています。4 つの MSB がデコードされ、重み付けの等しい 15 のセグメントをドライブし、下位の残りのビットは逐次に重み付けの低くなるセクションをドライブします。メジャー・キャリア・グリッチ・インパルスは 500pV $\cdot$ sec ( $C_L = 10$ pF) と非常に低く、このタイプの以前の DAC より 1 桁も低くなります。

$V_{OUT}$  ピンのデジタルからアナログへの伝達関数は次のとおりです。

$$V_{OUT(IDEAL)} = \left(\frac{k}{2^N}\right)V_{REF}$$

ここで、 $k$  は DAC の 2 進数の入力コードに相当する 10 進数、 $N$  は分解能、 $V_{REF}$  は 2.0V ~  $V_{DD}$  です (表の 1a、1b および 1c を参照)。

LTC2642 には整合した抵抗が内蔵されており、外部のアンプに接続されてバイポーラの出力振幅を与えます (図 2)。RFB ピンのバイポーラ伝達関数は次のとおりです。

$$V_{OUT\_BIPOLAR(IDEAL)} = V_{REF} \left(\frac{k}{2^{N-1}} - 1\right)$$

(表の 2a、2b および 2c を参照)。

### シリアル・インタフェース

LTC2641/LTC2642 は標準 3 線式 SPI/QSPI/MICROWIRE 互換のインタフェースを介して通信します。チップ選択入力 ( $\overline{CS}$ ) はデータ入力 (DIN) からのシリアル・データのロードを制御し、フレームを設定します。 $\overline{CS}$  の “H” から “L” への遷移に続い

## 動作

て、DINのデータが(MSBを先頭にして)シリアル・クロック入力(SCLK)の各立上りエッジでシフトレジスタにロードされます。16データ・ビットがシリアル入力レジスタにロードされた後、 $\overline{CS}$ が“L”から“H”に遷移すると、データが16ビットDACのラッチに転送され、DACの出力を更新します(図の1a、1b、1cを参照)。 $\overline{CS}$ が“H”に留まっている間、シリアル入力のシフトレジスタはディスエーブルされます。 $\overline{CS}$ が“L”に留まっている間にSCLKの“L”から“H”への遷移が16より少ないと、データが損なわれますので、再度ロードする必要があります。また、 $\overline{CS}$ が“L”に留まっている間にSCLKの“L”から“H”への遷移が16より多いと、DINからロードされた最後の16データ・ビットだけがDACのラッチに転送されます。14ビットDACの場合(LTC2641-14/LTC2642-14)、MSBは入力の16ビット・ワードの中の同じ位置(左揃え)のままです。したがって、必要な16ビットに補うため、2つの「ドントケア」ビットをLSBの後にロードする必要があります(図1b)。同様に、12ビットDACの場合(LTC2641-12/LTC2642-12)、4つの「ドントケア」ビットをLSBの後に続ける必要があります(図1c)。

## パワーオン・リセット

LTC2641/LTC2642にはパワーオン・リセット回路が備わっており、DACの出力が既知状態で立ち上がるように保証します。 $V_{DD}$ に最初に電圧が印加されると、パワーオン・リセット回路がLTC2641の出力をゼロスケール(コード0)に設定します。LTC2642はミッドスケール(バイポーラのゼロ)にパワーアップします。DACのビット数に依存して、ミッドスケール・コードは32,768 (LTC2642-16)、8,192 (LTC2642-14)、または2,048 (LTC2642-12)になります。

## DACのクリア

$\overline{CLR}$ ピンに $t_9$ (最小)の仕様を満たす“L”のパルスを与えると、DACのラッチをコード・ゼロ(LTC2641)またはミッドスケール(LTC2642)に非同期でクリアします。

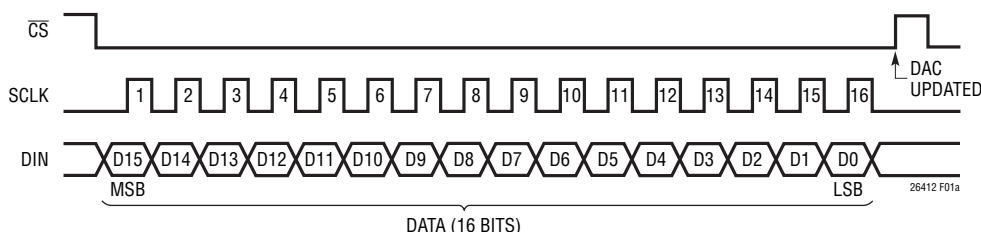


図 1a. 16ビットのタイミング図 (LTC2641-16/LTC2642-16)

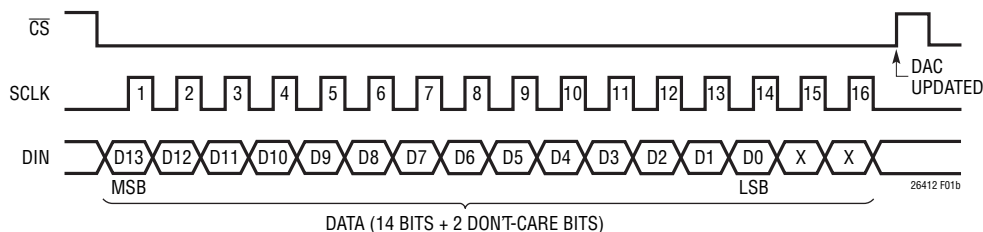


図 1b. 14ビットのタイミング図 (LTC2641-14/LTC2642-14)

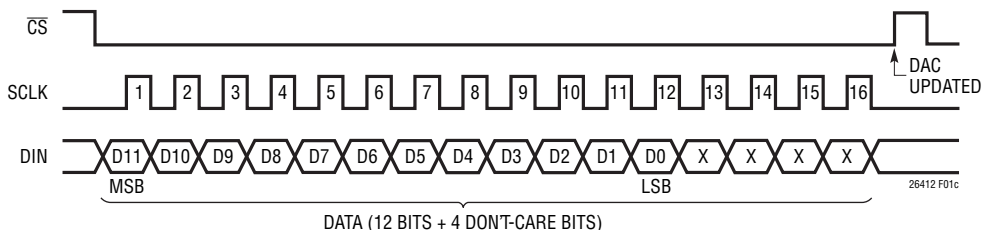


図 1c. 12ビットのタイミング図 (LTC2641-12/LTC2642-12)

アプリケーション情報

ユニポーラの構成

LTC2641の標準的なユニポーラDACのアプリケーションを図2に示します。16ビット、14ビットおよび12ビットの動作のユニポーラの2進コードを表の1a、1bおよび1cに示します。外

部アンプはユニティゲインのバッファを与えます。LTC2642はR<sub>FB</sub>とINVをREFに接続することにより、ユニポーラ構成で使うこともできます。こうすると、パワーアップしてミッドスケールにクリアします。

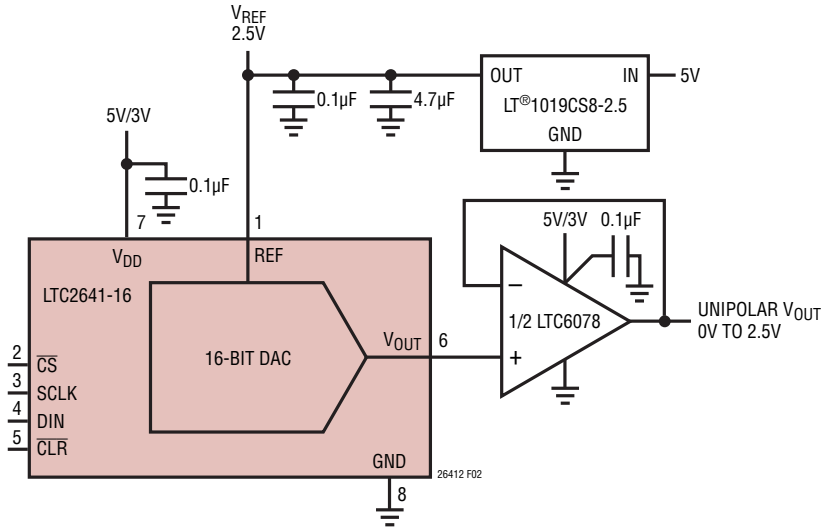


表 1a. 16ビット・ユニポーラの2進コード表 (LTC2641-16)

DACのラッチのデジタル入力の2進数		アナログ出力 (V <sub>out</sub> )
MSB	LSB	
1111	1111 1111 1111	V <sub>REF</sub> (65,535/65,536)
1000	0000 0000 0000	V <sub>REF</sub> (32,768/65,536) = V <sub>REF</sub> /2
0000	0000 0000 0001	V <sub>REF</sub> (1/65,536)
0000	0000 0000 0000	0V

図2. 16ビットのユニポーラ出力 (LTC2641-16)、ユニポーラ V<sub>OUT</sub> = 0V ~ V<sub>REF</sub>

表 1b. 14ビット・ユニポーラの2進コード表 (LTC2641-14)

DACのラッチのデジタル入力の2進数		アナログ出力 (V <sub>out</sub> )
MSB	LSB	
1111	1111 1111 11xx	V <sub>REF</sub> (16,383/16,384)
1000	0000 0000 00xx	V <sub>REF</sub> (8,192/16,384) = V <sub>REF</sub> /2
0000	0000 0000 01xx	V <sub>REF</sub> (1/16,384)
0000	0000 0000 00xx	0V

表 1c. 12ビット・ユニポーラの2進コード表 (LTC2641-12)

DACのラッチのデジタル入力の2進数		アナログ出力 (V <sub>out</sub> )
MSB	LSB	
1111	1111 1111 xxxx	V <sub>REF</sub> (4,095/4,096)
1000	0000 0000 xxxx	V <sub>REF</sub> (2,048/4,096) = V <sub>REF</sub> /2
0000	0000 0001 xxxx	V <sub>REF</sub> (1/4,096)
0000	0000 0000 xxxx	0V

## アプリケーション情報

### バイポーラの構成

LTC2642の標準的なバイポーラDACのアプリケーションを図3に示します。内蔵されているバイポーラ・オフセット/利得抵抗( $R_{FB}$ と $R_{INV}$ )は外部アンプに接続されており、 $R_{FB}$ ピンに

$-V_{REF} \sim V_{REF}$ のバイポーラ出力振幅を生じます。このアンプ回路は $V_{OUT}$ ピンから+2の利得を与え、 $V_{REF}$ から-1の利得を与えます。16ビット、14ビットおよび12ビットの動作のバイポーラ・オフセットの2進コードを表の2a、2bおよび2cに示します。

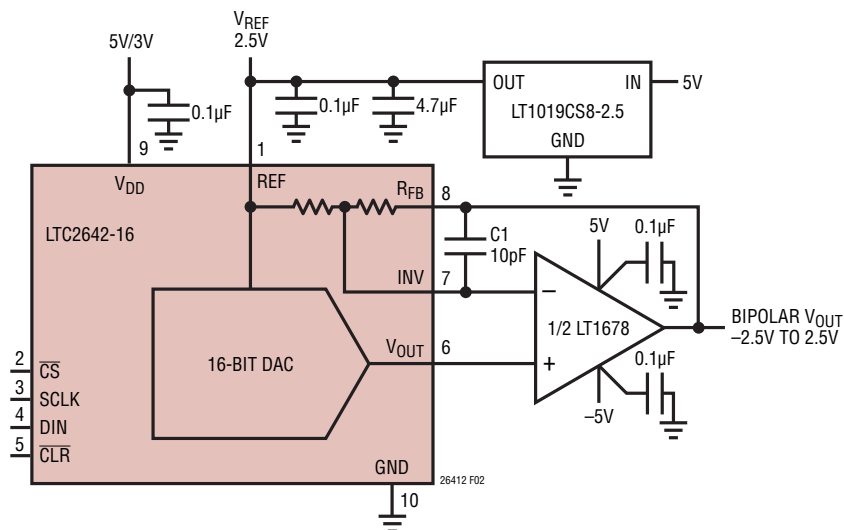


図3. 16ビットのバイポーラ出力 (LTC2642-16)  $V_{OUT} = -V_{REF} \sim V_{REF}$

表2a. 16ビット・バイポーラ・オフセットの2進コード表 (LTC2642-16)

DACのラッチのデジタル入力の2進数		アナログ出力 ( $V_{OUT}$ )
MSB	LSB	
1111 1111 1111 1111		$V_{REF}$ (32,767/32,768)
1000 0000 0000 0001		$V_{REF}$ (1/32,768)
1000 0000 0000 0000		0V
0111 1111 1111 1111		$-V_{REF}$ (1/32,768)
0000 0000 0000 0000		$-V_{REF}$

表2b. 14ビット・バイポーラ・オフセットの2進コード表 (LTC2642-14)

DACのラッチのデジタル入力の2進数		アナログ出力 ( $V_{OUT}$ )
MSB	LSB	
1111 1111 1111 11xx		$V_{REF}$ (8,191/8,192)
1000 0000 0000 01xx		$V_{REF}$ (1/8,192)
1000 0000 0000 00xx		0V
0111 1111 1111 11xx		$-V_{REF}$ (1/8,192)
0000 0000 0000 00xx		$-V_{REF}$

表2c. 12ビット・バイポーラ・オフセットの2進コード表 (LTC2642-12)

DACのラッチのデジタル入力の2進数		アナログ出力 ( $V_{OUT}$ )
MSB	LSB	
1111 1111 1111 xxxx		$V_{REF}$ (2,047/2,048)
1000 0000 0001 xxxx		$V_{REF}$ (1/2,048)
1000 0000 0000 xxxx		0V
0111 1111 1111 xxxx		$-V_{REF}$ (1/2,048)
0000 0000 0000 xxxx		$-V_{REF}$

## アプリケーション情報

### バッファなし動作とV<sub>OUT</sub>のロード

DACの出力はV<sub>OUT</sub>ピンで直接利用可能で、これはGNDからV<sub>REF</sub>まで振幅します。バッファなし動作は、可能な限り最も低いオフセット誤差、フルスケール誤差および直線性誤差、最高速のセトリング時間および最小電力消費を与えます。

ただし、バッファなし動作では、V<sub>OUT</sub>ピンに適切な負荷を維持する必要があります。LTC2641/LTC2642のV<sub>OUT</sub>は、R<sub>OUT</sub>のソース抵抗(標準6.2k)に直列な理想電圧源としてモデル化することができます(図4)。DACの出力インピーダンスはリニアなので、INLやDNLを劣化させることなく中程度の負荷(R<sub>L</sub> > 60k)をドライブすることができます。利得誤差だけが増加します。負荷抵抗(R<sub>L</sub>)によって生じる利得誤差(GE)は、(フルスケールに対して)次のようになります。

$$GE = \frac{-1}{1 + \left(\frac{R_{OUT}}{R_L}\right)}$$

16ビットのLSBで表すと次のようになります。

$$GE = \frac{-65536}{1 + \left(\frac{R_{OUT}}{R_L}\right)} [\text{LSB}]$$

R<sub>OUT</sub>の温度係数(標準 < ±50ppm/°C)は低く、DACのコードに依存しません。個々のデバイス毎のR<sub>OUT</sub>のバラつきは標準で±20%未満です。

LSBの単位についての注記:

以下の誤差の記述では、“LSB”は16ビットのLSBを意味し、65,536は66kに丸めてあります。

14ビットのLSB (LTC2641-14/LTC2642-14)に変換するには4で割ります。

12ビットのLSB (LTC2641-12/LTC2642-12)に変換するには16で割ります。

V<sub>OUT</sub>に負荷を与える定電流(I<sub>L</sub>)は次のようなオフセットを生じます。

$$V_{\text{OFFSET}} = -I_L \cdot R_{OUT}$$

V<sub>REF</sub> = 2.5Vの場合、16ビットのLSBは2.5V/65,536、つまり38μVに等しくなります。R<sub>OUT</sub>は6.2kなので、6nAのI<sub>L</sub>は1LSBのオフセットを生じます。したがって、DACの性能を劣化させないためには、どんなリーク電流源からもV<sub>OUT</sub>ピンを保護することが不可欠です。

### バッファなしV<sub>OUT</sub>のセトリング時間

V<sub>OUT</sub>ピンのセトリング時間は、次のようなシングル・ポール応答によって正確に近似することができます(図4)。

$$\tau = R_{OUT} \cdot (C_{OUT} + C_L)$$

16ビットで1/2LSBまでセトリングさせるには時定数(ln(2・65,536))の約12倍の時間が必要です。1μsの標準的セトリング時間は83nsの時定数に相当し、約83ns/6.2k = 13pFの合計容量(C<sub>OUT</sub> + C<sub>L</sub>)に相当します。内部容量(C<sub>OUT</sub>)は標準10pFなので、3pFの外部C<sub>L</sub>が1/2LSBへの1μsのセトリングに相当します。

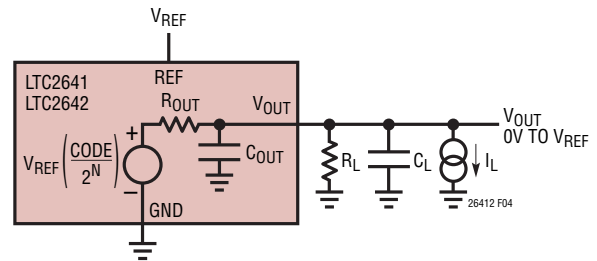


図4. V<sub>OUT</sub>ピンの等価回路

### オペアンプの選択

最適の外部バッファ・オペアンプの選択は、DACがユニポーラまたはバイポーラのどちらの動作モードで使用されているかに依存し、また、アプリケーションの精度、速度、電力消費および基板面積の要件にも依存します。LTC2641/LTC2642は、小さなパッケージ・サイズ、レール・トゥ・レール単一電源動作、低電力消費、高速セトリングおよび理想に近い精度の仕様を組み合わせていますので、1つのオペアンプのタイプを全てのアプリケーションに合うようにするのは実際的ではありません。

バイポーラ・モードでは(LTC2642のみ)、アンプは内部抵抗と一緒に動作してバイポーラのオフセットとスケールリングを与えます。この場合、LT1678のような両電源で動作する高精度アンプが±V<sub>REF</sub>の出力範囲を与えます(図3)。

ユニポーラ・モードでは、出力アンプはユニティゲインの電圧フォロワとして動作します。

ユニポーラで単一電源のアプリケーションの場合、アプリケーションがGNDの非常に近くで、つまりゼロスケールでリニアな動作を必要としなければ、LTC6078のようなレール・トゥ・レール入力の単一電源高精度オペアンプが適しています(図2)。

## アプリケーション情報

LTC6078は、負荷電流をシンクする必要がなければ、標準でGNDの1mV以内まで振幅します。LSBの大きさが38μVの場合、1mVはゼロスケール近くの26のミッシング・コードに相当します。直線性はGNDより上のコードのそれよりいくらか大きな範囲にわたって劣化します。単一電源アンプがGNDまたは正電源レールの非常に近くで動作するときにはセトリング時間と過渡性能が劣化するの避けられません。

16ビットDACのLSBサイズは小さく、それに加えてLTC2641/LTC2642の精度の仕様が厳しいので、外部オペアンプの精度と入力仕様の仕様がDAC全体の性能にとって決定的に重要です。

### オペアンプの仕様とユニポーラDACの精度

オペアンプの精度のほとんどの仕様は簡単にDACの精度に変換されます。

オペアンプの非反転(+)入力の入力バイアス電流はDACのV<sub>OUT</sub>ピンに負荷としてかかるI<sub>L</sub>に相当しますので、DACのゼロスケール誤差(ZSE)を生じます(「バッファなしの動作」を参照)。

$$ZSE = -I_B(IN+) \cdot R_{OUT} \text{ [Volts]}$$

16ビットのLSBで表すと次のようになります。

$$ZSE = -I_B(IN+) \cdot 6.2k \cdot \left(\frac{66k}{V_{REF}}\right) \text{ [LSB]}$$

オペアンプの入力インピーダンス(R<sub>IN</sub>)はLTC2641/LTC2642のV<sub>OUT</sub>ピンに負荷としてかかるR<sub>L</sub>に相当し、次のような利得誤差を生じます。

$$GE = \frac{-66k}{1 + \left(\frac{6.2k}{R_{IN}}\right)} \text{ [LSB]}$$

オペアンプのオフセット電圧(V<sub>OS</sub>)はDACのゼロコード・オフセット誤差(ZSE)に直接対応しています。

$$ZSE = V_{OS} \cdot \frac{66k}{V_{REF}} \text{ [LSB]}$$

温度の影響も検討する必要があります。-40°C~85°Cのインダストリアル温度範囲では、オフセット電圧の0.6μV/°Cの温度係数(25°Cを基準)により1LSBのゼロスケール誤差が追

加されます。また、I<sub>BIAS</sub>およびそれによって生じるV<sub>OFFSET</sub>は、温度によって一般に大きな相対変化を示します。

オペアンプの開ループ利得(A<sub>VOL</sub>)はDACの利得誤差(GE)に寄与します。

$$GE = \frac{66k}{A_{VOL}} \text{ [LSB]}$$

オペアンプの入力同相除去比(CMRR)は入力を基準にした誤差で、オペアンプのアーキテクチャと動作条件に依存して、利得誤差(GE)およびINLの組合せに対応します。合計CMRR誤差は控えめな見積りとして次のようになります。

$$\text{Error} = \left(10^{\left(\frac{CMRR}{20}\right)}\right) \cdot \left(\frac{V_{CMRR\_RANGE}}{V_{REF}}\right) \cdot 66k \text{ [LSB]}$$

ここで、V<sub>CMRR\_RANGE</sub>は、CMRR(単位はdB)の規定の基準になる電圧範囲です。オペアンプの「標準的性能特性」のグラフは、DACの性能に対するCMRR誤差の影響の予測に役立ちます。一般に、高精度オペアンプは(DACの利得誤差にだけ対応して)同相入力範囲(CMR)のほとんどにわたってかなりリニアなCMRR特性を示しますが、CMRの端近くではリニアではなく、かなりの誤差を生じます。

レール・トゥ・レール入力のオペアンプは特殊ケースです。それらは2つの区別された入力段(CMRがGNDに達するものと、CMRがV<sup>+</sup>に達するもの)を備えているからです。これにより、「交差した」CM入力領域が生じ、そこでは動作が2つの入力段の間で切り替わります。

LTC6078レール・トゥ・レール入力オペアンプは、「標準的性能特性」の「V<sub>OS</sub>とV<sub>CM</sub>」のグラフに示されているように(LTC6078のデータシートを参照)、一般に非常に低いクロスオーバー直線性誤差を示します。クロスオーバーはV<sup>+</sup>の約1V下のCM入力で生じ、V<sub>REF</sub> = 2.5VおよびV<sup>+</sup> = 5VのユニポーラDACのバッファとして動作しているLTC6078は、一般に約1LSBのGEを加えるだけで、CMRRによるINL誤差はほとんどありません。V<sub>REF</sub> = V<sup>+</sup> = 5Vの完全なレール・トゥ・レールのアプリケーションであっても、標準的LTC6078は16ビットで約1LSBのINLを加えるだけです。



## アプリケーション情報

### オペアンプの仕様とバイポーラ DAC の精度

上で説明したユニポーラ DAC の誤差へのオペアンプの寄与は、バイポーラ動作にも等しく適用されます。バイポーラの応用回路では DAC のスパンと全ての誤差が2倍に増加します。LSB の大きさも2倍になるので、LSB で表した誤差はユニポーラ・モードとバイポーラ・モードでは全く同じです。

バイポーラ・モードではさらに1つの誤差が  $I_B$  ( $IN^-$ ) から生じます。  $I_B$  は  $R_{FB}$  を通って流れてオフセットを生じます。最大バイアス電流オフセット誤差は次のようになります。

$$V_{\text{OFFSET}} = (I_B (IN^-) \cdot R_{FB} - I_B (IN^+) \cdot R_{\text{OUT}} \cdot 2) \text{ [ボルト]}$$

したがって、次のようになります。

$$V_{\text{OFFSET}} = (I_B (IN^-) \cdot 28k - I_B (IN^+) \cdot 12.4k) \cdot \frac{33k}{V_{\text{REF}}} \text{ [LSB]}$$

### オペアンプを使った場合のセトリング時間

外部オペアンプを使う場合、出力のセトリング時間には、LTC2641/LTC2642 の  $V_{\text{OUT}}$  ノードのシングル・ポールの(時定数が  $R_{\text{OUT}} \cdot (C_{\text{OUT}} + C_L)$  の)セトリングが依然として含まれます(「バッファなしの  $V_{\text{OUT}}$  のセトリング時間」を参照)。  $C_L$  にはバッファの入力容量およびPCボードの相互接続容量が含まれます。

外部バッファ・アンプにより、( $f_{\text{bandwidth}}/2\pi$ ) に等しい時定数のポールがもう1つ出力応答に加わります。たとえば、  $C_L$  が上と同じ値に保たれており、したがって  $V_{\text{OUT}}$  の時定数が  $83\text{ns} = 1\mu\text{s}/12$  であると仮定します。閉ループ帯域幅が  $(1/2\pi \cdot 83\text{ns}) = 1.9\text{MHz}$  に等しければ、出力アンプのポールの時定数も  $83\text{ns}$  になります。2つのカスケード接続されたシングル・ポールのセクションの実効時定数はおよそ個々の時定数の2乗の和の平方根、つまり  $\sqrt{2} \cdot 83\text{ns} = 117\text{ns}$  であり、  $1/2$  LSB へのセトリング時間は約  $12 \cdot 117\text{ns} = 1.4\mu\text{s}$  になります。これは、スルーの制限がなく、理想的位相マージンの理想的な場合を表しています。実際には、バッファなしで  $1\mu\text{s}$  のセトリング時間に近づくには、かなり高速のアンプを必要とし、十分な位相マージンを維持するために十分な注意が必要です。

バイポーラ・アプリケーション(図3)の出力セトリング時間は、帰還抵抗ネットワーク  $R_{FB}$  と  $R_{\text{INV}}$  (それぞれ公称  $28k$ ) により、いくらか増加します。オペアンプの(-)入力ノードの寄生容量 ( $C_P$ ) は、時定数が  $(C_P \cdot 28k/2)$  の帰還ループのポールを生じさせます。小さな帰還コンデンサ ( $C_1$ ) を追加して、部分的に

このポールをキャンセルするゼロを生じさせます。  $C_1$  は公称で  $< C_P$  (標準で  $5\text{pF} \sim 10\text{pF}$ ) とします。これにより、位相マージンが回復され、おおまかにはセトリング時間が改善されますが、ポール-ゼロの対により、時定数がおよそ  $(C_P + C_1) \cdot 28k/2$  の遅いセトリングの末尾の部分を残すのを避けられず、16ビットのセトリング時間は  $2\mu\text{s}$  を超えます。

### リファレンスと GND 入力

LTC2641/LTC2642 は  $2V \sim V_{\text{DD}}$  の外部電圧リファレンスで動作し、直線性、オフセットおよび利得の各誤差は  $V_{\text{REF}}$  に対して事実上変化しません。リファレンスの選択と適用において適切なガイドラインに従うなら、16ビットの性能を完全に維持することができます。LTC2641/LTC2642 の  $0.1\text{ppm}/^\circ\text{C}$  (標準) の非常に低い利得誤差温度係数は、  $-40^\circ\text{C} \sim 85^\circ\text{C}$  の温度範囲で  $0.5\text{LSB}$  未満の変化に相当します。実際には、これは利得誤差の全体的温度係数がほとんど外部リファレンスの温度係数によって決まることを意味します。

LTC2641/LTC2642 で使われている、DAC の電圧スイッチング・モードの「反転」抵抗ラダー・アーキテクチャは、コードに依存するリファレンス入力抵抗 ( $R_{\text{REF}}$ ) を示します(「標準的性能特性」の「 $I_{\text{REF}}$  と入力コード」の曲線を参照)。

ユニポーラ・モードでは、最小  $R_{\text{REF}}$  は  $14.8k$  (コード  $871\text{Chex}$ 、10進数で  $34,588$ )、最大  $R_{\text{REF}}$  はコード  $0000\text{hex}$  (ゼロ・スケール) で  $300k$  です。  $2.5V$  リファレンスの  $I_{\text{REF}}$  の最大変化量は  $160\mu\text{A}$  です。最大になるのはミッドスケールの近くなので、INL 誤差は  $V_{\text{REF}}$  の変化の約  $1/2$  であり、したがって、  $< 0.1\text{LSB}$  の INL 誤差を維持するにはリファレンスのロード・レギュレーションは  $(1.53\text{ppm} \cdot 2/160\mu\text{A}) = 19 \text{ [ppm/mA]}$  である必要があります。これは、直列配線抵抗を含めて、  $48\text{m}\Omega$  のリファレンスの出力インピーダンスを意味します。

抵抗ラダーのブランチが GND から  $V_{\text{REF}}$  に切り替わるとき出力グリッチの発生を防ぐには、リファレンスの入力が高い周波数で低いインピーダンスを維持する必要があります。リードの短い  $0.1\mu\text{F}$  セラミック・コンデンサを REF と GND の間に接続すると高周波をバイパスします。表面実装セラミック・チップ・コンデンサのインダクタンスは最小なので、優先的に使われます。REF と GND の間に  $1\mu\text{F}$  を追加すると、低周波をバイパスします。この回路は、追加された容量性負荷によって外部リファレンスが安定状態を保つ限り、さらに高いバイパス容量から恩恵を受けます。

## アプリケーション情報

### デジタル入力とインタフェース・ロジック

全てのデジタル入力はシュミット・トリガのバッファを備えており、遷移の遅いインタフェースを許容します。つまり、外部ロジックを追加することなしに、オプトカプラをLTC2641/LTC2642に直接インタフェースさせることができます。デジタル入力のヒステリシスは標準150mVです。

デジタル入力はTTL/CMOSロジックのレベルと互換性があります。ただし、レール・トゥ・レール(CMOS)ロジックの振幅が望ましいと言えます。電源レールから外れたロジック入力を動作させると、追加の $I_{DD}$ やGND電流が発生するからです(「標準的性能特性」の「電源電流とロジック入力電圧」のグラフを参照)。

デジタル・フィードスルーはわずか標準 $0.2nV \cdot s$ ですが、新しいコードをDACにロードするとき以外は、全てのロジック入力をスタチックに保つことが常に望ましいと言えます。

### 精密さのためのボードのレイアウト

ボードの微小なリークでも精度を下げる場合があります。1LSBのオフセット誤差を生じさせるのに必要な $V_{OUT}$ への6nAのリーク電流は、5V電源からの $833M\Omega$ のリーク抵抗に相当します。

$V_{OUT}$ ノードは容量性ノイズ結合に比較的敏感なので、最小トレース長、適切なシールドおよびクリーンなボード・レイアウトがこの場合不可欠です。

DAC、オペアンプまたはリファレンスのピンの温度差により、数十マイクロボルトの熱電対電圧が簡単に発生することがあります。アナログ信号のトレースは短くし、相互に近づけ、熱を放散する部品から離します。また、ボードを横切る空気流により、熱電対を生じることがあります。

PCボードには、回路のアナログ部分とデジタル部分のために別の領域が必要です。1枚の切れ目のないグランド・プレーンを使い、アナログ信号とデジタル信号をプレーンの別の領域に注意深く配線します。これにより、デジタル信号を敏感なアナログ信号から遠ざけ、デジタル・グランド電流とグランド・プレーンのアナログ部分の間の相互作用を最小に抑えます。

「スター・グランド」領域は、LTC2641/LTC2642のGNDピン、 $V_{REF}$ のGNDおよびDACの $V_{OUT}$ のGNDリファレンス端子を、グランド・プレーンの同じ領域に接続することによって形成されます。どの大きなGNDリターン電流経路も「スター・グランド」領域を通して流れないように注意します。特に、LTC2641のGNDピンから、 $V_{REF}$ 入力ソースがグランド・プレーンに接続されているポイントまでの抵抗はできるだけ小さくします。この抵抗が大きすぎると、コードに依存する $I_{REF}$ 電流がそれに掛け合わされ、 $V_{REF}$ のソース抵抗によって生じる誤差に似たINL誤差を生じます。S8パッケージのLTC2641では、両方のGNDピン(ピン2とピン7)を同じGNDプレーンに接続する必要があります。

アナログ領域のグランド・リターン電流のソースには、オペアンプの電源のバイパス・コンデンサと単一電源アンプのGND接続が含まれます。誤差を最小に抑える有効な手法は、パワー・グランドのリターン接続用に別の基板層を使い、低電流「信号」GND接続用にグランド・プレーン層を別に確保することです。「信号」または「スター」グランド・プレーンは1点で「パワー」グランド・プレーンに接続する必要があります。この1点はLTC2641/LTC2642のGNDピンの近くに配置します。

別個のアナログ・グランド領域とデジタル・グランド領域が存在する場合、それらを1箇所で接続する必要があります。その場所はデジタル信号を完全に保つため、DACのかなり近くにします。システムによっては、特に異なるPCボードが関係している場合、大きなグランド・リターン電流がデジタル・グランドとアナログ・グランドの間に流れることがあります。このような

## アプリケーション情報

場合、デジタルとアナログのグランド接続ポイントは、非常に敏感なアナログ信号が損なわれないように、「スター」グランド領域から離します。選択を強いられた場合、常にアナログ・グランドの質をデジタル・グランドより優先させます。(デジタル入力の数mVのノイズは、デジタル入力のヒステリシスのおかげで目につきません。)

アナログとデジタルのリターン電流が自然に流れる領域をグランド・プレーン上で別個の領域に分けておくだけで、一般に良い結果が得られます。これがなされた後では、戦略的に配置した「スロット」によってグランド・プレーンを遮って、デジ

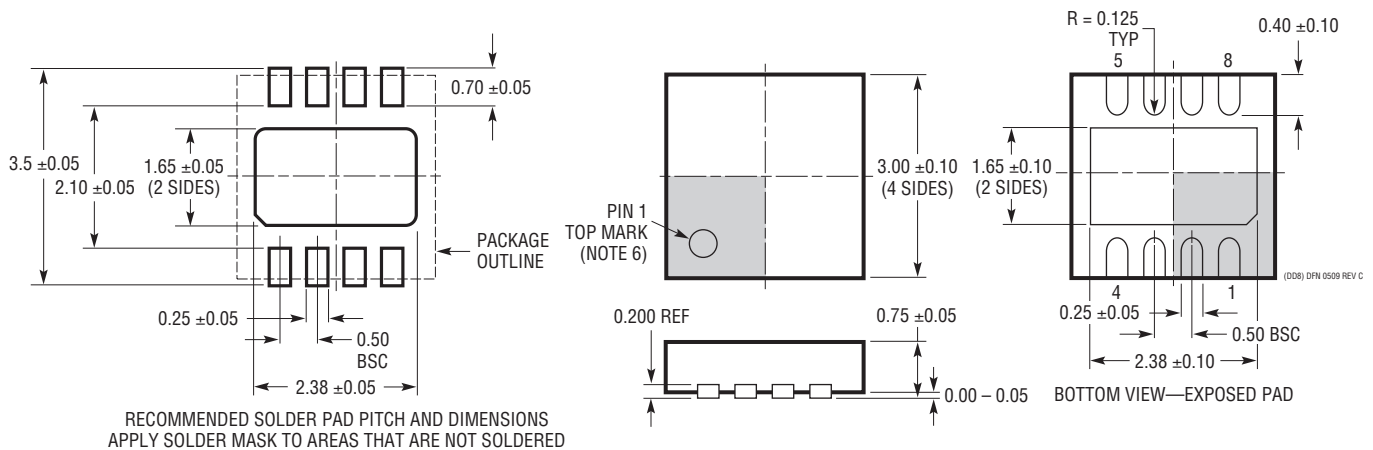
タル・グランドの電流がプレーンのアナログ部分に侵入するのを防ぐと、効果のあることがあります。これを行うとき、プレーンのギャップは目的に役立つのに必要な範囲に限定します。

注意：グランド・プレーンのギャップが適切でないためかなりのグランド・リターン経路が遮られると、または信号トレースがギャップと交差すると、ギャップの追加によってかえって性能が大きく損なわれることがあります。この場合、グランドと信号のリターン電流はギャップの周囲を長い距離にわたって流れるように強制され、多くの場合アナログ・グランド・プレーンの最も敏感な領域に直接導かれます。

## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

**DD Package**  
**8-Lead Plastic DFN (3mm × 3mm)**  
 (Reference LTC DWG # 05-08-1698 Rev C)



**NOTE:**

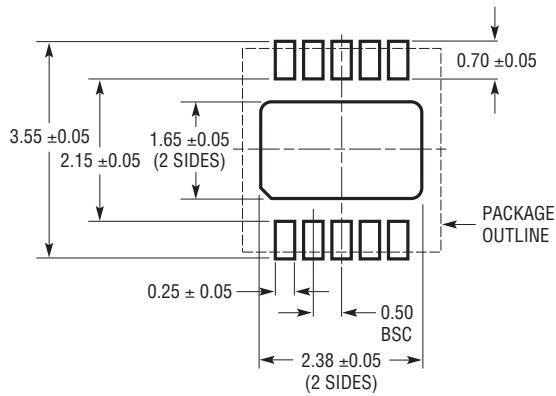
1. 図はJEDECのパッケージ外形M0-229のバリエーション(WEED-1)になる予定
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。  
モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

# LTC2641/LTC2642

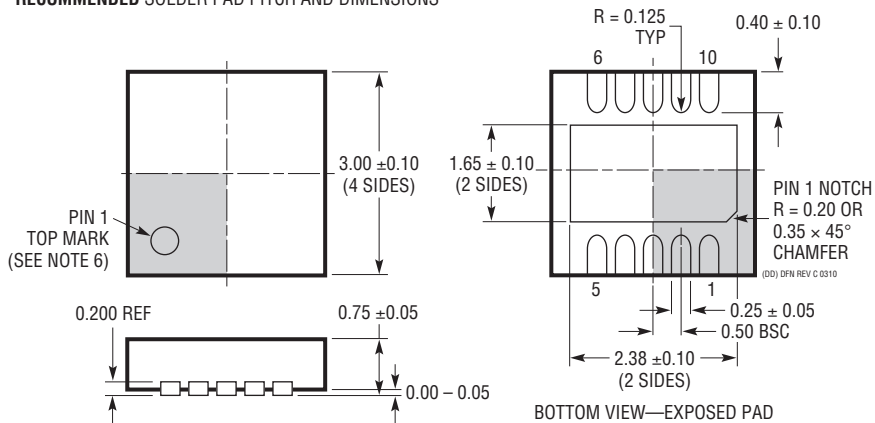
## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

### DD Package 10-Lead Plastic DFN (3mm × 3mm) (Reference LTC DWG # 05-08-1699 Rev C)



#### RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS

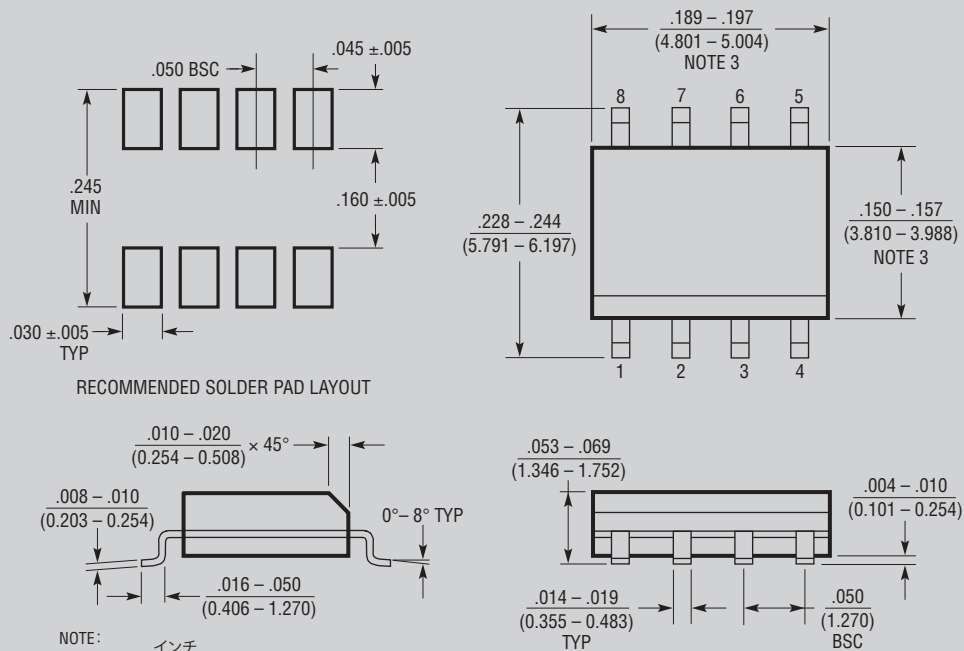


- NOTE:
1. 図はJEDECパッケージ・アウトラインMO-229のバリエーション(WEED-2)になる予定。  
バリエーションの指定の現状についてはLTCのWebサイトのデータシートを参照
  2. 図は実寸とは異なる
  3. すべての寸法はミリメートル
  4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。  
モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
  5. 露出パッドは半田メッキとする
  6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

**S8 Package**  
**8-Lead Plastic Small Outline (Narrow .150 Inch)**  
 (Reference LTC DWG # 05-08-1610 Rev G)



- NOTE:
1. 寸法は  $\frac{\text{インチ}}{\text{ミリメートル}}$
  2. 図は実寸とは異なる
  3. 寸法にはモールドのバリまたは突出部を含まない。  
モールドのバリまたは突出部は0.006インチ (0.15mm) を超えないこと
  4. ピン1は斜めのエッジかへこみのいずれか

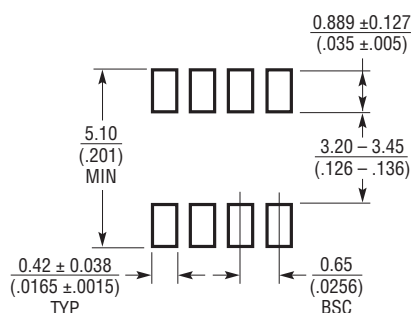
S08 REV G 0212

## 製造中止パッケージ

## パッケージ

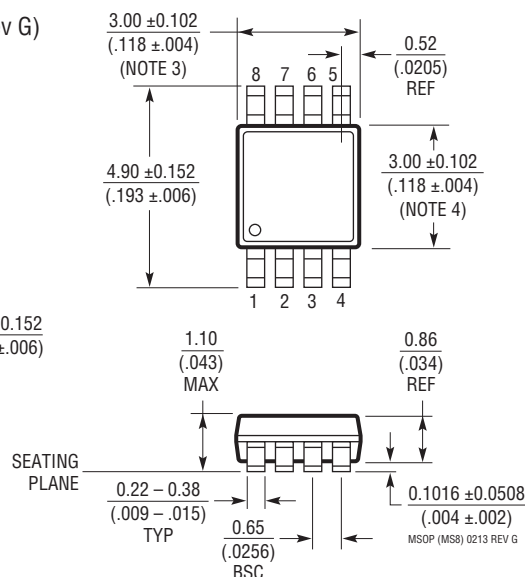
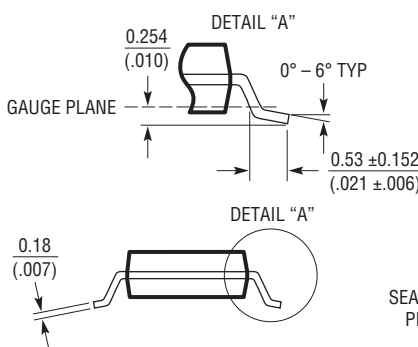
最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

### MS8 Package 8-Lead Plastic MSOP (Reference LTC DWG # 05-08-1660 Rev G)

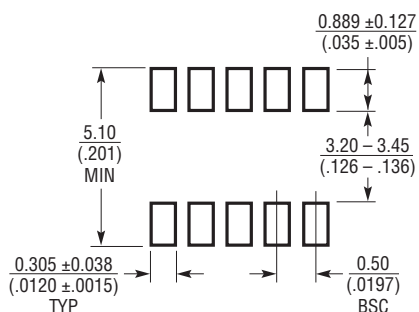


NOTE:

1. 寸法はミリメートル/(インチ)
2. 図は実寸とは異なる
3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない。  
モールドのバリ、突出部、またはゲートのバリは、各サイドで0.152mm (0.006") を超えないこと
4. 寸法には、リード間のバリまたは突出部を含まない。  
リード間のバリまたは突出部は、各サイドで0.152mm (0.006") を超えないこと
5. リードの平坦度 (成形後のリードの底面) は最大0.102mm (0.004") であること

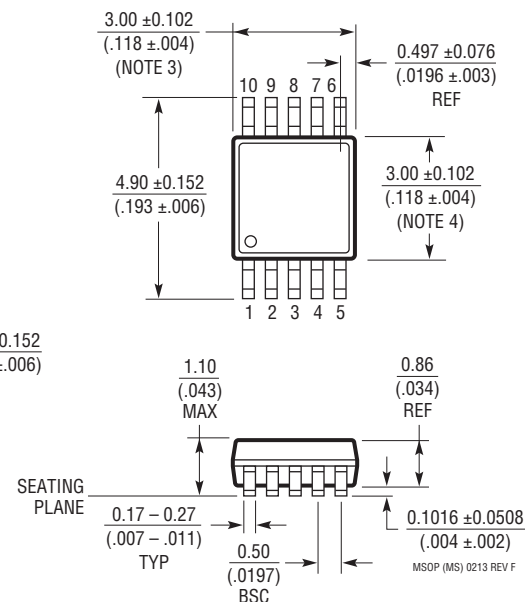
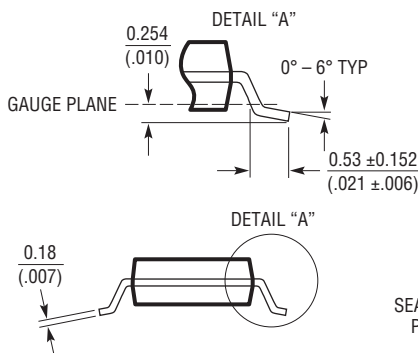


### MS Package 10-Lead Plastic MSOP (Reference LTC DWG # 05-08-1661 Rev F)



NOTE:

1. 寸法はミリメートル/(インチ)
2. 図は実寸とは異なる
3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない。  
モールドのバリ、突出部、またはゲートのバリは、各サイドで0.152mm (0.006") を超えないこと
4. 寸法には、リード間のバリまたは突出部を含まない。  
リード間のバリまたは突出部は、各サイドで0.152mm (0.006") を超えないこと
5. リードの平坦度 (成形後のリードの底面) は最大0.102mm (0.004") であること



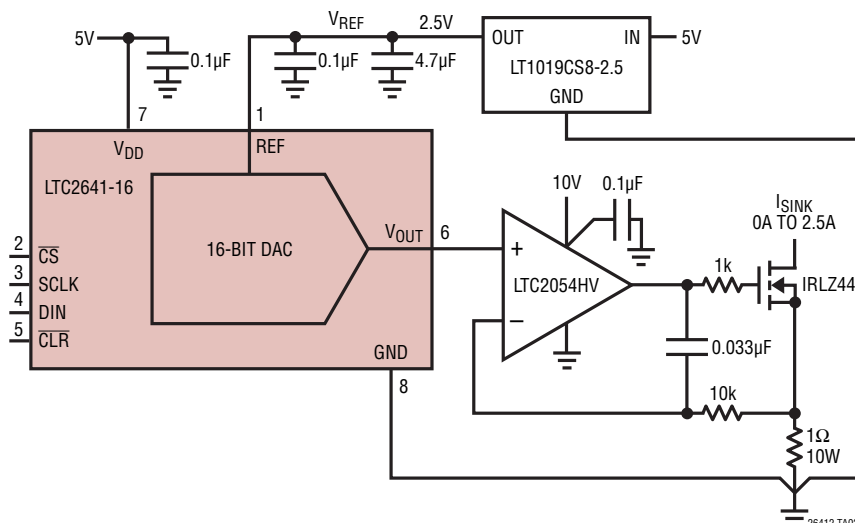
## 改訂履歴 (改訂履歴は Rev C から開始)

REV	日付	概要	ページ番号
C	12/13	S8 パッケージは「製造中止」と表示。	2、3、9、10、18、21
D	10/14	Output voltage noise density の仕様を追加。 「DAC のクリア」セクションの文章を更新。	4 12

# LTC2641/LTC2642

## 標準的応用例

0A～2.5Aをシンクする広い範囲の電流負荷



## 関連製品

製品番号	説明	注釈
<b>DAC</b>		
<a href="#">LTC1588/LTC1589</a> <a href="#">LTC1592</a>	12/14/16ビット SoftSpan™電流出力DAC	ソフトウェアでプログラム可能な出力レンジ: 最大±10V
<a href="#">LTC1595/LTC1596</a>	シリアル16ビット電流出力DAC	低グリッチ、最大±1LSBのINL、DNL
<a href="#">LTC1591/LTC1597</a>	パラレル14/16ビット電流出力DAC	INL/DNL: ±1LSB(最大)、出力: ±10V
<a href="#">LTC1599</a>	16ビット電流出力DAC	INL/DNL: ±1LSB(最大)、出力: ±10V
<a href="#">LTC1650</a>	16ビット電圧出力DAC	グリッチ・インパルス: 2nV・s、ノイズ: 30nV/√Hz
<a href="#">LTC2621/LTC2611</a> <a href="#">LTC2601</a>	12/14/16ビット・シリアル電圧出力DAC	シングルDAC、単一電源、0V～5V出力、 DFN10パッケージ
<a href="#">LTC2704-12</a> <a href="#">LTC2704-14</a> <a href="#">LTC2704-16</a>	12/14/16ビット・クワッド電圧出力DAC	ソフトウェアでプログラム可能な出力レンジ: 最大±10V、シリアルI/O
<b>オペアンプ</b>		
<a href="#">LT®1678</a>	デュアル、低ノイズ、レール・トゥ・レール 高精度オペアンプ	1MHzで3.9nV/√Hz
<a href="#">LTC2054</a>	マイクロパワー・ゼロドリフト・オペアンプ	オフセット: 最大3µV
<a href="#">LT6010</a>	150µA、8nV/√Hz、レール・トゥ・レール出力の 高精度オペアンプ	マイクロパワー
<a href="#">LTC6078</a>	デュアルCMOSレール・トゥ・レール入出力オペアンプ	54µA/アンプ、入力ノイズ電圧: 16nV/√Hz
<b>リファレンス</b>		
<a href="#">LT1019</a>	高精度バンドギャップ・リファレンス	最大0.005%、最大5ppm/°C

26412fd