構成可能なデジタル・フィルタ付き 32ビットオーバー・サンプリングA/Dコンバータ

特長

- **INL：±0.5ppm（標準）**
- **61spsでのダイナミックレンジ：145dB（標準）**
- **4kspsでのダイナミックレンジ：131dB（標準）**
- **欠落コードのない32ビットを保証**
- **同期機能付き構成可能なデジタル・フィルタ**
  - 緩和されたアンチエイリアシング・フィルタ要件
- **デュアル出力32ビットSAR A/Dコンバータ**
  - デジタルにフィルタリングされる32ビット低ノイズ出力
  - 14ビット差動+8ビット同相電圧、1Msps、待ち時間のない出力
- **広い入力同相範囲：**
- 85°Cまでの動作を保証
- 1.8V～5VのSPI互換シリアルI/O
- 低消費電力：1Mspsで24mW
- 24ピン7mm×4mm DFNパッケージ

アプリケーション

- 地震計測
- エネルギー探査
- 自動テスト装置（ATE）
- 高精度計測装置

LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。SoftSpanはリニアテクノロジー社の商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。7705765、7961132、8319673、8576104、8810443、9054727、9231611、9331709、および出願中の特許を含む米国特許により保護されています。

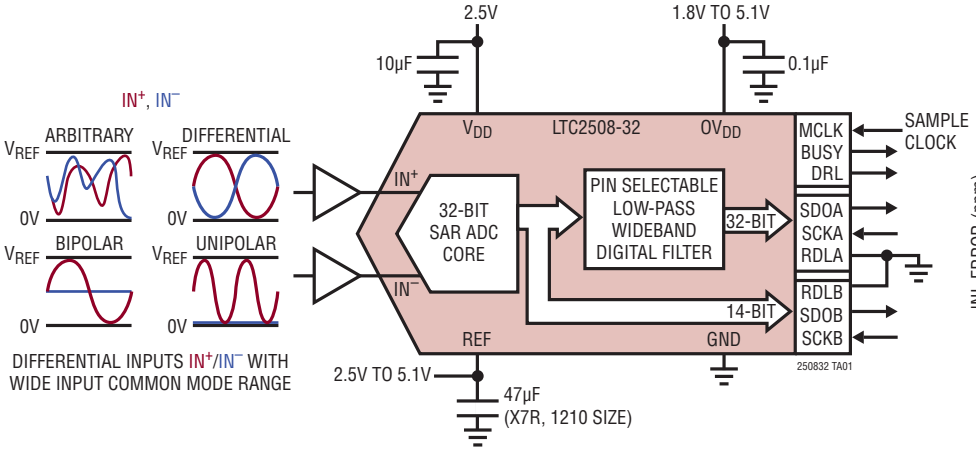
概要

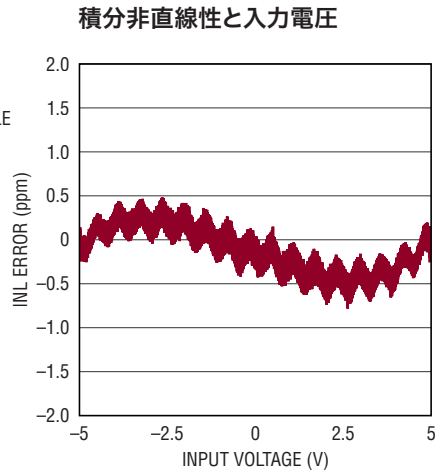
LTC®2508-32は、構成可能なデジタル・フィルタを内蔵した低ノイズ、低消費電力の高性能32ビットA/Dコンバータです。LTC2508-32は単一2.5V電源で動作し、その完全差動入力電圧範囲は最大±V_{REF}で、V_{REF}の範囲は2.5V～5.1Vです。LTC2508-32は、0V～V_{REF}という広い同相範囲をサポートしており、アナログ・シグナル・コンディショニング要件を簡略化します。

LTC2508-32は、次の2つの出力コードを同時に提供します。(1)デジタルにフィルタリングされた32ビットの高精度低ノイズ・コード、および(2)待ち時間のない22ビットの複合コード。構成可能なデジタル・フィルタは、SAR ADCコアからのデータのストリームに対してローパス・フィルタおよびダウンサンプリングを実行することによって測定ノイズを低減し、フィルタリングされた32ビット出力コードを提供します。22ビット複合コードは、差動電圧を表す14ビット・コードおよび同相電圧を表す8ビット・コードで構成されます。22ビット複合コードは、各変換サイクルで使用可能であり、待ち時間のサイクルがありません。

デジタル・フィルタは、ピン・ストラップによって、4種類のダウンサンプリング係数に対して簡単に構成できます。各構成は、3.9kspsで131dB、61spsで145dBのダイナミックレンジを提供します。デジタル・ローパス・フィルタは、アナログ・アンチエイリアシングの要件を緩和します。SYNCピンを使用して、複数のLTC2508-32デバイスを簡単に同期できます。

標準的応用例



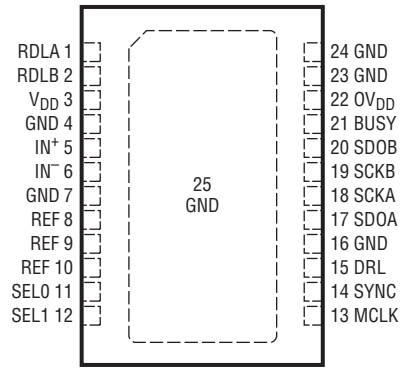


絶対最大定格

(Note 1、2)

電源電圧（V_{DD}）..... 2.8V
電源電圧（OV_{DD}）..... 6V
リファレンス入力（REF）..... 6V
アナログ入力電圧（Note 3）
　IN^+、IN^-..... （GND – 0.3V）～（REF＋0.3V）
デジタル入力電圧
（Note 3）..... （GND – 0.3V）～（OV_{DD}＋0.3V）
デジタル出力電圧
（Note 3）..... （GND – 0.3V）～（OV_{DD}＋0.3V）
電力損失.....500mW
動作温度範囲
　LTC2508C-32.....0°C～70°C
　LTC2508I-32..... –40°C～85°C
保存温度範囲..... –65°C～150°C

ピン配置



DKD PACKAGE
24-LEAD (7mm × 4mm) PLASTIC DFN
T_{JMAX} = 125°C, θ_{JA} = 40°C/W
EXPOSED PAD (PIN 25) IS GND, MUST BE SOLDERED TO PCB

発注情報

http://www.linear-tech.co.jp/product/LTC2508-32#orderinfo

無鉛仕上げ	テープ・アンド・リール	製品マーキング *	パッケージ	温度範囲
LTC2508CDKD-32#PBF	LTC2508CDKD-32#TRPBF	250832	24-Lead (7mm×4mm) Plastic DFN	0°C to 70°C
LTC2508IDKD-32#PBF	LTC2508IDKD-32#TRPBF	250832	24-Lead (7mm×4mm) Plastic DFN	–40°C to 85°C

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

鉛フリー仕様の製品マーキングの詳細については、http://www.linear-tech.co.jp/leadfree/をご覧ください。
テープ・アンド・リールの仕様の詳細については、http://www.linear-tech.co.jp/tapeandreel/をご覧ください。
一部のパッケージは、指定販売チャネルを通じて、#TRMPBFの接尾辞付きで500単位のリールで供給されます。

電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値（Note 4）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN}^+	Absolute Input Range (IN^+)	(Note 5)	●	0		V_{REF}	V
V_{IN}^-	Absolute Input Range (IN^-)	(Note 5)	●	0		V_{REF}	V
$V_{IN}^+ – V_{IN}^-$	Input Differential Voltage Range	$V_{IN} = V_{IN}^+ – V_{IN}^-$	●	$–V_{REF}$		V_{REF}	V
V_{CM}	Common-Mode Input Range		●	0		V_{REF}	V
I_{IN}	Analog Input Leakage Current				10		nA
C_{IN}	Analog Input Capacitance	Sample Mode Hold Mode			45 5		pF pF
CMRR	Input Common Mode Rejection Ratio	Filtered Output $V_{IN}^+ = V_{IN}^- = 4.5V_{P-P}$, 200Hz Sine			128		dB

フィルタリングされた出力（SDOA）に関するコンバータの特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値（Note 4）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	Resolution		●	32			Bits
	No Missing Codes		●	32			Bits
DF	Down-sampling Factor		●	256		16384	
	Transition Noise	DF = 256 (Note 6) DF = 1024 DF = 4096 DF = 16384			0.095 0.055 0.03 0.02		ppm ppm ppm ppm
INL	Integral Linearity Error	(Note 7)	●	-3.5	0.5	3.5	ppm
ZSE	Zero-Scale Error	(Note 9)	●	-13	0	13	ppm
	Zero-Scale Error Drift				±14		ppb/°C
FSE	Full-Scale Error	(Note 9)	●	-100	±10	100	ppm
	Full-Scale Error Drift				±0.05		ppm/°C

フィルタリングされた出力（SDOA）に関する動的精度

●は全動作温度範囲での規格値を意味する。それ以外はT_A ＝25°Cでの値。A_{IN} = –20dBFS。（Notes 4、10）

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
DR	Dynamic Range	V_{REF} = 5V, DF = 256 $IN^+ = IN^- = V_{CM}$, V_{REF} = 5V, DF = 1024 $IN^+ = IN^- = V_{CM}$, V_{REF} = 5V, DF = 4096 $IN^+ = IN^- = V_{CM}$, V_{REF} = 5V, DF = 16384	●	125	131 136 141 145		dB dB dB dB
THD	Total Harmonic Distortion	f_{IN} = 200Hz, V_{REF} = 2.5V, DF = 256 f_{IN} = 200Hz, V_{REF} = 5V, DF = 256	 ●		-118 -118	 -108	dB dB
SFDR	Spurious Free Dynamic Range	f_{IN} = 200Hz, V_{REF} = 2.5V, DF = 256 f_{IN} = 200Hz, V_{REF} = 5V, DF = 256	 ●	 108	118 118		dB dB
	–3dB Input Bandwidth				34		MHz
	Aperture Delay				500		ps
	Aperture Jitter				4		ps_{RMS}
	Transient Response	Full-Scale Step			125		ns

待ち時間のない出力（SDOB）に関するコンバータの特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値（Note 4）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	Resolution: Differential Common Mode		 ● ●	 14 8			 Bits Bits
	No Missing Codes: Differential Common Mode		 ● ●	 14 8			 Bits Bits
	Transition Noise Differential Common Mode	(Note 6)			 1 1		 LSB_{RMS} LSB_{RMS}
INL	Integral Linearity Error Differential Common Mode	(Note 7)			 ±0.1 ±0.1		 LSB LSB
DNL	Differential Linearity Error Differential Common Mode				 ±0.1 ±0.1		 LSB LSB
ZSE	Zero Scale Error Differential Common Mode				 ±1 ±1		 LSB LSB
FSE	Zero Scale Error Differential Common Mode				 ±1 ±1		 LSB LSB

リファレンス入力

● は全動作温度範囲での規格値を意味する。それ以外はT_A ＝25°Cでの値（Note 4、9）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{REF}	Reference Voltage	(Note 5)	●	2.5		5.1	V
I_{REF}	Reference Input Current	(Note 11)	●		0.7	1	mA

デジタル入力とデジタル出力

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値（Note 4）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage		●	0.8•OV_{DD}			V
V_{IL}	Low Level Input Voltage		●			0.2•OV_{DD}	V
I_{IN}	Digital Input Current	V_{IN} = 0V to OV_{DD}	●	-10		10	µA
C_{IN}	Digital Input Capacitance				5		pF
V_{OH}	High Level Output Voltage	I_O = –500µA	●	OV_{DD}–0.2			V
V_{OL}	Low Level Output Voltage	I_O = 500µA	●			0.2	V
I_{OZ}	Hi-Z Output Leakage Current	V_{OUT} = 0V to OV_{DD}	●	-10		10	µA
I_{SOURCE}	Output Source Current	V_{OUT} = 0V			-10		mA
I_{SINK}	Output Sink Current	V_{OUT} = OV_{DD}			10		mA

電源要件

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値(Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{DD}	Supply Voltage		●	2.375	2.5	2.625	V
OV_{DD}	Supply Voltage		●	1.71		5.25	V
I_{VDD} I_{OVDD} I_{PD}	Supply Current Supply Current Power Down Mode	1Msps Sample Rate 1Msps Sample Rate (C_L = 20pF) Conversion Done (I_{VDD} + I_{OVDD} + I_{REF})	● ●		9.5 1 6	13 350	mA mA µA
P_D	Power Dissipation Power Down Mode	1Msps Sample Rate (I_{VDD}) Conversion Done (I_{VDD} + I_{OVDD} + I_{REF})			24 15	32.5 875	mW µW

A/Dコンバータのタイミング特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値(Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
f_{SMPL}	Maximum Sampling Frequency		●			1	Msps
f_{DRA}	Output Data Rate at SDOA		●			3.9	ksps
f_{DRB}	Output Data Rate at SDOB		●			1	Msps
t_{CONV}	Conversion Time		●	578		652	ns
t_{ACQ}	Acquisition Time	$t_{ACQ} = t_{CYC} - t_{CONV} - t_{BUSYLH}$ (Note 8)	●	335			ns
t_{CYC}	Time Between Conversions		●	1000			ns
t_{MCLKH}	MCLK High Time		●	20			ns
t_{MCLKL}	Minimum Low Time for MCLK	(Note 12)	●	20			ns
t_{BUSYLH}	MCLK ↑ to BUSY ↑ Delay	C_L = 20pF	●			13	ns
t_{DRLLH}	MCLK to DRL ↑ Delay	C_L = 20pF	●			18	ns
t_{QUIET}	SCKA, SCKB Quiet Time from MCLK ↑	(Note 8)	●	10			ns
t_{SCKA}	SCKA Period	(Notes 12, 13)	●	10			ns
t_{SCKAH}	SCKA High Time		●	4			ns
t_{SCKAL}	SCKA Low Time		●	4			ns
t_{DSDOA}	SDOA Data Valid Delay from SCKA ↑	C_L = 20pF, OV_{DD} = 5.25V C_L = 20pF, OV_{DD} = 2.5V C_L = 20pF, OV_{DD} = 1.71V	● ● ●			8.5 8.5 9.5	ns ns ns
t_{HSDOA}	SDOA Data Remains Valid Delay from SCKA ↑	C_L = 20pF (Note 8)	●	1			ns
$t_{DSDOADRLL}$	SDOA Data Valid Delay from DRL ↓	C_L = 20pF (Note 8)	●			5	ns
t_{ENAA}	Bus Enable Time After RDLA ↓	(Note 12)	●			16	ns
t_{DISA}	Bus Relinquish Time After RDLA ↑	(Note 12)	●			13	ns
t_{SCKB}	SCKB Period	(Notes 12, 13)	●	10			ns
t_{SCKBH}	SCKB High Time		●	4			ns
t_{SCKBL}	SCKB Low Time		●	4			ns
t_{DSDOB}	SDOB Data Valid Delay from SCKB ↑	C_L = 20pF, OV_{DD} = 5.25V C_L = 20pF, OV_{DD} = 2.5V C_L = 20pF, OV_{DD} = 1.71V	● ● ●			8.5 8.5 9.5	ns ns ns
t_{HSDOB}	SDOB Data Remains Valid Delay from SCKB ↑	C_L = 20pF (Note 8)	●	1			ns

A/Dコンバータのタイミング特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値(Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$t_{DSDOBBUSYL}$	SDOB Data Valid Delay from BUSY ↓	C_L = 20pF (Note 8)	●			5	ns
t_{ENB}	Bus Enable Time After RDLB ↓	(Note 12)	●			16	ns
t_{DISB}	Bus Relinquish Time After RDLB ↑	(Note 12)	●			13	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: 全ての電圧値はグランドを基準にしている。

Note 3: これらのピンの電圧がグランドを下回るか、REFまたはOVDDを上回ると、内部のダイオードによってクランプされる。この製品は、これらのピンの電圧がグランドより低くなるか、REFまたはOV_{DD}より高くなった場合でも、ラッチアップを生じることなく最大100mAの入力電流を処理することができる。

Note 4: V_{DD} = 2.5V、OV_{DD} = 2.5V、REF = 5V、V_{CM} = 2.5V、f_{SMPL} = 1MHz、DF = 256。

Note 5: 推奨動作条件。

Note 6: 遷移ノイズは、IN^+とIN^-が短絡されたA/Dコンバータのノイズ・レベルとして定義される。

Note 7: 積分非直線性は、実際の伝達曲線の端点を通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 8: 設計によって保証されているが、テストされない。

Note 9: バイポーラ・ゼロスケール誤差は、出力コードが0000 0000 0000 0000 0000 0000 0000 0000と1111 1111 1111 1111 1111 1111 1111 1111.の間を行ったり来たりするとき、–0.5LSBから測定されたオフセット電圧である。フルスケールの両極性誤差は、最初と最後の理想的なコード遷移からの–FSまたは+FSの未調整偏差の最悪値であり、オフセット誤差の影響が含まれる。

Note 10: dB表示の全ての規格値は、5Vのリファレンス電圧でフルスケール±5Vの入力を基準にしている。

Note 11: f_{SMPL} = 1MHz。I_{REF}はサンプル・レートに比例して変化する。

Note 12: パラメータはOV_{DD} = 1.71V、OV_{DD} = 2.5V、およびOV_{DD} = 5.25Vでテストされ、保証されている。

Note 13: 立ち上がりで捕捉する場合、最大10nsのt_{SCKA}、t_{SCKB}により最大100MHzのシフトクロック周波数が可能である。

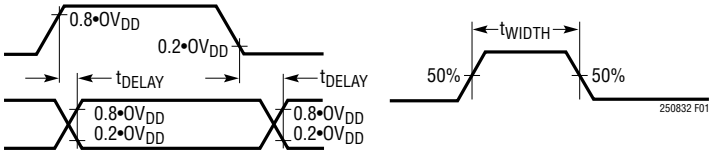
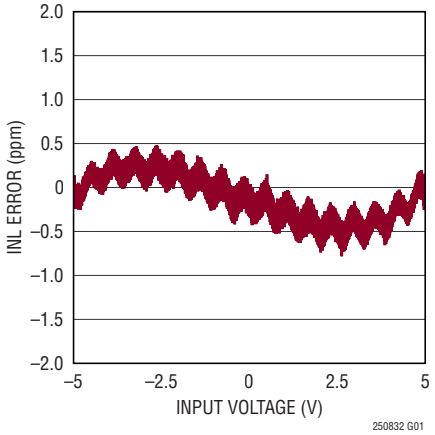


図1. 仕様の電圧レベル

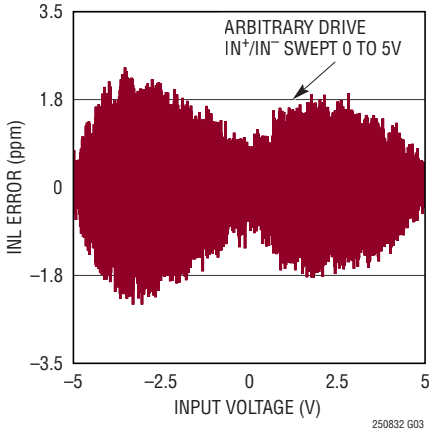
標準的性能特性

注記がない限り、T_A = 25°C、V_{DD} = 2.5V、OV_{DD} = 2.5V、V_{CM} = 2.5V、REF = 5V、f_{SMPL} = 1Msps、DF = 256、フィルタリングされた出力。

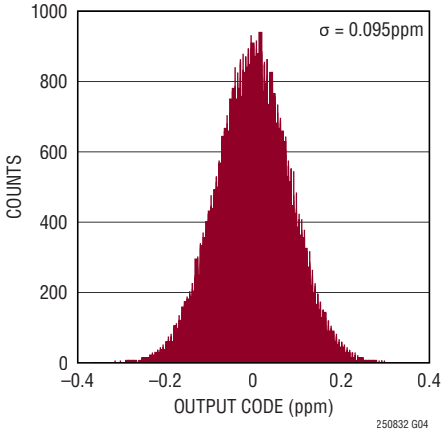
積分非直線性と入力電圧



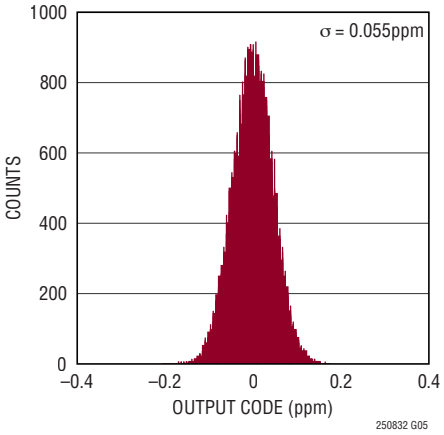
積分非直線性と入力電圧



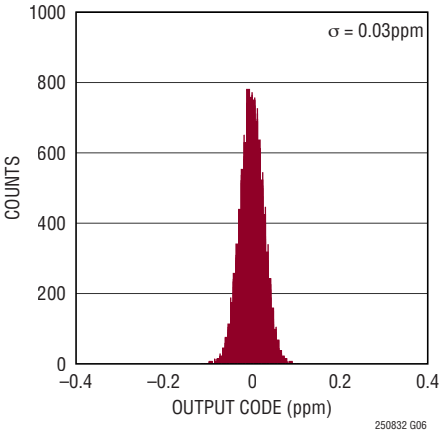
DC ヒストグラム、DF = 256



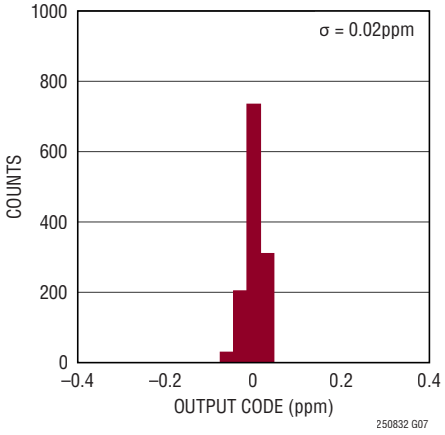
DC ヒストグラム、DF = 1024



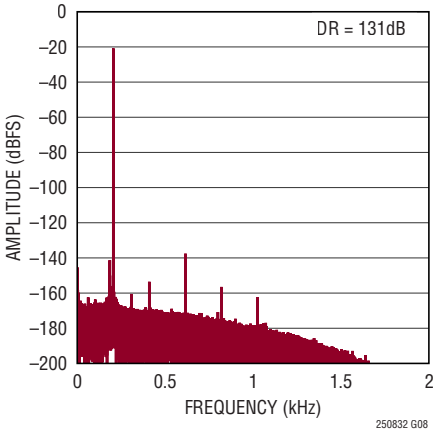
DC ヒストグラム、DF = 4096



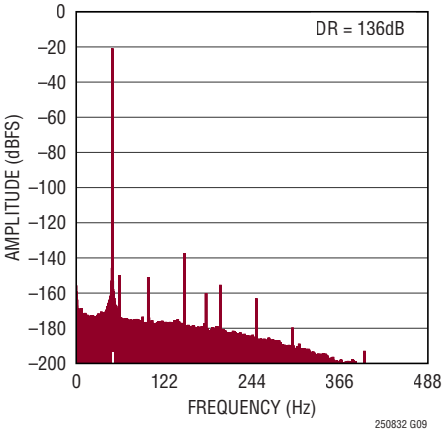
DC ヒストグラム、DF = 16384



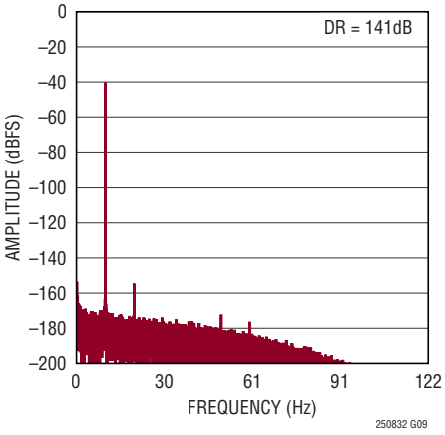
128k ポイントの FFT f_{SMPL} =1Msps、f_{IN} = 200Hz、DF = 256



128k ポイントの FFT f_{SMPL} =1Msps、f_{IN} = 50Hz、DF = 1024



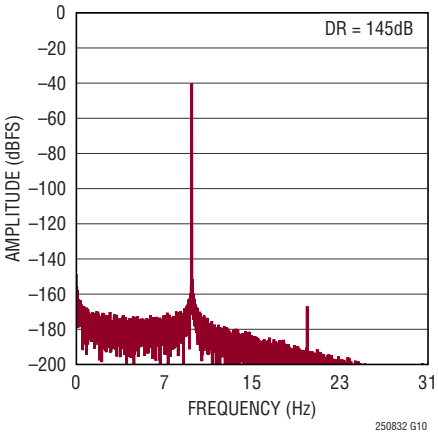
32k ポイントの FFT f_{SMPL} = 1Msps、f_{IN} = 10Hz、DF = 4096



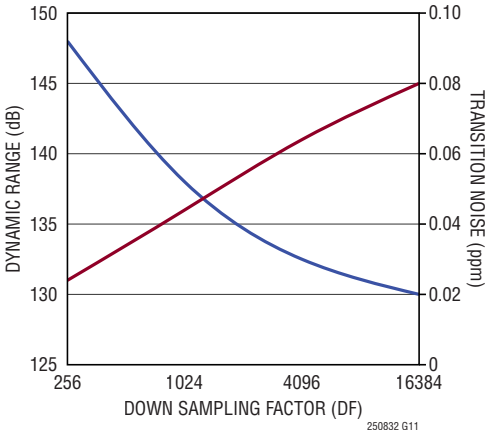
標準的性能特性

注記がない限り、T_A = 25°C、V_{DD} = 2.5V、OV_{DD} = 2.5V、V_{CM} = 2.5V、REF = 5V、f_{SMPL} = 1Msps、DF = 256、フィルタリングされた出力。

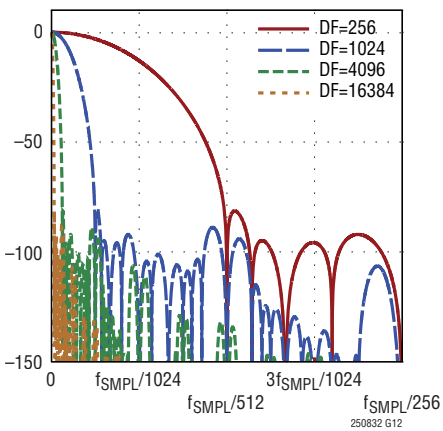
8kポイントのFFT f_{SMPL} = 1Msps、f_{IN} = 10Hz、DF = 16384



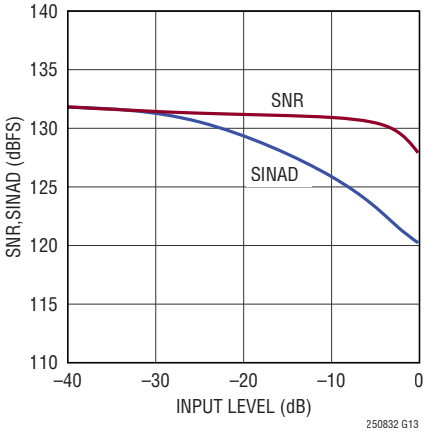
ダイナミックレンジ、遷移ノイズとDF



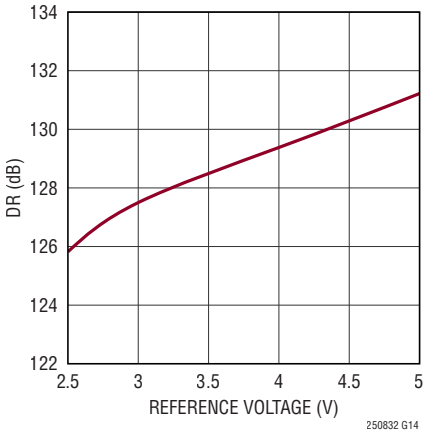
周波数応答、DF = 256、1024、4096、16384



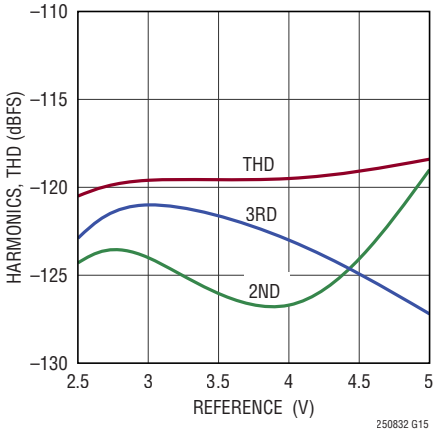
SNRおよびSINAD入力レベル、f_{IN} = 200Hz



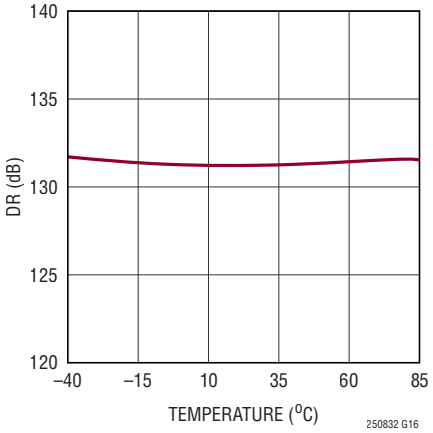
ダイナミックレンジとリファレンス電圧、f_{IN} = 200Hz、A_{IN} = –20dBFS



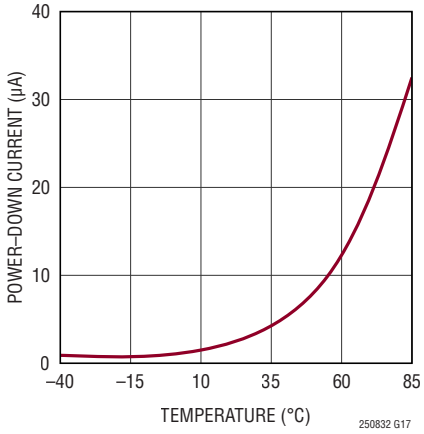
THD、高調波とリファレンス電圧、f_{IN} = 200Hz、A_{IN} = –1dBFS



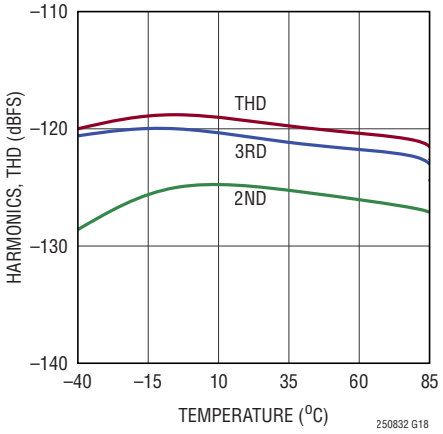
ダイナミックレンジと温度、f_{IN} = 100Hz、A_{IN} = –20dBFS



シャットダウン電流と温度



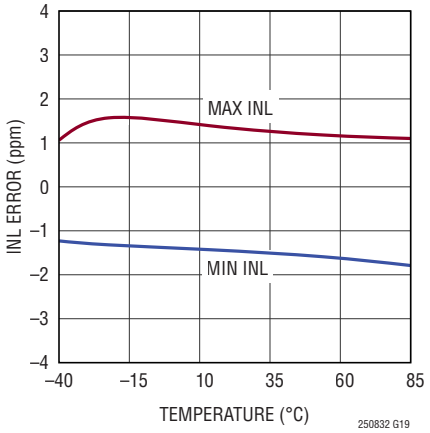
THD、高調波と温度、f_{IN} = 200Hz、A_{IN} = –1dBFS



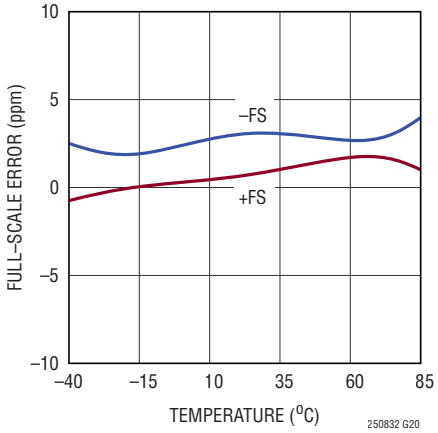
標準的性能特性

注記がない限り、T_A = 25°C、V_{DD} = 2.5V、OV_{DD} = 2.5V、V_{CM} = 2.5V、REF = 5V、f_{SMPL} = 1Msps、DF = 256、フィルタリングされた出力。

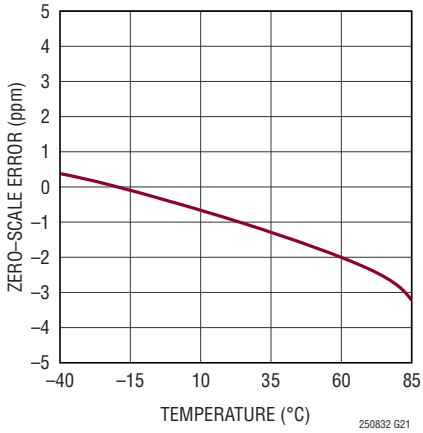
INLと温度



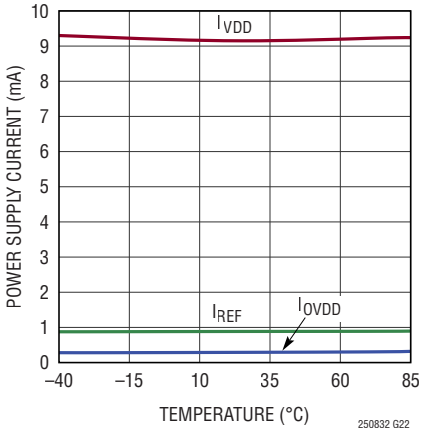
フルスケール誤差と温度



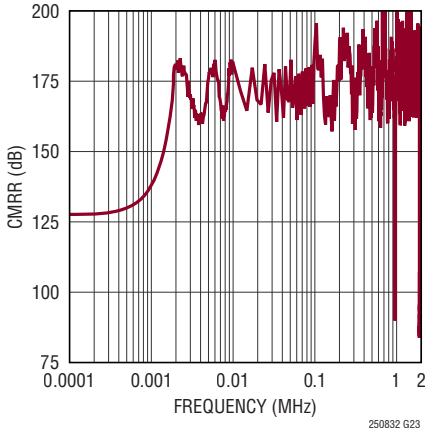
オフセット誤差と温度



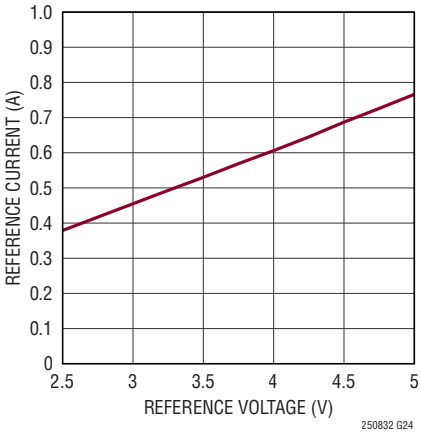
電源電流と温度



同相除去比と入力周波数



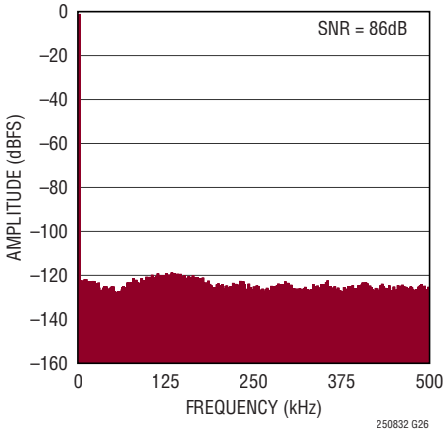
リファレンス電流と
リファレンス電圧



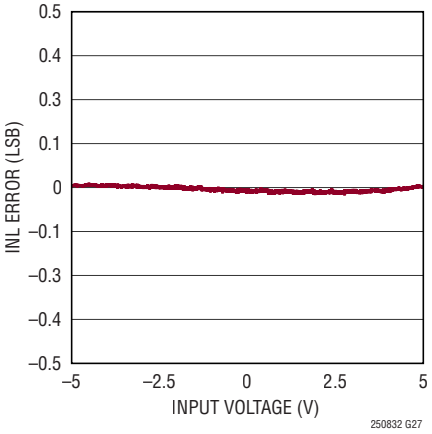
標準的性能特性

注記がない限り、T_A = 25°C、V_{DD} = 2.5V、OV_{DD} = 2.5V、V_{CM} = 2.5V、REF = 5V、f_{SMPL} = 1Msps、DF = 256、待ち時間のない出力。

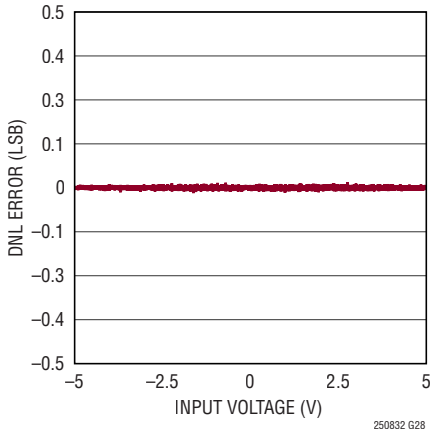
待ち時間のない差動出力 128kポイントのFFT



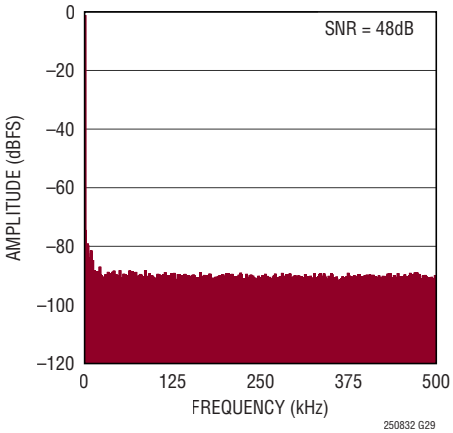
待ち時間のない差動出力INLと入力電圧



待ち時間のない差動出力DNLと入力電圧



待ち時間のない同相出力 128kポイントのFFT



ピン機能

RDLA（ピン1）：読み出し“L”入力A（フィルタ付き出力）。RDLAが“L”の場合、シリアル・データ出力A（SDOA）ピンがイネーブルされます。RDLAが“H”の場合、SDOAピンが高インピーダンス状態になります。ロジック・レベルはOV_{DD}によって決まります。

RDLB（ピン2）：読み出し“L”入力B（待ち時間のない出力）。RDLBが“L”の場合、シリアル・データ出力B（SDOB）ピンがイネーブルされます。RDLBが“H”の場合、SDOBピンが高インピーダンス状態になります。ロジック・レベルはOV_{DD}によって決まります。

V_{DD}（ピン3）：2.5V電源。V_{DD}の範囲は2.375V～2.625Vです。V_{DD}ピンは10μFのセラミック・コンデンサを使ってGNDにバイパスします。

GND（ピン4、7、16、23、24）：グランド。

IN^+（ピン5）：正のアナログ入力。

IN^-（ピン6）：負のアナログ入力。

REF（ピン8、9、10）：リファレンス入力REFの範囲は2.5V～5.1Vです。このピンはGNDピンを基準にしており、47μFのセラミック・コンデンサ（X7R、1210サイズ、10V定格）を使ってこのピンの近くでデカップリングします。

SEL0、SEL1（ピン11、12）：ダウンサンプリング係数選択入力0、ダウンサンプリング係数選択入力1。デジタル・フィルタのダウンサンプリング係数を選択します。00、01、10、11の[SEL0 SEL1]の組み合わせに対して、256、1024、4096、および16384のダウンサンプリング係数がそれぞれ選択されます。ロジック・レベルはOV_{DD}によって決まります。

MCLK（ピン13）：マスター・クロック入力。この入力の立ち上がりエッジでデバイスが起動し、新しい変換が開始されます。ロジック・レベルはOV_{DD}によって決まります。

SYNC（ピン14）：同期入力。この入力でのパルスは、デジタル・フィルタの位相を同期するために使用されます。ロジック・レベルはOV_{DD}によって決まります。

DRL（ピン15）：データ・レディ“L”出力。このピンでの立ち下がりエッジは、新しいフィルタ処理済み出力コードをSDOAの出力レジスタで使用できることを示します。ロジック・レベルはOV_{DD}によって決まります。

SDOA（ピン17）：シリアル・データ出力A（フィルタ処理済み出力）。フィルタ処理済み出力コードが、SCKAの各立ち上がりエッジで（MSBを先頭にして）このピンに現れます。出力データの形式は2の補数形式です。ロジック・レベルはOV_{DD}によって決まります。

SCKA（ピン18）：シリアル・データクロック入力A（フィルタ処理済み出力）。SDOAがイネーブルされた場合、フィルタ処理済み出力コードが、このクロックの立ち上がりエッジで（MSBを先頭にして）シフト出力されます。ロジック・レベルはOV_{DD}によって決まります。

SCKB（ピン19）：シリアル・データ・クロック入力B（待ち時間のない出力）。SDOBがイネーブルされた場合、待ち時間のない出力コードが、このクロックの立ち上がりエッジで（MSBを先頭にして）シフト出力されます。ロジック・レベルはOV_{DD}によって決まります。

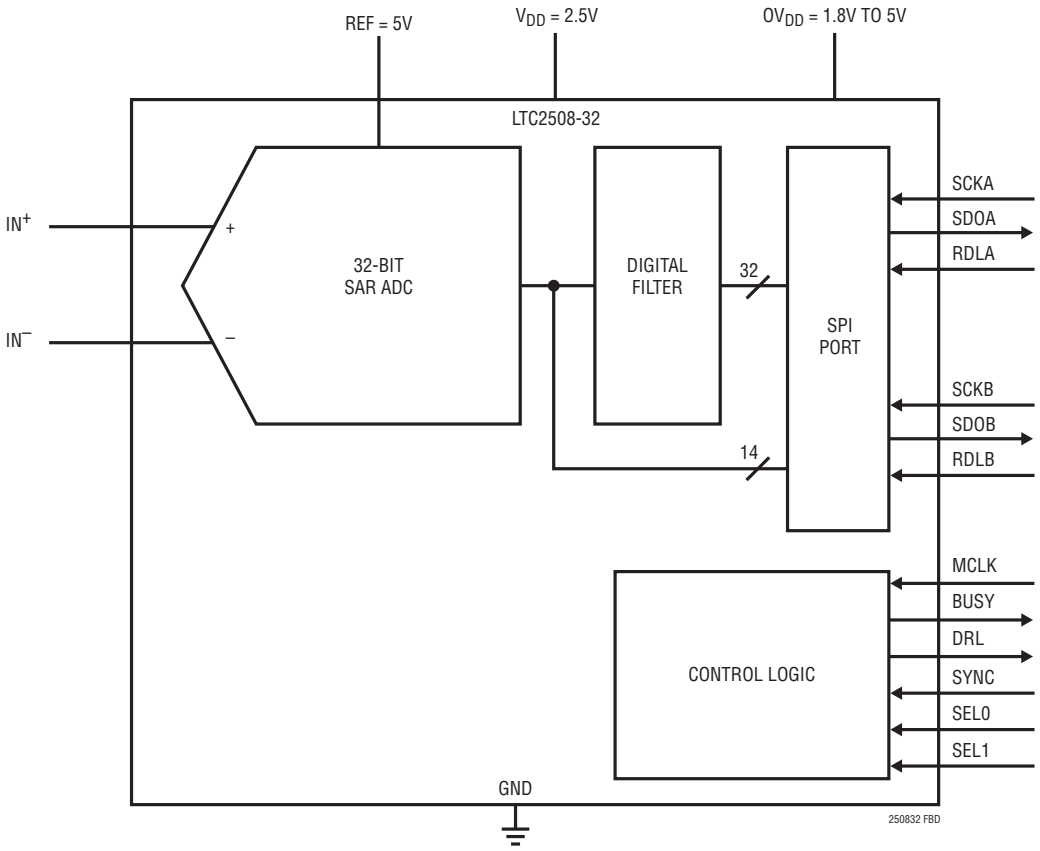
SDOB（ピン20）：シリアル・データ出力B（待ち時間のない出力）。22ビットの待ち時間のない複合出力コードが、SCKBの各立ち上がりエッジで（MSBを先頭にして）このピンに現れます。出力データの形式は2の補数形式です。ロジック・レベルはOV_{DD}によって決まります。

BUSY（ピン21）：BUSYのインジケータ。新しい変換の開始時に“H”になり、変換が終了すると“L”に戻ります。ロジック・レベルはOV_{DD}によって決まります。

OV_{DD}（ピン22）：I/Oインタフェースのデジタル電源。OV_{DD}の範囲は1.71V ～5.25Vです。この電源は公称値がホストのインタフェースと同じ電源電圧に設定します（1.8V、2.5V、3.3V、または5V）。0.1μFのコンデンサを使用して、OV_{DD}をこのピンの近くでGND（ピン23）にバイパスします。

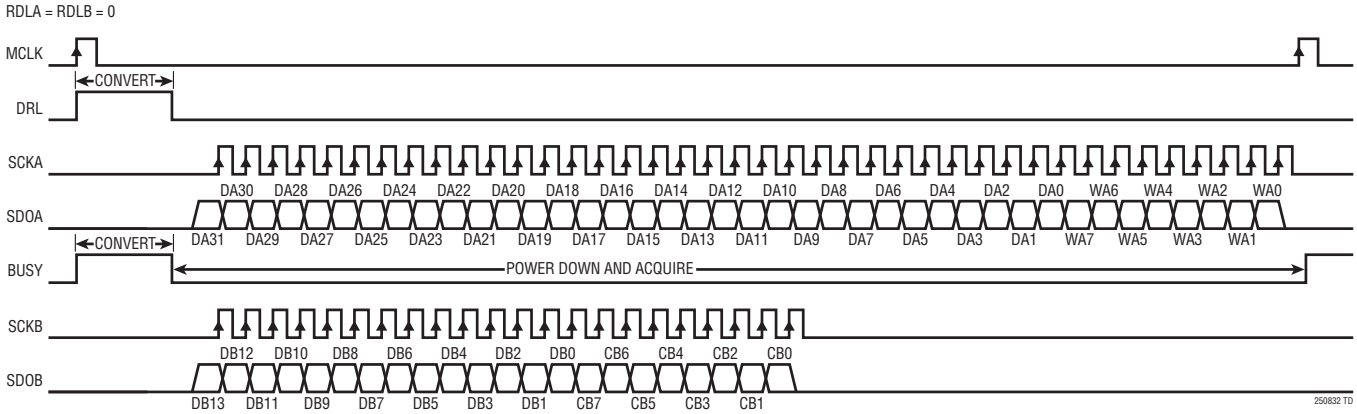
GND（露出パッド・ピン25）：グランド。露出パッドはグランド・プレーンに直接半田付けする必要があります。

機能ブロック図


REF = 5V
VDD = 2.5V
OVDD = 1.8V TO 5V
LTC2508-32
IN+
IN–
+
–
32-BIT
SAR ADC
DIGITAL
FILTER
32
14
SPI
PORT
SCKA
SDOA
RDLA
SCKB
SDOB
RDLB
MCLK
BUSY
DRL
SYNC
SEL0
SEL1
CONTROL LOGIC
GND
250832 FBD

タイミング図

シリアル・インタフェースを使った変換のタイミング



アプリケーション情報

概要

LTC2508-32は、構成可能なデジタル・フィルタを内蔵した低ノイズ、低消費電力の高性能32ビットA/Dコンバータです。LTC2508-32は単一2.5V電源で動作し、その完全差動入力電圧範囲は最大±V_{REF}で、V_{REF}の範囲は2.5V～5.1Vです。LTC2508-32は、0V～V_{REF}という広い同相範囲をサポートしており、アナログ・シグナル・コンディショニング要件を簡略化します。

LTC2508-32は、次の2つの出力コードを同時に提供します。(1)デジタルにフィルタリングされた32ビットの高精度低ノイズ・コード、および(2)待ち時間のない22ビットの複合コード。構成可能なデジタル・フィルタは、SAR ADCコアからのデータのストリームに対してローパス・フィルタおよびダウンサンプリングを実行することによって測定ノイズを低減し、フィルタリングされた32ビット出力コードを提供します。22ビット複合コードは、差動電圧を表す14ビット・コードおよび同相電圧を表す8ビット・コードで構成されます。22ビット複合コードは、各変換サイクルで使用可能であり、待ち時間のサイクルがありません。

デジタル・フィルタは、ピン・ストラップによって、4種類のダウンサンプリング係数に対して簡単に構成できます。各構成は、3.9kspsで131dB、61spsで145dBのダイナミックレンジを提供します。デジタル・ローパス・フィルタは、アナログ・アンチエイリアシングの要件を緩和します。SYNCピンを使用して、複数のLTC2508-32デバイスを簡単に同期できます。

コンバータの動作

LTC2508-32は2つのフェーズで動作します。収集フェーズでは、32ビット電荷再配分コンデンサD/Aコンバータ(CDAC)がIN^+ピンとIN^-ピンに接続され、アナログ入力電圧がサンプリングされます。MCLKピンの立ち上がりエッジにより変換が開始されます。変換段階では、32ビットCDACに対して逐次比較アルゴリズムが順番に実行され、サンプリングした入力をリファレンス電圧の2進重み付け分数(例：$V_{REF}/2$、$V_{REF}/4$ ... $V_{REF}/4294967296$)と効率的に比較します。変換の最後に、CDACの出力はサンプリングされたアナログ入力に近似します。その後、ADC制御ロジックが、さらに処理するために、32ビット・デジタル出力コードをデジタル・フィルタに渡します。差動電圧を表す14ビット・コードおよび同相電圧を表す8ビット・コードが結合されて、22ビット複合コードを形成します。22ビット複合コードは、各変換サイクルで使用可能であり、待ち時間のサイクルがありません。

伝達関数

LTC2508-32は2×V_{REF}のフルスケール差動電圧を2^{32}レベルにデジタル化するので、5Vリファレンスではlsbの大きさは2.3nVになります。理想的な伝達関数を図2に示します。出力データは2の補数形式です。

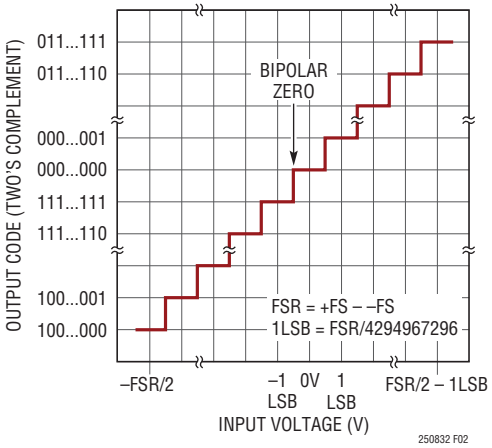


図2. LTC2508-32の伝達関数

アナログ入力

LTC2508-32は、広い同相入力範囲にわたって、アナログ入力ピン間の電圧差($IN^+ – IN^-$)をサンプリングしながら、A/Dコンバータの同相除去比(CMRR)によって、両方の入力ピンに共通する不要な信号を減衰します。各ピンの電圧がGNDとV_{REF}の間に留まることを条件に、広い同相入力範囲を高いCMRRと組み合わせて、IN^+/IN^-アナログ入力を、互いに任意の関係で振幅させることができます。この独自機能によって、LTC2508-32は、疑似差動単極性、疑似差動真の両極性、完全差動などのアナログ入力信号の従来のクラスを含むさまざまな信号振幅を受け入れることができ、それによって信号チェーン設計を簡略化します。

収集段階の各入力には、サンプリング・スイッチのオン抵抗40Ω(R_{ON})と直列に接続されたサンプリング回路の容量約45pF(C_{IN})があります。収集の間にC_{IN}コンデンサを充電するとき、入力に電流スパイクが流れます。変換時にアナログ入力に流れるのはわずかな漏れ電流だけです。

アプリケーション情報

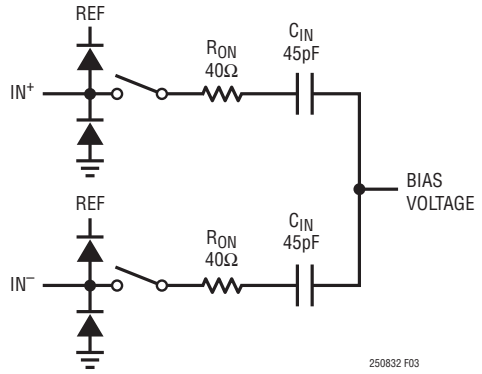


図3. LTC2508-32の差動アナログ入力の等価回路

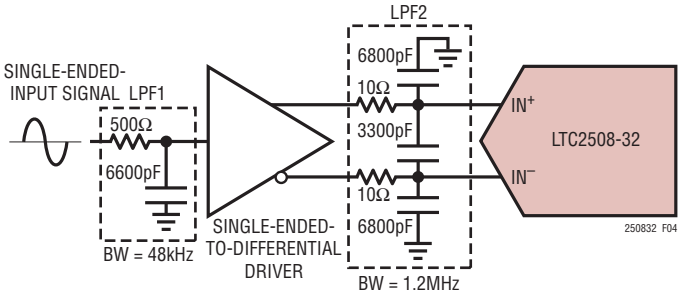


図4. 入力信号のフィルタ処理

入力駆動回路

信号源が低インピーダンスの場合は、利得誤差を発生することなく、LTC2508-32の高インピーダンス入力を直接駆動できます。高インピーダンスのソースは、収集時のセトリング時間を最小限に抑えるためと、ADCの直線性を最適化するために、バッファリングする必要があります。最良の性能を得るには、バッファ・アンプを使用してLTC2508-32のアナログ入力を駆動する必要があります。このアンプは出力インピーダンスが低いので、収集段階ではアナログ信号の整定が高速になります。このアンプは、信号源とADCの入力を分離する役割も果たします。

ノイズと歪み

入力バッファ・アンプやその他の支持回路のノイズと歪みは、A/Dコンバータのノイズと歪みに上乗せされるので、考慮する必要があります。入力信号にノイズが多い場合は、バッファ・アンプの前に低帯域幅のフィルタを使ってノイズを最小限に抑えます。多くのアプリケーションでは、図4に示す簡単な1ポールのRCローパス・フィルタ(LPF1)で十分です。

バッファとADC入力の間に結合フィルタ・ネットワーク(LPF2)を使って、サンプリングのトランジェントによるバッファへの影響を最小限に抑えます。アナログ入力のRC時定数が大きいと、アナログ入力のセトリング時間は長くなります。したがって、通常、LPF2にはLPF1より広い帯域幅が必要です。このフィルタは、バッファに起因するノイズを最小限に抑えるのにも役立ちます。ノイズ密度の低いバッファ・アンプを選択して、SNRの劣化を最小限に抑える必要があります。

RCフィルタのコンデンサと抵抗は歪みを大きくする可能性があるので、これらの部品は高品質のものを使用します。NPOタイプやシルバーマイカ・タイプの誘電体のコンデンサは優れた直線性を示します。表面実装カーボン抵抗は、自己発熱や半田工程で生じる損傷により歪みを生じることがあります。表面実装金属皮膜抵抗は、この2つの問題に対してはるかに耐性があります。

入力電流

LTC2508-32にアンプを結合する場合に重要な考慮事項は、各収集段階の開始時にA/Dコンバータの入力に流れる電流スパイクへの対処です。ADC入力は駆動回路のスイッチト・キャパシタ負荷としてモデル化できます。駆動回路の性能を決定する要素として、ADC入力に直付けした小さなフィルタ・コンデンサC_{FILT}を使ったスイッチト・キャパシタの電流スパイクの減衰や、残りの外乱から回復するのに十分な帯域幅を持つドライバ・アンプが挙げられます。DC性能に対して最適化されたアンプには、ADCの最大変換レートで十分に回復するだけの帯域幅がない場合があるので、非直線性などの誤差を生じる可能性があります。結合フィルタ回路は3つの大きなカテゴリーに分類できます。

アプリケーション情報

完全なセトリング – この場合の特長は、フィルタの時定数と、サンプリング期間よりかなり短い全セトリング時間です。収集が開始されると、結合フィルタが外乱を受けます。標準的な1次RCフィルタでは、外乱は指数関数的に減衰する初期ステップのように見えます。アンプは外乱に対して独自に応答するため、リンギングを生じる可能性があります。入力が(LTC2508-32の精度の範囲内に)完全に落ち着くと、外乱は誤差に影響しなくなります。

部分的なセトリング – この場合は、収集の開始によって結合フィルタの外乱が生じ、次いで、公称入力電圧に向けてセトリングを開始します。ただし、入力が最終値にセトリングする前に収集が終了し、変換が開始されます。通常、これにより利得誤差が生じますが、セトリングがリニアな限り、歪みは生成されません。結合フィルタの応答は、アンプの出力インピーダンスやその他のパラメータの影響を受けます。高速なスイッチト・キャパシタの電流スパイクに対するリニアなセトリング応答は、必ずしも高精度狭帯域アンプを想定したものではありません。結合フィルタは、電流スパイクの高周波エネルギーがアンプに達する前に、そのエネルギーを減衰させるのに役立ちます。

完全な平均化 – ADC入力の結合フィルタ・コンデンサ(C_{FILT})がADCのサンプリング・コンデンサ(45pF)より容量が大幅に大きいと、サンプリング・グリッチが大きく減衰します。駆動アンプには実質的に非常に少ない平均サンプリング電流しか流れません。1Mspsでの等価入力抵抗は約22kΩ(図5参照)で、ほとんどの高精度アンプにとって安全な抵抗負荷です。ただし、結合フィルタのDC抵抗とADCの等価(スイッチト・キャパシタ)入力抵抗の間に抵抗性の分圧が生じることにより、利得誤差が生成される可能性があります。

入力漏れ電流は信号源インピーダンスによって余計な入力電圧誤差に変換されるので、入力駆動回路を設計するときは、LTC2508-32の入力漏れ電流も考慮する必要があります。一般に、同相と差動のどちらの入力漏れ電流も、全動作温度範囲にわたって極めて小さな値になります。図6に、標準的なデバイスの温度に対する入力漏れ電流を示します。

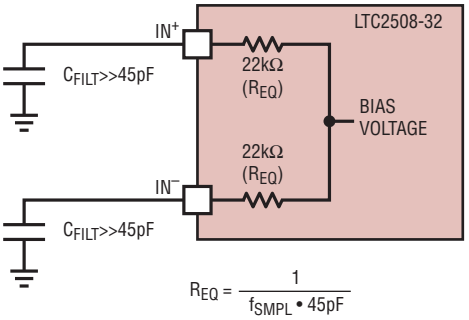


図5. LTC2508-32の差動アナログ入力の等価回路(1Msps)

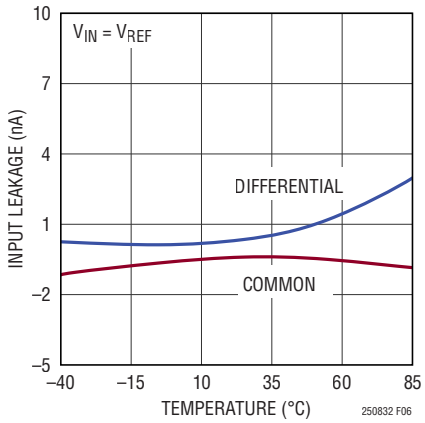


図6. 同相および差動での入力漏れ電流と温度

R_{S1}とR_{S2}を図7に示す差動入力駆動回路のソース・インピーダンスとし、I_{L1}とI_{L2}をADCのアナログ入力から流れ出す漏れ電流とします。漏れ電流による差動電圧誤差(V_E)は次式のように表すことができます。

$$V_E = \frac{R_{S1}+R_{S2}}{2} \bullet (I_{L1}-I_{L2}) + (R_{S1}-R_{S2}) \bullet \frac{I_{L1}+I_{L2}}{2}$$

一般に、同相入力の漏れ電流($(I_{L1}+I_{L2})/2$)は、全動作温度範囲と同相入力電圧範囲にわたって極めて小さな値になります(図6)。したがって、ソース・インピーダンスR_{S1}およびR_{S2}にある程度のばらつき(5%未満)があっても、ごくわずかな誤差にしかなりません。差動入力の漏れ電流も一般に非常に小さく、その非線形成分はさらに小さくなります。ADCの直線性に影響を与えるのは非線形成分だけです。

アプリケーション情報

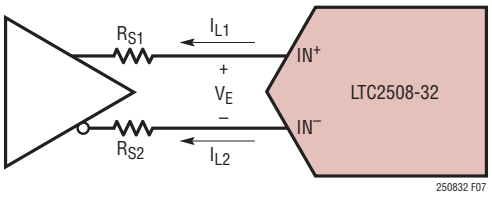


図7. ドライバの信号源インピーダンスおよびLTC2508-32の入力漏れ電流

最適な性能を得るには、ソース・インピーダンス(R_{S1}およびR_{S2})を許容誤差が1%で5Ω～50Ωの範囲にすることを推奨します。この範囲のソース・インピーダンスでは、R_{S1}とR_{S2}の電圧係数と温度係数は一般に重要ではありません。保証されたAC性能とDC性能は5Ωのソース・インピーダンスでテストされたものですが、これらの性能は、セトリングが不完全であるためにソース・インピーダンスが増加することにより徐々に低下します。

DC精度

LTC2508-32は、優れたINL性能を備えています。これによってLTC2508-32は、オフセットやオフセット・ドリフトなどのパラメータを含めて高いDC精度を必要とするアプリケーションにとって理想的になります。DC信号チェーン全体にわたって高い精度を維持するには、極めて慎重にアンプを選択する必要があります。利得が-1になるように構成されたアンプに対して1ppmの直線性を保証するには、126dB以上の大信号開ループ利得を必要とする場合があります。ただし、アンプの利得特性が(ほとんど)リニアなことが分かっていれば、これより低い利得でも構いません。ユニティゲインのバッファとして構成されるアンプの場合、アンプのオフセットと信号レベルの関係を考慮する必要があります。例えば、1ppmの直線性を保証するには、5Vの振幅に対してオフセットが5μVより小さい値まで変動することが分かっていなければならない場合があります。ただし、オフセットと信号レベルの関係が(ほとんど)リニアなことが分かっていれば、これより大きなオフセット変動が許容可能です。ユニティゲインのバッファ・アンプが最高の性能を得るには、一般に、電源レールに対してかなりの余裕を必要とします。アンプの入力端子の振幅を最小限に抑えるように構成された反転アンプの回路は、ユニティゲインのバッファ・アンプより少ないヘッドルームで良好に動作することが可能です。DC精度を保証するには、反転アンプの帰還ネットワークの直線性と熱特性を十分に考慮する必要があります。

入力信号のバッファ

各ピンの電圧がV_{REF}とGNDの間に留まることを条件に、LTC2508-32の広い同相入力範囲と高いCMRRは、アナログ入力のIN^+ピンおよびIN^-ピンを、互いに任意の関係で振幅させることができます。この独自機能によって、LTC2508-32はさまざまな信号振幅を受け取ることができ、信号チェーン設計を簡略化します。

DC高精度入力信号のバッファ

図8に、LTC2057を使用して2つのアナログ入力電圧がバッファされる標準的なアプリケーションを示します。LTC2057は、LTC2508-32の低いオフセットおよびオフセット・ドリフトを補完する高精度のゼロ・ドリフト・アンプです。LTC2057は、非

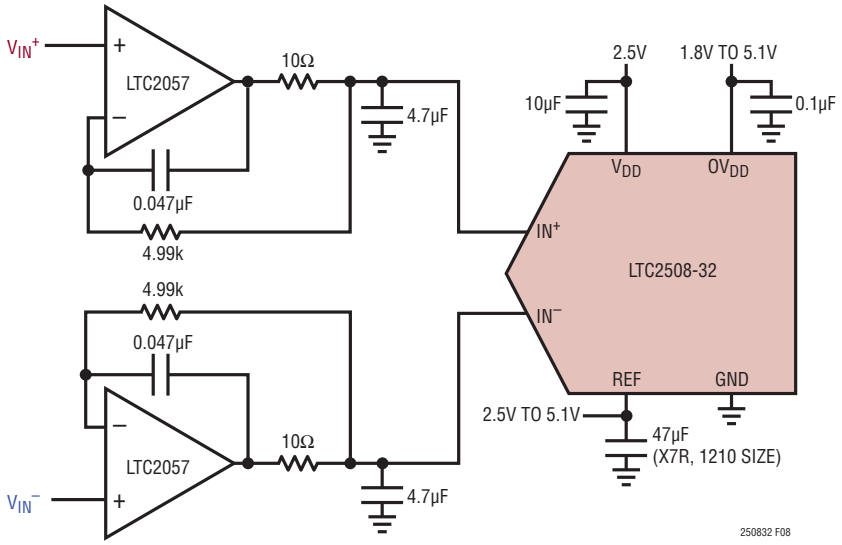


図8. 2つのアナログ入力信号のバッファ

アプリケーション情報

反転アンプ構成で示されています。LTC2508-32の保証最大オフセット誤差は130μV（標準的なドリフトは±0.014ppm/°C）であり、保証最大フルスケール誤差は150ppm（標準的なドリフトは±0.05ppm/°C）です。較正されたシステムで広い温度範囲にわたって精度を維持するには低ドリフトが重要です。

DC高精度シングルエンド入力信号のバッファ

図8に示す回路はシングルエンド入力信号をバッファできますが、シングルエンド信号のリファレンス・レベルが本質的に低インピーダンスであり、バッファを必要としない場合、図9に示す回路の方が適切です。この回路は、1つのドライバおよび1つのローパスフィルタを不要にして、部品数と電力損失を低減し、ドライバのノイズに起因するSNRの低下を抑えます。

LTC2057は、優れたDC特性を備えていますが、出力電流駆動が制限されており、入力周波数が増加するにつれて、THDの劣化をもたらします。データシートで規定された完全なTHDを維持するために、入力周波数を10Hzに制限します。

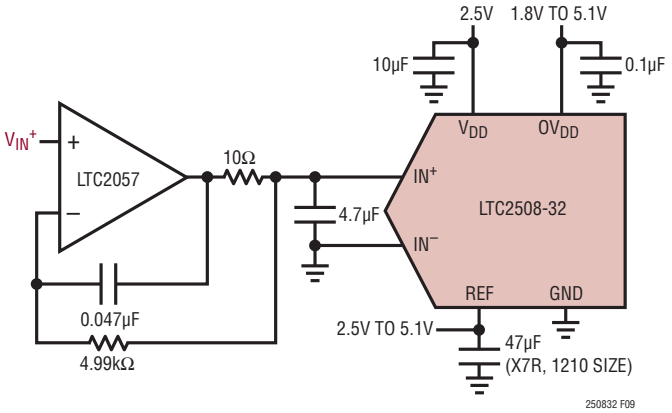


図9. シングルエンド信号のバッファ

AC入力信号のバッファ

このデータシートに記載されている多くのドライバ回路は、低帯域幅の入力信号を重視しており、それに応じてアンプが選択されています。LTC2057は、優れたDC性能を特徴としていますが、その出力電流駆動は制限されています。これは、LTC2057がLTC2508-32のデータシートの完全な仕様で駆動できる入力周波数の範囲を制限します。256のDFで動作しているLTC2508-32のフィルタ処理済み出力の–3dBの帯域幅は、480Hzに等しくなります。したがって、10Hzより高い帯域幅で入力信号を駆動する、代替ドライバのソリューションが必要になります。

LTC6363は、低消費電力、低ノイズの完全差動オペアンプであり、10Hzよりも高い帯域幅で入力信号を駆動するために使用できます。LTC6363は、シングルエンド入力信号を差動出力信号に変換するように構成するか、または差動で駆動できます。

10Vの差動入力信号をバッファするのに使用されているLTC6363を図10aに示します。この場合、アンプは、LT5400-4高精度抵抗を使用してユニティゲイン・バッファとして構成されます。図10bのFFTで示すように、LTC6363は、データシートでのほぼ最高の性能までLTC2508-32を駆動します。

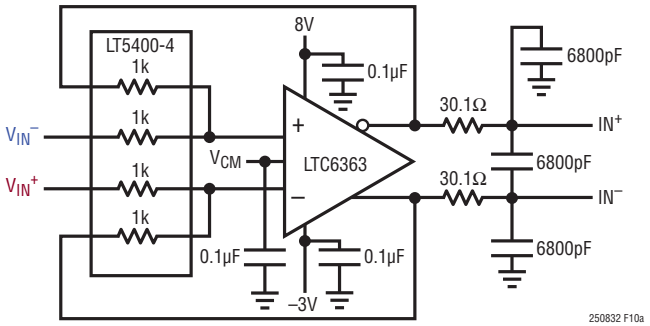


図10a. AC入力のバッファ

アプリケーション情報

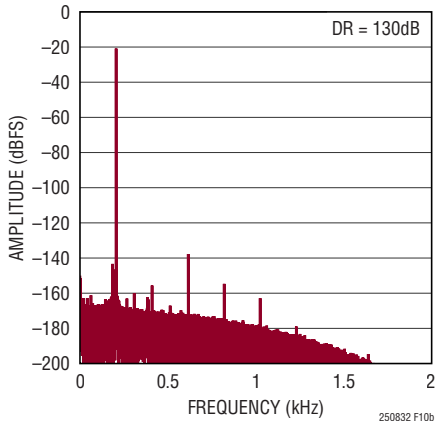


図 10b. 図 10a に示す回路の 128k ポイントの FFT（f_{IN} = 200Hz）

ADC のリファレンス

外部リファレンスは、LTC2508-32 の入力範囲を定義します。この A/D コンバータのデータシートで規定されている性能を完全に実現するには、低ノイズ、低温度ドリフトのリファレンスが不可欠です。リニアテクノロジーでは、さまざまなアプリケーションの要求を満たすように設計された高性能リファレンスを取り揃えております。LTC6655-5 は、小型、低消費電力、高精度なので、LTC2508-32 と組み合わせて使用するのに特に適しています。LTC6655-5 の初期精度は 0.025%（最大）、温度係数は 2ppm/°C（最大）で、高精度アプリケーションに適しています。

LTC6655-5 のバイパス・コンデンサを選択する際には、コンデンサの電圧定格、温度定格、パッケージ・サイズを慎重に検討する必要があります。電圧定格と温度定格が大きい、物理的に大きなコンデンサは、実効容量が大きくなり、LTC6655-5 のノイズの除去が良好になる傾向があるので、結果として高い SNR を促進します。そこで、LTC6655-5 を REF ピンの近くに配置した 47μF のセラミック・コンデンサ（X7R、1210 サイズ、10V 定格）でバイパスすることを推奨します。

LTC2508-32 の REF ピンは、各変換サイクルの間 47μF のバイパス・コンデンサから電荷（Q_{CONV}）を引き寄せます。リファレンスはこの電荷を平均電流（$I_{REF} = Q_{CONV}/t_{CYC}$）で補充します。REF ピンから流れる電流（$I_{REF}$）はサンプリング・レートと出力コードに依存します。LTC2508-32 が信号を一定の割合で連続的にサンプリングする場合、LTC6655-5 は全コード範囲にわたってリファレンス電圧の偏差を 0.5ppm 未満に保ちます。

アイドル時には、LTC2508-32 の REF ピンには微小な漏れ電流（1μA 未満）が流れるだけです。図 11 に示すように、長時間のアイドル状態の後、集中的にサンプリングされるアプリケーションでは、I_{REF} は短時間で約 0μA から最大 1mA（1Msps）になります。この平均電流のステップにより、リファレンスのトランジェント応答が発生します。リファレンスの出力電圧のどのような偏差も出力コードの精度に影響を与えるので、このトランジェント応答を考慮する必要があります。リファレンスのトランジェント応答が重要なアプリケーションにも、高速でセトリングする LTC6655-5 リファレンスを推奨します。

リファレンス・ノイズ

A/D コンバータのダイナミックレンジは、ダウンサンプリング係数（DF）が 4 倍増加するごとに約 6dB 増加します。SNR も、同じように DF の関数として向上します。ただし、フルスケールに近い大入力信号の場合、リファレンス・ノイズが DF の増加に伴う SNR の向上を制限します。これは、REF ピンでのノイズが入力信号の基本周波数の周辺を変調するからです。したがって、特に入力信号振幅がフルスケールに近づく場合、低ノイズのリファレンスを使用することが極めて重要になります。小入力信号の場合、このセクションで最初に説明したように、ダイナミックレンジが向上します。

ダイナミック性能

ADC の周波数応答、歪み、およびノイズを定格スループットでテストするには、高速フーリエ変換（FFT）の手法が使用されます。低歪みの正弦波を入力し、そのデジタル出力を FFT アルゴリズムを使って解析することにより、基本波の外側の周波数に関して ADC のスペクトル成分を調べることができます。LTC2508-32 では、AC 歪みとノイズの測定値について、いずれも保証されたテスト済みの限界値を示しています。

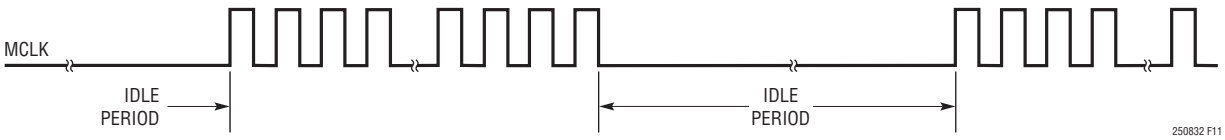


図 11. 集中的なサンプリングを示す MCLK の波形

アプリケーション情報

ダイナミックレンジ

ダイナミックレンジは、$V_{REF}/2$に短絡された入力で測定された全RMSノイズに対する、フルスケール入力のRMS値の比です。DF = 256でのLTC2508-32のダイナミックレンジは131dBです。この値は、ダウンサンプリング係数が増えるとともに改善されします。

信号対ノイズ＋歪み比（SINAD）

信号対ノイズ＋歪み比（SINAD）は、基本入力周波数のRMS振幅とA/Dコンバータ出力での他の全ての周波数成分のRMS振幅の比です。出力の帯域は、DCより高くサンプリング周波数の半分より低い周波数に制限されます。図12は、LTC2508-32が200Hzの入力およびDF = 256、1MHzのサンプリング・レートで標準のSINADである120dBを達成していることを示しています。

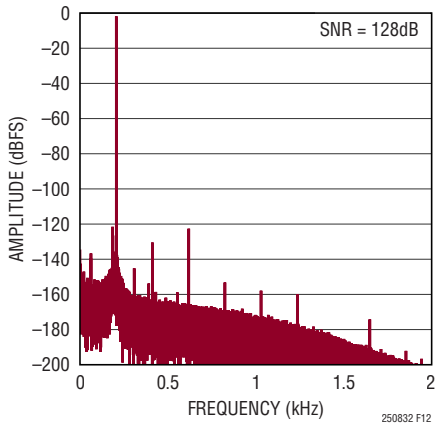


図12. LTC2508-32の128kポイントのFFTのグラフ（DF = 256、f_{IN} = 200Hz、およびf_{SMPL} = 1MHz）

信号対ノイズ比（SNR）

信号対ノイズ比（SNR）は、基本入力周波数のRMS振幅と、1次から5次までの高調波およびDCを除く他の全ての周波数成分のRMS振幅との比です。図12に、DF = 256で1MHzのサンプリング・レートで200Hzの入力をサンプリングする場合に、LTC2508-32が125dBのSNRを達成していることを示します。

全高調波歪み（THD）

全高調波歪み（THD）は、入力信号の全ての高調波のRMS値の合計と基本波のRMS値との比です。帯域外高調波は、DCとサンプリング周波数の半分（$f_{SMPL}/2$）の間の周波数帯域で折り返しエラーを生じます。THDは次のように表されます。

$$THD = 20LOG\frac{\sqrt{V2^2 + V3^2 + V4^2 + \cdots + VN^2}}{V1}$$

ここで、V1は基本周波数のRMS振幅で、V2～VNは2次～N次の高調波の振幅です。

電源に関する検討事項

LTC2508-32には、2.5V電源（V_{DD}）およびデジタル入力/出力インタフェース電源（OV_{DD}）という2つの電源ピンがあります。柔軟性の高いOV_{DD}電源により、LTC2508-32は、2.5Vと3.3Vのシステムを含む、1.8V ～5Vで動作するどのようなデジタル・ロジックとも通信することができます。

電源シーケンシング

LTC2508-32には電源シーケンシングに関する特別な要件はありません。「絶対最大定格」のセクションに記載されている最大電圧の関係を遵守するよう注意する必要があります。LTC2508-32は、最初の起動時、または電源電圧が1Vより低くなったとき必ずLTC2508-32をリセットするパワーオン・リセット（POR）回路を備えています。電源電圧が公称電源電圧範囲に戻ると、PORはADCを再初期化します。再初期化の期間が確実に終了するように、PORイベントの200µs後までは変換を開始しないようにします。この時点より前に変換を開始すると、結果は無効になります。

タイミングと制御

MCLKのタイミング

MCLKの立ち上がりエッジでLTC2508-32が起動し、変換を開始します。いったん変換が開始されると、その変換が完了するまで、それ以上のMCLKの遷移は無視されます。最高の

アプリケーション情報

結果を得るには、MCLKの立ち下がりエッジが、変換開始後40ns以内または変換完了後に発生するようにします。最適な性能を得るには、MCLKをノイズのない低ジッタの信号で駆動します。コンバータの状態はBUSY出力で示され、変換の進行中はBUSY出力が“H”に保たれます。変換が完了すると、LTC2508-32は消費電力が低下して、次の変換のための入力信号の収集を開始します。

内部変換クロック

LTC2508-32には、652nsの最大変換時間を達成するように調整されている内部タイミング回路があります。最大サンプリング・レートは1Mspsであり、外部調整なしに、335nsの最小収集時間が保証されています。

自動パワーダウン

LTC2508-32は変換完了後に自動的にパワーダウンし、MCLKの立ち上がりエッジで新しい変換が開始されるとパワーアップします。パワーダウン中に、最後の変換で得られたデータをクロックアウトすることができます。パワーダウン中の電力損失を最小に抑えるには、SDOA、SDOBをディスエーブルし、SCKA、SCKBをオフします。自動パワーダウン機能によって、サンプリング・レートが減少するにつれて、LTC2508-32の電力損失が減少します。電力が消費されるのは変換中だけなので、LTC2508-32は、サンプリング・レートが低いほど、変換サイクル(t_{CYC})中に低消費電力状態に留まる割合が大きくなり、そのため平均電力損失は図13に示すようにサンプリング・レートに比例して減少します。

デシメーション・フィルタ

多くのA/Dコンバータ・アプリケーションは、デジタル・フィルタ手法を使用してノイズを低減します。FPGAまたはDSPでは、通常、デジタル・フィルタを実装する必要があります。LTC2508-32は、外部ハードウェアなしで選択可能な4種類のデジタル・フィルタ機能を提供するデシメーション・フィルタを内蔵しており、これによってアプリケーションのソリューションを簡略化します。図14に、LTC2508-32のデジタルにフィルタ処理される出力信号経路を示します。ここでは、32ビットSAR ADCコアの出力$D_{ADC}(n)$が、内蔵デシメーション・フィルタに送られます。

デジタル・フィルタ

LTC2508-32の入力は、f_{SMPL}のレートでサンプリングされ、デジタル・ワード$D_{ADC}(n)$がこのレートでデジタル・フィルタに送信されます。32ビットSAR ADCコアからのノイズは、DCからf_{SMPL}までの周波数内で均一に分散されます。図15に、SAR ADCコアの出力での$D_{ADC}(n)$の周波数スペクトルを示します。この例では、対象のf_Bの帯域幅は、$f_{SMPL}/2$のほんの一部になります。

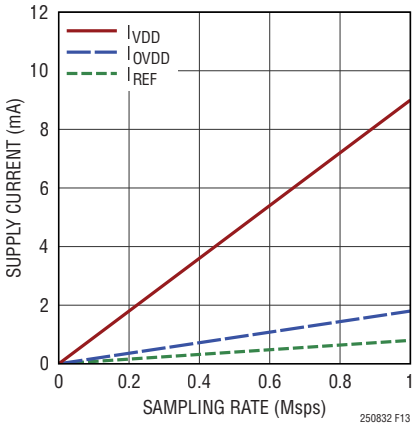


図13. LTC2508-32の電源電流とサンプリング・レート

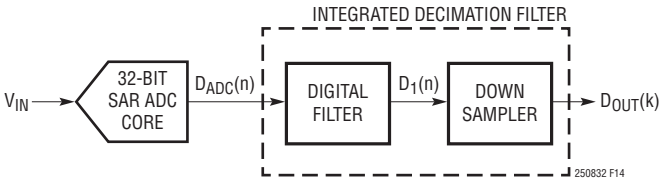


図14. LTC2508-3のデジタルにフィルタ処理される出力信号経路

図15. SAR ADCコア出力の周波数スペクトル

アプリケーション情報

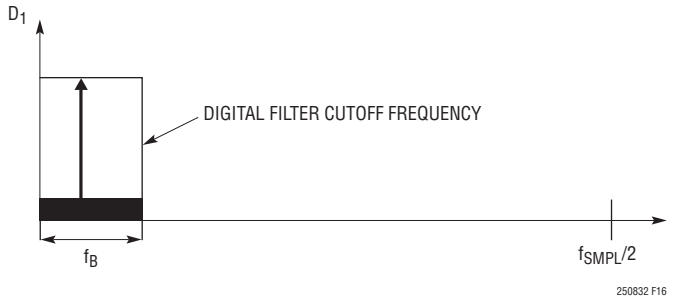


図16. デジタル・フィルタ・コア出力の周波数スペクトル

LTC2508-32に内蔵されたデジタル・フィルタは、帯域外のノイズ電力を抑制し、それによってノイズ全体を低減し、ダイナミックレンジ(DR)を増やします。フィルタの帯域幅が低下するほど、ノイズが低下してDRが増えます。図16に、デジタル・フィルタの出力での$D_1(n)$の対応する周波数スペクトルを示します。ここで、カットオフ周波数を超えるノイズがデジタル・フィルタによって抑制されています。

ダウンサンプリング

デジタル・フィルタの出力データ・レートは、対象の帯域幅内でスペクトル干渉を生じることなく、ダウンサンプラーによって減少します。

ダウンサンプラーは、DF番目のサンプルごとに、サンプルを出力に渡し、その他のサンプルを破棄することによって、データ・レートを減らします。ダウンサンプラーの出力でのサンプリング周波数f_Oは、f_{SMPL}とDFの比(つまり、$f_O = f_{SMPL}/DF$)になります。

LTC2508-32では、ユーザーは、目的の帯域幅に従ってDFを選択できます。SEL0ピンおよびSEL1ピンをピン・ストラップすることによって、使用可能な4つの構成を選択できます。表1に、各デシメーション・フィルタの構成とプロパティをまとめています。

エイリアシング

サンプリングされる信号が持つことができ、サンプリングされる信号をサンプルによって正確に表すことができる最大帯域幅は、ナイキスト帯域幅です。ナイキスト帯域幅の範囲は、DCからサンプリング周波数の1/2(ナイキスト周波数とも呼ばれる)までです。ナイキスト周波数を超える帯域幅を持つ入力信号には、サンプリングされたときに、「エイリアシング」と呼ばれる効果に起因する歪みが発生します。

エイリアシングが発生すると、ナイキスト周波数よりも大きい周波数成分は、周波数がシフトして、ナイキスト帯域幅内に現れます。図17に、時間領域内でのエイリアシングを示します。実線は、ナイキスト周波数($f_O/2$)よりも大きい周波数の正弦波入力信号を示しています。円は、f_Oでサンプリングされた信号を示しています。サンプリングされた信号が、点線で示されたより低い周波数の別の正弦波入力信号のサンプリングと同じであることに注意してください。エイリアシングを避けるために、サンプリングする前に、入力信号の帯域幅をナイキスト帯域幅に制限する必要があります。ナイキスト帯域幅の外のスペクトル成分を抑制するフィルタは、「アンチエイリアシング・フィルタ」(AAF)と呼ばれます。

アンチエイリアシング・フィルタ

図18に、f_OのレートでのローパスAAFおよびADCサンプリングを含んでいる標準的な信号チェーンを示します。AAFは、$f_O/2$を超える入力信号成分を除去し、それによってエイリアシングを防ぎます。対象の帯域幅が$f_O/2$に近い場合、AAFには

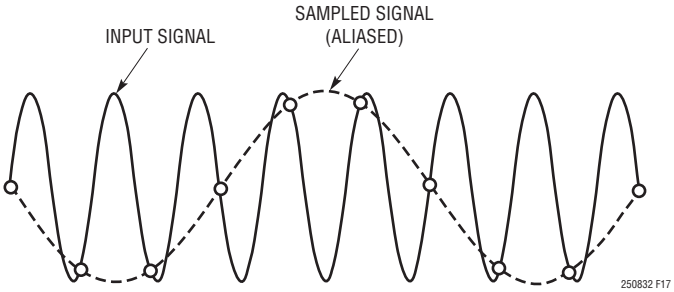


図17. エイリアシングの時間領域の表示

表1. LTC2508-32内のフィルタのプロパティ

SEL1:SEL0	ダウンサンプリング係数(DF)	f_{SMPL} = 1MHzの場合の −3dB帯域幅	f_{SMPL} = 1MHzの場合の 出力データレート(ODR)	ダイナミックレンジ
00	256	480Hz	3906sps	131dB
01	1024	120Hz	796sps	136dB
10	4096	30Hz	244sps	141dB
11	16384	7.5Hz	61sps	145dB

アプリケーション情報

極めて急峻なロールオフが存在する必要があります。アナログAAFの複雑さは、ロールオフの急峻さとともに増大するため、極めて急峻なフィルタが必要になる場合は、高価になることがあります。

代替として、単純な低次のアナログ・フィルタをデジタル・フィルタと組み合わせて使用して、極めて急峻なロールオフを持つ混合モード等価AAFを作成することができます。混合モード・フィルタの実装を図19に示します。ここで、緩やかなロールオフを持つアナログ・フィルタの後に、$f_{SMPL} = DF \cdot f_O$のレートでのLTC2508-32のサンプリングが続いています。LTC2508-32は、ADCコアの出力でデジタル・フィルタを内蔵しています。

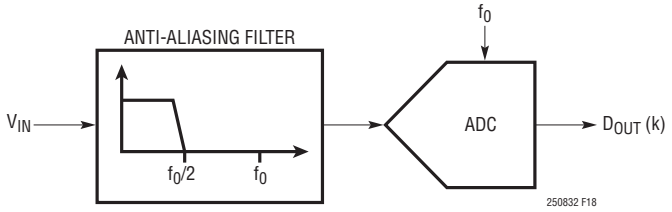


図18. AAF付きADC信号チェーン

等価AAF($H_{EQ}(f)$)は、図20に示すように、アナログ・フィルタ($H_1(f)$)とデジタル・フィルタ($H_2(f)$)の周波数応答の積になります。デジタル・フィルタは急峻なロールオフを提供し、アナログ・フィルタが相対的に緩やかなロールオフを持てるようにします。

LTC2508-32内のデジタル・フィルタは、ADCサンプリング・レートf_{SMPL}で動作し、$f_O/2$を超える周波数の信号を抑制します。デジタル・フィルタ$H_2(f)$の周波数応答は、f_{SMPL}の倍数で反復し、f_{SMPL}の各倍数で、好ましくない通過帯域を発生させます。$H_{EQ}(f)$に、対象となる周波数範囲に対応する唯一の通過帯域が存在するようにアナログ・フィルタを設計して、好ましくない通過帯域を十分に抑制する必要があります。大きいDF設定は帯域幅の小さいデジタル・フィルタに対応し、アナログ・フィルタがさらに緩やかなロールオフを持つことを可能にします。単純な一次または二次アナログ・フィルタは、ほとんどのシステムにとって十分な抑制を実現します。

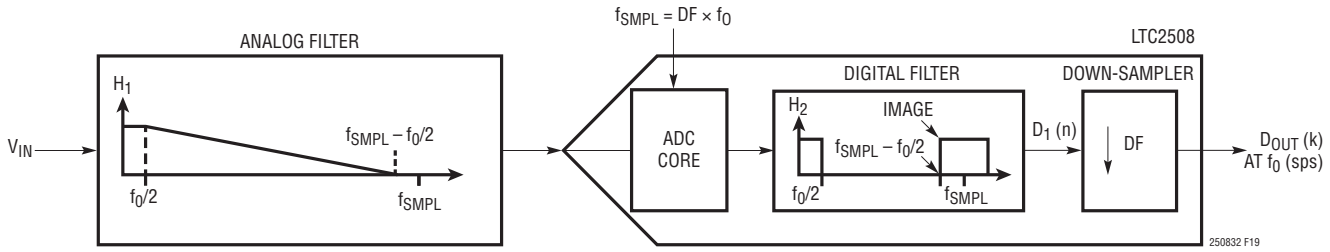


図19. 混合モードのフィルタ信号チェーン

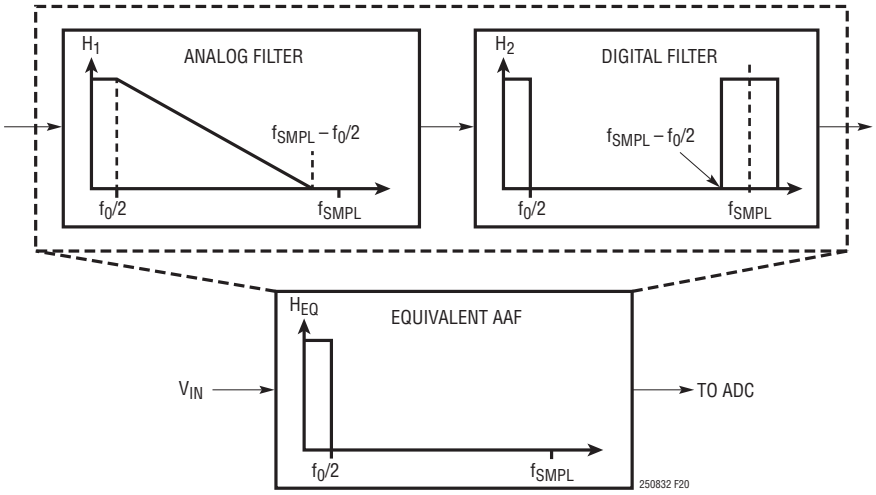


図20. 混合モードのアンチエイリアシング・フィルタ(AAF)

アプリケーション情報

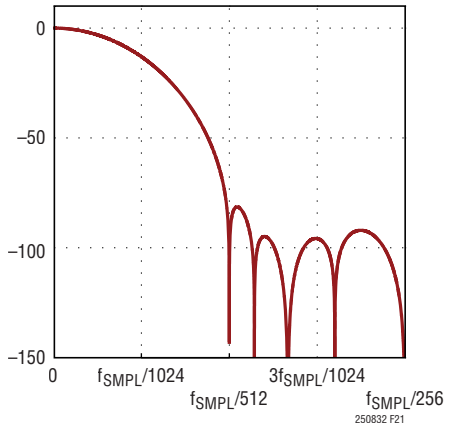


図21. DF = 256でのデジタル・フィルタの周波数応答

デジタル・フィルタの周波数応答

図21に、LTC2508-32がDF = 256およびf_{SMPL}でのサンプリングで動作するように構成された場合の、デジタル・フィルタの周波数応答を示します。

LTC2508-32の各構成では、デジタル・フィルタは、直線的な位相応答を備えるローパス有限インパルス応答(FIR)になります。帯域幅は、選択されたDF値に反比例します。各構成は、$f_O/2$～$f_{SMPL} - f_O/2$の範囲内で、周波数の80dB以上の減衰を提供します。4つのデジタル・フィルタ構成のフィルタ係数および周波数応答の詳細なバージョンは、www.linear-tech.co.jp/docs/52896で参照できます。表2に、各デジタル・フィルタのインパルス応答の長さおよびグループ遅延を示します。

表2. デジタル・フィルタの長さ

ダウンサンプリング係数(DF)	デジタル・フィルタのインパルス応答の長さ	グループ遅延(f_{SMPL} = 1Msps)
256	2,304	1.2ms
1,024	9,216	4.6ms
4,096	36,864	18.4ms
16,384	147,456	73.7ms

セトリング時間およびグループ遅延

各デジタル・フィルタのインパルス応答の長さは、セトリング時間を決定します。直線的な位相フィルタは、入力周波数に対して一定の遅延時間を示します(つまり、一定のグループ遅延)。デジタル・フィルタのグループ遅延は、インパルス応答の中央までの遅延であると定義されます。

LTC2508-32は、短い待ち時間に対して最適化されており、高速なセトリングを実現します。図22に、LTC2508-32のアナログ入力でのステップ変化の後の出力セトリング動作を示します。X軸は、出力サンプル数の単位で示されています。ステップ応答は、DFの全ての値を代表しています。10出力サンプル以内で、完全なセトリングが達成されます。

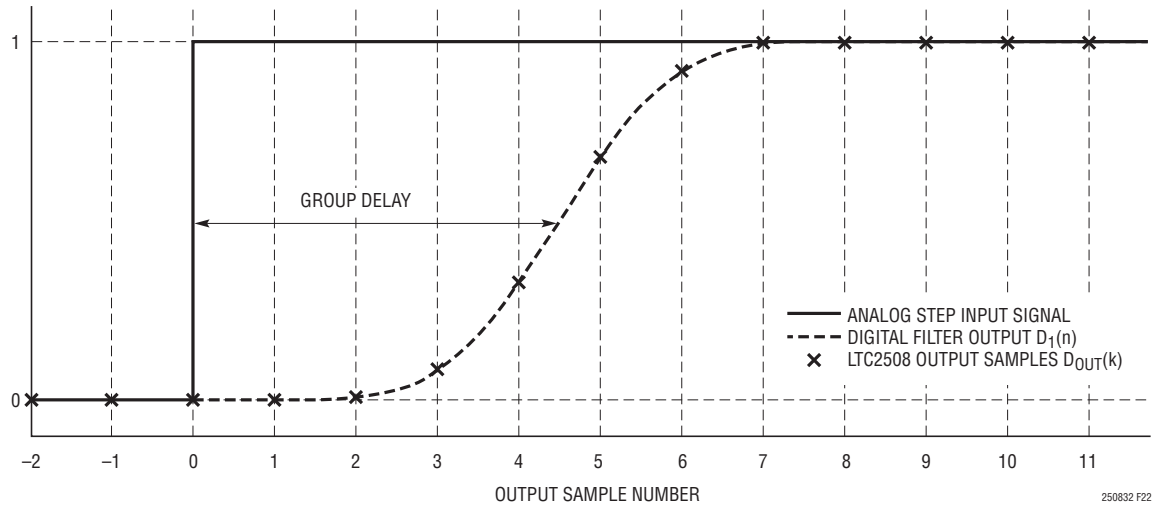


図22. LTC2508-32のステップ応答

アプリケーション情報

デジタル・インタフェース

LTC2508-32は、2つのデジタル・シリアル・インタフェースを備えています。シリアル・インタフェースAは、フィルタ処理済み出力データの読み出しに使用されます。シリアル・インタフェースBは、待ち時間のない出力データの読み出しに使用されます。これらのインタフェースは、両方とも柔軟性の高いOV_{DD}電源をサポートし、LTC2508-32は、2.5Vと3.3Vのシステムを含む、1.8V～5Vで動作するどのようなデジタル・ロジックとも通信することができます。

フィルタ処理済み出力データ

図23に、フィルタ処理済み出力データを読み出すための標準的な動作を示します。I/Oレジスタは、デシメーション・フィルタによって提供されるフィルタ処理済み出力コード$D_{OUT}(k)$を格納します。$D_{OUT}(k)$は、DF回の変換サイクルごとに1回更新されます。タイミング信号DRLは、$D_{OUT}(k)$が更新されるタイミングを示します。DRLは、DF番目の各変換の開始時に“H”になり、変換が完了すると“L”になります。$D_{OUT}(k)$の32ビットは、次のA/D変換が開始される前に読み出すことができます。

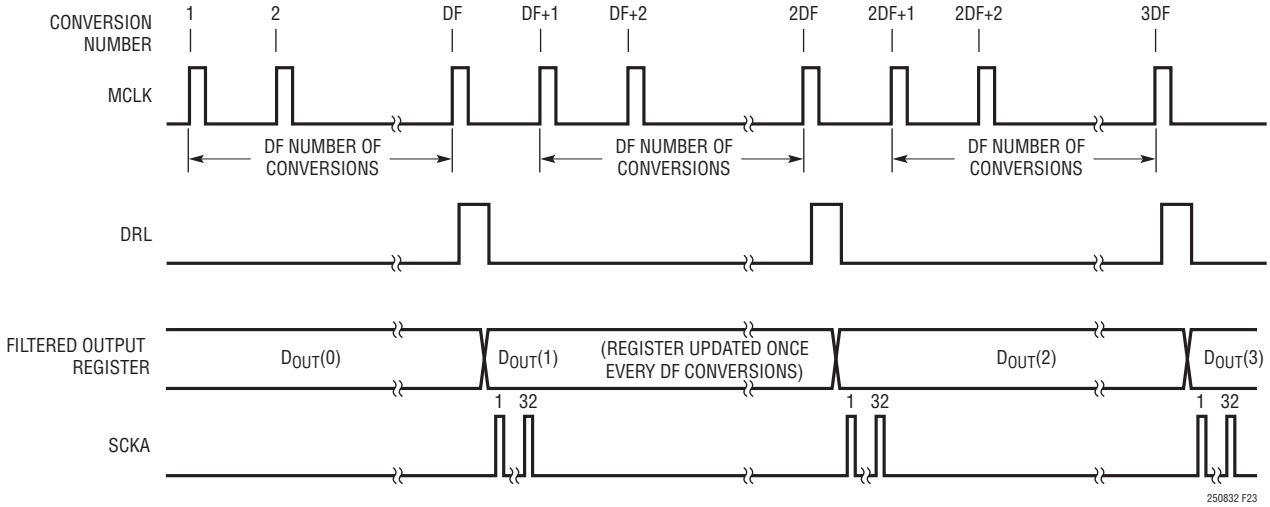


図23. 標準的なフィルタ処理済み出力データの動作のタイミング

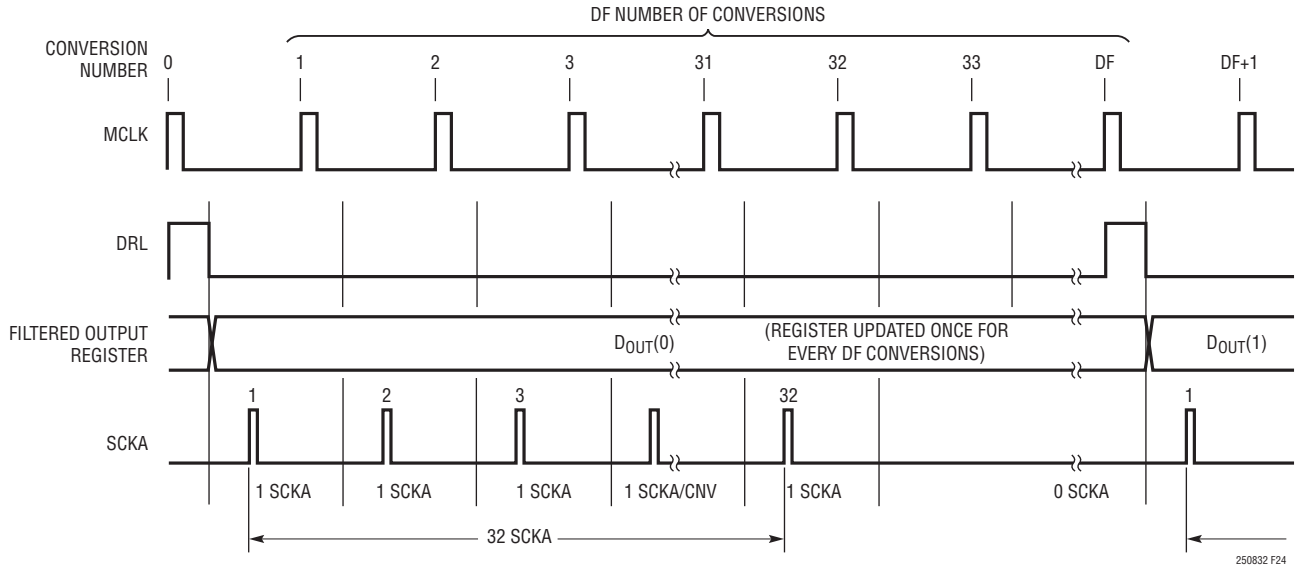


図24. 分散読み出しによるフィルタ処理済み出力データの読み出し

アプリケーション情報

分散された読み出し

LTC2508-32では、ユーザーは、複数の変換にまたがってI/Oレジスタの内容を読み出すことができます。図24は、32回の連続するA/D変換ごとに$D_{OUT}(k)$の1ビットが読み出され、非常に遅いシリアル・クロック(SCKA)を使用できる場合を示しています。A/D変換の動作中(BUSYが“H”の場合)は、デジタル・インタフェースでの遷移を避ける必要があります。

同期

デジタル・フィルタ$D_1(n)$の出力は変換ごとに更新されますが、ダウンサンプラーの出力$D_{OUT}(k)$は、DF回の変換ごとに1回しか更新されません。同期は、出力$D_{OUT}(k)$が更新されるタイミングを選択する処理です。

この同期は、LTC2508-32のSYNCピンにパルスを入力することによって行います。$D_{OUT}(k)$のI/Oレジスタは、SYNCパルスが入力された後に、DFの倍数回の変換ごとに更新されます(図25を参照)。タイミング信号DRLは、$D_{OUT}(k)$が更新されるタイミングを示します。

SYNC機能により、複数のLTC2508デバイスが、共通のSYNC信号を使用する同じマスタ・クロックから、互いに同期して動作することができます。これによって、各LTC2508デバイスは、同時にその出力レジスタを更新することができます。同期している全てのデバイスが同じDFで動作しなければならないということに注意してください。

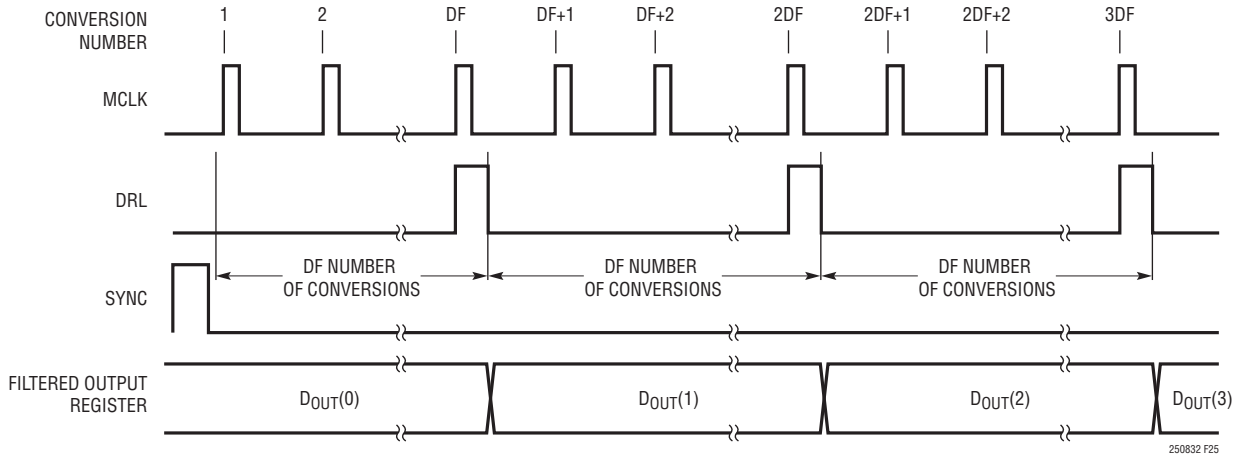


図25. 単一のSYNCパルスを使用した同期

アプリケーション情報

周期的同期

既存の同期を強化するSYNCパルスは、通常の動作を妨げません。図26は、継続的に同期を強化するために、SYNCパルスがDF回の変換ごとに入力される場合を示しています。図26には、同期された動作を強化するためにSYNCパルスを入力できる同期期間が示されています。

自己補正同期

図27は、MCLKでの予期しないグリッチが余分なA/D変換を引き起こす場合を示しています。この余分な変換は、$D_{OUT}(k)$を更新するタイミングを変更します。入力された周期的SYNCパルスは、目的の同期を再び確立し、1変換サイクル内で自己補正します。同期が変更(再確立)されたときに、デジタル・フィルタがリセットされることに注意してください。

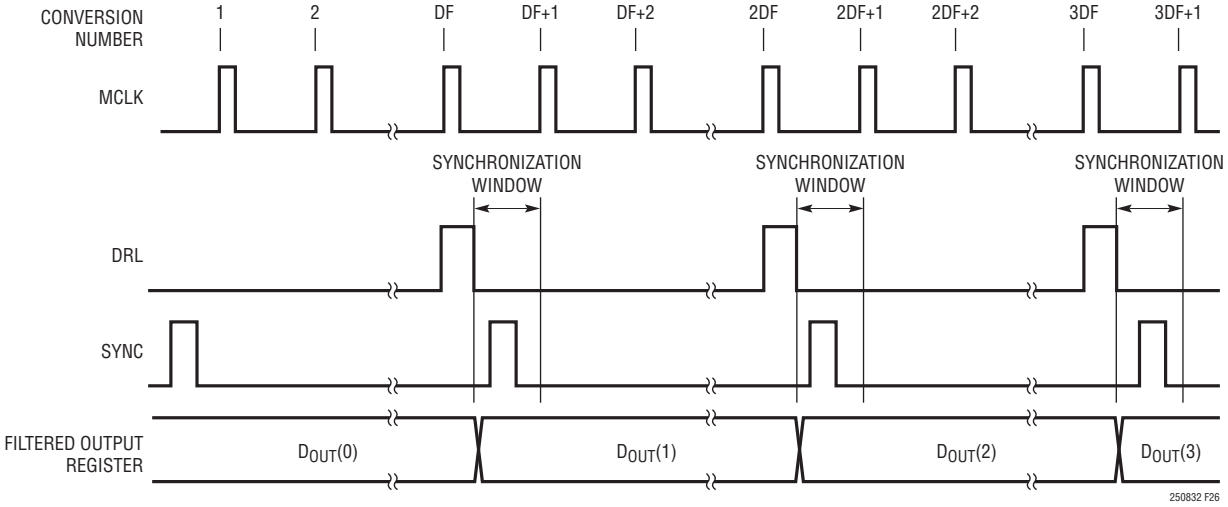


図26. 定期的SYNCパルスを使用した同期

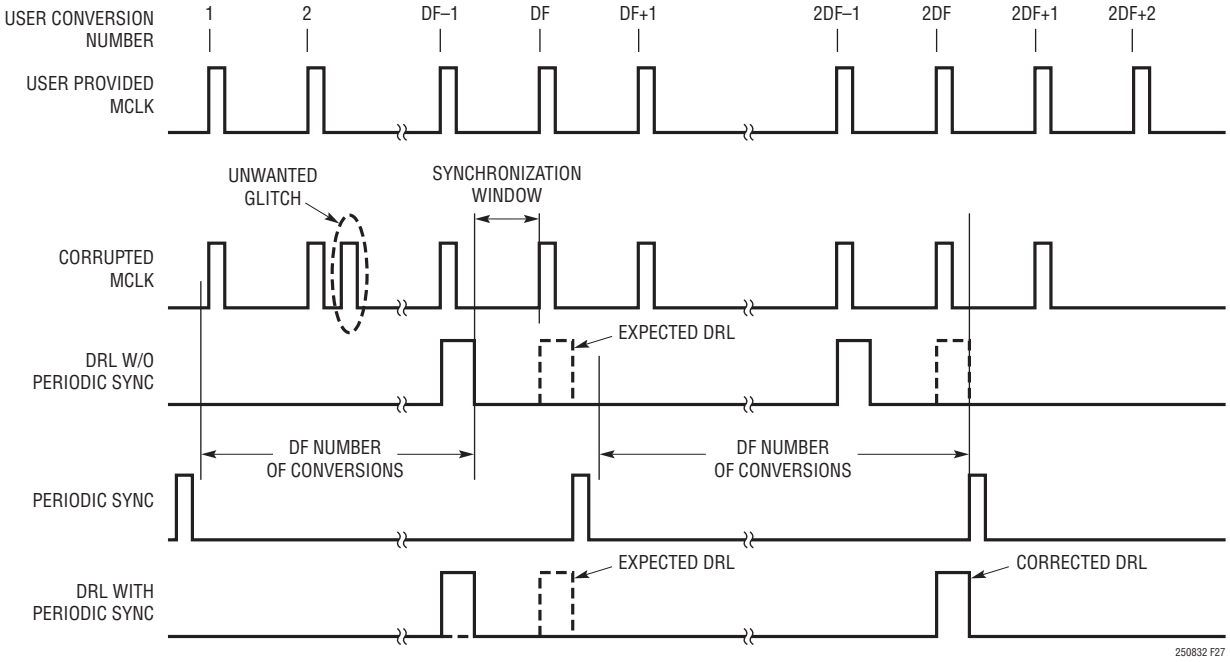


図27. 予期しないグリッチからの同期の回復

アプリケーション情報

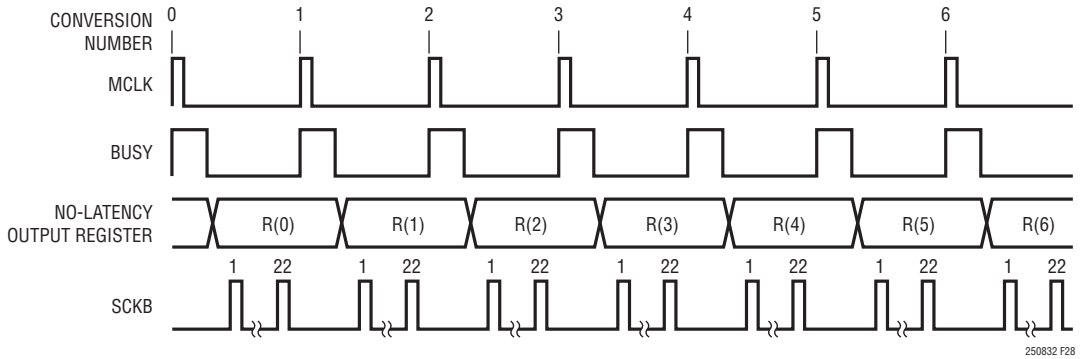


図28. 標準的なナイキスト出力データの動作のタイミング

待ち時間のない出力データ

図28に、待ち時間のない出力データを読み出すための標準的な動作を示します。待ち時間のないI/Oレジスタは、MCLKの立ち上がりエッジで入力IN^+およびIN^-から取得された最新のサンプルから、22ビット複合コードR(n)を保持します。R(n)の最初の14ビットは、MSBを先頭にして入力電圧差($IN^+ - IN^-$)を表します。最後の8ビットは、MSBを先頭にして同相入力電圧($IN^+ + IN^-$)/2を表します。

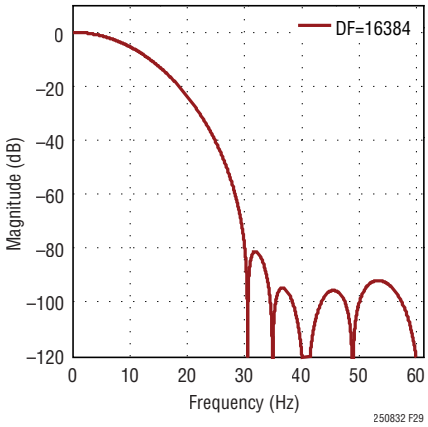


図29. DF = 16384でのデジタル・フィルタの周波数応答

50Hzおよび60Hzでの除去

図29に、DF = 16384およびf_{SMPL} = 1Mspsで動作するように構成されたLTC2508-32のデジタル・フィルタの周波数応答を示します。図に示すように、50Hzおよび60Hzで、100dB以上の同時の抑制が得られます。図29に示した周波数軸のスケールが、f_{SMPL}とともに変化していることに注意してください。

構成ワード

8ビットの構成ワード(WA[7:0])が、SDOAの32ビット出力コードに追加され、合計40ビットの出力ワードを生成します(図30を参照)。この構成ワードは、デジタル・フィルタの動作の構成に使用されるダウンサンプリング係数(DF)を指定します。クロックに同期して構成ワードを出力することは、オプションです。表3に、DF値ごとの構成ワードを示します。

フィルタ処理済み出力データ、単一のデバイス、DF = 256

表3. 異なるDF値に対する構成ワード

DF	WA[7:0]
256	10000101
1,024	10100101
4,096	11000101
16,384	11100101

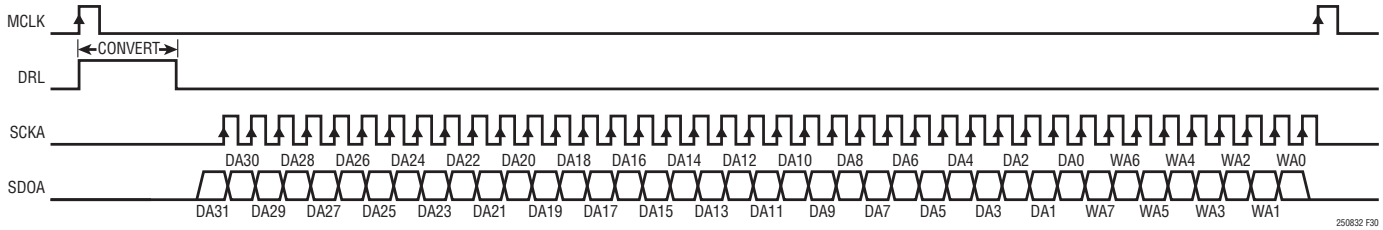


図30. LTC2508-3を使用したフィルタ処理済み出力の読み出し

アプリケーション情報

図31に、DF = 256で動作するように構成されたLTC2508-32を示します。RDLAを接地すると、SDOAがイネーブルされ、DRLの立ち下がりエッジから$t_{DSDOADRLL}$の後に、出力結果のMSB（DA31）を使用できます。

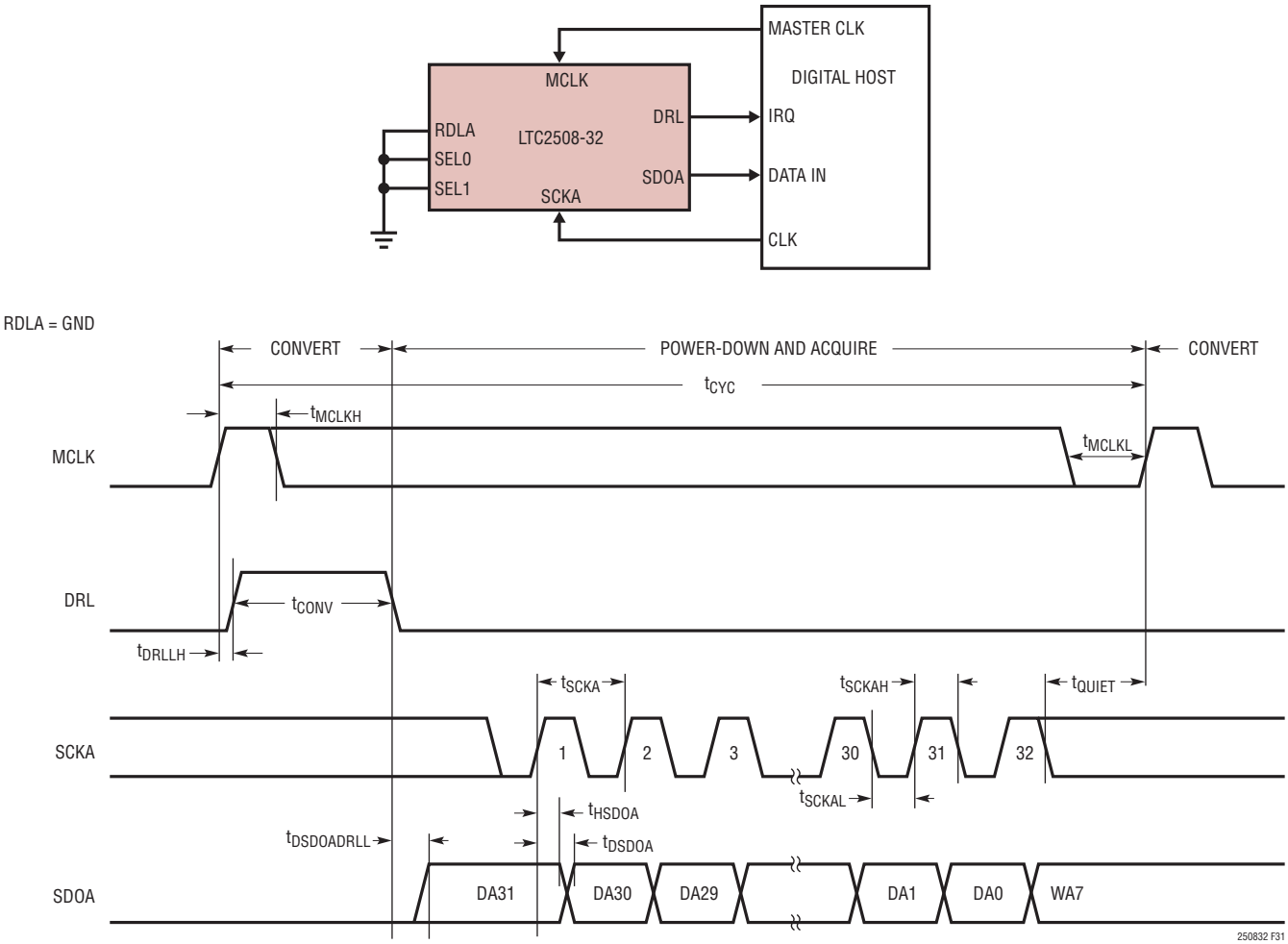
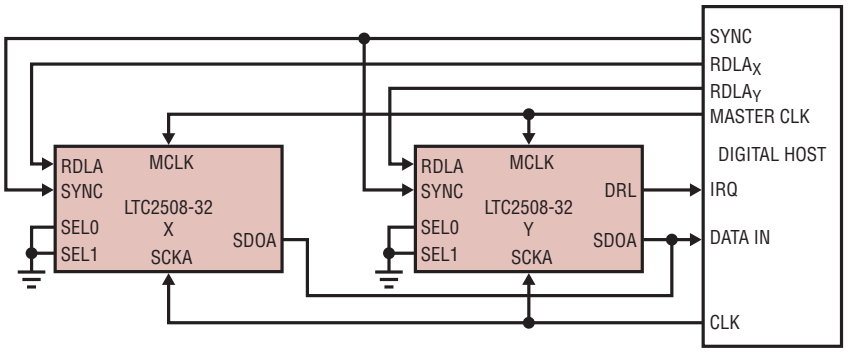


図31. DF = 256で1つのLTC2508-32を使用したフィルタ処理済み出力の読み出し

アプリケーション情報

フィルタ処理済み出力データ、複数のデバイス、DF = 256

図32に、MCLK、SYNC、SCKA、およびSDOAを共有しながらDF = 256で動作するように構成された2つのLTC2508-32デバイスを示します。MCLK、SYNC、SCKA、およびSDOAを共有することにより、複数のA/Dコンバータを並列で動作させるのに必要な信号数が減少します。SDOAを共有しているので、バスの競合を防ぐため、各A/DコンバータのRDLA入力を使って、一度に1個のLTC2508-32だけがSDOAを駆動できるようにする必要があります。図32に示すように、RDLA入力はアイドル状態では“H”であり、個別に“L”になって変換と変換の間に各デバイスからデータを読み出します。RDLAを“L”にすると、選択されたデバイスのMSBがSDOAに出力されます。



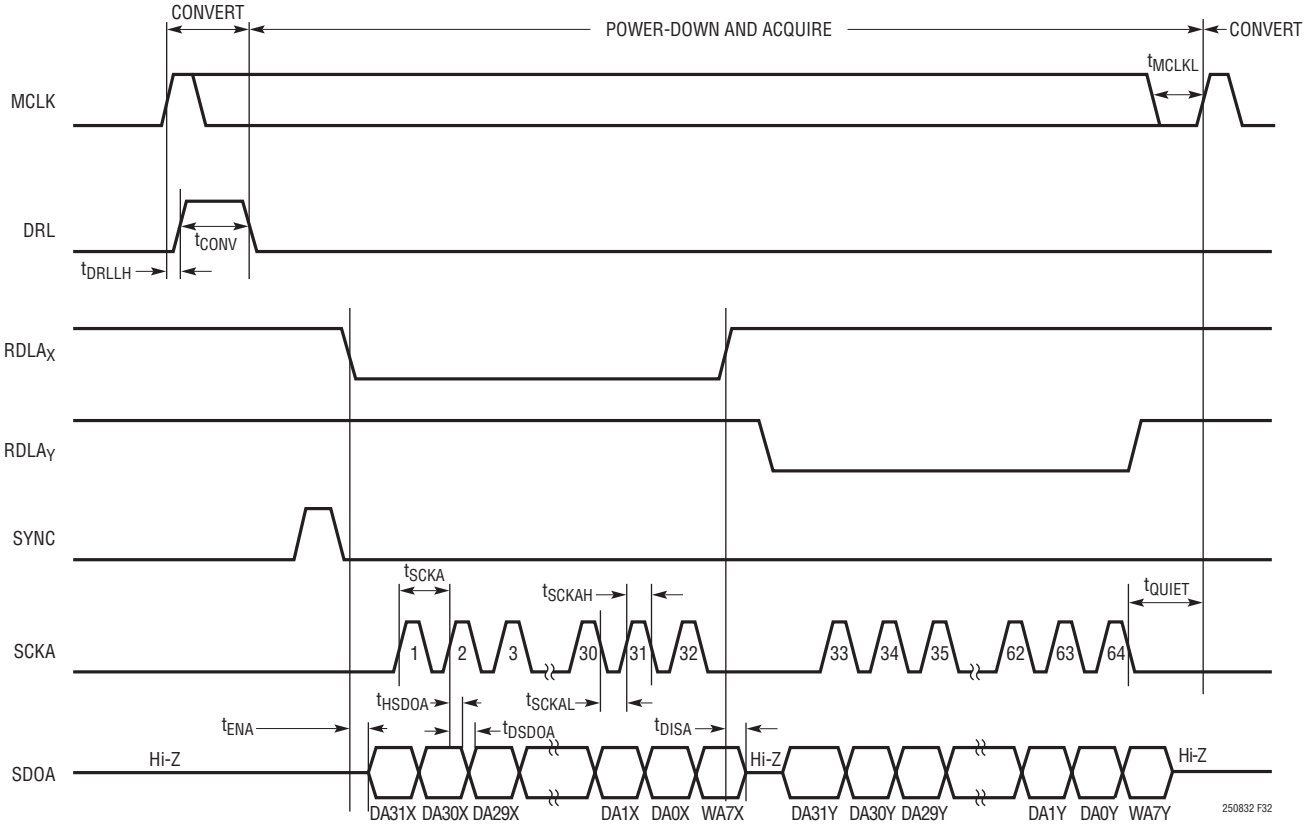


図32. MCLK、SCKA、およびSDOAを共有する複数のデバイスを使用したフィルタ処理済み出力の読み出し

アプリケーション情報

待ち時間のない出力データ、単一のデバイス

図33に、待ち時間のないデータ出力を読み出すように構成された単一のLTC2508-32を示します。RDLBを接地すると、SDOBがイネーブルされ、BUSYの立ち下がりエッジから$t_{DSDOBBUSYL}$の後に、出力結果のMSB(DB13)を使用できます。

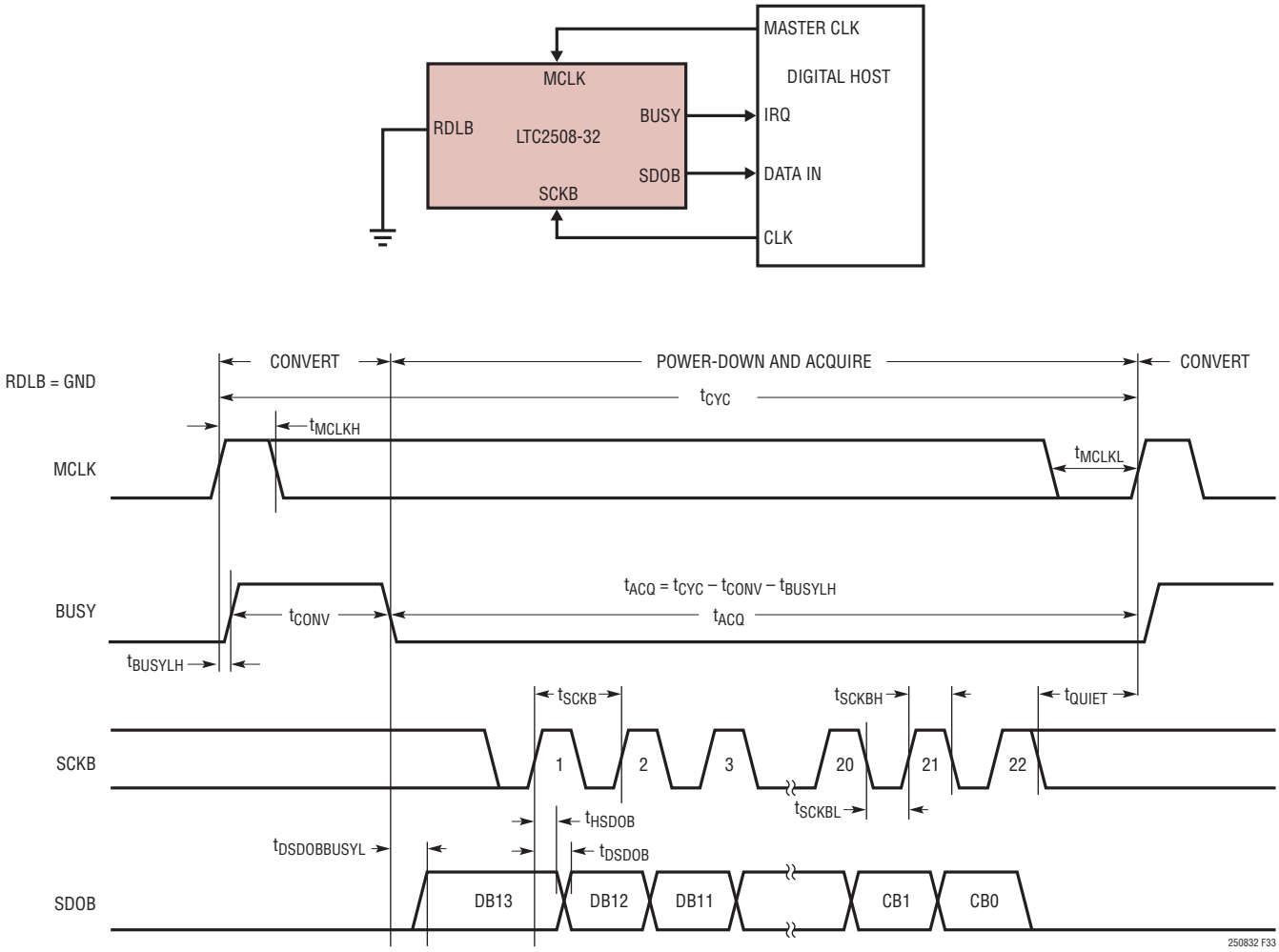
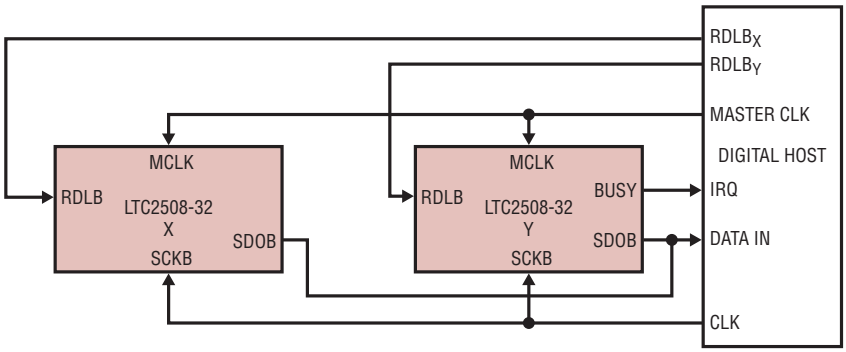


図33. 1つのLTC2508-32を使用した待ち時間のない出力の読み出し

アプリケーション情報

待ち時間のない出力データ、複数のデバイス

図34に、MCLK、SYNB、およびSDOBを共有しながら待ち時間のないデータ出力を読み出すように構成された複数のLTC2508-32デバイスを示します。MCLK、SCKBおよびSDOBを共有することにより、複数のA/Dコンバータを並列で動作させるのに必要な信号数が減少します。SDOBを共有しているので、バスの競合を防ぐため、各A/DコンバータのRDLB入力を使って、一度に1個のLTC2508-32だけがSDOBを駆動できるようにする必要があります。図34に示すように、RDLB入力はアイドル状態では“H”であり、個別に“L”になって変換と変換の間に各デバイスからデータを読み出します。RDLBを“L”にすると、選択されたデバイスのMSBがSDOBに出力されます。



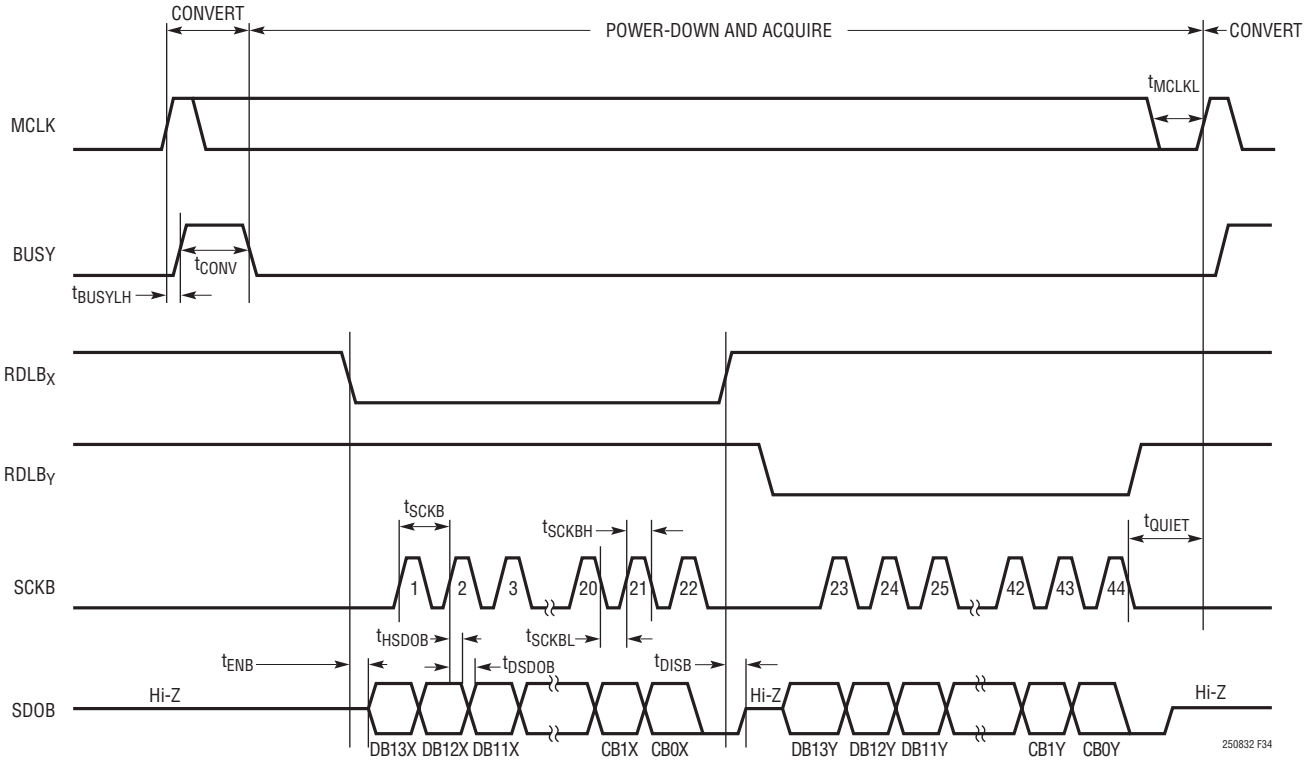
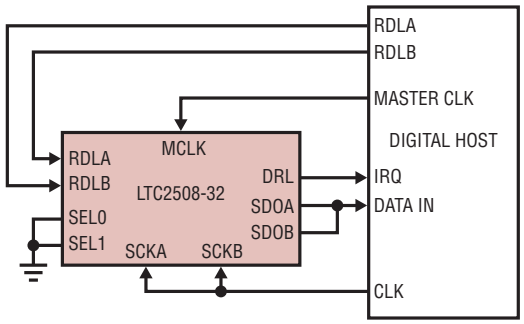


図34. MCLK、SCKB、およびSDOBを共有する複数のデバイスを使用した待ち時間のない出力の読み出し

アプリケーション情報

フィルタ処理済み出力データ、待ち時間のないデータ、単一のデバイス

図35に、SDOAとSDOBを共有し、SCKAとSCKBを共有しながら、フィルタ処理済み出力データと待ち時間のない出力データの両方を読み出すように構成された単一のLTC2508-32を示します。信号を共有することで、A/Dコンバータからフィルタ処理済みデータと待ち時間のないデータの両方を読み出すために必要な信号の総数を減らします。SDOAとSDOBが共有されているので、バスの競合を防ぐため、各A/Dコンバータの RDLA 入力および RDLB 入力を使って、一度に1個の出力だけが共有されたSDOバスを駆動できるようにする必要があります。図35に示すように、RDLA入力およびRDLB入力はアイドル状態では“H”であり、個別に“L”になって、データを使用できる場合に各シリアル出力からデータを読み出します。RDLAが“L”になると、SDOAからのフィルタ処理済み出力データのMSBが、共有されたSDOバスに出力されます。



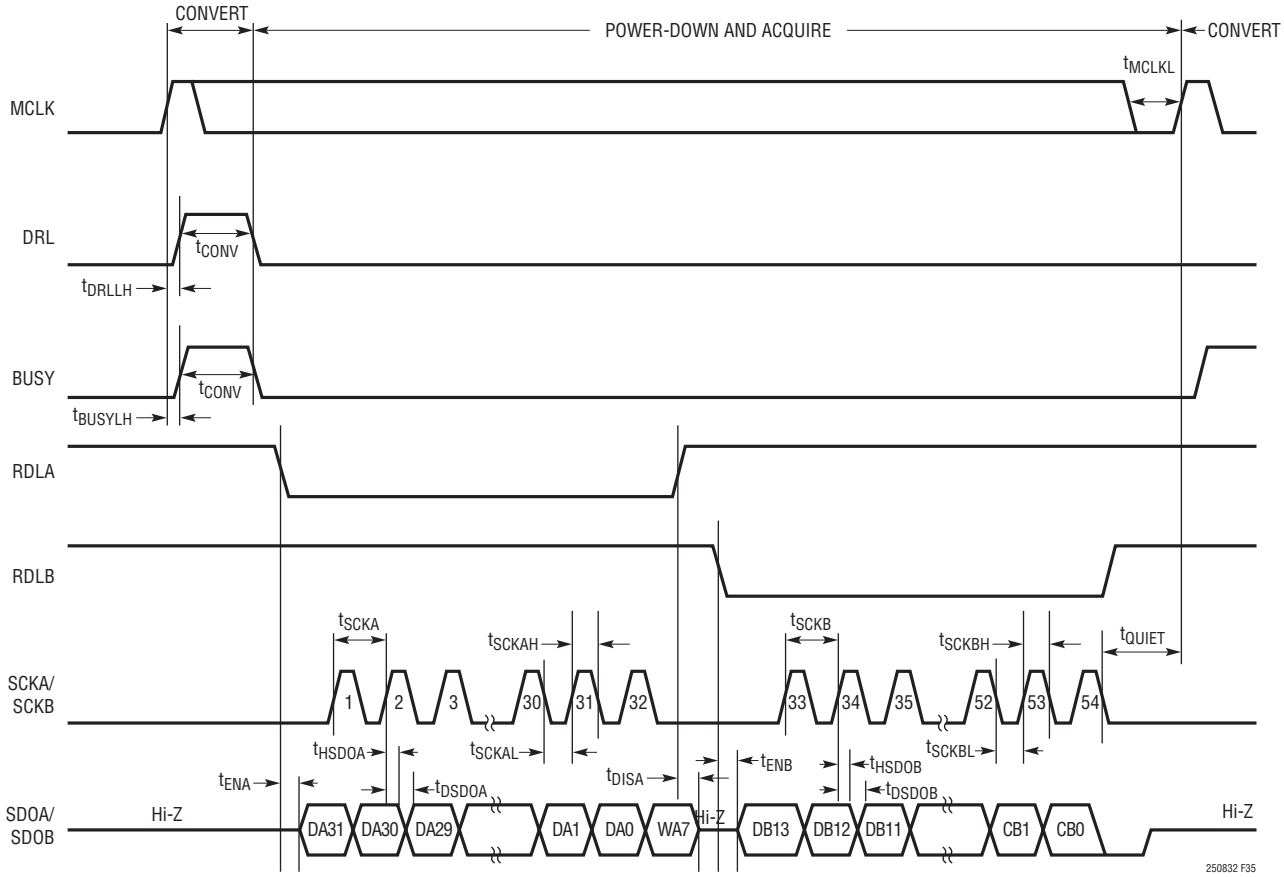


図35. SCKおよびSDOを共有するフィルタ処理済み出力および待ち時間のない出力の読み出し

基板レイアウト

RDLBが“L”になると、SDOBからの待ち時間のないデータ出力のMSBが、共有されたSDOバスに出力されます。

LTC2508-32から最大限の性能を引き出すには、4層プリント回路基板（PCB）を推奨します。PCBのレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・クロックやデジタル信号は、アナログ信号に沿って配線したり、ADCの下に配線したりしないように注意してください。

電源バイパス・コンデンサを、できるだけ電源ピンに近づけて配置します。A/Dコンバータを低ノイズで動作させるには、これらのバイパス・コンデンサに低インピーダンスの共通帰線を使用することが不可欠です。この目的には、単一の切れ目のないグランド・プレーンを推奨します。可能な場合、グランドを使用してアナログ入力トレースのスクリーニングを行います。

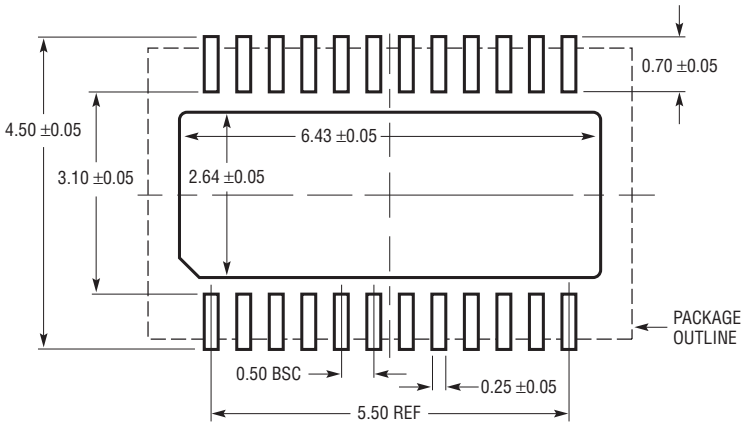
リファレンス設計

回路図およびPCBレイアウトを含むこのコンバータのリファレンス設計の詳細については、LTC2508-32の評価キットDC2222を参照してください。DC2222は、LTC2508-32のデータシートの完全な性能を実現するため設計されています。顧客の基板レイアウトは、DC2222の接地および、できるだけ近づけたバイパス・コンデンサの配置をコピーする必要があります。

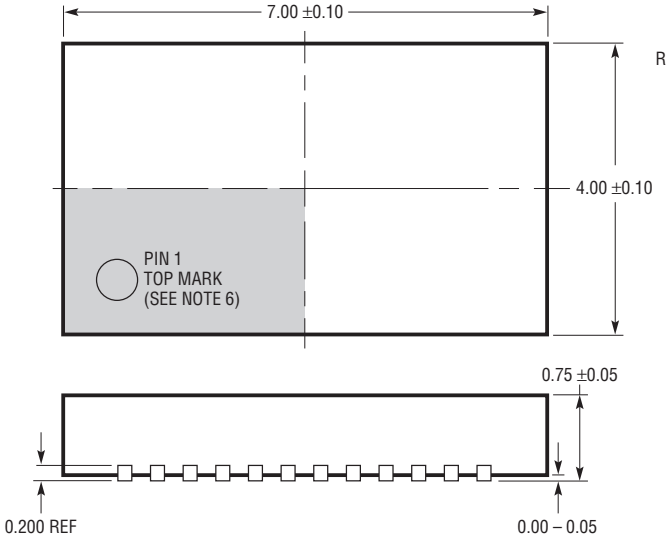
パッケージの寸法

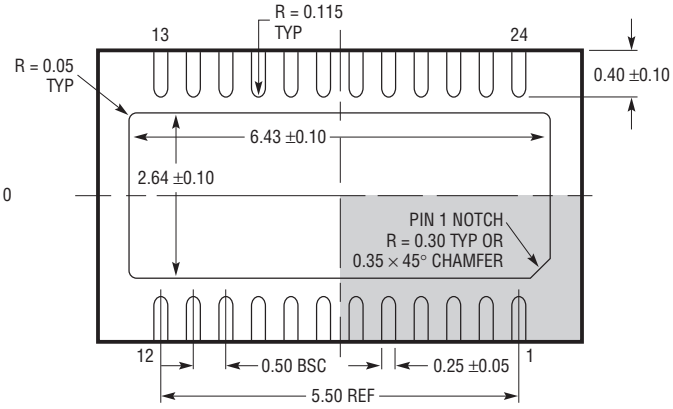
最新のパッケージ図面については、http://www.linear-tech.co.jp/product/LTC2508-32#packaging を参照してください。

DKD Package
24-Lead Plastic DFN (7mm × 4mm)
(Reference LTC DWG # 05-08-1864 Rev Ø)



RECOMMENDED SOLDER PAD LAYOUT
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED





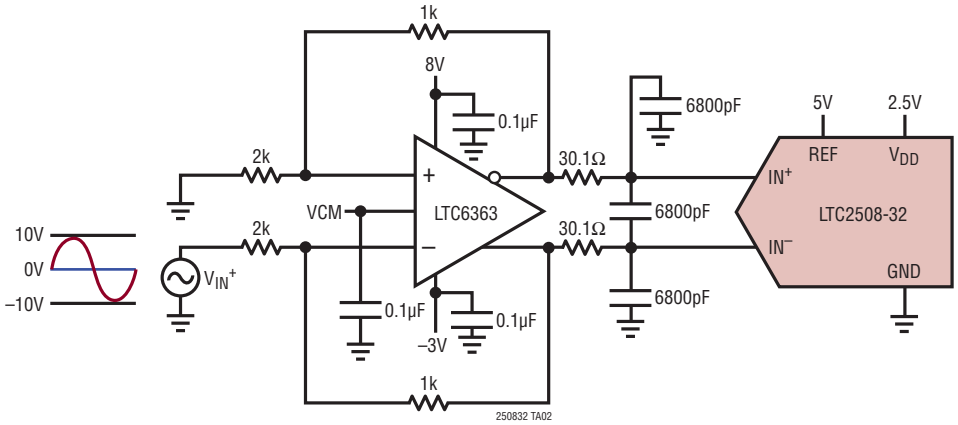
BOTTOM VIEW—EXPOSED PAD (DKD24) DFN 0210 REV Ø

注記：
1. 図は JEDEC パッケージ外形 MO-229 のバージョンのバリエーション（WXXX）として提案
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まないモールドのバリは（もしあれば）各サイドで 0.15mm を超えないこと
5. 露出パッドは半田メッキとする
6. 灰色の部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

リニアテクノロジー・コーポレーションがここで提供する情報は正確かつ信頼できるものと考えておりますが、その使用に関する責務は一切負いません。また、ここに記載された回路結線と既存特許とのいかなる関連についても一切関知いたしません。なお、日本語の資料はあくまでも参考資料です。訂正、変更、改版に追従していない場合があります。最終的な確認は必ず最新の英語版データシートでお願いいたします。

標準的応用例

±10V 真の両極性入力信号のバッファおよび完全差動 ADC 入力への変換



関連製品

製品番号	説明	注釈
LTC2380-24	INLが±0.5ppmの24ビット、1.5/2Msps、シリアル、低消費電力A/Dコンバータ	2.5V電源、±5V完全差動入力、SNR：100dB、MSOP-16および4mm×3mm DFN-16パッケージ
LTC2368-24	単極性入力範囲を備えるINLが±0.5ppmの24ビット、1Msps、シリアル、低消費電力A/Dコンバータ	2.5V電源、0V～5V完全単極性入力、SNR：98dB、MSOP-16および4mm×3mm DFN-16パッケージ
LTC2378-20/ LTC2377-20/ LTC2376-20	INLが±0.5ppmの20ビット、1Msps/500ksps/250ksps、シリアル、低消費電力A/Dコンバータ	2.5V電源、±5V完全差動入力、SNR：104dB、MSOP-16および4mm×3mm DFN-16パッケージ
D/Aコンバータ		
LTC2757	18ビット、シングル・パラレル I_{OUT} SoftSpan™ D/Aコンバータ	INL/DNL：±1LSB、ソフトウェアで選択可能な範囲、7mm×7mm LQFP-48パッケージ
LTC2641	16ビット/14ビット/12ビット、シングル・シリアル電圧出力D/Aコンバータ	INL/DNL：±1LSB、MSOP-8パッケージ、0V～5V出力
LTC2630	12ビット/10ビット/8ビット、シングル電圧出力D/Aコンバータ	6ピンSC70パッケージ、内部リファレンス、INL：±1LSB（12ビット）
リファレンス		
LTC6655	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	5V/4.906V/3.3V/3V/2.5V/2.048V/1.25V、2ppm/°C、ピーク・トゥ・ピーク・ノイズ：0.25ppm、MSOP-8パッケージ
LTC6652	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	5V/4.906V/3.3V/3V/2.5V/2.048V/1.25V、5ppm/°C、ピーク・トゥ・ピーク・ノイズ：2.1ppm、MSOP-8パッケージ
アンプ		
LTC2057	低ノイズ、ゼロドリフト・オペアンプ	4µVオフセット電圧、0.015µV/°Cオフセット電圧ドリフト
LTC6363	低消費電力、完全差動出力アンプ/ドライバ	単電源：2.8V～11V、電源電流：1.9mA、MSOP-8および2mm×3mm DFN-8パッケージ
LTC6362	低消費電力、完全差動入出力アンプ/ドライバ	単電源：2.8V～5.25V、電源電流：1mA、MSOP-8および3mm×3mm DFN-8パッケージ

リニアテクノロジー株式会社
〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F
TEL 03-5226-7291 • FAX 03-5226-0268 • www.linear-tech.co.jp/LTC2508-32
LT0716 • PRINTED IN JAPAN
© LINEAR TECHNOLOGY CORPORATION 2016