

Easy Drive入力電流 キャンセル機能付き 24ビット2/4チャンネルデルタシグマADC

特長

- 最大2つの差動入力または最大4つのシングルエンド入力
- Easy Drive™テクノロジーにより、差動入力電流がゼロの
レール・トゥ・レール入力が可能
- 最大限の精度で高インピーダンス・センサを
直接デジタル化
- RMSノイズ: 600nV
- 高精度温度センサを内蔵
- GND~V_{CC}の入力/リファレンス同相範囲
- 50Hz、60Hzまたは50Hz/60Hz同時の除去モードを
プログラム可能
- INL: 2ppm、ミッシング・コードなし
- オフセット: 1ppm、フルスケール誤差: 15ppm
- 2倍速/電力削減モード
(内部発振器を使用した15Hz出力と80μAの7.5Hz出力)
- 待ち時間なし: 新しいチャンネル選択後でも
デジタル・フィルタが1サイクル内にセトリング
- 2.7V~5.5V単一電源動作 (0.8mW)
- 内部発振器
- 4mm×3mm小型DFNパッケージ

アプリケーション

- ダイレクト・センサ・デジタイザ
- 直接温度測定
- 計測
- 産業用プロセス制御

概要

LTC®2492は、Easy Driveテクノロジーを使った、4チャンネル(2チャンネル差動)、24ビット、No Latency $\Delta\Sigma$ ™ ADCです。特許取得のサンプリング回路は、差動入力電流の自動キャンセルにより、ダイナミック入力電流誤差や内部バッファの弱点を除去します。このため、並外れたDC精度を維持しながら、大きな外部ソース・インピーダンスやレール・トゥ・レールの入力信号を直接デジタル化することができます。

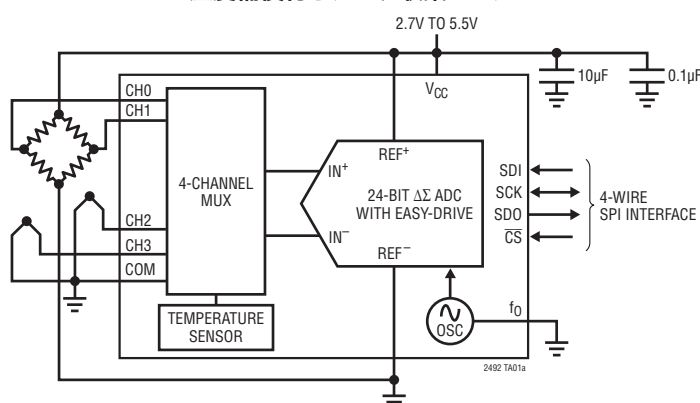
LTC2492は高精度温度センサと発振器を内蔵しています。このデバイスは(シングルエンドまたは差動モードで動作する4つのアナログ入力チャンネルの組み合わせから)外部信号または内部温度センサを測定するように構成可能です。また、50Hz、60Hzまたは50Hz/60Hz同時の入力周波数除去をプログラムでき、出力レートを2倍にするように構成することができます。内部温度センサは分解能が30分の1°C、絶対精度は2°Cです。

LTC2492はリファレンス電圧と関係なく、広い同相入力電圧範囲(0V~V_{CC})が可能です。シングルエンド入力または差動入力のどんな組合せでも選択可能で、新しいチャンネルを選択した後の最初の変換が有効です。

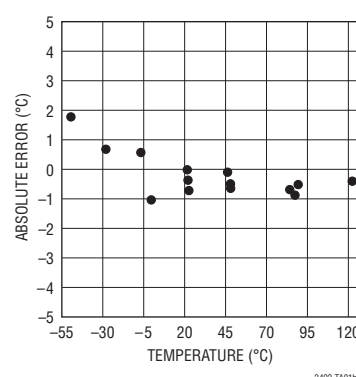
LT、LT、LTC、LTM、Linear Technology および Linearのロゴはリニアテクノロジー社の登録商標です。No Latency $\Delta\Sigma$ およびEasy Driveはリニアテクノロジー社の商標です。他のすべての商標はそれぞれの所有者に所有権があります。

標準的応用例

温度補償付きデータ収集システム



絶対温度誤差



LTC2492

絶対最大定格

(Note 1, 2)

電源電圧 (V_{CC}) $-0.3V \sim 6V$

アナログ入力電圧

(CH0~CH3, COM) $-0.3V \sim (V_{CC} + 0.3V)$

REF^+ , REF^- $-0.3V \sim (V_{CC} + 0.3V)$

デジタル入力電圧 $-0.3V \sim (V_{CC} + 0.3V)$

デジタル出力電圧 $-0.3V \sim (V_{CC} + 0.3V)$

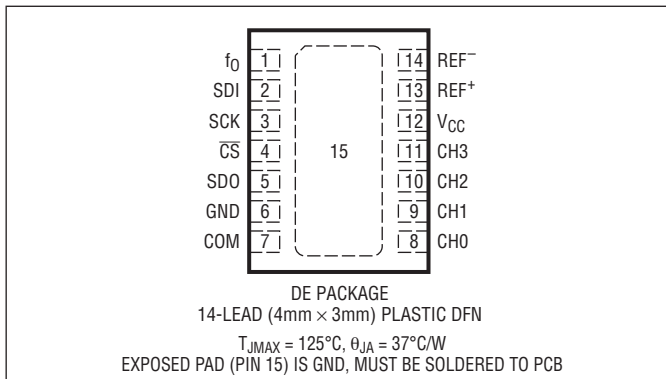
動作温度範囲

LTC2492C $0^\circ C \sim 70^\circ C$

LTC2492I $-40^\circ C \sim 85^\circ C$

保存温度範囲 $-65^\circ C \sim 150^\circ C$

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2492CDE#PBF	LTC2492CDE#TRPBF	2492	14-Lead (4mm x 3mm) Plastic DFN	$0^\circ C$ to $70^\circ C$
LTC2492IDE#PBF	LTC2492IDE#TRPBF	2492	14-Lead (4mm x 3mm) Plastic DFN	$-40^\circ C$ to $85^\circ C$

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。
非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性 (通常速度)

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ C$ での値。(Note 3, 4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)	$0.1V \leq V_{REF} \leq V_{CC}$, $-FS \leq V_{IN} \leq +FS$ (Note 5)	24			Bits
Integral Nonlinearity	$5V \leq V_{CC} \leq 5.5V$, $V_{REF} = 5V$, $V_{IN(CM)} = 2.5V$ (Note 6) $2.7V \leq V_{CC} \leq 5.5V$, $V_{REF} = 2.5V$, $V_{IN(CM)} = 1.25V$ (Note 6)	●	2 1	10	ppm of V_{REF} ppm of V_{REF}
Offset Error	$2.5V \leq V_{REF} \leq V_{CC}$, $GND \leq IN^+ = IN^- \leq V_{CC}$ (Note 14)	●	0.5	2.5	μV
Offset Error Drift	$2.5V \leq V_{REF} \leq V_{CC}$, $GND \leq IN^+ = IN^- \leq V_{CC}$		10		$nV/^\circ C$
Positive Full-Scale Error	$2.5V \leq V_{REF} \leq V_{CC}$, $IN^+ = 0.75V_{REF}$, $IN^- = 0.25V_{REF}$	●		25	ppm of V_{REF}
Positive Full-Scale Error Drift	$2.5V \leq V_{REF} \leq V_{CC}$, $IN^+ = 0.75V_{REF}$, $IN^- = 0.25V_{REF}$		0.1		ppm of $V_{REF}/^\circ C$
Negative Full-Scale Error	$2.5V \leq V_{REF} \leq V_{CC}$, $IN^+ = 0.25V_{REF}$, $IN^- = 0.75V_{REF}$	●		25	ppm of V_{REF}
Negative Full-Scale Error Drift	$2.5V \leq V_{REF} \leq V_{CC}$, $IN^+ = 0.25V_{REF}$, $IN^- = 0.75V_{REF}$		0.1		ppm of $V_{REF}/^\circ C$
Total Unadjusted Error	$5V \leq V_{CC} \leq 5.5V$, $V_{REF} = 2.5V$, $V_{IN(CM)} = 1.25V$ $5V \leq V_{CC} \leq 5.5V$, $V_{REF} = 5V$, $V_{IN(CM)} = 2.5V$ $2.7V \leq V_{CC} \leq 5.5V$, $V_{REF} = 2.5V$, $V_{IN(CM)} = 1.25V$		15 15 15		ppm of V_{REF} ppm of V_{REF} ppm of V_{REF}
Output Noise	$5.5V < V_{CC} < 2.7V$, $2.5V \leq V_{REF} \leq V_{CC}$, $GND \leq IN^+ = IN^- \leq V_{CC}$ (Note 13)		0.6		μV_{RMS}
Internal PTAT Signal	$T_A = 27^\circ C$ (Note 14)	27.8	28.0	28.2	mV
Internal PTAT Temperature Coefficient			93.5		$\mu V/^\circ C$

電氣的特性 (2倍速)

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3、4)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)	$0.1\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, -\text{FS} \leq V_{\text{IN}} \leq +\text{FS}$ (Note 5)		24			Bits
Integral Nonlinearity	$5\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}, V_{\text{REF}} = 5\text{V}, V_{\text{IN(CM)}} = 2.5\text{V}$ (Note 6)	●		2	10	ppm of V_{REF}
	$2.7\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}, V_{\text{REF}} = 2.5\text{V}, V_{\text{IN(CM)}} = 1.2\text{V}$ (Note 6)	●		1		ppm of V_{REF}
Offset Error	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Note 14)	●		0.2	2	mV
Offset Error Drift	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$			100		nV/ $^\circ\text{C}$
Positive Full-Scale Error	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{IN}^+ = 0.75V_{\text{REF}}, \text{IN}^- = 0.25V_{\text{REF}}$	●			25	ppm of V_{REF}
Positive Full-Scale Error Drift	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{IN}^+ = 0.75V_{\text{REF}}, \text{IN}^- = 0.25V_{\text{REF}}$			0.1		ppm of $V_{\text{REF}}/^\circ\text{C}$
Negative Full-Scale Error	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{IN}^+ = 0.25V_{\text{REF}}, \text{IN}^- = 0.75V_{\text{REF}}$	●			25	ppm of V_{REF}
Negative Full-Scale Error Drift	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{IN}^+ = 0.25V_{\text{REF}}, \text{IN}^- = 0.75V_{\text{REF}}$			0.1		ppm of $V_{\text{REF}}/^\circ\text{C}$
Output Noise	$5\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}, V_{\text{REF}} = 5\text{V}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$			0.85		μVRMS

コンバータの特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Input Common Mode Rejection DC	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Note 5)	●	140			dB
Input Common Mode Rejection 50Hz $\pm 2\%$	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Note 5)	●	140			dB
Input Common Mode Rejection 60Hz $\pm 2\%$	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Note 5)	●	140			dB
Input Normal Mode Rejection 50Hz $\pm 2\%$	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Notes 5, 7)	●	110	120		dB
Input Normal Mode Rejection 60Hz $\pm 2\%$	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Notes 5, 8)	●	110	120		dB
Input Normal Mode Rejection 50Hz/60Hz $\pm 2\%$	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Notes 5, 9)	●	87			dB
Reference Common Mode Rejection DC	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Note 5)	●	120	140		dB
Power Supply Rejection DC	$V_{\text{REF}} = 2.5\text{V}, \text{IN}^+ = \text{IN}^- = \text{GND}$			120		dB
Power Supply Rejection, 50Hz $\pm 2\%$	$V_{\text{REF}} = 2.5\text{V}, \text{IN}^+ = \text{IN}^- = \text{GND}$ (Notes 7, 9)			120		dB
Power Supply Rejection, 60Hz $\pm 2\%$	$V_{\text{REF}} = 2.5\text{V}, \text{IN}^+ = \text{IN}^- = \text{GND}$ (Notes 8, 9)			120		dB

アナログ入力とリファレンス

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
IN ⁺	Absolute/Common Mode IN ⁺ Voltage (IN ⁺ Corresponds to the Selected Positive Input Channel)			GND – 0.3V		V _{CC} + 0.3V	V
IN [–]	Absolute/Common Mode IN [–] Voltage (IN [–] Corresponds to the Selected Negative Input Channel)			GND – 0.3V		V _{CC} + 0.3V	V
V _{IN}	Input Differential Voltage Range (IN ⁺ – IN [–])		●	–FS		+FS	V
FS	Full Scale of the Differential Input (IN ⁺ – IN [–])		●	0.5V _{REF}			V
LSB	Least Significant Bit of the Output Code		●	FS/2 ²⁴			
REF ⁺	Absolute/Common Mode REF ⁺ Voltage		●	0.1		V _{CC}	V
REF [–]	Absolute/Common Mode REF [–] Voltage		●	GND		REF ⁺ – 0.1V	V
V _{REF}	Reference Voltage Range (REF ⁺ – REF [–])		●	0.1		V _{CC}	V
CS(IN ⁺)	IN ⁺ Sampling Capacitance				11		pF
CS(IN [–])	IN [–] Sampling Capacitance				11		pF
CS(V _{REF})	V _{REF} Sampling Capacitance				11		pF
I _{DC_LEAK(IN⁺)}	IN ⁺ DC Leakage Current	Sleep Mode, IN ⁺ = GND	●	–10	1	10	nA
I _{DC_LEAK(IN[–])}	IN [–] DC Leakage Current	Sleep Mode, IN [–] = GND	●	–10	1	10	nA
I _{DC_LEAK(REF⁺)}	REF ⁺ DC Leakage Current	Sleep Mode, REF ⁺ = V _{CC}	●	–100	1	100	nA
I _{DC_LEAK(REF[–])}	REF [–] DC Leakage Current	Sleep Mode, REF [–] = GND	●	–100	1	100	nA
t _{OPEN}	MUX Break-Before-Make				50		ns
QIRR	MUX Off Isolation	V _{IN} = 2V _{P-P} DC to 1.8MHz			120		dB

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V _{IH}	High Level Input Voltage (\overline{CS} , f ₀ , SDI)	2.7V ≤ V _{CC} ≤ 5.5V (Note 18)	●	V _{CC} – 0.5			V
V _{IL}	Low Level Input Voltage (\overline{CS} , f ₀ , SDI)	2.7V ≤ V _{CC} ≤ 5.5V	●			0.5	V
V _{IH}	High Level Input Voltage (SCK)	2.7V ≤ V _{CC} ≤ 5.5V (Notes 10, 15)	●	V _{CC} – 0.5			V
V _{IL}	Low Level Input Voltage (SCK)	2.7V ≤ V _{CC} ≤ 5.5V (Notes 10, 15)	●			0.5	V
I _{IN}	Digital Input Current (\overline{CS} , f ₀ , SDI)	0V ≤ V _{IN} ≤ V _{CC}	●	–10		10	μA
I _{IN}	Digital Input Current (SCK)	0V ≤ V _{IN} ≤ V _{CC} (Notes 10, 15)	●	–10		10	μA
C _{IN}	Digital Input Capacitance (\overline{CS} , f ₀ , SDI)			10			pF
C _{IN}	Digital Input Capacitance (SCK)	(Notes 10, 15)		10			pF
V _{OH}	High Level Output Voltage (SDO)	I _O = –800μA	●	V _{CC} – 0.5			V
V _{OL}	Low Level Output Voltage (SDO)	I _O = 1.6mA	●			0.4	V
V _{OH}	High Level Output Voltage (SCK)	I _O = –800μA (Notes 10, 17)	●	V _{CC} – 0.5			V
V _{OL}	Low Level Output Voltage (SCK)	I _O = 1.6mA (Notes 10, 17)	●			0.4	V
I _{OZ}	Hi-Z Output Leakage (SDO)		●	–10		10	μA

電源要件

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V _{CC}	Supply Voltage		●	2.7		5.5	V
I _{CC}	Supply Current	Conversion Current (Note 12)	●		160	275	μA
		Temperature Measurement (Note 12)	●		200	300	μA
		Sleep Mode (Note 12)	●		1	2	μA

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
f _{EOSC}	External Oscillator Frequency Range	(Note 16)	●	10		4000	kHz
t _{HEO}	External Oscillator High Period		●	0.125		100	μs
t _{LEO}	External Oscillator Low Period		●	0.125		100	μs
t _{CONV_1}	Conversion Time for 1x Speed Mode	50Hz Mode 60Hz Mode Simultaneous 50/60Hz Mode External Oscillator	● ● ●	157.2 131 144.1	160.3 133.6 146.9 41036/f _{EOSC} (in kHz)	163.5 136.3 149.9	ms ms ms ms
t _{CONV_2}	Conversion Time for 2x Speed Mode	50Hz Mode 60Hz Mode Simultaneous 50/60Hz Mode External Oscillator	● ● ●	78.7 65.6 72.2	80.3 66.9 73.6 20556/f _{EOSC} (in kHz)	81.9 68.2 75.1	ms ms ms ms
f _{ISCK}	Internal SCK Frequency	Internal Oscillator (Notes 10, 17) External Oscillator (Notes 10, 11, 15)			38.4 f _{EOSC} /8		kHz kHz
D _{ISCK}	Internal SCK Duty Cycle	(Notes 10, 17)	●	45		55	%
f _{ESCK}	External SCK Frequency Range	(Notes 10, 11, 15)	●			4000	kHz
t _{LESCK}	External SCK Low Period	(Notes 10, 11, 15)	●	125			ns
t _{HESCK}	External SCK High Period	(Notes 10, 11, 15)	●	125			ns
t _{DOUT_ISCK}	Internal SCK 32-Bit Data Output Time	Internal Oscillator (Notes 10, 17) External Oscillator (Notes 10, 11, 15)	●	0.81	0.83 256/f _{EOSC} (in kHz)	0.85	ms ms
t _{DOUT_ESCK}	External SCK 32-Bit Data Output Time	(Notes 10, 11, 15)			32/f _{ESCK} (in kHz)		ms
t ₁	$\overline{\text{CS}}\downarrow$ to SDO Low		●	0		200	ns
t ₂	$\overline{\text{CS}}\uparrow$ to SDO Hi-Z		●	0		200	ns
t ₃	$\overline{\text{CS}}\downarrow$ to SCK \downarrow	Internal SCK Mode	●	0		200	ns
t ₄	$\overline{\text{CS}}\downarrow$ to SCK \uparrow	External SCK Mode	●	50			ns
t _{KQMAX}	SCK \downarrow to SDO Valid		●			200	ns
t _{KQMIN}	SDO Hold After SCK \downarrow	(Note 5)	●	15			ns
t ₅	SCK Set Up Before $\overline{\text{CS}}\downarrow$		●	50			ns
t ₇	SDI Set Up Before SCK \uparrow	(Note 5)	●	100			ns
t ₈	SDI Hold After SCK \uparrow	(Note 5)	●	100			ns

Note 1: 絶対最大定格に記載された値を越すストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての電圧値はGNDを基準にしている。

Note 3: 注記がない限り:

$$V_{\text{CC}} = 2.7\text{V} \sim 5.5\text{V}$$

$$V_{\text{REFCM}} = V_{\text{REF}}/2, F_{\text{S}} = 0.5V_{\text{REF}}$$

$$V_{\text{IN}} = \text{IN}^+ - \text{IN}^-, V_{\text{IN(CM)}} = (\text{IN}^+ + \text{IN}^-)/2。$$

ここで、 IN^+ と IN^- は選択された入力チャネルである。

Note 4: 注記がない限り、内部変換クロックまたは $f_{\text{EOSC}} = 307.2\text{kHz}$ の外部変換クロック・ソースを使う。

Note 5: 設計によって保証されているが、テストされない。

Note 6: 積分非直線性は、実際の伝達曲線のエンドポイントを通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: 50Hzモード (内部発振器) または $f_{\text{EOSC}} = 256\text{kHz} \pm 2\%$ (外部発振器)

Note 8: 60Hzモード (内部発振器) または $f_{\text{EOSC}} = 307.2\text{kHz} \pm 2\%$ (外部発振器)

Note 9: 同時50Hz/60Hzモード (内部発振器) または $f_{\text{EOSC}} = 280\text{kHz} \pm 2\%$ (外部発振器)

Note 10: SCKは外部SCKモードまたは内部SCKモードで構成設定することができる。外部SCKモードでは、SCKピンはデジタル入力として使われ、ドライビング・クロックは f_{ESCK} である。内部SCKモードでは、SCKピンはデジタル出力として使われ、データ出力時の出力クロック信号は f_{ISCK} である。

Note 11: 外部発振器は f_0 ピンに接続される。外部発振器の周波数 (f_{EOSC}) はkHzで表されている。

Note 12: コンバータは内部発振器を使用する。

Note 13: 出力ノイズには内部較正動作によって生じる分が含まれる。

Note 14: 設計およびテストの相関により保証されている。

Note 15: コンバータは外部SCKモードで動作しているので、SCKピンはデジタル入力として使用されている。データの出力時にSCKをドライブするクロック信号の周波数は f_{ESCK} であり、Hzで表されている。

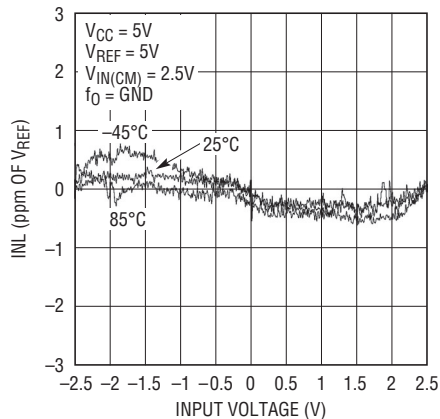
Note 16: 性能とデータ・レートのグラフについては、「アプリケーション情報」のセクションを参照。

Note 17: コンバータは内部SCKモードで動作しているので、SCKピンはデジタル出力として使用されている。

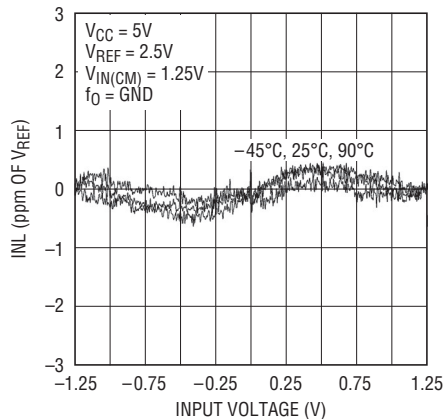
Note 18: $V_{\text{CC}} < 3\text{V}$ の場合、 f_0 ピンの V_{IH} は2.5V。

標準的性能特性

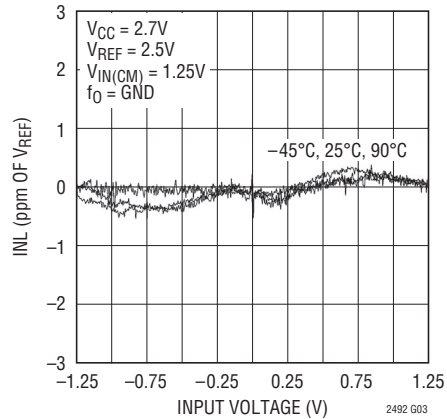
積分非直線性
($V_{CC} = 5V$, $V_{REF} = 5V$)



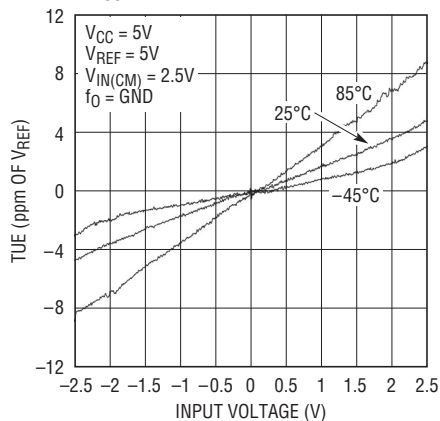
積分非直線性
($V_{CC} = 5V$, $V_{REF} = 2.5V$)



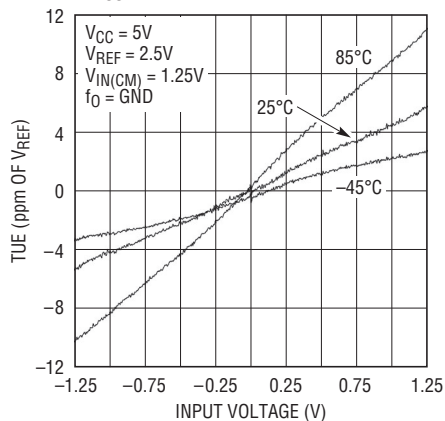
積分非直線性
($V_{CC} = 2.7V$, $V_{REF} = 2.5V$)



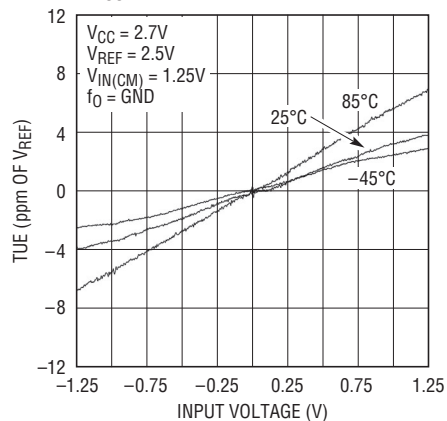
全未調整誤差
($V_{CC} = 5V$, $V_{REF} = 5V$)



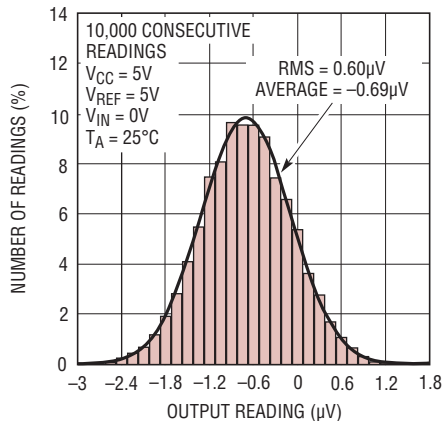
全未調整誤差
($V_{CC} = 5V$, $V_{REF} = 2.5V$)



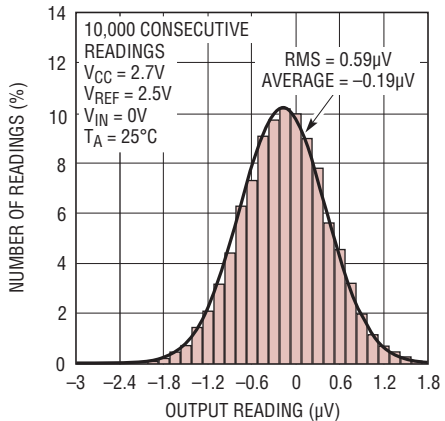
全未調整誤差
($V_{CC} = 2.7V$, $V_{REF} = 2.5V$)



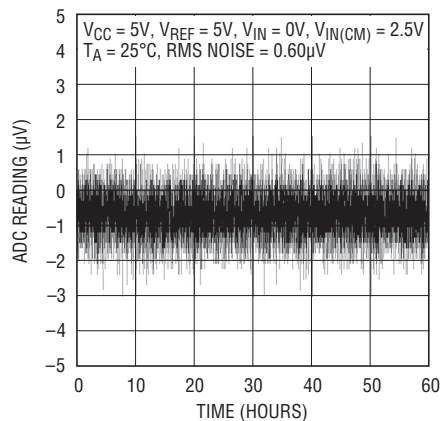
ノイズのヒストグラム (6.8sps)



ノイズのヒストグラム (7.5sps)

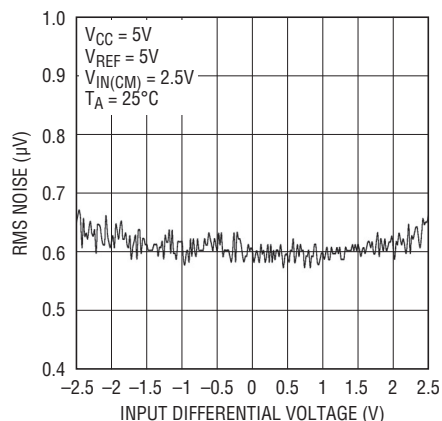
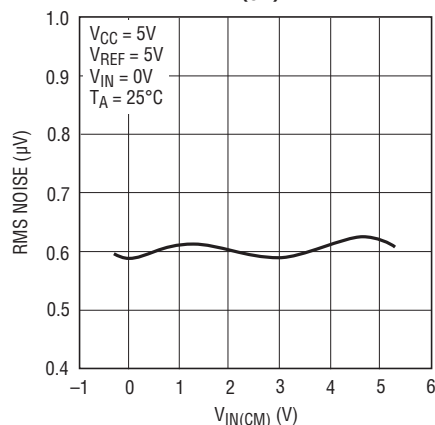
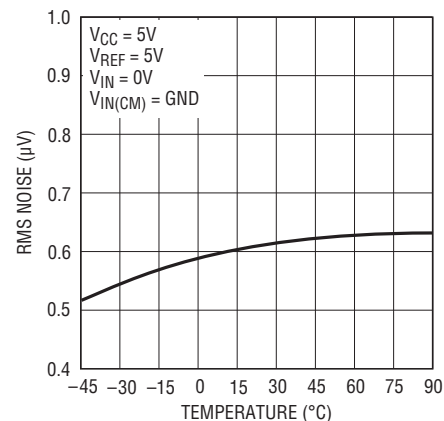
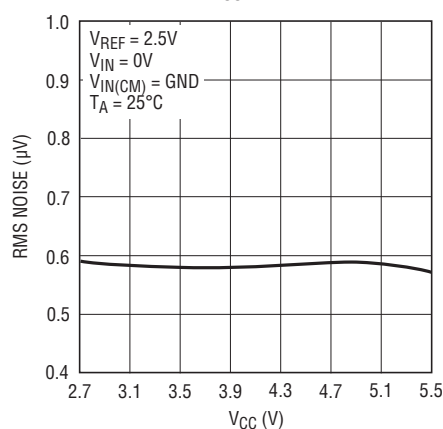
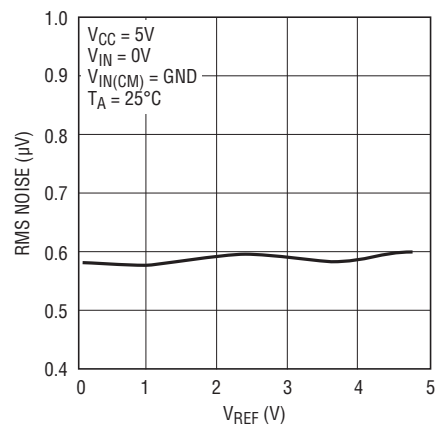
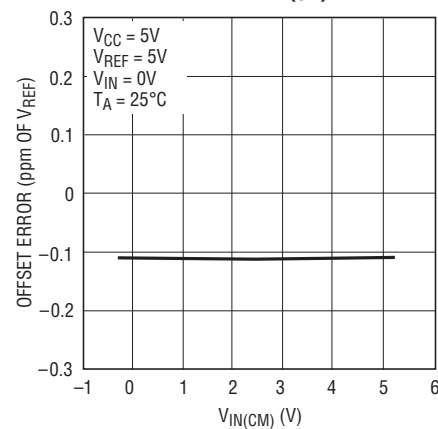


ADCの長時間表示

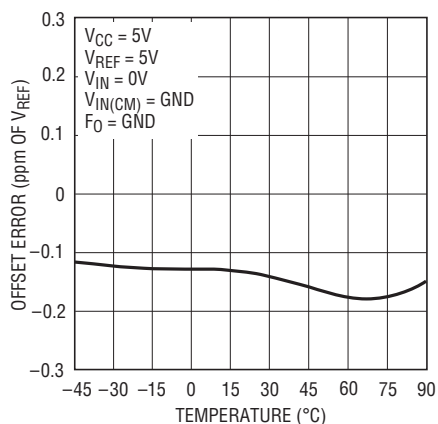
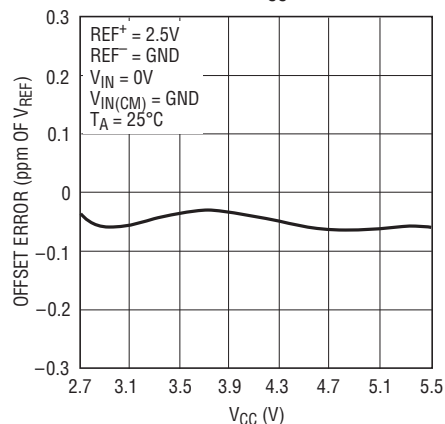
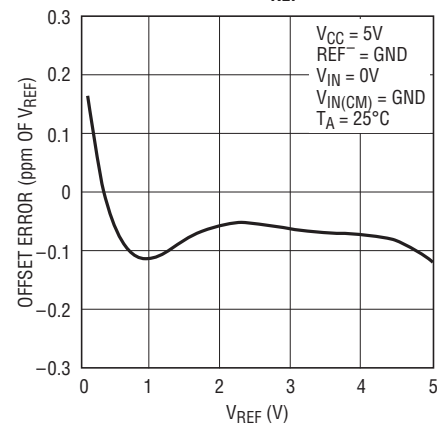


標準的性能特性

RMSノイズと入力差動電圧

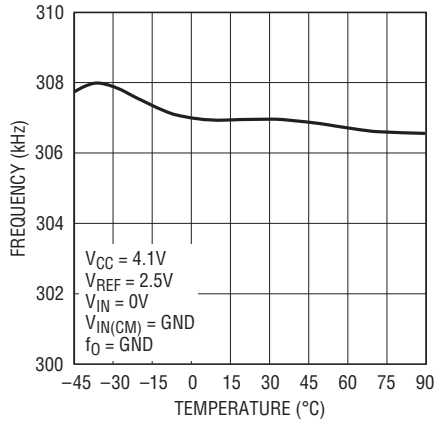
RMSノイズと $V_{IN(CM)}$ RMSノイズと温度(T_A)RMSノイズと V_{CC} RMSノイズと V_{REF} オフセット誤差と $V_{IN(CM)}$ 

オフセット誤差と温度

オフセット誤差と V_{CC} オフセット誤差と V_{REF} 

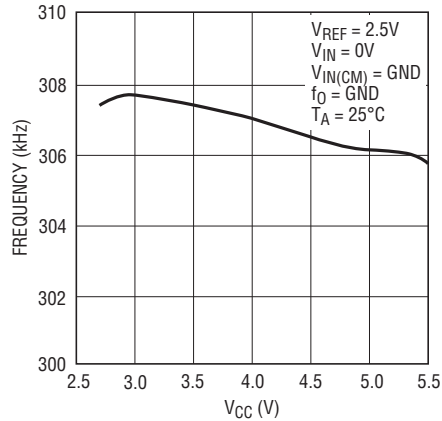
標準的性能特性

内蔵発振器の周波数と温度



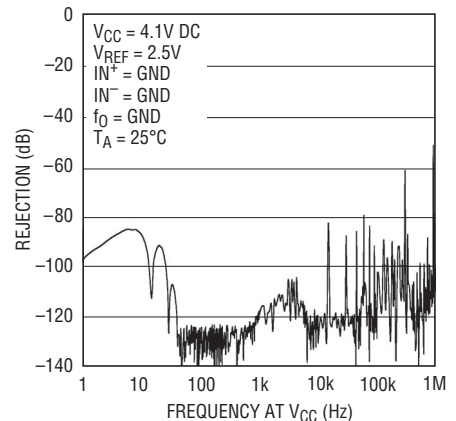
2492 G19

内蔵発振器の周波数と V_{CC}



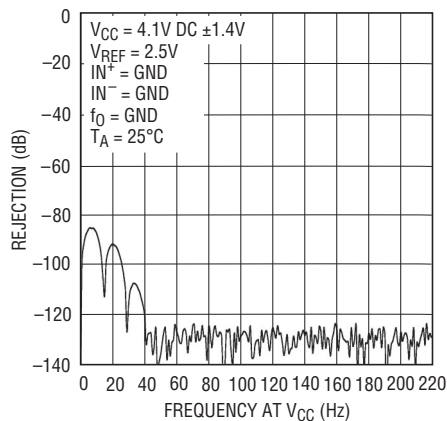
2492 G20

PSRRと V_{CC} での周波数



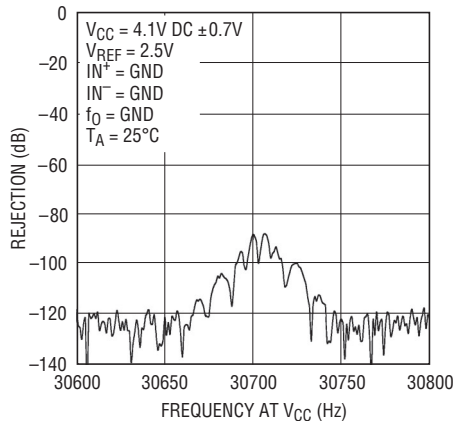
2492 G21

PSRRと V_{CC} での周波数



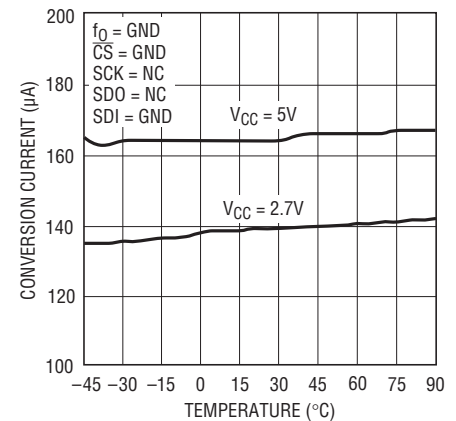
2492 G22

PSRRと V_{CC} での周波数



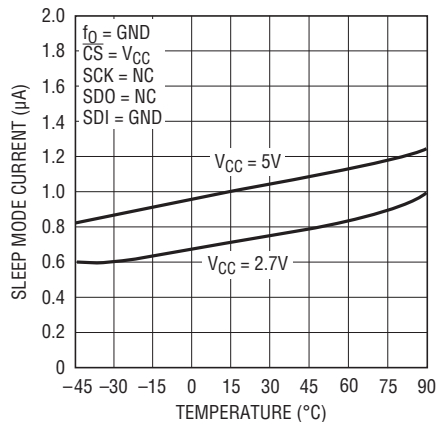
2492 G23

変換電流と温度



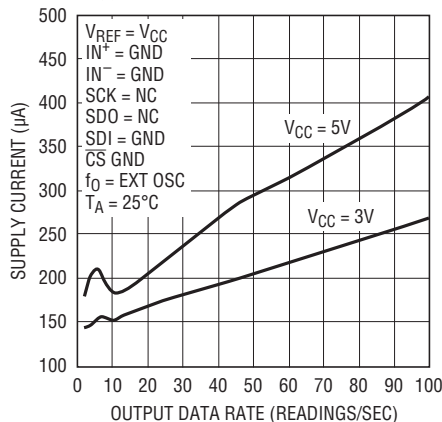
2492 G24

スリープ・モード電流と温度



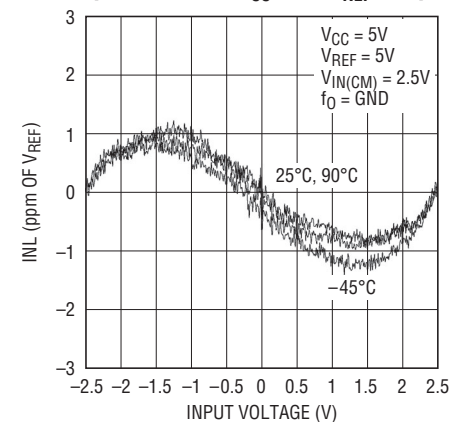
2492 G25

変換電流と出力データ・レート



2492 G26

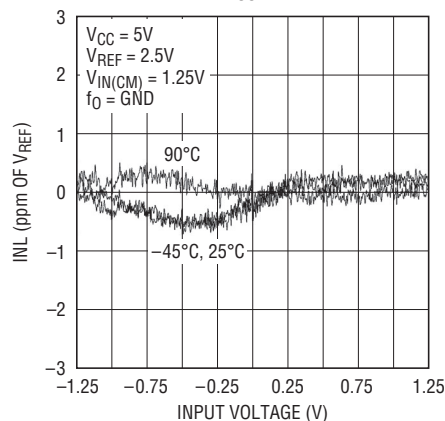
積分非直線性
(2倍速モード; $V_{CC} = 5V$, $V_{REF} = 5V$)



2492 G27

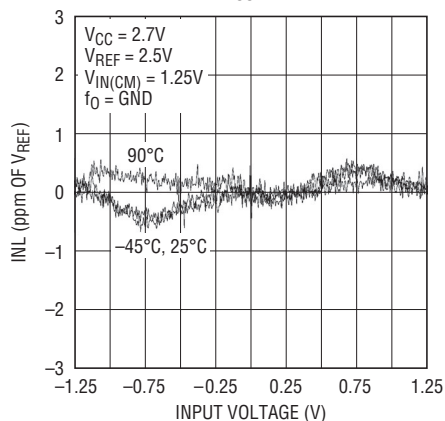
標準的性能特性

積分非直線性
(2倍速モード; $V_{CC} = 5V$, $V_{REF} = 2.5V$)



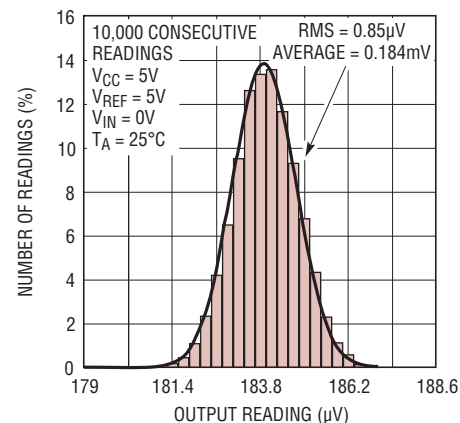
2492 G28

積分非直線性
(2倍速モード; $V_{CC} = 2.7V$, $V_{REF} = 2.5V$)



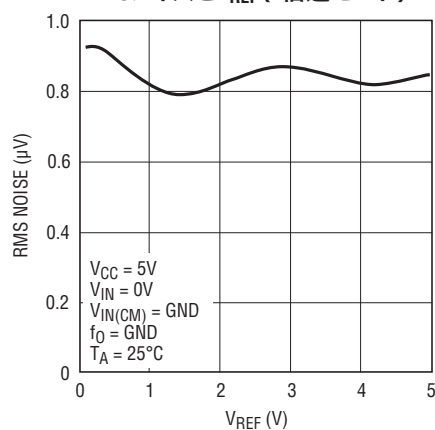
2492 G29

ノイズのヒストグラム
(2倍速モード)



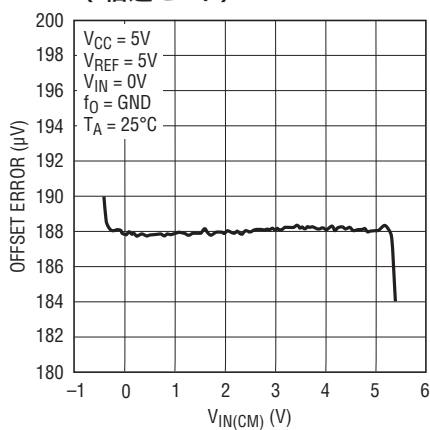
2492 G30

RMSノイズと V_{REF} (2倍速モード)



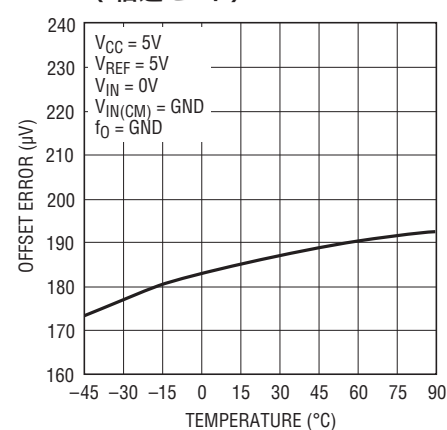
2492 G31

オフセット誤差と $V_{IN(CM)}$
(2倍速モード)



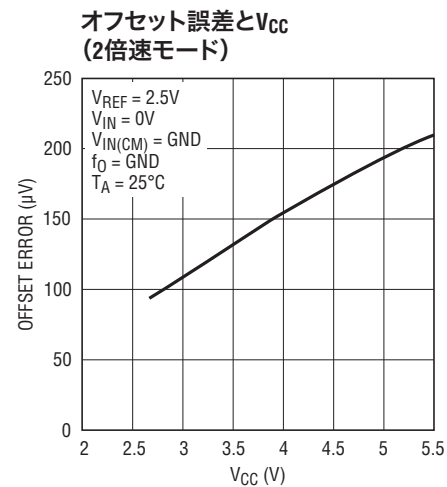
2492 G32

オフセット誤差と温度
(2倍速モード)

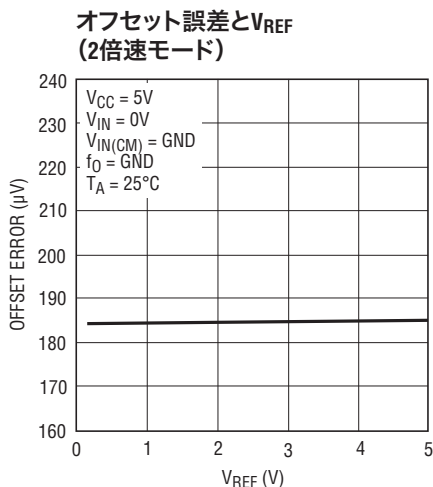


2492 G33

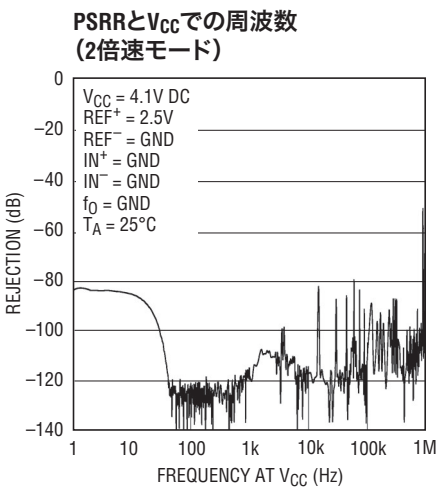
標準的性能特性



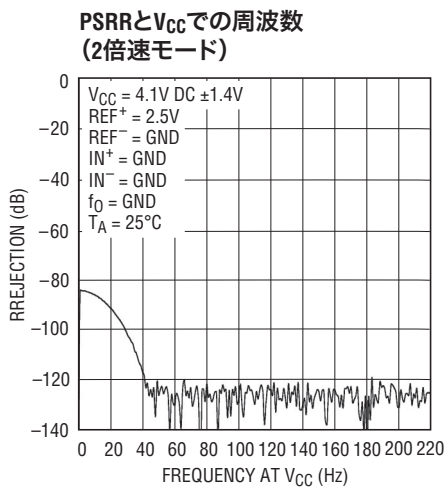
2492 G34



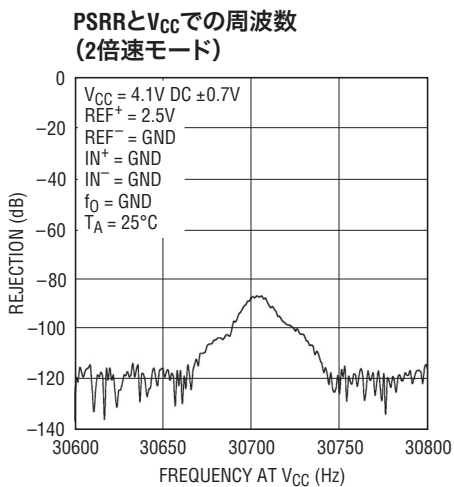
2492 G35



2492 G36



2492 G37



2492 G38

ピン機能

f₀ (ピン1) : 周波数制御ピン。内部変換クロック・レート制御するデジタル入力。f₀がGNDに接続されていると、コンバータは307.2kHzで動作している内部発振器を使います。出力レートとデジタル・フィルタの除去ヌルを変更するため、f₀ピンを外部クロックでドライブして変換クロックを無効にすることもできます。

SDI (ピン2) : シリアル・データ入力。このピンは、ライン周波数除去モード、1倍速または2倍速モード、温度センサおよび入力チャネルを選択するのに使います。シリアル・データ入力は、データの入出力動作の間にシリアル・クロック(SCK)で制御されてデバイスに与えられます。新しい入力後またはモード変更後の最初の変換は有効です。

SCK (ピン3) : 双方向、デジタルI/O、クロック・ピン。内部シリアル・クロック動作モードでは、SCKは内部で発生し、SCKピンの出力として現れます。外部シリアル・クロック動作モードでは、デジタルI/Oクロックが外部からSCKピンに与えられます。シリアル・クロック動作モードは、電源立ち上げ時および $\overline{\text{CS}}$ の最新の立下りエッジの間にSCKピンに与えられるロジック・レベルによって決まります。

$\overline{\text{CS}}$ (ピン4) : アクティブ“L”のチップ・セレクト。このピンを“L”にすると、デジタル入力/出力がインペーブルされ、ADCが覚醒します。各変換の後、ADCは自動的にスリープ・モードに入り、 $\overline{\text{CS}}$ が“H”に留まる限りこの省電力状態に保たれます。データ出力中に $\overline{\text{CS}}$ が“L”から“H”に遷移すると、データ転送が中止され、新しい変換が開始されます。

SDO (ピン5) : スリーステートのデジタル出力。データ出力の期間中、このピンはシリアル・データの出力として使われます。チップ・セレクト・ピンが“H”のとき、SDOピンはハイ・インピーダンス状態になります。変換中およびスリープ中、このピンは変換状態の出力として使われます。変換の進行中このピンは“H”になり、変換が完了すると“L”になります。変換状態は $\overline{\text{CS}}$ を“L”に引き下げてモニタします。

GND (ピン6) : グランド。このピンを1つの共通グランド・プレーンに低インピーダンスで接続します。

COM (ピン7) : すべてのシングルエンド・マルチプレクサ構成の共通負入力 (IN⁻)。CH0～CH3およびCOMの各ピンの電圧は(GND-0.3V)～(V_{CC}+0.3V)の任意の値にすることができます。これらのリミット内では、2つの選択された入力 (IN⁺とIN⁻)により、 $-0.5 \cdot V_{\text{REF}} \sim 0.5 \cdot V_{\text{REF}}$ のバイポーラの入力範囲 (V_{IN} = IN⁺ - IN⁻) が与えられます。この入力範囲の外側では、コンバータは固有のオーバーレンジとアンダーレンジの出力コードを発生します。

CH0～CH3 (ピン8～11) : アナログ入力。シングルエンド・モードまたは差動モードにプログラムすることができます。

V_{CC} (ピン12) : 正電源電圧。10μFのタンタル・コンデンサと0.1μFのセラミック・コンデンサを並列に使って、デバイスのできるだけ近くでGNDにバイパスします。

REF⁺ (ピン13)、REF⁻ (ピン14) : 差動リファレンス入力。これらのピンの電圧は、リファレンスの正入力 (REF⁺) がリファレンスの負入力 (REF⁻) より少なくとも0.1Vだけ高く保たれる限り、GND～V_{CC}の任意の電圧にすることができます。差動電圧 (V_{REF} = REF⁺ - REF⁻) により、すべての入力チャネルのフルスケール・レンジが設定されます。内部温度測定を行う場合、REFの最小値は2Vです。

露出パッド (ピン15) : グランド。このピンはグランドで、PCBのグランド・プレーンに半田付けする必要があります。プロトタイプ作成では、このピンをフロートさせたままでもかまいません。

機能ブロック図

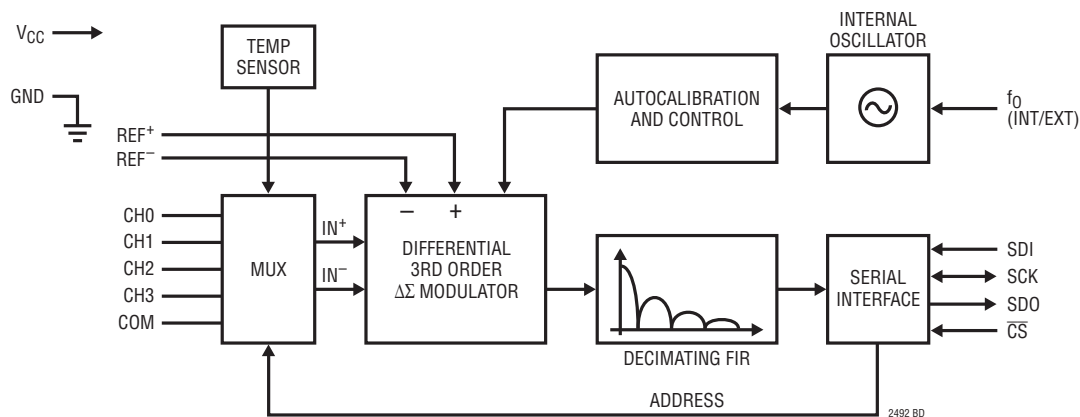
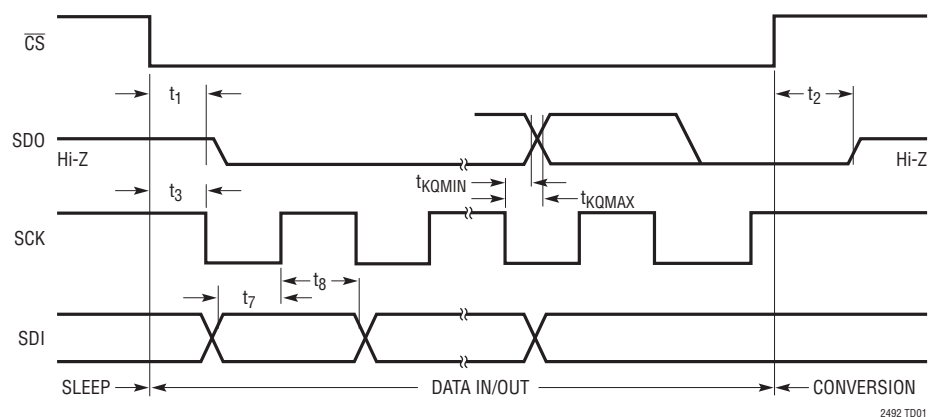
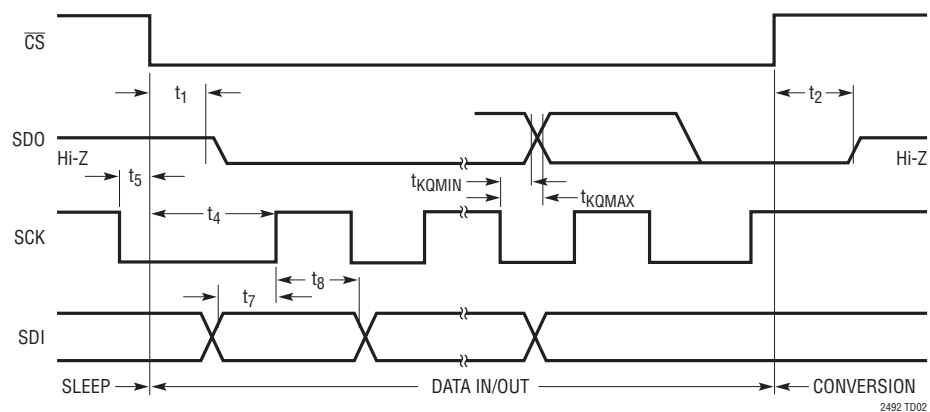


図1. 機能ブロック図

テスト回路



タイミング図

内部SCKを使った場合のタイミング図(SCKは“H”で \overline{CS} ↓)外部SCKを使った場合のタイミング図(SCKは“L”で \overline{CS} ↓)

アプリケーション情報

コンバータの動作

コンバータの動作サイクル

LTC2492はマルチチャネルの低電力デルタシグマADコンバータで、使いやすい4線式インタフェースと自動差動入力電流キャンセル機能を備えています。その動作は4つの状態で構成されています(図2を参照)。コンバータの動作サイクルは変換から始まり、スリープ・ステートがそれに続き、データの入力/出力サイクルで終了します。4線式のインタフェースはシリアル・データ出力(SDO)、シリアル・クロック(SCK)、チップ・セレクト(\overline{CS})およびシリアル・データ入力(SDI)で構成されています。インタフェース、タイミング、動作サイクル、およびデータの出力フォーマットはリニアテクノロジー社のすべての $\Delta\Sigma$ コンバータと互換性があります。

LTC2492は最初に(起動時に)変換を行います。変換が完了すると、デバイスはスリープ・ステートに入ります。このスリープ・ステートの間、 \overline{CS} が“H”であれば、電力消費が2桁減少します。 \overline{CS} が“H”に保たれている限り、デバイスはスリープ・ステートに留まります。デバイスがスリープ・ステートの間、変換結果は無期限にスタチック・シフトレジスタ内に保存されます。

\overline{CS} が“L”に引き下げられると、デバイスはパワーアップし、スリープ・ステートから出て、データ入力/出力ステートに入ります。SCKの最初の立上りエッジより前に \overline{CS} が“H”になると、デバイスはスリープ・ステートに戻り、電力が低下します。SCK

の最初の立上りエッジより後に \overline{CS} が“H”になると、データ出力サイクルが中止され、新しい変換サイクルが開始されます。データの出力は直前に完了した変換に対応しています。この結果はシリアル・クロック・ピン(SCK)によって制御されて、シリアル・データ出力ピン(SDO)からシフトされて出力されます。データはSCKの立下りエッジによって更新されるので、ユーザーはSCKの立上りエッジを使って確実にデータをラッチすることができます(図3を参照)。次の変換の構成データもこの時点でデバイスにロードされます。データはSCKの各立上りエッジでシリアル・データ入力ピン(SDI)からロードされます。データ入力/出力サイクルは32ビットがADCから読み出されるか、または \overline{CS} が“H”に引き上げられると終了します。デバイスは自動的に新しい変換を開始し、このサイクルが繰り返されます。

\overline{CS} ピンとSCKピンのタイミング制御によって、LTC2492はいくつかの動作モード(内部または外部のSCKと自走変換の各モード)を柔軟に提供します。これらの多様なモードはプログラミングを必要とせず、上述の周期動作を乱すことはありません。これらの動作モードについては「シリアル・インタフェースのタイミング・モード」のセクションで詳しく説明します。

使いやすさ

LTC2492のデータ出力には、待ち時間、フィルタのセトリグ遅延、または変換サイクルに関連した冗長データがありません。変換と出力データの間には1対1対応の関係があります。したがって、複数のアナログ入力の多重化は簡単です。新しく入力またはモードが選択された直後に続く各変換は有効であり、精度はデバイスの仕様を完全に満たします。

LTC2492は、選択されたチャンネルには無関係に、変換サイクル毎にオフセットとフルスケールの較正を自動的におこないます。この較正はユーザーからは見え、上述の動作サイクルには影響を与えません。連続較正の利点は、時間経過、電源電圧の変動、入力チャンネル、および温度ドリフトに対してオフセットとフルスケールの測定値がきわめて安定していることです。

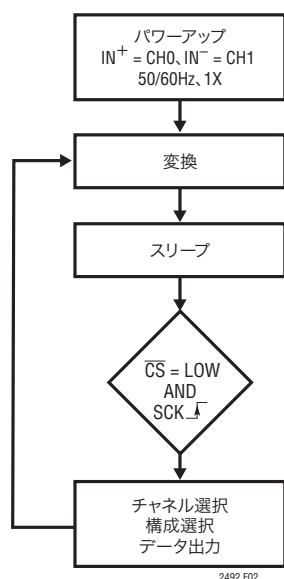


図2. LTC2492の状態遷移図

アプリケーション情報

Easy Drive入力電流キャンセル

LTC2492は高精度デルタシグマADCを自動差動入力電流キャンセル・フロントエンドと組み合わせています。独自のフロントエンド受動サンプリング・ネットワークが透過的に差動入力電流を除去します。これにより、外部RCネットワークと高インピーダンス・センサを、外部アンプなしに、直接LTC2492にインタフェースさせることができます。残りの同相入力電流は、差動入力インピーダンスをバランスさせるか、または同相入力を同相リファレンスに等しく設定して除去します（「自動差動入力電流キャンセル」のセクションを参照）。このユニークなアーキテクチャには内蔵バッファが不要なので、信号はグランドおよび V_{CC} を超えて振幅することができます。さらに、このキャンセル機能はオフセットとフルスケールの透過的な自動校正と干渉することがないので、外部RCネットワークが付加されても、絶対精度（フルスケール+オフセット+直線性+ドリフト）が維持されます。

パワーアップ・シーケンス

LTC2492は電源電圧 V_{CC} が約2Vより下に下がると自動的に内部リセット状態になります。この機能により、変換結果、入力チャネルの選択、およびシリアル・クロック・モードの一貫性が保証されます。

V_{CC} がこのスレッシュホールドを超えると、コンバータは約4msの内部パワーオン・リセット（POR）信号を発生します。このPOR信号により、すべての内部レジスタがクリアされます。PORサイクル直後の変換は、入力チャネル $IN^+ = CH0$ および $IN^- = CH1$ に対し、同時50Hz/60Hz除去および1倍速出力レートで実行されます。PORサイクルに続く最初の変換の精度は、PORのインターバルが経過する前に電源電圧が2.7V～5.5Vの範囲に回復していれば、デバイスの仕様を満たします。この最初のデータ入力/出力サイクルの間に、新しい入力チャネル、除去モード、速度モード、または温度選択をデバイスにプログラムすることができます。

リファレンス電圧範囲

このコンバータは真に差動の外部リファレンス電圧を受け取ります。 REF^+ ピンと REF^- ピンの絶対/同相電圧範囲はデバイスの全動作範囲（GND～ V_{CC} ）を含みます。コンバータを正しく動作させるには、 V_{REF} は正でなければなりません（ $REF^+ > REF^-$ ）。

LTC2492の差動リファレンスの入力範囲は0.1V～ V_{CC} です。最も簡単に動作させるには、 REF^+ を V_{CC} に短絡し、 REF^- をGNDに短絡することができます。コンバータの出力ノイズはフロントエンド回路の熱ノイズによって決まるので、ナノボルトで表したその値はリファレンス電圧に対してほぼ一定です。リファレンス電圧を下げて、コンバータの実効分解能は大きくは改善されません。他方、リファレンスを下げると、コンバータの全体のINL性能が改善されます。

入力電圧範囲

アナログ入力は真に差動で、CH0～CH3およびCOMの各入力ピンの絶対/同相範囲はGND-0.3Vから $V_{CC}+0.3V$ までです。これらのリミットの外側では、ESD保護用デバイスがオンし始め、入力のリーク電流による誤差が急速に増加します。これらのリミット内では、LTC2492はバイポーラ差動入力信号 $V_{IN} = IN^+ - IN^-$ （ここで、 IN^+ と IN^- は選択された入力チャネル）を $-FS = -0.5 \cdot V_{REF}$ から $+FS = 0.5 \cdot V_{REF}$ に変換します。ここで、 $V_{REF} = REF^+ - REF^-$ です。この範囲の外側では、コンバータは固有の出力コードを使ってオーバーレンジまたはアンダーレンジの状態を表示します（表1を参照）。

入力（CH0～CH3、COM）に与えられる信号は、グランドより300mV下および V_{CC} より300mV上まで達することができます。フォールト電流をすべて制限するため、最大5kの抵抗を入力に直列に追加することができます。コンバータの精度に対する直列抵抗の影響は、「入力電流/リファレンス電流」のセクションに示されている曲線から評価することができます。さらに、直列抵抗は入力のリーク電流により、温度に依存した誤差を生じます。 $V_{REF} = 5V$ のとき、1nAの入力リーク電流により、5kの抵抗には1ppmのオフセット誤差が生じます。この誤差は非常に大きく温度に依存します。

アプリケーション情報

シリアル・インタフェース・ピン

LTC2492は、3線または4線の同期式インタフェースを介して、変換結果を伝送し、入力構成を読み込み、変換開始コマンドを受け取ります。変換中およびスリープ・ステートの間、このインタフェースを使ってコンバータの状態にアクセスすることができます。データ出力ステートの間は、このインタフェースは変換結果を読み出し、入力チャネル、除去周波数、速度乗数、および温度センサの選択をプログラムするのに使われます。

シリアル・クロックの入力/出力(SCK)

シリアル・クロック・ピン(SCK)は入力/出力のデータ転送の同期に使われます。各ビットはSCKの立下りエッジでシフトされてSDOピンから出力され、データはSCKの立上りエッジでシフトされてSDIピンに入力されます。

シリアル・クロック・ピン(SCK)は、マスタ(SCKは内部で発生させた出力)またはスレーブ(SCKは外部から与えられる入力)のどちらかに設定することができます。マスタ・モード(内部SCK)は単にSCKピンをフロートさせて選択します。スレーブ・モード(外部SCK)は、パワーアップ時および \overline{CS} の各立下りエッジの間にSCKを“L”にドライブして選択します。SCKモードの詳細は「シリアル・インタフェースのタイミング・モード」のセクションで説明されています。

シリアル・データ出力(SDO)

シリアル・データ出力ピン(SDO)は、データ出力ステートの間に最後の変換の結果をシリアル・ビット・ストリームとして(MSBを最初に)出力します。さらに、SDOピンは変換ステートおよびスリープ・ステートの間、変換終了インジケータとして使われます。

\overline{CS} が“H”のとき、他のデバイスとデータ出力ラインを共有するため、SDOドライバはハイ・インピーダンス状態に切り替わります。変換フェーズの間に \overline{CS} を“L”にすると、 \overline{EOC} ビット(SDOピン)が“H”にドライブされます。変換が完了後、 \overline{CS} が“L”になると、 \overline{EOC} が“L”にドライブされ、変換が完了してその結果をデバイスからシフトして出力する用意ができています。

チップ・セレクト(\overline{CS})

アクティブ“L”の \overline{CS} ピンは、変換状態をテストし、I/Oデータ転送をイネーブルし、新しい変換を開始し、スリープ・ステートの時間を制御し、さらにSCKモードを設定するのに使われます。

変換サイクルが終了すると、 \overline{CS} が“H”の間、デバイスは低電力スリープ・ステートに留まり、電源電流は数桁減少します。スリープ・ステートから抜け出してデータ出力ステートに入るには、 \overline{CS} を“L”に引き下げる必要があります。前述のように、データはSCKピンによって制御されるSDOピンからシフトされて出力されます。

新しい変換サイクルは、データ出力サイクルが終了すると(すべての32データ・ビットが読み出されると)、またはシリアル・クロック(SCK)の1番目と32番目の立上りエッジの間の任意の時間に \overline{CS} を“H”に引き上げると開始されます。この場合、データの出力は中止され、新しい変換が開始されます。

シリアル・データ入力(SDI)

シリアル・データ入力(SDI)は、入力チャネル、除去周波数および速度乗数の選択、および内蔵温度センサへのアクセスに使います。データは、 \overline{CS} が“L”のとき、データ出力/入力ステートの間にSCKの立上りエッジでシフトされてデバイスに入力されます。

出力データのフォーマット

LTC2492のシリアル出力ストリームは32ビット長です。1番目のビットは変換状態を示し、2番目のビットは常にゼロで、3番目のビットは符号情報を伝えます。次の24ビットは変換結果で、MSBが最初にきます。残りの5ビットは24ビットを超えるサブLSBで、平均に含めるか、または分解能を失うことなしに破棄することができます。

ビット31(最初の出力ビット)は変換終了(\overline{EOC})のインジケータです。このビットは、変換ステートおよびスリープ・ステートの間、 \overline{CS} が“L”のときSDOピンから読み出せます。このビットは変換サイクル中は“H”で、変換が完了すると“L”になり、 \overline{CS} が“H”のときはハイ・インピーダンスになります。

ビット30(2番目の出力ビット)はダミービット(DMY)で、常に“L”です。

ビット29(3番目の出力ビット)は変換結果の符号のインジケータ(SIG)です。選択された入力($V_{IN} = IN^+ - IN^-$)が0Vより上であれば、このビットは“H”になります。 $V_{IN} < 0$ ならば、このビットは“L”になります。

アプリケーション情報

ビット28(4番目の出力ビット)は結果の最上位ビット(MSB)です。このビットはビット29と組み合わせられてアンダーレンジまたはオーバーレンジも表示します。ビット29とビット28が両方とも“H”の場合、差動入力電圧が+FSを超えています。ビット29とビット28が両方とも“L”の場合、差動入力電圧が-FSよりも下に下がっています。これらのビットの機能を表1にまとめてあります。

表1. LTC2492の状態ビット

INPUT RANGE	BIT 31 EOC	BIT 30 DMY	BIT 29 SIG	BIT 28 MSB
$V_{IN} \geq 0.5 \cdot V_{REF}$	0	0	1	1
$0V \leq V_{IN} < 0.5 \cdot V_{REF}$	0	0	1/0	0
$-0.5 \cdot V_{REF} \leq V_{IN} < 0V$	0	0	0	1
$V_{IN} < -0.5 \cdot V_{REF}$	0	0	0	0

ビット28からビット5までは24ビットの変換結果で、MSBが先にきます。

ビット5は最下位ビット(LSB₂₄)です。

ビット4からビット0までは24ビット・レベルより下のサブLSBです。ビット4からビット0までは平均計算に含めるか、または分解能を損なうことなしに破棄することができます。

データはシリアル・クロック(SCK)の制御のもとにSDOピンからシフトされて出力されます(図3を参照)。 \overline{CS} が“H”のときは常にSDOはハイ・インピーダンスになり、SCKは無視されます。

変換結果をデバイスからシフトして出力するには、最初に \overline{CS} を“L”にドライブする必要があります。 \overline{CS} が“L”に引き下げられると、デバイスのSDOピンにEOCが現われます。変換が完了すると、EOCは内部発振器またはf₀ピンに与えられたクロックの

関数としてリアルタイムで“H”から“L”に変化します。この信号は外部のマイクロコントローラへの割り込み信号として使うことができます。ビット31(EOC)はSCKの最初の立上りエッジで捕捉することができます。ビット30はSCKの最初の立下りエッジでシフトされてデバイスから出力されます。最後のデータ・ビット(ビット0)は31番目のSCKの立下りエッジでシフトされて出力され、32番目のSCKパルスの立上りエッジでラッチすることができます。32番目のSCKパルスの立下りエッジでSDOは“H”になり、新しい変換サイクルの開始を示します。このビットは次の変換サイクルのEOC(ビット31)として機能します。出力データのフォーマットが表2にまとめてあります。

IN⁺ピンとIN⁻ピンの電圧が-0.3V~(V_{CC}+0.3V)の絶対最大動作範囲に留まる限り、-FS = -0.5・V_{REF}から+FS = 0.5・V_{REF}までの任意の差動入力電圧V_{IN}に対して変換結果が生成されます。+FSを超える差動入力電圧の場合、変換結果は+FS+1LSBに相当する値にクランプされます。-FSより低い差動入力電圧の場合、変換結果は-FS-1LSBの値にクランプされます。

入力データのフォーマット

LTC2492のシリアル入力ワードは13ビット長で、2組に分かれたデータを含んでいます。最初の組(SGL、ODD、A2、A1、A0)は入力チャネルを選択するのに使われます。2番目のデータの組(IM、FA、FB、SPD)は周波数除去、速度モード(1倍速、2倍速)、および温度測定を選択するのに使われます。

パワーアップ後、デバイスは内部リセット・サイクルを開始し、入力チャネルをCH0とCH1(IN⁺ = CH0、IN⁻ = CH1)に設定し、周波数除去を同時50Hz/60Hzに設定し、1倍速出力レートを選択します(自動校正をイネーブル)。

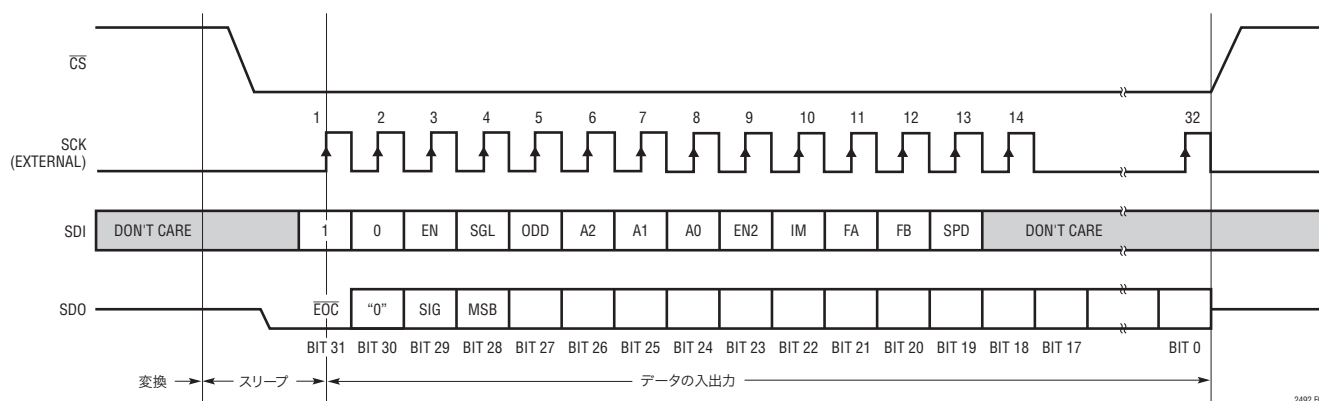


図3. チャネルの選択、構成の選択およびデータ出力のタイミング

アプリケーション情報

表2. 出力データのフォーマット

DIFFERENTIAL INPUT VOLTAGE V_{IN}^*	BIT 31 EOC	BIT 30 DMY	BIT 29 SIG	BIT 28 MSB	BIT 27	BIT 26	BIT 25	...	BIT 5 LSB	BITS 4 to 0 SUB LSBs
$V_{IN}^* \geq 0.5 \cdot V_{REF}^{**}$	0	0	1	1	0	0	0	...	0	00000
$0.5 \cdot V_{REF}^{**} - 1\text{LSB}$	0	0	1	0	1	1	1	...	1	XXXXX
$0.25 \cdot V_{REF}^{**}$	0	0	1	0	1	0	0	...	0	XXXXX
$0.25 \cdot V_{REF}^{**} - 1\text{LSB}$	0	0	1/0†	0	0	1	1	...	1	XXXXX
0	0	0	1	0	0	0	0	...	0	XXXXX
-1LSB	0	0	0	1	1	1	1	...	1	XXXXX
$-0.25 \cdot V_{REF}^{**}$	0	0	0	1	1	0	0	...	0	XXXXX
$-0.25 \cdot V_{REF}^{**} - 1\text{LSB}$	0	0	0	1	0	1	1	...	1	XXXXX
$-0.5 \cdot V_{REF}^{**}$	0	0	0	1	0	0	0	...	0	XXXXX
$V_{IN}^* < -0.5 \cdot V_{REF}^{**}$	0	0	0	0	1	1	1	...	1	11111

*差動入力電圧 $V_{IN} = IN^+ - IN^-$ 。
**差動リファレンス電圧 $V_{REF} = REF^+ - REF^-$ 。サブLSBは24ビット・レベル以下です。それらは平均計算に含めるか、または分解能を損なうことなくしに破棄することができます。
†デバイスが2倍速モードで動作時、出力コード0の間は、符号ビットにより状態が変化する。

最初の変換はパワーアップ時にこのデフォルトの構成を使って自動的に開始されます。変換が完了したら、新しいワードをデバイスに書き込むことができます。

シフトされてデバイスに入力された最初の3ビットは2個のブリアンブル・ビットと1個のイネーブル・ビットで構成されます。これらのビットはデバイスの構成と入力チャンネルの選択をイネーブルするのに使われます。これらの3ビットの有効な設定は000、100および101です。他の組合せは避けます。最初の3ビットが000または100に設定されると、後続のデータは無視され（ドントケア）、前回選択された入力チャンネルと構成が次の変換に対しても依然有効です。

シフトされてデバイスに入力された最初の3ビットが101であれば、それに続く5ビットにより次の変換サイクルの入力チャンネルが選択されます（表3を参照）。

表3. チャンネルの選択

MUX ADDRESS					CHANNEL SELECTION				
SGL	ODD/ SIGN	A2	A1	A0	0	1	2	3	COM
*0	0	0	0	0	IN ⁺	IN ⁻			
0	0	0	0	1			IN ⁺	IN ⁻	
0	1	0	0	0	IN ⁻	IN ⁺			
0	1	0	0	1			IN ⁻	IN ⁺	
1	0	0	0	0	IN ⁺				IN ⁻
1	0	0	0	1			IN ⁺		IN ⁻
1	1	0	0	0		IN ⁺			IN ⁻
1	1	0	0	1				IN ⁺	IN ⁻

*起動時のデフォルト

101のシーケンスに続く最初の入力ビット（SGL）は、入力選択が差動（SGL = 0）であるか、またはシングルエンド（SGL = 1）であるかを決定します。SGL = 0の場合、隣接する2本のチャンネルを選択して差動入力を構成することができます。SGL = 1の場合、4本のチャンネルの中の1本が正入力として選択されます。負入力はすべてのシングルエンド動作でCOMです。残りの4ビット（ODD、A2、A1、A0）により、選択されるチャンネルと（差動入力の場合）その極性が決定されます。

入力チャンネルの選択の直後に続く次のシリアル入力ビットは変換構成のイネーブル・ビット（EN2）です。このビットが0に設定されると、次の変換は前に選択されたコンバータ構成を使って行われます。

EN2 = 1に設定することにより、新しい構成をデバイスにロードすることができます（表4を参照）。最初のビット（IM）は内部温度センサを選択するのに使われます。IM = 1だと、後に続く変換は選択されたチャンネルではなく内部温度センサに対して行われます。次の2個のビット（FAとFB）は除去周波数の設定に使われます。最後のビット（SPD）は、SPD = 0ならば1倍速の出力レート（自動較正がイネーブルされ、オフセットが連続的に較正され、最終変換結果から除去されます）、またはSPD = 1ならば2倍速の出力レート（オフセットの較正はディスエーブルされ、待ち時間なしで最高15Hzの出力レートで多重化されます）のどちらかを選択するのに使われます。IM = 1のとき（温度測定）、SPDは無視され、デバイスは1倍速モードで動作します。

アプリケーション情報

表4. 変換構成

1	0	EN	SGL	ODD	A2	A1	A0	EN2	IM	FA	FB	SPD	コンバータの構成
1	0	0	X	X	X	X	X	X	X	X	X	X	前のモードを維持する
1	0	1	X	X	X	X	X	0	X	X	X	X	前のモードを維持する
0	0	0	X	X	X	X	X	X	X	X	X	X	前のモードを維持する
1	0	1	X	X	X	X	X	1	0	0	0	0	外部入力(表3を参照) 50Hz/60Hzの除去、1倍速
1	0	1	X	X	X	X	X	1	0	0	1	0	外部入力(表3を参照) 50Hzの除去、1倍速
1	0	1	X	X	X	X	X	1	0	1	0	0	外部入力(表3を参照) 60Hzの除去、1倍速
1	0	1	X	X	X	X	X	1	0	0	0	1	外部入力(表3を参照) 50Hz/60Hzの除去、2倍速
1	0	1	X	X	X	X	X	1	0	0	1	1	外部入力(表3を参照) 50Hzの除去、2倍速
1	0	1	X	X	X	X	X	1	0	1	0	1	外部入力(表3を参照) 60Hzの除去、2倍速
1	0	1	X	X	X	X	X	1	1	0	0	X	温度測定 50Hz/60Hzの除去、1倍速
1	0	1	X	X	X	X	X	1	1	0	1	X	温度測定 50Hzの除去、1倍速
1	0	1	X	X	X	X	X	1	1	1	0	X	温度測定 60Hzの除去、1倍速
1	0	1	X	X	X	X	X	1	X	1	1	X	予備、使用不可

EN = 1 (最初の3ビットは101) および EN2 = 1 の新しい入力ワードがシフトされてデバイスに入力されるまで、構成は有効に保たれます。

除去モード (FA, FB)

LTC2492には高精度の発振器が内蔵されており、外付け部品は不要です。LTC2492は4次の内蔵デジタル・ローパス・フィルタと結合されてライン周波数ノイズを除去します。既定モードでは、LTC2492は少なくとも87dBだけ50kHzと60kHzを同時に除去します。さらに除去が必要なら、50kHzまたは60kHzを選択的に110dB以上除去するようにLTC2492を構成することもできます。

速度モード (SPD)

変換サイクル毎に2回の変換が結合され、オフセットを除去します (既定)。この結果にはオフセットとドリフトが含まれません。オフセットが重要ではないアプリケーションでは、自動較正機能をディスエーブルして、出力レートを2倍にすることができます。2倍速モード (SPD = 1) で動作している間、直線性とフ

ルスケール誤差は1倍速モードの性能から変化しません。1倍速と2倍速の両方のモードで、待ち時間はありません。このため、入力ステップまたはマルチプレクサの切替えは1変換サイクルでセトリングすることができますので、システムのオーバーヘッドが緩和され、実効変換レートが増加します。温度測定の間は、SPDの値には無関係に常に1倍速モードが使われます。

温度センサ

LTC2492は温度センサを内蔵しています。IM = 1 に設定すると温度センサが選択されます。デジタル出力はデバイスの絶対温度に比例します。この機能により、コンバータは外部熱電対の冷接合補正を行うか、または外部センサの温度の影響を連続的に除去することができます。

内部温度センサの出力は27°C (300°K) で28mVです。傾きはV_{REF}には無関係に93.5μV/°Cです (図4と図5を参照)。リファレンス電圧 (V_{REF}) が知られていれば、傾斜の較正は不要です。5Vリファレンスの傾きは314 LSBs/24°Cです。

アプリケーション情報

次式を使って、5Vリファレンスの場合の出力コード (DATAOUT₂₄)から温度を計算します。

$T_K = \text{DATAOUT}_{24} / 314$ (単位はケルビン)

異なる値のV_{REF}を使う場合、温度出力は次のようになります。

$T_K = \text{DATAOUT}_{24} \cdot V_{REF} / 1570$ (単位はケルビン)

V_{REF}の値が不明の場合、既知の温度T_N(°K)で温度センサを測定し、次式を使って傾きを決定します。

$\text{SLOPE} = \text{DATAOUT}_{24} / T_N$

この傾きの値を使って次のように別の温度の測定値を計算することができます。

$T_K = \text{DATAOUT}_{24} / \text{SLOPE}$

ケルビン温度の測定値は次の基本式を使ってT_C(°C)に変換することができます。

$T_C = T_K - 273$

シリアル・インタフェースのタイミング・モード

LTC2492の4線式インタフェースはSPIおよびMICROWIREと互換性があります。このインタフェースにより、いくつかの柔軟な動作モードが実現できます。これらには内部/外部シリアル・クロック、3線または4線のI/O、シングル・サイクル変換または連続変換が含まれます。以下のセクションではこれらのそれぞれのタイミング・モードを詳細に説明します。すべての場合に、コンバータは内部発振器(f_O = “L”)またはf_Oピンに接続された外部発振器を使うことができます。各モードで、動作サイクル、データ入力のフォーマット、データ出力のフォーマット、および性能は変わりません。表5にまとめられていますので参照してください。

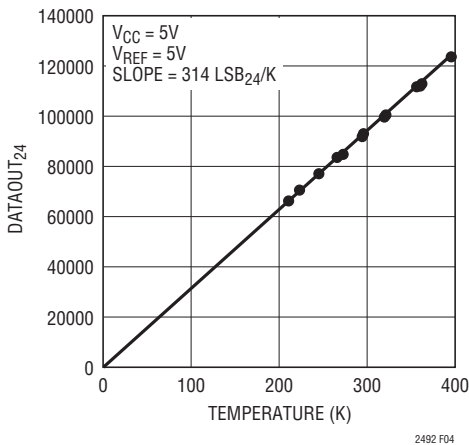


図4. 内部PTATデジタル出力と温度

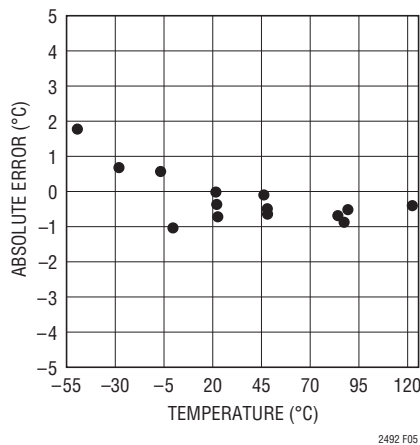


図5. 絶対温度誤差

表5. シリアル・インタフェースのタイミング・モード

構成設定	SCK 信号源	変換サイクルの 制御	データ出力 制御	接続と波形
外部SCK、 シングル・サイクル変換	外部	$\overline{\text{CS}}$ およびSCK	$\overline{\text{CS}}$ およびSCK	図6、図7
外部SCK、3線式I/O	外部	SCK	SCK	図8
内部SCK、 シングル・サイクル変換	内部	$\overline{\text{CS}}\downarrow$	$\overline{\text{CS}}\downarrow$	図9、図10
内部SCK、3線式I/O、 連続変換	内部	連続	内部	図11

アプリケーション情報

外部シリアル・クロック、シングル・サイクル動作

このタイミング・モードでは、外部シリアル・クロックを使って変換結果をシフトして出力し、CS信号を使って変換サイクルの状態をモニタして制御します(図6を参照)。

パワーアップ・シーケンスの間および \overline{CS} の各立下りエッジで外部シリアル・クロック・モードが選択されます。外部SCKモードの動作に入り、そこに留まるには、パワーアップと \overline{CS} の各立下りエッジでSCKを“L”にドライブする必要があります。 \overline{CS} の立下りエッジでSCKが“H”だと、デバイスは内部SCKモードに切り替わります。

シリアル・データ出力ピン(SDO)は、 \overline{CS} が“H”である間はハイ・インピーダンスになります。変換サイクルの間はいつでも、コンバータの状態をモニタするために \overline{CS} を“L”に引き下げることができます。 \overline{CS} が“L”の間はEOCがSDOピンに出力されます。

変換が進行中は $\overline{EOC} = 1$ になり、変換が完了してデバイスがスリープ・ステートに入ると $\overline{EOC} = 0$ になります。 \overline{CS} には関係なく、変換が完了すると、デバイスは自動的にスリープ・ステートに入ります。ただし、電力を下げるため、 \overline{CS} は“H”にする必要があります。

デバイスがスリープ・ステートのとき、変換結果は内部のスタック・シフトレジスタに保存されます。 \overline{CS} が“L”の間にSCKの最初の立上りエッジが現れるまで、デバイスはスリープ・ステートに留まります。それから、入力データがSCKの(最初の立上りエッジを含む)各立上りエッジでシフトされSDIピンを介して入力されます。後続の変換サイクルではチャンネル選択とコンバータの構成モードが使われます。I/Oサイクルの間に入力チャンネルまたはコンバータの構成が変更されると、そのデータ入出力サイクルに続く変換サイクルに対して新しい設定が有効になります。出力データはSCKの各立下りエッジでシフトされてSDOピンから出力されます。このため、外部回路はSCKの立上りエッジを使って出力をラッチすることができます。EOCはSCKの最初の立上りエッジを使ってラッチすることができます。変換結果の最後のビットはSCKの32番目の立上りエッジを使ってラッチすることができます。SCKの32番目の立下りエッジで、デバイスは新しい変換を開始し、SDOは“H”になり($\overline{EOC} = 1$)、新しい変換サイクルが進行中であることを示します。

データ・サイクルの完了時に \overline{CS} を“L”のままにしておき、 \overline{EOC} を変換終了時の割り込み信号としてモニタすることができます。

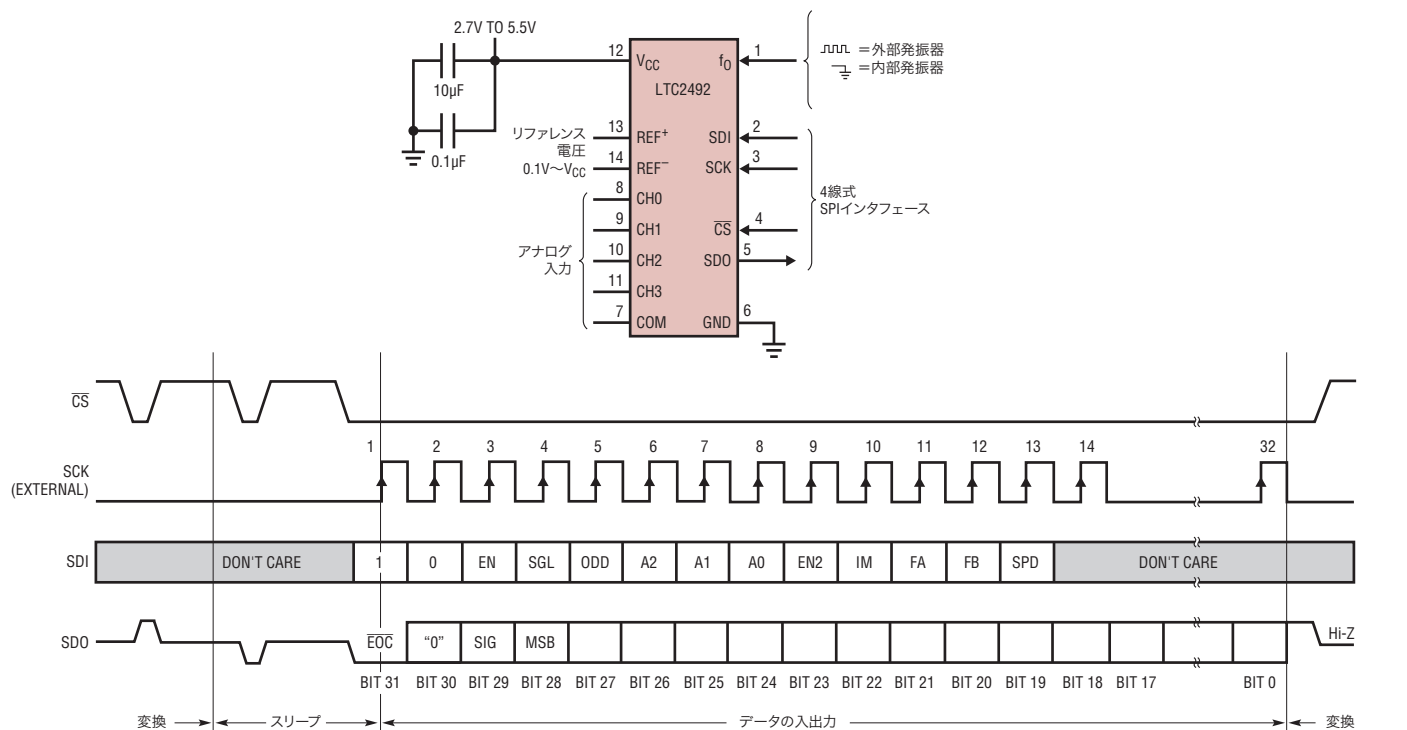


図6. 外部シリアル・クロック、シングル・サイクル動作

アプリケーション情報

通常、 \overline{CS} はデータの入力/出力ステートの間“L”に保たれます。ただし、SCKの最初の立下りエッジと32番目の立下りエッジの間に、いつでも \overline{CS} を“H”に引き上げてデータ出力ステートを中止することができます(図7を参照)。 \overline{CS} の立上りエッジでデバイスはデータ出力ステートを中止し、直ちに新しい変換を開始します。新しい入力チャンネルをプログラムするには、8個のSCKクロック・パルスが必要です。データ出力シーケンスがSCKの8番目の立下りエッジより前に中止されると、新しい入力データは無視され、前回選択された入力チャンネルがそのまま有効に保たれます。SCKの8番目の立下りエッジの後に \overline{CS} の立上りエッジが生じると、新しい入力チャンネルがロードされ、次の変換サイクルで有効になります。 \overline{CS} がSCKの8番目の立下りエッジと16番目の立下りエッジの間で“H”になると、新しいチャンネルがそれでもロードされますが、コンバータの構成は変化しないで保たれます。入力チャンネルとコンバータの構成の両方をプログラムするには、 \overline{CS} はSCKの16番目の立下りエッジ(この時点では全データがシフトされてデバイスに入力されています)より後に“H”になる必要があります。

外部シリアル・クロック、3線式I/O

このタイミング・モードでは3線式シリアルI/Oインタフェースが使われます。変換結果は外部で作られたシリアル・クロック(SCK)信号によってシフトされてデバイスから出力されます(図8を参照)。 \overline{CS} は永続的にグラウンドに接続され、ユーザー・インタフェースや絶縁バリヤが簡素化されます。

外部シリアル・クロック・モードが起動時リセット(POR)サイクルの終わりに選択されます。PORサイクルは V_{CC} が約2Vを超えてから標準で4ms後に終了します。この時点でSCKに与えられるレベルによって、SCKが内部で作られるかそれとも外部から与えられるかが決まります。外部SCKモードに入るには、PORサイクルの終了前にSCKを“L”にドライブする必要があります。

\overline{CS} が“L”に固定されているので、変換ステートおよびスリープ・ステートの間、変換終了(\overline{EOC})をSDOピンで連続してモニタすることができます。 \overline{EOC} は外部コントローラの割り込み信号として使うことができます。変換進行中は $\overline{EOC} = 1$ になり、変換が完了すると $\overline{EOC} = 0$ になります。

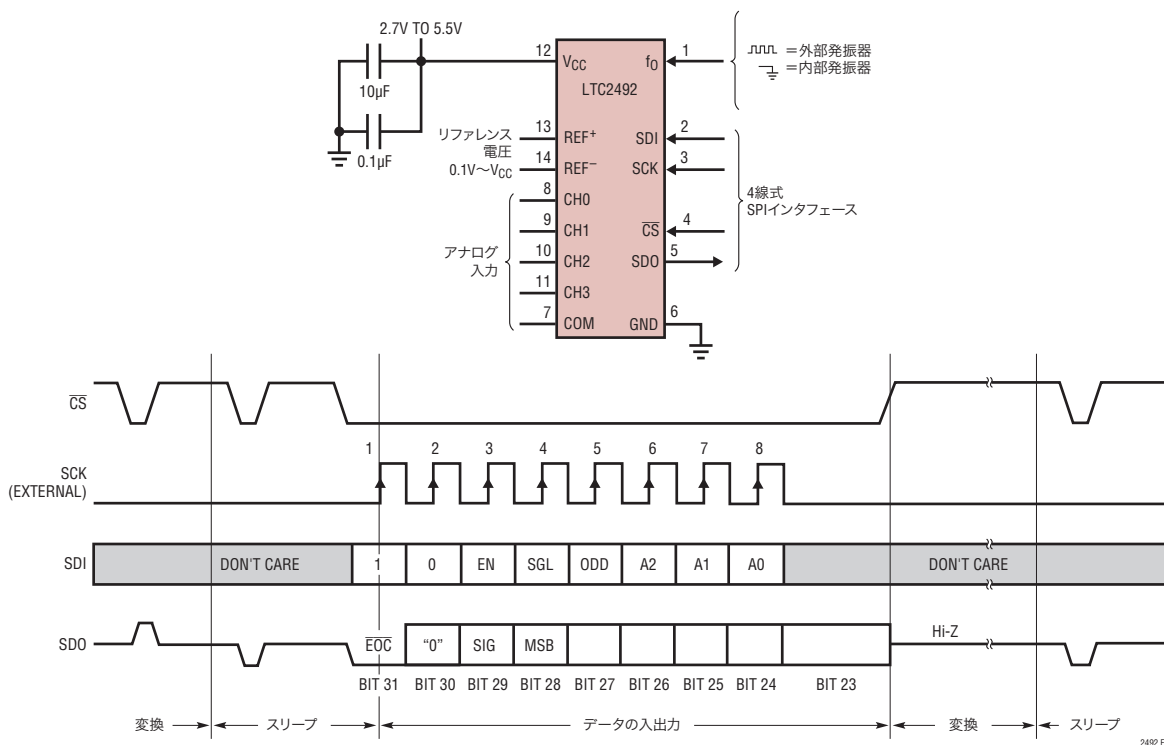
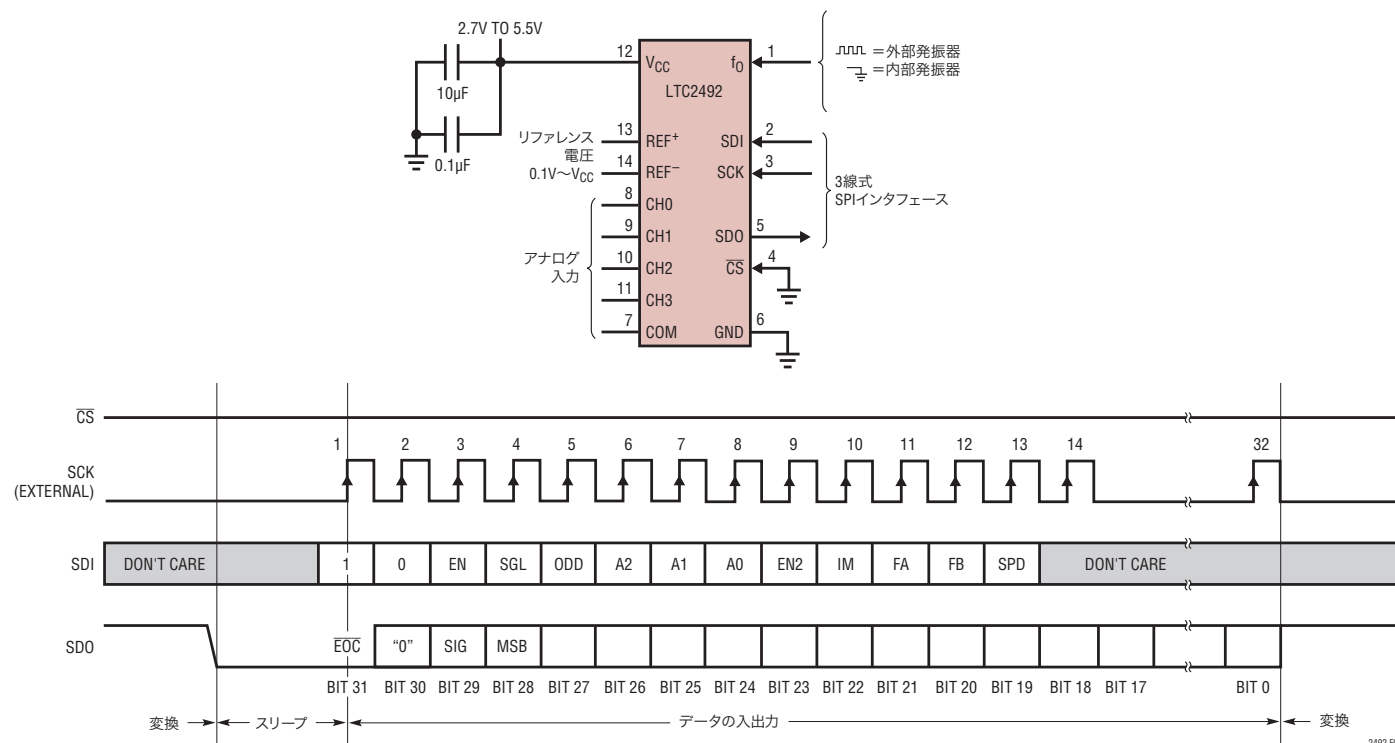


図7. 外部シリアル・クロック、短縮された出力データ長および有効なチャンネル選択

アプリケーション情報

図8. 外部シリアル・クロック、3線式動作 ($\overline{CS} = 0$)

\overline{EOC} の立下りエッジで、変換結果が内部のスタチック・シフトレジスタにロードされます。これで、外部から与えられるSCK信号の制御によって出力データをシフトさせて、SDOピンから出力することができます。SCKの立下りエッジでデータを更新します。入力データは、SCKの立上りエッジでシフトされ、SDIピンを通してデバイスに入力されます。SCKの32番目の立下りエッジで、SDOは“H”になり、新しい変換サイクルが開始されたことを示します。このデータは次の変換サイクルのEOCとして機能します。

内部シリアル・クロック、シングル・サイクル動作

このタイミング・モードでは、内部シリアル・クロックを使って変換結果をシフトして出力し、 \overline{CS} 信号を使って変換サイクルの状態をモニタして制御します(図9を参照)。

内部シリアル・クロック・タイミング・モードを選択するには、PORサイクルの終了前と \overline{CS} の各立下りエッジより前に、シリアル・クロック・ピン(SCK)をフロートさせるか、または“H”に引き上げる必要があります。 \overline{CS} が立ち下がる間、SCKピンは内部の弱いプルアップ抵抗がアクティブになっています。したがって、SCKが外部からドライブされていなければ、内部SCKモードが自動的に選択されます。

シリアル・データ出力ピン(SDO)は、 \overline{CS} が“H”である間はハイ・インピーダンスになります。変換サイクルの間はいつでも、コンバータの状態をモニタするために \overline{CS} を“L”に引き下げることができます。 \overline{CS} が“L”に引き下げられると、SCKが“L”になり、 \overline{EOC} がSDOピンに出力されます。変換の進行中は $\overline{EOC} = 1$ になり、デバイスがスリープ・ステートだと $\overline{EOC} = 0$ になります。

\overline{EOC} をテストすると、変換が完了していれば($\overline{EOC} = 0$)、デバイスはスリープ・ステートから出ます。スリープ・ステートに戻って電力消費を下げるには、デバイスがSCKを“H”に引き上げる前に \overline{CS} を“H”に引き上げる必要があります。デバイスが自己の内部発振器を使っているとき(f_0 が“L”に接続されている)、SCKの最初の立上りは \overline{CS} の立下り後12 μ sに生じます($t_{EOCTEST} = 12\mu$ s)。周波数が f_{EOSC} の外部発振器によって f_0 がドライブされていると、 $t_{EOCTEST} = 3.6/f_{EOSC}$ になります。

\overline{CS} が $t_{EOCTEST}$ より長く“L”に留まると、SCKの最初の立上りエッジが生じ、変換結果がSCKの立下りエッジでシフトされてSDOピンから出力されます。シリアル入力ワード(SDI)はSCKの立上りエッジでシフトされてデバイスに入力されます。

アプリケーション情報

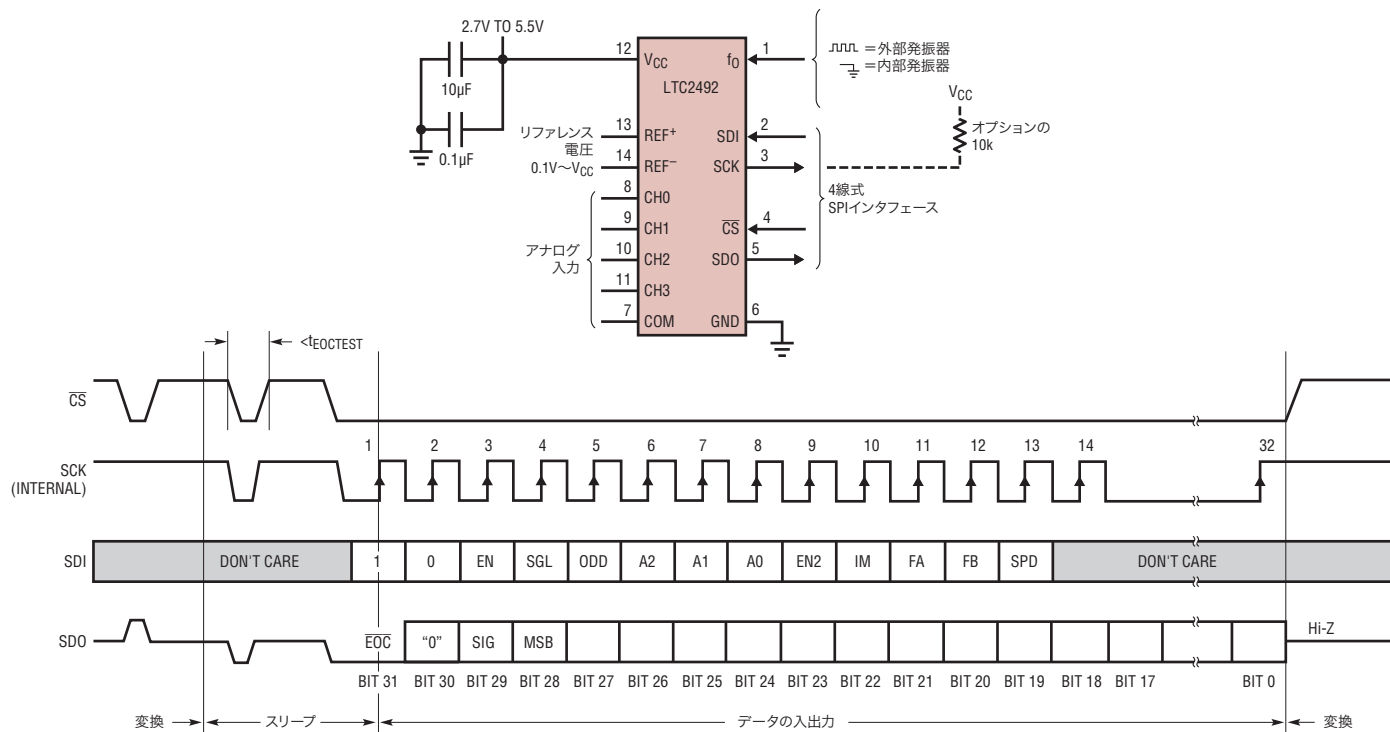


図9. 内部シリアル・クロック、シングル・サイクル動作

SCKの32番目の立上りエッジの後、新しい変換が自動的に開始されます。SDOは“H”になり ($\overline{EOC} = 1$)、SCKは変換サイクルの間“H”に保たれます。変換が完了すると、サイクルが繰り返されます。

通常、 \overline{CS} はデータ出力ステートの間“L”に保たれます。ただし、SCKの1番目の立上りエッジと32番目の立下りエッジの間に、いつでも \overline{CS} を“H”に引き上げてデータ出力ステートを中止することができます (図10を参照)。 \overline{CS} の立上りエッジでデバイスはデータ出力ステートを中止し、直ちに新しい変換を開始します。新しい入力チャンネルをプログラムするには、8個のSCKクロック・パルスが必要です。データ出力シーケンスがSCKの8番目の立下りエッジより前に中止されると、新しい入力データは無視され、前回選択された入力チャンネルがそのまま有効に保たれます。SCKの8番目の立下りエッジの後に \overline{CS} の立上りエッジが生じると、新しい入力チャンネルがロードされ、次の変換サイクルで有効になります。 \overline{CS} がSCKの8番目の立下りエッジと16番目の立下りエッジの間で“H”になると、新しいチャンネルがそれでもロードされますが、コンバータの構成は変化しないで保たれます。入力チャンネルとコンバータの構成の両方をプログラムするには、 \overline{CS} はSCKの16番目の立下りエッジ (この時点では全データがシフトされてデバイスに入力されています) より後に“H”になる必要があります。

内部シリアル・クロック、3線式I/O、連続変換

このタイミング・モードでは3線式インタフェースを使います。変換結果は内部で作られたシリアル・クロック (SCK) 信号によってシフトされてデバイスから出力されます (図11参照)。この場合、 \overline{CS} は永続的にグランドに接続され、ユーザー・インタフェースや、絶縁バリヤを超えた転送が簡素化されます。

内部シリアル・クロック・モードは起動時リセット (POR) サイクルの終わりに選択されます。PORサイクルは V_{CC} が2Vを超えてから約4ms後に終了します。内部の弱いプルアップ抵抗はPORサイクルの間アクティブです。したがって、SCKがフロート状態だと、または“H”にドライブされると、内部シリアル・クロック・タイミング・モードが自動的に選択されます。

変換中、SCKとシリアル・データ出力ピン (SDO) は“H”になります ($\overline{EOC} = 1$)。変換が完了すると、SCKとSDOは“L”になり ($\overline{EOC} = 0$)、変換が終了してデバイスがスリープ・ステートに入ったことを示します。デバイスは最小時間 (内部SCKの周期の1/2) の間スリープ・ステートに留まってから、直ちにデータの入出力を開始します。

アプリケーション情報

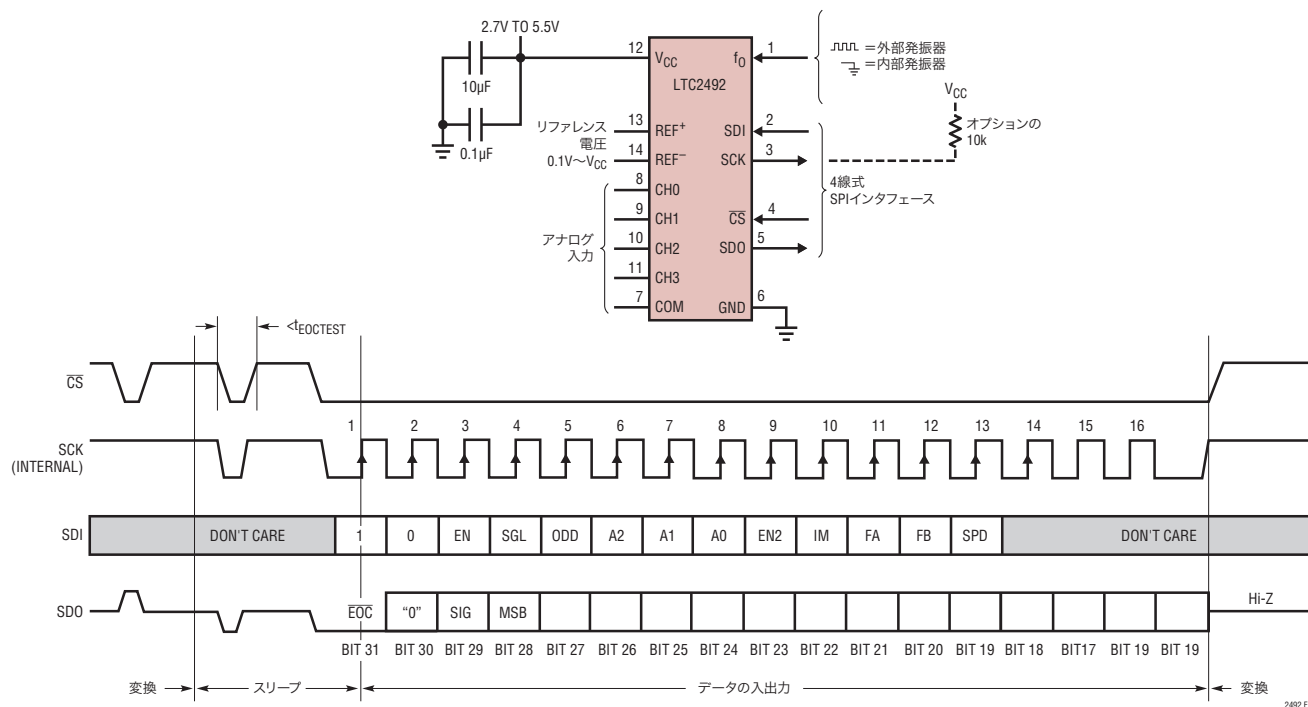


図10. 内部シリアル・クロック、短縮された出力データ長および有効なチャンネルと構成の選択

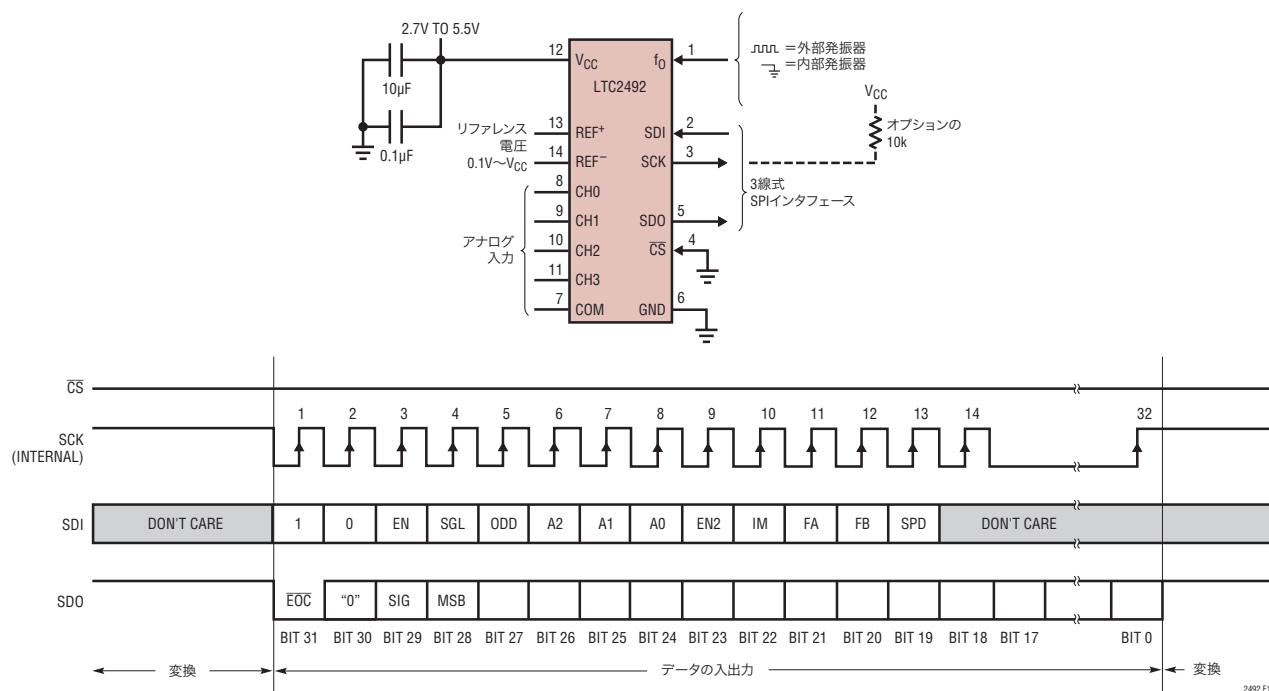


図11. 内部シリアル・クロック、連続動作

アプリケーション情報

入力データがSCKの(最初の立上りエッジを含む)立上りエッジでシフトされてSDIピンに入力され、出力データがSCKの立下りエッジでシフトされてSDOピンから出力されます。SCKの32番目の立上りエッジの後、データの入出力サイクルが終了し、新しい変換が自動的に開始されます。次の変換中、SCKとSDIは変換が完了するまで“H”に保たれます。

10kプルアップをSCKに使用して内部SCKを選択

コンバータがSCKを“L”にドライブしている状態で \overline{CS} が“H”に引き上げられると、SCKがフロート状態でも、SCKをロジック“H”の状態に戻すのに内部プルアップは使えません。このため、 \overline{CS} の次の立下りエッジでデバイスは内部SCKモードから抜け出します。これは、外部10kプルアップ抵抗をSCKピンに追加することにより避けることができます。

SCKが“L”のときはLTC2492のSCKの内部プルアップはディセーブルされます。通常、デバイスが内部SCKタイミング・モードで動作していると、SCKは外部からドライブされません。ただし、特定のアプリケーションでは、SCKに外部ドライバが必要なことがあります。ドライバが“L”信号を出力した後ハイ・インピーダンスになると、内部プルアップはディセーブルされます。外部10kプルアップ抵抗を追加すれば、この条件でデバイスが内部SCKモードから抜け出すのを防ぐことができます。

変換状態をテストするために \overline{CS} を“H - L - H”とトグルするとき、スリープ・ステートで同様の状況になることがあります。デバイスがスリープ・ステート($\overline{EOC} = 0$)ならば、SCKは“L”になります。時間 $t_{EOCtest}$ が経過する前に \overline{CS} が“H”になると、内部プルアップがアクティブになります。SCKの負荷が重いと、内部プルアップがSCKを \overline{CS} の次の立下りエッジより前に“H”状態に回復できないことがあります。外部10kプルアップ抵抗を追加すれば、この条件でデバイスが内部SCKモードから抜け出すのを防ぎます。

コンバータの精度の維持

LTC2492は、デバイスのデカップリング、PCBのレイアウト、アンチエイリアシング回路、ライン周波数の乱れ、温度変化などの影響をできるだけ受けないように設計されています。最高性能を達成するには、いくつかの簡単な注意を守する必要があります。

デジタル信号レベル

LTC2492のデジタル・インタフェースは使うのが簡単です。そのデジタル入力であるSDI、 f_0 、 \overline{CS} およびSCK(外部シリアル・クロック・モードの場合)は標準CMOSロジック・レベルを受け入れます。内部ヒステリシス回路は100 μ sの遅いエッジ遷移時間を許容することができます。

デジタル入力信号の範囲は0.5V \sim ($V_{CC}-0.5V$)です。遷移の間、CMOS入力回路にはダイナミック電流が流れます。最適性能を実現するには、シリアル・データ・インタフェースへ信号を与えるのはスリープ期間とデータ出力期間に限定します。

変換中にシリアル・デジタル・インタフェースや外部発振器ピン(f_0)に与えられる高速デジタル信号のオーバーシュートやアンダーシュートは、コンバータの性能を低下させることがあります。アンダーシュートとオーバーシュートは、外部制御信号の遷移時間がドライバから入力ピンまでの伝播遅延の2倍より短いとき、回路基板のコンバータのピンのトレースのインピーダンスの不整合によって生じます。参考までに、普通のFR-4基板では、伝播遅延は約183ps/インチです。オーバーシュートを防ぐには、1nsの遷移時間のドライバは2.5インチより短いトレースでコンバータに接続する必要があります。これは、共通制御ラインが使用され、多数の反射が起きると困難になります。

LTC2492の入力ピンの近くで並列終端すればこの問題は解決されますが、ドライバの電力消費が増加します。ドライバの近くに配置された(トレースのインピーダンスと接続に依存した)27 Ω ~54 Ω の直列抵抗も、ドライバの追加の電力消費なしにオーバーシュート/アンダーシュートを除去します。

多くのアプリケーションでは、シリアル・インタフェース・ピン(SCK、SDI、 \overline{CS} 、 f_0)は変換サイクルの間は静かに保たれ、性能低下は生じません。他方、外部発振器が使われると(f_0 が外部からドライブされると)、それは変換サイクルの間アクティブなままです。さらに、 f_0 に与えられるクロック・レートではデジタル・フィルタによる除去はわずかです。外部入力とリファレンス・ラインがこの信号と交差しないように、また近くを通らないように注意する必要があります。これらの問題は内部発振器を使用すると避けられます。

アプリケーション情報

入力とリファレンスのドライブ

LTC2492の入力ピンとリファレンス・ピンはスイッチトキャパシタのネットワークに直接接続されています。差動入力電圧と差動リファレンス電圧の関係に依存して、これらのコンデンサはこれらの4つのピンの間で切り替えられます。コンデンサがこれらのピンの2本の間で切り替えられるたびに、少量の電荷が転送されます。簡略等価回路図を図12に示します。

LTC2492の内部発振器を使っているとき、入力コンデンサ・アレイは123kHzで切り替えられます。電荷転送の効果は入力ピン/リファレンス・ピンをドライブしている回路に依存します。全外部RCの時定数が580nsより小さいと完全にセトリングするので、サンプリング過程で生じる誤差は無視できます。

一般に、リファレンス入力は低インピーダンスのソースでドライブされます。この場合、大きな外部バイパス・コンデンサが使われていても完全にセトリングします。他方、入力(CH0～CH3、COM)は一般に大きなソース抵抗からドライブされます。10kまでのソース抵抗は直接LTC2492にインタフェースすることができ、完全にセトリングします。ただし、不要のノイズを除去するため(アンチエイリアシング)、入力端子に外部コンデンサを追加すると、セトリングが完了しません。

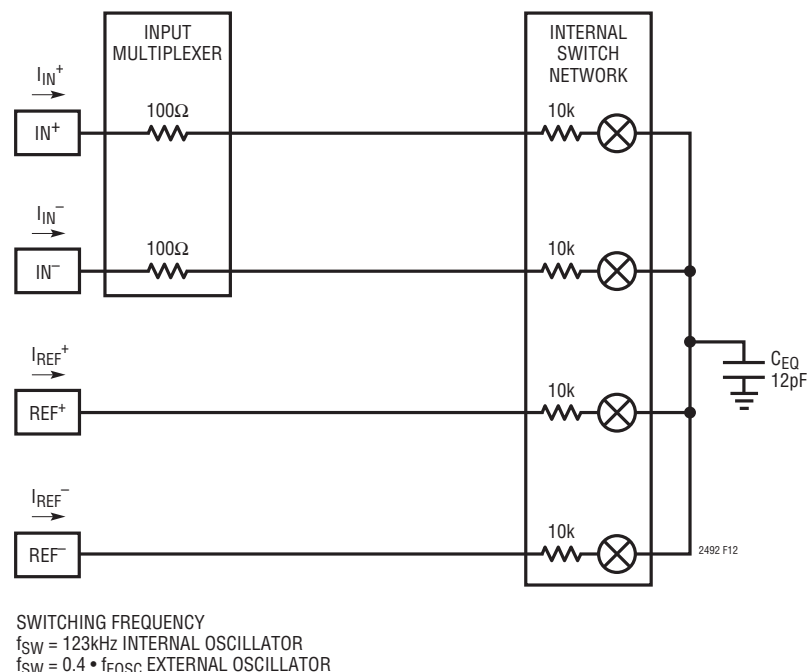
自動差動入力電流キャンセル

センサの出力インピーダンスが低い(外部バイパス・コンデンサなしで最大10kΩ、または0.001μFのバイパス付きで最大500Ω)アプリケーションでは、入力は完全にセトリングします。この場合、誤差は入り込まないので、センサを直接デジタル化することが可能です。

多くのアプリケーションでは、センサの出力インピーダンスは外部入力バイパス・コンデンサと結合して1ppmの精度に必要な580nsをはるかに超えるRC時定数を生じます。たとえば、0.1μFのコンデンサをドライブする10kΩのブリッジでは、必要な最大値より1桁大きな時定数になります。

LTC2492は独自のスイッチング・アルゴリズムを使って、外部のセトリング誤差とは無関係に、平均差動入力電流をゼロに強制します。これにより、バッファは不要で、高インピーダンスのセンサを直接デジタル化できます。

このスイッチング・アルゴリズムは、正入力(I_{IN}^+)の平均入力電流を負入力(I_{IN}^-)の平均入力電流に等しくなるように強制します。



$$I_{IN^+}^{AVG} = I_{IN^-}^{AVG} = \frac{V_{IN(CM)} - V_{REF(CM)}}{0.5 \cdot R_{EQ}}$$

$$I_{REF^+}^{AVG} \approx \frac{1.5V_{REF} + (V_{REF(CM)} - V_{IN(CM)})}{0.5 \cdot R_{EQ}} - \frac{V_{IN}^2}{V_{REF} \cdot R_{EQ}}$$

where:

$$V_{REF} = REF^+ - REF^-$$

$$V_{REF(CM)} = \left(\frac{REF^+ - REF^-}{2} \right)$$

$V_{IN} = IN^+ - IN^-$, WHERE IN^+ AND IN^- ARE THE SELECTED INPUT CHANNELS

$$V_{IN(CM)} = \left(\frac{IN^+ - IN^-}{2} \right)$$

$$R_{EQ} = 2.71\text{M}\Omega \text{ INTERNAL OSCILLATOR } 60\text{Hz MODE}$$

$$R_{EQ} = 2.98\text{M}\Omega \text{ INTERNAL OSCILLATOR } 50\text{Hz}/60\text{Hz MODE}$$

$$R_{EQ} = (0.833 \cdot 10^{12}) / f_{EOSC} \text{ EXTERNAL OSCILLATOR}$$

図12. LTC2492の等価アナログ入力回路

アプリケーション情報

変換サイクル全体にわたって、平均差動入力電流 ($I_{IN^+} - I_{IN^-}$) はゼロになります。差動入力電流はゼロですが、同相入力電流 ($I_{IN^+} + I_{IN^-}$)/2 は同相入力電圧 ($V_{IN(CM)}$) と同相リファレンス電圧 ($V_{REF(CM)}$) の差に比例します。

平衡ブリッジのように、入力同相電圧がリファレンス同相電圧に等しいアプリケーションでは、差動と同相の両方の入力電流がゼロになります。コンバータの精度はセトリング誤差によって低下することはありません。

入力同相電圧が一定だがリファレンス同相電圧とは異なるアプリケーションでは、差動入力電流はゼロに保たれますが、同相入力電流は $V_{IN(CM)}$ と $V_{REF(CM)}$ の差に比例します。リファレンス同相電圧が 2.5V で、入力同相電圧が 1.5V の場合、同相入力電流は約 0.74 μ A です。この同相入力電流は、 IN^+ と IN^- に接続されたソースのインピーダンスが整合していれば、精度を低下させることはありません。ソース・インピーダンスが整合していないと、固定オフセット誤差が生じますが、直線性やフルスケールの測定値には影響を与えません。1k ソース抵抗の 1% の不整合により、オフセット電圧が 74 μ V シフトします。

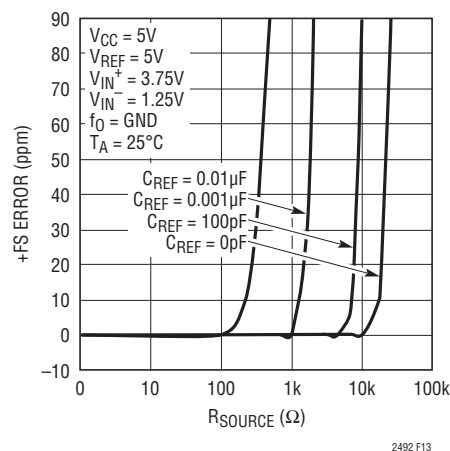
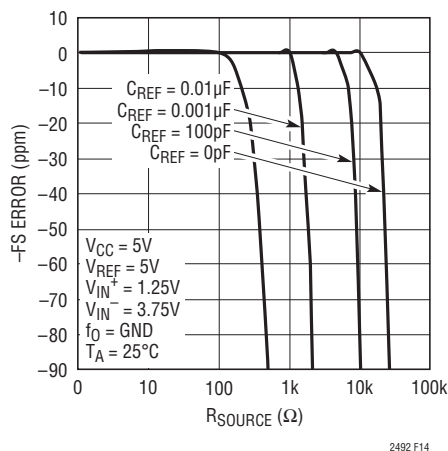
同相入力電圧が入力信号レベルの関数として変化するアプリケーション (シングルエンドのセンサなど) では、同相入力電流は入力電圧に比例して変化します。バランスのとれた入力インピーダンスの場合、同相入力電流の影響は LTC2492 の大きな CMRR によって除去され、精度はほとんど低下しません。ソース・インピーダンスが整合していないと、同相入力電圧と同相リファレンス電圧の差に比例した利得誤差が生じます。1k ソース抵抗に 1% の不整合があると、15ppm 程度の利得誤差が生じます。内部サンプリング・コンデンサの安定性と内部発振器の精度に基づいて、一度較正すればこの誤差は取り除かれます。

入力サンプリング電流に加えて、入力 ESD 保護ダイオードには温度に依存したリーク電流が流れます。公称 1nA (最大 ± 10 nA) のこの電流により、オフセットがわずかにシフトします。1k のソース抵抗により、標準 1 μ V、最大 10 μ V のオフセット電圧が生じます。

リファレンス電流

アナログ入力と同様に、LTC2492 は差動リファレンス・ピン (REF^+ と REF^-) をサンプリングして、少量の電荷をこれらのピンとやり取りしますので、ダイナミックなリファレンス電流が生じます。セトリングが (リファレンスのソース抵抗とリファレンスのバイパス・コンデンサに依存して) 不完全だと、直線性誤差と利得誤差が生じます。

外部リファレンスの容量の値が比較的小さいと ($C_{REF} < 1$ nF)、サンプリング・コンデンサの電圧は大きな k Ω のリファレンス・インピーダンスでもセトリングします ($C_{REF} = 100$ pF ならば、最大 10k Ω まで性能は低下しません) (図 13 と図 14 を参照)。

図13. +FS誤差と V_{REF} の R_{SOURCE} (小さな C_{REF})図14. -FS誤差と V_{REF} の R_{SOURCE} (小さな C_{REF})

アプリケーション情報

リファレンス入力に大きなバイパス・コンデンサが必要な場合 ($C_{REF} > 0.01\mu\text{F}$)、フルスケール誤差と直線性誤差はリファレンス抵抗の値に比例します。リファレンス抵抗の 1Ω 毎に、約 0.5ppm のフルスケール誤差が生じます (同時 $50\text{Hz}/60\text{Hz}$ モードで動作しているとき) (図15と図16を参照)。入力同相電圧がリファレンス同相電圧に等しい場合、リファレンス抵抗の 100Ω 毎に約 0.67ppm の直線性誤差が生じます (図17を参照)。入力同相電圧とリファレンス同相電圧が異なるアプリケーションでは、誤差が増加します。同相入力と同相リファレンスの間の 1V の差は、リファレンスの抵抗の 100Ω 毎に 6.7ppm のINL誤差を生じます。

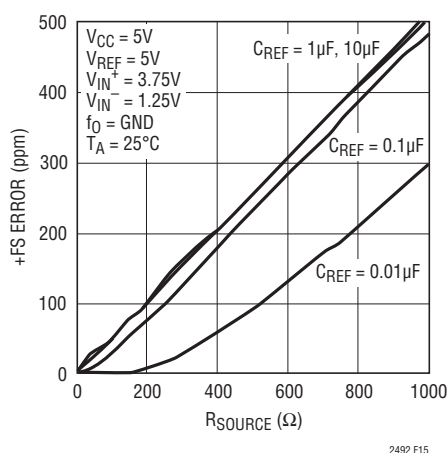


図15. +FS誤差と V_{REF} の R_{SOURCE} (大きな C_{REF})

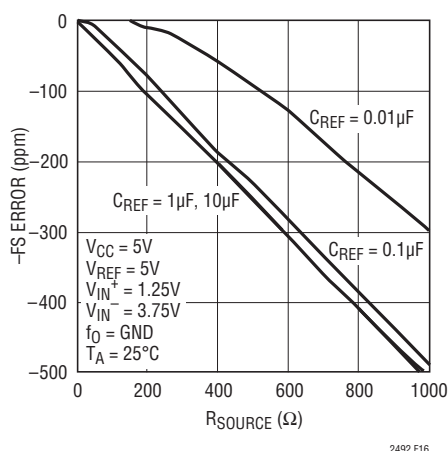


図16. -FS誤差と V_{REF} の R_{SOURCE} (大きな C_{REF})

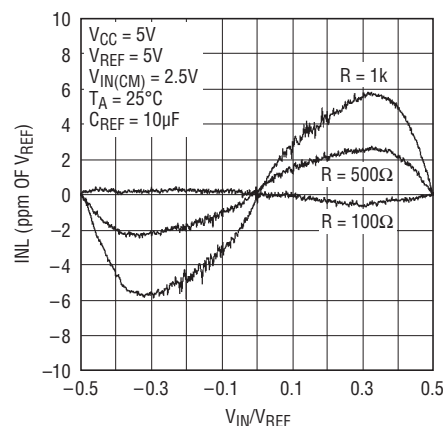


図17. INLと差動入力電圧およびリファレンスのソース抵抗 ($C_{REF} > 1\mu\text{F}$)

リファレンスのサンプリング電荷に加えて、リファレンスのESD保護ダイオードには温度に依存したリーク電流が流れます。公称 1nA (最大 $\pm 10\text{nA}$) のこのリーク電流により小さな利得誤差が生じます。リファレンスの 100Ω の抵抗により、 $0.5\mu\text{V}$ のフルスケール誤差が生じます。

通常モードの除去率とアンチエイリアシング

従来のADCに比したデルタシグマADCの利点の1つは、チップに内蔵されたデジタル・フィルタです。大きなオーバーサンプリング率と組み合わせることにより、LTC2492はアンチエイリアシング・フィルタの必要条件を大幅に簡素化します。さらに、入力電流キャンセル機能により、デバイスのDC性能を下げることなく、外部ローパス・フィルタを利用できます。

アプリケーション情報

SINC⁴デジタル・フィルタにより、DCと変調器のサンプリング周波数(f_S)の整数倍を除く全ての周波数で優れた通常モードの除去を与えます(図18と図19を参照)。変調器のサンプリング周波数は、内部発振器で動作しているときは $f_S = 15,360\text{Hz}$ 、周波数が F_{EOSC} の外部発振器で動作しているときは $f_S = F_{\text{EOSC}}/20$ です。

LTC2492は内部発振器を使用しているときライン周波数を除去するように設計されています。図20に示されているように、除去率は周波数 f_N の倍数で生じます。ここで、 f_N は入力制御

ビットFAとFBによって決まります($f_N = 50\text{Hz}$ または 60Hz またはは同時除去の場合55Hzです)。変調器のサンプリング・レートは $f_S = f_N \cdot 256$ では、ノイズを15dB除去するだけです(図21を参照)、これらの周波数にノイズ源が存在すれば、アンチエイリアシングにより、それらの影響が減少します。

図22、図23および図24に示されているように、ユーザーは内部発振器を使ってこのレベルの性能を達成することを期待することができます。3つの除去モードのすべてで通常モードの除去の測定値が理論値の上に重ね合わされて示されています。

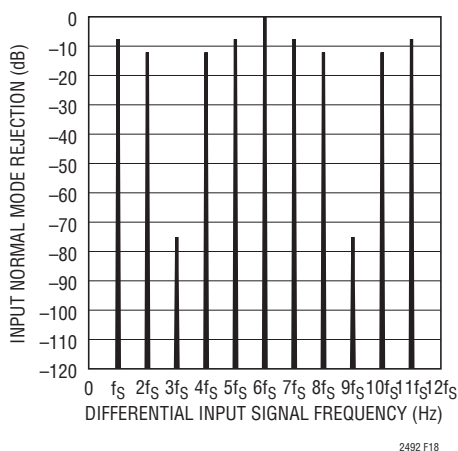


図18. 入力通常モードの除去率、内部発振器と50Hz除去モード

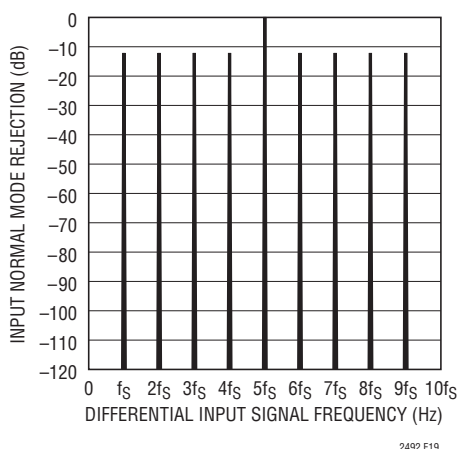


図19. 入力通常モードの除去率、内部発振器と60Hz除去モード

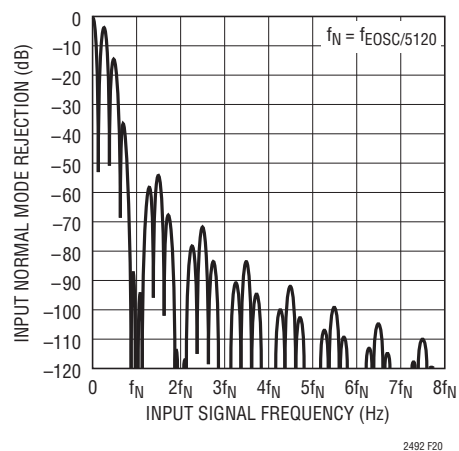


図20. DCでの入力通常モードの除去率

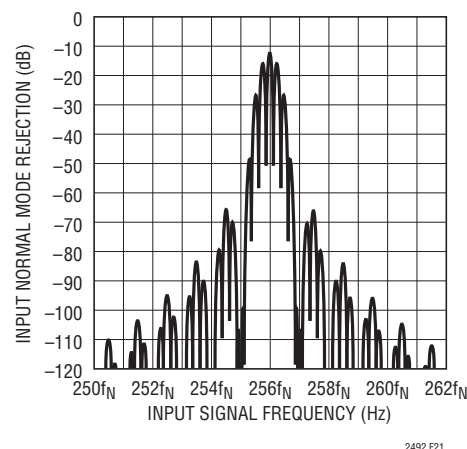
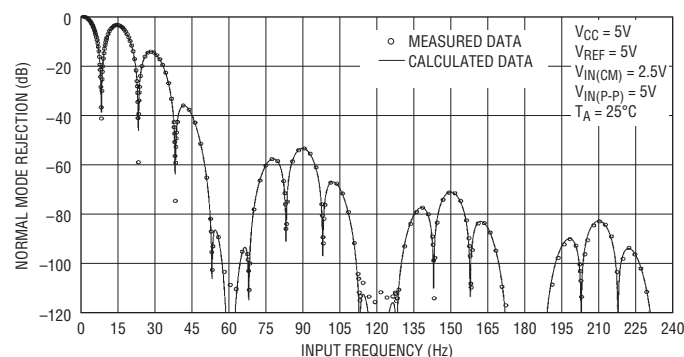


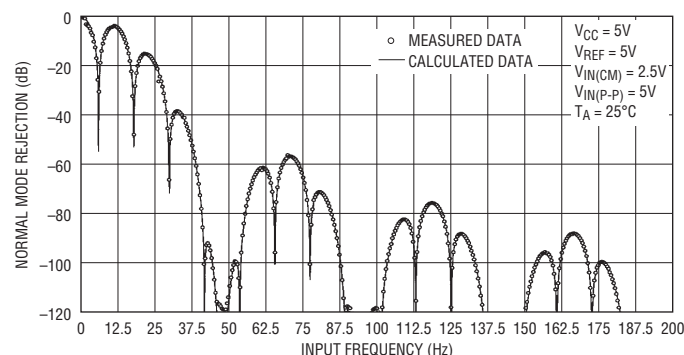
図21. $f_S = 256 \cdot f_N$ での入力通常モードの除去率

アプリケーション情報



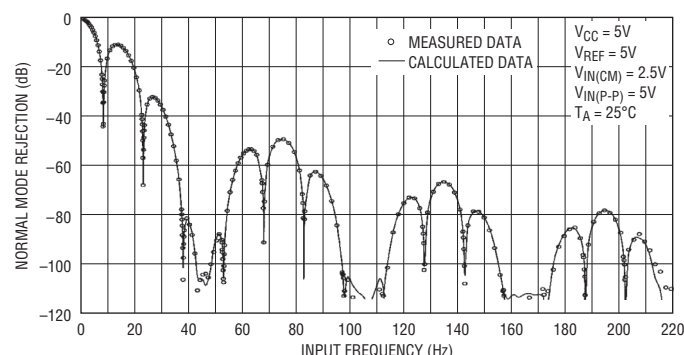
2492 F22

図22. 入力通常モードの除去率と入力周波数、
100%の入力の攪乱 (60Hzのノッチ)



2492 F23

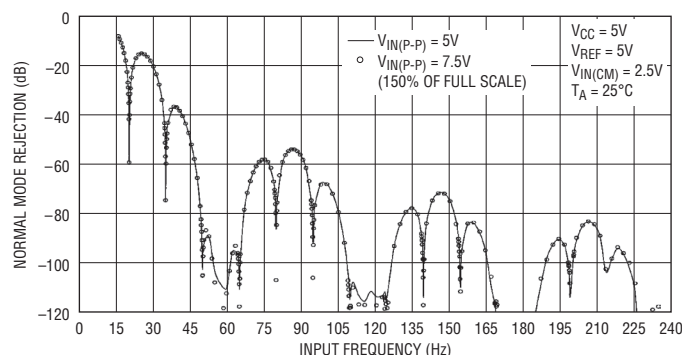
図23. 入力通常モードの除去率と入力周波数、
100%の入力の攪乱 (50Hzのノッチ)



2492 F24

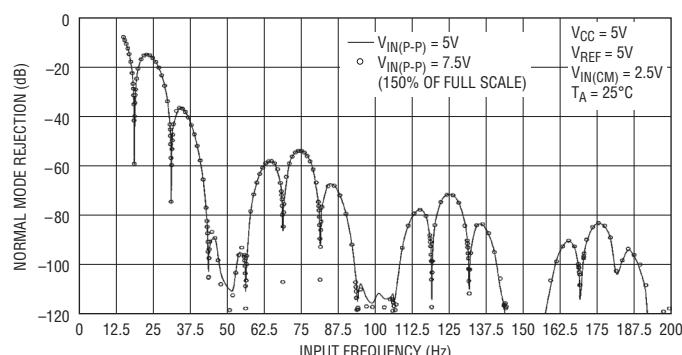
図24. 入力通常モードの除去率と入力周波数、
100%の入力の攪乱 (50Hz/60Hzのノッチ)

従来の高次デルタシグマ変調器は、大きな入力信号レベルでは潜在的に不安定です。LTC2492の3次変調器に使われている独自アーキテクチャはこの問題を解決し、フルスケールの150%の入力信号で安定動作を保証します。多くの産業用アプリケーションでは、数ボルトのピーク・トゥ・ピーク・ノイズを含む不要の誤差源に重ね合わされたマイクロボルト・レベルの信号が珍しくありません。LTC2492に与えられた7.5Vのピーク・トゥ・ピーク・ノイズ源 (フルスケールの150%) の除去率の測定結果を図25と図26に示します。これらの曲線は、極端にノイズの大きい環境でさえ、除去性能が維持されていることを示しています。



2492 F25

図25. 測定された入力通常モードの除去率と入力周波数、
150%の入力の攪乱 (60Hzのノッチ)



2492 F26

図26. 測定された入力通常モードの除去率と入力周波数、
150%の入力の攪乱 (50Hzのノッチ)

2492fd

アプリケーション情報

LTC2492の2倍速モードを使うと、DCおよびfSの倍数の近くの除去特性が変化します。デバイスは出力レートを上げるためオフセット較正を迂回します。その結果得られる除去プロットを図27と図28に示します。変換結果の移動平均を取ることで、1倍速と同等の周波数除去を2倍速モードを使って達成することができます(図29を参照)。

出力データ・レート

内部発振器を使用しているとき、LTC2492は60Hzのノッチ周波数で毎秒7.5のサンプリング(sps)を行います。実際の出力データ・レートはスリープ・サイクルとデータ出力サイクルの長さに依存しますが、これらはユーザーによって制御され、無視できるほど短くすることができます。外部変換クロックを使って動作させると(f₀を外部発振器に接続)、LTC2492の出力データ・レートを増加させることができます。変換サイクルの持続時間は41036/f_{EOSC}です。f_{EOSC} = 307.2kHzならば、コンバータは、まるで内部発振器が使われているかのように動作します。

f_{EOSC}を公称307.2kHzを超えて増加させると、最大出力データ・レートが比例して増加します(最大100spsまで)。出力レートが増加するとオフセットとフルスケール誤差が大きくなり、実

効分解能が低下し、周波数除去がシフトします。内蔵温度センサを使うとき、内部発振器または外部発振器(f_{EOSC} = 最大307.2kHz)を使います。

f_{EOSC}が変化すると、内部のノッチの位置が比例して変化します。これにより、ライン周波数の差動モード除去が低下します。ライン周波数の同相除去は変化せずに保たれますので、IN⁺とIN⁻の両方のピンが高度に対称性をもった完全な差動入力信号は引き続きライン周波数のノイズが除去されます。

また、f_{EOSC}が増加すると、入力およびリファレンスの実効ダイナミック電流が増加します。外部RCネットワークの差動入力電流は引き続きゼロですが、セトリングの完了に要する時間(f_{EOSC} = 307.2kHzで580ns)は比例して短くなります。

外部発振器の周波数が1MHzを超えると(出力レートが3倍以上増加すると)、内部自動較正回路の効果が低下し始めます。このため、オフセット誤差とフルスケール誤差が大きくなり、分解能が低下します(図30～図37を参照)。

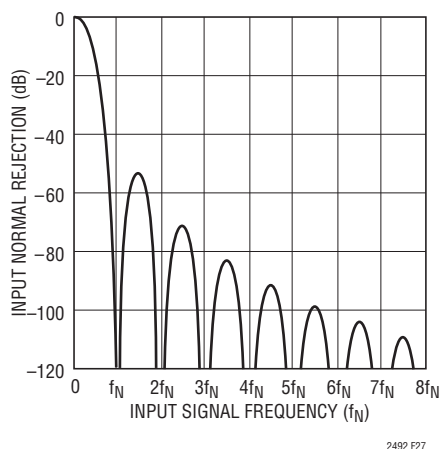


図27. 2倍速モードでの入力通常モードの除去率

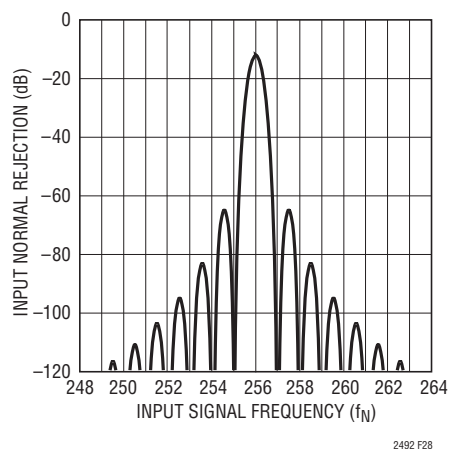


図28. 2倍速モードでの入力通常モードの除去率

アプリケーション情報

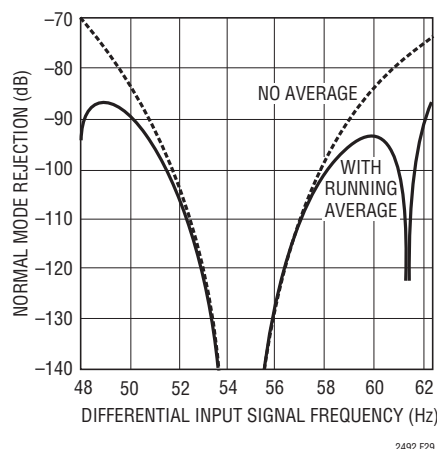


図29. 2倍速モードでの入力通常モードの除去率(移動平均有りおよび無し)

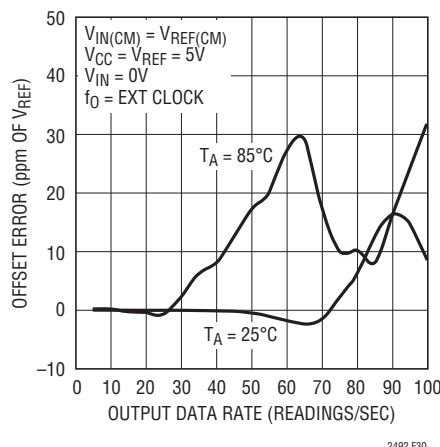


図30. オフセット誤差と出力データ・レートおよび温度

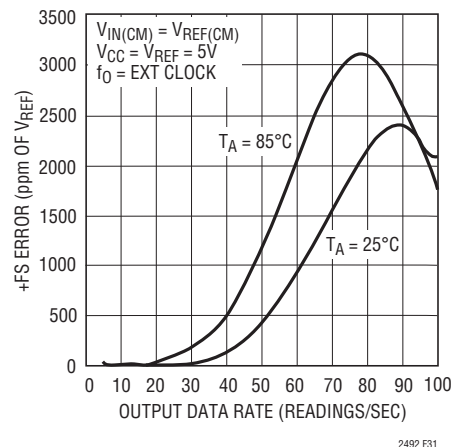


図31. +FS誤差と出力データ・レートおよび温度

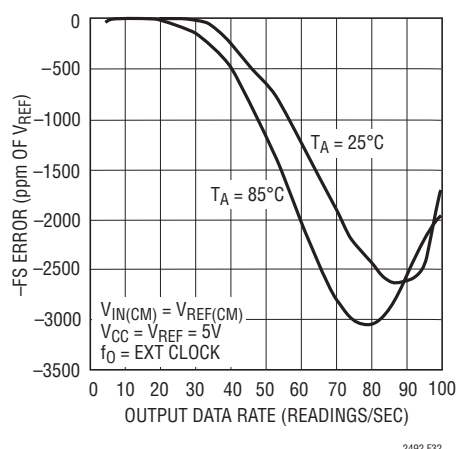


図32. -FS誤差と出力データ・レートおよび温度

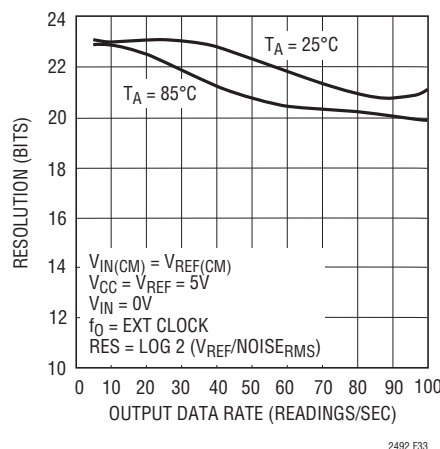
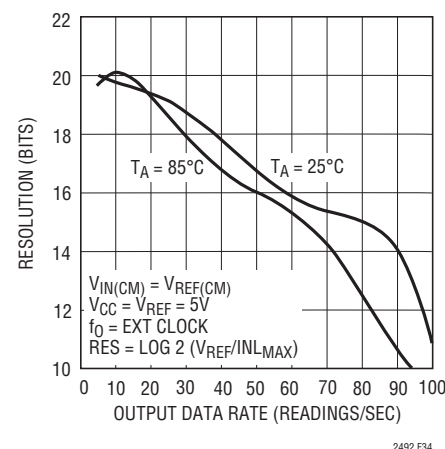
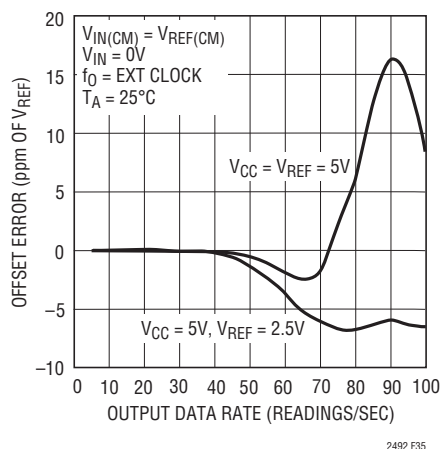
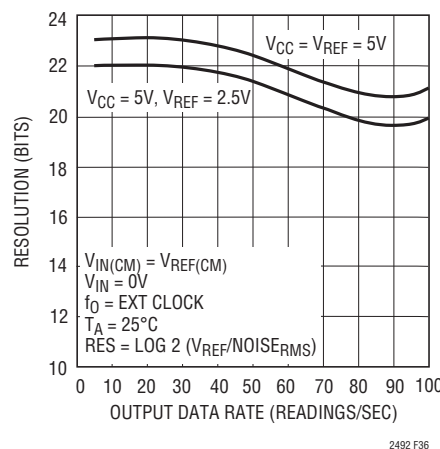
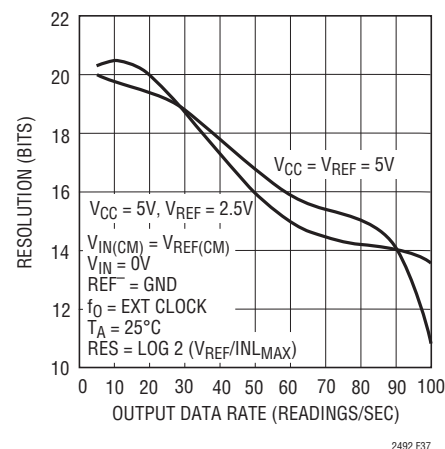
図33. 分解能($\text{Noise}_{\text{RMS}} \leq 1\text{LSB}$)と出力データ・レートおよび温度図34. 分解能($\text{INL}_{\text{MAX}} \leq 1\text{LSB}$)と出力データ・レートおよび温度

図35. オフセット誤差と出力データ・レートおよびリファレンス電圧

図36. 分解能($\text{Noise}_{\text{RMS}} \leq 1\text{LSB}$)と出力データ・レートおよびリファレンス電圧図37. 分解能($\text{INL}_{\text{MAX}} \leq 1\text{LSB}$)と出力データ・レートおよびリファレンス電圧

アプリケーション情報

Easy Drive ADCによる高インピーダンス・センサの測定の簡素化

デルタシグマADCは精度が高くノイズ耐性が高いので、多種のセンサを直接測定するのに最適です。にもかかわらず、入力サンプリング電流が、高いソース・インピーダンスや帯域幅の低いマイクロパワー信号調整回路を圧倒してしまうことがあります。LTC2492は入力電流をバランスさせることによってこの問題を解決しますので、信号調整回路を簡素化するか、あるいは不要にします。

デルタシグマADCはサーミスタの測定に広く使用されます。Easy Driveテクノロジーの利点を生かした、サーミスタのデジタル化の2つの例を図38に示します。

最初の回路(入力チャンネルのCH0とCH1に適用)には、同相入力電圧/同相リファレンス電圧をバランスさせるため、また、差動入力ソース抵抗をバランスさせるために、バランス基準抵抗が使われています。基準抵抗R1とR4が正確に等しければ入力電流がゼロになり、誤差は生じません。これらの抵抗の許容誤差が1%であれば、測定された抵抗の最大誤差は同相電圧のシフトにより 1.6Ω となり、基準抵抗自体の1%の誤差よりは

るかに小さくなります。アンプは不要ですから、これはマイクロパワーのアプリケーションに最適なソリューションです。

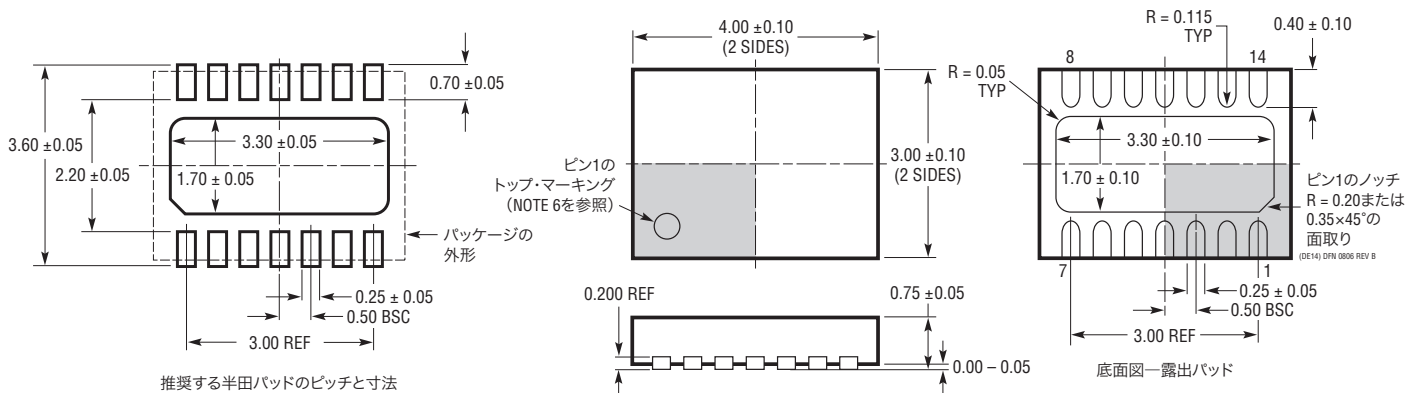
Easy Driveは、非常にローパワーで低帯域幅のアンプがLTC2492の入力をドライブすることも可能にします。図38に示されているように、CH2はLT1494によってドライブされています。LT1494のDC仕様は電源電流が $1.5\mu\text{A}$ のアンプとしては非常に優れています(最大オフセット電圧は $150\mu\text{V}$ 、開ループ利得は100,000です)。その帯域幅は2kHzなので、従来のデルタシグマADCをドライブするには適していません。 $1\text{k}\Omega$ 、 $0.1\mu\text{F}$ のフィルタを追加すると、 $1\text{k}\Omega$ の抵抗が容量性負荷をLT1494から分離し、LTC2492の瞬時電流を供給するための電荷はコンデンサに貯蔵されるので、この問題が解決されます。

従来のデルタシグマADCでは、外部RCネットワークの不完全なセトリングの結果として、入力サンプリング電流によりDC誤差が生じます。

Easy Driveテクノロジーは差動入力電流をキャンセルします。負入力(CH3)を $1\text{k}\Omega$ 、 $0.1\mu\text{F}$ のネットワークでバランスさせることにより、同相入力電流による誤差がキャンセルされます。

パッケージ

DEパッケージ 14ピン・プラスチックDFN(4mm×3mm) (Reference LTC DWG # 05-08-1708 Rev B)



NOTE:

- 図はJEDECパッケージ・アウトラインM0-229のバージョンのバリエーション(WGED-3)として提案
- 図は実寸とは異なる
- すべての寸法はミリメートル
- パッケージ底面の露出パッドの寸法にはモールドのバリを含めない
モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
- 露出パッドは半田メッキとする
- 網掛けの部分はパッケージのトップとボトムのパイン1の位置の参考過ぎない

改訂履歴 (Rev Cよりスタート)

REV	日付	概要	ページ番号
C	11/09	表1と表2の変更	17、18
D	07/10	「標準的応用例」の図の改訂 Note 18の追加	1 4、5

標準的応用例

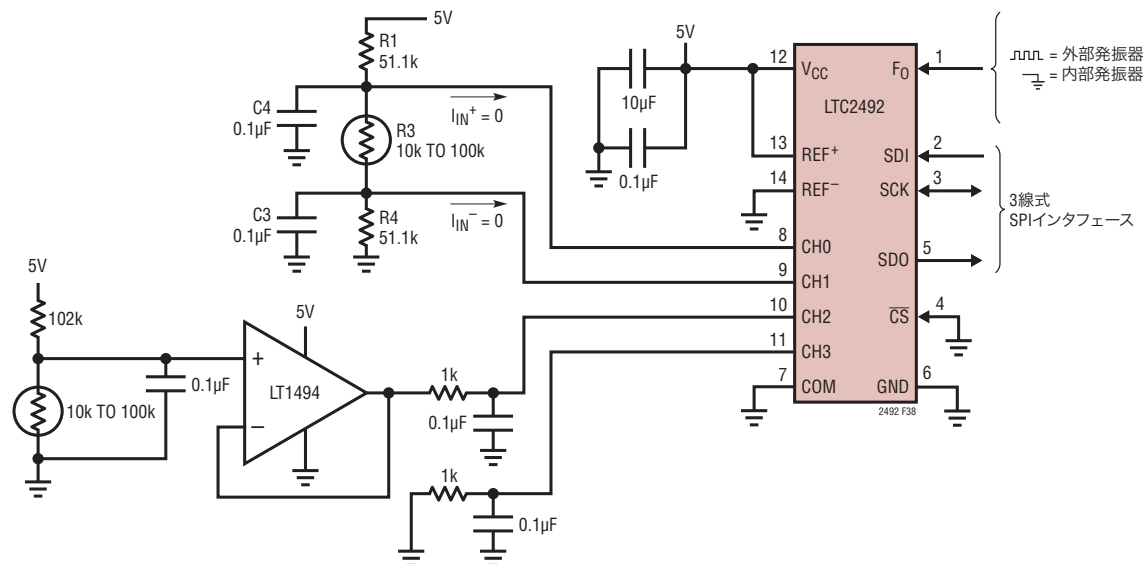


図38. Easy Drive ADCによる高インピーダンス・センサの測定の簡素化

関連製品

製品番号	説明	注釈
LT1236A-5	高精度バンドギャップ・リファレンス、5V	初期精度:最大0.05%、ドリフト:5ppm/°C
LT1460	マイクロパワー・シリーズのリファレンス	初期精度:最大0.075%、ドリフト:最大10ppm/°C
LT1790	マイクロパワー・SOT-23低損失リファレンス・ファミリー	初期精度:最大0.05%、ドリフト:最大10ppm/°C
LTC2400	24ビット、No Latency $\Delta\Sigma$ ADC、SO-8	ノイズ:0.3ppm、INL:4ppm、全未調整誤差:10ppm、200µA
LTC2410	24ビット、No Latency $\Delta\Sigma$ ADC、差動入力付き	ノイズ:0.8µVRMS、INL:2ppm
LTC2411/ LTC2411-1	24ビット、No Latency $\Delta\Sigma$ ADC、差動入力付き、MSOP	ノイズ:1.45µVRMS、INL:4ppm、同時50Hz/60Hz除去(LTC2411-1)
LTC2413	24ビット、No Latency $\Delta\Sigma$ ADC、差動入力付き	同時50Hz/60Hz除去、ノイズ:800nVRMS
LTC2440	高速、低ノイズ、24ビット $\Delta\Sigma$ ADC	3.5kHz出力レート、ノイズ:200nV、24.6 ENOB
LTC2442	内蔵アンプ付き24ビット高速2チャンネル/4チャンネル $\Delta\Sigma$ ADC	出力レート:8kHz、ノイズ:220nV、同時50/60Hz除去
LTC2449	24ビット高速8チャンネル/16チャンネル $\Delta\Sigma$ ADC	出力レート:8kHz、ノイズ:200nV、同時50/60Hz除去
LTC2480	16ビット $\Delta\Sigma$ ADC、Easy Drive入力付き、600nVノイズ、プログラム可能な利得、および温度センサ	LTC2482/LTC2484とピン互換
LTC2481	16ビット $\Delta\Sigma$ ADC、Easy Drive入力付き、600nVノイズ、I ² Cインタフェース、プログラム可能な利得、および温度センサ	LTC2483/LTC2485とピン互換
LTC2482	16ビット $\Delta\Sigma$ ADC、Easy Drive入力付き	LTC2480/LTC2484とピン互換
LTC2483	16ビット $\Delta\Sigma$ ADC、Easy Drive入力とI ² Cインタフェース付き	LTC2481/LTC2485とピン互換
LTC2484	24ビット $\Delta\Sigma$ ADC、Easy Drive入力付き	LTC2480/LTC2482とピン互換
LTC2485	24ビット $\Delta\Sigma$ ADC、Easy Drive入力、I ² Cインタフェースおよび温度センサ付き	LTC2481/LTC2483とピン互換
LTC2488	2チャンネル/4チャンネル16ビット $\Delta\Sigma$ ADC、Easy Drive入力付き	LTC2492とピン互換
LTC2496/ LTC2498	16チャンネル/8チャンネル、16ビット/24ビット $\Delta\Sigma$ ADC、Easy Drive入力とSPIインタフェース付き	LTC2492 とタイミングが互換