

Easy Drive入力電流  
キャンセル機能付き  
16ビット・デルタシグマADC

## 特長

- Easy Drive™技法により、差動入力電流がゼロのレール・トゥ・レール入力が可能
- 最大限の精度で高インピーダンス・センサを直接デジタル化
- RMSノイズ:  $V_{REF}$ と無関係に  $600\text{nV}$
- 16ビット分解能で  $100\text{mW}$  の低電圧リファレンスで動作
- GND~ $V_{CC}$ の入力/リファレンス同相範囲
- 50Hz/60Hz同時除去モード
- INLが  $\pm 2\text{ppm}$ 、ミッシングコードなし
- オフセットが  $\pm 1\text{ppm}$ 、全未調整誤差が  $\pm 15\text{ppm}$
- 待ち時間なし: デジタル・フィルタは1サイクルでセトリング
- 2.7V~5.5V単一電源動作
- 内部発振器
- 小型(3mm×3mm)10ピンDFNパッケージ

## アプリケーション

- ダイレクト・センサ・デジタイザ
- 秤
- 直接温度測定
- ストレイン・ゲージ・トランスジューサ
- 計測
- 産業用プロセス制御
- DVMおよびメータ

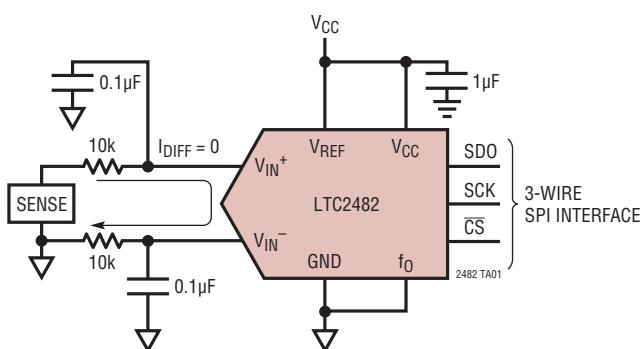
## 概要

LTC®2482は、16ビット正符号No Latency  $\Delta\Sigma$ ™アナログ-デジタル・コンバータと特許取得のEasy Drive™技法を組み合わせたデバイスです。特許取得のサンプリング回路は、差動入力電流の自動キャンセルにより、ダイナミック入力電流誤差や内部バッファの欠点を排除します。このため、優れたDC精度を維持しながら、大きい外部ソース・インピーダンスを許容可能で、レール・トゥ・レールの入力範囲の入力信号を直接デジタル化できます。

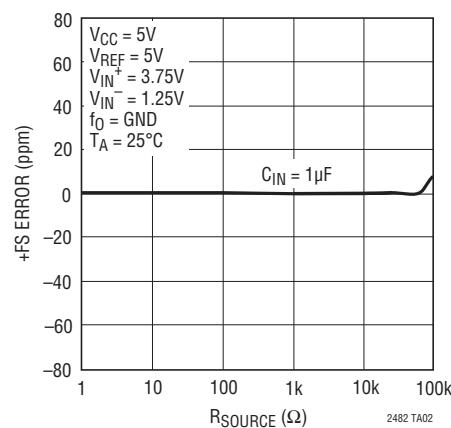
LTC2482は、リファレンス電圧と関係なく、広い同相入力電圧範囲(0V~ $V_{CC}$ )が可能です。リファレンスは100mVという低電圧が可能、もしくは、 $V_{CC}$ に直接接続可能です。RMSノイズ・レベルは  $V_{REF}$ と関係なく  $600\text{nV}$  です。このため、低電圧信号を16ビット精度で直接デジタル化できます。LTC2482は調整された発振器を内蔵しているので、外付けの水晶発振子や発振器が不要で、50Hzおよび60Hzのライン周波数ノイズの除去比が87dBとなります。連続した自動的なオフセットおよびフルスケール較正により、絶対精度と低ドリフトが自動的に維持されます。

**L**、**LT**、**LTC**、**LTM**、**Linear Technology**およびLinearのロゴはリニアテクノロジー社の登録商標です。No Latency  $\Delta\Sigma$ ™とEasy Driveはリニアテクノロジー社の商標です。他のすべての商標はそれらの所有者に所有権があります。

## 標準的応用例



+FS誤差とIN<sup>+</sup>およびIN<sup>-</sup>のR<sub>SOURCE</sub>



## 絶対最大定格

(Note 1,2)

電源電圧( $V_{CC}$ )からGND .....  $-0.3V \sim 6V$

アナログ入力電圧からGND .....  $-0.3V \sim (V_{CC} + 0.3V)$

リファレンス入力電圧からGND .....  $-0.3V \sim (V_{CC} + 0.3V)$

デジタル入力電圧からGND .....  $-0.3V \sim (V_{CC} + 0.3V)$

デジタル出力電圧からGND .....  $-0.3V \sim (V_{CC} + 0.3V)$

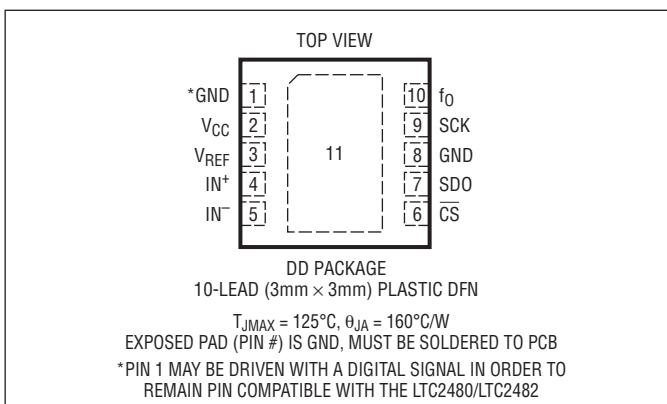
動作温度範囲

LTC2482C .....  $0^{\circ}C \sim 70^{\circ}C$

LTC2482I .....  $-40^{\circ}C \sim 85^{\circ}C$

保存温度範囲 .....  $-65^{\circ}C \sim 125^{\circ}C$

## ピン配置



## 発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2482CDD#PBF	LTC2482CDD#TRPBF	LBSQ	10-Lead (3mm × 3mm) Plastic DFN	$0^{\circ}C$ to $70^{\circ}C$
LTC2482IDD#PBF	LTC2482IDD#TRPBF	LBSQ	10-Lead (3mm × 3mm) Plastic DFN	$-40^{\circ}C$ to $85^{\circ}C$

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。 \*温度グレードは出荷時のコンテナのラベルで識別されます。  
非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。  
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreel/> をご覧ください。

## 電気的特性(通常の速度)

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^{\circ}C$ での値。(Note 3,4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)	$0.1 \leq V_{REF} \leq V_{CC}$ , $-FS \leq V_{IN} \leq +FS$ (Note 5)	●	16		Bits
Integral Nonlinearity	$5V \leq V_{CC} \leq 5.5V$ , $V_{REF} = 5V$ , $V_{IN(CM)} = 2.5V$ (Note 6) $2.7V \leq V_{CC} \leq 5.5V$ , $V_{REF} = 2.5V$ , $V_{IN(CM)} = 1.25V$ (Note 6)	●	2 1	20	ppm of $V_{REF}$ ppm of $V_{REF}$
Offset Error	$2.5V \leq V_{REF} \leq V_{CC}$ , $GND \leq IN^+ = IN^- \leq V_{CC}$ (Note 14)	●	0.5	5	$\mu V$
Offset Error Drift	$2.5V \leq V_{REF} \leq V_{CC}$ , $GND \leq IN^+ = IN^- \leq V_{CC}$		10		$nV/{}^{\circ}C$
Positive Full-Scale Error	$2.5V \leq V_{REF} \leq V_{CC}$ , $IN^+ = 0.75V_{REF}$ , $IN^- = 0.25V_{REF}$	●		32	ppm of $V_{REF}$
Positive Full-Scale Error Drift	$2.5V \leq V_{REF} \leq V_{CC}$ , $IN^+ = 0.75V_{REF}$ , $IN^- = 0.25V_{REF}$		0.1		ppm of $V_{REF}/{}^{\circ}C$
Negative Full-Scale Error	$2.5V \leq V_{REF} \leq V_{CC}$ , $IN^+ = 0.75V_{REF}$ , $IN^- = 0.25V_{REF}$	●		32	ppm of $V_{REF}$
Negative Full-Scale Error Drift	$2.5V \leq V_{REF} \leq V_{CC}$ , $IN^+ = 0.75V_{REF}$ , $IN^- = 0.25V_{REF}$		0.1		ppm of $V_{REF}/{}^{\circ}C$
Total Unadjusted Error	$5V \leq V_{CC} \leq 5.5V$ , $V_{REF} = 2.5V$ , $V_{IN(CM)} = 1.25V$ $5V \leq V_{CC} \leq 5.5V$ , $V_{REF} = 5V$ , $V_{IN(CM)} = 2.5V$ $2.7V \leq V_{CC} \leq 5.5V$ , $V_{REF} = 2.5V$ , $V_{IN(CM)} = 1.25V$		15		ppm of $V_{REF}$ ppm of $V_{REF}$ ppm of $V_{REF}$
Output Noise	$5V \leq V_{CC} \leq 5.5V$ , $V_{REF} = 5V$ , $GND \leq IN^- = IN^+ \leq V_{CC}$ (Note 13)		0.6		$\mu V_{RMS}$

## コンバータ特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3、4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Common Mode Rejection DC	$2.5V \leq V_{\text{REF}} \leq V_{\text{CC}}$ , GND $\leq IN^- = IN^+ \leq V_{\text{CC}}$ (Note 5)	● 140			dB
Input Common Mode Rejection, 50Hz $\pm 2\%$	$2.5V \leq V_{\text{REF}} \leq V_{\text{CC}}$ , GND $\leq IN^- = IN^+ \leq V_{\text{CC}}$ (Note 5)	● 140			dB
Input Common Mode Rejection, 60Hz $\pm 2\%$	$2.5V \leq V_{\text{REF}} \leq V_{\text{CC}}$ , GND $\leq IN^- = IN^+ \leq V_{\text{CC}}$ (Note 5)	● 140			dB
Input Normal Mode Rejection, 50Hz $\pm 2\%$	$2.5V \leq V_{\text{REF}} \leq V_{\text{CC}}$ , GND $\leq IN^- = IN^+ \leq V_{\text{CC}}$ (Notes 5, 7)	● 110	120		dB
Input Normal Mode Rejection, 60Hz $\pm 2\%$	$2.5V \leq V_{\text{REF}} \leq V_{\text{CC}}$ , GND $\leq IN^- = IN^+ \leq V_{\text{CC}}$ (Notes 5, 8)	● 110	120		dB
Input Normal Mode Rejection, 50Hz/60Hz $\pm 2\%$	$2.5V \leq V_{\text{REF}} \leq V_{\text{CC}}$ , GND $\leq IN^- = IN^+ \leq V_{\text{CC}}$ (Notes 5, 9)	● 87			dB
Reference Common Mode Rejection DC	$2.5V \leq V_{\text{REF}} \leq V_{\text{CC}}$ , GND $\leq IN^- = IN^+ \leq V_{\text{CC}}$ (Note 5)	● 120	140		dB
Power Supply Rejection DC	$V_{\text{REF}} = 2.5V$ , $IN^- = IN^+ = \text{GND}$			120	dB
Power Supply Rejection, 50Hz $\pm 2\%$	$V_{\text{REF}} = 2.5V$ , $IN^- = IN^+ = \text{GND}$ (Note 7)			120	dB
Power Supply Rejection, 60Hz $\pm 2\%$	$V_{\text{REF}} = 2.5V$ , $IN^- = IN^+ = \text{GND}$ (Note 8)			120	dB

## アナログ入力とリファレンス

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$IN^+$	Absolute/Common Mode $IN^+$ Voltage		GND – 0.3V		$V_{\text{CC}} + 0.3V$	V
$IN^-$	Absolute/Common Mode $IN^-$ Voltage		GND – 0.3V		$V_{\text{CC}} + 0.3V$	V
FS	Full Scale of the Differential Input ( $IN^+ - IN^-$ )		● 0.5 $V_{\text{REF}}$			V
LSB	Least Significant Bit of the Output Code		● $FS/2^{16}$			
$V_{\text{IN}}$	Input Differential Voltage Range ( $IN^+ - IN^-$ )		● –FS		+FS	V
$V_{\text{REF}}$	Reference Voltage Range		● 0.1		$V_{\text{CC}}$	V
$C_S (IN^+)$	$IN^+$ Sampling Capacitance				11	pF
$C_S (IN^-)$	$IN^-$ Sampling Capacitance				11	pF
$C_S (V_{\text{REF}})$	$V_{\text{REF}}$ Sampling Capacitance				11	pF
$I_{\text{DC\_LEAK}} (IN^+)$	$IN^+$ DC Leakage Current	Sleep Mode, $IN^+ = \text{GND}$	● –10	1	10	nA
$I_{\text{DC\_LEAK}} (IN^-)$	$IN^-$ DC Leakage Current	Sleep Mode, $IN^- = \text{GND}$	● –10	1	10	nA
$I_{\text{DC\_LEAK}} (V_{\text{REF}})$	$V_{\text{REF}}$ Leakage Current	Sleep Mode, $V_{\text{REF}} = V_{\text{CC}}$	● –100	1	100	nA

## デジタル入力とデジタル出力

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{IH}$	High Level Input Voltage; $\overline{\text{CS}}, f_0$	$2.7V \leq V_{CC} \leq 5.5V$ (Note 16)	●	$V_{CC} - 0.5$		V
$V_{IL}$	Low Level Input Voltage; $\overline{\text{CS}}, f_0$	$2.7V \leq V_{CC} \leq 5.5V$	●		0.5	V
$V_{IH}$	High Level Input Voltage, SCK	$2.7V \leq V_{CC} \leq 5.5V$ (Note 10)	●	$V_{CC} - 0.5$		V
$V_{IL}$	Low Level Input Voltage, SCK	$2.7V \leq V_{CC} \leq 5.5V$ (Note 10)	●		0.5	V
$I_{IN}$	Digital Input Current; $\overline{\text{CS}}, f_0$	$0V \leq V_{IN} \leq V_{CC}$	●	-10	10	$\mu\text{A}$
$I_{IN}$	Digital Input Current, SCK	$0V \leq V_{IN} \leq V_{CC}$ (Note 10)	●	-10	10	$\mu\text{A}$
$C_{IN}$	Digital Input Capacitance; $\overline{\text{CS}}, f_0$			10		$\text{pF}$
$C_{IN}$	Digital Input Capacitance, SCK			10		$\text{pF}$
$V_{OH}$	High Level Output Voltage, SDO	$I_O = -800\mu\text{A}$	●	$V_{CC} - 0.5$		V
$V_{OL}$	Low Level Output Voltage, SDO	$I_O = 1.6\text{mA}$	●		0.4	V
$V_{OH}$	High Level Output Voltage, SCK	$I_O = -800\mu\text{A}$	●	$V_{CC} - 0.5$		V
$V_{OL}$	Low Level Output Voltage, SCK	$I_O = 1.6\text{mA}$	●		0.4	V
$I_{OZ}$	Hi-Z Output Leakage, SDO		●	-10	10	$\mu\text{A}$

## 電源要件

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{CC}$	Supply Voltage		●	2.7	5.5	V
$I_{CC}$	Supply Current	Conversion Mode (Note 12) Sleep Mode (Note 12)	● ●	160 1	250 2	$\mu\text{A}$

## タイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$f_{EOSC}$	External Oscillator Frequency Range	(Note 15)	● 10		4000	kHz
$t_{HEO}$	External Oscillator High Period		● 0.125		100	μs
$t_{LEO}$	External Oscillator Low Period		● 0.125		100	μs
$t_{CONV\_1}$	Conversion Time	Simultaneous 50Hz/60Hz External Oscillator	● 144.1 ● 41036/ $f_{EOSC}$ (in kHz)	146.9	149.9	ms ms
$f_{ISCK}$	Internal SCK Frequency	Internal Oscillator (Note 10) External Oscillator (Notes 10, 11)		38.4 $f_{EOSC}/8$		kHz kHz
$D_{ISCK}$	Internal SCK Duty Cycle	(Note 10)	● 45		55	%
$f_{ESCK}$	External SCK Frequency Range	(Note 10)	●		4000	kHz
$t_{LESCK}$	External SCK Low Period	(Note 10)	● 125			ns
$t_{HESCK}$	External SCK High Period	(Note 10)	● 125			ns
$t_{DOUT\_ISCK}$	Internal SCK 24-Bit Data Output Time	Internal Oscillator (Notes 10, 12) External Oscillator (Notes 10, 11)	● 0.61 ● 192/ $f_{EOSC}$ (in kHz)	0.625	0.64	ms ms
$t_{DOUT\_ESCK}$	External SCK 24-Bit Data Output Time	(Note 10)	●	24/ $f_{ESCK}$ (in kHz)		ms
$t_1$	$\overline{\text{CS}} \downarrow$ to SDO Low		● 0		200	ns
$t_2$	$\text{CS} \uparrow$ to SDO Hi-Z		● 0		200	ns
$t_3$	$\overline{\text{CS}} \downarrow$ to $\text{SCK}_0$	(Note 10)	● 0		200	ns
$t_4$	$\overline{\text{CS}} \downarrow$ to $\text{SCK}^\neq$	(Note 10)	● 50			ns
$t_{KQMAX}$	$\text{SCK} \downarrow$ to SDO Valid		●		200	ns
$t_{KQMIN}$	SDO Hold After $\text{SCK} \downarrow$	(Note 5)	● 15			ns
$t_5$	SCK Set-Up Before $\overline{\text{CS}} \downarrow$		● 50			ns
$t_6$	SCK Hold After $\overline{\text{CS}} \downarrow$		●		50	ns

**Note 1:**絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

**Note 2:**すべての電圧値はGNDを基準にしている。

**Note 3:**注記がない限り、 $V_{CC} = 2.7\text{V} \sim 5.5\text{V}$ 。

$$V_{REFCM} = V_{REF}/2, FS = 0.5V_{REF}$$

$$V_{IN} = IN^+ - IN^- , V_{IN(CM)} = (IN^+ + IN^-)/2$$

**Note 4:**注記がない限り、内部変換クロックまたは $f_{EOSC} = 307.2\text{kHz}$ の外部変換クロック・ソースを使う。

**Note 5:**設計によって保証されているが、テストされない。

**Note 6:**積分非直線性は、実際の伝達曲線のエンドポイントを通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

**Note 7:** $f_{EOSC} = 256\text{kHz} \pm 2\%$  (外部発振器)

**Note 8:** $f_{EOSC} = 307.2\text{kHz} \pm 2\%$  (外部発振器)

**Note 9:**50Hz/60Hz同時除去(内部発振器)または $f_{EOSC} = 280\text{kHz} \pm 2\%$  (外部発振器)

**Note 10:**SCKは外部SCKモードまたは内部SCKモードで構成設定することができる。外部SCKモードでは、SCKピンはデジタル入力として使われ、ドライビング・クロックは $f_{ESCK}$ である。内部SCKモードでは、SCKピンはデジタル出力として使われ、データ出力時の出力クロック信号は $f_{ISCK}$ である。

**Note 11:**外部発振器は $f_0$ ピンに接続されている。外部発振器の周波数( $f_{EOSC}$ )はkHzで表されている。

**Note 12:**コンバータは内部発振器を使用する。

**Note 13:**出力ノイズには内部較正動作によって生じる分が含まれる。

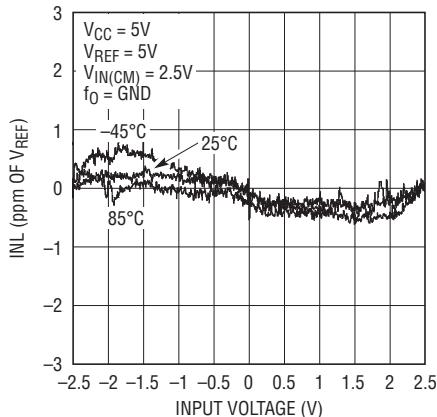
**Note 14:**設計およびテストの相関により保証されている。

**Note 15:**性能とデータ・レートのグラフについては、「アプリケーション情報」のセクションを参照。

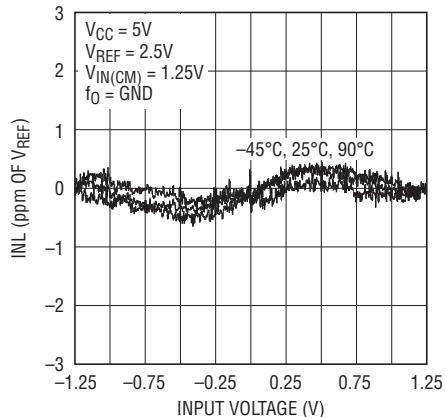
**Note 16:** $V_{CC} < 3\text{V}$ の場合、 $f_0$ ピンの $V_{IH}$ は2.5V。

## 標準的性能特性

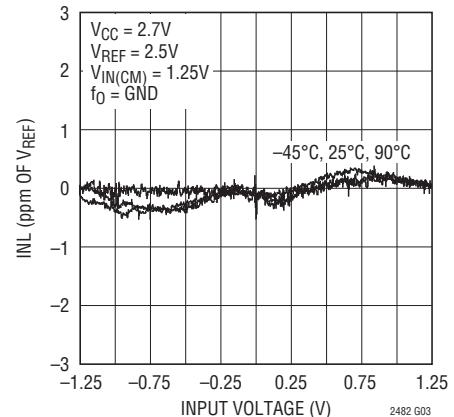
**積分非直線性  
( $V_{CC} = 5V$ ,  $V_{REF} = 5V$ )**



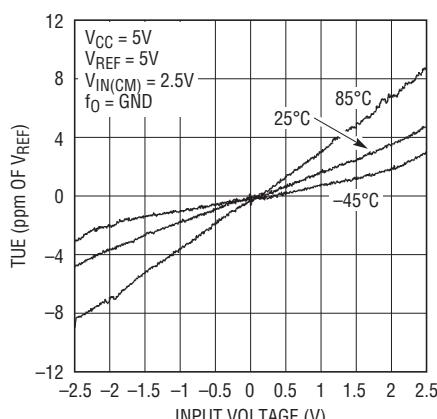
**積分非直線性  
( $V_{CC} = 5V$ ,  $V_{REF} = 2.5V$ )**



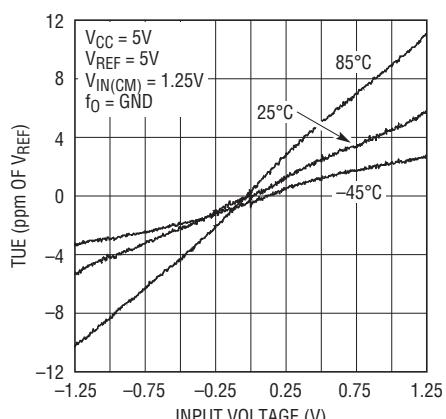
**積分非直線性  
( $V_{CC} = 2.7V$ ,  $V_{REF} = 2.5V$ )**



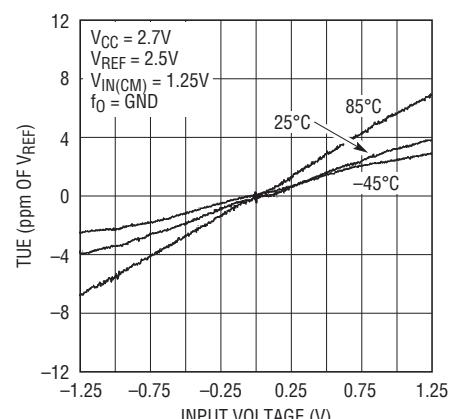
**全未調整誤差  
( $V_{CC} = 5V$ ,  $V_{REF} = 5V$ )**



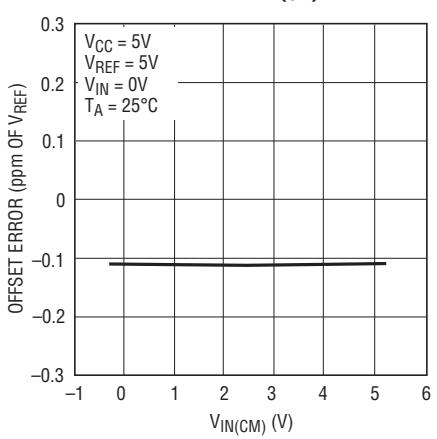
**全未調整誤差  
( $V_{CC} = 5V$ ,  $V_{REF} = 2.5V$ )**



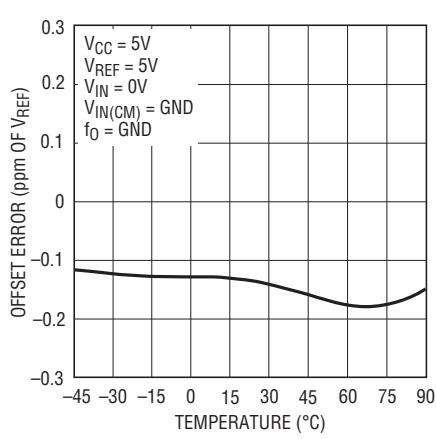
**全未調整誤差  
( $V_{CC} = 2.7V$ ,  $V_{REF} = 2.5V$ )**



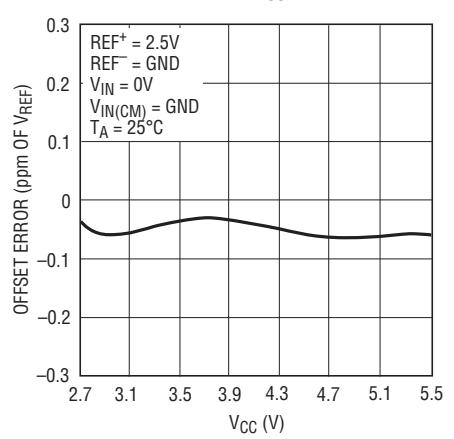
**オフセット誤差と $V_{IN(CM)}$**



**オフセット誤差と温度**

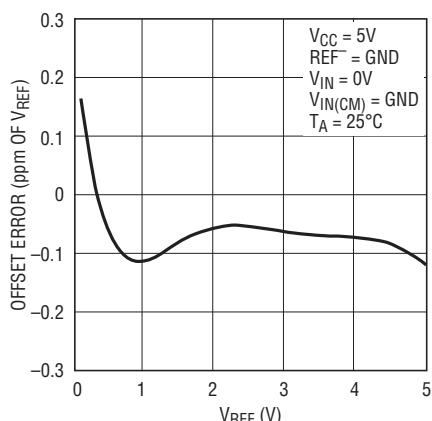


**オフセット誤差と $V_{CC}$**



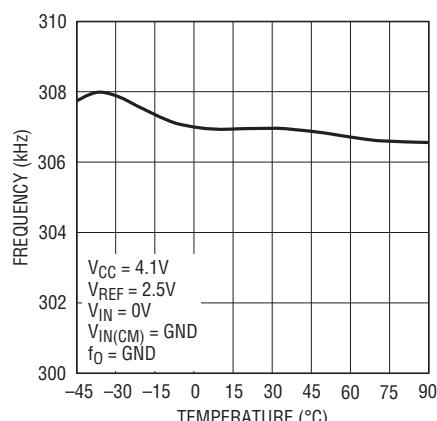
## 標準的性能特性

オフセット誤差と $V_{REF}$



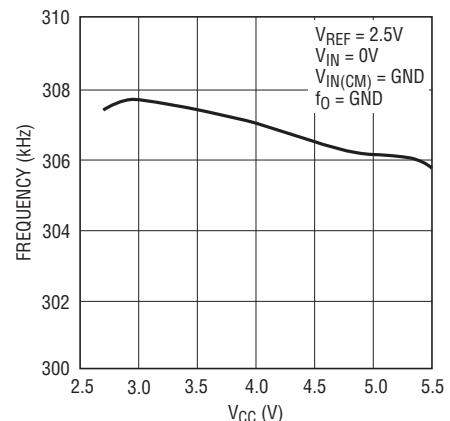
2482 G10

内部発振器の周波数と温度



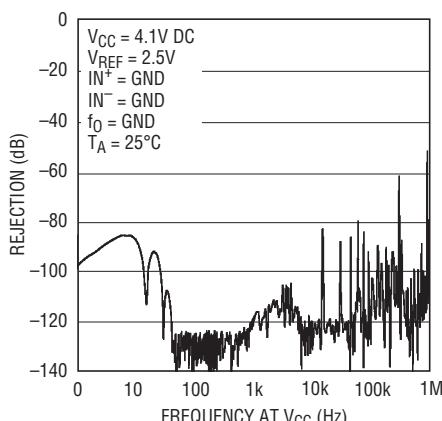
2482 G11

内部発振器の周波数と $V_{CC}$



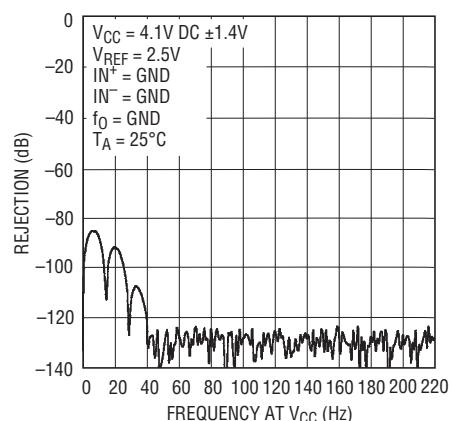
2482 G12

PSRRと $V_{CC}$ での周波数



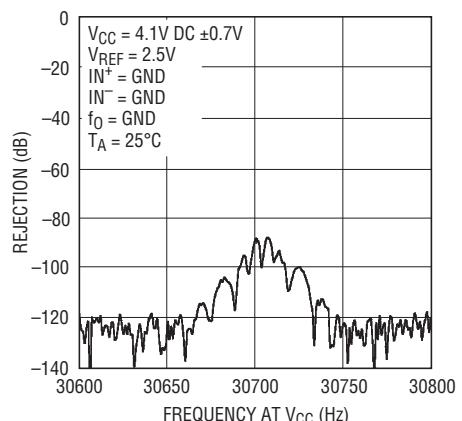
2482 G13

PSRRと $V_{CC}$ での周波数



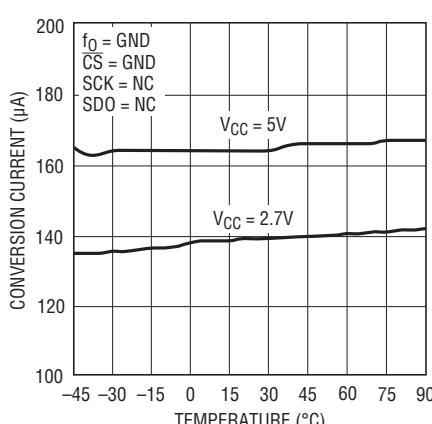
2482 G14

PSRRと $V_{CC}$ での周波数



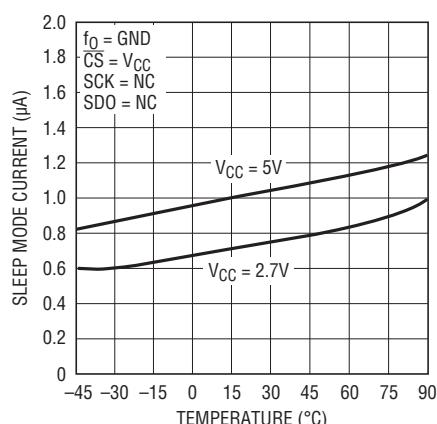
2482 G15

変換電流と温度



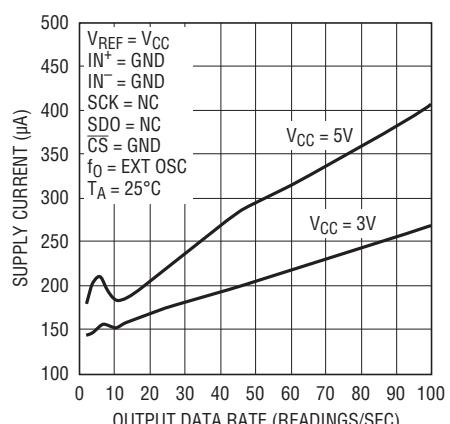
2482 G16

スリープ・モード電流と温度



2482 G17

変換電流と出力データ・レート



2482 G18

## ピン機能

**GND(ピン1)**: グランド。このピンはグランドに接続します。ただし、LTC2480/LTC2484とのピン互換性を保つために、このピンを“H”または“L”にドライブすることができます。

**V<sub>CC</sub>(ピン2)**: 正電源電圧。1μFのタンタル・コンデンサと0.1μFのセラミック・コンデンサを並列に接続して、デバイスのできるだけ近くでGND(ピン8)にバイパスします。

**V<sub>REF</sub>(ピン3)**: 正のリファレンス入力。このピンの電圧は0.1VとV<sub>CC</sub>の間の任意の値にすることができます。負のリファレンス入力はGND(ピン8)です。

**IN<sup>+</sup>(ピン4)、IN<sup>-</sup>(ピン5)**: 差動アナログ入力。これらのピンの電圧は(GND-0.3V)と(V<sub>CC</sub>+0.3V)の間の任意の値をとることができます。これらのリミット内では、コンバータのバイポーラ入力範囲( $V_{IN} = IN^+ - IN^-$ )は-0.5 • V<sub>REF</sub> ~ 0.5 • V<sub>REF</sub>となります。この入力範囲の外側では、コンバータは固有のオーバーレンジとアンダーレンジの出力コードを発生します。

**CS(ピン6)**: アクティブ“L”的チップ・セレクト。このピンを“L”にすると、デジタル入力/出力がイネーブルされ、ADCが覚醒します。各変換の後、ADCは自動的にスリープ・モードに入り、CSが“H”である限りこの省電力状態に留まります。出力データの転送中にCSが“L”から“H”に遷移すると、データ転送が中止され、新たな変換が開始されます。

**SDO(ピン7)**: スリーステートのデジタル出力。データ出力の期間中、このピンはシリアル・データ出力として使われます。チップ・セレクトCSが“H”的とき(CS = V<sub>CC</sub>)、SDOピンは高インピーダンス状態になります。変換とスリープの期間中、このピンは変換状態出力として使われます。変換の状態はCSを“L”に引き下げる観察することができます。

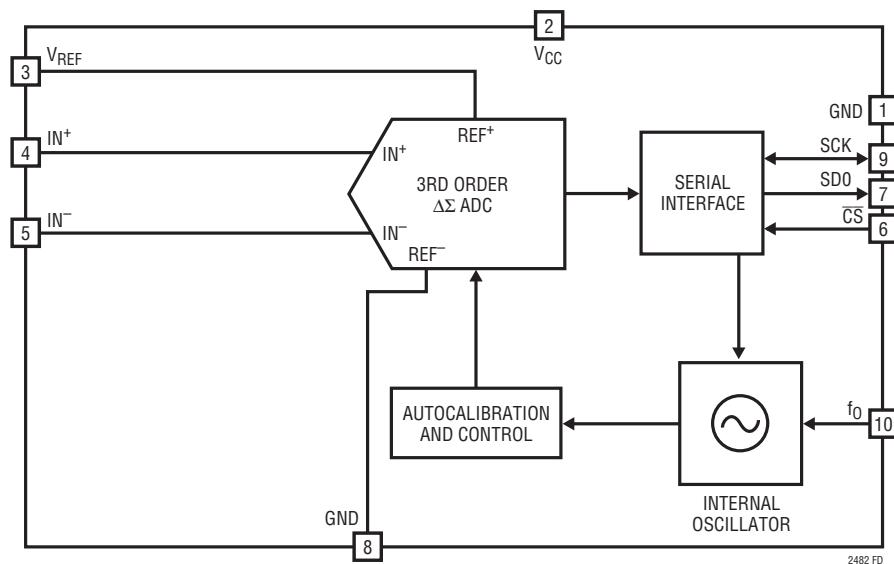
**GND(ピン8)**: グランド。アナログ・グランド、デジタル・グランドおよびリファレンス・グランドの共通ピン。最小のインピーダンスで直接グランド・プレーンに接続します。

**SCK(ピン9)**: 双方向デジタル・クロック・ピン。内部シリアル・クロック動作モードでは、SCKはデータ出力期間中は内部シリアル・インターフェース・クロックのデジタル出力として使われます。外部シリアル・クロック動作モードでは、SCKはデータ出力期間中は外部シリアル・インターフェース・クロックのデジタル入力として使われます。内部シリアル・クロック動作モードでは、弱い内部プルアップ抵抗が自動的に有効になります。シリアル・クロック動作モードは、パワーアップ時またはCSの最新の立ち上がりエッジの間にSCKピンに与えられるロジック・レベルによって決まります。

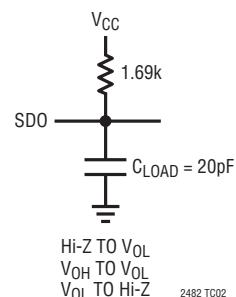
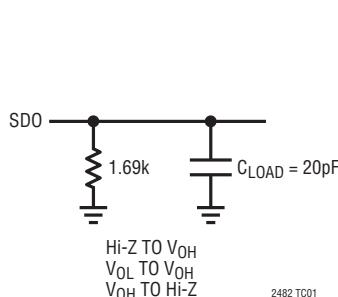
**f<sub>0</sub>(ピン10)**: 周波数制御ピン。変換クロックを制御するデジタル入力。f<sub>0</sub>がGNDに接続されていると、コンバータは307.2kHzで動作している内部発振器を使います。出力レートまたはデジタル・フィルタの除去ヌルを変更するため、f<sub>0</sub>ピンを外部クロックでドライブして変換クロックを無効にすることもできます。

**露出パッド(ピン11)**: このピンはグランドで、PCBのグランド・プレーンに半田付けします。プロトタイプの作成では、このピンをフロートさせたままでもかまいません。

## 機能ブロック図



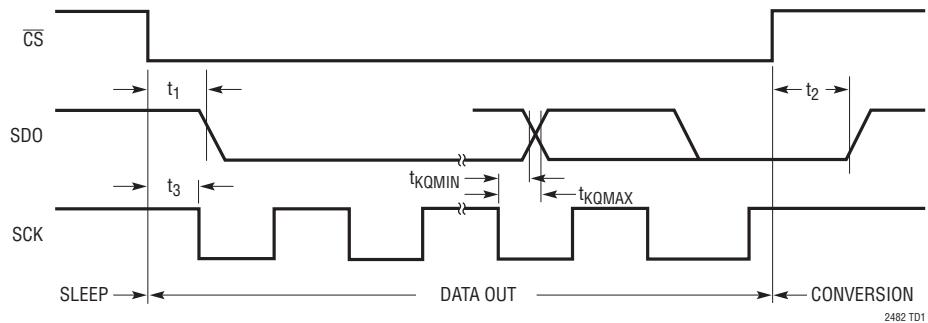
## テスト回路



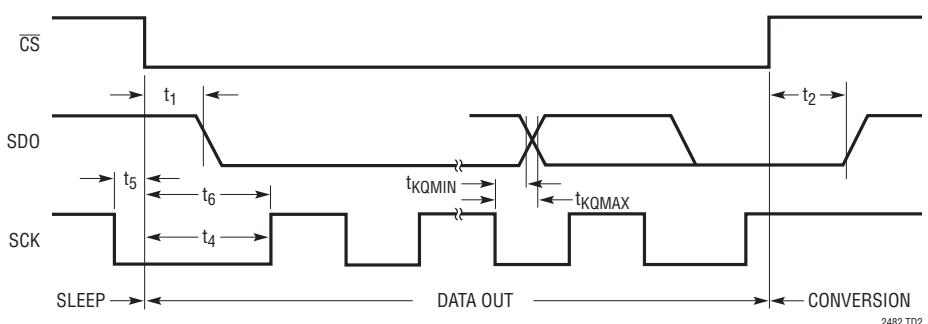
# LTC2482

## タイミング図

内部SCKを使った場合のタイミング図



外部SCKを使った場合のタイミング図



## アプリケーション情報

### コンバータの動作

#### コンバータの動作サイクル

LTC2482は低電力デルタシグマADコンバータで、使いやすい3線式シリアル・インターフェースと自動差動入力電流キャンセル機能を備えています。その動作は3つの状態で構成されています。コンバータの動作サイクルは変換状態から始まり、省電力のスリープ状態がそれに続き、データ出力状態で終了します(図1を参照)。3線式のインターフェースはシリアル・データ出力(SDO)、シリアル・クロック(SCK)およびチップ・セレクト( $\overline{CS}$ )で構成されています。

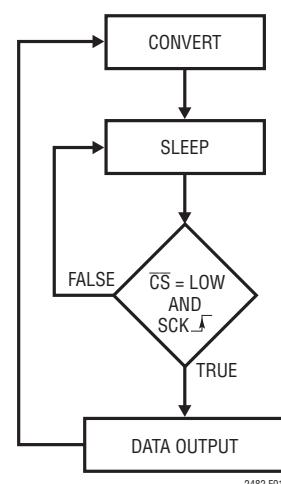


図1. LTC2482の状態遷移図

## アプリケーション情報

LTC2482は最初に変換を行います。変換が完了すると、デバイスはスリープ状態に入ります。このスリープ状態の間、電力消費は2桁減少します。 $\overline{CS}$ が“H”に保たれている限り、デバイスはスリープ状態に留まります。コンバータがスリープ状態の間、変換結果は無期限にスタティック・シフトレジスタ内に保存されます。

$\overline{CS}$ が“L”に引き下げられると、デバイスは省電力モードから出て、データ出力状態になります。SCKの最初の立ち上がりエッジの前に $\overline{CS}$ が“H”に引き上げられると、デバイスは省電力のスリープ・モードに戻り、変換結果は内部のスタティック・シフトレジスタ内にホールドされたままです。SCKの最初の立ち上がりエッジの後 $\overline{CS}$ が“L”的ままだと、デバイスは変換結果を出力し始めます。この時点で $\overline{CS}$ を“H”にすると、データ出力状態が終了し、新しい変換が開始されます。変換結果はシリアル・クロック(SCK)の立ち下がりエッジでシリアル・データ出力ピン(SDO)を介してデバイスからシフトアウトされます(図2を参照)。

$\overline{CS}$ ピンとSCKピンのタイミング制御によって、LTC2482はいくつのかの動作モード(内部または外部のSCKと自走変換の各モード)を柔軟に提供します。これらの多様なモードは設定用の構成レジスタを必要としません。また、上述のサイクル動作を乱しません。これらの動作モードについては「シリアル・インターフェースのタイミング・モード」のセクションで詳しく説明します。

### Easy Drive入力電流キャンセル

LTC2482は高精度デルタシグマADCを自動差動入力電流キャンセル・フロントエンドと組み合わせています。独自のフロントエンド受動サンプリング・ネットワークが透過的に差動入

力電流を除去します。これにより、外部RCネットワークと高インピーダンス・センサを、外部アンプなしに、直接LTC2482にインターフェースさせることができます。残りの同相入力電流は、差動入力のインピーダンスのバランスを取るか、または同相入力を同相リファレンスに等しく設定して除去します(「自動入力電流キャンセル」のセクションを参照)。このユニークなアーキテクチャには内蔵バッファが不要なので、入力信号はグランドからVCCまで完全に振幅することができます。さらに、このキャンセル機能はオフセットとフルスケールの透過的な自動較正を妨げないので、外部RCネットワークが付加されても、絶対精度(フルスケール+オフセット+直線性)が維持されます。

### 出力データのフォーマット

LTC2482のシリアル出力のデータ・ストリームは24ビット長です。最初の3ビットはステータス情報を表し、符号と変換状態を示します。次の17ビットは変換結果で、MSBが最初にきます。残りの4ビットは常にゼロです。ビット21とビット20は一緒になってアンダーレンジ状態(差動入力電圧が-FSより下)またはオーバーレンジ状態(差動入力電圧が+FSより上)を示すにも使われます。

プロセッサが32クロック・サイクルを生成するアプリケーションでは、あるいはもっと高い分解能のコンバータとの互換性を保つためには、LTC2482のデジタル・インターフェースは24番目の後の次の変換期間に見られる余分なクロック・エッジを無視し、余分なクロック・サイクルに対して“1”を出力します。さらに、24ビットすべてを出力する前に $\overline{CS}$ を“H”に引き上げてデータの出力転送を中止し、新しい変換を開始することができます。

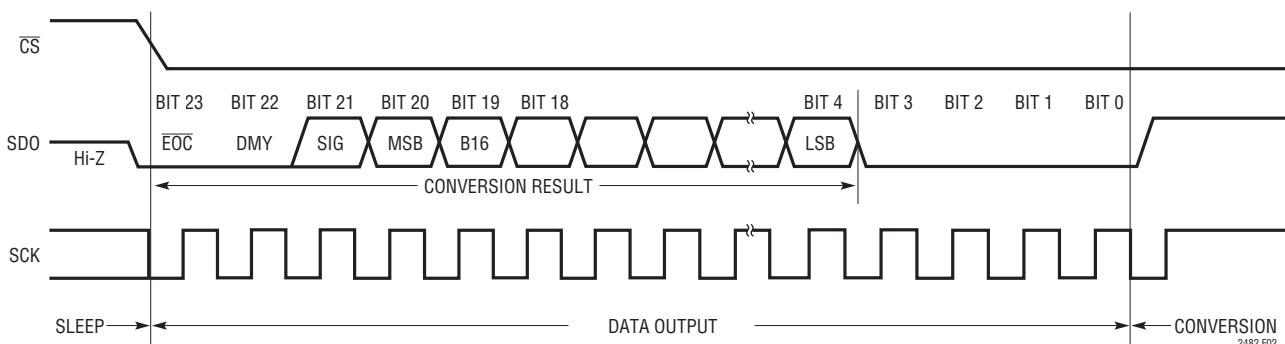


図2. 出力データのタイミング

## アプリケーション情報

ビット23(最初の出力ビット)は変換終了( $\overline{EOC}$ )のインジケータです。このビットは、 $\overline{CS}$ ピンが“L”的とき、変換状態およびスリープ状態の間にSDOピンから得られます。このビットは変換中は“H”で、変換が完了すると“L”になります。

ビット22(2番目の出力ビット)はダミービット(DMY)で、常に“L”です。

ビット21(3番目の出力ビット)は変換結果の符合のインジケータ(SIG)です。 $V_{IN} > 0$ ならば、このビットは“H”になります。 $V_{IN} < 0$ ならば、このビットは“L”になります。

ビット20(4番目の出力ビット)は結果の最上位ビット(MSB)です。このビットはビット21と組み合わされてアンダーレンジまたはオーバーレンジも表示します。ビット21とビット20が両方とも“H”的場合、差動入力電圧は $+FS$ を越えています。ビット21とビット20が両方とも“L”的場合、差動入力電圧は $-FS$ より低くなっています。

これらのビットの機能を表1にまとめます。

表1. LTC2482のステータス・ビット

入力範囲	BIT 23 $\overline{EOC}$	BIT 22 DMY	BIT 21 SIG	BIT 20 MSB
$V_{IN} \geq 0.5 \cdot V_{REF}$	0	0	1	1
$0V \leq V_{IN} < 0.5 \cdot V_{REF}$	0	0	1	0
$-0.5 \cdot V_{REF} \leq V_{IN} < 0V$	0	0	0	1
$V_{IN} < -0.5 \cdot V_{REF}$	0	0	0	0

ビット20～ビット4は16ビットと符合からなる変換結果で、MSBが最初にきます。

ビット3～ビット0は常に“L”で、LTC2480とのソフトウェア互換性を維持するために含まれています。

表2. LTC2482の出力データのフォーマット

差動入力電圧 $V_{IN}^*$	BIT 23 $\overline{EOC}$	BIT 22 DMY	BIT 21 SIG	BIT 20 MSB	BIT 19	BIT 18	BIT 17	...	BIT 4	BITS 3-0
$V_{IN}^* \geq FS^{**}$	0	0	1	1	0	0	0	...	0	0
$FS^{**} - 1LSB$	0	0	1	0	1	1	1	...	1	0
$0.5 \cdot FS^{**}$	0	0	1	0	1	0	0	...	0	0
$0.5 \cdot FS^{**} - 1LSB$	0	0	1	0	0	1	1	...	1	0
0	0	0	1	0	0	0	0	...	0	0
$-1LSB$	0	0	0	1	1	1	1	...	1	0
$-0.5 \cdot FS^{**}$	0	0	0	1	1	0	0	...	0	0
$-0.5 \cdot FS^{**} - 1LSB$	0	0	0	1	0	1	1	...	1	0
$-FS^{**}$	0	0	0	1	0	0	0	...	0	0
$V_{IN}^* < -FS^{**}$	0	0	0	0	1	1	1	...	1	0

\* 差動入力電圧 $V_{IN} = IN^+ - IN^-$ 。 \*\* フルスケール電圧 $FS = 0.5 \cdot V_{REF}$

データはシリアル・クロック(SCK)の制御によりSDOピンからシフトアウトされます(図2を参照)。 $\overline{CS}$ が“H”的ときは常にSDOは高インピーダンスとなり、内部のデータ出力用シフトレジスタは外部で発生したSCKクロック・パルスをすべて無視します。

変換結果をデバイスからシフトアウトするには、最初に $\overline{CS}$ を“L”にドライブする必要があります。 $\overline{CS}$ が“L”に引き下げられると、デバイスのSDOピンに $\overline{EOC}$ が現われます。 $\overline{EOC}$ は変換完了時にリアルタイムで“H”から“L”に変化します。この信号は外部のマイクロコントローラへの割り込み信号として使うことができます。ビット23( $\overline{EOC}$ )はSCKの最初の立ち上がりエッジで捕捉することができます。ビット22はSCKの最初の立ち下がりエッジでデバイスからシフトアウトされます。最後のデータ・ビット(ビット0)は23番目のSCKの立ち下がりエッジでシフトアウトされ、24番目のSCKパルスの立ち上がりエッジでラッチすることができます。24番目のSCKパルスの立ち下がりエッジでSDOは“H”になり、新しい変換サイクルの開始を示します。このビットは次の変換サイクルの $\overline{EOC}$ (ビット23)として機能します。出力データのフォーマットを表2にまとめます。

$IN^+$ ピンと $IN^-$ ピンの電圧が $-0.3V \sim (V_{CC} + 0.3V)$ の絶対最大動作範囲内に維持されている限り、 $-FS = -0.5 \cdot V_{REF}$ から $+FS = 0.5 \cdot V_{REF}$ までの任意の差動入力電圧 $V_{IN}$ に対して変換結果が生成されます。差動入力電圧が $+FS$ より高い場合、変換結果は $+FS + 1LSB$ に相当する値にクランプされます。差動入力電圧が $-FS$ より低い場合、変換結果は $-FS - 1LSB$ に相当する値にクランプされます。

## アプリケーション情報

### 変換クロック

デルタシグマ・コンバータが従来型のコンバータよりも大きく優れている点は(一般にSINC(同期)フィルタまたはComb(櫛形)フィルタとして実装される)デジタル・フィルタを内蔵していることです。高分解能で低周波数のアプリケーションの場合、このフィルタは一般に50Hzまたは60Hzのライン周波数およびそれらの高調波を除去するように設計されます。フィルタの除去性能はコンバータのシステム・クロックの精度に直接関係します。LTC2482には高精度の発振器が内蔵されています。したがって、水晶発振子や発振器などの外部で周波数を設定する部品は不要です。

### 周波数除去の選択( $f_0$ )

LTC2482の内部発振器は、48Hz～62.4Hzの周波数範囲でライン周波数と(255次までの)すべての高調波の通常モードの除去比が87dBを超えます。

50Hz/60Hzと異なる基本除去周波数が要求される場合、50Hz/60Hzに対して87dBを超える除去比が要求される場合、またはコンバータを外部ソースに同期させる必要がある場合、外部の変換クロックを使ってLTC2482を動作させることができます。コンバータは $f_0$ ピンに外部クロック信号が与えられていることを自動的に検知し、内部発振器をオフします。外部信号が検出されるには、その周波数 $f_{EOSC}$ は10kHz以上でなければなりません。外部クロック信号のデューティ・サイクルは、“H”と“L”的期間( $t_{HEO}$ と $t_{LEO}$ )の最小と最大の規定値が守られる限り重要ではありません。

周波数が $f_{EOSC}$ の外部変換クロックを使って動作しているとき、 $f_{EOSC}/5120 \pm 4\%$ の周波数範囲およびその高調波に対し、LTC2482は110dBを超える通常モードの除去比を与えます。

$f_{EOSC}/5120$ からのライン周波数の偏差の関数としての通常モードの除去比を図3に示します。

$f_0$ ピンに外部クロックが与えられていないとき、コンバータは内部発振器を自動的に起動して、「内部変換クロック」モードに入ります。コンバータが外部のシリアル・クロックを使っているとき、スリープ状態またはデータ出力状態の間に変換クロック・ソースが変更されても、LTC2482の動作は乱されません。変換状態の間に変更されると、進行中の変換結果が仕様から外れることはありますが、それに続く変換は影響を受けません。データ出力状態の間に変更が起き、コンバータが内部SCKモードだと、シリアル・クロックのデューティ・サイクルが影響を受けることがあります、シリアル・データ・ストリームは有効なままで。

$f_0$ の関数としての各状態の持続時間と実現可能な出力データ・レートを表3にまとめます。

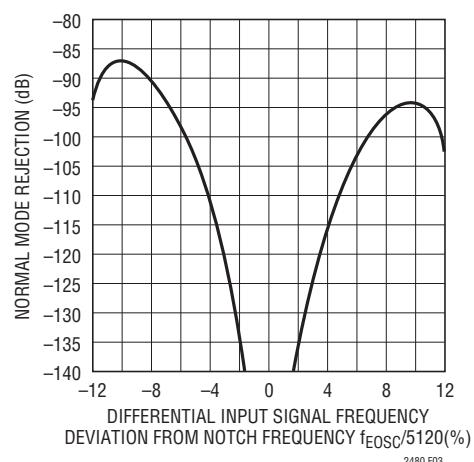


図3. 外部発振器使用時のLTC2482の通常モードの除去比

表3. LTC2482の状態の持続時間

状態	動作モード	持続時間	
変換	内部発振器	50Hz/60Hzの除去	147ms、出力データ・レート $\leq 6.8$ の読み取り/s
	外部発振器	$f_0 = \text{周波数が } f_{EOSC} \text{ kHz の外部発振器}$ $(f_{EOSC}/5120 \text{ の除去})$	$41036/f_{EOSC}$ s、出力データ・レート $\leq f_{EOSC}/41036$ の読み取り/s
スリープ			変換完了後、CS = “H”である間
データ出力	内部シリアル・クロック	$f_0 = \text{LOW/HIGH}$ (内部発振器)	CS = “L”である間、ただし0.62msは超えない(24 SCKサイクル)
		$f_0 = \text{周波数が } f_{EOSC} \text{ kHz の外部発振器}$	CS = “L”である間、ただし $192/f_{EOSC}$ msは超えない(24 SCKサイクル)
	周波数が $f_{SCK}$ kHzの外部シリアル・クロック		CS = “L”である間、ただし $24/f_{SCK}$ msは超えない(24 SCKサイクル)

## アプリケーション情報

### 使いやすさ

LTC2482のデータ出力には、待ち時間、フィルタのセトリング遅延、または変換サイクルに関連した冗長データがありません。変換と出力データの間には1対1対応の関係があります。したがって、複数のアナログ電圧の多重化は簡単です。

LTC2482は変換サイクルごとにオフセットとフルスケールの較正を行います。この較正はユーザーからは見えず、上述のサイクル動作には影響を与えません。連続較正の利点は、時間経過、電源電圧の変化、および温度ドリフトに対してオフセットとフルスケールの測定値がきわめて安定していることです。

### パワーアップ・シーケンス

LTC2482は電源電圧V<sub>CC</sub>が約2Vより下がると自動的に内部リセット状態になります。この機能により、変換結果とシリアル・インターフェース・モードの選択の完全性が保証されます。（「シリアル・インターフェースのタイミング・モード」のセクションの「2線式I/O」の項を参照。）

V<sub>CC</sub>電圧がこの臨界スレッショルドを超えると、コンバータは約4msの長さの内部パワーオン・リセット(POR)信号を生成します。このPOR信号により、すべての内部レジスタがクリアされます。POR信号に続き、LTC2482は通常の変換サイクルを開始し、図1に示されている状態が連続的に起こります。POR後の最初の変換結果の精度は、PORの期間が終了する前に電源電圧が動作範囲(2.7V～5.5V)内に回復していれば、デバイスの仕様を満たします。

### リファレンス電圧範囲

LTC2482の外部リファレンスの電圧範囲は0.1V～V<sub>CC</sub>です。コンバータの出力ノイズはフロントエンド回路の熱ノイズによって決まるので、ナノボルトで表したその値はリファレンス電圧に対してほぼ一定です。遷移ノイズ(600nV)は量子化ノイズ(V<sub>REF</sub>/217)よりもるかに小さいので、リファレンス電圧を下げるとき、コンバータの分解能が上がります。外部変換クロック

(外部f<sub>O</sub>信号)を使ってかなり高い出力データ・レートで動作させるととき、リファレンス電圧を下げるとコンバータの性能が向上します（「出力データ・レート」のセクションを参照）。

コンバータへの負のリファレンス入力は内部でGNDに接続されています。GND(ピン8)はできるだけ短いトレースを使ってグランド・プレーンに接続し、電圧降下を最小に抑えます。LTC2482の平均動作電流は160μAなので、0.1Ωの寄生抵抗では、160μVの電圧降下によりV<sub>REF</sub> = 5Vに対して2 LSBの利得誤差が生じます。

### 入力電圧範囲

アナログ入力は真に差動で、IN<sup>+</sup>とIN<sup>-</sup>の入力ピンの絶対/同相範囲は(GND-0.3V)～(V<sub>CC</sub>+0.3V)です。これらのリミットの外側では、ESD保護用デバイスがオンし始め、入力リーク電流による誤差が急速に増加します。これらのリミット内では、LTC2482はバイポーラ差動入力信号V<sub>IN</sub> = IN<sup>+</sup>-IN<sup>-</sup>を-FS～+FSで変換します（ここで、FS = 0.5 • V<sub>REF</sub>）。この範囲の外側では、コンバータは固有の出力コードを使ってオーバーレンジまたはアンダーレンジの状態を示します。差動入力電流のキャансセルは内蔵バッファに依存しないので、DC性能とともに電流のキャансセルもレール・トゥ・レールで維持されます。

IN<sup>+</sup>ピンとIN<sup>-</sup>ピンに与えられる入力信号は、グランドより300mV下およびV<sub>CC</sub>より300mV上まで達することができます。あらゆるフォールト電流を制限するために、デバイスの性能に影響を与えることなく、最大5kの抵抗をIN<sup>+</sup>ピンとIN<sup>-</sup>ピンに直列に追加することができます。コンバータの精度に対する直列抵抗の影響は、「入力電流/リファレンス電流」のセクションに示されている曲線から評価することができます。さらに、直列抵抗は入力リーク電流により、温度に依存したオフセット誤差を生じます。V<sub>REF</sub> = 5Vのとき、1nAの入力リーク電流により、5kの抵抗には1ppmのオフセット誤差が生じます。この誤差は温度に非常に大きく依存します。

## アプリケーション情報

### シリアル・インターフェースのタイミング・モード

LTC2482の3線のインターフェースはSPIおよびMICROWIREと互換性があります。このインターフェースにより、いくつかの柔軟な動作モードが実現できます。これらには内部/外部シリアル・クロック、2線または3線のI/O、シングル・サイクル変換または連続変換が含まれます。以下のセクションではこれらのシリアル・インターフェースのそれぞれのタイミング・モードを詳細に説明します。これらすべての場合に、コンバータは内部発振器( $f_0 = "L"$ または $f_0 = "H"$ )または $f_0$ ピンに接続された外部発振器を使うことができます。表4にまとめられていますので参照してください。

### 外部シリアル・クロック、シングル・サイクル動作 (SPI/MICROWIREと互換)

このタイミング・モードでは、外部シリアル・クロックを使って変換結果をシフトアウトし、 $\overline{CS}$ 信号を使って変換サイクルの状態をモニタおよび制御します(図4を参照)。

シリアル・クロック・モードは $\overline{CS}$ の立ち下がりエッジで選択します。外部シリアル・クロック・モードを選択するには、 $\overline{CS}$ の各立ち下がりエッジの間シリアル・クロック・ピン(SCK)を“L”にする必要があります。

シリアル・データ出力ピン(SDO)は、 $\overline{CS}$ が“H”的間はHi-Zになります。変換サイクル中はいつでも、コンバータの状態をモニタするために $\overline{CS}$ を“L”に引き下げることができます。 $\overline{CS}$ が“L”に引き下げられている間、 $\overline{EOC}$ がSDOピンに出力されます。変換中は $\overline{EOC} = 1$ となり、デバイスがスリープ状態だと $\overline{EOC} = 0$ となります。 $\overline{CS}$ に関係なく、変換が完了するとデバイスは自動的に省電力のスリープ状態になります。

デバイスがスリープ状態のとき、変換結果は内部のスタティック・シフトレジスタに保持されます。 $\overline{CS}$ が“L”的間、SCKの最初の立ち上がりエッジが現れるまでデバイスはスリープ状態に留まります。出力データは、SCKの各立ち下がりエッジでSDOピンからシフトアウトされます。このため、外部回路はSCKの立ち上がりエッジで出力をラッチすることができます。 $\overline{EOC}$ はSCKの最初の立ち上がりエッジでラッチすることができ、変換結果の最後のビットはSCKの24番目の立ち上がりエッジでラッチすることができます。SCKの24番目の立ち下がりエッジで、デバイスは新しい変換を開始します。SDOが“H”( $\overline{EOC} = 1$ )になり、変換中であることを示します。プロセッサが32クロック・サイクルを生成するアプリケーションでは、あるいはもつと高い分解能のコンバータとの互換性を保つために、LTC2482のデジタル・インターフェースは24番目の後の次の変換期間に見られる余分なクロック・エッジを無視し、余分なクロック・サイクルの間“1”を出力します。

データ・サイクルの完了時に $\overline{CS}$ を“L”的まま維持し、 $\overline{EOC}$ を変換終了時の割り込み信号としてモニタすることができます。あるいは、 $\overline{CS}$ を“H”にドライブしてSDOをHi-Zに設定することができます。上述のように、変換状態をモニタするために、 $\overline{CS}$ はいつでも“L”に引き下げることができます。

通常、 $\overline{CS}$ はデータ出力状態の間“L”に保たれます。ただし、SCKの最初の立ち上がりエッジと24番目の立ち下がりエッジの間、いつでも $\overline{CS}$ を“H”に引き上げてデータ出力状態を中止することができます(図5を参照)。デバイスは $\overline{CS}$ の立ち上がりエッジでデータ出力状態を中止し、直ちに新しい変換を開始します。これは出力データの24ビットすべては必要としないシステムには有用で、無効な変換サイクルが中止されるか、または変換開始の同期がとられます。

表4. LTC2482のインターフェースのタイミング・モード

構成	SCKソース	変換サイクルの制御	データ出力の制御	接続および波形
外部SCK、シングル・サイクル変換	外部	$\overline{CS}$ およびSCK	$\overline{CS}$ およびSCK	図4、図5
外部SCK、2線式I/O	外部	SCK	SCK	図6
内部SCK、シングル・サイクル変換	内部	$\overline{CS} \downarrow$	$\overline{CS} \downarrow$	図7、図8
内部SCK、2線式I/O、連続変換	内部	連続	内部	図9

# LTC2482

## アプリケーション情報

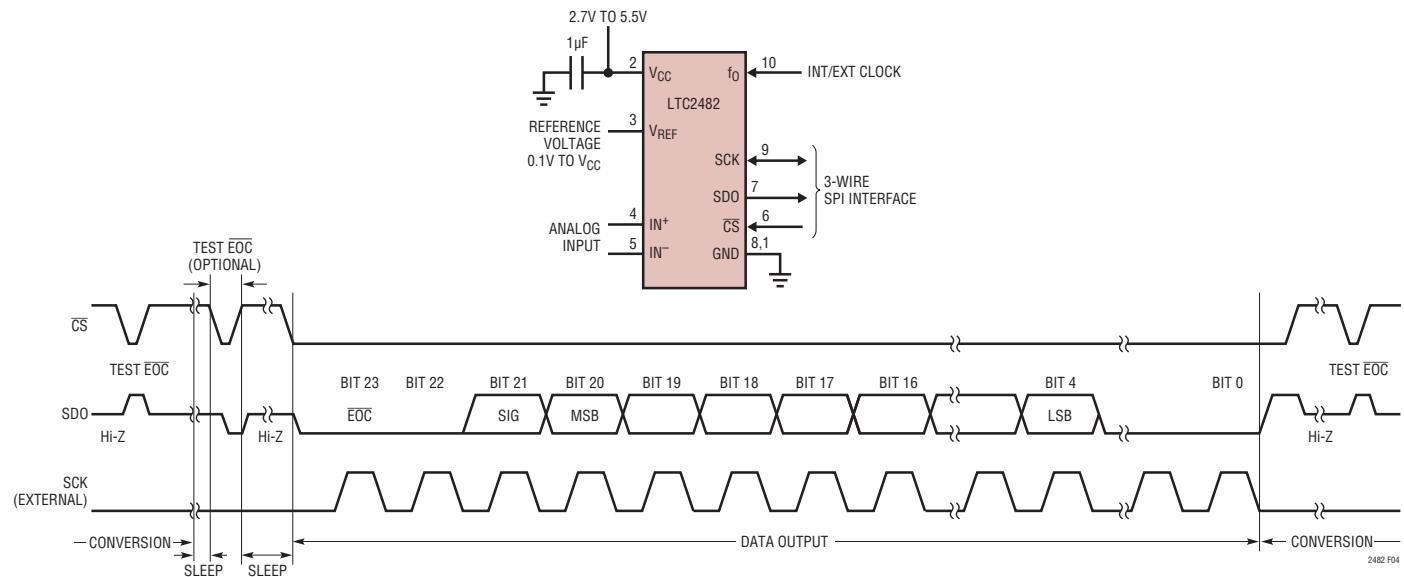


図4. 外部シリアル・クロック、シングル・サイクル動作

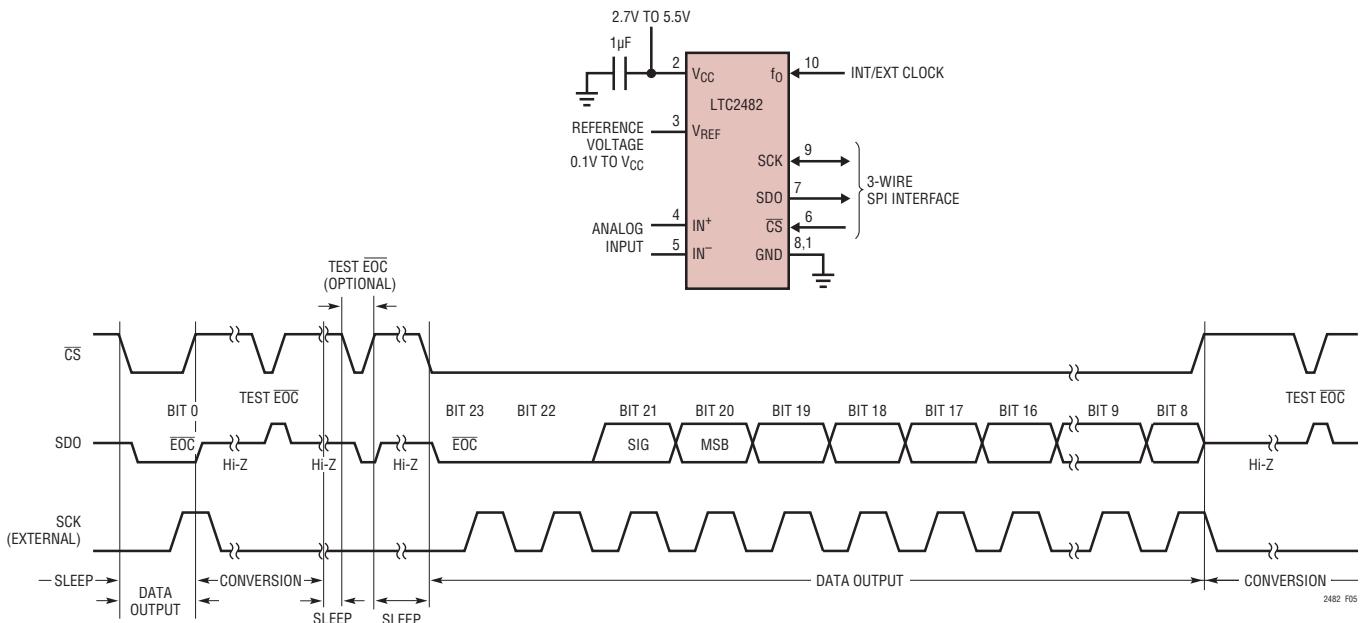


図5. 外部シリアル・クロック、短縮されたデータ出力長

## アプリケーション情報

### 外部シリアル・クロック、2線式I/O

このタイミング・モードでは2線式シリアルI/Oインターフェースを利用します。変換結果は外部で生成されたシリアル・クロック(SCK)信号によってデバイスからシフトアウトされます(図6参照)。 $\overline{CS}$ は永続的にグランドに接続することができるので、ユーザー・インターフェースや絶縁バリヤを超えた転送が簡素化されます。

外部シリアル・クロック・モードはパワーオン・リセット(POR)サイクルの終了時に選択されます。PORサイクルは $V_{CC}$ が約2Vを超えた後、標準で4ms後に終了します。この時点でSCKに与えられたレベルによってSCKが内部か外部かが決まります。外部シリアル・クロック・タイミング・モードに入るには、PORの終了前にSCKを“L”にドライブする必要があります。

$\overline{CS}$ が“L”に固定されているので、変換状態およびスリープ状態の間、変換終了( $\overline{EOC}$ )をSDOピンで継続的にモニタすることができます。 $\overline{EOC}$ は外部コントローラへの割り込み信号として使うことができ、変換結果が用意できていることを示します。変換中は $\overline{EOC} = 1$ となり、変換が終了すると $\overline{EOC} = 0$ となります。 $\overline{EOC}$ の立ち下がりエッジで、変換結果は内部のスタティック・シフトレジスタにロードされます。出力データがSCKの各立ち下がりエッジでSDOピンからシフトアウトされます。 $\overline{EOC}$ はSCKの最初の立ち上がりエッジでラッチすることができます。SCKの24番目の立ち下がりエッジで、SDOは“H”になり( $\overline{EOC} = 1$ )、新しい変換サイクルが開始されたことを示します。プロ

セッサが32クロック・サイクルを生成するアプリケーションでは、あるいはもっと高い分解能のコンバータとの互換性を保つために、LTC2482のデジタル・インターフェースは24番目の後の次の変換期間に見られる余分なクロック・エッジを無視し、余分なクロック・サイクルの間“1”を出力します。

### 内部シリアル・クロック、シングル・サイクル動作

このタイミング・モードでは、内部シリアル・クロックを使って変換結果をシフトアウトし、 $\overline{CS}$ 信号を使って変換サイクルの状態をモニタおよび制御します(図7を参照)。

内部シリアル・クロック・タイミング・モードを選択するには、 $\overline{CS}$ の立ち下がりエッジの前にシリアル・クロック・ピン(SCK)をフロート(Hi-Z)させるか、または“H”に引き上げる必要があります。SCKが $\overline{CS}$ の立ち下がりエッジで“L”にドライブされると、デバイスは内部シリアル・クロック・モードに入りません。内部の弱いプルアップ抵抗が $\overline{CS}$ の立ち下がりエッジの間SCKピンに対して働くので、SCKが外部からドライブされなければ内部シリアル・クロック・タイミング・モードが自動的に選択されます。

シリアル・データ出力ピン(SDO)は、 $\overline{CS}$ が“H”的間はHi-Zになります。変換サイクル中はいつでも、コンバータの状態をモニタするために $\overline{CS}$ を“L”に引き下げることができます。 $\overline{CS}$ が“L”に引き下げられると、SCKが“L”になり、 $\overline{EOC}$ がSDOピンに出力されます。変換中は $EOC = 1$ となり、デバイスがスリープ状態だと $EOC = 0$ となります。

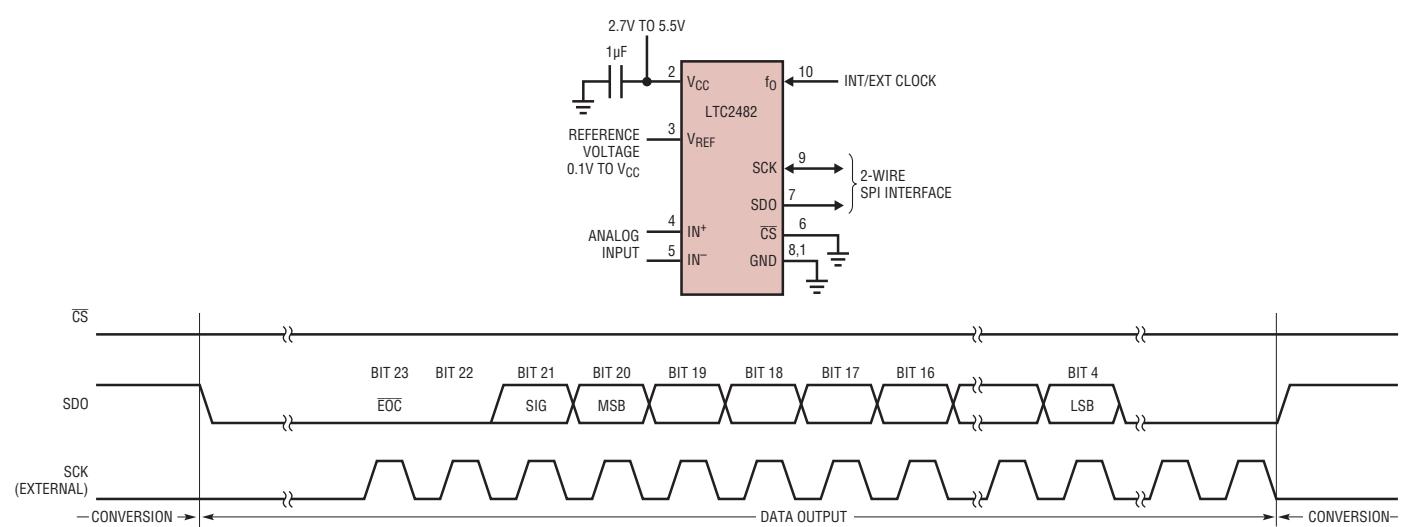


図6. 外部シリアル・クロック、 $\overline{CS} = 0$ の動作

## アプリケーション情報

$\overline{EOC}$ をテストするとき、変換が完了していると( $\overline{EOC} = 0$ )、デバイスは $\overline{EOC}$ テストの間省電力モードから出ます。デバイスが省電力スリープ状態に戻れるようにするには、SCKの最初の立ち上がりエッジより前に $\overline{CS}$ を“H”に引き上げる必要があります。内部SCKタイミング・モードでは、SCKは“H”になり、デバイスは( $\overline{EOC} = 0$ ならば) $\overline{CS}$ の立ち下がりエッジ後、 $t_{EOCtest}$ の時点でデータを出力し始め、( $\overline{EOC}$ の立ち下がりエッジで $\overline{CS}$ が“L”ならば) $\overline{EOC}$ が“L”になった後、 $t_{EOCtest}$ の時点でデータを出力し始めます。デバイスが内部発振器を使用している場合、 $t_{EOCtest}$ の値は12 $\mu$ sです。周波数が $f_{EOSC}$ の外部発振器が $f_0$ をドライブしていると、 $t_{EOCtest}$ は3.6/ $f_{EOSC}$ (秒)となります。 $t_{EOCtest}$ の前に $\overline{CS}$ が“H”に引き上げられると、デバイスはスリープ状態に戻り、変換結果は内部のスタティック・シフトレジスタ内に保持されます。

$\overline{CS}$ が $t_{EOCtest}$ より長く“L”に留まると、SCKの最初の立ち上がりエッジが生じ、変換結果がSDOピンから逐次シフトアウトされます。データI/Oサイクルは24番目の立ち上がりエッジの後終了します。出力データがSCKの各立ち下がりエッジでSDOピンからシフトアウトされます。内部で生成されたシリアル・クロックはSCKピンに出力されます。この信号を使って変換結果を外部回路にシフトすることができます。 $\overline{EOC}$ はSCKの最初の立ち上がりエッジでラッチすることができ、変換結果の最後のビットはSCKの24番目の立ち上がりエッジでラッチすることができます。24番目の立ち上がりエッジの後、SDOは“H”になります( $\overline{EOC} = 1$ )、SCKは“H”に留まり、新しい変換が始まります。

通常、 $\overline{CS}$ はデータ出力状態の間“L”に保たれます。ただし、SCKの1番目と24番目の立ち上がりエッジの間に、いつでも $\overline{CS}$ を“H”に引き上げてデータ出力状態を中止することができます(図8を参照)。デバイスは $\overline{CS}$ の立ち上がりエッジでデータ出力状態を中止し、直ちに新しい変換を開始します。これは24ビットの出力データのすべては必要としないシステムには有用で、無効な変換サイクルが中止されるか、または変換開始の同期がとられます。コンバータがSCKを“L”にドライブしている状態で $\overline{CS}$ が“H”に引き上げられると、SCKをロジック“H”的状態に戻すのに内部プルアップ抵抗が使えなくなります。このため、デバイスは $\overline{CS}$ の次の立ち下がりエッジで内部シリアル・クロック・モードから出ます。これを避けるには、外付けの10kプルアップ抵抗をSCKピンに追加するか、SCKが“L”的とき決して $\overline{CS}$ を“H”に引き上げないようにします。

SCKが“L”的ときは常に、LTC2482のSCKピンの内部プルアップ抵抗はディスエーブルされています。通常、デバイスが内部SCKタイミング・モードだと、SCKは外部からドライブされません。ただし、特定のアプリケーションでは、SCKに外部ドライバが必要なことがあります。このドライバが“L”信号を出した後Hi-Zになると、LTC2482の内部プルアップ抵抗はディスエーブルされたままです。したがって、SCKは“L”的ままになります。 $\overline{CS}$ の次の立ち下がりエッジで、デバイスは外部SCKタイミング・モードに切り替わります。10kプルアップ抵抗をSCKに外付けすると、このピンは外部ドライバがHi-Zになると“H”になります。 $\overline{CS}$ の次の立ち下がりエッジで、デバイスは内部SCKタイミング・モードに留まります。

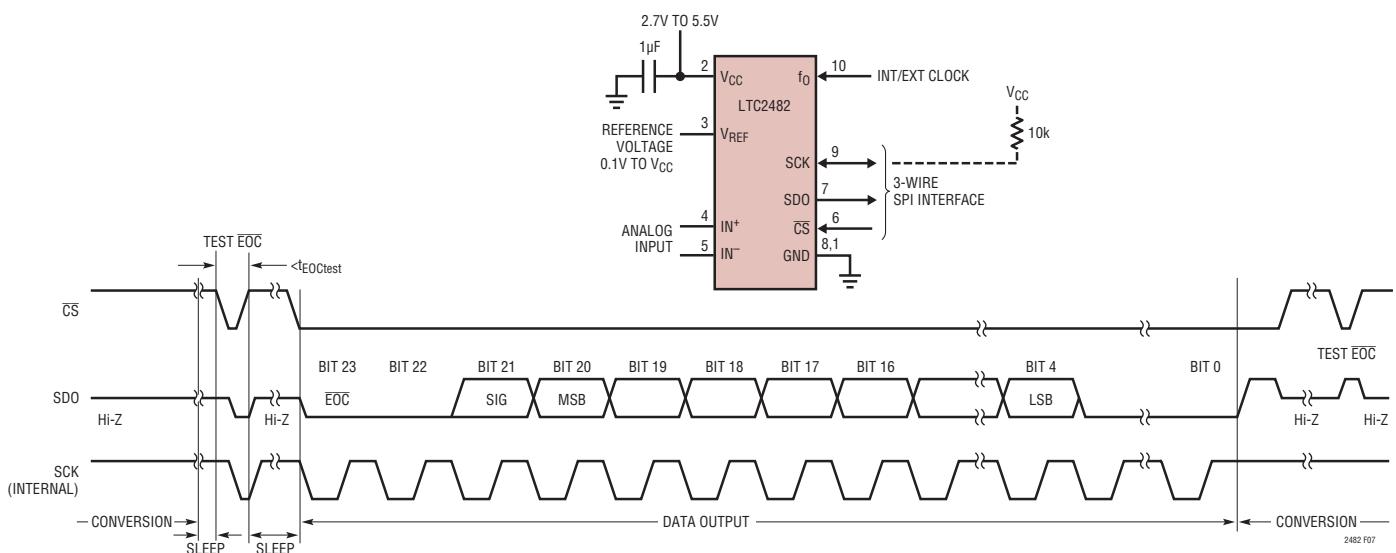


図7. 内部シリアル・クロック、シングル・サイクル動作

## アプリケーション情報

変換状態をテストするために $\overline{CS}$ を“H - L - H”とトグルするとき、スリープ状態で同様の状況が起きことがあります。デバイスがスリープ状態( $\overline{EOC} = 0$ )ならば、SCKは“L”になります。 $\overline{CS}$ が( $t_{EOCtest}$ として上で定義された時間内に)“H”になると、内部プルアップ抵抗がアクティブになります。SCKピンに大きな容量性負荷があると、内部プルアップ抵抗では $\overline{CS}$ が再度“L”になる前にSCKを“H”レベルに戻すのに十分ではないことがあります。これは、 $\overline{EOC} = 0$ の検出後に $\overline{CS}$ が“L”に留まる通常の状態では問題ありません。この状況は10kプルアップ抵抗をSCKピンに外付けすることにより簡単に克服されます。

### 内部シリアル・クロック、2線式I/O、連続変換

このタイミング・モードでは2線式(出力のみ)インターフェースを使います。変換結果は内部で生成されたシリアル・クロック(SCK)信号によってデバイスからシフトアウトされます(図9を参照)。 $\overline{CS}$ は永続的にグランドに接続することができるので、ユーザー・インターフェースや絶縁バリヤを介した伝送が簡素化されます。

内部シリアル・クロック・モードはパワーオン・リセット(POR)サイクルの終わりに選択されます。PORサイクルは $V_{CC}$ が2Vを超えてから約1ms後に終了します。内部の弱いプルアップは

PORサイクルの間アクティブなので、SCKが外部で“L”にドライブされなければ、内部シリアル・クロック・タイミング・モードが自動的に選択されます(内部プルアップがピンを“H”に引き上げられないほどSCKに負荷がかかっていると、外部SCKモードが選択される)。

変換中、SCKとシリアル・データ出力ピン(SDO)は“H”になります( $\overline{EOC} = 1$ )。変換が完了すると、SCKとSDOは“L”になります( $\overline{EOC} = 0$ )、変換が終了してデバイスが省電力のスリープ状態に入ったことを示します。デバイスはスリープ状態に最小時間(内部SCKの周期の1/2)留まってから、直ちにデータを出し始めます。データの入力/出力サイクルはSCKの最初の立ち上がりエッジで始まり、24番目の立ち上がりエッジの後に終了します。出力データはSCKの各立ち下がりエッジでSDOピンからシフトアウトされます。内部で生成されたシリアル・クロックはSCKピンに出力されます。この信号を使って変換結果を外部回路にシフトすることができます。 $\overline{EOC}$ はSCKの最初の立ち上がりエッジでラッチすることができ、変換結果の最後のビットはSCKの24番目の立ち上がりエッジでラッチすることができます。24番目の立ち上がりエッジの後、SDOは“H”になります( $\overline{EOC} = 1$ )、新しい変換が進行中であることを示します。変換中、SCKは“H”的ままでです。

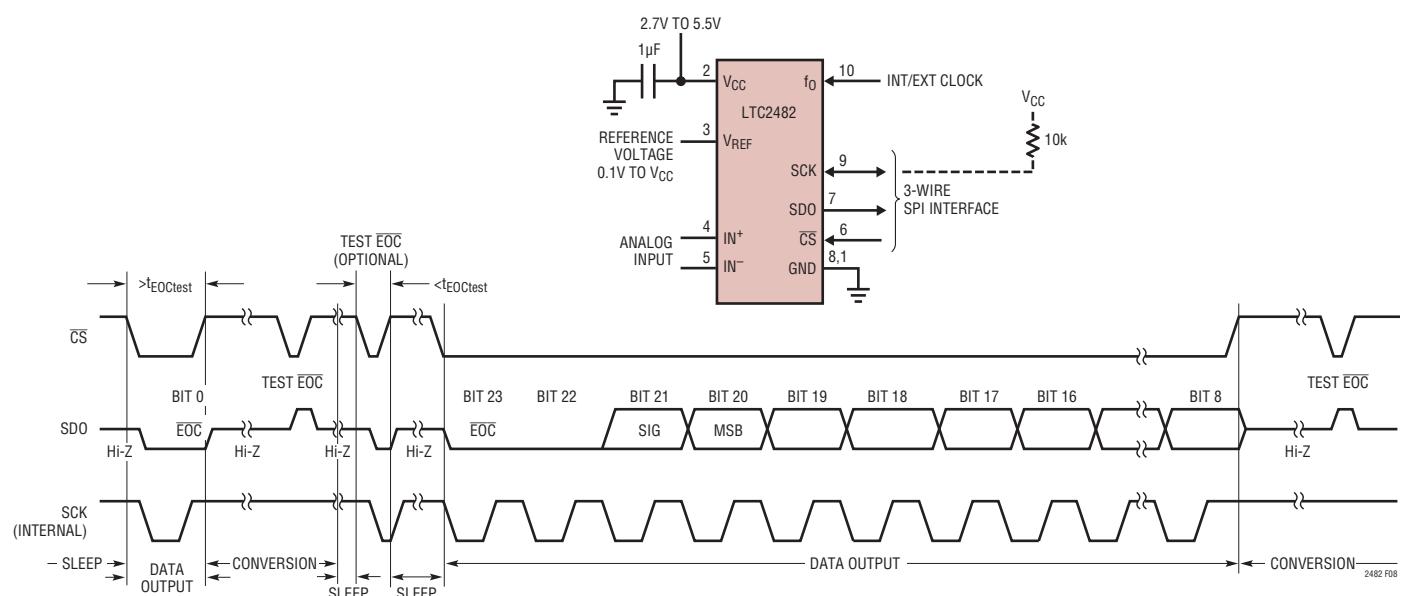


図8. 内部シリアル・クロック、短縮されたデータ出力長

## アプリケーション情報

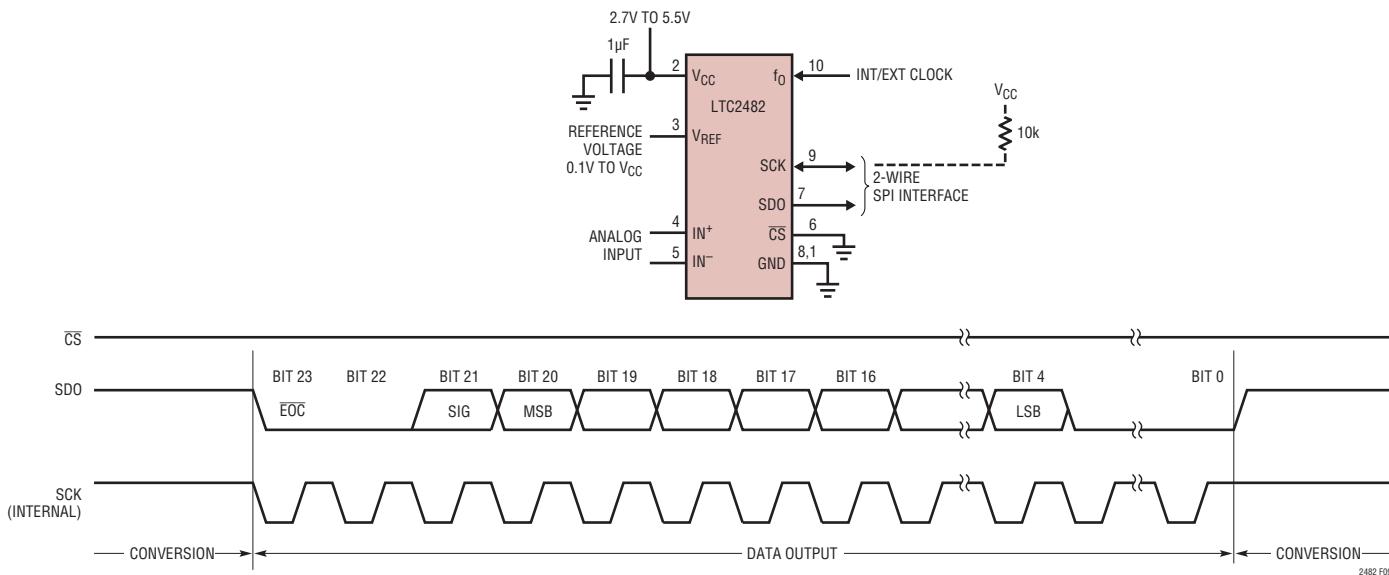


図9. 内部シリアル・クロック、 $\overline{CS} = 0$  の連続動作

### コンバータの精度の維持

LTC2482は、デバイスのデカッピング、PCBのレイアウト、アンチエイリアシング回路、ライン周波数の乱れなどの影響を変換結果ができるだけ受けないように設計されています。それでもなお、このデバイスの極めて高精度の性能を維持するには、いくつかの簡単な注意が必要です。

### デジタル信号レベル

LTC2482のデジタル・インターフェースは使うのが簡単です。そのデジタル入力( $f_0$ 、 $\overline{CS}$ 、および外部SCK動作モードのSCK)は標準CMOSロジック・レベルを受け入れ、内部ヒステリシス・レシーバは100μsまでの遅いエッジ遷移時間を許容できます。ただし、このコンバータの並はずれた精度と低電源電流の利点を生かすにはいくらかの配慮が必要です。

デジタル出力信号(SDOと内部SCK動作モードのSCK)は変換状態の間一般にアクティブではないので、それほど心配りません。

デジタル入力信号は0.5V～(V<sub>CC</sub>-0.5V)の範囲ですが、CMOS入力レシーバには電源から追加の電流が流れます。デジタル入力信号( $f_0$ 、 $\overline{CS}$ 、および外部SCK動作モードのSCK)のどれかがこの範囲内にあるとき、問題の信号が有効なロジック・レベルであっても、電源電流が増加する可能性があることに注意してください。

マイクロパワー動作では、すべてのデジタル入力信号をフルCMOSレベル[V<sub>IL</sub> < 0.4VおよびV<sub>OH</sub> > (V<sub>CC</sub>-0.4V)]にドライブすることを推奨します。

変換周期の間、ピンに接続されている高速デジタル信号のアンダーシュートやオーバーシュートがAD変換のプロセスを大きく乱すことがあります。アンダーシュートとオーバーシュートは、外部制御信号の遷移時間がドライバからLTC2482までの伝播遅延の2倍より短いとき、回路基板のトレースのコンバータのピンで生じるインピーダンスの不整合により発生します。参考までに、通常のFR-4基板の場合、信号の伝播速度は内部トレースで約183ps/インチ、表面トレースで約170ps/インチです。したがって、1nsの最小遷移時間で制御信号を生成するドライバは、2.5インチより短いトレースでコンバータのピンに接続する必要があります。この問題は、制御ラインが共有されて多数の反射が起こる可能性があるとき特に難しくなります。解決策は、すべての伝送ラインをそれらの特性インピーダンスに近い値で慎重に終端することです。

LTC2482のピンの近くで並列終端するとこの問題は解決しますが、ドライバの電力損失が増加します。ドライバの出力ピンの近くに27Ω～56Ωの直列抵抗を接続することによってもこの問題は解決し、電力損失は増加しません。実際の抵抗値はトレースのインピーダンスと接続トポロジーに依存します。

## アプリケーション情報

別の解決策としては、制御信号のエッジ・レートを下げます。エッジを非常に遅くすると、遷移中のコンバータの電源電流が増加することに注意が必要です。差動入力アーキテクチャでは、コンバータがグランド電流の影響を受けにくくなります。

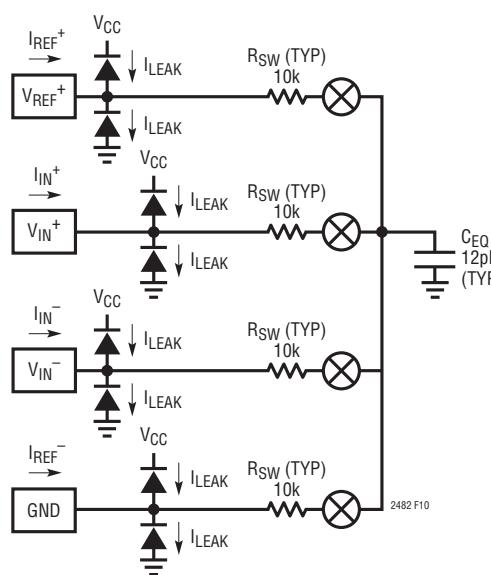
LTC2482を外部変換クロックで使用するとき、 $f_0$ 信号の接続には得に注意が必要です。このクロックは変換時間の間アクティブで、内部デジタル・フィルタが与える通常モードの除去比はこの周波数ではありません。コンバータのリファレンス端子のこの周波数の通常モード信号は、DC利得とINL誤差を生じることがあります。コンバータの入力端子のこの周波数の通常モード信号は、DCオフセット誤差を生じることがあります。このような乱れは、 $f_0$ 信号のトレースと、コンバータの入力トレースやリファレンスの接続トレースの間の非対称の容量性結合によって生じることがあります。直接的解決法は、 $f_0$ 信号のトレースを入力/リファレンス信号からできるだけ離しておることです。 $f_0$ 信号がコンバータの近くで並列に終端されていると、 $f_0$ 接続トレース、終端、およびグランド・リターン・パスによって形成されるループにかなりのAC電流が流れます。このため、乱れを生じる信号がコンバータの入力やリファレンスに誘導性結合を生じことがあります。このような状況では、ユーザーは差動入力とリファレンス接続のループ面積だけでなく、 $f_0$ 信号のループ面積も最小に抑える必要があります。 $f_0$

がドライブされない場合でも、他の近傍の信号による同様のEMIの危険がありますが、これは良いレイアウト手法に従うことにより最小に抑えられます。

### 入力とリファレンスのドライブ

LTC2482コンバータの入力ピンとリファレンス・ピンはサンプリング・コンデンサのネットワークに直接接続されています。差動入力電圧と差動リファレンス電圧の関係に応じて、これらのコンデンサはこれらの4つのピンの間で切り替わり、その過程で少量の電荷を転送します。簡略化された等価回路を図10に示します。

簡単な近似法として、アナログ入力ピン( $IN^+$ 、 $IN^-$ 、 $V_{REF}^+$ またはGND)をドライブしているソース・インピーダンス $R_S$ は( $R_{SW}$ および $C_{EQ}$ (図10を参照)と一緒に)時定数 $\tau = (R_S + R_{SW}) \cdot C_{EQ}$ の1次受動ネットワークを形成していると考えることができます。コンバータは、サンプリング周期が入力回路の時定数 $\tau$ より少なくとも14倍大きいと、1ppmより高い精度で入力信号をサンプリングすることができます。4つのアナログ入力ピンのサンプリング過程は半分独立しているので、各時定数はそれだけで考慮すべきで、ワーストケースの状況では誤差が加算されることがあります。



スイッチング周波数  
 $f_{SW} = 123\text{kHz}$  (内部発振器)  
 $f_{SW} = 0.4 \cdot f_{EOSC}$  (外部発振器)

$$\begin{aligned} I_{(IN^+)}_{AVG} &= I_{(IN^-)}_{AVG} = \frac{V_{IN(CM)} - V_{REF(CM)}}{0.5 \cdot R_{EQ}} \\ I_{(REF^+)}_{AVG} &= \frac{1.5 \cdot V_{REF} - V_{INCM} + V_{REFCM}}{0.5 \cdot R_{EQ}} - \frac{V_{IN}^2}{V_{REF} \cdot R_{EQ}} - \frac{0.5 \cdot V_{REF} \cdot D_T}{R_{EQ}} \approx \frac{1.5V_{REF} + (V_{REF(CM)} - V_{IN(CM)})}{0.5 \cdot R_{EQ}} - \frac{V_{IN}^2}{V_{REF} \cdot R_{EQ}} \end{aligned}$$

where:

$$V_{REFCM} = \left( \frac{V_{REF^+} + V_{REF^-}}{2} \right)$$

$$V_{IN} = IN^+ - IN^-$$

$$V_{INCM} = \left( \frac{IN^+ + IN^-}{2} \right)$$

$R_{EQ} = 2.98\text{M}\Omega$  (内部発振器)

$R_{EQ} = (0.915 \cdot 10^{12}) / f_{EOSC}$  (外部発振器)

$D_T$ は変調器の出力におけるデジタル遷移の密度。  
この場合、 $REF^+$ は内部でGNDに接続されている。

図10. LTC2482の等価アナログ入力回路

## アプリケーション情報

内部発振器を使っているとき、LTC2482のフロントエンド・スイッチトキャパシタ・ネットワークは $8.1\mu\text{s}$ のサンプリング周期に対応する $123\text{kHz}$ のクロックで駆動されます。したがって、セトリング誤差を $1\text{ppm}$ 未満にするには、 $\tau \leq 8.1\mu\text{s}/14 = 580\text{ns}$ となるようにドライブ・ソースのインピーダンスを選択します。周波数が $f_{\text{EOSC}}$ の外部発振器を使うと、サンプリング周期は $2.5/f_{\text{EOSC}}$ で、 $1\text{ppm}$ 未満のセトリング誤差の場合、 $\tau \leq 0.178/f_{\text{EOSC}}$ です。

### 自動差動入力電流キャンセル

センサの出力インピーダンスが低い(外部バイパス・コンデンサなしで最大 $10\text{k}\Omega$ 、または $0.001\mu\text{F}$ のバイパス付きで最大 $500\Omega$ )アプリケーションでは、入力は完全にセトリングします。この場合、誤差は持ち込まれないので、センサを直接デジタル化することができます。

多くのアプリケーションでは、センサの出力インピーダンスは外部バイパス・コンデンサと結合して $1\text{ppm}$ の精度に必要な $580\text{ns}$ をはるかに超えるRC時定数を生じます。たとえば、 $0.1\mu\text{F}$ のバイパス・コンデンサをドライブする $10\text{k}\Omega$ のブリッジでは、必要な最大値より1桁大きい時定数になります。従来、セトリングの問題はバッファを使って解決されてきました。これらのバッファは、ノイズの増加、DC性能(オフセット/ドリフト)の低下、入力/出力振幅の制限(グランドまたは $V_{\text{CC}}$ に近い信号をデジタル変換できない)、システムのコストと電力の増加を引き起こしました。LTC2482は独自のスイッチング・アルゴリズムを使って、外部のセトリング誤差とは無関係に、平均差動入力電流をゼロに強制します。これにより、バッファがなくても高インピーダンスのセンサを正確に直接デジタル化できます。整合していないリーク電流によって生じる追加誤差も考慮に入れる必要があります。

このスイッチング・アルゴリズムは、正入力( $I_{\text{IN}}^+$ )の平均入力電流を負入力( $I_{\text{IN}}^-$ )の平均入力電流に等しくなるように強制します。変換サイクル全体にわたって、平均差動入力電流( $I_{\text{IN}}^+ - I_{\text{IN}}^-$ )はゼロになります。差動入力電流はゼロですが、同相入力電流( $I_{\text{IN}}^+ + I_{\text{IN}}^-$ )/2は同相入力電圧( $V_{\text{INCM}}$ )と同相リファレンス電圧( $V_{\text{REFCM}}$ )の差に比例します。

バランス・ブリッジ型のアプリケーションのように、入力同相電圧がリファレンス同相電圧に等しいアプリケーションでは、差動と同相の両方の入力電流がゼロになります。コンバータの精度はセトリング誤差による影響を受けません。 $\text{IN}^+$ と $\text{IN}^-$ のソース・インピーダンスの不整合も精度に影響を与えません。

入力同相電圧が一定だがリファレンス同相電圧とは異なるアプリケーションでは、差動入力電流はゼロに保たれます。同相入力電流は $V_{\text{INCM}} - V_{\text{REFCM}}$ の差に比例します。リファレンス同相電圧が $2.5\text{V}$ で、入力同相電圧が $1.5\text{V}$ の場合、同相入力電流は約 $0.74\mu\text{A}$ です。この同相入力電流は、 $\text{IN}^+$ と $\text{IN}^-$ に接続された外部ソースのインピーダンスが整合していれば、精度に影響を与えません。これらのソース・インピーダンスが整合していないと、固定オフセット誤差が生じますが、直線性やフルスケールの読み取りには影響を与えません。 $1\text{k}$ のソース抵抗の $1\%$ の不整合により、オフセット電圧が $1\text{LSB}$ ( $74\mu\text{V}$ )ソフトします。

同相入力電圧が入力信号レベルに応じて変化するアプリケーション(シングルエンド入力、RTD、半ブリッジ、電流センサなど)では、同相入力電流は入力電圧に比例して変化します。バランスのとれた入力インピーダンスの場合、同相入力電流の影響はLTC2482の大きなCMRRによって除去され、精度はほとんど低下しません。ソース・インピーダンスが整合していないと、同相入力電圧と同相リファレンス電圧の差に比例した利得誤差が生じます。 $1\text{k}$ のソース抵抗の $1\%$ の不整合により、(リファレンス同相電圧と入力同相電圧の差が $1\text{V}$ の場合)約 $1\text{LSB}$ のワーストケース利得誤差が生じます。整合していないソース・インピーダンスと、リファレンス/入力の同相電圧の差の影響を表5にまとめます。

表5. LTC2482の推奨入力構成

	バランスのとれた入力抵抗	バランスのとれていない入力抵抗
$V_{\text{IN(CM)}} - V_{\text{REF(CM)}}$ が一定	$\text{IN}^+$ と $\text{IN}^-$ の両方で $C_{\text{IN}} > 1\text{nF}$ 。大きなソース抵抗を取ることができ、誤差は無視できる	$\text{IN}^+$ と $\text{IN}^-$ の両方で $C_{\text{IN}} > 1\text{nF}$ 。大きなソース抵抗を取ることができる。バランスのとれていない抵抗によりオフセットが生じるが、較正可能
$V_{\text{IN(CM)}} - V_{\text{REF(CM)}}$ が変化	$\text{IN}^+$ と $\text{IN}^-$ の両方で $C_{\text{IN}} > 1\text{nF}$ 。大きなソース抵抗を取ることができ、誤差は無視できる	$\text{IN}^+$ と $\text{IN}^-$ のコンデンサを最小にして大きなソース・インピーダンスを避ける(< $5\text{k}$ を推奨)

## アプリケーション情報

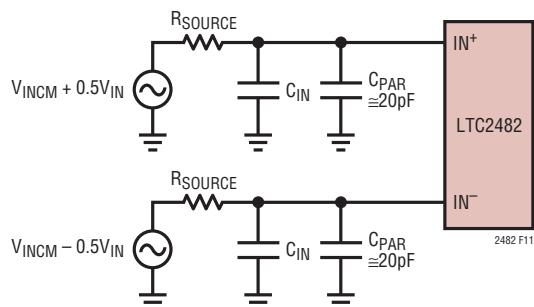


図11.  $\text{IN}^+$ と $\text{IN}^-$ のRCネットワーク

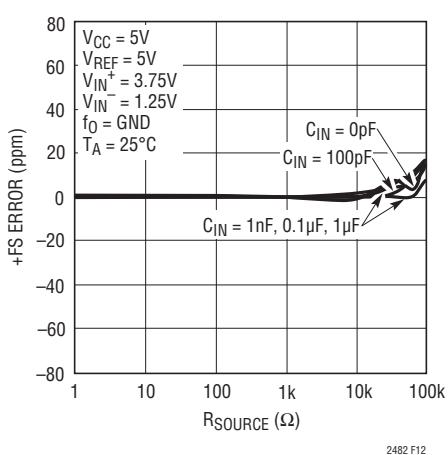


図12. +FS誤差と $\text{IN}^+$ および $\text{IN}^-$ の $\text{R}_{\text{SOURCE}}$

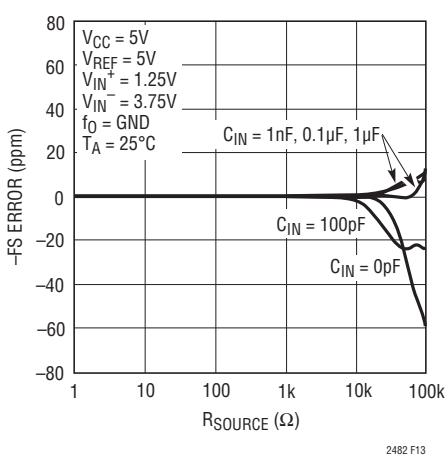


図13. -FS誤差と $\text{IN}^+$ および $\text{IN}^-$ の $\text{R}_{\text{SOURCE}}$

ダイナミック入力電流の大きさは、非常に安定した内部サンプリング・コンデンサのサイズとコンバータのサンプリング・クロックの精度に依存します。全温度範囲と全電源範囲で、内部クロックの精度は標準で0.5%より良好です。この仕様は外部クロックでも簡単に実現できます。比較的安定した( $50\text{ppm}/^\circ\text{C}$ )抵抗が $\text{IN}^+$ と $\text{IN}^-$ から見た外部ソース・インピーダンスに使われると、ダイナミック電流の予想ドリフトとオフセットは無視できるほど小さくなります(全温度範囲と全電圧範囲でそれぞれの値の約1%)。要求の非常に厳しいアプリケーションであっても、一度較正しておけば十分でしょう。

入力サンプリング電荷に加えて、入力ESD保護ダイオードには温度に依存したリーク電流が流れます。公称1nA(最大 $\pm 10\text{nA}$ )のこの電流により小さなオフセットのシフトが生じます。1kのソース抵抗により、標準 $1\mu\text{V}$ 、最大 $10\mu\text{V}$ のオフセット電圧が生じます。

### リファレンス電流

同様に、LTC2482は差動リファレンス・ピン( $\text{V}_{\text{REF}}^+$ とGND)をサンプリングして、少量の電荷を外部のドライブ回路とやり取りしますので、ダイナミックなリファレンス電流が生じます。この電流によりコンバータのオフセットは変化しませんが、利得とINL性能が低下することがあります。この電流の影響は明確に区別される2つの状況で分析することができます。

外部リファレンス・コンデンサの値が比較的小さいと( $C_{\text{REF}} < 1\text{nF}$ )、サンプリング・コンデンサの電圧はほとんど完全にセトリングし、ソース・インピーダンスの値が比較的大きくても、小さな誤差が生じるだけです。 $C_{\text{REF}}$ のこのような値では、リファレンスのフィルタの大きな利点は得られず、コンバータのオフセットと利得性能が低下するので、ユーザーはこのような値を避けた方が良いでしょう。

特定の構成ではリファレンス・フィルタとして、もっと大きな値( $C_{\text{REF}} > 1\text{nF}$ )のリファレンス・コンデンサが必要でしょう。このようなコンデンサはリファレンス・サンプリング電荷を平均化するので、外部ソース抵抗には、ほぼ一定のリファレンス差動インピーダンスに見えることになります。

## アプリケーション情報

以下の説明では、入力同相電圧とリファレンス同相電圧が等しいと仮定します。内部発振器を使うと(50Hz/60Hzの除去)、差動リファレンス抵抗は $1.1\text{M}\Omega$ なのでV<sub>REF</sub>ピンをドライブしているソース抵抗 $1\Omega$ ごとに $0.46\text{ppm}$ のフルスケール誤差が生じます。周波数がf<sub>EOSC</sub>の外部発振器によって $f_0$ がドライブされるとき(外部変換クロック動作)、標準的差動リファレンス抵抗は $0.33 \cdot 10^{12}/f_{\text{EOSC}}\Omega$ であり、V<sub>REF</sub>ピンをドライブしているソース抵抗 $1\Omega$ ごとに $1.53 \cdot 10^{-6} \cdot f_{\text{EOSC}}\text{ppm}$ の利得誤差を生じます。V<sub>REF</sub>ピンから見たソース抵抗とそのピンに接続された外部容量の様々な組み合わせに対する+FSと-FSの標準誤差を図14～図17に示します。

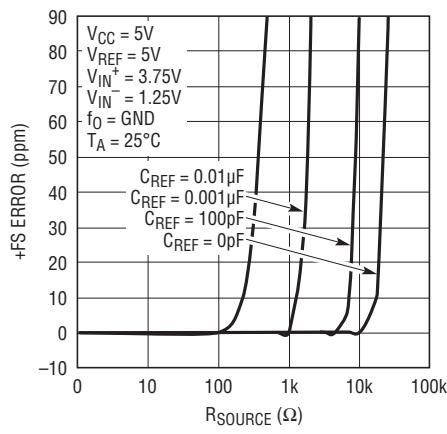


図14. +FS誤差とV<sub>REF</sub>のR<sub>SOURCE</sub>(小さなC<sub>REF</sub>)

この利得誤差に加えて、コンバータのINL性能がリファレンスのソース・インピーダンスによって低下します。INLは、図10に示されているリファレンス・ピンの電流の式の、入力に依存する項である $-V_{\text{IN}2}/(V_{\text{REF}} \cdot R_{\text{EQ}}) - (0.5 \cdot V_{\text{REF}} \cdot D_T)/R_{\text{EQ}}$ によって生じます。内部発振器と50Hz/60Hz除去モードを使うと、リファレンス・ソース抵抗の $100\Omega$ ごとに約 $0.61\text{ppm}$ のINL誤差が追加されます。周波数がf<sub>EOSC</sub>の外部発振器によって $f_0$ がドライブされるとき、V<sub>REF</sub>ピンをドライブしているソース抵抗の $100\Omega$ ごとに約 $1.99 \cdot 10^{-6} \cdot f_{\text{EOSC}}\text{ppm}$ のINL誤差が追加されます。大きなC<sub>REF</sub>値が使われるときV<sub>REF</sub>ピンをドライブしているソース抵抗によって生じる標準的INL誤差を図18に示します。V<sub>REF</sub>ピンをドライブしているソース・インピーダンスを最小にすることを推奨します。

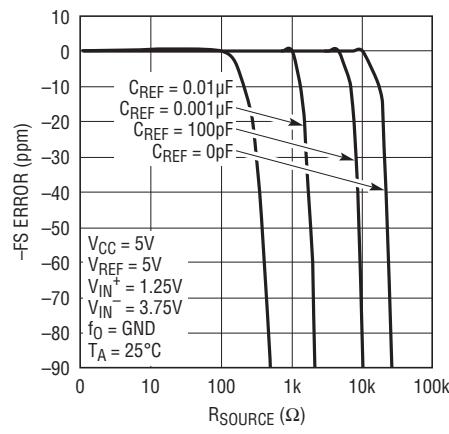


図15. -FS誤差とV<sub>REF</sub>のR<sub>SOURCE</sub>(小さなC<sub>REF</sub>)

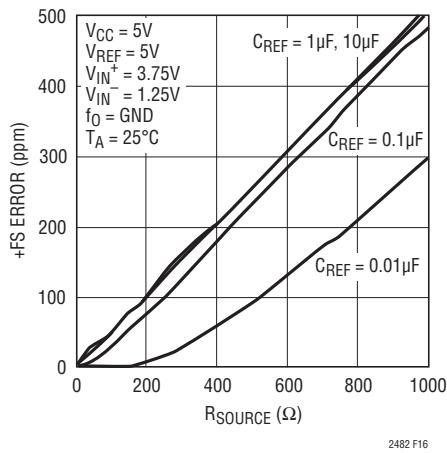


図16. +FS誤差とV<sub>REF</sub>のR<sub>SOURCE</sub>(大きなC<sub>REF</sub>)

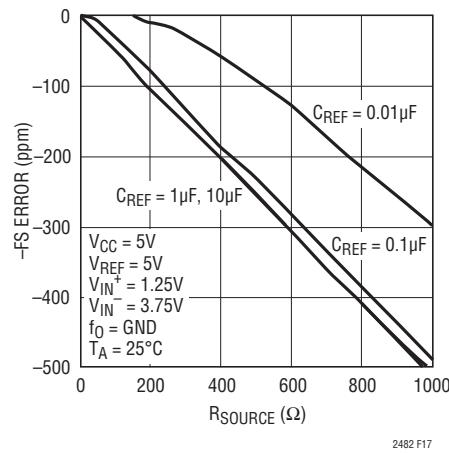


図17. -FS誤差とV<sub>REF</sub>のR<sub>SOURCE</sub>(大きなC<sub>REF</sub>)

## アプリケーション情報

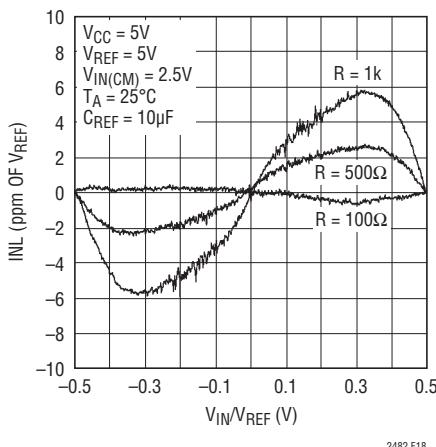


図18. INLと差動入力電圧および  
リファレンスのソース抵抗( $C_{REF} > 1\mu F$ )

リファレンス同相電圧と入力同相電圧が異なるアプリケーションでは、追加の誤差が生じます。リファレンス同相電圧と入力同相電圧の差( $V_{REFCM} - V_{INCM}$ )の1Vごとと5Vのリファレンスに対して、リファレンス・ソース抵抗の $1\Omega$ ごとに $(V_{REFCM} - V_{INCM}) / (V_{REF} \cdot R_{EQ})$ の追加のフルスケール利得誤差が生じ、この誤差は内部発振器(50Hz/60Hz除去モード)を使うとき $0.067\text{ppm}$ になります。外部クロックを使うと、対応する追加の利得誤差は $0.22 \cdot 10^{-6} \cdot f_{EOSC}\text{ppm}$ です。

ダイナミック・リファレンス電流の大きさは非常に安定した内部サンプリング・コンデンサのサイズとコンバータのサンプリング・クロックの精度に依存します。全温度範囲と全電源範囲で、内部クロックの精度は標準で0.5%より良好です。この仕様は外部クロックでも簡単に実現できます。比較的安定した( $50\text{ppm}/^{\circ}\text{C}$ )抵抗が $V_{REF}^{+}$ とGNDから見た外部ソース・インピーダンスに使われると、ダイナミック電流の利得誤差の予想ドリフトは無視できるほど小さくなります(全温度範囲と全電圧範囲でその値の約1%)。要求の非常に厳しいアプリケーションであっても、一度較正しておけば十分でしょう。

リファレンス・サンプリング電荷に加えて、リファレンス・ピンのESD保護ダイオードには温度に依存したリーク電流が流れます。公称 $1\text{nA}$ (最大 $\pm 10\text{nA}$ )のこのリーク電流により小さな利得誤差が生じます。 $100\Omega$ のソース抵抗により、標準 $0.05\mu\text{V}$ 、最大 $0.5\mu\text{V}$ のフルスケール誤差が生じます。

### 出力データ・レート

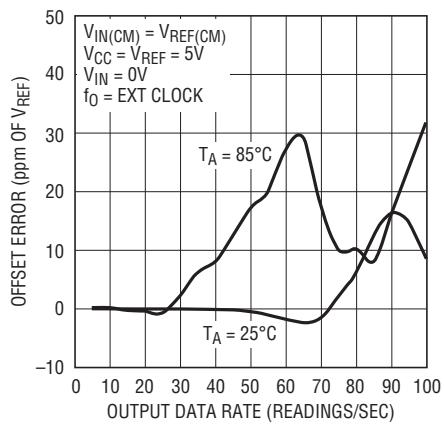
内部発振器を使用するとき、50Hz/60Hzの同時除去を行うと、LTC2482の出力データ・レートは55Hzのノッチ周波数で6.8/秒となります。実際の出力データ・レートはスリープ・フェーズとデータ出力フェーズの長さに依存しますが、これらはユーザーが制御して、無視できるほど短くすることができます。外部変換クロックを使って動作させるとき( $f_0$ を外部発振器に接続)、LTC2482の出力データ・レートを望むように増加させることができます。変換フェーズの持続時間は41036/ $f_{EOSC}$ です。

$f_{EOSC}$ を公称307.2kHzを超えて増加させると、最大出力データ・レートが比例して増加します。ただし、出力レートの増加は3つの潜在的影響を伴うので、それらについて慎重に検討する必要があります。

第一に、 $f_{EOSC}$ が変化すると、内部のノッチの位置が比例して変化し、コンバータの電源ライン周波数の差動モード除去が減少します。多くのアプリケーションで、その結果生じる性能低下は、LTC2482の並外れた同相除去に依存することにより、また入力回路の同相モードから差動モードへの変換ソースを慎重に除去することにより、大きく減らすことができます。シングルエンド入力フィルタを避けて、 $IN^+$ ピンと $IN^-$ ピンをドライブする回路内で非常に高い整合性と対称性を維持してください。

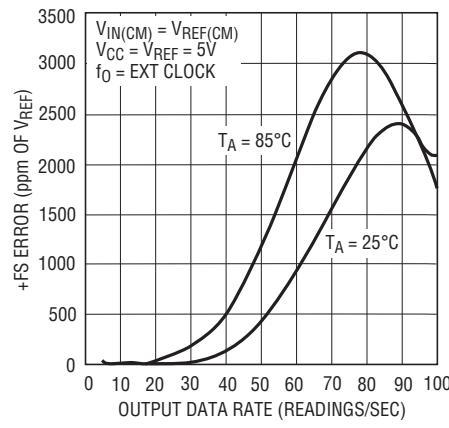
第二に、クロック周波数が増加すると、入力ピンとリファレンス・ピンを介して転送されるサンプリング電荷の量が比例して増加します。大きな外部入力コンデンサやリファレンス・コンデンサ( $C_{IN}, C_{REF}$ )を使用する場合、 $f_{EOSC}$ の任意の値でのコンバータの性能に対するソース抵抗の影響を評価するための式が前のセクションに与えられています。小さな外部入力コンデンサやリファレンス・コンデンサ( $C_{IN}, C_{REF}$ )を使用する場合、LTC2482の標準的性能に対する外部ソース抵抗の影響を図12、13、14、および15から推測することができます。これらの図で、横軸のスケールは307200/ $f_{EOSC}$ で調整されています。

## アプリケーション情報



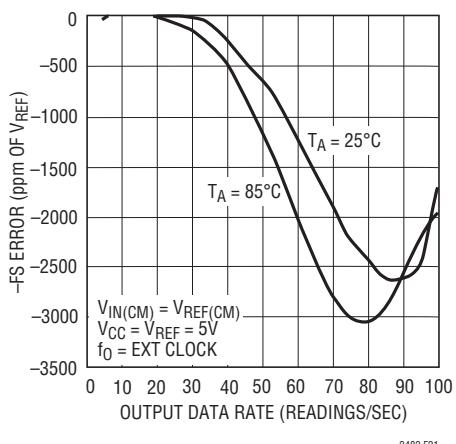
2482 F19

図19. オフセット誤差と出力データ・レートおよび温度



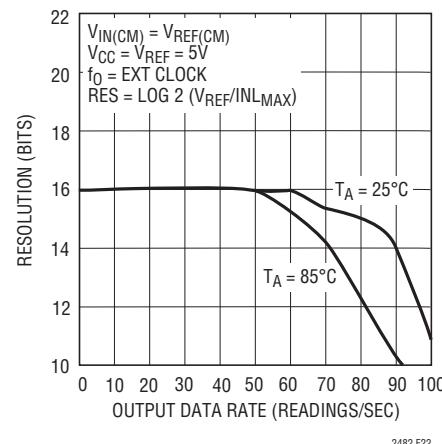
2482 F20

図20. +FS誤差と出力データ・レートおよび温度

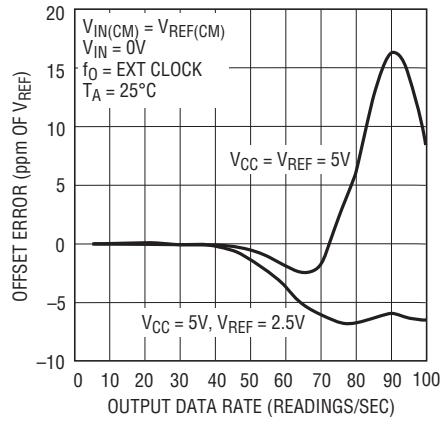


2482 F21

図21. -FS誤差と出力データ・レートおよび温度

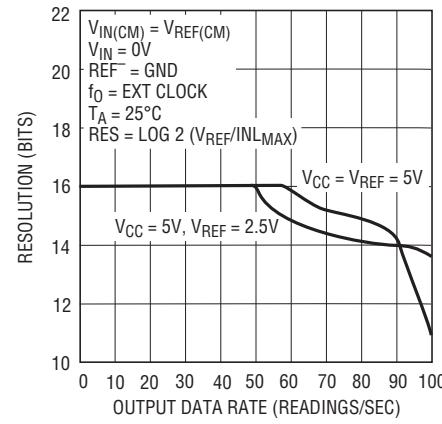


2482 F22

図22. 分解能( $\text{INL}_{\text{MAX}} \leq 1\text{LSB}$ )と出力データ・レートおよび温度

2482 F23

図23. オフセット誤差と出力データ・レートおよびリファレンス電圧



2482 F24

図24. 分解能( $\text{INL}_{\text{MAX}} \leq 2\text{LSB}$ )と出力データ・レートおよび温度

## アプリケーション情報

第三に、外部発振器の周波数が1MHzを超えて増加すると(出力データ・レートが3倍以上に増加)、内部の自動較正回路の有効性が低下し始めます。このため、コンバータの精度と直線性が次第に低下します。1秒当たりの読み取りが最大100回までの出力データ・レートの標準的な測定性能曲線を図19～図24に示します。1秒当たりの読み取りが20回を超える出力データ・レートで、このコンバータで可能な最高レベルの精度を得るには、使用する電源電圧を最大にし、最高周囲動作温度を制限することを推奨します。状況によっては、差動リファレンス電圧を下げる場合があります。

### 入力帯域幅

内部SINC<sup>4</sup>デジタル・フィルタとアナログおよびデジタルの自動較正回路を組み合わせた効果により、LTC2482の入力帯域幅が決まります。内部発振器を使うと、3dB入力帯域幅は3.3Hzになります。周波数が $f_{EOSC}$ の外部変換クロック発生器を $f_0$ ピンに接続すると、3dBの入力帯域幅は $10.7 \cdot 10^{-6} \cdot f_{EOSC}$ になります。

複雑なフィルタリングと較正アルゴリズムが採用されているため、コンバータの入力帯域幅はポールが3dB周波数に位置する1次フィルタではあまり正確にはモデル化されません。内部発振器が使われる場合のLTC2482の入力帯域幅の形を図25に示します。周波数が $f_{EOSC}$ の外部発振器が使われる場合、LTC2482の入力帯域幅の形は図25から得ることができます。この図の横軸のスケールは $f_{EOSC}/307200$ で調整されています。

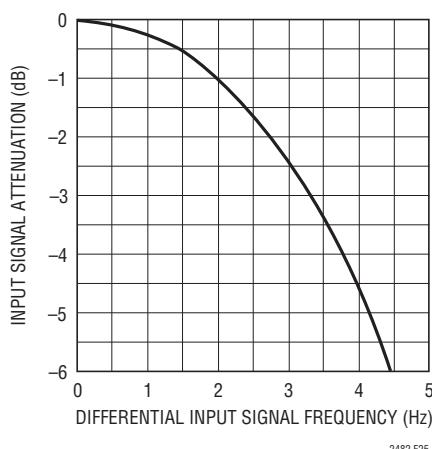


図25. 内部発振器を使ったときの入力信号の帯域幅

変換ノイズ( $V_{REF} = 5V$ で標準600nVRMS)は、ノイズの無いコンバータに接続されたホワイトノイズ源によりモデル化することができます。帯域幅が無限のノイズ源のノイズスペクトル密度は $47nV\sqrt{Hz}$ 、0.5MHzの単一ポールのノイズ源では $64nV\sqrt{Hz}$ です。これらの数字から、外部増幅回路の設計に特に注意を要することは明らかです。このような回路は、出力を基準にしたノイズを減らすための非常に低い帯域幅(わずか数Hz)と、入力のスイッチ・キャパシタ・ネットワークをドライブするのに必要な比較的高い帯域幅(少なくとも500kHz)の両方の要件に直面します。考えられる解決法は、高利得で低帯域幅のアンプ段の後ろに高帯域幅のユニティゲインのバッファを置くことです。

外部のアンプがLTC2482をドライブする場合、ADCの入力を基準にしたシステム・ノイズの計算は、図26を使うと簡単になります。LTC2482の入力ピンをドライブするアンプのノイズは帯域を制限されたホワイトノイズ源としてモデル化することができます。その帯域幅はコーナー周波数が $f_i$ の単一ポール・ローパス・フィルタの帯域幅によって近似することができます。アンプのノイズスペクトル密度は $n_i$ です。図26から、x軸の値の選択に $f_i$ を使って、入力をドライブするアンプのノイズに相当する帯域幅 $freq_i$ をy軸上に見つけることができます。この帯域幅には、ADCの内部較正とフィルタリングの帯域制限効果が含まれています。これらすべての効果を含む、コンバータの入力を基準にしたドライブ用アンプのノイズは、 $N = n_i \cdot \sqrt{freq_i}$ として計算することができます。このように、LTC2482の入力を基準にした全システム・ノイズは、ADCの入力を基準にする3つの

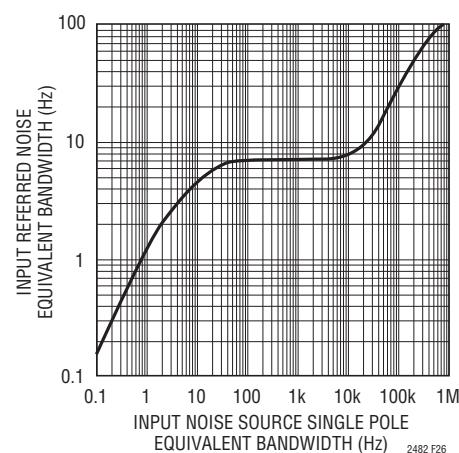


図26. 入力を基準にしたノイズに等価な、入力に接続されたホワイトノイズ源の帯域幅

## アプリケーション情報

ノイズ源(LTC2482の内部ノイズ、IN+をドライブするアンプのノイズ、IN-をドライブするアンプのノイズ)の二乗の和の平方根として合算して求めることができます。

周波数が $f_{EOSC}$ の外部発振器で $f_0$ ピンをドライブする場合、x軸のスケールが $f_{EOSC}/307200$ で調整されていれば、ノイズの計算に図26をそのまま使うことができます。 $f_{EOSC}/307200$ の比の値が大きくなると、図26のプロットの精度が低下し始めますが、同時に、LTC2482のノイズフロアが上がるので、ドライブ用アンプのノイズの影響が重要ではなくなります。

### 通常モードの除去比とアンチエイリアシング

デルタシグマADCが従来のADCよりも優れている点の1つは、デジタル・フィルタを内蔵していることです。大きなオーバーサンプリング比と組み合わせると、LTC2482のアンチエイリアシング・フィルタの要件は大幅に簡素化されます。さらに、LTC2482の入力電流キャンセル機能により、デバイスのDC性能を下げることなく、外部ローパス・フィルタを利用できます。

SINC<sup>4</sup>デジタル・フィルタにより、DCと変調器のサンプリング周波数( $f_S$ )の整数倍を除くすべての周波数で通常モードの除去比が120dBを超えます。LTC2482の自動較正回路は、アナログとデジタルの両方の領域で通常モードでの信号フィルタ処理を追加することにより、アンチエイリアシングの要件をさらに簡素化します。動作モードにかかわらず、 $f_S = 256 \cdot f_N = 2048 \cdot f_{OUTMAX}$ です。ここで、 $f_N$ はノッチ周波数、 $f_{OUTMAX}$ は最大出力データ・レートです。50Hz/60Hzでの除去を行う内部発振器モードでは、 $f_S = 13960\text{Hz}$ です。外部発振器モードでは $f_S = f_{EOSC}/20$ です。

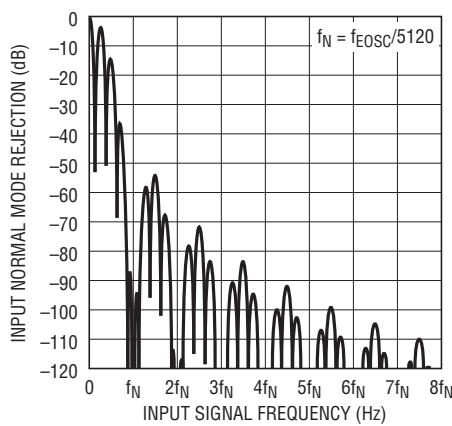


図27. DCでの入力通常モードの除去比

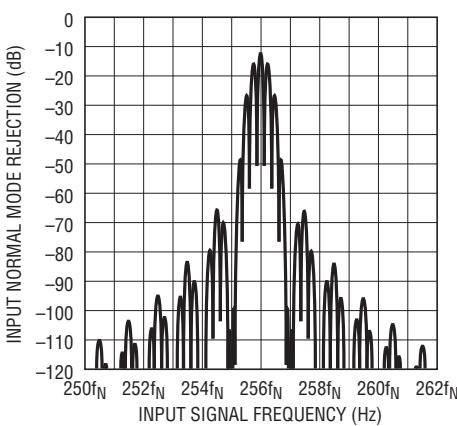


図28.  $f_S = 256f_N$ での入力通常モードの除去比

## アプリケーション情報

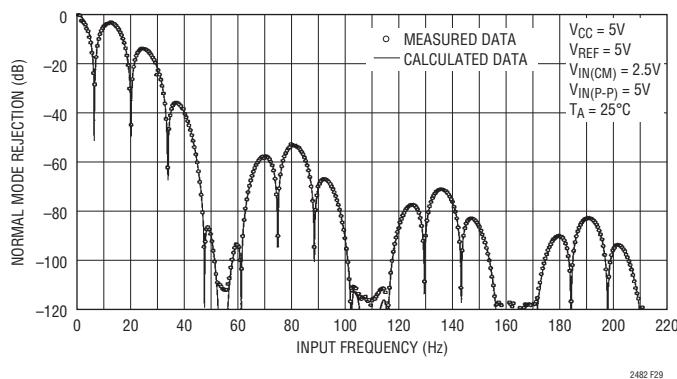


図2. 100%フルスケールの入力の乱れを伴う  
入力通常モードの除去比とライン周波数

しています。乱れが差動のとき、関係のある仕様は大きな入力信号レベルに対する通常モードの除去比です。リファレンス電圧  $V_{REF} = 5V$  のとき、LTC2482のフルスケール差動入力範囲は5Vピーク・トゥ・ピークです。

### Easy Drive入力電流キャンセルを使用した リモート・センス

高性能データ収集システムの設計者が直面する1つの問題は、データシートに規定された性能を実際の環境で実現することです。デルタシグマ型ADCが他のADCよりも優れている点の1つは、デジタル・フィルタを内蔵していることです(ノイズ抑制)。(Easy Drive技法によって解決される)欠点は、デルタシグマADCアーキテクチャに固有のドライブ要件です。Easy Drive技法の潜在能力をすべて明らかにするために、実際的なテストケースで特性を評価しました(図30を参照)。

オフセット、ノイズおよび直線性の正確な測定を過酷なテスト条件で実施しました。精度の低い1%抵抗を使ったRCネットワークに100mのケーブルを接続し、そのケーブルを介してリモート・センサをデジタル化しました。リモート・センサの電圧を0V~2.5Vの範囲で変化させたときの直線性誤差は1 LSB未満に保たれました(図31を参照)。650nV RMSのノイズ・レベルと5 $\mu$ V未満のオフセットが測定で得られました(図32を参照)。

本来、オーバーサンプリング型のデータ・コンバータ( $\Delta\Sigma$  ADC)を長いケーブルや精度の低いRCネットワークに直接接続すると、システムの精度を大幅に制限する多数の問題が生じます。これらの問題としては、伝送ライン効果、ノイズおよびDCセトリング誤差が挙げられます。

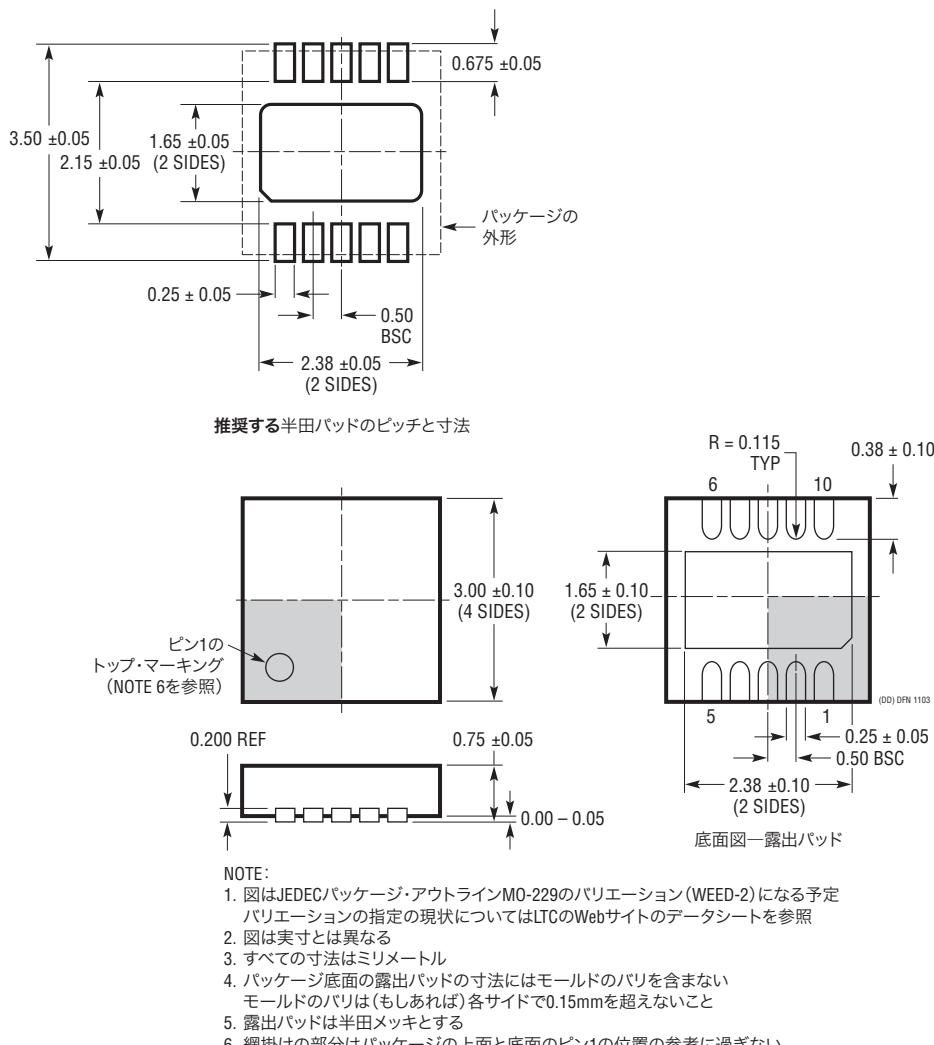
$\Delta\Sigma$  ADCのサンプリング・ネットワークは高周波数での電流スパイクをケーブルに注入します。これにより生じる電圧スパイクが長いケーブルを介して反射され、過度のノイズが生じて精度が低下します。この問題は、ADCの入力にバイパス・コンデンサを接続することにより解決されます。このコンデンサはADCのサンプリング・ネットワークでは電荷貯蔵装置の役割を果たし、内部サンプリング・コンデンサの外部バイパス・コンデンサに対する比率だけ電圧スパイクを減少させます。 $1\mu F$ のバイパス・コンデンサは、サンプリング・ネットワークで生じる電圧スパイクを50,000分の1(1Vのスパイクを18 $\mu$ Vに低減)に減少させるので、データシートに規定されるノイズと精度を実現するのに十分です。

大きなバイパス・コンデンサを外付けすると、入力セトリング誤差が生じます。標準的な24ビット高分解能のデルタシグマADCは約10 $\mu$ sおきにサンプリングを行います。 $1\mu F$ のバイパス・コンデンサを使用した状態で完全にセトリングするには、ソース・インピーダンスを $1\Omega$ より小さくする必要があります。ソース・インピーダンスを $1\Omega$ より大きくすると、変換サイクル全体で電荷によるセトリング誤差が蓄積されるので、オフセット誤差とフルスケール誤差が発生します。Easy Drive技法はこの誤差の差動成分を自動的に除去します。残りの同相誤差は、ADCの正入力と負入力で見られる外付け抵抗の整合に応じて固定オフセット誤差まで減少します。この過酷なケースでは、整合が1%の1k抵抗を外付けすると3.5 $\mu$ Vのオフセット電圧が生じますが、直線性とノイズには影響を与えません。

ノイズが非常に多い環境では、信号経路には低電圧源に接続された100mのコードなどが含まれます。ライン周波数ノイズが内部デジタル・フィルタによって除去され、その除去は高精度の内部発振器により保証されます。高周波数ノイズは、入力バイパス・コンデンサと外付け抵抗で構成される外部ローパス・フィルタにより除去されます。

## パッケージ

**DDパッケージ  
10ピン・プラスチックDFN(3mm×3mm)  
(Reference LTC DWG # 05-08-1699)**



## 改訂履歴 (Rev Cよりスタート)

Rev	日付	概要	ページ番号
C	7/10	「標準的応用例」の図を改訂 Note 16を追加	1、32 4、5

# LTC2482

## 標準的応用例

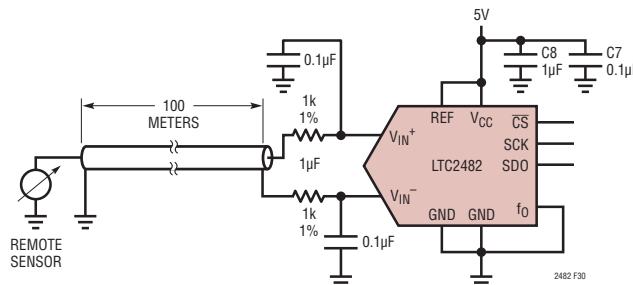


図30. 差動入力電流キャンセルによりリモート・センサを直接デジタル化可能

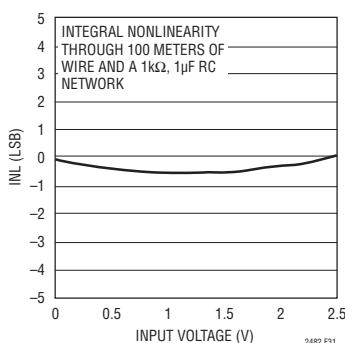


図31. 電流キャンセルにより過酷な条件での高精度DC測定が可能

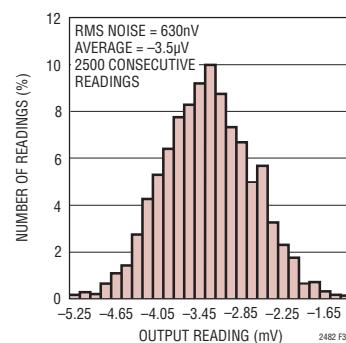


図32. 入力電流キャンセルにより、過酷な条件において低ノイズおよび低オフセットを測定可能

## 関連製品

製品番号	説明	注釈
LTC1050	高精度チヨッパ安定化オペアンプ	外付け部品不要、オフセット電圧: 5 $\mu$ V、ノイズ: 1.6 $\mu$ V <sub>P-P</sub>
LT1236A-5	高精度バンドギヤップ・リファレンス、5V	初期精度: 最大 0.05%、ドリフト: 5ppm/ $^{\circ}$ C
LT1460	マイクロパワー・シリーズ・リファレンス	初期精度: 最大 0.075%、ドリフト: 最大 10ppm/ $^{\circ}$ C
LTC2400	SO-8パッケージの24ビットNo Latency $\Delta\Sigma$ ADC	ノイズ: 0.3ppm、INL: 4ppm、全未調整誤差: 10ppm、200 $\mu$ A
LTC2401/LTC2402	MSOPパッケージの1チャネル/2チャネル、24ビットNo Latency $\Delta\Sigma$ ADC	ノイズ: 0.6ppm、INL: 4ppm、全未調整誤差: 10ppm、200 $\mu$ A
LTC2404/LTC2408	4チャネル/8チャネル、24ビットNo Latency $\Delta\Sigma$ ADC、差動入力付き	ノイズ: 0.3ppm、INL: 4ppm、全未調整誤差: 10ppm、200 $\mu$ A
LTC2410	24ビットNo Latency $\Delta\Sigma$ ADC、差動入力付き	ノイズ: 0.8 $\mu$ V <sub>RMS</sub> 、INL: 2ppm
LTC2411/LTC2411-1	MSOPパッケージの24ビットNo Latency $\Delta\Sigma$ ADC、差動入力付き	ノイズ: 1.45 $\mu$ V <sub>RMS</sub> 、INL: 2ppm、50Hz/60Hz同時除去 (LTC2411-1)
LTC2413	24ビットNo Latency $\Delta\Sigma$ ADC、差動入力付き	50Hz/60Hz同時除去、ノイズ: 800nV <sub>RMS</sub>
LTC2415/LTC2415-1	24ビットNo Latency $\Delta\Sigma$ ADC、15Hzの出力レート	LTC2410とピン互換
LTC2414/LTC2418	8チャネル/16チャネル、24ビットNo Latency $\Delta\Sigma$ ADC	ノイズ: 0.2ppm、INL: 2ppm、全未調整誤差: 3ppm、200 $\mu$ A
LTC2420	SO-8パッケージの20ビットNo Latency $\Delta\Sigma$ ADC	ノイズ: 1.2ppm、INL: 8ppm、LTC2400とピン互換
LTC2430/LTC2431	20ビットNo Latency $\Delta\Sigma$ ADC、差動入力付き	ノイズ: 2.8 $\mu$ V <sub>RMS</sub> 、SSOP-16/MSOPパッケージ
LTC2435/LTC2435-1	20ビットNo Latency $\Delta\Sigma$ ADC、15Hzの出力レート	INL: 3ppm、50Hz/60Hz同時除去
LTC2440	高速、低ノイズの24ビット $\Delta\Sigma$ ADC	出力レート: 3.5kHz、ノイズ: 200nV <sub>RMS</sub> 、ENOB: 24.6
LTC2480	16ビットNo Latency $\Delta\Sigma$ ADC、PGAおよび温度センサを内蔵	LTC2482とピン互換
LTC2484	24ビットNo Latency $\Delta\Sigma$ ADC、温度センサを内蔵	LTC2482とピン互換

2482fc