

最大10ppm/°Cの 高精度リファレンスを内蔵した 超小型16ビットΔΣ ADC

特長

- 16ビット分解能、ミッシング・コードなし
- 内部リファレンス、高精度10ppm/°C (最大)
- シングルエンド (LTC2460) または差動 (LTC2462)
- オフセット誤差: 2LSB
- 利得誤差: 0.01%
- 1秒あたりの変換回数: 60回
- 多重化アプリケーションに対応する単一変換セットリング時間
- 自動シャットダウン付き1サイクル動作
- 消費電流: 1.5mA
- スリープ電流: 2μA (最大)
- 内部発振器 - 外付け部品不要
- SPIインタフェース
- 超小型12ピン3mm × 3mm DFNおよびMSOPパッケージ

アプリケーション

- システム・モニタ
- 環境モニタ
- 直接温度測定
- 計測
- 産業用プロセス制御
- データ収集
- 組込みADCのアップグレード

LT、LT、LTC、LTM、Linear Technology および Linear のロゴはリアテクノロジー社の登録商標です。No Latency ΔΣ はリアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。6208279、6411242、7088280、7164378を含む米国特許によって保護されています。

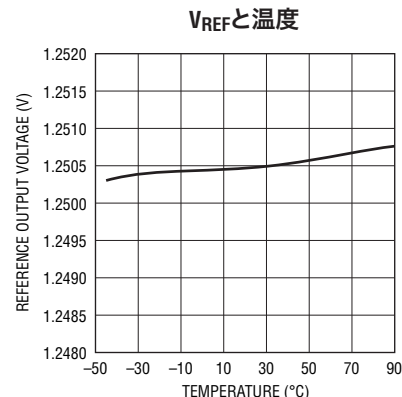
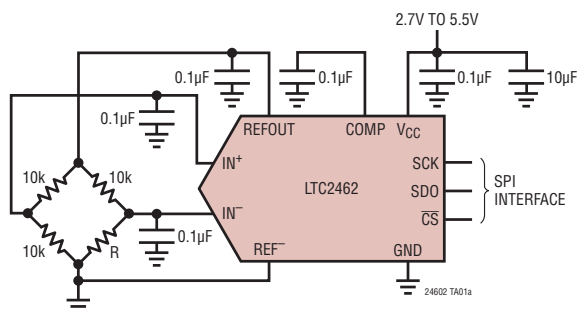
概要

LTC[®]2460/LTC2462は、高精度リファレンスを内蔵した超小型16ビットADCです。これらのデバイスは2.7V～5.5Vの単一電源を使用し、SPIインタフェースを介して通信します。LTC2460は0V～V_{REF}のシングルエンド入力、LTC2462は±V_{REF}までの差動入力です。どちらのADCも、ドリフト性能2ppm/°C、初期精度0.1%の1.25Vリファレンスを内蔵し、12ピン3mm × 3mm DFNパッケージまたはMSOP-12パッケージで供給されます。発振器を内蔵し、待ち時間なしで変換を行うので、多重化アプリケーションに対応できます。LTC2460/LTC2462は従来のデルタシグマ・コンバータと比べて平均入力電流が数桁少ない独自の入力サンプリング手法を採用しています。

1回の変換の後、LTC2460/LTC2462は自動的にコンバータをパワーダウンします。また、リファレンスをパワーダウンするように設定することもできます。ADCとリファレンスの両方がパワーダウンすると、消費電流は200nAまで減少します。

LTC2460/LTC2462は1秒あたり60回の変換でサンプリング可能で、この非常に大きなオーバーサンプリング率により、アンチエイリアシングの要件が大幅に緩和されます。どちらのデバイスも、ユーザーに透過的な連続内部オフセットおよびフルスケール較正アルゴリズムを採用しているため、動作温度範囲にわたり経時的に高精度が保証されます。

標準的応用例



LTC2460/LTC2462

絶対最大定格

(Notes 1, 2)

電源電圧 (V_{CC}) $-0.3V \sim 6V$
 アナログ入力電圧
 (IN^+ , IN^- , IN , REF^- , $COMP$, $REFOUT$) $-0.3V \sim (V_{CC} + 0.3V)$
 デジタル電圧
 (V_{SDI} , V_{SDO} , V_{SCK} , V_{CS}) $-0.3V \sim (V_{CC} + 0.3V)$

保存温度範囲 $-65^{\circ}C \sim 150^{\circ}C$
 動作温度範囲
 LTC2460C/LTC2462C $0^{\circ}C \sim 70^{\circ}C$
 LTC2460I/LTC2462I $-40^{\circ}C \sim 85^{\circ}C$

ピン配置

<p>LTC2462</p> <p>DD PACKAGE 12-LEAD (3mm × 3mm) PLASTIC DFN $T_{JMAX} = 125^{\circ}C$, $\theta_{JA} = 43^{\circ}C/W$ EXPOSED PAD (PIN 13) PCB GROUND CONNECTION OPTIONAL</p>	<p>LTC2462</p> <p>MS PACKAGE 12-LEAD PLASTIC MSOP $T_{JMAX} = 125^{\circ}C$, $\theta_{JA} = 120^{\circ}C/W$</p>
<p>LTC2460</p> <p>DD PACKAGE 12-LEAD (3mm × 3mm) PLASTIC DFN $T_{JMAX} = 125^{\circ}C$, $\theta_{JA} = 43^{\circ}C/W$ EXPOSED PAD (PIN 13) PCB GROUND CONNECTION OPTIONAL</p>	<p>LTC2460</p> <p>MS PACKAGE 12-LEAD PLASTIC MSOP $T_{JMAX} = 125^{\circ}C$, $\theta_{JA} = 120^{\circ}C/W$</p>

発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2460CDD#PBF	LTC2460CDD#TRPBF	LFDQ	12-Lead Plastic (3mm × 3mm) DFN	$0^{\circ}C$ to $70^{\circ}C$
LTC2460IDD#PBF	LTC2460IDD#TRPBF	LFDQ	12-Lead Plastic (3mm × 3mm) DFN	$-40^{\circ}C$ to $85^{\circ}C$
LTC2460CMS#PBF	LTC2460CMS#TRPBF	2460	12-Lead Plastic MSOP-12	$0^{\circ}C$ to $70^{\circ}C$
LTC2460IMS#PBF	LTC2460IMS#TRPBF	2460	12-Lead Plastic MSOP-12	$-40^{\circ}C$ to $85^{\circ}C$
LTC2462CDD#PBF	LTC2462CDD#TRPBF	LDXM	12-Lead Plastic (3mm × 3mm) DFN	$0^{\circ}C$ to $70^{\circ}C$
LTC2462IDD#PBF	LTC2462IDD#TRPBF	LDXM	12-Lead Plastic (3mm × 3mm) DFN	$-40^{\circ}C$ to $85^{\circ}C$
LTC2462CMS#PBF	LTC2462CMS#TRPBF	2462	12-Lead Plastic MSOP-12	$0^{\circ}C$ to $70^{\circ}C$
LTC2462IMS#PBF	LTC2462IMS#TRPBF	2462	12-Lead Plastic MSOP-12	$-40^{\circ}C$ to $85^{\circ}C$

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電氣的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ 。(Note 2)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)	(Note 3)	●	16			Bits
Integral Nonlinearity	(Note 4)	●		1	10	LSB
Offset Error		●		2	15	LSB
Offset Error Drift				0.02		LSB/ $^\circ\text{C}$
Gain Error	Includes Contributions of ADC and Internal Reference	●		± 0.01	± 0.25	% of FS
Gain Error Drift	Includes Contributions of ADC and Internal Reference C-Grade I-Grade	● ●		± 2 ± 5	± 10	ppm/ $^\circ\text{C}$ ppm/ $^\circ\text{C}$
Transition Noise				2.2		μV_{RMS}
Power Supply Rejection DC				80		dB

アナログ入力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN^+}	Positive Input Voltage Range	LTC2462	●	0		V_{REF}	V
V_{IN^-}	Negative Input Voltage Range	LTC2462	●	0		V_{REF}	V
V_{IN}	Input Voltage Range	LTC2460	●	0		V_{REF}	V
$V_{\text{OR}^+}, V_{\text{UR}^+}$	Overrange/Underrange Voltage, IN^+	$V_{\text{IN}^-} = 0.625\text{V}$ (See Figure 3)			8		LSB
$V_{\text{OR}^-}, V_{\text{UR}^-}$	Overrange/Underrange Voltage, IN^-	$V_{\text{IN}^+} = 0.625\text{V}$ (See Figure 3)			8		LSB
C_{IN}	$\text{IN}^+, \text{IN}^-, \text{IN}$ Sampling Capacitance				0.35		pF
$I_{\text{DC_LEAK}}(\text{IN}^+, \text{IN}^-, \text{IN})$	IN^+, IN^- DC Leakage Current (LTC2462) IN DC Leakage Current (LTC2460)	$V_{\text{IN}} = \text{GND}$ (Note 8) $V_{\text{IN}} = V_{\text{CC}}$ (Note 8)	● ●	-10 -10	1 1	10 10	nA nA
$I_{\text{DC_LEAK}}(\text{IN}^-)$	IN^- DC Leakage Current	$V_{\text{IN}} = \text{GND}$ (Note 8) $V_{\text{IN}} = V_{\text{CC}}$ (Note 8)	● ●	-10 -10	1 1	10 10	nA nA
I_{CONV}	Input Sampling Current (Note 5)				50		nA
V_{REF}	Reference Output Voltage		●	1.247	1.25	1.253	V
	Reference Voltage Coefficient	(Note 11) C-Grade I-Grade	●		± 2 ± 5	± 10	ppm/ $^\circ\text{C}$ ppm/ $^\circ\text{C}$
	Reference Line Regulation	$2.7\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}$			-90		dB
	Reference Short Circuit Current	$V_{\text{CC}} = 5.5$, Forcing Output to GND	●			35	mA
	COMP Pin Short Circuit Current	$V_{\text{CC}} = 5.5$, Forcing Output to GND	●			200	μA
	Reference Load Regulation	$2.7\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}$, $I_{\text{OUT}} = 100\mu\text{A}$ Sourcing			3.5		mV/mA
	Reference Output Noise Density	$C_{\text{COMP}} = 0.1\mu\text{F}$, $C_{\text{REFOUT}} = 0.1\mu\text{F}$, At $f = 1\text{kHz}$			30		$\text{nV}/\sqrt{\text{Hz}}$

電源要件

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{CC}	Supply Voltage		●	2.7		5.5	V
I_{CC}	Supply Current Conversion Nap Sleep		● ● ●		1.5 800 0.2	2.5 1500 2	mA μA μA

LTC2460/LTC2462

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25^\circ\text{C}$ での値。(Note 2)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage		● $V_{CC} - 0.3$			V
V_{IL}	Low Level Input Voltage		●		0.3	V
I_{IN}	Digital Input Current		● -10		10	μA
C_{IN}	Digital Input Capacitance			10		pF
V_{OH}	High Level Output Voltage	$I_O = -800\mu\text{A}$	● $V_{CC} - 0.5$			V
V_{OL}	Low Level Output Voltage	$I_O = 1.6\text{mA}$	●		0.4	V
I_{OZ}	Hi-Z Output Leakage Current		● -10		10	μA

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25^\circ\text{C}$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{CONV}	Conversion Time		● 13	16.6	23	ms
f_{SCK}	SCK Frequency Range		●		2	MHz
t_{LSCK}	SCK Low Period		● 250			ns
t_{HSCK}	SCK High Period		● 250			ns
t_1	\overline{CS} Falling Edge to SDO Low Z	(Notes 7, 8)	● 0		100	ns
t_2	\overline{CS} Rising Edge to SDO High Z	(Notes 7, 8)	● 0		100	ns
t_3	\overline{CS} Falling Edge to SCK Falling Edge		● 100			ns
t_{KQ}	SCK Falling Edge to SDO Valid	(Note 7)	● 0		100	ns
t_4	SDI Setup Before SCK \uparrow	(Note 3)	● 100			ns
t_5	SDI Hold After SCK \uparrow	(Note 3)	● 100			ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: 全ての電圧値はGNDを基準にしている。注記がない限り、 $V_{CC} = 2.7\text{V} \sim 5.5\text{V}$ 。

$$V_{REFCM} = V_{REF}/2, FS = V_{REF}$$

$$V_{IN} = V_{IN+} - V_{IN-}, -V_{REF} \leq V_{IN} \leq V_{REF}; V_{INCM} = (V_{IN+} + V_{IN-})/2。$$

Note 3: 設計によって保証されているが、テストされない。

Note 4: 積分非直線性は、実際の伝達曲線のエンドポイントを通る直線からのコードの偏差として定義されている。設計およびテストの相関により保証されている。

Note 5: $\overline{CS} = V_{CC}$ 。正電流はDUTピンへ流れ込む。

Note 6: $SCK = V_{CC}$ またはGND。SDOは高インピーダンスである。

Note 7: 図4を参照。

Note 8: 図5を参照。

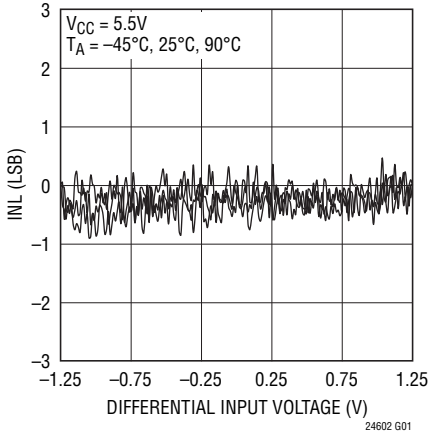
Note 9: 入力サンプリング電流は、LTC2460/LTC2462がアクティブに入力をサンプリングしているとき入力サンプリング・ネットワークから流れる平均入力電流である。

Note 10: 正電流はDUTピンへ流れ込む。

Note 11: 温度係数は出力電圧の最大変化を規定温度範囲で割って計算される。

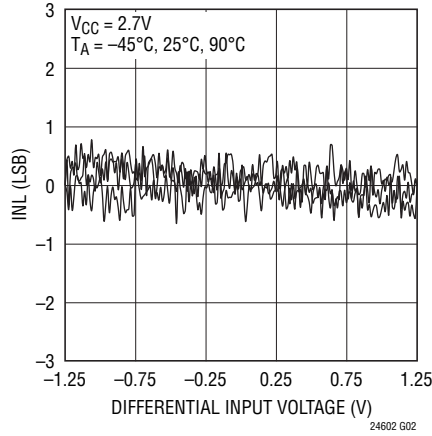
標準的性能特性 (注記がない限り、 $T_A = 25^\circ\text{C}$)

積分非直線性



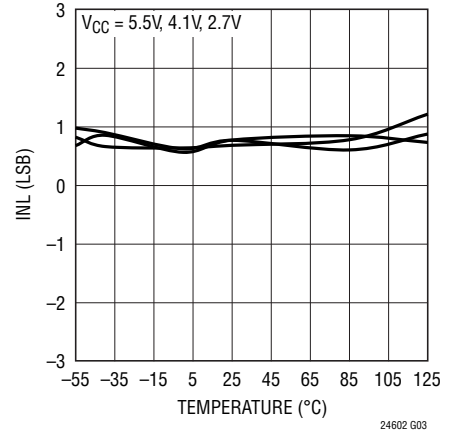
24602 G01

積分非直線性



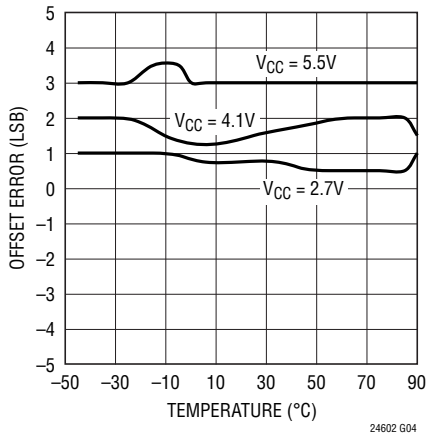
24602 G02

最大INLと温度



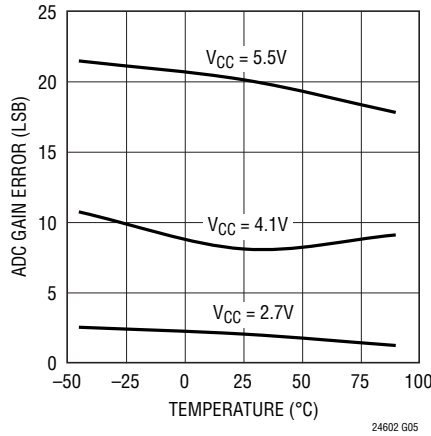
24602 G03

オフセット誤差と温度



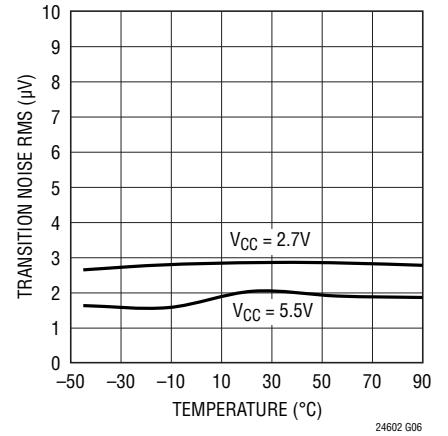
24602 G04

ADCの利得誤差と温度



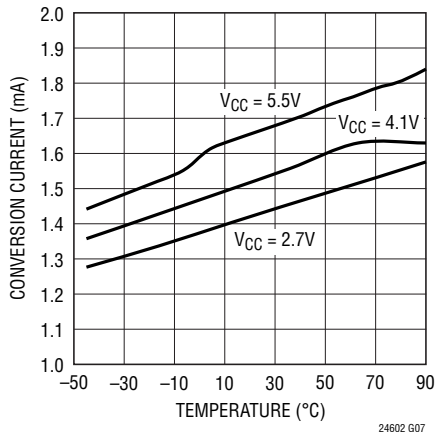
24602 G05

遷移ノイズと温度



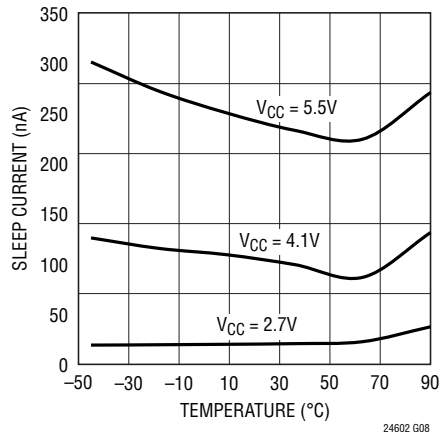
24602 G06

変換モード消費電流と温度



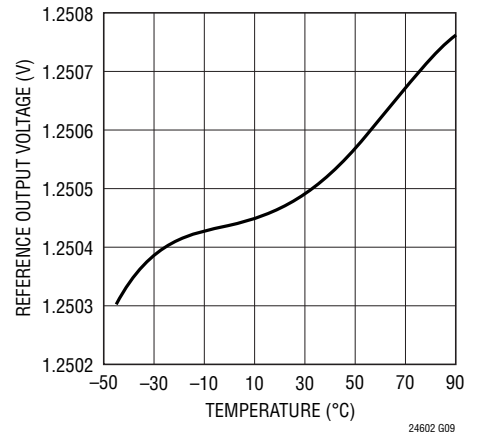
24602 G07

スリープ・モード消費電流と温度



24602 G08

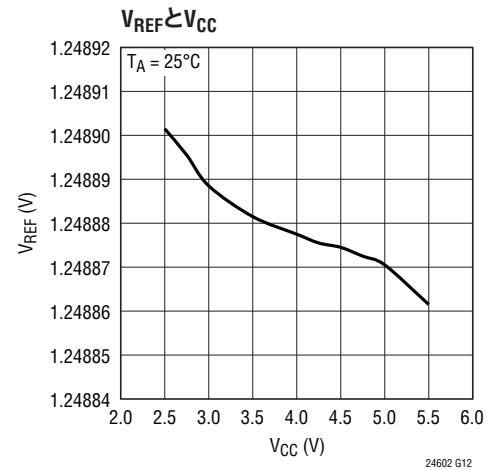
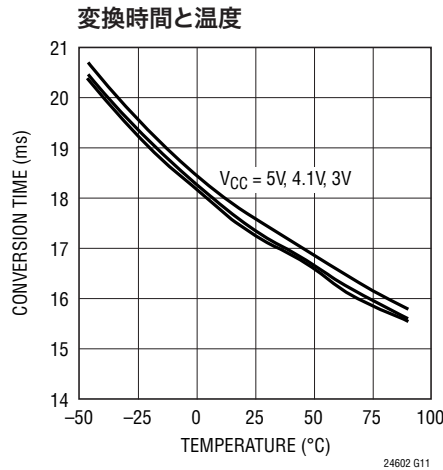
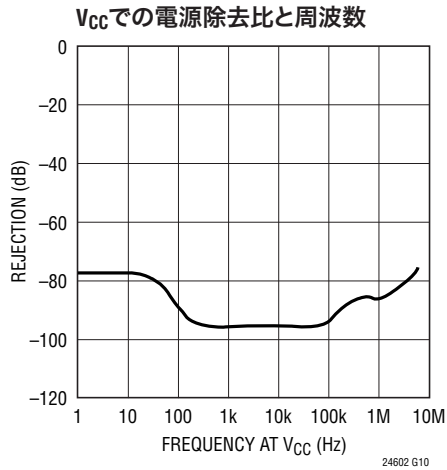
V_{REF} と温度



24602 G09

LTC2460/LTC2462

標準的性能特性 (注記がない限り、 $T_A = 25^\circ\text{C}$)



ピン機能

REFOUT (ピン1): リファレンスの出力ピン。公称1.25Vです。この電圧はADCのフルスケール入力範囲を設定します。ノイズとリファレンスの安定性のため、0.2 μF のコンデンサをこのピンからGNDに接続します。このコンデンサの値は、リファレンス補償ピン (COMP) に接続するコンデンサの値以下にする必要があります。REFOUTを外部リファレンスでオーバードライブすることはできません。0V~1.25Vより大きな入力範囲を必要とするアプリケーションに関しては、LTC2450/ LTC2452を参照してください。

COMP (ピン2): 内部リファレンス補償ピン。ノイズとリファレンスの安定性のため、0.1 μF のコンデンサをこのピンからGNDに接続します。

CS (ピン3): チップ選択 (アクティブ“L”) デジタル入力。このピンを“L”にするとSDO出力がイネーブルされます。このピンを“H”にするとSDO出力ピンが高インピーダンス状態になり、SDIおよびSCKのどんな入力も無視されます。

SDI (ピン4): シリアル・データ入力ピン。このピンは、スリープ・モードおよび30Hz/60Hzの出力レートをプログラムするのに使われます (LTC2460)。

SCK (ピン5): シリアル・クロック入力。SCKはシリアル・データの入力/出力の同期をとります。変換が完了すると、各SCKの立下りエッジで新しいデータ・ビットがSDOピンに出力されます。データはSCKの各立上りエッジでシフトされてSDIピンに入力されます。

SDO (ピン6): スリーステートのシリアル・データ出力。SDOはデータ入力/出力ステートの間シリアル・データ出力に使われ、変換状態のモニタに使うことができます。

GND (ピン7, 11): グランド。低インピーダンス接続を使ってグラウンド・プレーンに直接接続します。

REF⁻ (ピン8): ADCへの負リファレンス入力。このピンの電圧がADCへのゼロ入力を設定します。このピンは、グラウンドまたは入力センサーのグラウンド検出に直接接続します。

IN⁺ (LTC2462)、IN (LTC2460) (ピン9): LTC2462差動デバイスの正入力電圧。LTC2460シングルエンド・デバイスのADC入力。

IN⁻ (LTC2462)、GND (LTC2460) (ピン10): LTC2462差動デバイスの負入力電圧。LTC2460シングルエンド・デバイスのGND。

V_{CC} (ピン12): 正電源電圧。デバイスのできるだけ近くに配置した10 μF コンデンサと低直列インダクタンスの0.1 μF コンデンサを並列に使用して、GNDにバイパスします。

露出パッド (ピン13、DFNパッケージ): グランド。低インピーダンス接続を使ってグラウンド・プレーンに直接接続します。

ブロック図

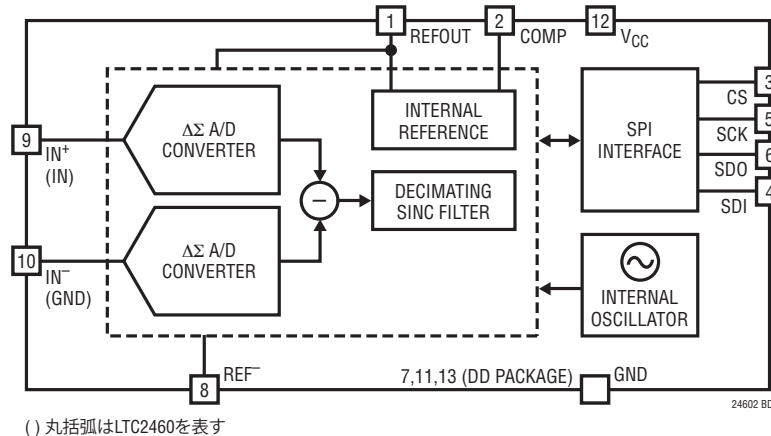


図1. 機能ブロック図

アプリケーション情報

コンバータの動作

コンバータの動作サイクル

LTC2460/LTC2462はローパワーのデルタシグマA/Dコンバータで、シンプルなSPIインタフェースを備えています(図1を参照)。LTC2462は完全な差動入力を備えており、LTC2460はシングルエンドです。両者はピン互換およびソフトウェア互換です。それらの動作は3つに区別されるステート(状態)で構成されています。変換、スリープ/ナップ、およびデータ入力/出力の各ステートです。動作は変換ステートで開始されます(図2を参照)。変換が終了すると、コンバータは自動的にパワーダウンします(ナップ)。または、ユーザーの制御のもとに、コンバータとリファレンスの両方がパワーダウンします(スリープ)。デバイスがこの状態の間、変換結果はスタック・レジスタ内に保持されます。サイクルはデータ入力/出力ステートで終了します。16ビットが全て読み出されると、または中止されると、デバイスは新しい変換を開始します。

変換ステートの時間はLTC2460/LTC2462の変換時間(公称16.6ミリ秒)で決まります。この動作は一旦開始されると、内部パワーオン・リセット信号を発生する低電源状態($V_{CC} < 2.1V$)による以外、中止することはできません。

変換完了後、LTC2460/LTC2462はスリープ/ナップ・ステートに入り、チップセレクトが“L”になるまで($\overline{CS} = “L”$)、この状態に留まります。この状態に続いて、ADCはデータ入力/出力ステートに移行します。

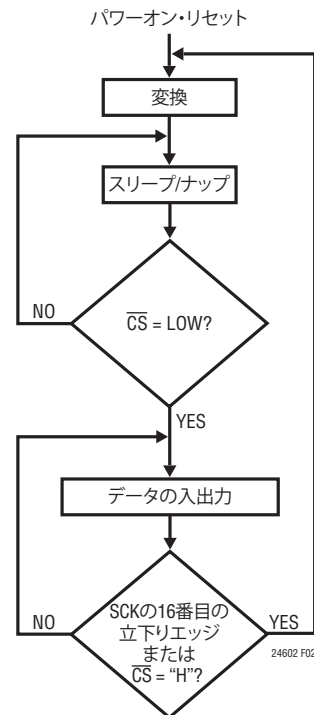


図2. LTC2460/LTC2462の状態遷移図

スリープ/ナップ・ステートの間、チップセレクト入力が“H”だと($\overline{CS} = “H”$)、LTC2460/LTC2462のコンバータがパワーダウンします。これにより、消費電流が約50%減少します。ナップ・ステートの間、リファレンスはパワーアップ状態に留まります。コンバータに加えてリファレンスもパワーダウン状態にするため、ユーザーはデータ入力/出力ステップの間にスリープ・モードを選択することができます。

アプリケーション情報

次の変換が完了するとスリープ・ステートに入り、電力は2 μ A以下に減少します。リファレンスは \overline{CS} を“L”に下げるとパワーアップします。リファレンスのスタートアップ時間は(リファレンス・コンデンサと補償コンデンサの両方の値とも0.1 μ Fの場合)12msです。

データ入力/出力ステートに入ると、SDOは変換結果の符合ビット(D15)を出力します。このステートの間、ADCはSCK入力ピンの制御の下に、SDO出力ピンを通して変換結果をシリアルにシフトして出力します。このデータを発生するのに待ち時間はなく、その結果は最後に完了した変換に対応しています。データの新しいビットは、SCK入力ピンで検出される各立下りエッジに続いてSDOピンに現れ、MSBからLSBへと進みます。ユーザーは、このデータを、SCKピンをドライブしている外部シリアル・クロック信号の各立上りエッジで確実にラッチすることができます。

データ入力/出力ステートの間に、LTC2460/LTC2462は次の変換サイクルに続いてスリープまたはナップ(既定)に移行するようにプログラムすることができます。データは、SCKの立上りエッジでシフトされ、SDIピンを通してデバイスに入力されます。入力ワードは4ビットです。最初のビットEN1 = 1および2番目のビットEN2 = 0であれば、デバイスはプログラムのためにイネーブルされます。以下の2ビット(SPDとSLP)がデバイスに書き込まれます。60Hzの出力レート、オフセット校正なしのモード(SPD = 0、既定)を選択するSPD(LTC2460でだけ使われます)は、オフセット校正付きの30Hzモードの場合SPD = 1に設定します。LTC2462ではSPDは無視されます。次のビット(SLP)はスリープまたはナップ・モードをイネーブルします。SLP = 0(既定)であれば、次の変換サイクルの終了時にリファレンスはパワーアップされた状態に留まります。

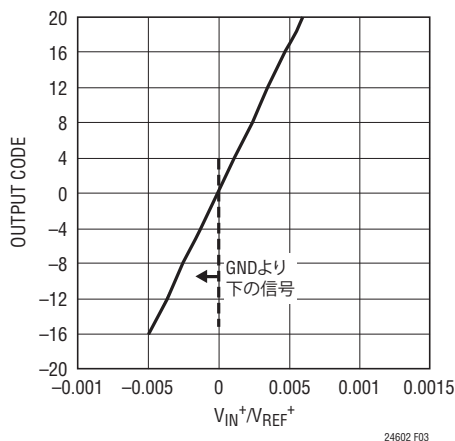


図3. 出力コードと V_{IN}^+ ($V_{IN}^- = 0$) (LTC2462)

SLP = 1であれば、リファレンスは次の変換サイクルでパワーダウンします。SDI入力の残りの12ビットは無視されます(ドントケア)。

ユーザー・インタフェースを簡素化するため、SDIはGNDまたは V_{DD} に直接接続することもできます。LTC2460の場合、SDIが“L”に接続されると60Hzの出力レートが選択され、SDIが V_{DD} に接続されると30Hzの出力レートが選択されます。LTC2462の出力レートはSDIやSPDには関係なく常に60Hzです。SDIがGNDまたは V_{DD} に接続されていると、LTC2460およびLTC2462の両方でリファレンス・スリープ・モードがディスエーブルされます。

データ入力/出力ステートは2つの異なる方法のどちらかで終了します。まず、16データ・ビットが全てシフトされて出力され、次いでクロックが“L”になるとデータ入力/出力ステート動作が完了します。これはSCKの16番目の立下りエッジに対応します。2番目の方法では、データ入力/出力ステートは、CS入力の“L”から“H”への遷移により、いつでも中止することができます。これら2つのアクションのどちらかに続いて、LTC2460/LTC2462は変換ステートに入り、新しい変換サイクルを開始します。

パワーアップ・シーケンス

コンバータに加えられる電源電圧(V_{CC})が約2.1Vより低いとき、ADCはパワーオン・リセットを行います。この機能により、変換結果が損なわれないことが保証されます。

V_{CC} がこの臨界スレッシュホールドを超えて上昇すると、コンバータは約0.5msの内部パワーオン・リセット(POR)信号を発生します。このPOR信号により、全ての内部レジスタがクリアされます。LTC2460/LTC2462はPOR信号に続いて変換サイクルを開始し、図2に示されている一連のステートに従います。PORに続くリファレンスのスタートアップ時間は12msです($C_{COMP} = C_{REFOUT} = 0.1\mu F$)。パワーアップに続く最初の変換は、リファレンス電圧が完全にはセトリングしていないので無効です。パワーアップに続く最初の変換は、データ・アボート命令を使うか、または単に読み出して無視することによって破棄することができます。その後の変換は精確であり、デバイスの仕様を満たします。

使いやすさ

LTC2460/LTC2462のデータ出力には、待ち時間、フィルタのセトリング遅延、または変換サイクルに関連した冗長な結果はありません。変換と出力データの間には1対1対応の関係があります。

アプリケーション情報

したがって、複数のアナログ入力電圧の多重化に特別な操作は不要です。

LTC2460/LTC2462は変換ごとにオフセットの較正を行います。この較正はユーザーからは見え、前述のサイクル動作には影響を与えません。連続較正の利点は、時間経過と温度に対してADCの性能が安定していることです。

LTC2460/LTC2462は従来のデルタシグマ・アーキテクチャと比べて平均入力電流が数桁少ない独自の入力サンプリング手法を採用しています。これにより、外部フィルタ・ネットワークを直接LTC2460にインタフェースすることができます。平均入力サンプリング電流が50nAなので、1kΩと0.1μFを使った外部RCローパス・フィルタによる追加誤差は<1LSBになります。さらに、IN⁺とIN⁻の間のリーク電流は無視できます。

入力電圧範囲 (LTC2460)

オフセット誤差とフルスケール誤差を無視すれば、LTC2460は理論的には入力がV_{REF} (V_{REFOUT} = 1.25V) のとき「オールゼロ」のデジタルの結果を出力し、入力がV_{CC} (フルスケール入力) のとき「オール1」のデジタルの結果を出力します。アンダーレンジ状態 (ゼロスケールより下の全ての入力電圧) では、コンバータは出力コード0を発生します。オーバーレンジ状態 (V_{REF}を超える全ての入力電圧) では、コンバータは出力コード65535を発生します。0V~1.25Vより大きな入力範囲を必要とするアプリケーションに関しては、LTC2450を参照してください。

入力電圧範囲 (LTC2462)

「出力データのフォーマット」のセクションで述べられているように、出力コードは $32768 \cdot (V_{IN}^+ - V_{IN}^-) / V_{REF} + 32768$ として与えられます。(V_{IN}⁺ - V_{IN}⁻) ≥ V_{REF}では、出力コードは65535 (オール1) にクランプされます。(V_{IN}⁺ - V_{IN}⁻) ≤ -V_{REF}では、出力コードは0 (オール0) にクランプされます。

LTC2462には独自のアーキテクチャが使われており、一般に、差動入力が±V_{REF}以内であれば、V_{REF}より8LSB上までおよびGNDより8LSB下までの各入力をデジタル化することができます。一例として (図3)、ユーザーがグランドよりわずかに下の信号を測定しようと望むなら、ユーザーはV_{IN}⁻ = GND、およびV_{REF} = 1.25Vに設定することができます。V_{IN}⁺ = GNDであれば、出力コードは約32768になります。V_{IN}⁺ = GND - 8LSB = -0.305mVであれば、出力コードは約32760になります。±1.25Vより大きい入力範囲が必要なアプリケーションについては、LTC2452を参照してください。

出力データのフォーマット

LTC2460/LTC2462は16ビットのバイナリで直接エンコードされた結果を発生します。それは、SCK入力ピンの制御のもとに、SDO出力ピンを通して、16ビットのシリアル・ストリームとして与えられます (図4を参照)。

LTC2462 (差動入力) の出力コードは $32768 \cdot (V_{IN}^+ - V_{IN}^-) / V_{REF} + 32768$ によって与えられます。LTC2462からの最初のビット出力 (D15) はMSBであり、これはV_{IN}⁺ ≥ V_{IN}⁻では1、V_{IN}⁺ < V_{IN}⁻では0です。このビットには順に下がっていく下位ビットが続き (D14、D13、…)、最後にLSBがLTC2462から出力されます (表1を参照)。

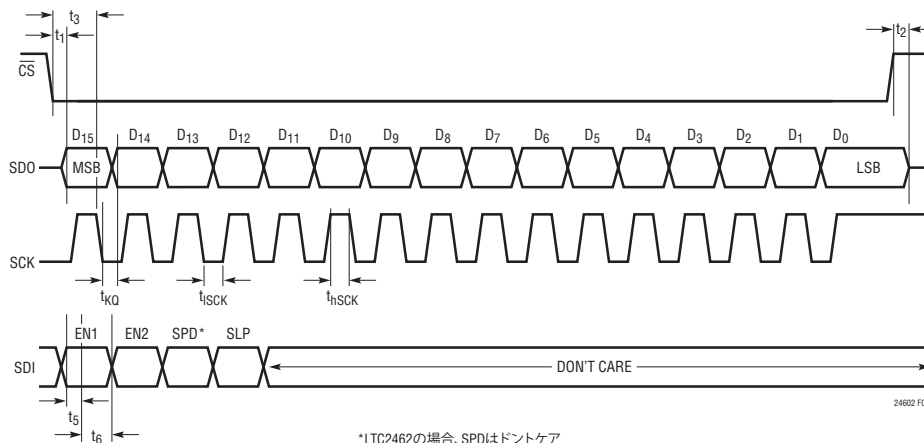


図4. データ入力/出力タイミング

LTC2460/LTC2462

アプリケーション情報

表1. LTC2460/LTC2462の出力データのフォーマット

シングルエンドの入力 V_{IN} (LTC2460)	差動入力電圧 $V_{IN}^+ - V_{IN}^-$ (LTC2462)	D15 (MSB)	D14	D13	D12...D2	D1	D0 (LSB)	対応する 10進数の値
$\geq V_{REF}$	$\geq V_{REF}$	1	1	1	1	1	1	65535
$V_{REF} - 1\text{LSB}$	$V_{REF} - 1\text{LSB}$	1	1	1	1	1	0	65534
$0.75 \cdot V_{REF}$	$0.5 \cdot V_{REF}$	1	1	0	0	0	0	49152
$0.75 \cdot V_{REF} - 1\text{LSB}$	$0.5 \cdot V_{REF} - 1\text{LSB}$	1	0	1	1	1	1	49151
$0.5 \cdot V_{REF}$	0	1	0	0	0	0	0	32768
$0.5 \cdot V_{REF} - 1\text{LSB}$	-1LSB	0	1	1	1	1	1	32767
$0.25 \cdot V_{REF}$	$-0.5 \cdot V_{REF}$	0	1	0	0	0	0	16384
$0.25 \cdot V_{REF} - 1\text{LSB}$	$-0.5 \cdot V_{REF} - 1\text{LSB}$	0	0	1	1	1	1	16383
0	$\leq -V_{REF}$	0	0	0	0	0	0	0

LTC2460(シングルエンド入力)の出力コードは直接バイナリにエンコードされます(表1を参照)。

データ出力動作の間、 \overline{CS} 入力ピンを“L”に引き下げる必要があります($\overline{CS} = \text{“L”}$)。データの出力過程は、 \overline{CS} が“L”になり、結果の最上位ビットがSDO出力に存在すると開始されます。新しいデータ・ビットは、SCK入力ピンで検出される各立下りエッジの後、SDO出力ピンに現れます。出力データは、SCKの立上りエッジを使って確実にラッチすることができます。

データ入力のフォーマット

データ入力ワードは長さが4ビットで、2つのイネーブル・ビット(EN1とEN2)および2つのプログラミング・ビット(SPDとSLP)で構成されています。EN1は変換完了後のSCKの最初の立上りエッジに適應されます。プログラミングはEN1 = 1およびEN2 = 0に設定することによりイネーブルされます。

スピード・ビット(SPD)はLTC2460によって使用されるだけです。既定のモードでは(SPD = 0)、出力レートは60Hzであり、連続バックグラウンド・オフセット較正は行われません。SPDビットを1に変更すると、バックグラウンド・オフセット較正が行われ、出力レートは30Hzに下がります。代わりに、SDIをグラウンド(SPD = 0)または V_{CC} (SPD = 1)に直接接続することができ、デバイスをプログラムすることが不要になります。LTC2462のデータ出力レートは常に60Hzで、バックグラウンド・オフセット較正が行われます(SPD = ドントケア)。

内蔵リファレンスをパワーダウンするにはスリープ・ビット(SLP)を使います。既定のモードでは、ADCがパワーダウンされていても、リファレンスはパワーアップされたまま留まりま

す。SLPビットが“H”にセットされると、リファレンスは次の変換完了後パワーダウンします。 \overline{CS} が“L”に引き下げられるまで、パワーダウンされたまま留まります。リファレンスのスタートアップ時間は約12msです。後続の変換のためにリファレンスを確実に安定にするため、 \overline{CS} が“L”になった後データの入力/出力時間を12ms遅らせるか、またはリファレンスのスタートアップに続く最初の変換を破棄します。SDIが“H”に接続されると(LTC2460は30Hzモードで動作)、SLPモードがディスエーブルされます。

変換状態のモニタ

アプリケーションによっては、ユーザーがLTC2460/LTC2462の変換状態をモニタしたいことがあります。これは変換サイクルの間SCKを“H”に保つことによって実現することができます。この状態では、いつでも \overline{CS} ピンを“L”に引き下げると($\overline{CS} = \text{“L”}$)、SDO出力ピンから変換状態が示されます。SDO = “H”は変換サイクルが進行中であることを示し、SDO = “L”は変換サイクルが完了していることを示します。このようなシーケンスの一例を図5に示します。

変換状態のモニタは可能ですが、LTC2460/LTC2462の変換時間は固定されており、約16.6ms(最大23ms)なので、モニタは必要ではありません。したがって、外部タイミングを使って変換サイクルの完了を決定することができます。

シリアル・インタフェース

LTC2460/LTC2462は2線、3線または4線の同期式インタフェースを介して、変換結果を伝送し、変換開始コマンドを受け取ります。

アプリケーション情報

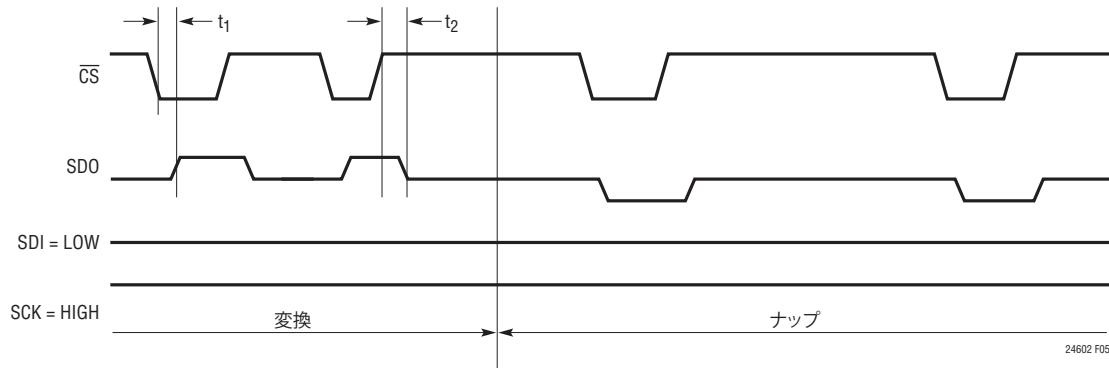


図5. 変換状態モニタ・モード

このインタフェースを使って、変換ステートとスリープ・ステートの間はコンバータの状態にアクセスすることができ、データ出力ステートの間は変換結果を読み出したり、新しい変換をトリガすることができます。

4) SCK = “H”のとき、 $\overline{\text{CS}}$ を“L”に引き下げてSDOが“L”になるのを見張ることにより、変換状態をモニタすることができます。この機能はアイドリング“H”(CPOL = 1)モードでだけ利用できます。

シリアル・インタフェースの動作モード

動作モードは以下のようにまとめることができます。

- 1) LTC2460/LTC2462はSCKを“H”にアイドリングさせるか(普通CPOL = 1として知られています)、または“L”にアイドリングさせた(普通CPOL = 0として知られています)状態で機能します。
- 2) 16番目のビットが読み出された後、 $\overline{\text{CS}}$ が“H”に引き上げられるか、またはSCKが“L”に引き下げられると、新しい変換が開始されます。
- 3) データ出力ステートの間いつでも $\overline{\text{CS}}$ を“H”に引き上げると、デバイスはI/Oステートから出て、出力を中断し、新しい変換を開始します。

シリアル・クロック“H”(CPOL = 1)の例

図6では、LTC2460/LTC2462は変換サイクル後に自動的にADCがパワーダウンしたナップ・モードに入ります。完了したばかりの変換の前にSLPビットが“H”にセットされていて、 $\overline{\text{CS}}$ が“H”であれば、ADCのリファレンスはパワーダウンします。 $\overline{\text{CS}}$ が“L”に下がると直ちにデバイスはパワーアップします。ユーザーは $\overline{\text{CS}}$ とSDOを使って都合の良い間隔で変換状態をモニタすることができます。

SCKが“H”の状態では $\overline{\text{CS}}$ を“L”に引き下げると、デバイスが変換ステートであるかどうかテストします。変換ステートでは、 $\overline{\text{CS}}$ が“L”の間SDOは“H”です。変換が完了すると、 $\overline{\text{CS}}$ が“L”の間SDOは“L”です。

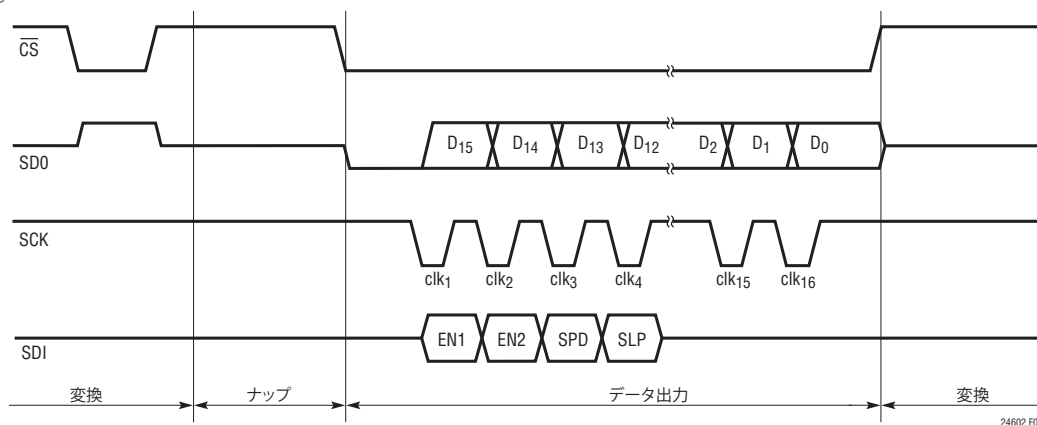


図6. アイドリング“H”(CPOL = 1)シリアル・クロック動作の例。
 $\overline{\text{CS}}$ の立上りエッジにより新しい変換が開始される

24602fa

アプリケーション情報

これらのテストは必要な動作ステップではありませんが、アプリケーションによっては便利ことがあります。

データが利用可能になると、ユーザーは16クロック・サイクルを与えて結果を転送します。それから \overline{CS} の立上りエッジを使って新しい変換を開始します。

図7の動作例は、新しい変換サイクルがシリアル・クロック (SCK) の立下りエッジでトリガされること以外は、図6と同じです。

シリアル・クロック・アイドリング“L” (CPOL = 0) の例

図8では、LTC2460/LTC2462は各変換サイクル後に自動的にナップ状態になります。完了したばかりの変換の前にSLPビットが“H”にセットされていて、 \overline{CS} が“H”であれば、デバイスのリファレンスはパワーダウンします。 \overline{CS} が“L”に下がると直ちにリファレンスはパワーアップします。ユーザーは外部タイミングに基づいてデータを利用できるかどうか(および変換の終了)を判断します。それからユーザーは \overline{CS} を“L”に引き下げ ($\overline{CS} = \downarrow$)、16クロック・サイクルを使って結果を転送します。クロックの16番目の立上りエッジに続いて、 \overline{CS} を“H”に引き上げると ($\overline{CS} = \uparrow$) 新しい変換がトリガされます。

図9のタイミング図は、この場合SCKによって新しい変換がトリガされること意外は、図8と同じです。SCKの16番目の立下りエッジにより新しい変換サイクルがトリガされ、続いて \overline{CS} 信号が“H”に引き上げられます。

\overline{CS} を使った中止サイクルの例

アプリケーションによっては、ユーザーがI/Oサイクルを中止して新たに変換を開始したいと望むことがあります。LTC2460/LTC2462がデータ出力ステートにある場合、 \overline{CS} の立上りエッジにより、残りのデータ・ビットがレジスタから消去され、出力サイクルが中止され、新しい変換がトリガされます。アイドリング“H” (CPOL = 1) の状態でI/Oを中止する例を図10に示し、アイドリング“L” (CPOL = 0) の状態でI/Oを中止する例を図11に示します。

図12に示されているように、シリアル・クロック・パルスを発生させる必要なしに、 \overline{CS} 信号を使って新しい変換サイクルをトリガすることができます。変換サイクル終了後、SCKを“L”ロジック・レベルに維持すると、 \overline{CS} を“L”に引き下げ、続いて“H”に引き上げることにより、新しい変換をトリガすることができます。

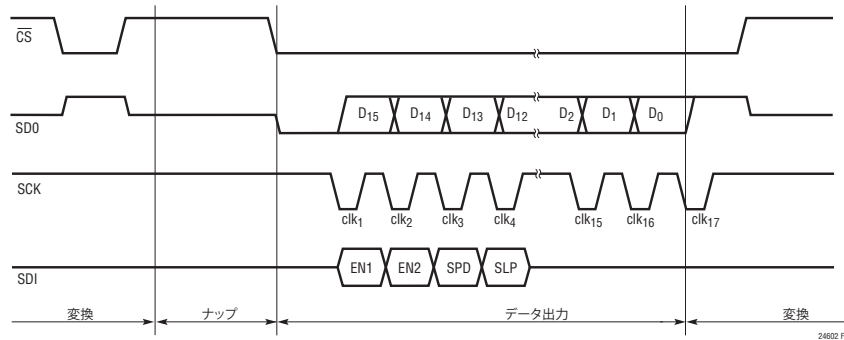


図7. アイドリング“H” (CPOL = 1) クロック動作の例。新しい変換サイクルをトリガするには17番目のクロック・パルスを使う

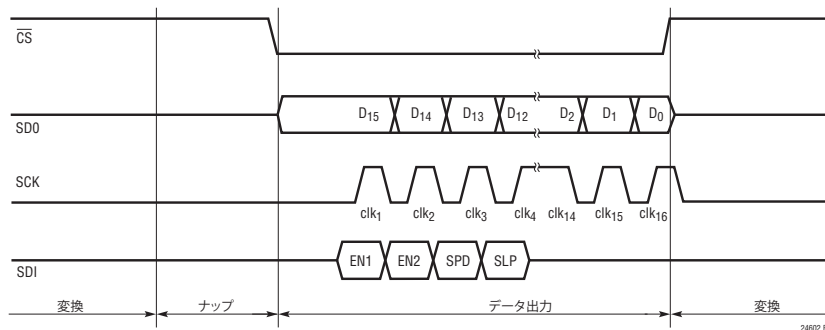


図8. アイドリング“L” (CPOL = 0) クロック。 \overline{CS} により新しい変換がトリガされる

アプリケーション情報

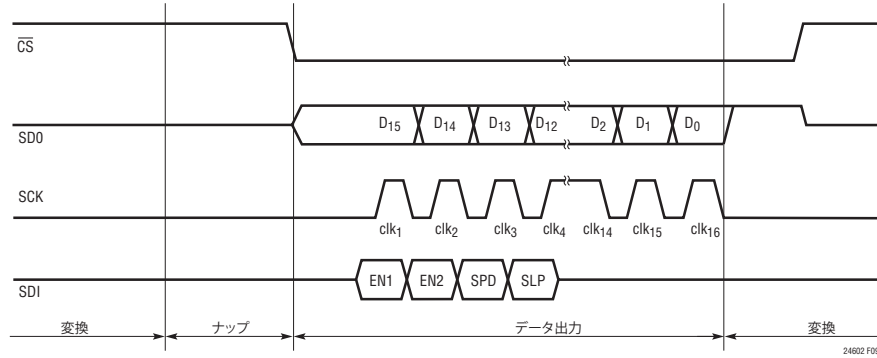


図9. アイドリング“L” (CPOL = 0) クロック。SCKの16番目の立下りエッジにより新しい変換がトリガされる

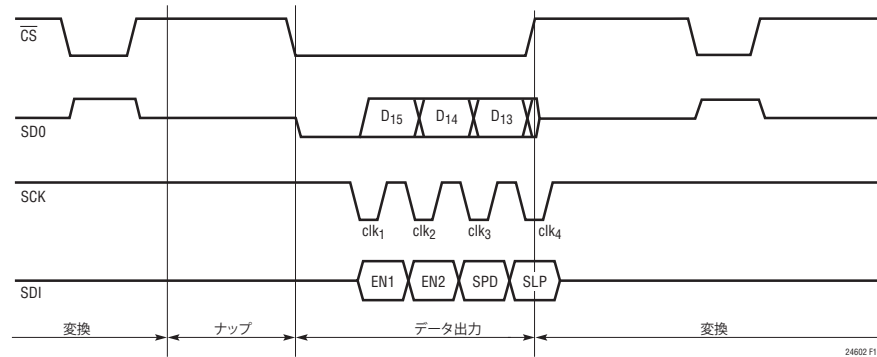


図10. アイドリング“H” (CPOL = 1) クロックおよび中止されたI/Oの例。

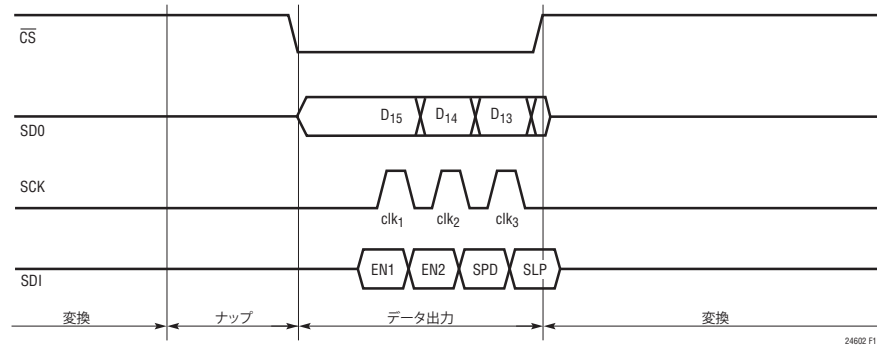


図11. アイドリング“L” (CPOL = 0) クロックおよび中止されたI/Oの例。

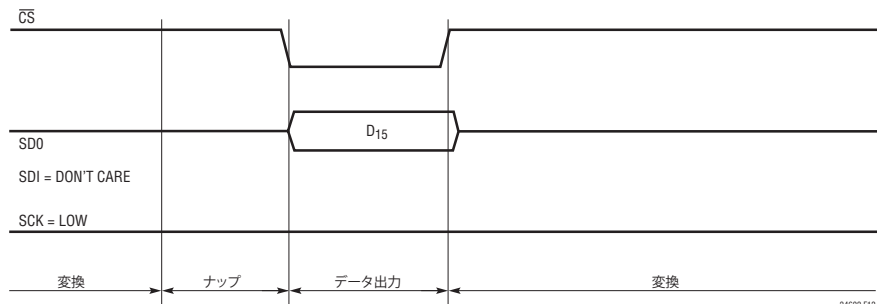


図12. アイドリング“L” (CPOL = 0) クロックおよび最小データ出力長の例。

アプリケーション情報

\overline{CS} を“L”に引き下げると($\overline{CS} = \text{“L”}$)、SDOは完了したばかりの変換結果の符合(D15)を出力します。SCKピンにロジック・レベル“L”が維持されていて、続いて \overline{CS} が“H”に引き上げられると($\overline{CS} = \text{“H”}$)、結果の残り15ビット(D14~D0)が破棄され、新しい変換サイクルが開始されます。

I/Oの中止に続いて、変換状態で追加のクロック・パルスは許容されますが、SCKの過剰な信号遷移は変換の間ADCにノイズを発生する可能性があるため、変換精度に悪影響を与えることがあります。

2線式動作

2線式動作モードは必要な制御信号の数が減りますが、LTC2460/LTC2462の低消費電力のスリープ機能を必要としない場合のみ使います。さらに、シリアル・データ転送を中断するオプションはもはや利用できません。2線式動作では \overline{CS} をGNDに固定して配線します。LTC2460の場合、60Hzの出力レートではSDIを“L”に、30Hzの出力レートでは“H”に接続します。LTC2462の場合、SDIを“L”に接続します。

アイドリング“H”(CPOL = 1)のシリアル・クロック信号を使う2線式動作のシーケンスを図13に示します。変換状態はSDO出力でモニタすることができます。変換サイクルに続いて、ADCはデータ出力ステートに入り、SDO出力は“H”から“L”に遷移します。続いて、16ビットの結果をシフトしてシリアルに出力するため、16クロック・パルスがSCK入力に与えられます。最後に、新しい変換サイクルをトリガするために17番目のパルスがSCK入力に与えられます。

アイドリング“L”(CPOL = 0)のシリアル・クロック信号を使う2線式動作のシーケンスを図14に示します。変換状態をSDO出力でモニタすることはできません。変換サイクルに続いて、LTC2460/LTC2462はデータ出力状態になります。この時点で、SDOピンは変換結果の符合(D15)を出力します。ユーザーは、変換の終了と結果の利用可能性を判断するのに外部タイミングを使う必要があります。続いて、16ビットの結果をシフトしてシリアルに出力するため、16クロック・パルスがSCKに与えられます。クロックの16番目の立下りエッジにより新しい変換がトリガされます。LTC2460の場合、60Hzの出力レートではSDIを“L”に、30Hzの出力レートでは“H”に接続します。

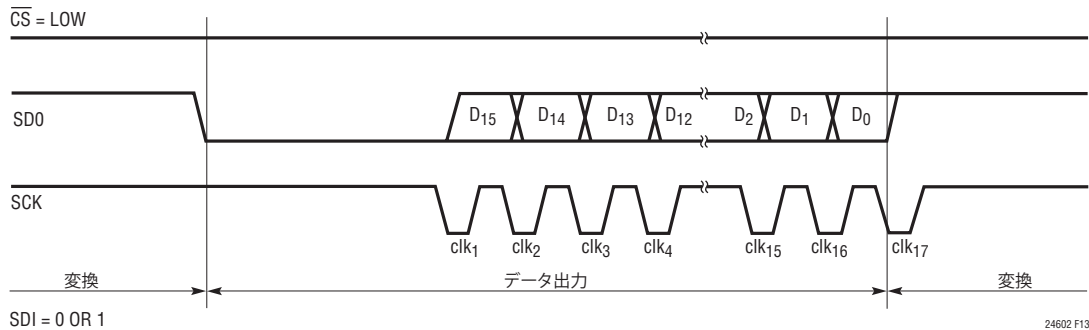


図13. 2線式、アイドリング“H”(CPOL = 1)シリアル・クロック動作の例

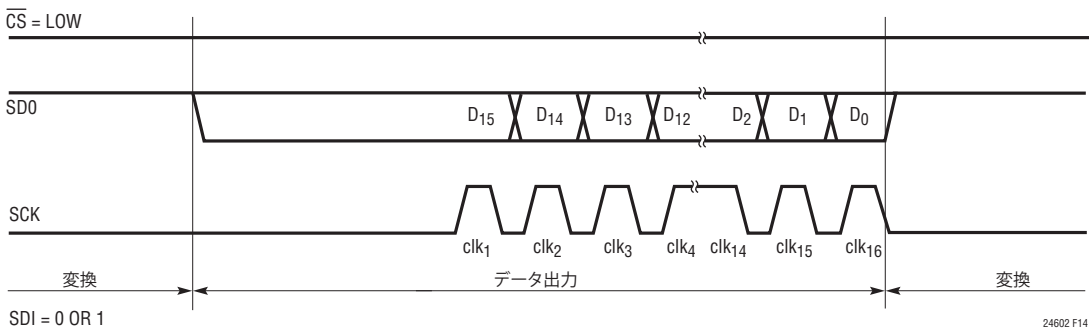


図14. 2線式、アイドリング“L”(CPOL = 0)シリアル・クロック動作の例

アプリケーション情報

コンバータの精度の維持

デバイスのデカップリング、PCBのレイアウト、アンチエイリアシング回路、ラインや周波数の乱れの影響を変換結果ができるだけ受けないようにLTC2460/LTC2462は設計されています。にもかかわらず、このデバイスの高い精度を維持するには、いくつか配慮をしておくのが賢明です。

デジタル信号レベル

CMOSロジックの性質により、入力デジタル信号をGNDまたはV_{CC}の近くに保つことを推奨します。0.5V～(V_{CC}-0.5V)の範囲の電圧はデバイスからの追加電流リークを生じます。アンダーシュートやオーバーシュートも、特にデバイスが変換を行っているとき、最小に抑えます。したがって、エッジレートを約10nsに保ち、オーバーシュートとアンダーシュートを0.3V以下に制限するのが有益です。

ノイズの大きな外部回路は、2線式動作のもとで潜在的に出力に影響を与える可能性があります。特に、SCKパルスが失われたりノイズが余分のSCKパルスをトリガすると、LTC2460/LTC2462が未知の状態に陥る可能性があります。この状況では、(変換の進行中を示す)SDO = 1と有効な「1」のデータ・ビットとを区別することは不可能です。したがって、2線モードではCPOL = 1を推奨します。ユーザーはデータを読み出す前にSDO = 0を見張り、データを読み出した後はSDO = 1を見張ります。SDOが最大変換時間内に「0」を返さないと(またはデータを全部読み出した後「1」を返すと)、16個のSCKパルスを発生して新しい変換を強制します。

V_{CC}とGNDのドライブ

V_{CC}ピンとGNDピンとの関係で、LTC2460/LTC2462は内部の高周波デカップリングを減衰素子と組み合わせて、ADCの性能がPCBレイアウトや外部部品による影響を受けにくくしています。にもかかわらず、このコンバータの非常に高い精度は電源の低周波数および高周波数の注意深いデカップリングによって最も良く維持されます。

10μFの低ESRセラミック・コンデンサに並列に接続された高品質のセラミック・コンデンサを、できるだけパッケージに近づけて、V_{CC}ピンとGNDピンの上に接続します。0.1μFのコンデンサをADCパッケージの一番近くに配置します。コンバータのV_{CC}ピンを出発して、これら2個のデカップリング・コンデンサを通り、コンバータのGNDピンに戻ってくる回路経路ではビアを使わない方が良いでしょう。この回路経路によって囲まれる領域と経路長を最小にします。

図15に示されているように、REF⁻がADCへの負リファレンス電圧入力として使われています。このピンはグランドに直接接続するか、またはセンサーのグランドにケルビン接続することができます。REF⁻が検出入力として使われる場合、10μFの低ESRセラミック・コンデンサに並列に0.1μFのセラミック・コンデンサを使ってグランドにバイパスします。

V_{CC}ピンとGNDピンの両方で、インピーダンスの非常に低いグランドと電力プレーンおよびスター接続が望ましいといえます。V_{CC}ピンには2つの区別された接続を行います。片方は上述のデカップリング・コンデンサに接続し、他方は電源電圧のグランド・リターンに接続します。

REFOUTとCOMP

内蔵1.25Vリファレンスは内部でコンバータのリファレンス入力に接続されており、REFOUTピンに出力されます。

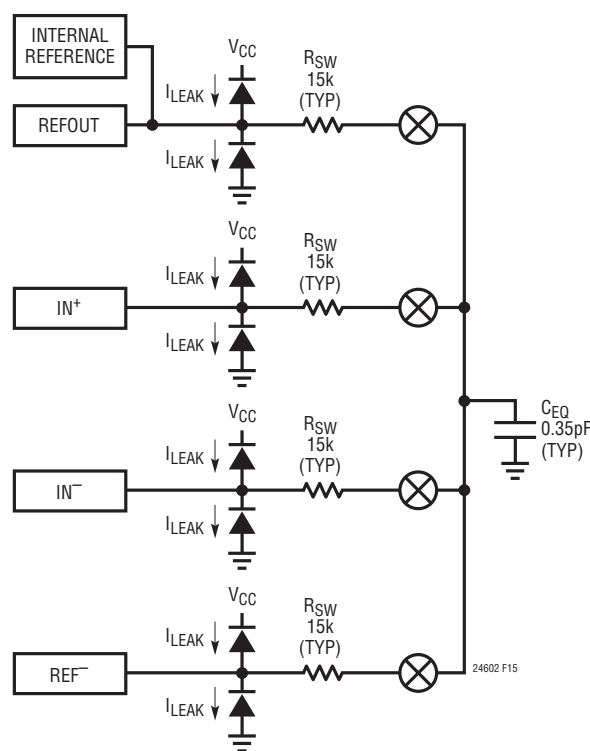


図15. LTC2460/LTC2462のアナログ入力/リファレンスの等価回路

アプリケーション情報

0.1 μ FのコンデンサをREFOUTピンに接続します。このコンデンサをもっと小さくすることはできますが、遷移ノイズが増加します。0.1 μ FのコンデンサをCOMPピンにも接続します。このピンはリファレンスの内部ポイントに接続されており、安定性のために使われます。リファレンスを安定状態に保つため、COMPピンに接続されるコンデンサはREFOUTピンに接続されるコンデンサに等しいか、それより大きくします。REFOUTピンは外部電圧でオーバーライドすることはできません。1.25Vより大きなリファレンス電圧が必要なら、LTC2450/LTC2452を使います。

REFOUTピンとCOMPピンに接続されるコンデンサのサイズに依存して、内部リファレンスのスタートアップ時間がそれに対応したものになります。このスタートアップ時間は0.1 μ Fのコンデンサが使われるとき標準で12msです。最初にパワーアップするとき、最初の変換結果は中止するか、無視することができます。この最初の変換の完了時にはリファレンスはセトリングを終えており、それに続く全ての変換が有効です。

リファレンスをスリープ状態にすると ($SLP = 1$ および $\overline{CS} = 1$ にプログラム)、リファレンスは次の変換の後にパワーダウンします。この変換結果は有効です。 \overline{CS} の立下りエッジで、リファレンスはパワーアップします。次の変換前にリファレンスの出力が確実にセトリングしているように、 \overline{CS} の立下りエッジから12ms後にデータ読出しを遅らせることによりパワーアップ時間を延ばすことができます。デバイスから16ビットが全て読み出されたら、または \overline{CS} が”H”になったら、次の変換が自動的に開始されます。既定の動作では、変換サイクルの終了時にリファレンスはパワーアップされた状態に留まります。

V_{IN^+} と V_{IN^-} のドライブ

入力ドライブの要件は、図16の等価回路を使うと最良の分析を行うことができます。入力信号 V_{SIG} は等価ソース抵抗 R_S を通してADCの入力ピン (IN^+ および IN^-) に接続されます。この抵抗にはジェネレータの実際のソース抵抗と入力ピンに接続された追加のオプションの抵抗の両方が含まれます。オプションの入力コンデンサ C_{IN} もADCの入力ピンに接続されます。このコンデンサはADCの入力の寄生容量 C_{PAR} と並列に配置されます。 C_{PAR} の標準的値は、PCBのレイアウトに依存し

て、2pF~15pFになります。さらに、図16の等価回路には、コンバータの等価内部抵抗 R_{SW} とサンプリング・コンデンサ C_{EQ} が含まれています。

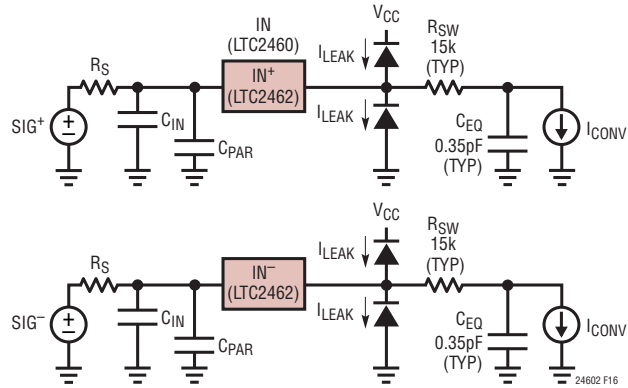


図16. LTC2460/LTC2462の入力ドライブの等価回路

完全な回路解析を必要とすることなく、 R_S と C_{IN} には明らかなトレードオフがいくつかあります。 R_S と C_{IN} を大きくすると以下の利点が得られます。

- 1) LTC2460/LTC2462の入力サンプリング・アルゴリズムにより、変換サイクルの間 V_{IN^+} または V_{IN^-} に流れる入力電流は標準で50nAです。高い $R_S \cdot C_{IN}$ は入力電流の高周波成分を減衰させ、最大1k Ω までの R_S 値では<1LSBの誤差となります。
- 2) V_{SIG} からの帯域幅は入力ピン (IN^+ , IN^- または IN) で減少します。この帯域幅の減少により、ADCが高周波信号から分離されますので、簡単なアンチエイリアス機能が生じ、入力ノイズが減少します。
- 3) ADCによって生じるスイッチング過渡は信号源に戻る前に減衰します。
- 4) 大きな C_{IN} は入力ピンに良好なACグランドを与え、信号源への反射を減らすのに役立ちます。
- 5) R_S を大きくすると、電源レールの範囲を外れるフォールト状態の間電流を制限することによりADCを保護します。

アプリケーション情報

与えられたアプリケーションで $R_S \cdot C_{IN}$ をどのくらい大きくするかには限界があります。あるポイントを超えて R_S を増加させると、大きな測定誤差が生じるポイントまで入力電流による R_S 両端の電圧降下が増加します。さらに、アプリケーションによっては、 $R_S \cdot C_{IN}$ の積を大きくしすぎると、目的の周波数で信号が許容できないほど減衰することがあります。

ほとんどのアプリケーションでは、高品質の $0.1\mu\text{F}$ セラミック・コンデンサと $R_S \leq 1\text{k}$ で C_{IN} を実装するのが望ましいでしょう。このコンデンサはパッケージの V_{IN} ピンにできるだけ近づけます。さらに、この回路経路によって囲まれる領域と経路長を最小にします。

リモート端で接地されていない2線式センサの場合、 R_S を分割して、スター接続トポロジーを使ってADCのGNDに接続するセンサのグランド・リターンとともに、ADCの入力ラインに直列抵抗を配置するのが望ましいでしょう。

入力コンデンサ $C_{IN} = 0.1\mu\text{F}$ を使ったときの R_S 値の関数としての、LTC2462の「INLの測定値と入力電圧」を図17に示します。

場合によっては、 R_S をこれらのガイドラインより大きくすることができます。ADCがスリープ・モードまたはI/Oモードのどちらかのとき、入力電流はゼロです。したがって、入力RC回路の時間定数 $\tau = R_S \cdot C_{IN}$ が実際の変換と変換の間の時間と同程度か、またはそれより長ければ、それに応じて入力電流が減少すると考えることができます。

これらの検討事項は入力信号の帯域幅とバランスをとる必要があります。3dB帯域幅は約 $1/(2\pi R_S C_{IN})$ です。

最後に、推奨されている C_{IN} の値がユーザーの特定のアプリケーションには受け入れられない場合、別の戦略として、 C_{IN} を取り去って C_{PAR} と R_S を最小にします。要するに、この構成は最短トレースを使って直接ADCに接続された低インピーダンスのセンサーに対応します。実際のアプリケーションには、

値の小さなセンス抵抗を使った電流測定、温度測定、低インピーダンスの電圧源モニタなどが含まれます。その結果得られる「INLと V_{IN} 」を図18に示します。図18の測定には最小サイズのレイアウト・パッドと長さ約1インチの入力トレースの最小幅に相当するコンデンサ C_{PAR} が含まれています。

信号帯域幅、遷移ノイズおよびノイズ等価入力帯域幅

LTC2460/LTC2462には最初のノッチが $f_0 = 60\text{Hz}$ に位置する sinc^1 タイプのデジタル・フィルタが備わっています。そのままでは3dB入力信号帯域幅は26.54Hzです。広い周波数範囲にわたる「LTC2460/LTC2462の入力信号の減衰と周波数」を図19に示します。低い周波数での「LTC2460/LTC2462の入力信号の計算による減衰と周波数」を図20に示します。コンバータのノイズレベルは約 $2.2\mu\text{V}_{\text{RMS}}$ で、ノイズの無いコンバータの入力に接続された白色ノイズ源によってモデル化することができます。

関連した注記として、LTC2462は2つの別個のA/Dコンバータを使って正入力と負入力をデジタル化します。これらのA/Dコンバータのそれぞれの遷移ノイズは $2.2\mu\text{V}_{\text{RMS}}$ です。一方の入力電圧がこの小さな遷移ノイズ帯域幅に入っていると、他方の入力電圧の値には関係なく、出力が1ビット変動します。両方の入力電圧がそれらの遷移ノイズ帯域幅に入っていると、出力が2ビット変動することがあります。

システム・ノイズの簡単な解析では、 V_{IN} ドライブ回路を、ポールの位置 f_i とノイズのスペクトル密度 n_i によって特徴づけられる単一ポール等価回路としてモデル化することができます。もしコンバータが無限の帯域幅または少なくとも f_i よりはるかに大きな帯域幅をもっていれば、外部ドライブ回路の合計ノイズの寄与は次のようになるでしょう。

$$V_n = n_i \sqrt{\pi/2 \cdot f_i}$$

そうすれば、システムの合計ノイズ・レベルは、 (V_n^2) とLTC2460/LTC2462のノイズフロアの2乗(約 $2\mu\text{V}^2$)の和の平方根として推定することができます。

アプリケーション情報

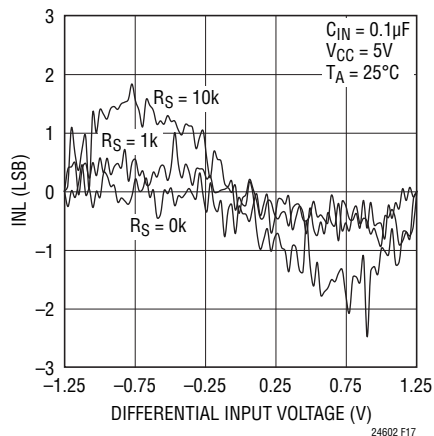


図17. 測定されたINLと入力電圧

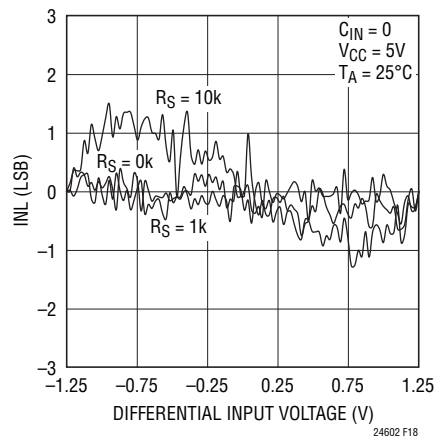


図18. 測定されたINLと入力電圧

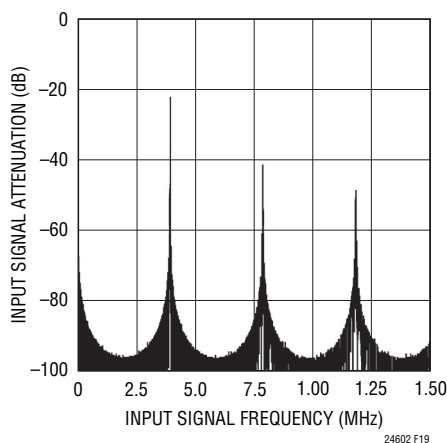


図19. LTC2462の入力信号の減衰と周波数

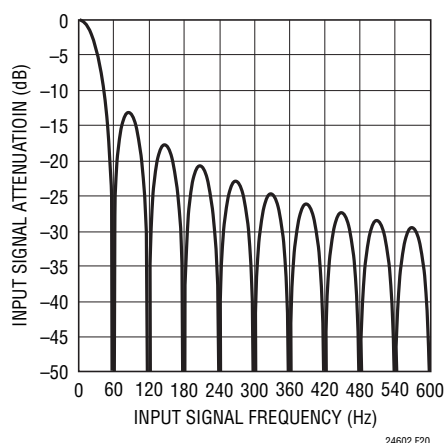


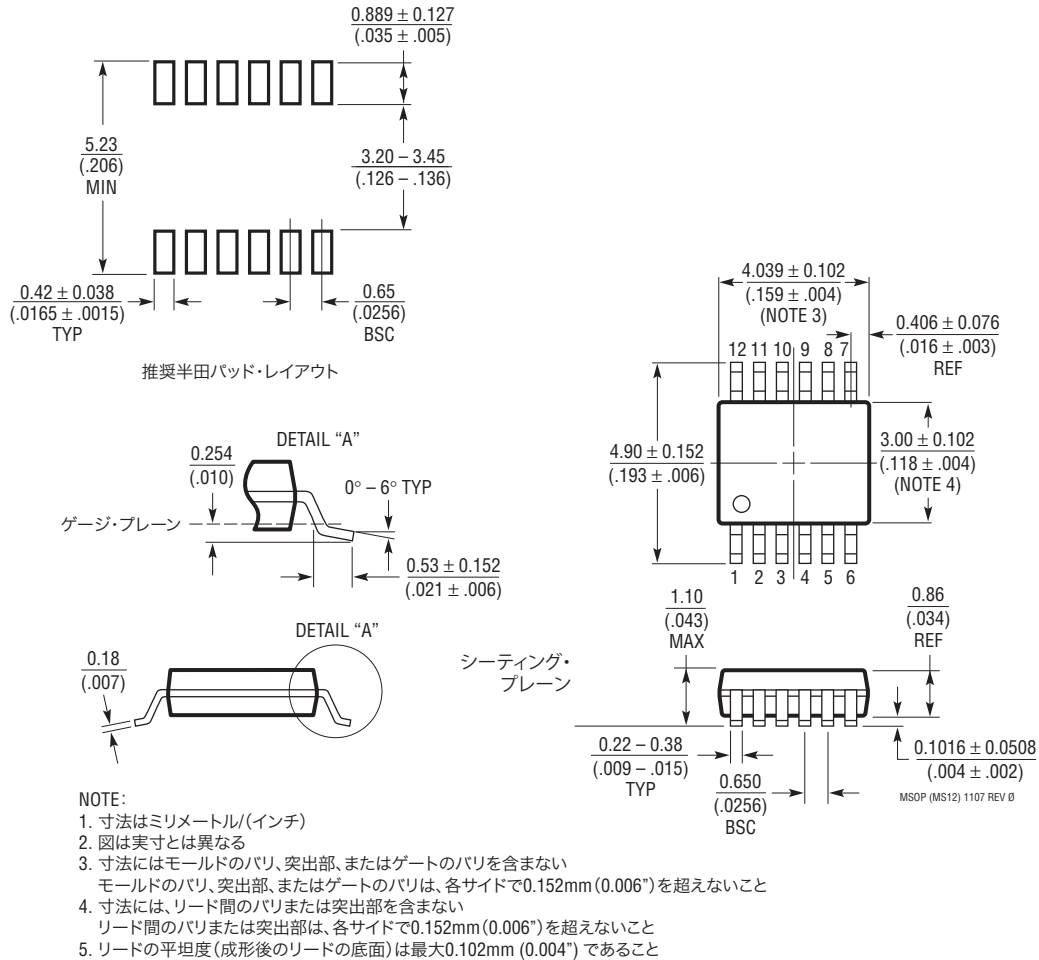
図20. LTC2462の入力信号の減衰と周波数
(低周波数)

LTC2460/LTC2462

パッケージ

最新のパッケージの図面については <http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

MSパッケージ
12ピン・プラスチックMSOP
 (Reference LTC DWG # 05-08-1668 Rev 0)

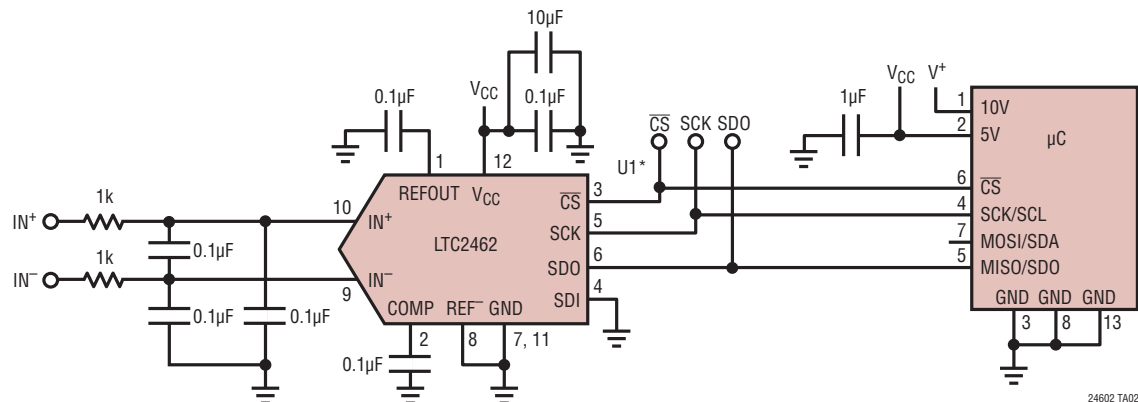


改訂履歴

REV	日付	概要	ページ番号
A	9/11	「電気的特性」の表の Offset Error の最大値を更新	3

LTC2460/LTC2462

標準的応用例



24602 TA02

関連製品

製品番号	説明	注釈
LTC1860/LTC1861	12ビット、5V、1/2チャンネル250ksps SAR ADC、MSOP	250kspsで850µA、1kspsで2µA、SO-8およびMSOPパッケージ
LTC1860L/LTC1861L	12ビット、3V、1/2チャンネル、150ksps SAR ADC	150kspsで450µA、1kspsで10µA、SO-8およびMSOPパッケージ
LTC1864/LTC1865	16ビット、5V、1/2チャンネル250ksps SAR ADC、MSOP	250kspsで850µA、1kspsで2µA、SO-8およびMSOPパッケージ
LTC1864L/LTC1865L	16ビット、3V、1/2チャンネル、150ksps SAR ADC	150kspsで450µA、1kspsで10µA、SO-8およびMSOPパッケージ
LTC2360	12ビット、100ksps SAR ADC	3V電源、100kspsで1.5mW、TSOT 6ピン/8ピン・パッケージ
LTC2440	24ビット、No Latency $\Delta\Sigma^{\text{TM}}$ ADC	200nVRMSノイズ、出力レート:4kHz、15ppm INL
LTC2480	16ビット、差動入力、No Latency $\Delta\Sigma$ ADC、PGA、温度センサ、SPI付き	Easy Drive入力電流キャンセル、600nVRMSノイズ、小型10ピンDFNパッケージ
LTC2481	16ビット、差動入力、No Latency $\Delta\Sigma$ ADC、PGA、温度センサ、I ² C付き	Easy Drive入力電流キャンセル、600nVRMSノイズ、小型10ピンDFNパッケージ
LTC2482	16ビット、差動入力、No Latency $\Delta\Sigma$ ADC、SPI	Easy Drive入力電流キャンセル、600nVRMSノイズ、小型10ピンDFNパッケージ
LTC2483	16ビット、差動入力、No Latency $\Delta\Sigma$ ADC、I ² C	Easy Drive入力電流キャンセル、600nVRMSノイズ、小型10ピンDFNパッケージ
LTC2484	24ビット、差動入力、No Latency $\Delta\Sigma$ ADC、SPI、温度センサ付き	Easy Drive入力電流キャンセル、600nVRMSノイズ、小型10ピンDFNパッケージ
LTC2485	24ビット、差動入力、No Latency $\Delta\Sigma$ ADC、I ² C、温度センサ付き	Easy Drive入力電流キャンセル、600nVRMSノイズ、小型10ピンDFNパッケージ
LTC6241	デュアル、18MHz、低ノイズ、レール・トゥ・レール・オペアンプ	550nV _{p-p} ノイズ、オフセット:最大125µV
LTC2450	使いやすい、超小型16ビットADC、SPI、0V~5.5Vの入力範囲	INL:2LSB、スリープ電流:50nA、小型2mm×2mm DFN-6パッケージ、出力レート:30Hz
LTC2450-1	使いやすい、超小型16ビットADC、SPI、0V~5.5Vの入力範囲	INL:2LSB、スリープ電流:50nA、小型2mm×2mm DFN-6パッケージ、出力レート:60Hz
LTC2451	使いやすい、超小型16ビットADC、I ² C、0V~5.5Vの入力範囲	INL:2LSB、スリープ電流:50nA、小型3mm×2mm DFN-8またはTSOTパッケージ、プログラム可能な30Hz/60Hz出力レート
LTC2452	使いやすい、超小型16ビット差動ADC、SPI、±5.5Vの入力範囲	INL:2LSB、スリープ電流:50nA、小型3mm×2mm DFN-8またはTSOTパッケージ
LTC2453	使いやすい、超小型16ビット差動ADC、I ² C、±5.5Vの入力範囲	INL:2LSB、スリープ電流:50nA、小型3mm×2mm DFN-8またはTSOTパッケージ

24602fa