

内蔵アンプ付き24ビット 高速4チャンネル $\Delta\Sigma$ ADC

特長

- 1ppmの直線性、ミッシング・コードなし
- センサを直接デジタル変換するための内蔵アンプ
- 2組の差動入力チャンネルまたは4本のシングルエンド入力チャンネル
- 出力レート: 最大8kHz
- 多重化レート: 最大4kHz
- 速度/分解能を選択可能
 出力レート1.76kHzでのノイズ: $2\mu\text{VRMS}$
 出力レート13.8kHzでのノイズ: 220nVRMS
 50Hz/60Hzの同時除去
- 入力とリファレンスのあらゆる状態に対して、変調器安定度とロックアップ耐性を保証
- $<5\mu\text{V}$ のオフセット ($4.5\text{V} < V_{\text{CC}} < 5.5\text{V}$, $-40^\circ\text{C} \sim 85^\circ\text{C}$)
- 同相範囲がGND \sim V_{CC}の差動入力と差動リファレンス
- 待ち時間なしモード、新しいチャンネル選択後も各変換が精確
- 内部発振器 – 外付け部品不要
- 36ピンSSOPパッケージ

アプリケーション

- 自動レンジ設定の6桁DVM
- 高速マルチプレクス
- 秤
- 直接温度測定
- 高速データ収集

概要

LTC[®]2442は速度可変の超高精度24ビット $\Delta\Sigma^{\text{TM}}$ ADCで、アンプを内蔵しています。このアンプは高インピーダンスのセンサからの入力を簡単にドライブするバッファとして設定することができます。このアンプをユニティゲインに設定すると1ppmの直線性を実現することができます。低レベルの入力信号の分解能を上げるには、外付け抵抗を使って利得を設定することができます。アンプの正負の電源ピンは直接V_{CC} (4.5V \sim 5.5V) とGND、または、レール・トゥ・レール入力信号の場合、V_{CC}より上とGNDより下にバイアスすることができます。

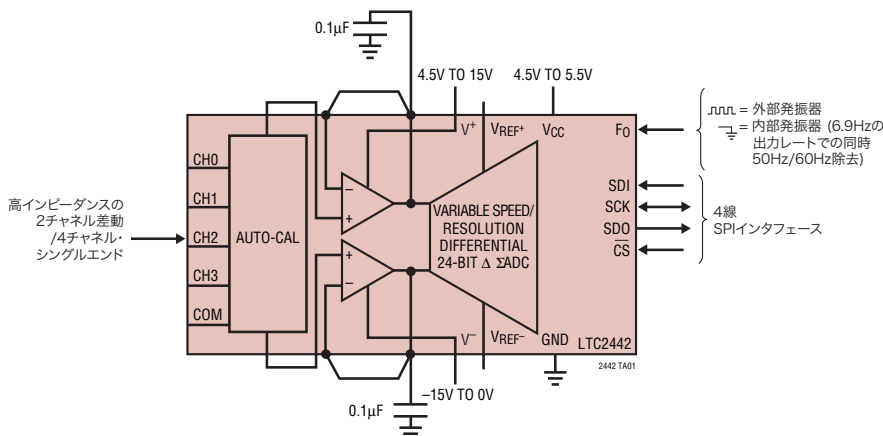
独自の $\Delta\Sigma$ アーキテクチャにより、透過的な連続較正による安定したDC精度が得られます。待ち時間やDC精度の変化なしに、6.9Hz/220nVRMS \sim 3.5kHz/25 μ VRMSの範囲で速度/分解能の10の組合せを選択可能です。また、2倍速モードを選択できるので、1サイクルの待ち時間で最大7kHz (外部発振器使用時は8kHz) の出力レートが可能です。

グラウンド \sim V_{CC}の同相入力範囲で、シングルエンド (4入力まで) または差動入力 (2入力まで) のあらゆる組合せを選択可能です。1倍速モードで動作する場合、新しい速度/分解能またはチャンネルを選択した後の最初の変換は有効です。

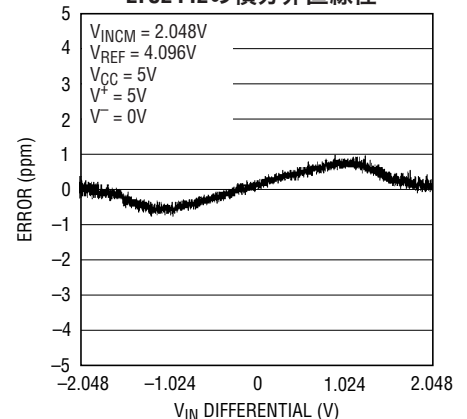
LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。No Latency $\Delta\Sigma$ はリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。6140950、6169506、6411242、6639526を含む米国特許によって保護されています。

標準的応用例

高精度データ収集



LTC2442の積分非直線性



2442 TA02

2442fa

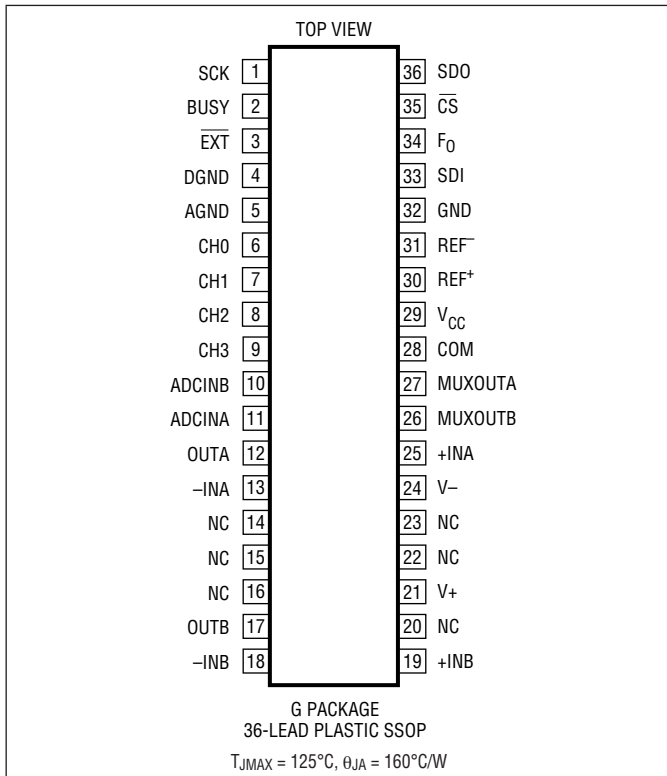
LTC2442

絶対最大定格

(Note 1, 2)

電源電圧 (VCC) から GND.....	-0.3V~6V
アナログ入力ピンの電圧から GND.....	-0.3V~(V _{CC} +0.3V)
リファレンス入力ピンの電圧から GND....	-0.3V~(V _{CC} +0.3V)
デジタル入力電圧から GND.....	-0.3V~(V _{CC} +0.3V)
デジタル出力電圧から GND.....	-0.3V~(V _{CC} +0.3V)
動作温度範囲	
LTC2442CG.....	0°C~70°C
LTC2442IG.....	-40°C~85°C
保存温度範囲.....	-65°C~150°C
リード温度 (半田付け、10秒).....	300°C
アンプの電源電圧 (V ⁺ ~V ⁻).....	36V

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング	パッケージ	温度範囲
LTC2442CG#PBF	LTC2442CG#TRPBF	LTC2442CG	36-Lead Plastic SSOP	0°C to 70°C
LTC2442IG#PBF	LTC2442IG#TRPBF	LTC2442IG	36-Lead Plastic SSOP	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3, 4, 15)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)	$0.1\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, -0.5 \cdot V_{\text{REF}} \leq V_{\text{IN}} \leq 0.5 \cdot V_{\text{REF}}$ (Note 5)	●	24			Bits
Integral Nonlinearity	$V_{\text{CC}} = 5\text{V}, \text{REF}^+ = 5\text{V}, \text{REF}^- = \text{GND}, V_{\text{INCM}} = 2.5\text{V}$ (Note 6, 14) $V_{\text{CC}} = 5\text{V}, \text{REF}^+ = 2.5\text{V}, \text{REF}^- = \text{GND}, V_{\text{INCM}} = 1.25\text{V}$ (Note 6, 14) $\text{REF}^+ = 4.096\text{V}, \text{REF}^- = \text{GND}, V_{\text{INCM}} = 2.048\text{V}$ (Note 6, 14)	● ●		2 2 1	10 7	ppm of V_{REF} ppm of V_{REF} ppm of V_{REF}
Offset Error	$2.5\text{V} \leq \text{REF}^+ \leq V_{\text{CC}}, \text{REF}^- = \text{GND},$ $\text{GND} \leq \text{SEL}^+ = \text{SEL}^- \leq V_{\text{CC}}$ (Note 12)	●		2.5	5	μV
Offset Error Drift	$2.5\text{V} \leq \text{REF}^+ \leq V_{\text{CC}}, \text{REF}^- = \text{GND},$ $\text{GND} \leq \text{SEL}^+ = \text{SEL}^- \leq V_{\text{CC}}$			20		$\text{nV}/^\circ\text{C}$
Positive Full-Scale Error	$\text{REF}^+ = 5\text{V}, \text{REF}^- = \text{GND}, \text{SEL}^+ = 3.75\text{V}, \text{SEL}^- = 1.25\text{V}$ $\text{REF}^+ = 2.5\text{V}, \text{REF}^- = \text{GND}, \text{SEL}^+ = 1.875\text{V}, \text{SEL}^- = 0.625\text{V}$	● ●		10 10	50 50	ppm of V_{REF} ppm of V_{REF}
Positive Full-Scale Error Drift	$2.5\text{V} \leq \text{REF}^+ \leq V_{\text{CC}}, \text{REF}^- = \text{GND},$ $\text{SEL}^+ = 0.75 \cdot \text{REF}^+, \text{SEL}^- = 0.25 \cdot \text{REF}^+$			0.2		ppm of $V_{\text{REF}}/^\circ\text{C}$
Negative Full-Scale Error	$\text{REF}^+ = 5\text{V}, \text{REF}^- = \text{GND}, \text{SEL}^+ = 1.25\text{V}, \text{SEL}^- = 3.75\text{V}$ $\text{REF}^+ = 2.5\text{V}, \text{REF}^- = \text{GND}, \text{SEL}^+ = 0.625\text{V}, \text{SEL}^- = 1.875\text{V}$	● ●		10 10	50 50	ppm of V_{REF} ppm of V_{REF}
Negative Full-Scale Error Drift	$2.5\text{V} \leq \text{REF}^+ \leq V_{\text{CC}}, \text{REF}^- = \text{GND},$ $\text{SEL}^+ = 0.25 \cdot \text{REF}^+, \text{SEL}^- = 0.75 \cdot \text{REF}^+$			0.2		ppm of $V_{\text{REF}}/^\circ\text{C}$
Total Unadjusted Error	$5\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}, \text{REF}^+ = 2.5\text{V}, \text{REF}^- = \text{GND}, V_{\text{INCM}} = 1.25\text{V}$ (Note 6) $5\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}, \text{REF}^+ = 5\text{V}, \text{REF}^- = \text{GND}, V_{\text{INCM}} = 2.5\text{V}$ (Note 6) $\text{REF}^+ = 2.5\text{V}, \text{REF}^- = \text{GND}, V_{\text{INCM}} = 1.25\text{V}$ (Note 6)			12 12 12		ppm of V_{REF} ppm of V_{REF} ppm of V_{REF}
Input Common Mode Rejection DC	$2.5\text{V} \leq \text{REF}^+ \leq V_{\text{CC}}, \text{REF}^- = \text{GND},$ $\text{GND} \leq \text{SEL}^+ = \text{SEL}^- \leq V_{\text{CC}}$			120		dB

アナログ入力とリファレンス

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3, 15)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
SEL^+	Absolute/Common Mode SEL^+ Voltage	SEL^+ is the Positive Selected Input Channel, see Table 3	●	$\text{GND} - 0.3$		$V_{\text{CC}} + 0.3$	V
SEL^-	Absolute/Common Mode SEL^- Voltage	SEL^- is the Negative Selected Input Channel, see Table 3	●	$\text{GND} - 0.3$		$V_{\text{CC}} + 0.3$	V
V_{IN}	Input Differential Voltage Range ($\text{SEL}^+ - \text{SEL}^-$)		●	$-V_{\text{REF}}/2$		$V_{\text{REF}}/2$	V
REF^+	Absolute/Common Mode REF^+ Voltage		●	0.1		V_{CC}	V
REF^-	Absolute/Common Mode REF^- Voltage		●	GND		$V_{\text{CC}} - 0.1$	V
V_{REF}	Reference Differential Voltage Range ($\text{REF}^+ - \text{REF}^-$)		●	0.1		V_{CC}	V
$C_{\text{S}}(\text{ADCINA})$	ADCINA Sampling Capacitance				2		pF
$C_{\text{S}}(\text{ADCINB})$	ADCINB Sampling Capacitance				2		pF
$C_{\text{S}}(\text{REF}^+)$	REF^+ Sampling Capacitance				2		pF
$C_{\text{S}}(\text{REF}^-)$	REF^- Sampling Capacitance				2		pF
$I_{\text{DC_LEAK}}(\text{SEL}^+, \text{SEL}^-, \text{REF}^+, \text{REF}^-)$	Leakage Current, Inputs and Reference	$C_{\text{S}} = V_{\text{CC}}, \text{SEL}^+ = \text{GND}, \text{SEL}^- = \text{GND}, \text{REF}^+ = 5\text{V}, \text{REF}^- = \text{GN}$	●	-15	1	15	nA
t_{OPEN}	MUX Break-Before-Make				50		ns
QIRR	MUX Off Isolation	$V_{\text{IN}} = 2\text{V}_{\text{P-P}}$ DC to 1.8MHz			120		dB

LTC2442

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage \overline{CS} , F_0 , \overline{EXT} , SDI	$4.5\text{V} \leq V_{CC} \leq 5.5\text{V}$	●	2.5			V
V_{IL}	Low Level Input Voltage \overline{CS} , F_0 , \overline{EXT} , SDI	$4.5\text{V} \leq V_{CC} \leq 5.5\text{V}$	●			0.8	V
V_{IH}	High Level Input Voltage SCK	$4.5\text{V} \leq V_{CC} \leq 5.5\text{V}$ (Note 8)	●	2.5			V
V_{IL}	Low Level Input Voltage SCK	$4.5\text{V} \leq V_{CC} \leq 5.5\text{V}$ (Note 8)	●			0.8	V
I_{IN}	Digital Input Current \overline{CS} , F_0 , \overline{EXT} , SDI	$0\text{V} \leq V_{IN} \leq V_{CC}$	●	-10		10	μA
I_{IN}	Digital Input Current SCK	$0\text{V} \leq V_{IN} \leq V_{CC}$ (Note 8)	●	-10		10	μA
C_{IN}	Digital Input Capacitance \overline{CS} , F_0 , \overline{EXT} , SDI				10		pF
C_{IN}	Digital Input Capacitance SCK	(Note 8)			10		pF
V_{OH}	High Level Output Voltage SDO, BUSY	$I_O = -800\mu\text{A}$	●	$V_{CC} - 0.5$			V
V_{OL}	Low Level Output Voltage SDO, BUSY	$I_O = 1.6\mu\text{A}$	●			0.4	V
V_{OH}	High Level Output Voltage SCK	$I_O = -800\mu\text{A}$ (Note 9)	●	$V_{CC} - 0.5$			V
V_{OL}	Low Level Output Voltage SCK	$I_O = 1.6\mu\text{A}$ (Note 9)	●			0.4	V
I_{OZ}	Hi-Z Output Leakage SDO		●	-10		10	μA

電源条件

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{CC}	Supply Voltage		●	4.5		5.5	V
V^+	Amplifier Positive Supply		●	4.5		15	V
V^-	Amplifier Negative Supply		●	-15		0	V
I_{CC}	Supply Current	Amplifiers and ADC	●		10	13	mA

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f_{EOSC}	External Oscillator Frequency Range		●	0.1	20	MHz
t_{HEO}	External Oscillator High Period		●	25	10000	ns
t_{LEO}	External Oscillator Low Period		●	25	10000	ns
t_{CONV}	Conversion Time	OSR = 256 (SDI = 0) OSR = 32768 (SDI = 1) External Oscillator (Notes 10, 13)	● ● ●	0.99 126 $\frac{40 \cdot \text{OSR} + 170}{f_{\text{EOSC}} (\text{KHz})}$	1.13 145 1.33 170	ms ms ms
f_{ISCK}	Internal SCK Frequency	Internal Oscillator (Note 9) External Oscillator (Notes 9, 10)	●	0.8 $f_{\text{EOSC}}/10$	1	MHz Hz
D_{ISCK}	Internal SCK Duty Cycle	(Note 9)	●	45	55	%
f_{ESCK}	External SCK Frequency Range	(Note 8)	●		20	MHz
t_{LESCK}	External SCK Low Period	(Note 8)	●	25		ns
t_{HESCK}	External SCK High Period	(Note 8)	●	25		ns
$t_{\text{DOUT_ISCK}}$	Internal SCK 32-Bit Data Output Time	Internal Oscillator (Notes 9, 11) External Oscillator (Notes 9, 10)	● ●	30.9 $320/f_{\text{EOSC}}$	41.6	μs s
$t_{\text{DOUT_ESCK}}$	External SCK 32-Bit Data Output Time	(Note 8)	●	$32/f_{\text{ESCK}}$		s
t_1	$\overline{\text{CS}}$ ↓ to SDO Low Z	(Note 12)	●	0	25	ns
t_2	$\overline{\text{CS}}$ ↑ to SDO High Z	(Note 12)	●	0	25	ns
t_3	$\overline{\text{CS}}$ ↓ to SCK ↓	(Note 9)			5	μs
t_4	$\overline{\text{CS}}$ ↓ to SCK ↑	(Note 8, 12)	●	25		ns
t_{KQMAX}	SCK ↓ to SDO Valid		●		25	ns
t_{KQMIN}	SDO Hold After SCK ↓	(Note 5)	●	15		ns
t_5	SCK Setup Before $\overline{\text{CS}}$ ↓		●	50		ns
t_6	SCK Hold After $\overline{\text{CS}}$ ↓		●		50	ns
t_7	SDI Setup Before SCK ↑	(Note 5)	●	10		ns
t_8	SDI Hold After SCK ↑	(Note 5)	●	10		ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての電圧値はGNDを基準にしている。

Note 3: 注記がない限り、 $V_{\text{CC}} = 4.5\text{V} \sim 5.5\text{V}$ 。
 $V_{\text{REF}} = \text{REF}^+ - \text{REF}^-$, $V_{\text{REFCM}} = (\text{REF}^+ + \text{REF}^-)/2$;
 $V_{\text{IN}} = \text{SEL}^+ - \text{SEL}^-$, $V_{\text{INCM}} = (\text{SEL}^+ + \text{SEL}^-)/2$ 。

Note 4: 注記がない限り、 F_0 ピンはGNDまたは $f_{\text{EOSC}} = 10\text{MHz}$ の外部変換クロック・ソースに接続する。

Note 5: 設計によって保証されているが、テストされない。

Note 6: 積分非直線性は、実際の伝達曲線のエンドポイントを通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: コンバータは内部発振器を使用する。

Note 8: コンバータは外部SCKモードで動作しているため、SCKピンはデジタル入力として使用されている。データの出力時にSCKをドライブするクロック信号の周波数は f_{ESCK} であり、Hzで表される。

Note 9: コンバータは内部SCKモードで動作しているため、SCKピンはデジタル出力として使用されている。この動作モードでは、SCKピンの全等価負荷容量は $C_{\text{LOAD}} = 20\text{pF}$ である。

Note 10: 外部発振器は F_0 ピンに接続されている。外部発振器周波数 f_{EOSC} はHzで表されている。

Note 11: コンバータは内部発振器を使用する。 $F_0 = 0\text{V}$ 。

Note 12: 設計およびテストの相関により保証されている。

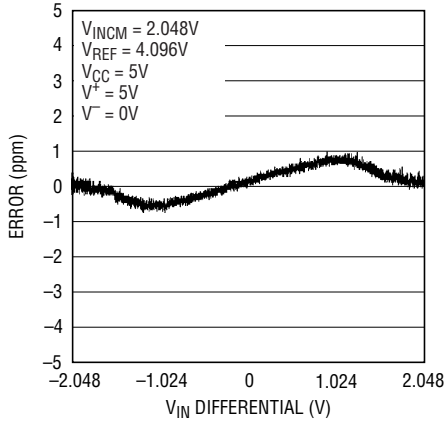
Note 13: 内部リセットがあるため、変換時間に $1\mu\text{s}$ (標準)が加わる。

Note 14: 最適な直線性を得るには、アンプの正電源入力(V^+)は最大入力電圧レベルを2V以上超す必要がある。アンプの負電源入力(V^-)は最小入力電圧レベルより少なくとも 200mV 下でなければならない。

Note 15: アンプは $0.1\mu\text{F}$ で外部補償されている。

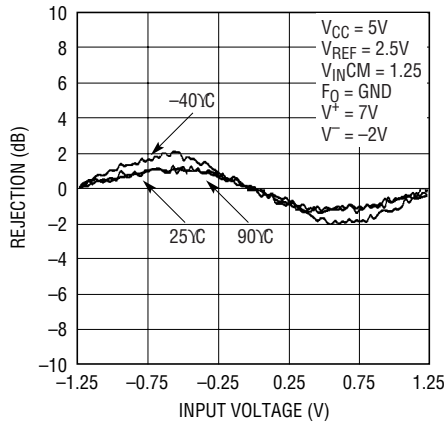
標準的性能特性

積分非直線性



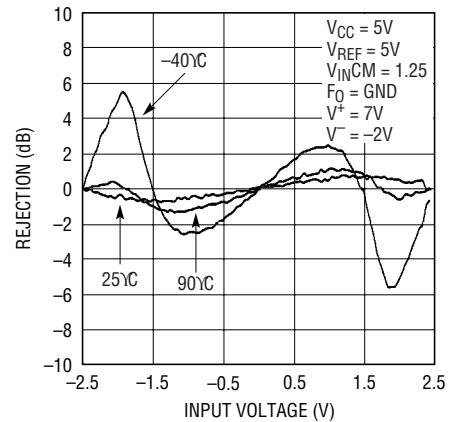
2442 TA02

積分非直線性と温度



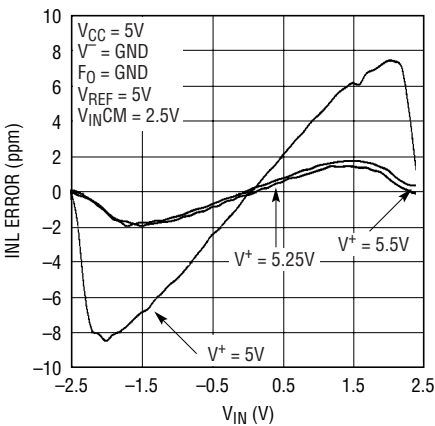
2442 G02

積分非直線性と温度



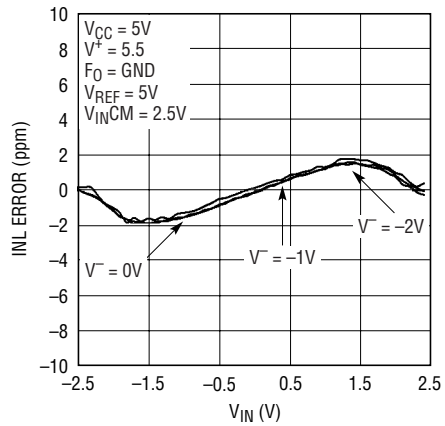
2442 G03

INLとオペアンプの正電源電圧 (V⁺)



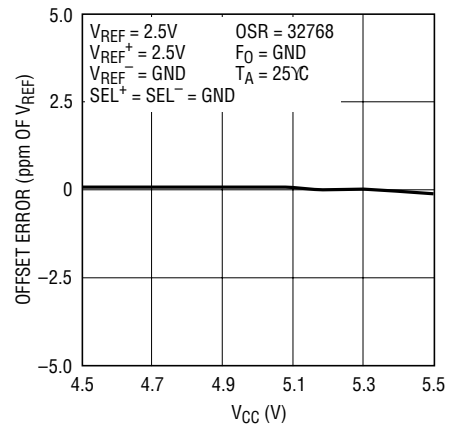
2442 G04

INLとオペアンプの負電源電圧 (V⁻)



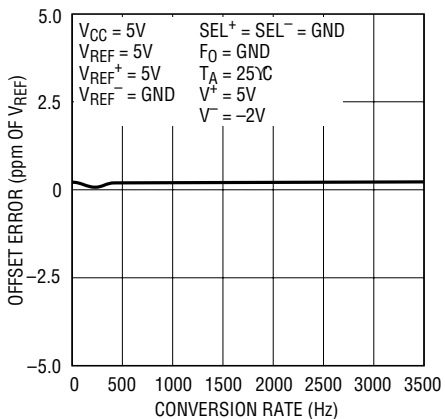
2442 G05

オフセット誤差と電源電圧



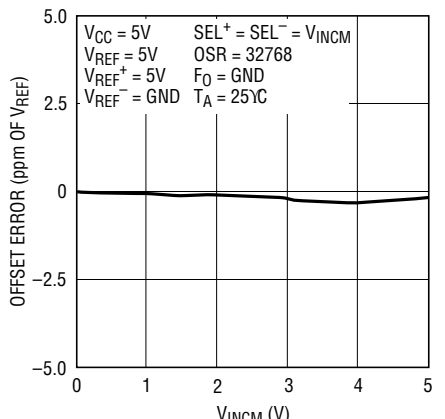
2442 G06

オフセット誤差と変換速度



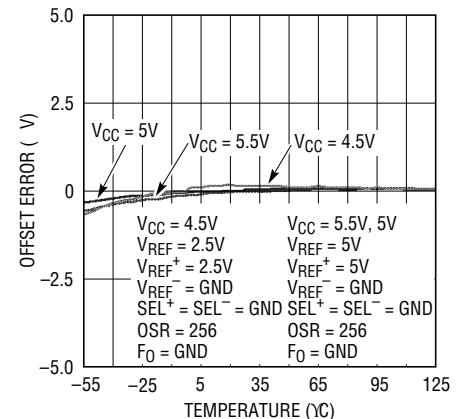
2442 G07

オフセット誤差と同相入力電圧



2442 G08

オフセット誤差と温度



2442 G09

2442fa

ピン機能

SCK (ピン1): 双方向デジタル・クロック・ピン。内部シリアル・クロック動作モードでは、SCKはデータ出力期間中は内部シリアル・インタフェース・クロックのデジタル出力として使われます。外部シリアル・クロック動作モードでは、SCKはデータ出力期間中は外部シリアル・インタフェース・クロックのデジタル入力として使われます。シリアル・クロック動作モードはEXT(ピン3)に与えられるロジック・レベルによって決まります。

BUSY (ピン2): 変換中であることを示すインジケータ。変換が進行中はこのピンは“H”になり、変換が完了してデータの用意ができると“L”になります。スリープ・ステートおよびデータ出力ステートのあいだは“L”のまま留まります。データ出力ステートが終了すると“H”になって、新に変換が開始されたことを示します。

EXT (ピン3): 内部/外部SCK選択ピン。このピンはデータを出力/入力するための内部または外部のSCKを選択するのに使います。EXTを“L”に接続すると、デバイスは外部SCKモードになり、データはユーザーが与えるシリアル・クロックの制御のもとにデバイスからシフトされて出力されます。EXTを“H”に接続すると、内部シリアル・クロック・モードが選択されます。デバイスは独自にSCK信号を発生し、これをSCKピンから出力します。フレーム信号BUSY(ピン2)が“L”になり、データが出力中であることを示します。

GND (ピン4, 5, 32): グランド。グラウンド電流の流れとV_{CC}のデカップリングを最適にするため、内部で結合されている複数のグラウンド・ピン。これらのピンのそれぞれを1つの共通グラウンド・プレーンに低インピーダンスで接続します。適正な動作のためには3つのピンすべてをグラウンドに接続する必要があります。

CHO~CH3 (ピン6, 7, 8, 9): アナログ入力。シングルエンド・モードまたは差動モードにプログラムすることができます。(表3を参照してください。)

ADCINB (ピン10): ADC入力。アンプの出力OUTB (ピン17)に接続する必要があります。

ADCINA (ピン11): ADC入力。アンプの出力OUTA (ピン12)に接続する必要があります。

OUTA (ピン12): アンプAの出力。0.1μF以上のコンデンサで補償する必要があります。ADCINA ADC入力 (ピン11)をドライブします。

-INA (ピン13): アンプAの負入力。このピンをOUTA (ピン12)に短絡すると、アンプはユニティゲインのバッファになります。代わりに、外部抵抗ネットワークをここに追加して1より大きな利得を得ることができます。

NC (ピン14, 15, 16, 20, 22, 23): NC。これらのピンはフロートさせたままにするか、グラウンドに接続します。

OUTB (ピン17): アンプBの出力。0.1μF以上のコンデンサで補償する必要があります。ADCINB ADC入力 (ピン10)をドライブします。

-INB (ピン18): アンプBの負入力。このピンをOUTB (ピン17)に短絡すると、アンプはユニティゲインのバッファになります。代わりに、外部抵抗ネットワークをここに追加して1より大きな利得を得ることができます。

+INB (ピン19): アンプBの正入力。マルチプレクサ出力MUXOUTB (ピン26)に接続する必要があります。

V⁺ (ピン21): アンプの正電源電圧入力。V_{CC}または最高15Vの外部電源電圧に接続することができます。1μFのコンデンサを使ってGNDにバイパスします。

V⁻ (ピン24): アンプの負電源電圧入力。GNDまたは最低-15Vの外部電源電圧に接続することができます。1μFのコンデンサを使ってGNDにバイパスします。

+INA (ピン25): アンプAの正入力。マルチプレクサ出力MUXOUTA (ピン27)に接続する必要があります。

MUXOUTB (ピン26): マルチプレクサの出力。+INBアンプ入力 (ピン19)に接続する必要があります。

ピン機能

MUXOUTA (ピン27): マルチプレクサの出力。+INAアンプ入力 (ピン25) に接続する必要があります。

COM (ピン28): すべてのシングルエンド・マルチプレクサ構成の共通負入力 (SEL⁻)。CH0~CH3およびCOMの各ピンの電圧はGND-0.3V~V_{CC}+0.3Vの範囲の任意の値にすることができます。これらのリミット内では、2つの選択された入力 (SEL⁺とSEL⁻) により、 $-0.5 \cdot V_{REF} \sim 0.5 \cdot V_{REF}$ のバイポーラの入力範囲 ($V_{IN} = SEL^{+} - SEL^{-}$) が与えられます。この入力範囲の外側では、コンバータは固有のオーバーレンジとアンダーレンジの出力コードを発生します。

V_{CC} (ピン29): 正電源電圧。10μFのタンタル・コンデンサと0.1μFのセラミック・コンデンサを並列に使用して、デバイスのできるだけ近くでGNDにバイパスします。

REF⁺ (ピン30)、REF⁻ (ピン31): 差動リファレンス入力。これらのピンの電圧は、リファレンスの正入力REF⁺がリファレンスの負入力REF⁻より少なくとも0.1Vだけ高く保たれる限り、GND~V_{CC}の任意の電圧にすることができます。0.1μFのセラミック・コンデンサを使用して、デバイスのできるだけ近くでGNDにバイパスします。

SDI (ピン33): シリアル・データ入力。このピンは、次の変換サイクルの速度、1倍速モードまたは2倍速モード、分解能、および入力チャンネルを選択するのに使います。最初のパワーアップ時に、既定の動作モードはCH0-CH1、256のOSR、および1倍速モードです。シリアル・データ入力には新しいチャンネル/速度を選択するかどうかを決めるイ

ネーブル・ビットが含まれています。このビットが"L"ならば、後続の変換は同じ速度で同じ選択されたチャンネルでおこなわれます。シリアル・データ入力は、データ出力サイクルのあいだにシリアル・クロック(SCK)で制御されてデバイスに与えられます。新しいチャンネル/速度に設定した後の最初の変換は有効です。

F₀ (ピン34): 周波数制御ピン。内部変換クロックを制御するデジタル入力。F₀がV_{CC}またはGNDに接続されているとき、コンバータは9MHzで動作している内部発振器を使います。変換速度は選択されたOSRによって決まり、 $t_{CONV} (ms) = 40 \cdot OSR + 170/f_{OSC} (kHz)$ となります。デジタル・フィルタの最初のヌルは $8/t_{CONV}$ に位置します。つまり、OSR = 256では7kHz、OSR = 32768では55Hz (50Hz/60Hz同時) に位置します。

CS (ピン35): アクティブ“L”のチップ・セレクト。このピンを“L”にすると、SDOデジタル出力が有効になり、ADCが覚醒します。各変換に続いて、ADCは自動的にスリープ・モードに入り、CSが“H”に留まる限りこの状態に保たれます。データ出力中にCSが“L”から“H”に遷移すると、データ転送が中止され、新しい変換が開始されます。

SDO (ピン36): スリーステートのデジタル出力。データ出力の期間中、このピンはシリアル・データの出力として使われます。チップ・セレクトCSが“H”のとき ($\overline{CS} = V_{CC}$)、SDOピンは高インピーダンス状態になります。変換中およびスリープ中、このピンは変換状態の出力として使われます。変換状態はCSを“L”に引き下げると観察することができます。変換の進行中はこのピンは“H”になり、変換が完了すると“L”になります。

機能ブロック図

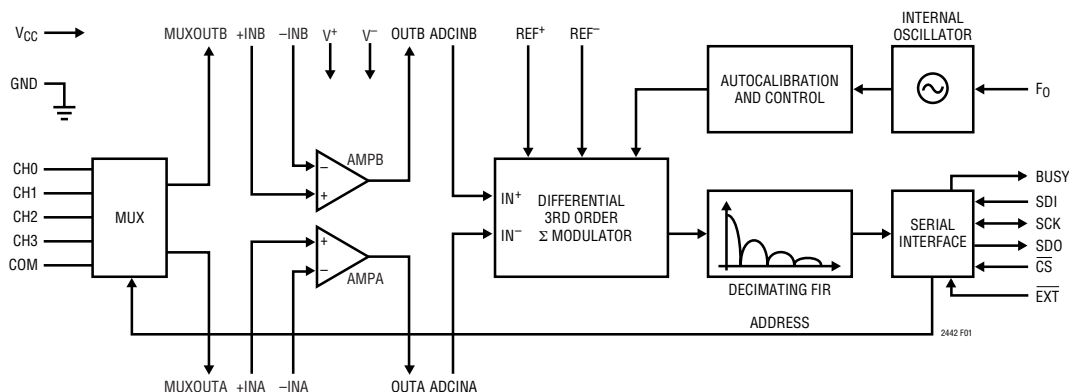


図1. 機能を示すブロック図

テスト回路



アプリケーション情報

コンバータの動作

コンバータの動作サイクル

LTC2442は多チャンネルの高速 $\Delta\Sigma$ ADコンバータで、使いやすい3線または4線のシリアル・インタフェースを備えています(図1を参照)。その動作は3つの状態で構成されています。コンバータの動作サイクルは変換から始まり、スリープ・ステートがそれに続き、データの出力/入力で終了します(図2を参照)。4線式のインタフェースはシリアル・データ入力(SDI)、シリアル・データ出力(SDO)、シリアル・クロック(SCK)およびチップ・セレクト(\overline{CS})で構成されています。インタフェース、タイミング、動作サイクル、およびデータの出力フォーマットはリニアテクノロジー社のすべての $\Delta\Sigma$ コンバータと互換性があります。

LTC2442は最初に変換をおこないます。変換が完了すると、デバイスはスリープ・ステートに入ります。 \overline{CS} が“H”に保たれている限り、デバイスはスリープ・ステートに留まります。コンバータがスリープ・ステートのあいだ、変

換結果はスタチック・シフト・レジスタ内に無期限に保存されます。

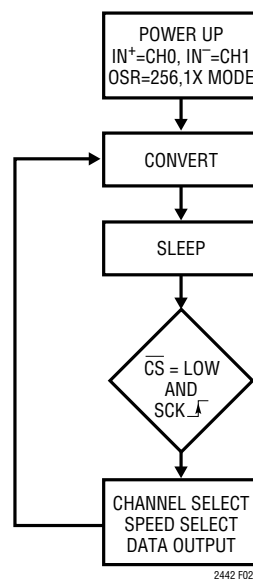


図2. LTC2442の状態遷移図

アプリケーション情報

\overline{CS} が“L”に引き下げられると、デバイスは変換結果を出力し始めます。1倍速モードで動作しているあいだ、変換結果には待ち時間がありません。データの出力は直前に終了した変換に対応しています。この結果はシリアル・クロック(SCK)によって制御されて、シリアル・データ出力ピン(SDO)からシフトされて出力されます。データはSCKの立下りエッジによって更新されるので、ユーザーはSCKの立上りエッジを使って確実にデータをラッチすることができます(図3を参照)。データ出力ステートは32ビットがADCから読み出されるか、 \overline{CS} が“H”に引き上げられると終了します。どちらの場合でも、デバイスは自動的に新しい変換を開始し、このサイクルが繰り返されます。

\overline{CS} 、SCKおよびEXTの各ピンのタイミング制御によって、LTC2442はいくつかの動作モード(内部または外部のSCK)を柔軟に提供します。これらの多様なモードはプログラミング用構成レジスタを必要としません。さらに、上記のサイクル動作を乱すことはありません。これらの動作モードについては「シリアル・インタフェースのタイミング・モード」のセクションで詳しく説明します。

使いやすさ

1倍速モードで動作しているあいだ、LTC2442のデータ出力には、変換サイクルに関連した待ち時間、フィルタのセトリング遅延、または冗長データがありません。変換と出力データのあいだには1対1対応の関係があります。した

がって、複数のアナログ電圧の多重化は簡単です。速度/分解能の調節は2つの変換のあいだにセトリング誤差なしにシームレスにおこなうことができます。

LTC2442は変換サイクルごとにオフセットとフルスケールの較正をおこないます。この較正はユーザーからは見えず、上記のサイクル動作には影響を与えません。連続較正の利点は、時間経過、電源電圧の変化、および温度ドリフトに対してオフセットとフルスケールの測定値がきわめて安定していることです。

電源立上げシーケンス

LTC2442は電源電圧 V_{CC} が約2.2Vより下に下がると自動的に内部リセット状態になります。この機能により、変換結果とシリアル・インタフェースによるモード選択の一貫性が保証されます。

V_{CC} 電圧がこの臨界スレッシュホールドを超えると、コンバータは約0.5msの長さの内部パワーオン・リセット(POR)信号を発生します。このPOR信号により、すべての内部レジスタがクリアされます。POR直後の変換は、1倍速モード、OSR = 256で、入力チャンネル $SEL^+ = CH0$ 、 $SEL^- = CH1$ に対して実行されます。POR信号に続き、LTC2442は通常の変換サイクルを開始し、上述のステートが継起します。PORに続く最初の変換結果の精度は、PORの時間間隔が経過する前に電源電圧が動作範囲(4.5V~5.5V)内に回復していれば、デバイスの仕様を満たします。

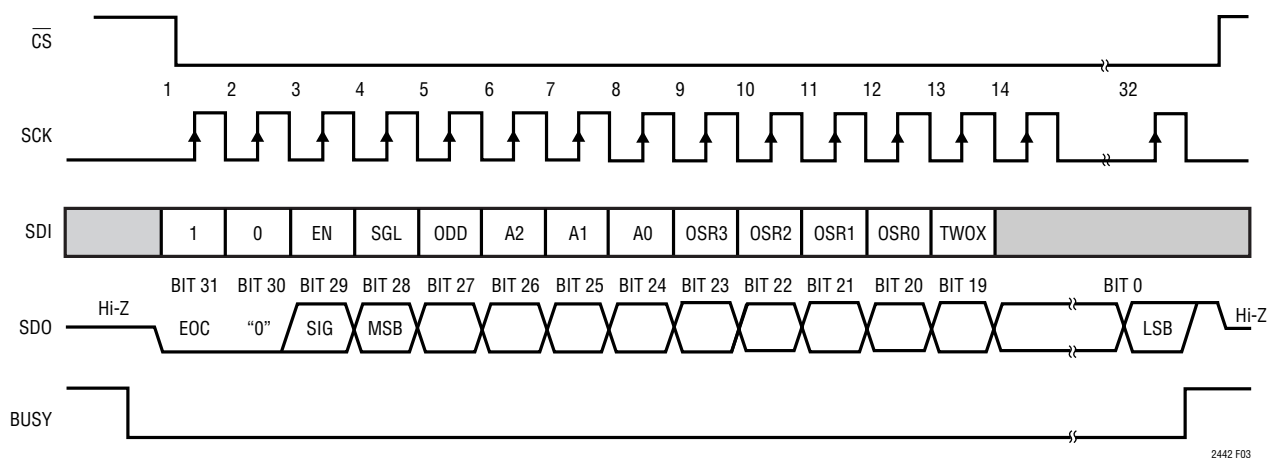


図3. SDIの速度/分解能、チャンネル選択、およびデータ出力のタイミング

アプリケーション情報

リファレンス電圧範囲

LTC2442 $\Delta\Sigma$ コンバータは真に差動の外部リファレンス電圧を受け入れます。REF⁺ピンとREF⁻ピンの絶対/同相電圧の仕様はGND~V_{CC}の全範囲を含みます。コンバータが正しく動作するには、REF⁺ピンはREF⁻ピンよりも常に高い電位でなければなりません。

LTC2442は0.1V~V_{CC}の差動リファレンス電圧を受け入れることができます。コンバータの出力ノイズはフロント・エンド回路の熱ノイズによって決まるので、マイクロボルトで表したその値はリファレンス電圧に対してほぼ一定です。リファレンス電圧を下げて、コンバータの実効分解能は大きくは改善されません。他方、リファレンス電圧を下げると、コンバータの全体のINL性能が改善されます。

入力電圧範囲

アナログ入力は真に差動で、CH0~CH3およびCOMの各入力ピンの絶対/同相範囲はGND-0.3VからV_{CC}+0.3Vまでです。これらのリミットの外側では、ESD保護用デバイスがオンし始め、入力の漏れ電流による誤差が急速に増大します。これらのリミット内では、LTC2442はバイポーラ差動入力信号(V_{IN} = SEL⁺-SEL⁻)を-FS = -0.5 • V_{REF}から+FS = 0.5 • V_{REF}に変換します。ここで、V_{REF} = REF⁺ - REF⁻です。この範囲の外側では、コンバータは固有の出力コードを使ってオーバーレンジまたはアンダーレンジの状態を表示します。

出力データのフォーマット

LTC2442のシリアル出力のデータ・ストリームは32ビット長です。最初の3ビットは状態情報を表し、符号と変換状態を示します。次の24ビットは変換結果で、MSBが最初にきます。残りの5ビットは24ビット・レベルを越すサブLSBで、平均に含めるか、または分解能を失うことなしに破棄することができます。超高分解能の場合、24実効ビットを越す性能が可能です(表4を参照)。これらの条件では、サブLSBは変換結果に含まれ、24ビット・レベルを越す有効情報を表します。3番目と4番目のビットは一緒になってアンダーレンジ状態(差動入力電圧が-FSより下)またはオーバーレンジ状態(差動入力電圧が+FSより上)を示すのにも使われます。

ビット31(最初の出力ビット)は変換終了($\overline{\text{EOC}}$)のインジケータです。このビットは、変換状態およびスリープ・状態のあいだ、 $\overline{\text{CS}}$ ピンが“L”のときSDOピンから

読み出せます。このビットは変換中は“H”で、変換が完了すると“L”になります。

ビット30(2番目の出力ビット)はダミービット(DMY)で、常に“L”です。

ビット29(3番目の出力ビット)は変換結果の符合のインジケータ(SIG)です。V_{IN}が>0ならば、このビットは“H”になります。V_{IN}が<0ならば、このビットは“L”になります。

ビット28(4番目の出力ビット)は結果の最上位ビット(MSB)です。このビットはビット29と組み合わされてアンダーレンジまたはオーバーレンジも表示します。ビット29とビット28が両方とも“H”の場合、差動入力電圧が+FSを超えています。ビット29とビット28が両方とも“L”の場合、差動入力電圧が-FSよりも下に下がっています。

これらのビットの機能は表1にまとめてあります。

表1. LTC2442の状態ビット

Input Range	Bit 31 $\overline{\text{EOC}}$	Bit 30 DMY	Bit 29 SIG	Bit 28 MSB
$V_{IN} \geq 0.5 \cdot V_{REF}$	0	0	1	1
$0V \leq V_{IN} < 0.5 \cdot V_{REF}$	0	0	1	0
$-0.5 \cdot V_{REF} \leq V_{IN} < 0V$	0	0	0	1
$V_{IN} < -0.5 \cdot V_{REF}$	0	0	0	0

ビット28からビット5までは24ビットの変換結果で、MSBが先にきます。

ビット5は最下位ビット(LSB)です。

ビット4からビット0までは24ビット・レベルより下のサブLSBです。ビット4からビット0までは平均計算に含めるか、または分解能を損なうことなしに破棄することができます。

データはシリアル・クロック(SCK)によって制御されてSDOピンからシフトされて出力されます(図3を参照)。 $\overline{\text{CS}}$ が“H”のときは常にSDOは高インピーダンスに保たれ、SCKは無視されます。

変換結果をデバイスからシフトして出力するには、最初に $\overline{\text{CS}}$ を“L”にドライブする必要があります。 $\overline{\text{CS}}$ が“L”に引き下げられると、デバイスのSDOピンに $\overline{\text{EOC}}$ が現われます。 $\overline{\text{EOC}}$ は変換完了時にリアルタイムで“H”から“L”に変化します。この信号は外部のマイクロコントローラへの割り込み信号として使うことができます。ビット31($\overline{\text{EOC}}$)はSCKの最初の立上りエッジで捕捉することができます。

2442fa

アプリケーション情報

ビット30はSCKの最初の立下りエッジでシフトされてデバイスから出力されます。最後のデータ・ビット(ビット0)は31番目のSCKの立下りエッジでシフトされて出力され、32番目のSCKパルスの立上りエッジでラッチすることができます。32番目のSCKパルスの立下りエッジで、SDOは“H”になり、新しい変換サイクルの開始を示します。このビットは次の変換サイクルのEOC(ビット31)として機能します。出力データのフォーマットが表2にまとめられています。

SEL⁺ピンとSEL⁻ピンの電圧が $-0.3V \sim (V_{CC} + 0.3V)$ の絶対最大動作範囲に留まる限り、 $-FS = -0.5 \cdot V_{REF}$ から $+FS = 0.5 \cdot V_{REF}$ までの任意の差動入力電圧 V_{IN} に対して変換結果が生成されます。 $+FS$ を超える差動入力電圧の場合、変換結果は $+FS + 1LSB$ に相当する値にクランプされます。 $-FS$ より低い差動入力電圧の場合、変換結果は $-FS - 1LSB$ に相当する値にクランプされます。

シリアル・インタフェース・ピン

LTC2442は、3線または4線の同期式インタフェースを介して、変換結果を伝送し、変換開始コマンドを受け取ります。変換状態やスリープ・状態のあいだ、このインタフェースを使ってコンバータの状態にアクセスすることができます。データ出力状態では、変換結果を読み出したり、速度、分解能および入力チャネルをプログラムするのにこのインタフェースを使います。

シリアル・クロックの入力/出力(SCK)

SCK(ピン1)のシリアル・クロック信号はデータ転送の同期に使われます。データの各ビットはシリアル・クロックの立下りエッジでシフトされてSDOピンから出力されます。

内部SCKモードの動作では、SCKピンは出力となり、LTC2442は独自のシリアル・クロックを発生します。外部SCKモードの動作では、SCKピンは入力として使われず。外部SCKモードを選択するには \overline{EXT} (ピン3)を“L”に接続し、内部SCKモードを選択するには“H”に接続します。

シリアル・データ出力(SDO)

シリアル・データ出力ピンSDO(ピン36)は、データ出力カステートのあいだに最後の変換の結果をシリアル・ビット・ストリームとして(MSBを最初に)出力します。さらに、SDOピンは変換状態およびスリープ・状態のあいだ、変換終了インジケータとして使われます。

\overline{CS} (ピン35)が“H”のとき、SDOドライバは高インピーダンス状態に切り替わります。これにより、シリアル・インタフェースを他のデバイスと共有することができます。変換状態またはスリープ・状態のとき \overline{CS} が“L”なら、SDOは \overline{EOC} を出力します。変換時に \overline{CS} が“L”だと、 \overline{EOC} ビットがSDOピンに“H”として現われます。変換が完了すると、 \overline{EOC} は“L”に下がります。 $\overline{CS} = “L”$ のあいだ、SCKの最初の立上りエッジが生じるまでデバイスはスリープ・状態に留まります。

表2. LTC2442の出力データのフォーマット

Differential Input Voltage V_{IN}^*	Bit 31 EOC	Bit 30 DMY	Bit 29 SIG	Bit 28 MSB	Bit 27	Bit 26	Bit 25	...	Bit 0
$V_{IN}^* \geq 0.5 \cdot V_{REF}^{**}$	0	0	1	1	0	0	0	...	0
$0.5 \cdot V_{REF}^{**} - 1LSB$	0	0	1	0	1	1	1	...	1
$0.25 \cdot V_{REF}^{**}$	0	0	1	0	1	0	0	...	0
$0.25 \cdot V_{REF}^{**} - 1LSB$	0	0	1	0	0	1	1	...	1
0	0	0	1	0	0	0	0	...	0
-1LSB	0	0	0	1	1	1	1	...	1
$-0.25 \cdot V_{REF}^{**}$	0	0	0	1	1	0	0	...	0
$-0.25 \cdot V_{REF}^{**} - 1LSB$	0	0	0	1	0	1	1	...	1
$-0.5 \cdot V_{REF}^{**}$	0	0	0	1	0	0	0	...	0
$V_{IN}^* < -0.5 \cdot V_{REF}^{**}$	0	0	0	0	1	1	1	...	1

*差動入力電圧 $V_{IN} = SEL^+ - SEL^-$ 。 **差動リファレンス電圧 $V_{REF} = REF^+ - REF^-$ 。

アプリケーション情報

表3. チャンネルの選択

MUX ADDRESS					CHANNEL SELECTION				
SGL	ODD/SIGN	A2	A1	A0	CH0	CH1	CH2	CH3	COM
0	0	0	0	0	SEL ⁺	SEL ⁻			
0	0	0	0	1			SEL ⁺	SEL ⁻	
0	1	0	0	0	SEL ⁻	SEL ⁺			
0	1	0	0	1			SEL ⁻	SEL ⁺	
1	0	0	0	0	SEL ⁺				SEL ⁻
1	0	0	0	1			SEL ⁺		SEL ⁻
1	1	0	0	0		SEL ⁺			SEL ⁻
1	1	0	0	1				SEL ⁺	SEL ⁻

図4. 速度/分解能の選択

OSR3	OSR2	OSR1	OSR0	TWOX	CONVERSION RATE		RMS NOISE	ENOB	OSR	LATENCY
					INTERNAL 9MHz Clock	EXTERNAL 10.24MHz Clock				
0	0	0	0	0	Keep Previous Speed/Resolution					
0	0	0	1	0	3.52kHz	4kHz	23 μ V	17.7	64	none
0	0	1	0	0	1.76kHz	2kHz	36 μ V	20.4	128	none
0	0	1	1	0	879Hz	1kHz	2.1 μ V	21.2	256	none
0	1	0	0	0	439Hz	500Hz	1.5 μ V	21.6	512	none
0	1	0	1	0	220Hz	250Hz	1.2 μ V	22	1024	none
0	1	1	0	0	110Hz	125Hz	840nV	22.5	2048	none
0	1	1	1	0	55Hz	62.5Hz	630nV	22.9	4096	none
1	0	0	0	0	27.5Hz	31.25Hz	430nV	23.5	8192	none
1	0	0	1	0	13.73Hz	15.625Hz	305nV	24	16384	none
1	1	1	1	0	6.875Hz	7.8125Hz	220nV	24.4	32768	none
0	0	0	0	1	Keep Previous Speed/Resolution					
0	0	0	1	1	7.03kHz	8kHz	23 μ V	17.7	64	1 cycle
0	0	1	0	1	3.52kHz	4kHz	3.6 μ V	20.4	128	1 cycle
0	0	1	1	1	1.76kHz	2kHz	2.1 μ V	21.2	256	1 cycle
0	1	0	0	1	879Hz	1kHz	1.5 μ V	21.6	512	1 cycle
0	1	0	1	1	439Hz	500Hz	1.2 μ V	22	1024	1 cycle
0	1	1	0	1	220Hz	250Hz	840nV	22.5	2048	1 cycle
0	1	1	1	1	110Hz	125Hz	630nV	22.9	4096	1 cycle
1	0	0	0	1	55Hz	62.5Hz	430nV	23.5	8192	1 cycle
1	0	0	1	1	27.5Hz	31.25Hz	305nV	24	16384	1 cycle
1	1	1	1	1	13.73Hz	15.625Hz	220nV	24.4	32768	1 cycle

アプリケーション情報

チップ・セレクト入力 (\overline{CS})

アクティブ“L”のチップ・セレクト \overline{CS} (ピン35) は、変換ステートをテストし、前のセクションで説明されているようにデータ出力の転送をイネーブするのに使われます。

さらに、 \overline{CS} 信号を使って、シリアル・データ転送が完了する前に、新しい変換サイクルをトリガすることができます。LTC2442は、コンバータがデータ出力ステートに入った後 \overline{CS} ピンの“L”から“H”への遷移が検出されると、直ちに進行中のシリアル・データ転送を中止して新しい変換サイクルを開始します。

シリアル・データ入力 (SDI)

シリアル・データ入力 (SDI、ピン33) はLTC2442の速度/分解能と入力チャンネルを選択するのに使います。SDIは、データ出力サイクル中に、SCKによって制御されるシリアル入力データ・ストリームによってプログラムすることもできます(図3を参照)。

最初、パワーアップ後、デバイスは $SEL^+ = CH0$ 、 $SEL^- = CH1$ 、 $OSR = 256$ (出力レートは公称879Hz)、および1倍速スピードアップ・モード(待ち時間なし)で変換を実行します。この最初の変換が完了すると、デバイスはスリープ・ステートに入り、変換結果を出力する準備ができ、次の変換の速度/分解能および入力チャンネルをプログラムするシリアル・データ入力ストリームを受け取る準備ができます。各変換サイクルの完了時に、デバイスはこのステートに入ります。

速度/分解能または入力チャンネルを変えるためにデバイスにシフトされる最初の3ビットは101です。これはリニアテクノロジー社のマルチチャンネル差動入力 $\Delta\Sigma$ ADC のプログラミング・シーケンスと互換性があります。シーケンスが000または100に設定されると、後続の入力データは無視され(ドントケア)、前回選択された速度/分解能およびチャンネルが次の変換に対しても依然有効です。101、100、および000以外の3ビットのコントロール・ビットの組合せは避けてください。

デバイスにシフトされる最初の3ビットが101であれば、それに続く5ビットにより次の変換の入力チャンネルが選択されます(表3と表4を参照)。次の5ビットにより、速度/分解能および1倍速モード(待ち時間なし)2倍速モード(1回の変換待ち時間を伴うダブル出力レート)が選択されます(表4を参照)。これらの5ビットがすべて0に設定されると、前の速度が次の変換にも選択されます。これは固定された出力レート/分解能を必要とするが入力チャンネルは変更する必要があるアプリケーションに最適です。

更新動作が開始される時最初の3ビットは101です。続く5ビットはチャンネル・アドレスです。最初のビット(SGL)は、入力選択が差動(SGL = 0)であるか、またはシングルエンド(SGL = 1)であるかを決定します。SGL = 0の場合、隣接する2本のチャンネルを選択して差動入力を構成することができます。SGL = 1の場合、4本のチャンネルの中の1本が正入力として選択されます。負入力はすべてのシングルエンド動作でCOMです。次の4ビット(ODD、A2、A1、A0)により、選択されるチャンネルとその極性が決定されます(表3を参照)。LTCの他のマルチチャンネル $\Delta\Sigma$ ADC とのソフトウェア互換性を維持するため、A2とA1は使用せず、“L”に設定します。

スピード・マルチプライヤ・モード

速度/分解能の選択に加えて、選択された分解能を維持したまま出力レートを2倍にするため、スピード・マルチプライヤ・モードが使われます。5ビットの速度/分解能制御ワードの最後のビット(TWOX、表4を参照)により、出力レートを1倍速(速度の増加なし)にするか、または2倍速(選択された速度の2倍)にするかが決まります。

1倍速モードで動作中は、ADCのオフセットを除去するため、デバイスは2つの内部変換を結合して各変換結果を得ます。オフセットとオフセット・ドリフトが変換サイクルごとに透過的に較正されるので、ユーザー・インタフェースが大幅に簡素化されます。変換結果には待ち時間が伴いません。

アプリケーション情報

新しく選択された速度/分解能および入力チャンネルに続く最初の変換は有効です。これはLTC2440およびLTC2444～LTC2449の動作と全く同じです。

2倍速モードで動作中は、デバイスは最後の2つの変換結果の移動平均をとります。これにより、デバイスのオフセットとドリフトが自動的に除去され、出力レートは2倍に増加します。分解能(ノイズ)は同じに保たれます。新しいチャンネルが選択されると、最初の変換より後のすべての変換結果が有効です(1サイクルの待ち時間)。新しい速度/分解能が選択されると、最初の変換結果は有効ですが、分解能(ノイズ)は移動平均の関数です。後続のすべての変換結果は有効です。分解能やチャンネルを変えずに、モードが1倍速から2倍速または2倍速から1倍速に変えられる場合、最初の変換結果は有効です。

2倍速モードは、読み取りのあいだのアンプのセトリング時間を長くするためにも使うことができます。2倍速モードで動作中は、マルチプレクサの出力(バッファ/アンプの入力)は各変換サイクルの終わりに切り替えられます。データの入出力サイクルを終了する前に、アナログ・マルチプレクサの出力が切り替えられます。これは自動較正のために変換サイクルの終わりに(データ出力サイクルの直前に)起きます。変換を読み出すのに必要な時間により、アンプにはさらに長いセトリング時間が可能になります。アンプのオフセット/オフセット・ドリフトはコンバータの自動較正シーケンスにより1倍速と2倍速の両モードで自動的に除去されます。

1倍速モードで動作中、新しい入力チャンネルが選択されると、マルチプレクサは(データ入力ワードが完全にプログラムされた後)14番目のSCKの立下りエッジで切り替えられます。データ出力シーケンスの残りの時間を使って外部アンプをセトリングさせることができます。

BUSY

BUSY出力(ピン2)は変換、データ出力、およびスリープ・サイクルの状態をモニタするのに使います。デバイスが変換をおこなっているあいだ、BUSYピンは“H”になります。変換が完了するとBUSYは“L”になり、変換が完了し、データ出力の用意ができていることを示します。デバイスはここでスリープ・ステートに入ります。データがシフトされてデバイスから出力され、SDIがシフトされてデバイスに取り込まれるあいだ、BUSYは“L”に留まります。データの入出力サイクルが終了すると“H”になり、次の変換が開始されたことを示します。この立上りエッジを使って、データ読み取りサイクルの完了を知らせることができます。

シリアル・インタフェースのタイミング・モード

LTC2442の3線または4線のインタフェースはSPIおよびMICROWIREと互換性があります。このインタフェースにより、いくつかの動作モードを柔軟に実現できます。これらには内部/外部シリアル・クロック、3線または4線のI/O、シングル・サイクル変換およびオートスタートが含まれます。以下のセクションではこれらのシリアル・インタフェースのそれぞれのタイミング・モードを詳細に説明します。これらすべての場合に、コンバータは内部発振器($F_0 = \text{“L”}$)または F_0 ピンに接続された外部発振器を使うことができます。表5にまとめられていますので参照してください。

表5. インタフェースのタイミング・モード

Configuration	SCK Source	Conversion Cycle Control	Data Output Control	Connection and Waveforms
External SCK, Single Cycle Conversion	External	$\overline{\text{CS}}$ and SCK	$\overline{\text{CS}}$ and SCK	Figures 4, 5
External SCK, 2-Wire I/O	External	SCK	SCK	Figure 6
Internal SCK, Single Cycle Conversion	Internal	$\overline{\text{CS}} \downarrow$	$\overline{\text{CS}} \downarrow$	Figures 7, 8
Internal SCK, 2-Wire I/O, Continuous Conversion	Internal	Continuous	Internal	Figure 9

アプリケーション情報

外部シリアル・クロック、シングル・サイクル動作 (SPI/MICROWIRE互換)

このタイミング・モードでは、外部シリアル・クロックを使って変換結果をシフトして出力し、 \overline{CS} 信号を使って変換サイクルの状態をモニタして制御します(図4を参照)。

シリアル・クロック・モードは \overline{EXT} ピンを使って選択します。外部シリアル・クロック・モードを選択するには \overline{EXT} を“L”に固定します。

シリアル・データ出力ピン(SDO)は、 \overline{CS} が“H”のあいだは高インピーダンスになります。変換サイクル中はいつでも、コンバータの状態をモニタするために \overline{CS} を“L”に引き下げることができます。 \overline{CS} が“L”に引き下げられているあいだ、 \overline{EOC} がSDOピンに出力されます。変換中は $\overline{EOC} = 1$ ($BUSY = 1$)になり、デバイスがスリープ・ステートだと $\overline{EOC} = 0$ ($BUSY = 0$)になります。 \overline{CS} には関係なく、変換が完了するとデバイスは自動的にスリープ・ステートに入ります。

デバイスがスリープ・ステート ($\overline{EOC} = 0$) のとき、変換結果は内部のスタック・シフト・レジスタに保存されます。 SCK の最初の立上りエッジが現われるまでデバイスはスリープ・ステートに留まります。データは SCK の各立下りエッジでシフトされてSDOピンから出力されます。このため、外部回路は SCK の立上りエッジを使って出力をラッチすることができます。 \overline{EOC} は SCK の最初の立上りエッジを使ってラッチすることができます。変換結果の最後のビットは SCK の32番目の立上りエッジを使ってラッチすることができます。 SCK の32番目の立下りエッジで、デバイスは新しい変換を開始します。SDOが“H” ($\overline{EOC} = 1$) になり、 $BUSY$ も“H”になり、変換中であることを示します。

データ・サイクルの完了時に \overline{CS} を“L”のままにしておき、 \overline{EOC} を変換終了時の割り込み信号としてモニタすることができます。代わりに、 \overline{CS} を“H”にドライブしてSDOを高インピーダンスに設定し、変換の完了を知るのに $BUSY$ をモニタすることができます。

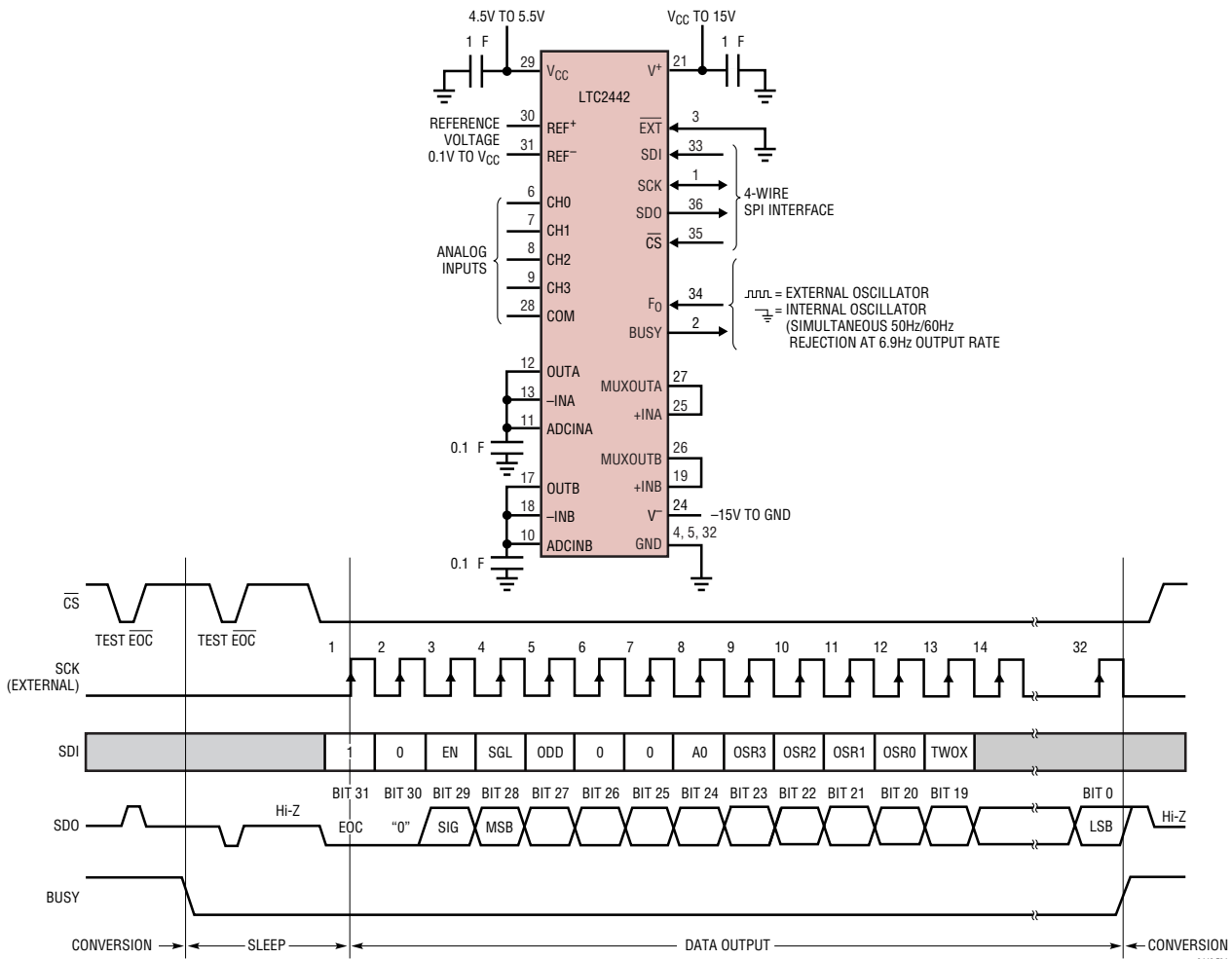


図4. 外部シリアル・クロック、シングル・サイクル動作

2442f04

アプリケーション情報

上述のように、変換状態をSDOピンでモニタするために、 \overline{CS} をいつでも“L”に引き下げることができます。

通常、 \overline{CS} はデータ出力ステートのあいだ“L”に保たれます。ただし、SCKの5番目の立下りエッジと32番目の立下りエッジのあいだのいつでも \overline{CS} を“H”に引き上げてデータ出力ステートを中止することができます(図5を参照)。 \overline{CS} の立上りエッジでデバイスはデータ出力ステートを中止し、直ちに新しい変換を開始します。速度/分解能および入力チャンネルを正しくプログラムするには、13ビット

のシリアル入力データが必要です。データ出力シーケンスがSCKの13番目の立上りエッジより前に中止されると、新しい入力データは無視され、前回選択された速度/分解能およびチャンネルが次の変換サイクルに使われます。これは出力データの32ビットすべては必要としないシステムでは有用で、無効の変換サイクルを中止するか、変換の開始点を同期させます。新しいチャンネルをプログラムしようとする場合、データ入力シーケンスを保存するために、 \overline{CS} の立上りエッジはSCKの14番目の立下りエッジより後にくる必要があります。

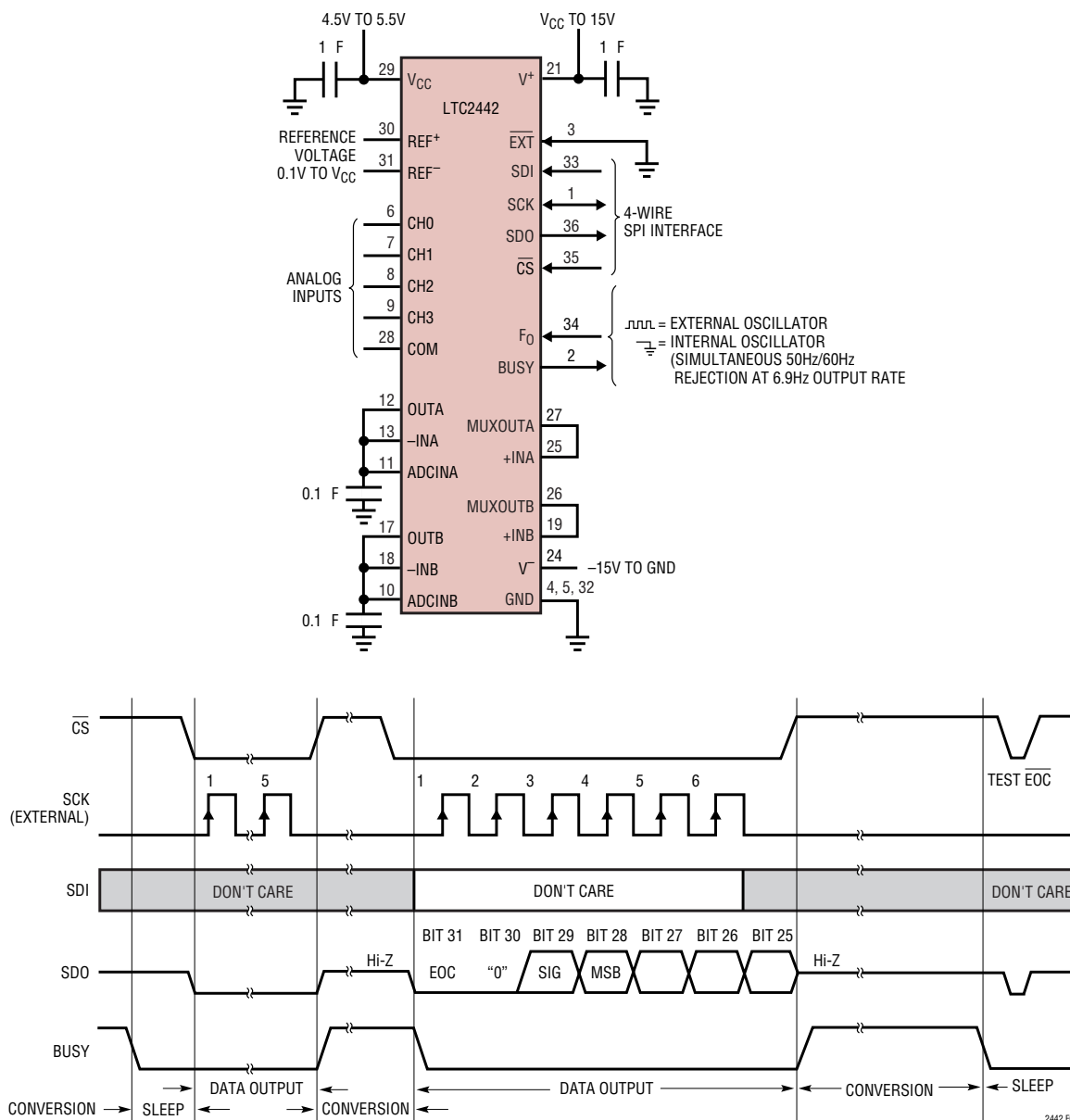


図5. 外部シリアル・クロック、短縮された出力データ長

2442fa

LTC2442

アプリケーション情報

外部シリアル・クロック、2線式I/O

このタイミング・モードでは2線式シリアルI/Oインタフェースを利用します。変換結果は外部で作られたシリアル・クロック (SCK) 信号によってシフトされてデバイスから出力されます (図6参照)。 \overline{CS} は永続的にグランドに固定することができ、ユーザー・インタフェースや絶縁バリアが簡素化されます。外部シリアル・クロック・モードは \overline{EXT} を“L”に固定して選択します。

\overline{CS} が“L”に固定されているので、変換状態およびスリープ・ステートのあいだ、変換終了 (\overline{EOC}) をSDOピンで連続してモニタすることができます。逆に、BUSY (ピン2) を使って変換サイクルの状態をモニタすることもできま

す。 \overline{EOC} またはBUSYは外部コントローラへの割り込み信号として使うことができ、変換結果が用意できていることを示します。変換中は $\overline{EOC} = 1$ (BUSY = 1) になり、コンバータがスリープ・ステートに入ると $\overline{EOC} = 0$ (BUSY = 0) になります。 \overline{EOC} /BUSYの立下りエッジで、変換結果が内部のスタック・シフト・レジスタにロードされます。SCKの最初の立上りエッジまでデバイスはスリープ・ステートに留まります。データはSCKの各立下りエッジでシフトされてSDOピンから出力されるので、外部回路はSCKの立上りエッジでデータをラッチすることができます。 \overline{EOC} はSCKの最初の立上りエッジでラッチすることができます。SCKの32番目の立下りエッジで、SDOとBUSYは“H”になり ($\overline{EOC} = 1$)、新しい変換サイクルが開始されたことを示します。

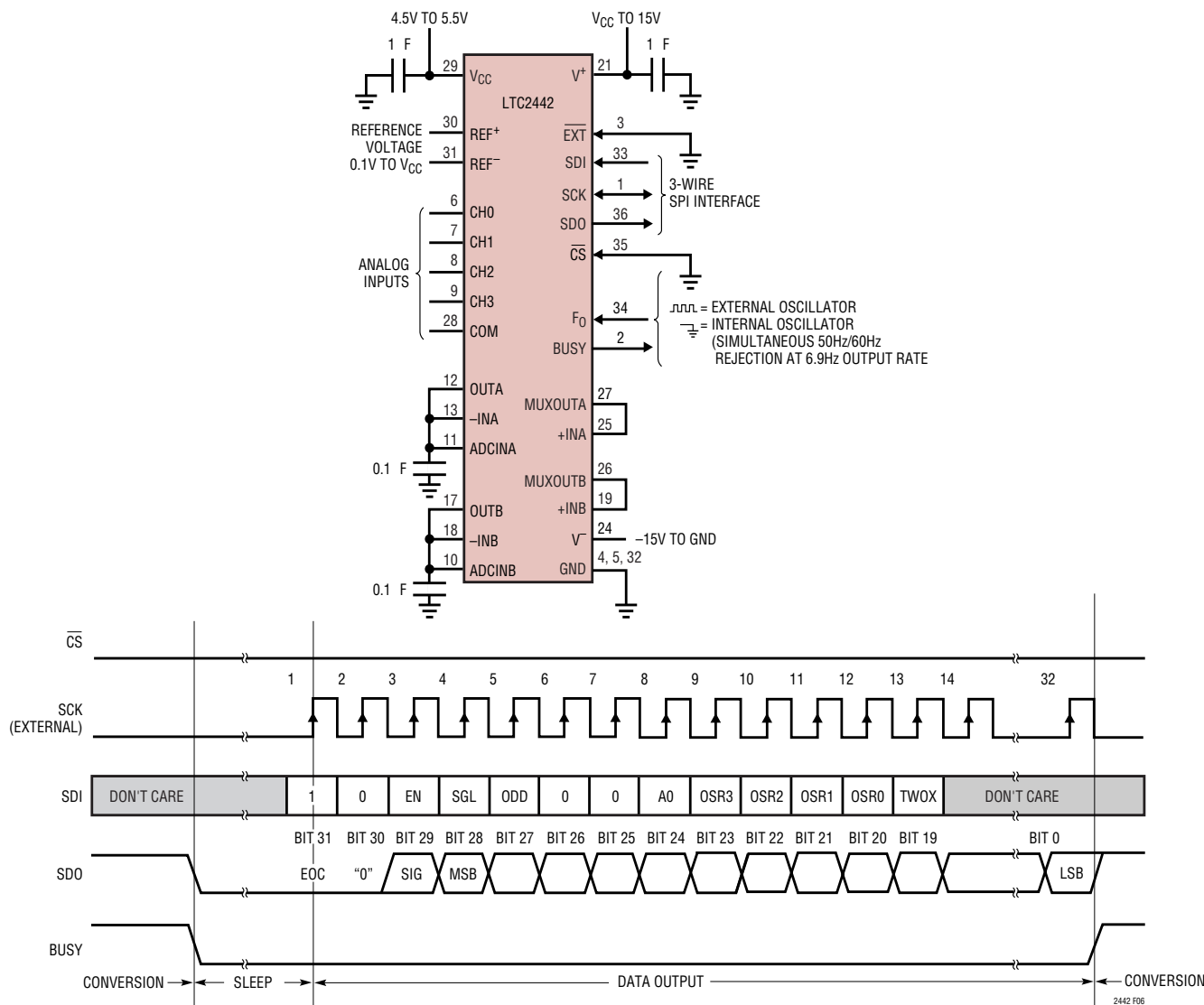


図6. 外部シリアル・クロック、CS = 0の動作(2線)

2442fa

アプリケーション情報

内部シリアル・クロック、シングル・サイクル動作

このタイミング・モードでは、内部シリアル・クロックを使って変換結果をシフトして出力し、 \overline{CS} 信号を使って変換サイクルの状態をモニタして制御します(図7を参照)。

内部シリアル・クロックのタイミング・モードを選択するには \overline{EXT} を“H”に固定します。

シリアル・データ出力ピン(SDO)は、 \overline{CS} が“H”のあいだは高インピーダンスになります。変換サイクル中はいつでも、コンバータの状態をモニタするために \overline{CS} を“L”に引き下げることができます。 \overline{CS} が“L”に引き下げられると、SCKが“L”になり、 \overline{EOC} がSDOピンに出力されます。変換中は $\overline{EOC} = 1$ となり、デバイスがスリープ・ステートに入ると $\overline{EOC} = 0$ となります。代わりに、BUSY(ピン2)を使って変換中の状態をモニタすることができます。BUSYは変

換中は“H”で、終了すると“L”になります。データがデバイスから読み出されるまで、BUSYは“L”のまま留まります。

\overline{EOC} をテストするとき、変換が完了していると($\overline{EOC} = 0$)、 \overline{CS} が“L”のままであればデバイスはスリープ・ステートから出て、データ出力ステートに入ります。デバイスがスリープ・ステートから出るのを防ぐには、SCKの最初の立上りエッジより前に \overline{CS} を“H”に引き上げる必要があります。内部SCKタイミング・モードでは、SCKは“H”になり、デバイスは($\overline{EOC} = 0$ ならば) \overline{CS} の立下りエッジ後、 $t_{EOCtest}$ の時点でデータを出力し始め、(\overline{EOC} の立下りエッジで \overline{CS} が“L”ならば) \overline{EOC} が“L”になった後、 $t_{EOCtest}$ の時点でデータを出力し始めます。 $t_{EOCtest}$ の値は500nsです。 $t_{EOCtest}$ の時点より前に \overline{CS} が“H”に引き上げられると、デバイスはスリープ・ステートに留まります。変換結果は内部のスタック・シフト・レジスタに保存されます。

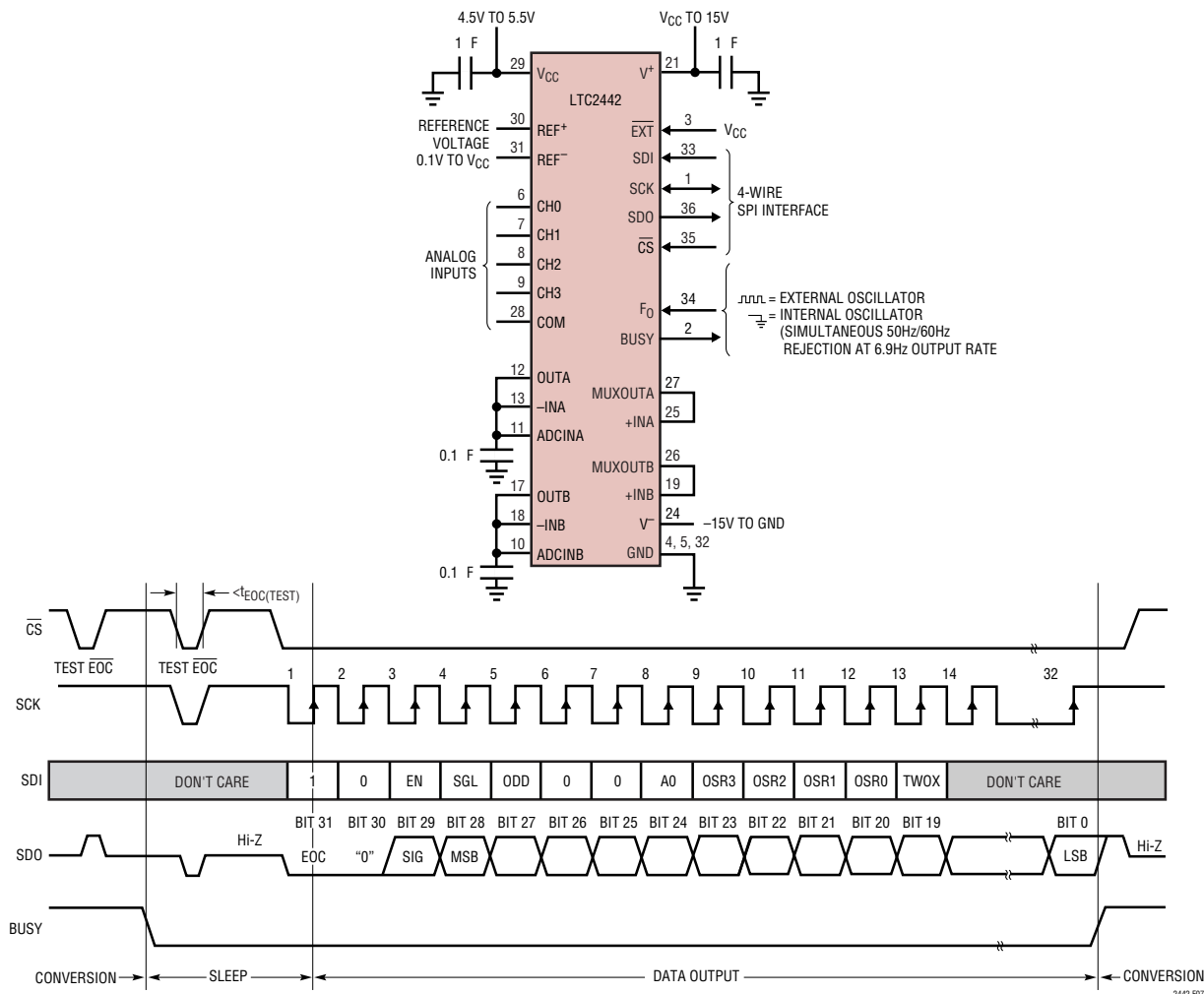


図7. 内部シリアル・クロック、シングル・サイクル動作

2442fa

アプリケーション情報

\overline{CS} が $t_{EOCtest}$ より長く“L”に留まると、SCKの最初の立上りエッジが生じ、変換結果がシリアルにシフトされSDOピンから出力されます。データ出力サイクルはSCKのこの最初の立上りエッジで始まり、32番目の立上りエッジの後終了します。データはSCKの各立下りエッジでシフトされてSDOピンから出力されます。内部で作られたシリアル・クロックはSCKピンに出力されます。この信号を使って変換結果を外部回路にシフトすることができます。 \overline{EOC} はSCKの最初の立上りエッジを使ってラッチすることができ、変換結果の最後のビットはSCKの32番目の立上りエッジを使ってラッチすることができます。32番目の立上りエッジの後、SDOは“H”になり($\overline{EOC} = 1$)、SCKは“H”のまま留まり、新しい変換が始まります。

通常、 \overline{CS} はデータ出力ステートのあいだ“L”に保たれます。ただし、SCKの最初の立上りエッジと32番目の立上り

エッジのあいだのいつでも \overline{CS} を“H”に引き上げてデータ出力ステートを中止することができます(図8を参照)。 \overline{CS} の立上りエッジでデバイスはデータ出力ステートを中止し、直ちに新しい変換を開始します。これは32ビット出力データのすべては必要としないシステムでは有用で、無効の変換サイクルを中止したり、変換の開始点を同期させます。速度/分解能および入力チャンネルを正しくプログラムするには、13ビットのシリアル入力データが必要です。データ出力シーケンスがSCKの13番目の立上りエッジより前に中止されると、新しい入力データは無視され、前回選択された速度/分解能およびチャンネルが次の変換サイクルに使われます。新しいチャンネルをプログラムしようとする場合、データ入力シーケンスを保存するために、 \overline{CS} の立上りエッジはSCKの14番目の立下りエッジより後にくる必要があります。

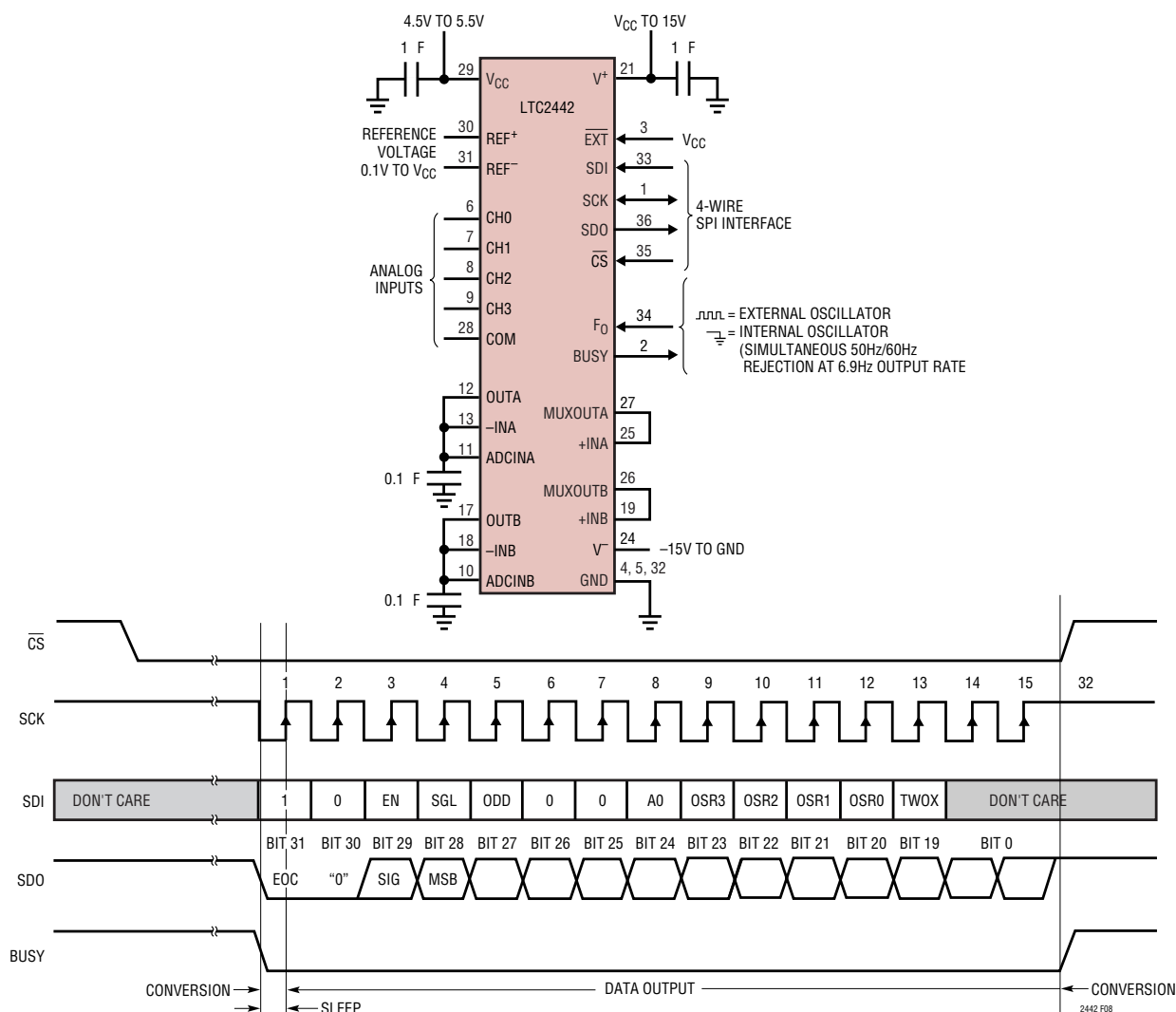


図8. 内部シリアル・クロック、短縮されたデータ出力長

アプリケーション情報

内部シリアル・クロック、3線式I/O、連続変換

このタイミング・モードでは3線とも出力の(SCKとSDO)インタフェースを使います。変換結果は内部で作られたシリアル・クロック(SCK)信号によってシフトされてデバイスから出力されます(図9を参照)。 \overline{CS} は永続的にグラウンドに固定することができ、ユーザー・インタフェースや絶縁バリヤが簡素化されます。内部シリアル・クロック・モードはEXTを“H”に固定して選択します。

変換中、SCKとシリアル・データ出力ピン(SDO)は“H”になり($\overline{EOC} = 1$)、BUSY = 1になります。変換が完了すると、SCK、BUSYおよびSDOは“L”になり($\overline{EOC} = 0$)、変換が終了してデバイスがスリープ・状態に入ったこと

を示します。デバイスは最小時間(約500ns)のあいだスリープ・状態に留まってから、直ちにデータの出力を開始します。データ出力サイクルはSCKの最初の立上りエッジで始まり、32番目の立上りエッジの後終了します。データはSCKの各立下りエッジでシフトされてSDOピンから出力されます。内部で作られたシリアル・クロックはSCKピンに出力されます。この信号を使って変換結果を外部回路にシフトすることができます。EOCはSCKの最初の立上りエッジを使ってラッチすることができ、変換結果の最後のビットはSCKの32番目の立上りエッジの後、SDOは“H”になり($\overline{EOC} = 1$)、新しい変換が進行中であることを示します。変換中、SCKは“H”のままです。

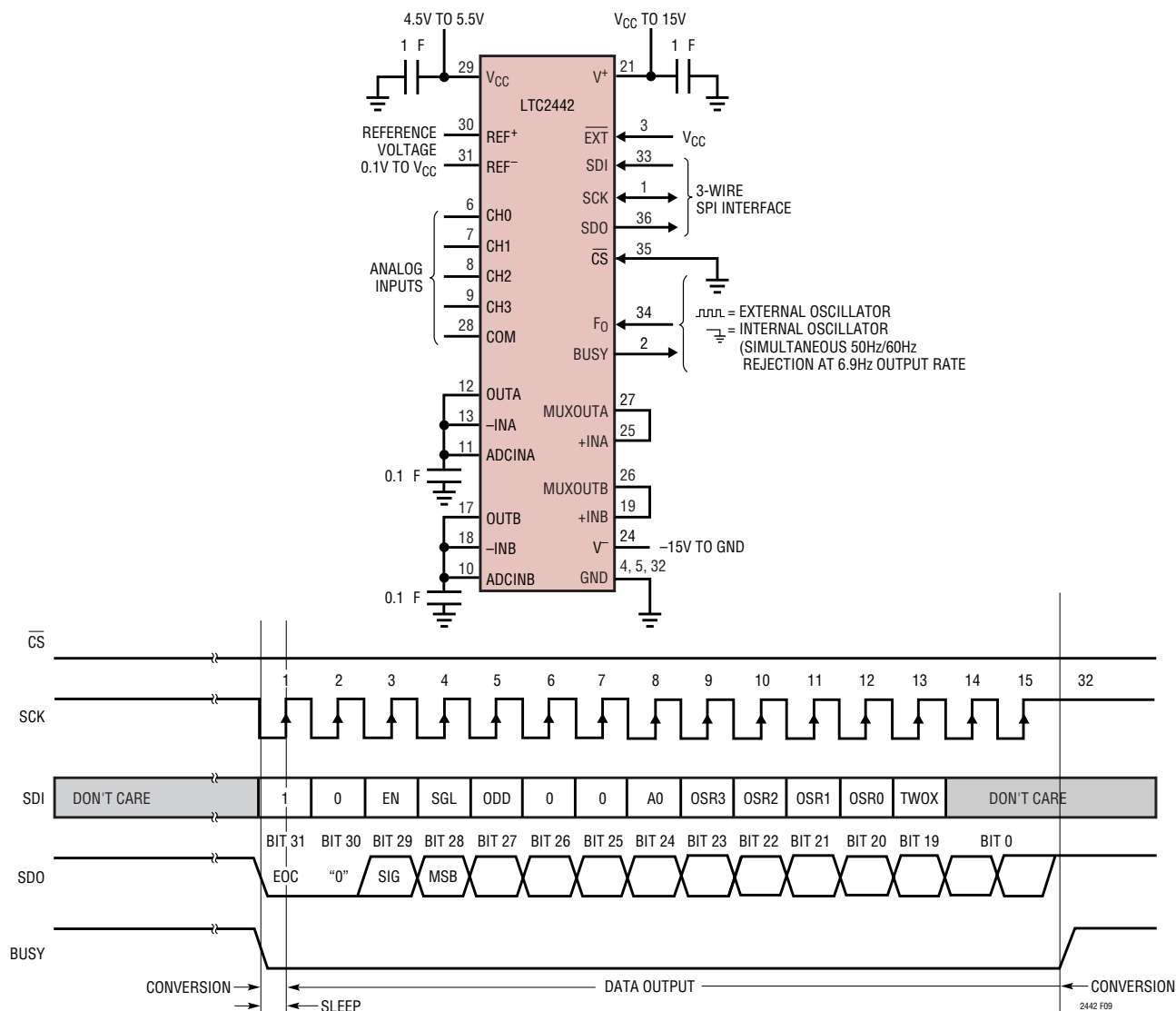


図9. 内部シリアル・クロック、連続動作

アプリケーション情報

通常モード除去とアンチエイリアシング

従来のADCに比したデルタシグマADCの利点の1つは、チップに内蔵されたデジタル・フィルタです。大きなオーバーサンプリング率と組み合わせることにより、LTC2442はアンチエイリアシング・フィルタの必要条件を大幅に簡素化します。

LTC2442の速度/分解能はチップに内蔵されたデジタル・フィルタのオーバーサンプル比(OSR)によって決まります。OSRは3.5kHzの出力レートでの64から6.9Hz(待ち時間なしのモード)の出力レートでの32,768までの範囲で変化します。OSRの値とサンプル・レート f_s により、デバイスのフィルタ特性が決まります。デジタル・フィルタの最初のヌルは f_N および f_N の倍数に位置します。ただし、 $f_N = f_s/OSR$ です(図10と表6を参照)。周波数 $f_N \pm 14\%$ での除去率は80dBよりも良くなっています(図11を参照)。

表6. OSRとノッチ周波数(f_N) (内部発振器は9MHzで動作)

OSR	NOTCH (f_N)
64	28.13kHz
128	14.06kHz
256	7.03kHz
512	3.52kHz
1024	1.76kHz
2048	879Hz
4096	439Hz
8192	220Hz
16384	110Hz
32768*	55Hz

*同時に50/60Hzを除去

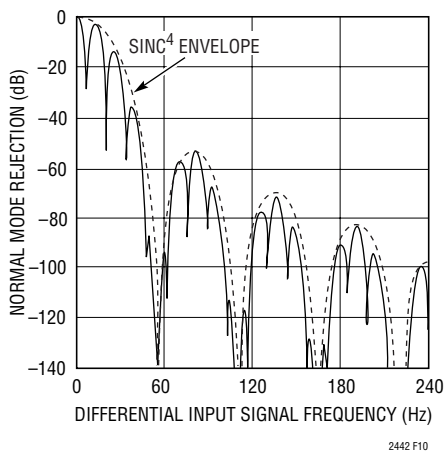


図10. 通常モードの除去率(内部発振器)

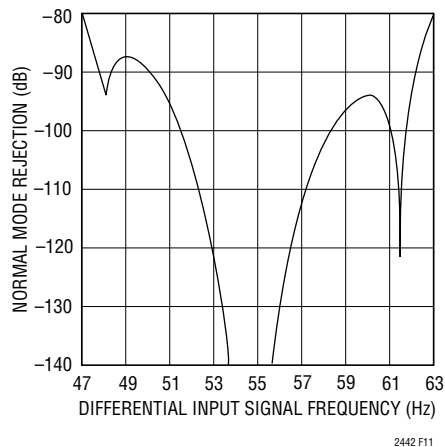


図11. 通常モードの除去率(内部発振器)

アプリケーション情報

F_O が接地されていると、 f_S はチップに内蔵されている発振器によって(電源および温度の全変動範囲で)1.8MHz±5%に設定されます。32,768のOSRでは、最初のヌルは $f_N = 55\text{Hz}$ に位置し、待ち時間なしの出力レートは $f_N/8 = 6.9\text{Hz}$ です。最大OSRでは、デバイスのノイズ性能は220nV_{RMS}で、50Hz±2%と60Hz±2%の除去率は80dBを超えます。OSRが大きい(32,768)ので、広帯域除去は極めて大きく、アンチエイリアシングの要求条件は簡単です。最初の f_S の倍数は55Hz・32,768 = 1.8MHzになります(図12を参照)。

OSRが256(出力レートが879Hz)で F_O が接地されているとき、最初のヌルは $f_N = 7.03\text{kHz}$ になります。ヌルがシフトするのに対して、サンプル・レートは一定に保たれます。変調器のサンプル・レートが一定になる結果、直線性、オフセットおよびフルスケール性能は f_S の最初の倍数と同様変化しません。

外部発振器を使って F_O ピンをドライブすることにより、サンプル・レート f_S とヌル f_N を調整することもできます。サンプル・レートは $f_S = f_{\text{EOSC}}/5$ です。ここで、 f_{EOSC} は F_O に

与えられるクロックの周波数です。大きなOSRと減少したサンプル・レートを組み合わせると、ノッチ周波数 f_N はDCに近くなりますが、アンチエイリアシングの必要条件は簡単のままです。100kHzのクロックを F_O に与えると、0.6Hzのヌルおよび20kHzまでのすべての高調波を生じます(図13を参照)。これはノイズの多い入力信号のDC成分のデジタル化が必要なアプリケーションでは有用で、ADCの直前に0.6Hzのフィルタを置く必要がなくなります。

100kHz~20MHzで動作する外部発振器はLTC1799(抵抗で設定するSOT-23発振器)を使って実装することができます(図14を参照)。LTC1799のピン4(DIV)をフロートさせると、出力発振器周波数は次のようになります。

$$f_{\text{OSC}} = 10\text{MHz} \cdot \frac{10\text{k}}{10 \cdot R_{\text{SET}}}$$

図13に示されている通常モードの除去特性は、($R_{\text{SET}} = 100\text{k}$ を使った)LTC1799の出力を、(OSR = 32,768に設定した)LTC2442の F_O ピンに与えることにより実現されます。

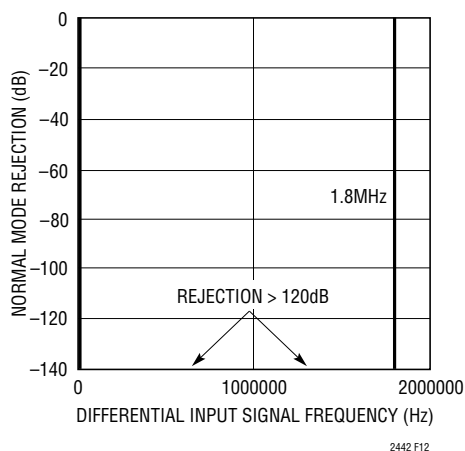


図12. 通常モードの除去率(内部発振器)

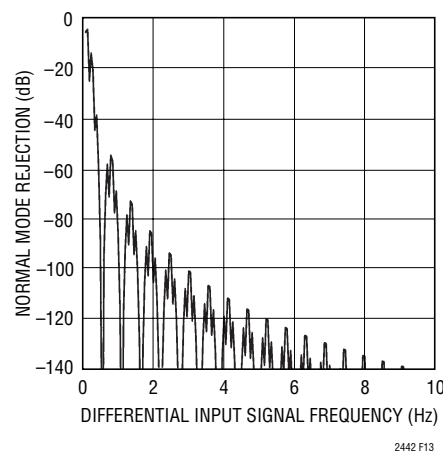


図13. 通常モードの除去率(90kHzに設定した内部発振器)

LTC2442

アプリケーション情報

入力帯域幅と周波数除去

内部SINC⁴デジタル・フィルタとデジタルおよびアナログの自動校正回路を結合した効果により、LTC2442の入力帯域幅と除去特性が決まります。デジタル・フィルタの応答は、SPIインタフェースを介してオーバーサンプリング比(OSR)を設定することにより、または外部変換クロックをF₀ピンに与えることにより調節することができます。

オーバーサンプリング比とクロック周波数の多様な組合せに対するLTC2442の特性を表7に示します。これらの特性を理解することが、アプリケーションに合わせてLTC2442の特性を微調整するとき重要です。

最大変換率

最大変換率は変換を実行可能な最高速度です。

表7

Over-sample Ratio (OSR)	*RMS Noise	ENOB (V _{REF} = 5V)	Maximum Conversion Rate		First Notch Frequency		Effective Noise BW		-3dB point (Hz)	
			Internal 9MHz clock	External f ₀	Internal 9MHz clock	External f ₀	Internal 9MHz clock	External f ₀	Internal 9MHz clock	External f ₀
64	23μV	17.7	3515.6	f ₀ /2560	28125	f ₀ /320	3148	f ₀ /5710	1696	f ₀ /5310
128	3.6μV	20.4	1757.8	f ₀ /5120	14062.5	f ₀ /640	1574	f ₀ /2860	848	f ₀ /10600
256	2.1μV	21.2	878.9	f ₀ /10240	7031.3	f ₀ /1280	787	f ₀ /1140	424	f ₀ /21200
512	1.5μV	21.6	439.5	f ₀ /20480	3515.6	f ₀ /2560	394	f ₀ /2280	212	f ₀ /42500
1024	1.2μV	22	219.7	f ₀ /40960	1757.8	f ₀ /5120	197	f ₀ /4570	106	f ₀ /84900
2048	840nV	22.5	109.9	f ₀ /81920	878.9	f ₀ /1020	98.4	f ₀ /9140	53	f ₀ /170000
4096	630nV	22.4	54.9	f ₀ /163840	439.5	f ₀ /2050	49.2	f ₀ /18300	26.5	f ₀ /340000
8192	430nV	23.5	27.5	f ₀ /327680	219.7	f ₀ /4100	24.6	f ₀ /36600	13.2	f ₀ /679000
16384	305nV	24	13.7	f ₀ /655360	109.9	f ₀ /8190	12.4	f ₀ /73100	6.6	f ₀ /1358000
32768	220nV	24.4	6.9	f ₀ /1310720	54.9	f ₀ /16380	6.2	f ₀ /146300	3.3	f ₀ /2717000

*OSRがOSR 32768からOSR 256まで2桁減少するとき、ADCのノイズは約√2だけ増加する。OSR 64でのADCのノイズには内部変調器の量子化ノイズの影響が含まれる。

最初のノッチ周波数

これはデジタル・フィルタのSINC⁴部分の最初のノッチで、f₀クロック周波数とオーバーサンプリング比に依存します。この周波数とその倍数(変調器の1.8MHzのサンプル・レートまで)での除去率は120dBを超えます。これは最大変換率の8倍です。

実効ノイズ帯域幅

LTC2442は、最初のノッチ周波数から変調器のサンプル・レート(標準1.8MHz)に至るまで、入力ノイズ除去が非常にすぐれています。実効ノイズ帯域幅はADCが変調器のサンプル・レートまでの広帯域入力ノイズをどのように除去するか指標です。

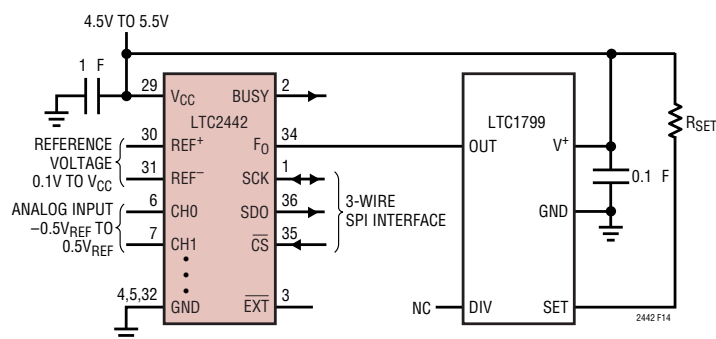


図14. 簡単な外部クロック源

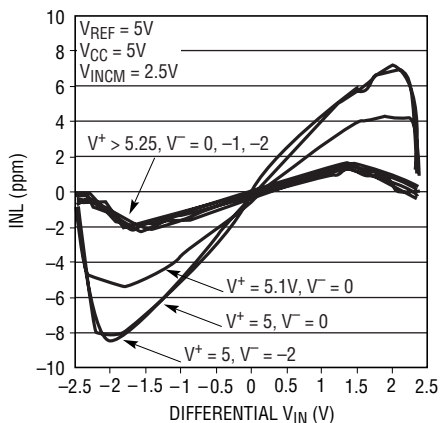
2442fa

アプリケーション情報

直線性の最適化

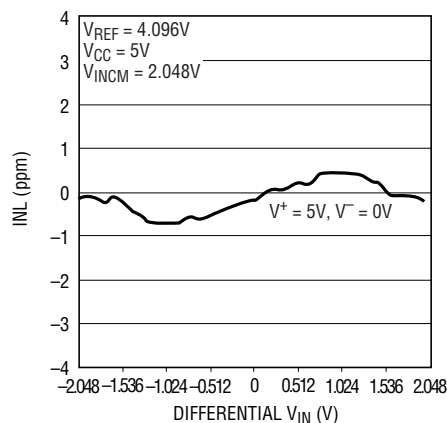
内蔵オペアンプの入力範囲はレール・トゥ・レールですが、ppmレベルの直線性を実現するため、入力範囲とオペアンプの電源電圧を検討する必要があります。オペアンプの正電源電圧(V^+)から1.25V以内の入力レベルでは性能が低下し始めます。たとえば(図15を参照)、 $V^+ = 5.1V$ 、絶対入力電圧($V_{INCM} + V_{INDIFF}$)が最大3.75V($V_{INCM} = 2.5V$ 、 $-2.5V < V_{INDIFF} < 2.5V$)で動作するとき、直線性が約17ビットに低下します。 V^+ を5.25V以上に上げると、直線性は19ビット(2ppm)に改善されます。リファレンス

を4.096Vに下げると入力同相電圧が $V_{REF}/2$ (2.048V)になると、 V^+ を V_{CC} 、 V^- をグラウンドに接続した状態で、直線性の性能は1ppmより改善されます(図16を参照)。1ppmのINLを実現するには、グラウンドに近い入力信号はオペアンプの電源に対して約100mVの余裕が必要です(図17を参照)。入力を差動でドライブすることにより、最適な直線性が得られます。図18に示されているように、シングルエンド入力(負入力はグラウンドに接続されている)は18ビット($\pm 4ppm$)の直線性を示します。この場合、 V^- はグラウンドより100mV下です。



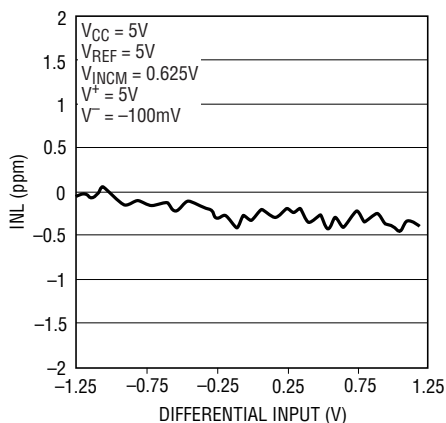
2442 F15

図15. INLとオペアンプの電源電圧



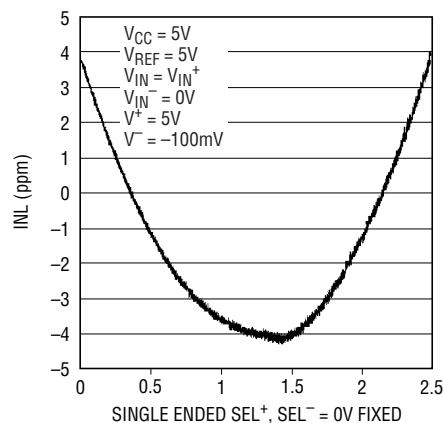
2442 F16

図16. 直線性とVIN



2442 F17

図17. グラウンドの近くの直線性



2442 F18

図18. シングルエンドの直線性

アプリケーション情報

LTC2442は高インピーダンス入力の $\Delta\Sigma$ ADCの新しい地平を切り開きます。入力バッファはADCのドライブをできるだけ簡単にするように最適化されており、内蔵バッファによく見られる制限の多くを克服しています。

+5V~-5V/+9Vの便利なDC/DC コンバータ

信号入力のどちらかがグランドと V_{CC} を含む必要がある場合、アンプには最大入力電圧を超える正電源と負電源の両方が必要です。LTC1983を使って5V単電源から-5Vと+9Vの両方を発生させ、ADCの入力がグランドより300mV下から V_{CC} を超えて伸びることができるようにする方法を図19に示します。グランドを含むが V_{CC} の1.5V以内には来ない入力の場合、C4、C5、C6およびD1を取り除いてアンプの正電源を V_{CC} に接続することができます。

入力バイアス電流

バッファの標準的バイアス電流は10nAなので、ソース抵抗の500 Ω 未満の不均衡による誤差は1ppm(5 μ V)未満になります。入力抵抗を整合させるとアンプのバイアス電流による誤差の大半は相殺されます。50kまでのソース抵抗では、1%抵抗が適切です。CH2とCH3の入力の精密分圧器の適切な入力抵抗の整合を図20に示します。CH2から見た抵抗は30Kと10Kの並列結合、つまり7.5kになります。CH3の1%、7.5kの抵抗は分圧器の出力抵抗と均衡します。

2つの入力バッファのバイアス電流はわずかに異なりますが、自動ゼロプロセスが、変換時間の半分のあいだ各バッファからのバイアス電流を両方の入力に与えますので、オフセットは2つのバイアス電流にソース抵抗の不整合を掛けたものの平均に等しくなります。

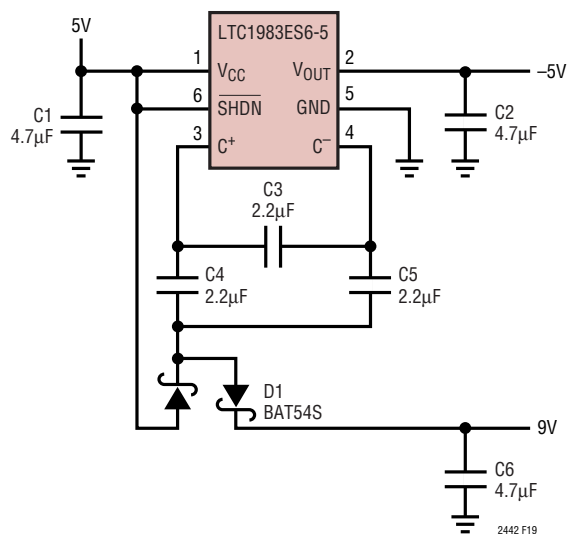


図19. V_{CC} の上に別のチャージポンプを重ねて9Vを供給するLTC1983

アプリケーション情報

低消費電力動作

内蔵バッファの電源電流は合計1mAなので、ADCが低デューティ・サイクルで動作しているとき、全体の電力消費が大幅に減少します。 $\Delta\Sigma$ ADCをドライブする標準的手法として、ADCの入力のサンプリング・プロセスに対して非常に短時間にセトリングする高帯域アンプを使います。LTC2442の手法では、補償に負荷コンデンサを必要とする精密な低帯域アンプを使います。このコンデンサはサンプリング・プロセスで電荷の貯蔵装置としても機能しますので、ADCの入力での攪乱が最小に抑えられます。アンプはADCに流れる平均サンプリング電流だけを供給しますが、これは50 μ A程度です。

高入力電圧に対するスケーリング

LTC2442は(張力計やシリコン・マイクロマシーン・センサなど)同相電圧が電源の約半分に等しい低レベルの差動信号を使うアプリケーションに最適です。他のアプリケーションでは高電圧信号をADCの範囲にスケーリングする必要があります。

グラウンドを基準にしたバイポーラの入力電圧を適切にスケーリングしてLTC2442をドライブする方法を図20に示します。まず、入力がLTC2442の電源レールを超さないように入力をレベルシフトします。これは一般に計装アンプまたは簡単なオペアンプを使ったレベルシフト回路を

使って実現されます。アナログ入力をシフトする代わりに、LTC2442は $\pm 2.5V$ で動作可能なので、グラウンドを入力範囲の中央に設定します。これは完全なアナログ・レベルシフトと同等で、精度はまったく低下しません。デジタル信号は非常に安価な74HC4053アナログ・スイッチによって0~5Vのロジックから $\pm 2.5V$ のロジックにシフトされ、LTC2442からのデータはMMBT3904トランジスタによって再度0~5Vのロジックへシフトされます。

両方の入力で、精密抵抗ネットワークが入力信号を $\pm 10V$ から $\pm 2.5V$ にスケールリングします。標準で3ppmより良い最大直線性を得るにはCH0とCH1は真に差動でドライブされますが、3個の抵抗とLTC2050HVオートゼロ・アンプが必要です。8.88k Ω の出力抵抗がLTC2442のバイアス電流に関連したオフセットをバランスさせます。CH0から見える抵抗は4.44kで、CH0のオフセットは反転されてLTC2050HVの出力に現れます。

CH2~CH3はシングルエンドでドライブされ、CH3はグラウンドに接続されます。これによって直線性がわずかに低下しますが、真の差動ドライブより実装が簡単です。この場合、CH3の抵抗をCH2の抵抗(7.5k)に等しくします。この回路は信号が常に正で、LTC2442が5V単電源で動作する場合にも適しています。

アプリケーション情報

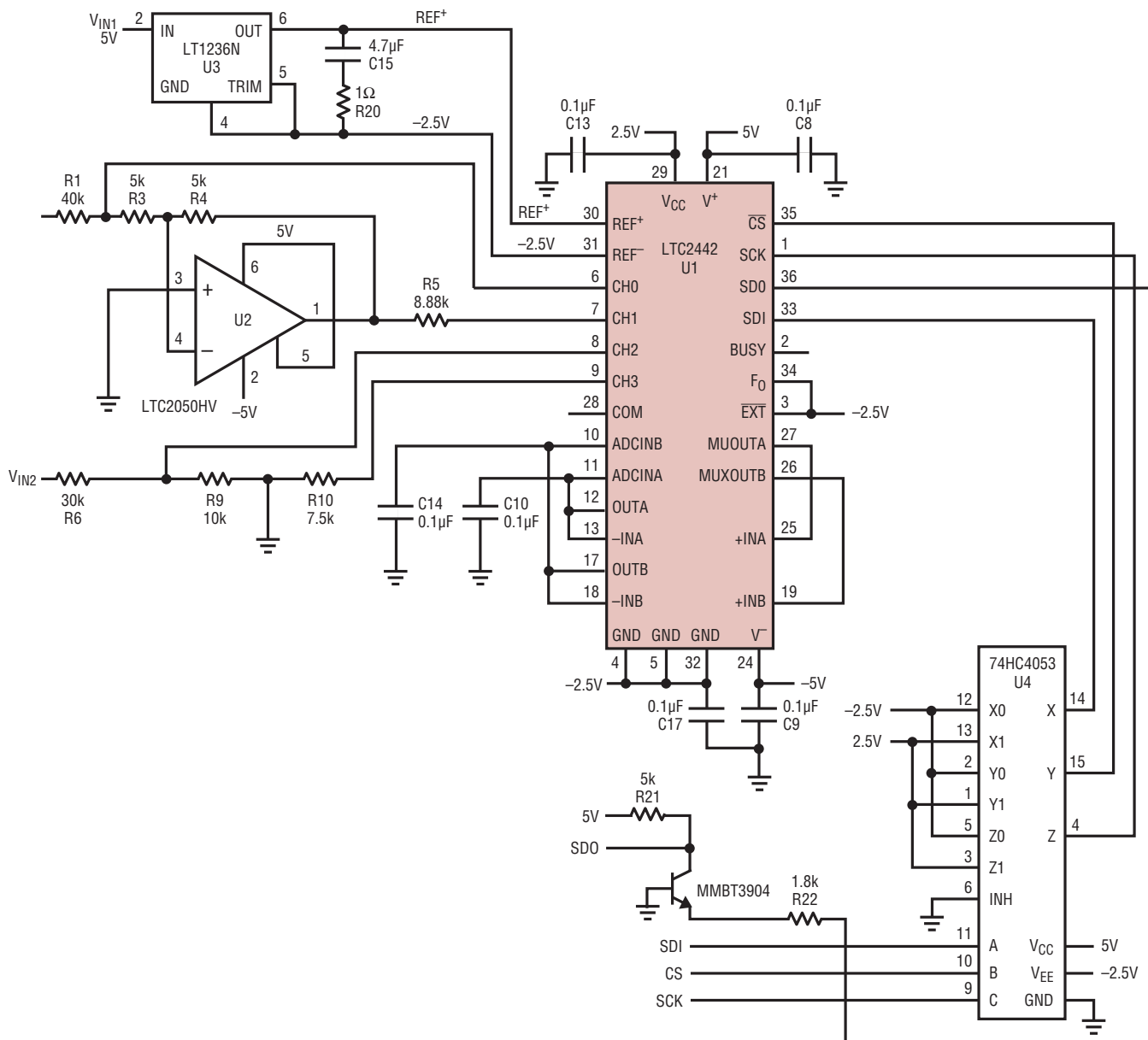


図20. ±10Vの入力のスケールリング

アプリケーション情報

変換とオートゼロ・プロセスの詳細

LTC2442 は各変換ごとに自動的にオフセットを相殺します。これは、反対の極性で与えられる入力を使って2つの「半変換」の平均をとることによっておこなわれます。1倍速モードで32768のOSRのCH0～CH1の差動信号に対する変換を図21に示します。このチャンネルは、SPIインタフェースを介して適切な構成設定ワードをLTC2442に送ることにより選択されます。クロックの13番目の立下りエッジで、マルチプレクサを通してCH0入力は+INAに、CH1は+INBに接続されます。アンプの出力はデータI/Oステートの残りのあいだスルーし、クロックの32番目の立下りエッジで変換が開始されます。変換が半分まで進むと（約73ms後）、マルチプレクサがCH0入力を+INBに、CH1入力を+INAに切り替えます。デジタル・フィルタが2つの半変換を差し引いて、アンプとコンバータのオフセットを除去します。

変換が終了すると、マルチプレクサは次の変換が同じチャンネルでおこなわれると仮定して、変換されたばかりのチャンネルの反対の極性に再度切り替えます。このため、1つのチャンネルで連続して変換する場合、余分のセトリグ時間が生じます。別のチャンネルがプログラムされると、マルチプレクサは再度クロックの13番目の立下りエッジで切り替わります。

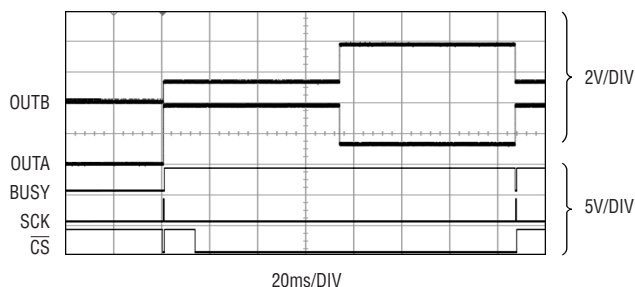


図21. CH0～CH1 (OSRは32768) の変換のあいだのアンプの出力とCS、SCK、BUSY。V_{INDIFF} = 2.5V、V_{CM} = 2.5V

アンプはフルスケール入力電圧にセトリグするのに約50μsかかります。これは、256～32768のOSR値では2倍速モードと1倍速モードのどちらでも精度に影響を与えません。ただし、アンプのセトリグ時間により、64～256のOSR値では、1倍速で利得誤差が生じます。これは、変換中間点のスルー時間が全変換時間の大きな部分を占めるからです。フルスケールの入力電圧が加えられた (V_{IN} = 2.5V、V_{CM} = 2.5V)、1倍速モード (OSRは128) の変換の詳細を図22に示します。前に選択されたチャンネルは両方の入力が接地されています。アンプはクロックの13番目の立下りエッジでスルーを開始し、変換が開始される前に正しい電圧に達します。変換が中間点まで進むと、マルチプレクサが入力を反転します。2倍速モードの動作を図23に示します。最初の半変換の終了後、マルチプレクサが反転します。次の半変換が開始されるまで50μs待機するので、アンプは完全にセトリグすることができます。半変換と半変換のあいだにアンプがセトリグする時間があるので、64～128のOSR値には2倍速を推奨します。1倍速のデータ・レートだけがが必要な場合、1つおきにサンプルを無視します。

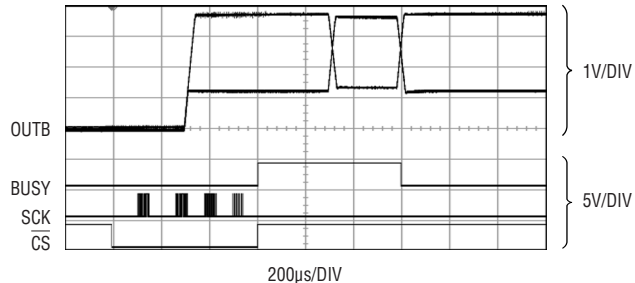


図22. 1倍速モードでOSRが128の変換の詳細 (OUTAとOUTBが重ね合わされている)

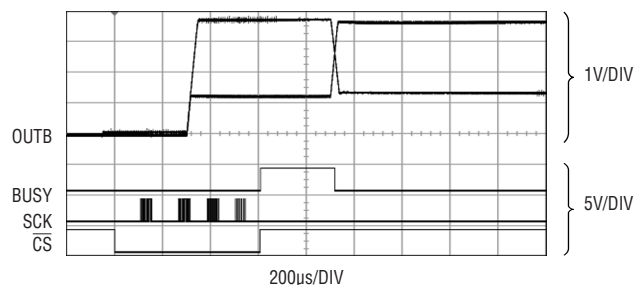


図23. 2倍速モードでOSRが128の変換の詳細 (OUTAとOUTBが重ね合わされている)

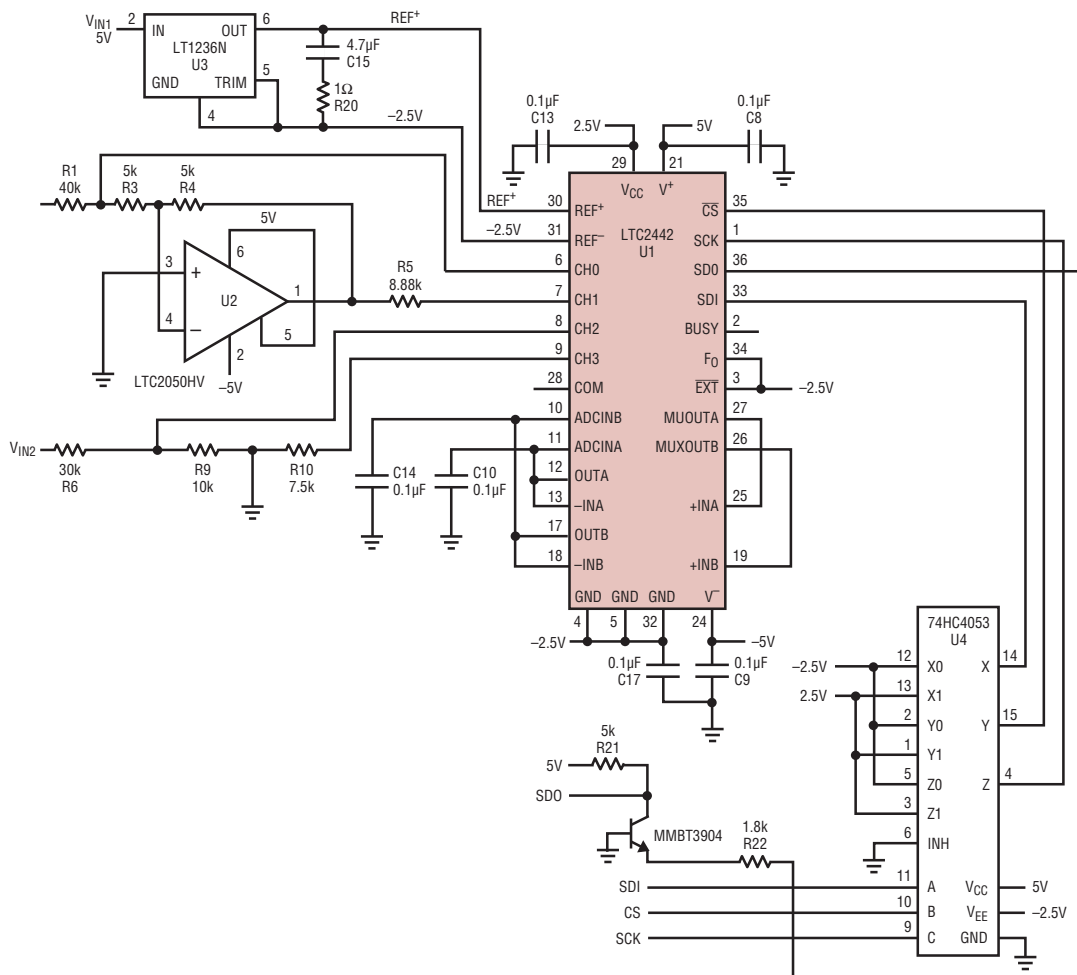
改訂履歴

REV	日付	概要	ページ番号
A	6/13	「標準的応用例」の回路のR20、C15、C13、C8、C14、C10、C17、C9のレジスタとコンデンサの単位を修正。	28、32

LTC2442

標準的応用例

±10Vの範囲用に入力をスケーリング



関連製品

製品番号	説明	注釈
LT1025	熱電対用マイクロパワー冷接点補償器	電源電流:80μA、初期精度:0.5°C
LTC1043	デュアル高精度計装用 スイッチト・キャパシタ・ビルディング・ブロック	精密なチャージ・バランスト・スイッチング、ローパワー
LTC2050	高精度チョップ安定オペアンプ	外付け部品不要、オフセット:3μV、ノイズ:1.5μV _{p-p}
LT1236A-5	高精度バンドギャップ・リファレンス、5V	精度:最大0.05%、ドリフト:5ppm/°C
LT1461	マイクロパワー・シリーズ・リファレンス、2.5V	精度:最大0.04%、最大ドリフト:3ppm/°C
LT1592	超高精度16ビットSoftSpan™ DAC	6つのプログラム可能な出力範囲
LTC1799	抵抗で設定可能なSOT-23発振器	抵抗1個で周波数を設定
LTC1983	100mAのチャージポンプ	5Vから安定化された-5Vへ変換
LTC2053	レール・トゥ・レール計装アンプ	オフセット:10μV、ドリフト:50nV/°C、0.01Hz~10Hzノイズ:2.5μV _{p-p}
LTC2440	1チャンネル、差動入力、高速/低ノイズ、 24ビット、No Latency ΔΣ ADC	ノイズ:2μV _{RMS} (880Hz)、ノイズ:200nV _{RMS} (6.9Hz)、INL:0.0005%、 出力レート:最大3.5kHz

2442fa