

速度/分解能を選択可能な 24ビット高速差動 $\Delta\Sigma$ ADC

特長

- 出力レート：最大3.5kHz
- 速度または分解能を選択可能
- 出力レート880Hzでのノイズ： $2\mu\text{V}_{\text{RMS}}$
- 同時50/60Hz除去、出力レート6.9Hz時ノイズ： $200\text{nV}_{\text{RMS}}$
- INL 0.0005%、ミッシング・コードなし
- オートスリープにより、6.9Hzで $20\mu\text{A}$ 動作が可能
- $5\mu\text{V}$ 以下のオフセット(-40 ~85、 $4.5\text{V} < V_{\text{CC}} < 5.5\text{V}$)
- $\text{GND} \sim V_{\text{CC}}$ の同相範囲をもつ差動入力と差動リファレンス
- 待ち時間なし、入力ステップ後でも各変換が正確
- 内部発振器 - 外付け部品が不要
- 16ピン細型SSOPパッケージの24ビットADC
- LTC2410とピン・コンパチブル

アプリケーション

- 高速マルチプレックス
- 秤
- 自動レンジ設定の6桁DVM
- 直接温度測定
- 高速データ収集

概要

LTC[®]2440は、INL 5ppm、オフセット $5\mu\text{V}$ の高速24ビットNo Latency $\Delta\Sigma^{\text{TM}}$ ADCです。独自のデルタシグマ・アーキテクチャを採用し、待ち時間はなく速度と分解能が可変です。シンプルなシリアル・インタフェースを介して10種類の速度と分解能の組み合わせ($6.9\text{Hz}/200\text{nV}_{\text{RMS}} \sim 3.5\text{kHz}/25\mu\text{V}_{\text{RMS}}$)をプログラム可能です。また、1本のピンを“H”または“L”に接続するだけで、高速($880\text{Hz}/2\mu\text{V}_{\text{RMS}}$)または超低ノイズ(6.9Hz 、 $200\text{nV}_{\text{RMS}}$ 、50/60Hz除去)の速度/分解能の組み合わせを簡単に選択することもできます。精度(オフセット、フルスケール、直線性、ドリフト)と消費電力は選択された速度と無関係です。待ち時間がないので、性能を損なうことなく変換と変換のあいだに速度/分解能を変更可能です。

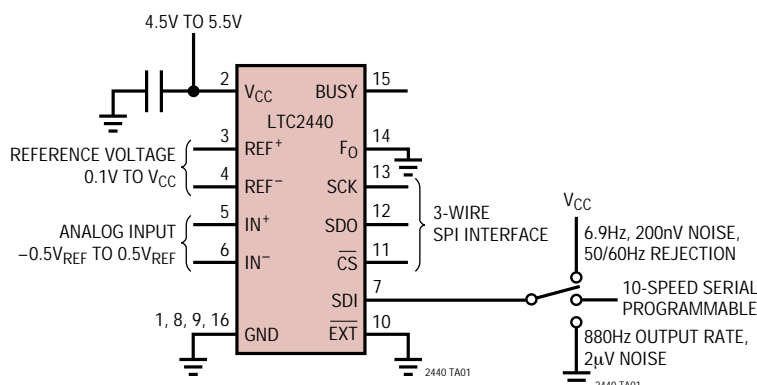
LTC2440は各変換サイクル後に自動的に低消費のスリープ・モードになります。このスリープ・モードの持続時間を延ばすことによって消費電力を低減することができます。たとえば、変換速度 3.5kHz で動作中に 100Hz のレートでデータを読み出す場合の平均消費電流は $240\mu\text{A}$ (1.1mW)ですが、 7Hz の出力レートでデータを読み出す場合の消費電流はわずか $25\mu\text{A}$ ($125\mu\text{W}$)です。

LTC2440は3線または4線の柔軟なデジタル・インタフェースを介して通信を行い、LTC2410と互換性があります。

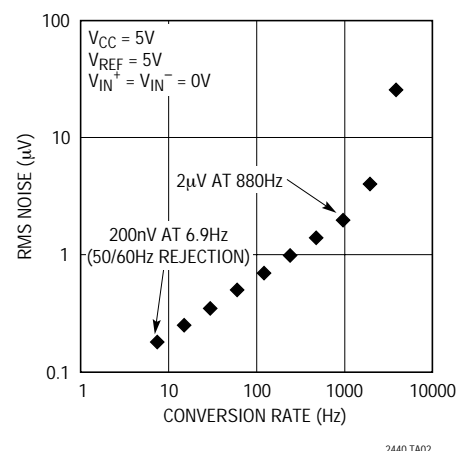
LT、LTC、LTはリアテクノロジー社の登録商標です。
No Latency $\Delta\Sigma$ はリアテクノロジー社の商標です。

標準的応用例

簡単な24ビット2速度データ収集システム



速度とRMSノイズ



LTC2440

絶対最大定格

(Note 1, 2)

電源電圧 (V_{CC}) から GND	- 0.3V ~ 7V
アナログ入力ピンの電圧から GND	- 0.3V ~ ($V_{CC} + 0.3V$)
リファレンス入力ピン電圧から	
GND	- 0.3V ~ ($V_{CC} + 0.3V$)
デジタル入力電圧から GND	- 0.3V ~ ($V_{CC} + 0.3V$)
デジタル出力電圧から GND	- 0.3V ~ ($V_{CC} + 0.3V$)
動作温度範囲	
LTC2440C	0 ~ 70
LTC2440I	- 40 ~ 85
保存温度範囲	- 65 ~ 150
リード温度 (半田付け、10秒)	300

パッケージ/発注情報

<p>GN PACKAGE 16-LEAD PLASTIC SSOP $T_{JMAX} = 125^{\circ}C$, $\theta_{JA} = 110^{\circ}C/W$</p>	ORDER PART NUMBER
	LTC2440CGN LTC2440IGN
	GN PART MARKING
	2440 2440I

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^{\circ}C$ での値。(Note 3, 4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)	$0.1V \leq V_{REF} \leq V_{CC}$, $-0.5 \cdot V_{REF} \leq V_{IN} \leq 0.5 \cdot V_{REF}$, (Note 5)	●	24		Bits
Integral Nonlinearity	$V_{CC} = 5V$, $REF^+ = 5V$, $REF^- = GND$, $V_{INCM} = 2.5V$, (Note 6) $REF^+ = 2.5V$, $REF^- = GND$, $V_{INCM} = 1.25V$, (Note 6)	●	5 3	15	ppm of V_{REF} ppm of V_{REF}
Offset Error	$2.5V \leq REF^+ \leq V_{CC}$, $REF^- = GND$, $GND \leq IN^+ = IN^- \leq V_{CC}$ (Note 12)	●	2.5	5	μV
Offset Error Drift	$2.5V \leq REF^+ \leq V_{CC}$, $REF^- = GND$, $GND \leq IN^+ = IN^- \leq V_{CC}$		20		nV/ $^{\circ}C$
Positive Full-Scale Error	$REF^+ = 5V$, $REF^- = GND$, $IN^+ = 3.75V$, $IN^- = 1.25V$ $REF^+ = 2.5V$, $REF^- = GND$, $IN^+ = 1.875V$, $IN^- = 0.625V$	● ●	10 10	30 50	ppm of V_{REF} ppm of V_{REF}
Positive Full-Scale Error Drift	$2.5V \leq REF^+ \leq V_{CC}$, $REF^- = GND$, $IN^+ = 0.75REF^+$, $IN^- = 0.25 \cdot REF^+$		0.2		ppm of $V_{REF}/^{\circ}C$
Negative Full-Scale Error	$REF^+ = 5V$, $REF^- = GND$, $IN^+ = 1.25V$, $IN^- = 3.75V$ $REF^+ = 2.5V$, $REF^- = GND$, $IN^+ = 0.625V$, $IN^- = 1.875V$	● ●	10 10	30 50	ppm of V_{REF} ppm of V_{REF}
Negative Full-Scale Error Drift	$2.5V \leq REF^+ \leq V_{CC}$, $REF^- = GND$, $IN^+ = 0.25 \cdot REF^+$, $IN^- = 0.75 \cdot REF^+$		0.2		ppm of $V_{REF}/^{\circ}C$
Total Unadjusted Error	$5V \leq V_{CC} \leq 5.5V$, $REF^+ = 2.5V$, $REF^- = GND$, $V_{INCM} = 1.25V$ $5V \leq V_{CC} \leq 5.5V$, $REF^+ = 5V$, $REF^- = GND$, $V_{INCM} = 2.5V$ $REF^+ = 2.5V$, $REF^- = GND$, $V_{INCM} = 1.25V$, (Note 6)		15 15 15		ppm of V_{REF} ppm of V_{REF} ppm of V_{REF}
Input Common Mode Rejection DC	$2.5V \leq REF^+ \leq V_{CC}$, $REF^- = GND$, $GND \leq IN^- = IN^+ \leq V_{CC}$		120		dB

アナログ入力とリファレンス

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
IN ⁺	Absolute/Common Mode IN ⁺ Voltage		●	GND – 0.3V		$V_{CC} + 0.3V$	V
IN ⁻	Absolute/Common Mode IN ⁻ Voltage		●	GND – 0.3V		$V_{CC} + 0.3V$	V
V _{IN}	Input Differential Voltage Range (IN ⁺ – IN ⁻)		●	$-V_{REF}/2$		$V_{REF}/2$	V
REF ⁺	Absolute/Common Mode REF ⁺ Voltage		●	0.1		V_{CC}	V
REF ⁻	Absolute/Common Mode REF ⁻ Voltage		●	GND		$V_{CC} - 0.1V$	V
V _{REF}	Reference Differential Voltage Range (REF ⁺ – REF ⁻)		●	0.1		V_{CC}	V
C _S (IN ⁺)	IN ⁺ Sampling Capacitance				5		pF
C _S (IN ⁻)	IN ⁻ Sampling Capacitance				5		pF
C _S (REF ⁺)	REF ⁺ Sampling Capacitance				5		pF
C _S (REF ⁻)	REF ⁻ Sampling Capacitance				5		pF
I _{DC_LEAK} (IN ⁺)	IN ⁺ DC Leakage Current	$\overline{CS} = V_{CC}, IN^+ = GND$	●	-100	10	100	nA
I _{DC_LEAK} (IN ⁻)	IN ⁻ DC Leakage Current	$\overline{CS} = V_{CC}, IN^- = GND$	●	-100	10	100	nA
I _{DC_LEAK} (REF ⁺)	REF ⁺ DC Leakage Current	$\overline{CS} = V_{CC}, REF^+ = 5V$	●	-100	10	100	nA
I _{DC_LEAK} (REF ⁻)	REF ⁻ DC Leakage Current	$\overline{CS} = V_{CC}, REF^- = GND$	●	-100	10	100	nA

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V _{IH}	High Level Input Voltage CS, F ₀	$4.5V \leq V_{CC} \leq 5.5V$	●	2.5			V
V _{IL}	Low Level Input Voltage CS, F ₀	$4.5V \leq V_{CC} \leq 5.5V$	●			0.8	V
V _{IH}	High Level Input Voltage SCK	$4.5V \leq V_{CC} \leq 5.5V$ (Note 8)	●	2.5			V
V _{IL}	Low Level Input Voltage SCK	$4.5V \leq V_{CC} \leq 5.5V$ (Note 8)	●			0.8	V
I _{IN}	Digital Input Current CS, F ₀	$0V \leq V_{IN} \leq V_{CC}$	●	-10		10	μA
I _{IN}	Digital Input Current SCK	$0V \leq V_{IN} \leq V_{CC}$ (Note 8)	●	-10		10	μA
C _{IN}	Digital Input Capacitance CS, F ₀				10		pF
C _{IN}	Digital Input Capacitance SCK	(Note 8)			10		pF
V _{OH}	High Level Output Voltage SDO, BUSY	$I_O = -800\mu A$	●	$V_{CC} - 0.5V$			V
V _{OL}	Low Level Output Voltage SDO, BUSY	$I_O = 1.6mA$	●			0.4V	V
V _{OH}	High Level Output Voltage SCK	$I_O = -800\mu A$ (Note 9)	●	$V_{CC} - 0.5V$			V
V _{OL}	Low Level Output Voltage SCK	$I_O = 1.6mA$ (Note 9)	●			0.4V	V
I _{OZ}	Hi-Z Output Leakage SDO		●	-10		10	μA

LTC2440

電源条件

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CC}	Supply Voltage		4.5		5.5	V
I_{CC}	Supply Current					
	Conversion Mode	$\overline{CS} = 0V$ (Note 7)		8	11	mA
	Sleep Mode	$\overline{CS} = V_{CC}$ (Note 7)		8	30	μA

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f_{EOSC}	External Oscillator Frequency Range		0.1		20	MHz
t_{HEO}	External Oscillator High Period		25		10000	ns
t_{LEO}	External Oscillator Low Period		25		10000	ns
t_{CONV}	Conversion Time	OSR = 256 (SDI = 0) OSR = 32768 (SDI = 1) External Oscillator (Note 10)	0.99 126	1.13 145	1.33 170	ms ms ms
f_{ISCK}	Internal SCK Frequency	Internal Oscillator (Note 9) External Oscillator (Notes 9, 10)	0.8	0.9 $f_{EOSC}/10$	1	MHz Hz
D_{ISCK}	Internal SCK Duty Cycle	(Note 9)	45		55	%
f_{ESCK}	External SCK Frequency Range	(Note 8)			20	MHz
t_{LESCK}	External SCK Low Period	(Note 8)	25			ns
t_{HESCK}	External SCK High Period	(Note 8)	25			ns
t_{DOUT_ISCK}	Internal SCK 32-Bit Data Output Time	Internal Oscillator (Notes 9, 11) External Oscillator (Notes 9, 10)	41.6	35.3 $320/f_{EOSC}$	30.9	μs s
t_{DOUT_ESCK}	External SCK 32-Bit Data Output Time	(Note 8)		$32/f_{ESCK}$		s
t_1	$\overline{CS} \downarrow$ to SDO Low Z		0		200	ns
t_2	$\overline{CS} \uparrow$ to SDO High Z		0		200	ns
t_3	$\overline{CS} \downarrow$ to SCK \downarrow	(Note 9)		5		μs
t_4	$\overline{CS} \downarrow$ to SCK \uparrow	(Note 8)		5		μs
t_{KQMAX}	SCK \downarrow to SDO Valid				200	ns
t_{KQMIN}	SDO Hold After SCK \downarrow	(Note 5)	15			ns
t_5	SCK Set-Up Before $\overline{CS} \downarrow$		50			ns
t_6	SCK Hold After $\overline{CS} \downarrow$				50	ns
t_7	SDI Setup Before SCK \uparrow		10	Note 5		ns
t_8	SDI Hold After SCK \uparrow		10	Note 5		ns

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。

Note 2: すべての電圧値はグラウンドを基準にしている。

Note 3: 注記がない限り、 $V_{CC} = 4.5 \sim 5.5V$ 。
 $V_{REF} = REF^+ - REF^-$ 、 $V_{REFCM} = (REF^+ + REF^-)/2$;
 $V_{IN} = IN^+ - IN^-$ 、 $V_{INCM} = (IN^+ + IN^-)/2$ 。

Note 4: 注記がない限り、 F_O ピンはGNDまたは $f_{EOSC} = 10MHz$ の外部変換クロック・ソースに接続する。

Note 5: 設計によって保証されているが、テストされない。

Note 6: 積分非直線性は、実際の伝達曲線のエンドポイントを通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: コンバータは内部発振器を使用する。

Note 8: コンバータは外部SCKモードの動作をしているので、SCKピンはデジタル入力として使用されている。データの出力時にSCKをドライブするクロック信号の周波数は f_{ESCK} であり、Hzで表される。

Note 9: コンバータは内部SCKモードの動作をしているので、SCKピンはデジタル出力として使用されている。この動作モードでは、SCKピンの全等価負荷容量は $C_{LOAD} = 20pF$ である。

Note 10: 外部発振器は F_O ピンに接続されている。外部発振器周波数 f_{EOSC} はHzで表されている。

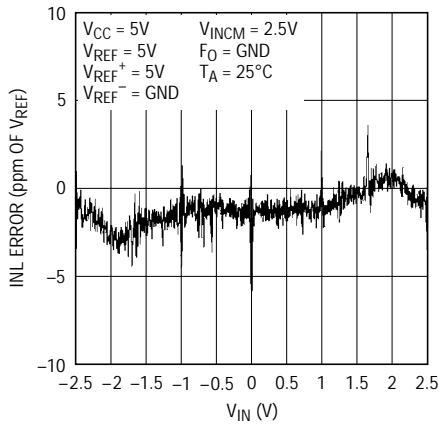
Note 11: コンバータは内部発振器を使用する。 $F_O = 0V$ 。

Note 12: 設計およびテストの相関により保証されている。

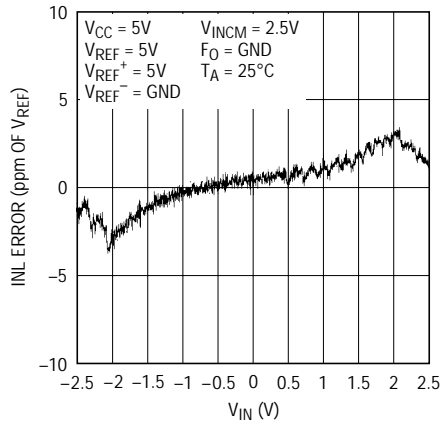
2440i

標準的性能特性

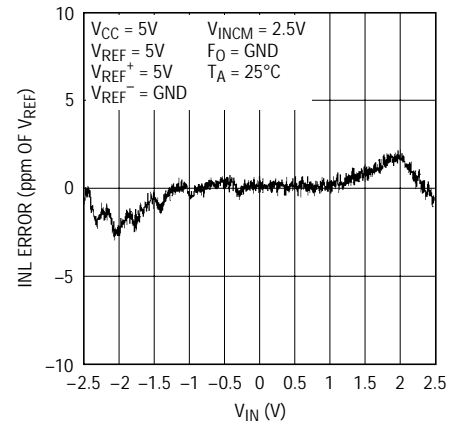
積分非直線性 $f_{OUT} = 3.5\text{kHz}$



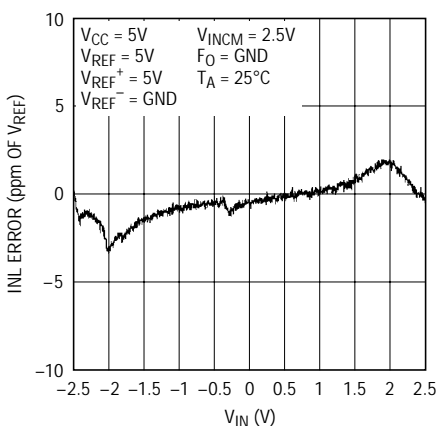
積分非直線性 $f_{OUT} = 1.76\text{kHz}$



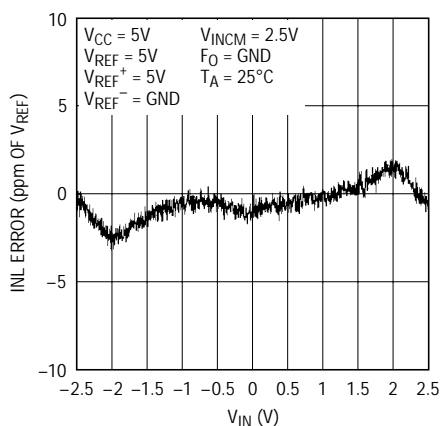
積分非直線性 $f_{OUT} = 880\text{Hz}$



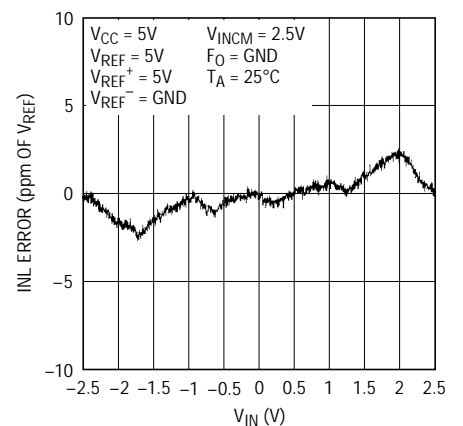
積分非直線性 $f_{OUT} = 440\text{Hz}$



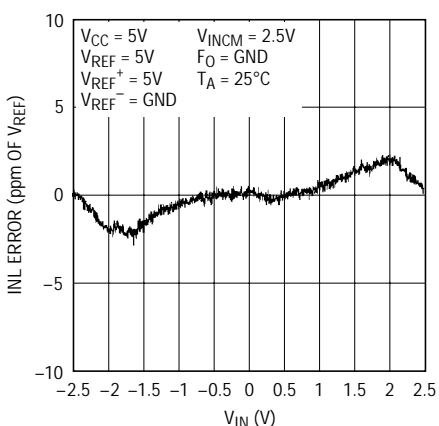
積分非直線性 $f_{OUT} = 220\text{Hz}$



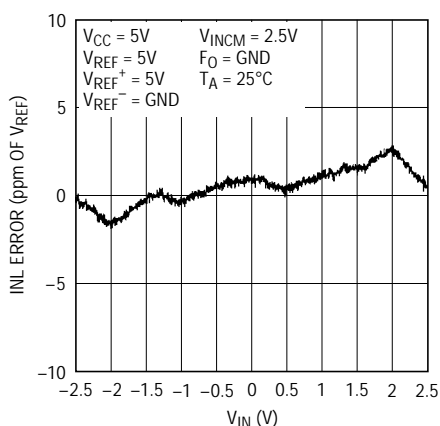
積分非直線性 $f_{OUT} = 110\text{Hz}$



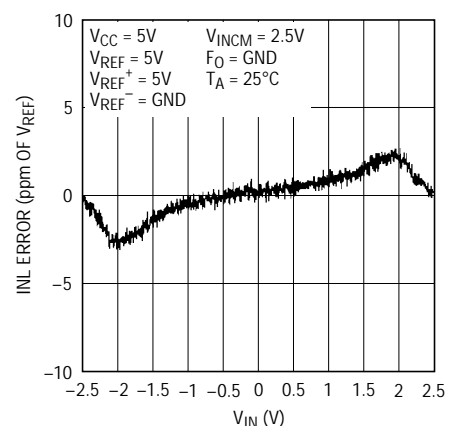
積分非直線性 $f_{OUT} = 55\text{Hz}$



積分非直線性 $f_{OUT} = 27.5\text{Hz}$

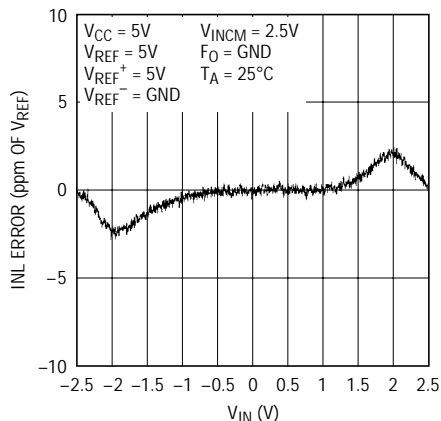


積分非直線性 $f_{OUT} = 13.75\text{Hz}$



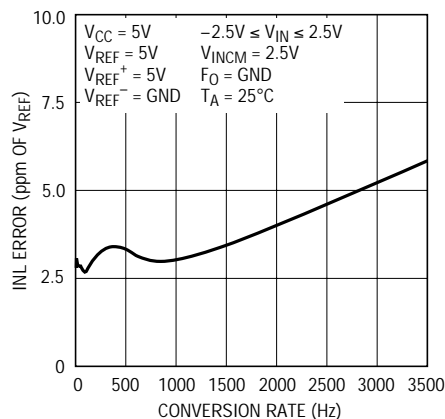
標準的性能特性

積分非直線性 $f_{OUT} = 6.875\text{Hz}$



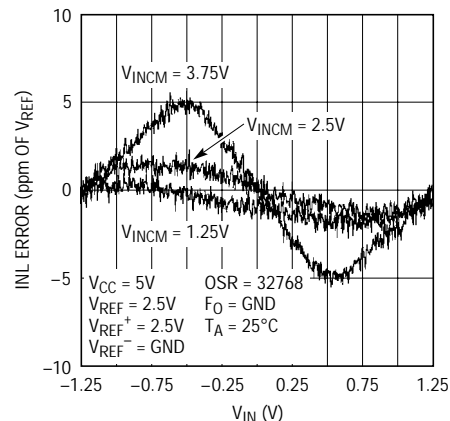
2440 G10

積分非直線性と変換速度



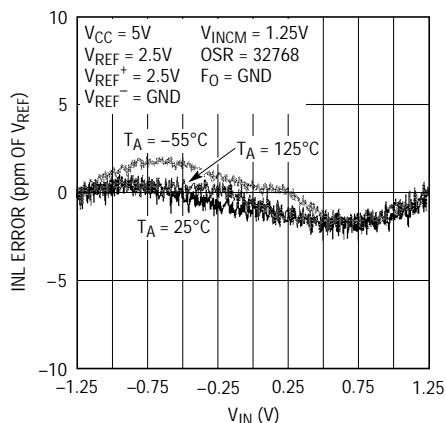
2440 G11

積分非直線性と V_{INCM}



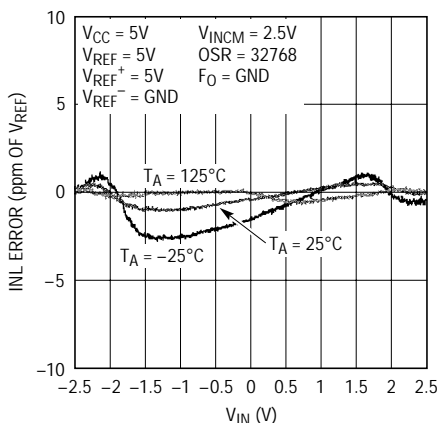
2440 G12

積分非直線性と温度



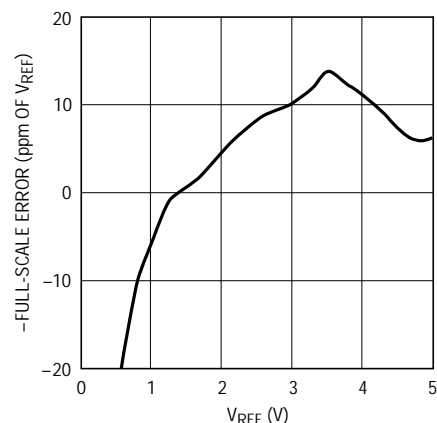
2440 G13

積分非直線性と温度



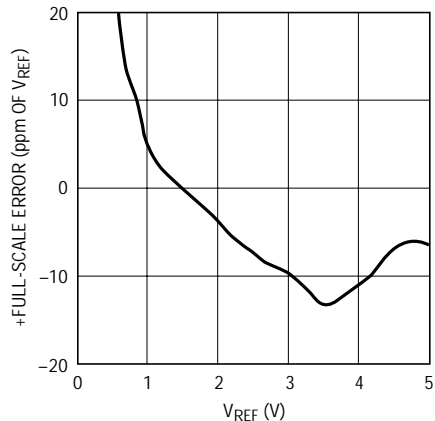
2440 G14

- フルスケール誤差と V_{REF}



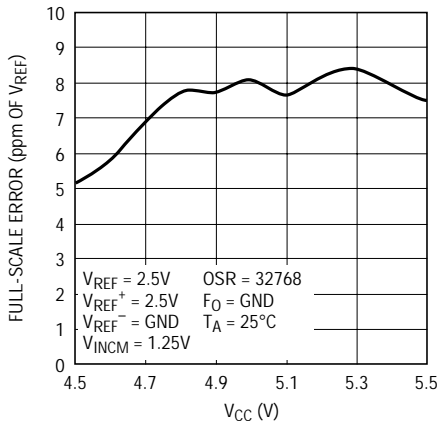
2440 G15

+ フルスケール誤差と V_{REF}



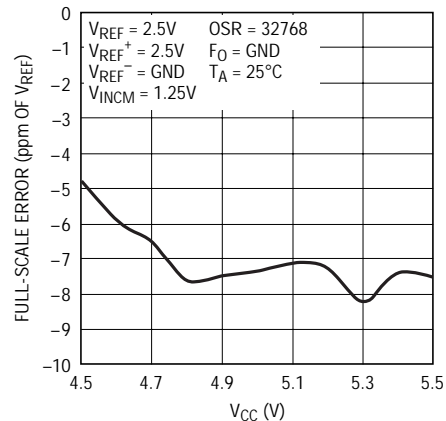
2440 G16

- フルスケール誤差と V_{CC}



2440 G17

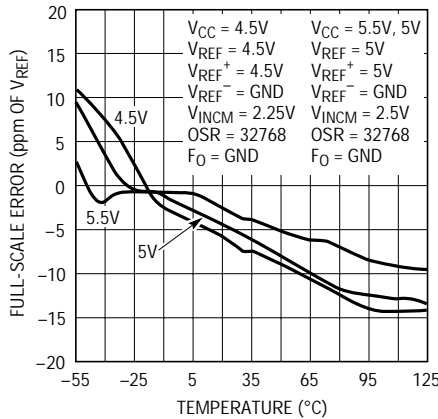
+ フルスケール誤差と V_{CC}



2440 G18

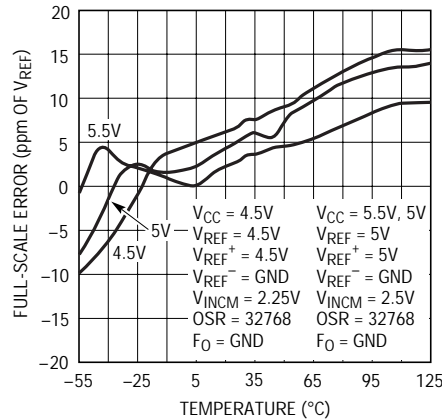
標準的性能特性

- フルスケール誤差と温度



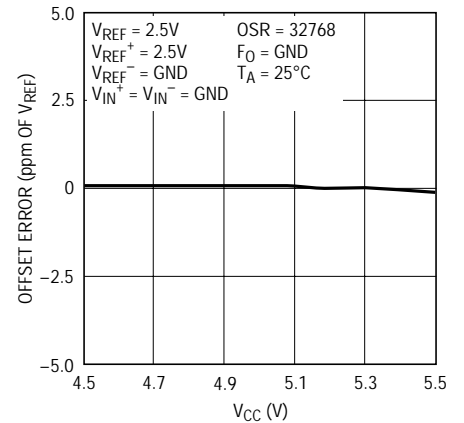
2440 G19

+ フルスケール誤差と温度



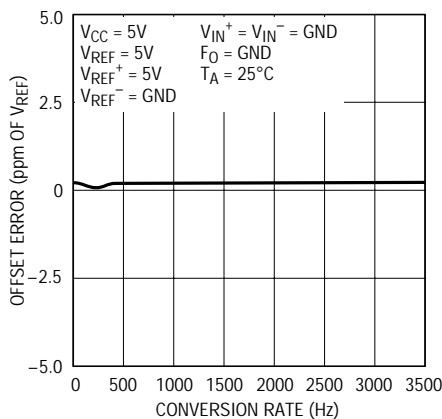
2440 G20

オフセット誤差とVCC



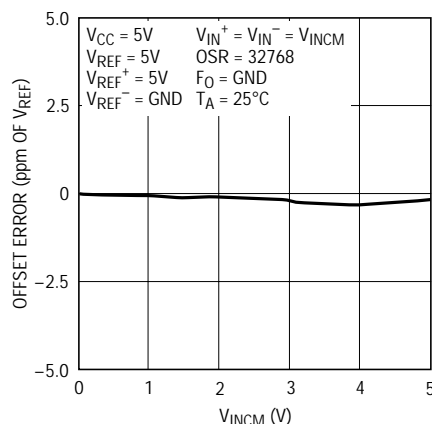
2440 G21

オフセット誤差と変換速度



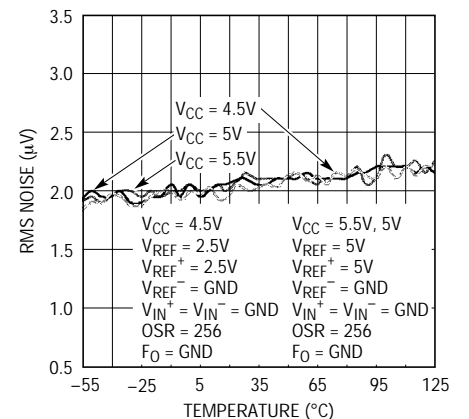
2440 G22

オフセット誤差とVINCM



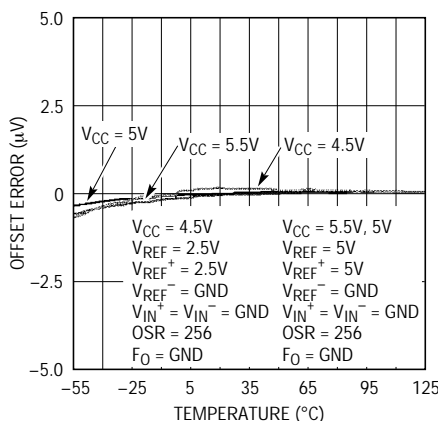
2440 G23

RMS ノイズと温度



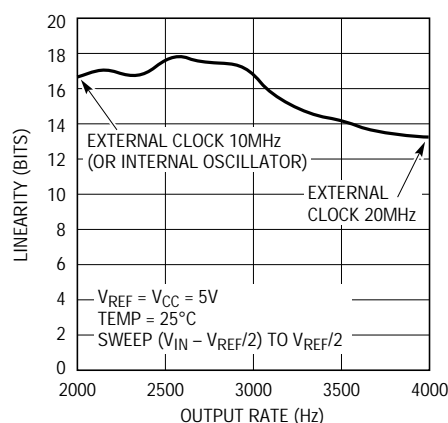
2440 G24

オフセット誤差と温度



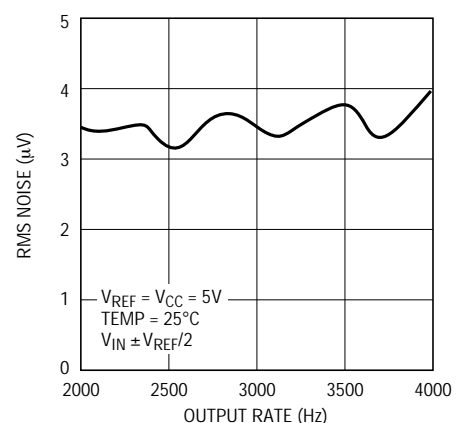
2440 G25

INLと出力レート
(OSR = 128) 外部クロック・スイープ
10MHz ~ 20MHz



2440 G26

RMS ノイズと出力レート
(OSR = 128) 外部クロック・スイープ
10MHz ~ 20MHz



2440 G27

ピン機能

GND (ピン1、8、9、16) : グランド。グランド電流の流れを最適にし、 V_{CC} をデカップリングするために内部で結合されている複数のグランド・ピン。これらのピンのそれぞれを1つのグランド・プレーンに低インピーダンスで接続します。適正な動作のためには4つのピンすべてをグランドに接続する必要があります。

V_{CC} (ピン2) : 正電源電圧。10 μ Fのタンタル・コンデンサと0.1 μ Fのセラミック・コンデンサを並列に使用して、デバイスのできるだけ近くでGND (ピン1)にバイパスします。

REF⁺ (ピン3)、REF⁻ (ピン4) : 差動リファレンス入力。これらのピンの電圧は、リファレンスの正入力REF⁺がリファレンスの負入力REF⁻より少なくとも0.1Vだけ高く保たれる限り、GND ~ V_{CC} の範囲の任意の電圧にすることができます。

IN⁺ (ピン5)、IN⁻ (ピン6) : 差動アナログ入力。これらのピンの電圧はGND - 0.3V ~ V_{CC} + 0.3Vの範囲の任意の値にすることができます。これらのリミット内では、コンバータのバイポーラ入力範囲($V_{IN} = IN^+ - IN^-$)は - 0.5 \cdot (V_{REF}) ~ 0.5 \cdot (V_{REF})となります。この入力範囲の外側では、コンバータは固有のオーバーレンジとアンダーレンジの出力コードを発生します。

SDI (ピン7) : シリアル・データ入力。このピンはコンバータの速度/分解能を選択するのに使います。SDIを接地すると(LTC2410とピン・コンパチブル)、デバイスは880Hzでデータを出し、実効分解能は21ビットです。SDIを“H”に接続すると、コンバータは超低ノイズ・モード(200nV_{RMS})になり、6.9Hzの出力レートで同時50/60Hz除去を実現します。速度/分解能を変更するため、変換中であるかスリープ状態であるかに関係なく、いつでもSDIをロジック“H”または“L”にドライブすることができます。データ出力サイクルの直後の変換は有効で、新に選択された出力レート/分解能で実行されます。データ出力サイクル中にSCKによって制御されるシリアル入力のデータ・ストリームによってSDIをプログラムすることもできます。10種類の速度/分解能の範囲(6.9Hz/200nV_{RMS} ~ 3.5kHz/21 μ V_{RMS})の1つを選択することができます。新しく選択した後に続く最初の変換は有効で、新に選択された出力レート/分解能で実行されます。

EXT (ピン10) : 内部/外部SCK選択ピン。このピンはデータを出しするための内部または外部のSCKを選択するのに使います。EXTを“L”に接続すると(LTC2410とピン・コンパチブル)、デバイスは外部SCKモードになり、データはユーザーが与えるシリアル・クロックの制御のもとにデバイスから順に送り出されます。EXTを“H”に接続

すると、内部シリアル・クロック・モードが選択されます。デバイスは独自のSCK信号を発生し、これをSCKピンに出力します。フレーム信号BUSY(ピン15)が“L”になり、データが出力中であることを示します。

\overline{CS} (ピン11) : アクティブ“L”のデジタル入力。このピンを“L”にするとSDOデジタル出力が有効になり、ADCが覚醒します。各変換に続いて、ADCは自動的にスリープ・モードに入り、 \overline{CS} が“H”に留まる限りこの省電力状態に保たれます。データ出力の転送中に \overline{CS} が“L”から“H”に遷移すると、データ転送が中止され、新しい変換が開始されます。

SDO (ピン12) : スリー・ステートのデジタル出力。データ出力の期間中、このピンはシリアル・データの出力として使われます。チップセレクト \overline{CS} が“H”のとき($\overline{CS} = V_{CC}$) SDOピンはハイ・インピーダンスの状態になります。変換中およびスリープ中、このピンは変換の状態出力として使われます。変換状態は \overline{CS} を“L”に引き下げると観察することができます。

SCK (ピン13) : 双方向デジタル・クロック・ピン。内部シリアル・クロック動作モードでは、SCKはデータ出力期間中は内部シリアル・インタフェース・クロックのデジタル出力として使われます。外部シリアル・クロック動作モードでは、SCKはデータ出力期間中は外部シリアル・インタフェース・クロックのデジタル入力として使われます。シリアル・クロック動作モードはEXTピンに与えられるロジック・レベルによって決まります。

F_O (ピン14) : 周波数制御ピン。内部変換クロックを制御するデジタル入力。 F_O が V_{CC} またはGNDに接続されているとき、コンバータは9MHzで動作している内部発振器を使います。変換速度は、 $t_{CONV} = 0.04 \cdot OSR/9000$ ($OSR = 256$ で $t_{CONV} = 1.137ms$ 、 $OSR = 32768$ で $t_{CONV} = 146ms$)のように、選択されたOSRによって決まります。最初のヌルは $8/t_{CONV}$ に位置します。つまり、 $OSR = 256$ では7kHzに、 $OSR = 32768$ では55Hz (同時に50Hz/60Hz)に位置します。

F_O が周波数 f_{EOSC} の発振器でドライブされるとき、変換時間は $t_{CONV} = 40000 \cdot OSR/f_{EOSC}$ (単位はms)になり、最初のヌルは $8 \cdot t_{CONV}$ に留まります。

BUSY (ピン15) : 変換中であることを示すインジケータ。LTC2410との互換性を維持するため、このピンはグランドに接続しないでください。変換中はこのピンは“H”になり、変換が終了してデータの用意ができると“L”になります。スリープ時およびデータの出力時には“L”のまま留まります。データの出力が終了すると“H”になって、新に変換が開始されたことを示します。

機能ブロック図

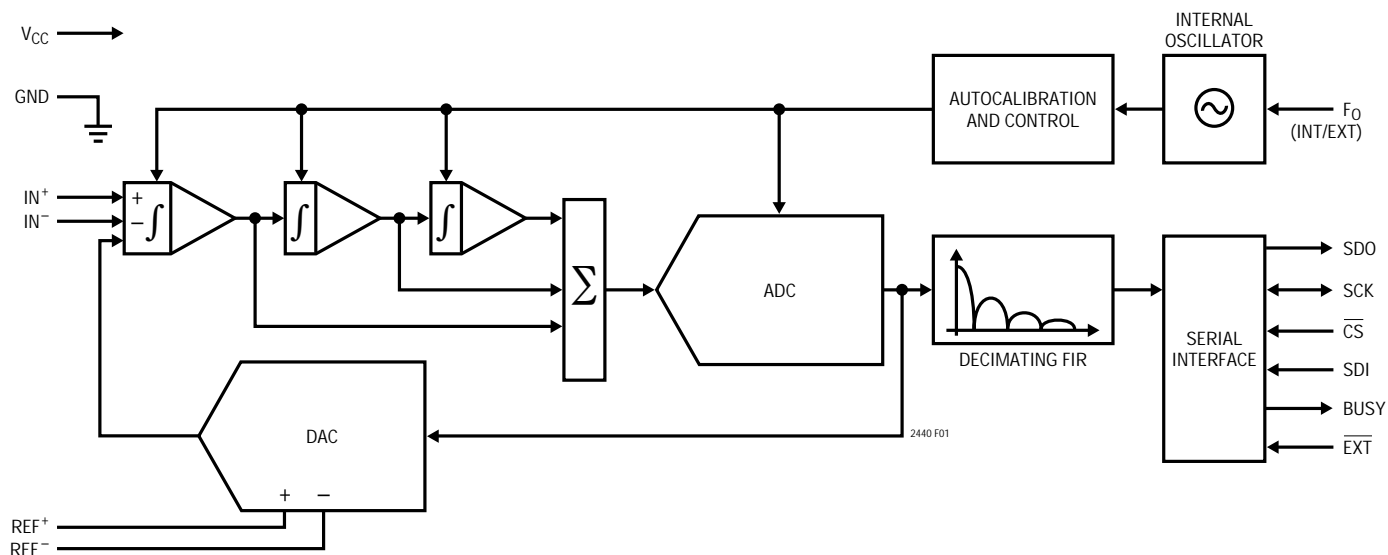


図1．機能を示すブロック図

テスト回路



アプリケーション情報

コンバータの動作

コンバータの動作サイクル

LTC2440は高速デルタシグマADコンバータです。使いやすい3線式シリアル・インタフェースを備えています(図1を参照)。動作は3つの状態で構成されています。コンバータの動作サイクルは変換から始まり、省電力のスリープ状態がそれに続き、データの出力で終了します(図2を参照)。3線式のインタフェースはシリアル・データ出力(SDO)、シリアル・クロック(SCK)およびチップ・セレクト(\overline{CS})で構成されています。インタフェース、タイミング、動作サイクル、およびデータの出力フォーマットはLTC2410と互換性があります。

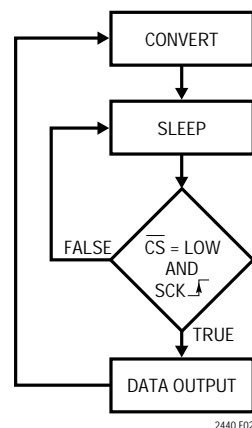


図2．LTC2440の状態遷移図

アプリケーション情報

LTC2440は最初に変換をおこないます。変換が完了するとデバイスはスリープ状態に入ります。このスリープ状態のあいだ電力消費は10 μ A以下に減少します。 \overline{CS} が“H”に保たれている限り、デバイスはスリープ状態に留まります。コンバータがスリープ状態のあいだ、変換結果は無期限にスタティック・シフトレジスタ内に保存されます。

\overline{CS} が“L”に引き下げられるとデバイスは変換結果を出力し始めます。変換結果には待ち時間がありません。データの出力は直前に終了した変換に対応しています。この結果はシリアル・クロック(SCK)によって制御されてシリアル・データ出力ピン(SDO)から順に出力されます。データはSCKの立下りエッジによって更新されるので、ユーザーはSCK(図3を参照)の立上がりエッジを使って確実にデータをラッチすることができます。データ出力状態はADCから32ビットが読み出されるか、 \overline{CS} が“H”になると終了します。デバイスは自動的に新しい変換を開始し、このサイクルが繰り返されます。

\overline{CS} 、SCKおよび \overline{EXT} の各ピンのタイミング制御によって、LTC2440はいくつかの動作モード(内部または外部のSCK)を柔軟に提供します。これらの多様なモードはプログラミング用構成レジスタを必要としません。さらに、上記のサイクル動作を乱すことはありません。これらの動作モードについては「シリアル・インタフェースのタイミング・モード」のセクションで詳しく説明されています。

使いやすさ

LTC2440のデータ出力には、待ち時間、フィルタのセトリング遅延、または変換サイクルに関連した冗長データがありません。変換と出力データのあいだには1対1対応の関係があります。したがって、複数のアナログ電圧の多重化は簡単です。速度/分解能の調節は2つの変換のあいだにセトリング誤差なしにシームレスにおこなうことができます。

LTC2440は変換サイクルごとにオフセットとフルスケールの較正をおこないます。この較正はユーザーからは見えず、上記のサイクル動作には影響を与えません。連続較正の利点は、時間経過、電源電圧の変化、および温度ドリフトに対してオフセットとフルスケールの測定値がきわめて安定していることです。

電源立上げシーケンス

LTC2440は電源電圧 V_{CC} が約2.2Vより下になると自動的に内部リセット状態になります。この機能により、変換結果とシリアル・インタフェース・モードの選択の完全性が保証されます。

V_{CC} 電圧がこの臨界スレッシュホールド以上に上昇すると、コンバータは約0.5msの長さの内部パワーオン・リセット(POR)信号を発生します。POR信号により、すべての内部レジスタがクリアされます。POR信号に続き、LTC2440は通常の変換サイクルを開始し、上述の状態が継起します。PORに続く最初の変換結果は、PORの期間が終了するまでに電源電圧が動作範囲(4.5V ~ 5.5V)内に回復していれば、データシートの仕様を満たす精度を持ちます。

リファレンス電圧範囲

このコンバータは真に差動の外部リファレンス電圧を受け取ります。REF⁺ピンとREF⁻ピンの絶対/同相電圧の仕様はGND ~ V_{CC} の全範囲を含みます。コンバータが正しく動作するには、REF⁺ピンはREF⁻ピンよりも常に高い電位でなければなりません。

LTC2440は0.1V ~ V_{CC} の差動リファレンス電圧を受け取ることができます。コンバータの出力ノイズはフロント・エンド回路の熱ノイズによって決まるので、マイクロボルトで表したその値はリファレンス電圧に対してほぼ一定です。リファレンス電圧を下げて、コンバータの実効分解能は大きくは改善されません。他方、リファレンス電圧を下げると、コンバータの全体のINL性能が改善されます。

入力電圧範囲

アナログ入力には真に差動で、IN⁺とIN⁻の入力ピンの絶対/同相範囲はGND - 0.3Vから $V_{CC} + 0.3V$ までです。これらのリミットの外側では、ESD保護用デバイスがターンオンし始め、入力の漏れ電流による誤差が急速に増加します。これらのリミット内では、LTC2440はバイポーラ差動入力信号($V_{IN} = IN^+ - IN^-$)を $-FS = -0.5 \cdot V_{REF}$ から $+FS = 0.5 \cdot V_{REF}$ に変換します。ここで、 $V_{REF} = REF^+ - REF^-$ です。

アプリケーション情報

この範囲の外側では、コンバータは固有の出力コードを使ってオーバーレンジまたはアンダーレンジの状態を表示します。

出力データのフォーマット

LTC2440のシリアル出力のデータ・ストリームは32ビット長です。最初の3ビットは状態情報を表し、符号と変換状態を示します。次の24ビットは変換結果で、MSBが最初にきます。残りの5ビットは24ビットを越すサブLSBで、平均に含めるか、または分解能を失うことなしに破棄することができます。超高分解能の場合、24有効ビットを越す性能が可能です(表3参照)。これらの条件では、サブLSBは変換結果に含まれ、24ビット・レベルを越す有効情報を表します。3番目と4番目のビットは一緒になってアンダーレンジ状態(差動入力電圧が - FSより下)またはオーバーレンジ状態(差動入力電圧が + FSより上)を示すのにも使われます。

ビット31(最初の出力ビット)は変換終了(EOC)のインジケータです。このビットは変換中およびスリープ状態にCSピンが“L”のときSDOピンから読み出せます。このビットは変換中は“H”で、変換が完了すると“L”になります。

ビット30(2番目の出力ビット)はダミー・ビット(DMY)で、常に“L”です。

ビット29(3番目の出力ビット)は変換結果の符合のインジケータ(SIG)です。 $V_{IN} > 0$ であると、このビットは“H”になります。 $V_{IN} < 0$ であると、このビットは“L”になります。

ビット28(4番目の出力ビット)は結果の最上位ビット(MSB)です。このビットはビット29と組み合わせられてアン

ダーレンジまたはオーバーレンジも表示します。ビット29とビット28が両方とも“H”の場合、差動入力電圧が + FSを超えています。ビット29とビット28が両方とも“L”の場合、差動入力電圧が - FSよりも下がっています。

これらのビットの機能が表1にまとめられています。

表1. LTC2440の状態ビット

Input Range	Bit 31 EOC	Bit 30 DMY	Bit 29 SIG	Bit 28 MSB
$V_{IN} \geq 0.5 \cdot V_{REF}$	0	0	1	1
$0V \leq V_{IN} < 0.5 \cdot V_{REF}$	0	0	1	0
$-0.5 \cdot V_{REF} \leq V_{IN} < 0V$	0	0	0	1
$V_{IN} < -0.5 \cdot V_{REF}$	0	0	0	0

ビット28からビット5までは24ビットの変換結果で、MSBが先にきます。

ビット5は最下位ビット(LSB)です。

ビット4からビット0までは24ビット・レベルより下のサブLSBです。ビット4からビット0までは平均計算に含めるか、または分解能を損なうことなしに破棄することができます。

データはシリアル・クロック(SCK)によって制御されるSDOピンから順に出力されます(図3を参照)。CSが“H”のときはSDOはハイ・インピーダンスになります。

変換結果をデバイスからシフトして出力するには、最初にCSを“L”にドライブする必要があります。CSが“L”に引き下げられると、デバイスのSDOピンにEOCが現われます。EOCは変換完了時にリアルタイムで“H”から“L”に変化します。この信号は外部マイクロコントローラの割り込み信号として使うことができます。

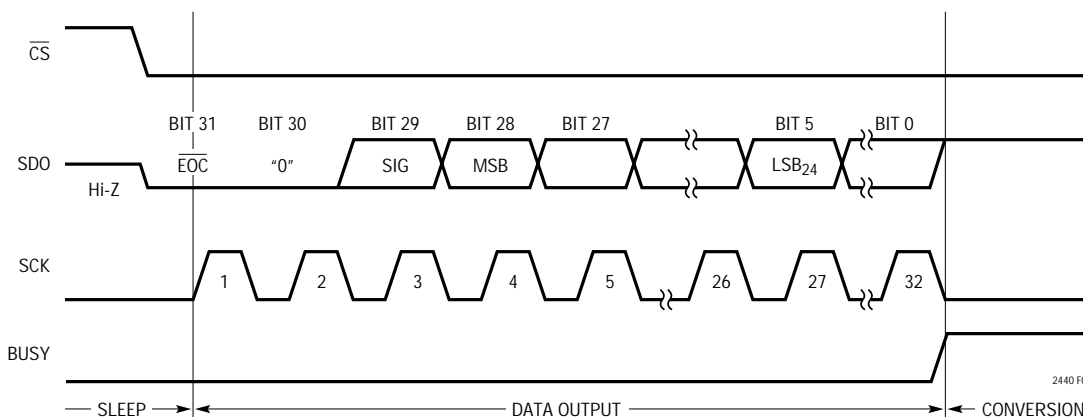


図3. 出力データのタイミング

アプリケーション情報

ビット31(\overline{EOC})はSCKの最初の立上りエッジで捕捉することができます。ビット30はSCKの最初の立下りエッジでシフトしてデバイスから出力することができます。最後のデータ・ビット(ビット0)は31番目のSCKの立下りエッジでシフトされて出力され、32番目のSCKパルスの立上がりエッジでラッチすることができます。32番目のSCKパルスの立下りエッジで、SDOは“H”になり、新しい変換サイクルの開始を示します。このビットは次の変換サイクルの \overline{EOC} (ビット31)として機能します。出力データのフォーマットが表2にまとめてあります。

IN^+ ピンと IN^- ピンの電圧が $-0.3V \sim (V_{CC} + 0.3V)$ の絶対最大動作範囲に留まる限り、 $-FS = -0.5 \cdot V_{REF}$ から $+FS = 0.5 \cdot V_{REF}$ までの任意の差動入力電圧 V_{IN} に対して変換結果が生成されます。 $+FS$ を超える差動入力電圧の場合、変換結果は $+FS + 1LSB$ に対応する値にクランプされます。 $-FS$ より低い差動入力電圧の場合、変換結果は $-FS - 1LSB$ に対応する値にクランプされます。

シリアル・インタフェース・ピン

LTC2440は、2線、3線、または4線の同期式インタフェースを介して変換結果を伝送し、変換開始コマンドを受け取ります。変換中やスリープ状態では、このインタフェースを使ってコンバータの状態にアクセスすることができます。データの出力状態では、このインタフェースは変換結果を読み出した、速度/分解能をプログラムするのに使います。

シリアル・クロックの入力/出力(SCK)

SCK(ピン13)のシリアル・クロック信号はデータ転送の同期に使われます。データの各ビットはシリアル・クロックの立下りエッジでシフトされてSDOピンから出力されます。

内部SCKモードの動作では、SCKピンは出力となり、LTC2440は独自のシリアル・クロックを発生します。外部SCKモードの動作では、SCKピンは入力として使われます。外部SCKを選択するには \overline{EXT} (ピン10)を“L”に接続し、内部SCKを選択するには“H”に接続します。

シリアル・データ出力(SDO)

シリアル・データ出力ピンSDO(ピン12)は、データ出力状態の間に最後の変換の結果をシリアル・ビット・ストリームとして(MSBを最初に)出力します。さらに、SDOピンは変換状態およびスリープ状態の間、変換終了インジケータとして使われます。

\overline{CS} (ピン11)が“H”のとき、SDOドライバはハイ・インピーダンス状態に切り替わります。これにより、シリアル・インタフェースを他のデバイスと共有することができます。変換状態またはスリープ状態のとき \overline{CS} が“L”なら、SDOは \overline{EOC} を出力します。変換時に \overline{CS} が“L”だと、 \overline{EOC} ビットがSDOピンに“H”として現われます。変換が完了すると、 \overline{EOC} は“L”になります。 $\overline{CS} = “L”$ の間、SCKの最初の立上がりエッジが生じるまでデバイスはスリープ状態に留まります。

表2. LTC2440の出力データのフォーマット

Differential Input Voltage V_{IN}^*	Bit 31 EOC	Bit 30 DMY	Bit 29 SIG	Bit 28 MSB	Bit 27	Bit 26	Bit 25	...	Bit 0
$V_{IN}^* \geq 0.5 \cdot V_{REF}^{**}$	0	0	1	1	0	0	0	...	0
$0.5 \cdot V_{REF}^{**} - 1LSB$	0	0	1	0	1	1	1	...	1
$0.25 \cdot V_{REF}^{**}$	0	0	1	0	1	0	0	...	0
$0.25 \cdot V_{REF}^{**} - 1LSB$	0	0	1	0	0	1	1	...	1
0	0	0	1	0	0	0	0	...	0
-1LSB	0	0	0	1	1	1	1	...	1
$-0.25 \cdot V_{REF}^{**}$	0	0	0	1	1	0	0	...	0
$-0.25 \cdot V_{REF}^{**} - 1LSB$	0	0	0	1	0	1	1	...	1
$-0.5 \cdot V_{REF}^{**}$	0	0	0	1	0	0	0	...	0
$V_{IN}^* < -0.5 \cdot V_{REF}^{**}$	0	0	0	0	1	1	1	...	1

*差動入力電圧 $V_{IN} = IN^+ - IN^-$ **差動リファレンス電圧 $V_{REF} = REF^+ - REF^-$

アプリケーション情報

チップ・セレクト入力(\overline{CS})

アクティブ“L”のチップ・セレクト \overline{CS} (ピン11)は、変換状態をテストし、前の方のセクションで説明されているようにデータ出力転送を有効にするために使われます。

さらに、 \overline{CS} 信号を使って、シリアル・データ転送が完了する前に、新しい変換サイクルをトリガすることができます。LTC2440は、コンバータがデータ出力状態に入った後(つまり、 \overline{CS} ="L"でSCKの5番目の立下りエッジが生じた後) \overline{CS} ピンの“L”から“H”への遷移が検出されると、進行中のシリアル・データ転送を中止して新しい変換サイクルを開始します。

シリアル・データ入力(SDI)

シリアル・データ入力(SDI、ピン7)はLTC2440の速度/分解能を選択するのに使います。SDIを“H”または“L”にドライブすることにより、簡単な2速度制御を選択することができます。SDIを接地すると(LTC2410とピン・コンパチブル) デバイスは880Hzでデータを出力し、有効分解能は21ビットです。SDIを“H”に接続すると、コンバータは超低ノイズ・モード(200nV_{RMS})になり、6.9Hzの出力レートで同時50/60Hz除去を実現します。速度/分解能を変更するため、変換中であるかスリープ状態であるかに関係なく、いつでもSDIをロジック“H”または“L”にドライブすることができます。データ出力サイクルの直後の変換は有効になり、新に選択された出力レート/分解能で実行されます。

データの出力サイクル中のSDIのロジック状態の変更は、6.9Hzまたは880Hz以外の速度/分解能が選択される可能性があるため避けてください。たとえば、SCKの2番目の立上がりエッジの後、SDIがロジック0からロジック1に変更されると、変換レートは880Hzから55Hzに変わります(表3を参照:OSR4=0、OSR3=0、OSR2=1、OSR1=1、OSR0=1)SDIが“H”のままだと、変換レートは55Hzでの変換の直後に所期の6.9Hzの速度に切り替わります。55Hzレートの変換サイクルは、最初の6.9Hzの結果とともに有効な結果になります。他方、SCKの最初の立上がりエッジより前にSDIが1に変化すると、それに続く変換レートは6.9Hzになります。SCKの5番目の立上がりエッジの後にSDIが1に変化すると、次の変換は880Hzのままですが、それ以降の変換は6.9Hzになります。

SDIは、データ出力サイクル中に、SCKによって制御されるシリアル入力データ・ストリームによってプログラムすることもできます(図4を参照)。10種類の速度/分解能

の範囲(6.9Hz/200nV_{RMS} ~ 3.5kHz/21 μ V_{RMS})の1つを選択することができます(表3を参照)。新しい選択に続く変換は有効で、新に選択された速度/分解能で実行されます。

BUSY

BUSY出力(ピン15)は変換、データ出力、およびスリープ・サイクルの状態をモニタするのに使います。デバイスが変換をおこなっているあいだ、BUSYピンは“H”になります。変換が完了すると、BUSYは“L”になり、変換が完了し、データの出力の用意ができていることを示します。デバイスはここで省電力のスリープ状態に入ります。データがシフトされてデバイスから出力される間、BUSYは“L”に留まります。データ出力サイクルが終了すると“H”になって、新に変換が開始されたことを示します。この立上がりエッジを使って、データ読み取りサイクルの完了を知らせることができます。

シリアル・インタフェースのタイミング・モード

LTC2440の2線、3線、または4線のインタフェースはSPIおよびMICROWIREと互換性があります。このインタフェースにより、いくつかの柔軟な動作モードが実現できます。これらには内部/外部シリアル・クロック、2線または3線のI/O、シングル・サイクル変換およびオートスタートが含まれます。以下のセクションではこれらのシリアル・インタフェースのそれぞれのタイミング・モードを詳細に説明します。これらすべての場合に、コンバータは内部発振器(F_0 ="L")または F_0 ピンに接続された外部発振器を使うことができます。表4にまとめられていますので参照してください。

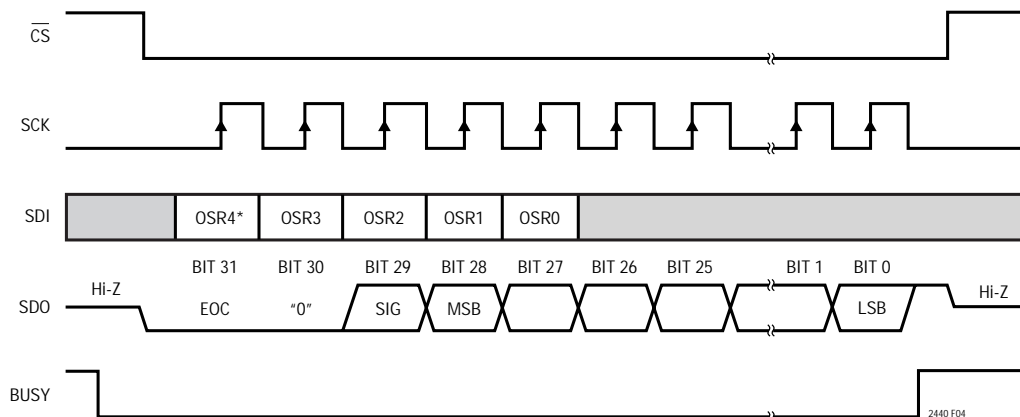
外部シリアル・クロック、シングル・サイクル動作 (SPI/MICROWIRE互換)

このタイミング・モードでは、外部シリアル・クロックを使って変換結果をシフトして出力し、 \overline{CS} 信号を使って変換サイクルの状態をモニタして制御します(図5を参照)。

シリアル・クロック・モードはEXTピンによって選択されます。外部シリアル・クロック・モードを選択するにはEXTを“L”に固定します。

シリアル・データ出力ピン(SDO)は、 \overline{CS} が“H”のあいだはHi-Zになります。変換サイクル中はいつでもコンバータの状態をモニタするために \overline{CS} を“L”に引き下げることができます。 \overline{CS} が“L”に引き下げられているあいだ、 \overline{EOC} がSDOピンに出力されます。

アプリケーション情報



*シリアル・データ出力サイクルの間、OSR4のビットは最初のSCKの立上がりエッジの位置に存在しなければならない。

図4 . SDIの速度/分解能のプログラミング

表3 . SDIの速度/分解能のプログラミング

OSR4	OSR3	OSR2	OSR1	OSR0	CONVERSION RATE		RMS NOISE	ENOB	OSR
					INTERNAL 9MHz CLOCK	EXTERNAL 10.24MHz CLOCK			
X	0	0	0	1	3.52kHz	4kHz	23 μ V	17	64
X	0	0	1	0	1.76kHz	2kHz	3.5 μ V	20	128
0	0	0	0	0	880Hz	1kHz	2 μ V	213	256*
X	0	0	1	1	880Hz	1kHz	2 μ V	21.3	256
X	0	1	0	0	440Hz	500Hz	1.4 μ V	21.8	512
X	0	1	0	1	220Hz	250Hz	1 μ V	22.4	1024
X	0	1	1	0	110Hz	125Hz	750nV	22.9	2048
X	0	1	1	1	55Hz	62.5Hz	510nV	23.4	4096
X	1	0	0	0	27.5Hz	31.25Hz	375nV	24	8192
X	1	0	0	1	13.75Hz	15.625Hz	250nV	24.4	16384
X	1	1	1	1	6.875Hz	7.8125Hz	200nV	24.6	32768**

*SDIを" L "に固定するための追加アドレス **SDIを" H "に固定するためのアドレス

表4 . LTC2440のインタフェースのタイミング・モード

Configuration	SCK Source	Conversion Cycle Control	Data Output Control	Connection and Waveforms
External SCK, Single Cycle Conversion	External	$\overline{\text{CS}}$ and SCK	$\overline{\text{CS}}$ and SCK	Figures 5, 6
External SCK, 2-Wire I/O	External	SCK	SCK	Figure 7
Internal SCK, Single Cycle Conversion	Internal	$\overline{\text{CS}} \downarrow$	$\overline{\text{CS}} \downarrow$	Figures 8, 9
Internal SCK, 2-Wire I/O, Continuous Conversion	Internal	Continuous	Internal	Figure 10

アプリケーション情報

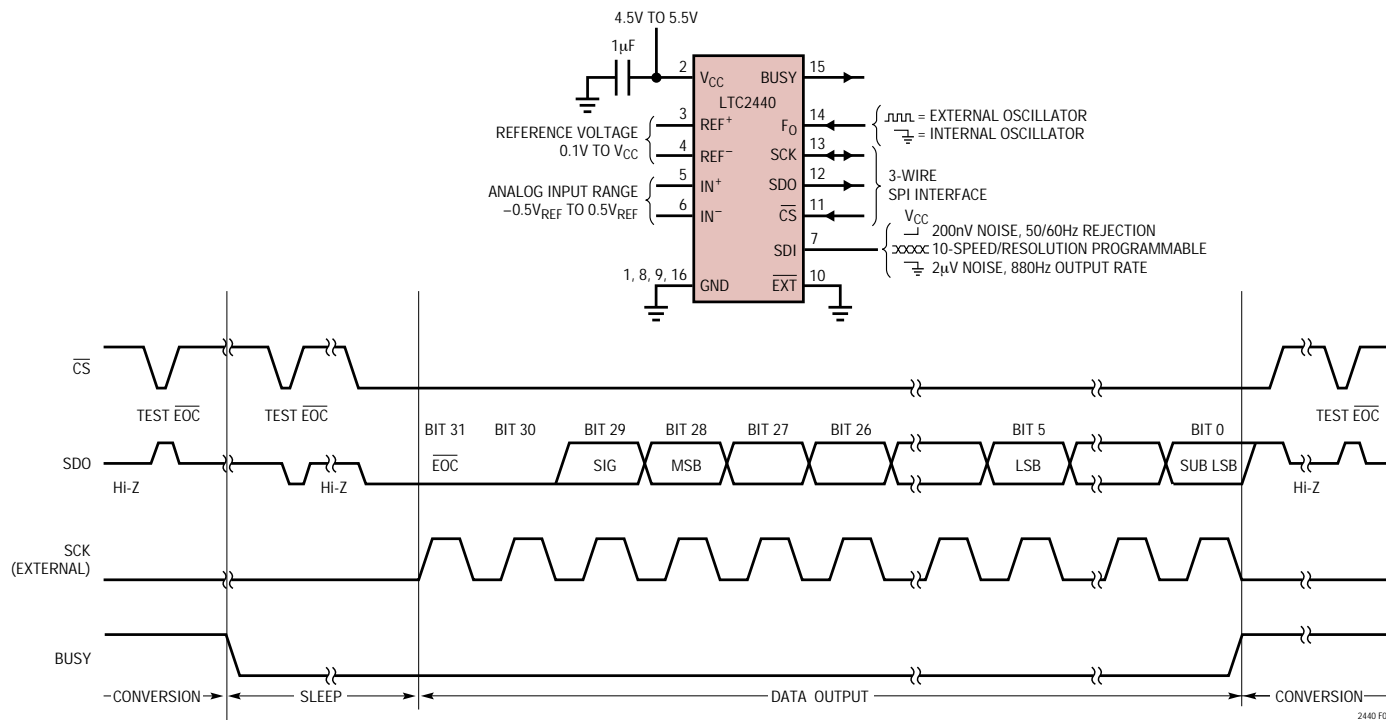


図5．外部シリアル・クロック、シングル・サイクル動作

デバイスがスリープ状態だと、変換中は $\overline{EOC} = 1$ (BUSY = 1)で、 $\overline{EOC} = 0$ (BUSY = 0)。CSには関係なく、変換が完了すると、デバイスは自動的に省電力のスリープ状態に入ります。

デバイスがスリープ状態 ($\overline{EOC} = 0$) のとき、変換結果は内部のスタティック・シフト・レジスタに保存されます。SCKの最初の立上がりエッジが現われるまでデバイスはスリープ状態に留まります。データはSCKの各立下りエッジでシフトされてSDOピンから出力されます。これにより、外部回路はSCKの立上がりエッジを使って出力をラッチすることができます。 \overline{EOC} はSCKの最初の立上がりエッジを使ってラッチすることができ、変換結果の最後のビットはSCKの32番目の立上がりエッジを使ってラッチすることができます。SCKの32番目の立下りエッジで、デバイスは新しい変換を開始します。SDOが“H” ($\overline{EOC} = 1$) になり、BUSYも“H”になり、変換中であることを示します。

データ・サイクルの完了時にCSは“L”のままにしておくことができます。 \overline{EOC} は変換終了時の割り込み信号としてモニタすることができます。代わりに、CSを“H”にドライブしてSDOをHi-Zに設定し、変換の完了を知るのにBUSYをモニタすることができます。上述のように、変換の状態をSDOピンでモニタするために、CSをいつでも“L”に引き下げることができます。通常、CSはデータの

出力時には“L”のまま留まります。ただし、SCKの5番目の立下りエッジ(SDIは各サイクルで適切にロードされる必要があります)と32番目の立下りエッジの間のいつでもCSを“H”に引き上げてデータ出力状態を中止することができます(図6を参照)。CSの立上がりエッジでデバイスはデータ出力状態を中止し、直ちに新しい変換を開始します。32ビット出力データのすべては必要としないシステムではこの機能は有用で、無効の変換サイクルのデータを破棄するか、変換の開始点を同期させます。

外部シリアル・クロック、2線式I/O

このタイミング・モードでは2線式シリアルI/Oインタフェースを利用します。変換結果は外部で作られたシリアル・クロック(SCK)信号によってシフトされてデバイスから出力されます(図7参照)。CSは永続的にグラウンドに固定することができ、ユーザー・インタフェースや分離バリヤが簡素化されます。外部シリアル・クロック・モードはEXTを“L”に固定して選択します。

CSが“L”に固定されているので、変換状態およびスリープ状態の間、変換終了(EOC)をSDOピンで連続してモニタすることができます。逆に、BUSY(ピン15)を使って変換サイクルの状態をモニタすることができます。 \overline{EOC} またはBUSYは外部コントローラの割り込み信号として使うことができ、変換結果が用意できていることを示します。

アプリケーション情報

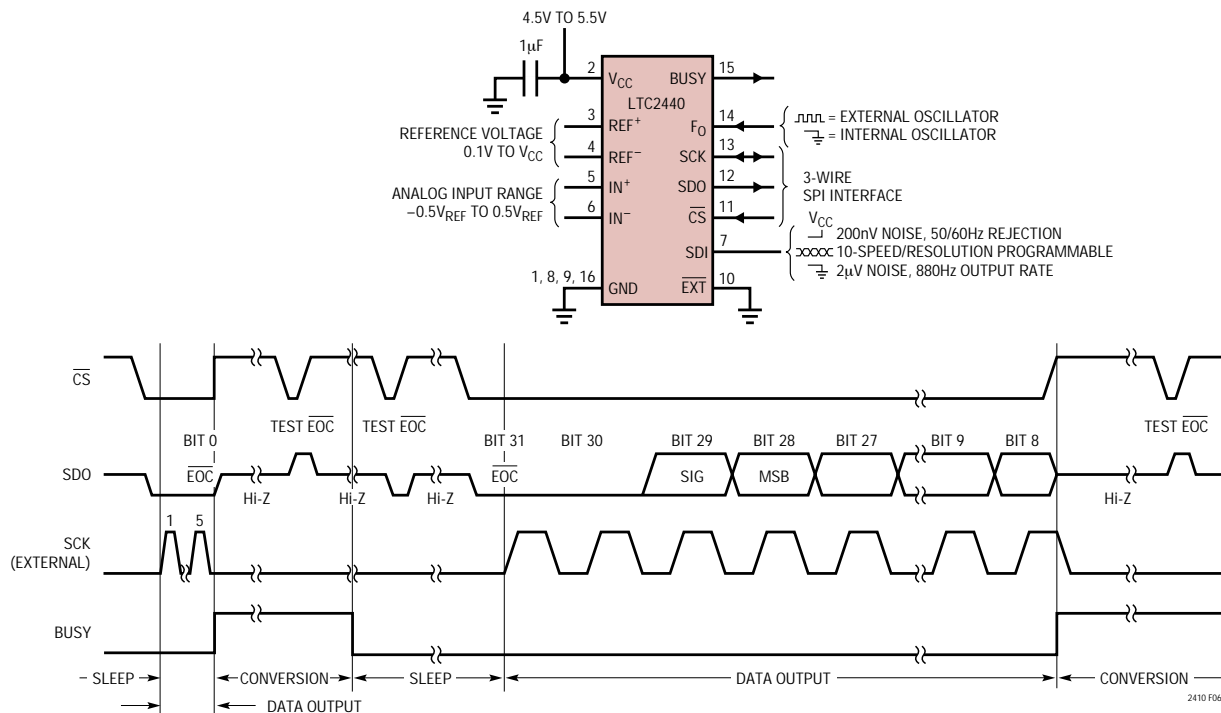


図6．外部シリアル・クロック、短縮されたデータ出力長

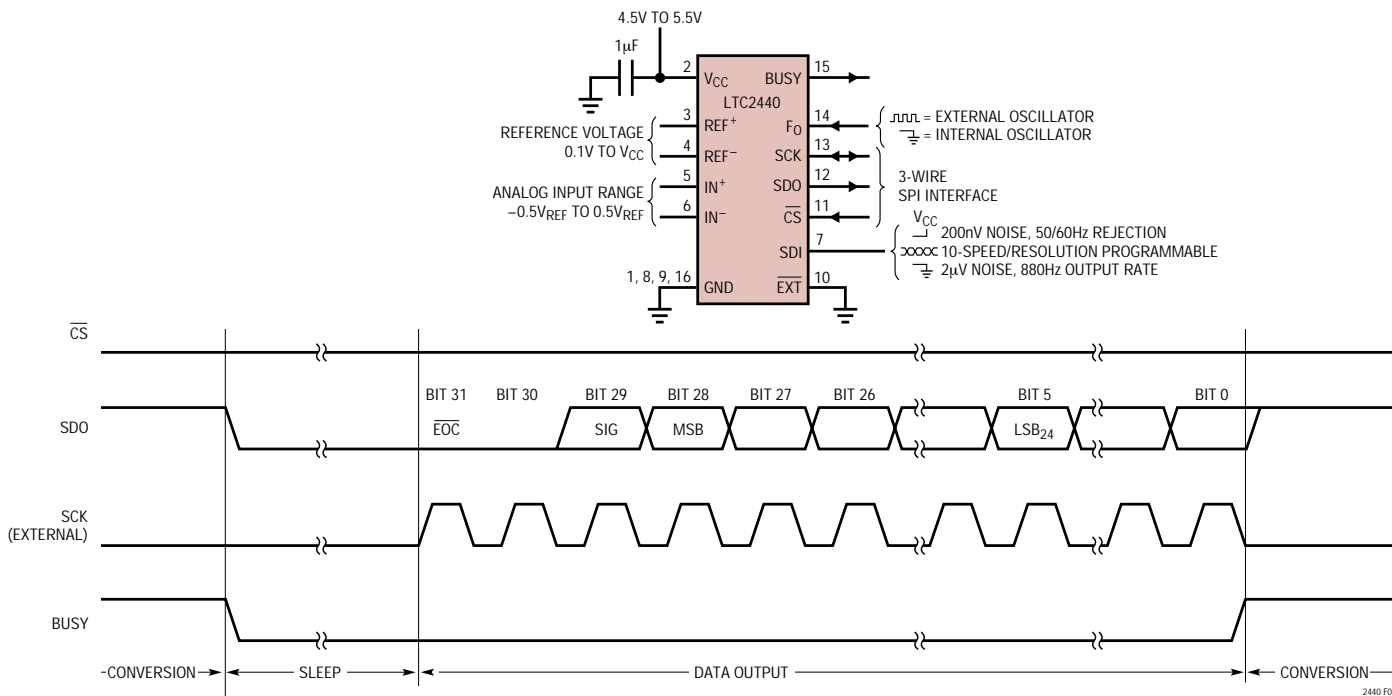


図7．外部シリアル・クロック、CS = 0の動作(2線)

アプリケーション情報

変換中は $\overline{EOC}=1$ ($BUSY=1$)になり、コンバータが省電力のスリープ状態に入ると $\overline{EOC}=0$ ($BUSY=0$)になります。 $\overline{EOC}/BUSY$ の立下りエッジで、変換結果が内部のスタティック・シフト・レジスタにロードされます。SCKの最初の立上がりエッジまでデバイスはスリープ状態に留まります。データはSCKの各立下りエッジでシフトされてSDOピンから出力されるので、外部回路はSCKの立上がりエッジでデータをラッチすることができます。 \overline{EOC} はSCKの最初の立上がりエッジでラッチすることができます。SCKの32番目の立下りエッジで、SDOとBUSYは“H”になり($\overline{EOC}=1$)新しい変換サイクルの開始を示します。

内部シリアル・クロック、シングル・サイクル動作
このタイミング・モードでは、内部シリアル・クロックを使って変換結果をシフトして出力し、 \overline{CS} 信号を使って変換サイクルの状態をモニタして制御します(図8を参照)。

内部シリアル・クロック・モードを選択するには \overline{EXT} を“H”に固定します。

シリアル・データ出力ピン(SDO)は、 \overline{CS} が“H”のあいだはHi-Zになります。変換サイクル中はいつでも、コンバータの状態をモニタするために \overline{CS} を“L”に引き下げることができます。 \overline{CS} が“L”に引き下げられると、SCKが

“L”になり、 \overline{EOC} がSDOピンに出力されます。変換中は $\overline{EOC}=1$ となり、デバイスがスリープ状態だと $\overline{EOC}=0$ となります。逆に、BUSY(ピン15)を使って変換中の状態をモニタすることができます。BUSYは変換中は“H”で、終了すると“L”になります。データがデバイスから読み出されるまで、BUSYは“L”のまま留まります。

\overline{EOC} をテストするとき、変換が完了していると($\overline{EOC}=0$)、 \overline{CS} が“L”のままであればデバイスはスリープ状態を脱してデータ出力状態に入ります。デバイスが省電力スリープ・モードを脱するのを防ぐには、SCKの最初の立上がりエッジより前に \overline{CS} を“H”に引き上げる必要があります。内部SCKタイミング・モードではSCKは“H”になり、デバイスは($\overline{EOC}=0$ ならば) \overline{CS} の立下りエッジ後、 $t_{EOCtest}$ の時点でデータを出し始め、(\overline{EOC} の立下りエッジで \overline{CS} が“L”ならば) \overline{EOC} が“L”になった後、 $t_{EOCtest}$ でデータを出し始めます。 $t_{EOCtest}$ の値は500nsです。 $t_{EOCtest}$ の時点より前に \overline{CS} が“H”に引き上げられると、デバイスはスリープ状態に留まります。変換結果は内部のスタティック・シフト・レジスタに保存されます。

\overline{CS} が $t_{EOCtest}$ より長く“L”に留まると、SCKの最初の立上がりエッジが生じ、変換結果がシリアルにシフトされSDOピンから出力されます。

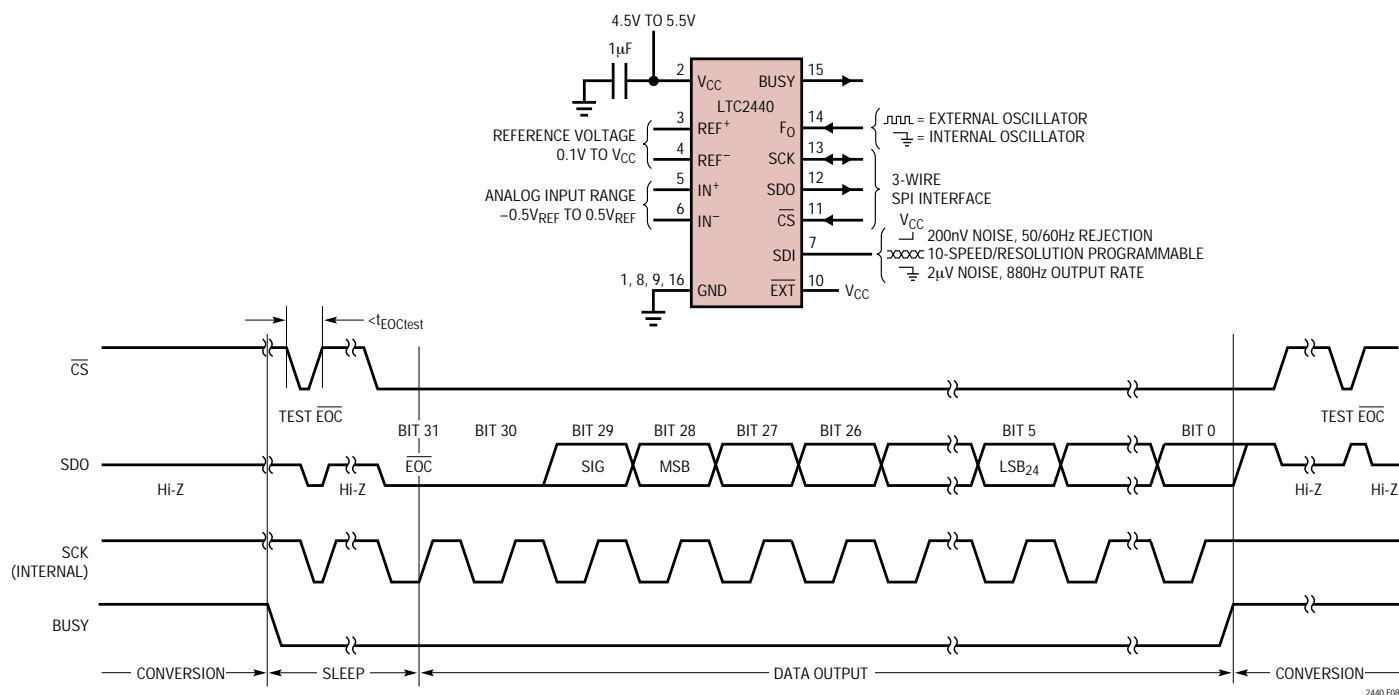


図8．内部シリアル・クロック、シングル・サイクル動作

アプリケーション情報

データ出力サイクルはSCKのこの最初の立上りエッジで始まり、32番目の立上りエッジ後に終了します。データはSCKの各立下りエッジでシフトされてSDOピンから出力されます。内部で作られたシリアル・クロックはSCKピンに出力されます。この信号を使って変換結果を外部回路にシフトすることができます。EOCはSCKの最初の立上りエッジを使ってラッチすることができます、変換結果の最後のビットはSCKの32番目の立上りエッジを使ってラッチすることができます。32番目の立上りエッジの後、SDOは“H”になり(EOC=1)、SCKは“H”のまま留まり、新しい変換サイクルが始まります。

通常、CSはデータの出力時には“L”のまま留まります。ただし、SCKの最初の立上りエッジと32番目の立上りエッジの間のいつでもCSを“H”に引き上げることで、データの出力を中止することができます(図9を参照)。データの破棄に続く変換のためのOSRを正しく選択するためには、(CSを“H”に引き上げて)データ出力の中止を実行する前に5個のSCKの立上りエッジが現われる必要があります。SCKの5番目の立下りエッジより前にCSを“H”に引き上げると、選択されるOSRはデータの破棄前に現われたSCK信号の個数に依存します。この場合、後に続く中止されない変換サイクルはプログラムさ

れたOSRに戻ります。CSの立上がりエッジでデバイスはデータ出力状態を中止し、直ちに新しい変換を開始します。これは32ビット出力データのすべては必要としないシステムでは有用で、無効の変換サイクルのデータを破棄するか、変換の開始点を同期させます。

内部シリアル・クロック、2線式I/O、連続変換
このタイミング・モードでは2線とも出力の(SCKとSDO)インタフェースを使います。変換結果は内部で作られたシリアル・クロック(SCK)信号によってシフトされてデバイスから出力されます(図10を参照)。CSは永続的にグランドに固定することができ、ユーザー・インタフェースや分離バリエーションが簡素化されます。内部シリアル・クロック・モードはEXTを“H”に固定して選択します。

変換中、SCKとシリアル・データ出力ピン(SDO)は“H”になり(EOC=1)、BUSY=1になります。変換が完了すると、SCK、BUSY、およびSDOは“L”になり(EOC=0)、変換が終了してデバイスが省電力のスリープ状態に入ったことを示します。デバイスは最小時間(約500ns)のあいだスリープ状態に留まってから、直ちにデータの出力を開始します。データ出力サイクルはSCKの最初の立上りエッジで始まり、32番目の立上りエッジ後に終了します。

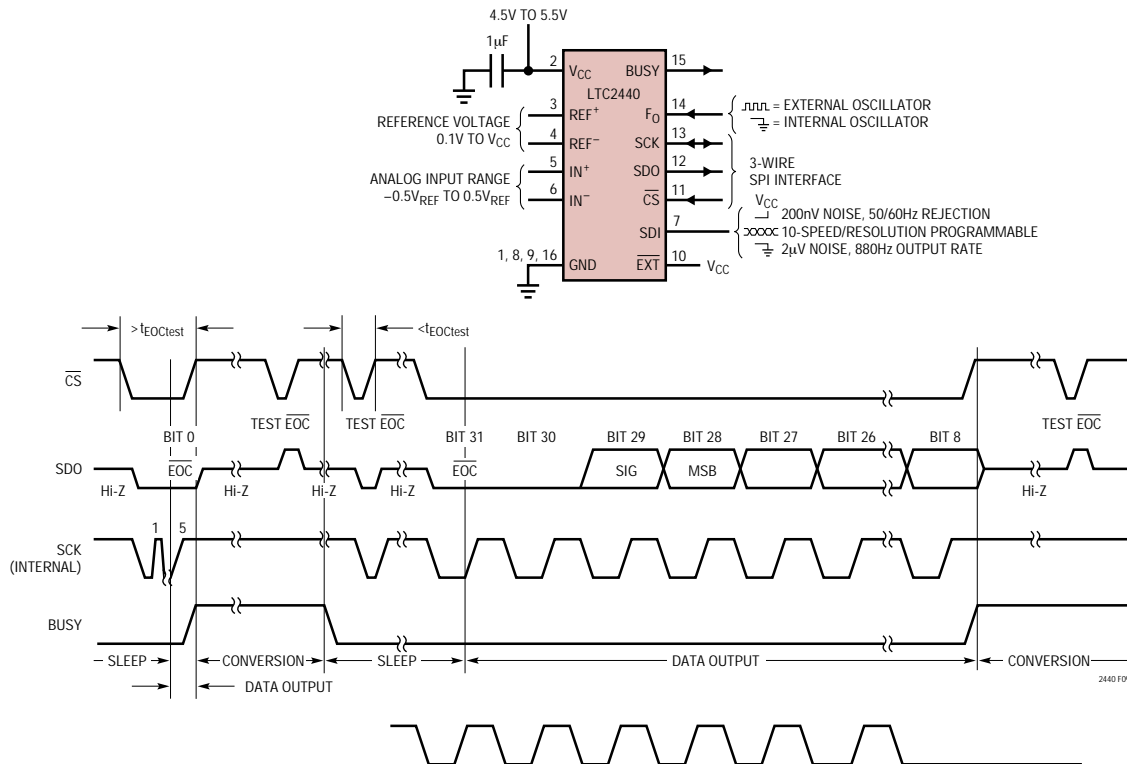


図9. 内部シリアル・クロック、短縮されたデータ出力長

アプリケーション情報

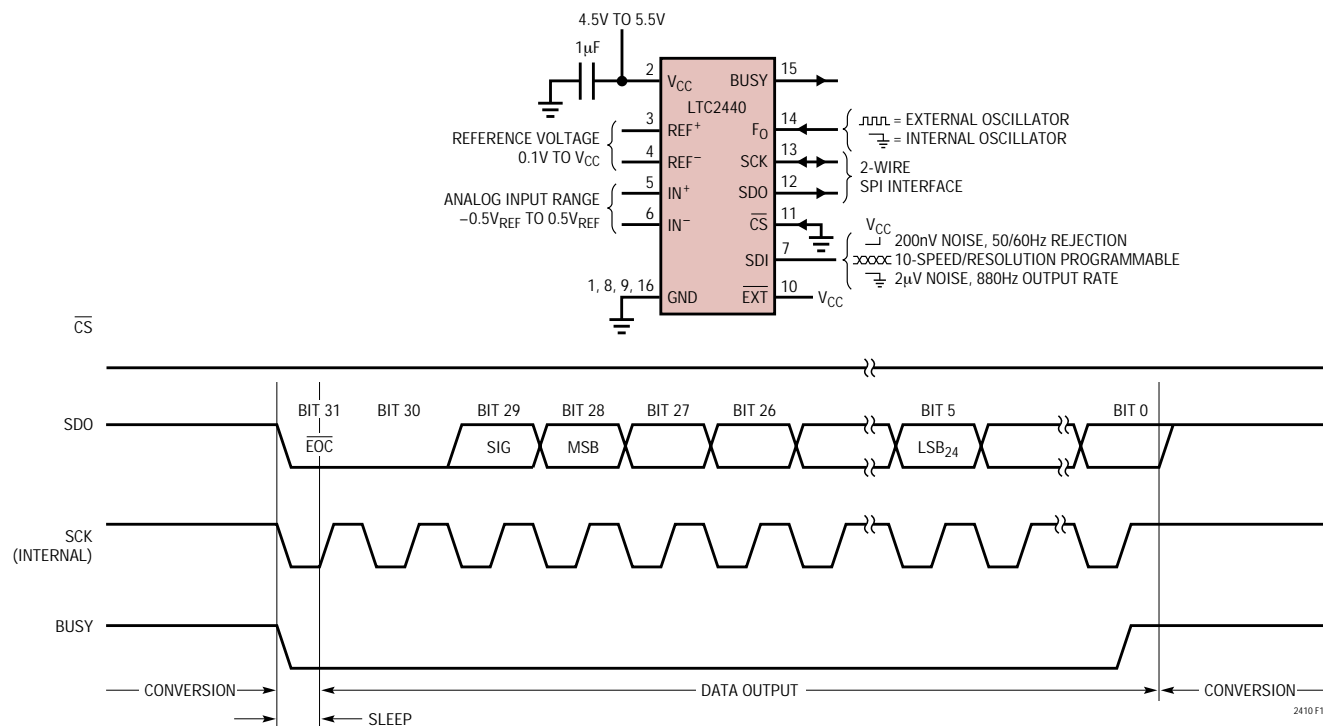


図10．内部シリアル・クロック、連続動作

データはSCKの各立下りエッジでシフトされてSDOピンから出力されます。内部で作られたシリアル・クロックはSCKピンに出力されます。この信号を使って変換結果を外部回路にシフトすることができます。EOCはSCKの最初の立上がりエッジを使ってラッチすることができ、変換結果の最後のビットはSCKの32番目の立上がりエッジを使ってラッチすることができます。32番目の立上がりエッジの後、SDOは「H」になり(EOC=1)、新しい変換が進行中であることを示します。変換中、SCKは「H」のままです。

通常モード除去とアンチエリアシング

従来のADCに比したデルタシグマADCの利点の1つはチップに内蔵されたデジタル・フィルタです。大きなオーバーサンプリング率と組み合わせることにより、LTC2440はアンチエリアシング・フィルタの必要条件を大幅に簡素化します。

LTC2440の速度/分解能はチップに内蔵されたデジタル・フィルタのオーバーサンプル比(OSR)によって決まります。OSRは3.5kHzの出力レートでの64から、6.9Hzの出力レートでの32,768までの範囲で変化します。OSRの値とサンプル・レート f_s により、デバイスのフィルタ特性が決まります。デジタル・フィルタの最初のNULL

は f_N および f_N の倍数に位置します。ただし、 $f_N = f_s/OSR$ です(図11と表5を参照)。周波数 $f_N \pm 14\%$ での除去率は80dBよりも良くなっています(図12を参照)。

F_0 が接地されていると、 f_s はチップに内蔵されている発振器によって(電源および温度の変動範囲で) $1.8\text{MHz} \pm 5\%$ に設定されます。32,768のOSRでは、最初のNULLは $f_N = 55\text{Hz}$ に位置し、待ち時間なしの出力レートは $f_N/8 = 6.9\text{Hz}$ です。

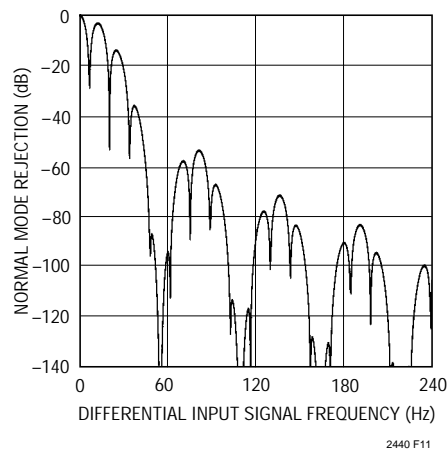


図11．LTC2440の通常モードの除去率(内部発振器)

アプリケーション情報

表5 . OSRとノッチ周波数(f_N) (内部発振器は9MHzで動作)

OSR	NOTCH (f_N)
64	28.16kHz
128	14.08kHz
256	7.04kHz
512	3.52kHz
1024	1.76kHz
2048	880Hz
4096	440Hz
8192	220Hz
16384	110Hz
32768*	55Hz

*同時50/60除去

最大OSRでは、デバイスのノイズ性能は $200\text{nV}_{\text{RMS}}$ で、除去率は $50\text{Hz} \pm 2\%$ と $60\text{Hz} \pm 2\%$ の80dBを超えます。OSRが大きい(32,768)ので、広帯域除去は極めて大きく、アンチエイリアシングの要求条件は簡単です。最初の f_S の倍数は $55\text{Hz} \cdot 32,768 = 1.8\text{MHz}$ になります(図13を参照)。

OSRが256(出力レートが880Hz)で F_0 が接地されているとき、最初のNULLは $f_N = 7.04\text{kHz}$ になります。NULLがシフトするのに対して、サンプル・レートは一定に保たれます。モジュレータのサンプリング・レートが一定になる結果、直線性、オフセットおよびフルスケール性能が f_S の最初の倍数では変化しますが変化しません。

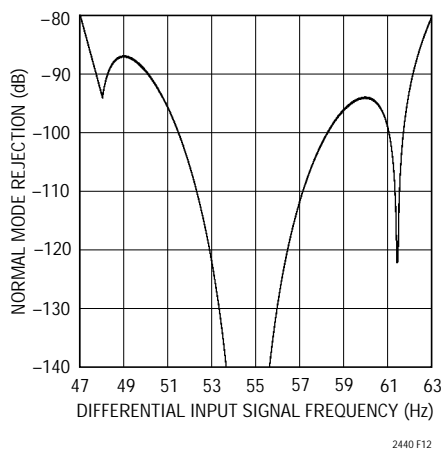


図12 . LTC2440の通常モードの除去率(内部発振器)

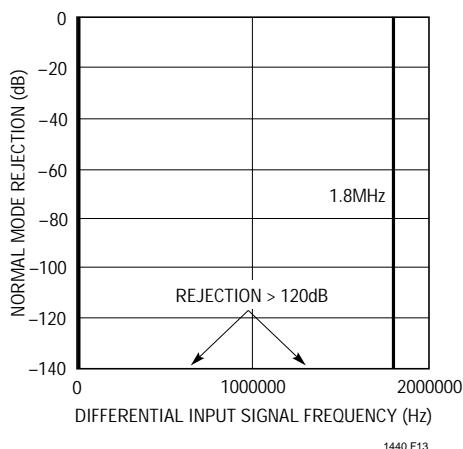


図13 . LTC2440の通常モードの除去率(内部発振器)

アプリケーション情報

サンプル・レート f_s とNULL f_N は外部発振器を使って F_0 ピンをドライブすることによって調整することもできます。サンプル・レートは $f_s = f_{EOSC}/5$ です。ここで、 f_{EOSC} は F_0 に与えられるクロックの周波数です。大きなOSRと減少したサンプル・レートを組み合わせると、ノッチ周波数 f_N はDCに近くなりますが、アンチエイリアシングの必要条件は簡単なままです。100kHzのクロックを F_0 に与えると、0.6Hzおよび20kHzまでのすべての高調波にNULLを生じません(図14を参照)。これはノイズの多い入力信号のDC成分の離散化が必要なアプリケーションでは有用で、ADCの直前に0.6Hzのフィルタを置く必要がなくなります。

100kHz ~ 20MHzで動作する外部発振器はLTC1799を使って実装することができます(抵抗で設定するSOT-23発振器)(図15を参照)。LTC1799のピン4(DIV)をフロートさせると、出力発振器周波数は次のようになります。

$$f_{OSC} = 10\text{MHz} \cdot \left(\frac{10\text{k}}{10 \cdot R_{SET}} \right)$$

図14に示されている通常モードの除去特性は、($R_{SET} = 100\text{k}$ にした)LTC1799の出力を、SDIを“H”に固定した(OSR = 32768)LTC2440の F_0 ピンに与えることによって達成されます。

省電力動作

LTC2440の速度/解像度の調整に加えて、自動スリープ・モードを使って速度/分解能/電力消費を調節することもできます。変換サイクル中、LTC2440にはプログラムされた速度には無関係に8mAの電源電流が流れます。変換サイクルが完了すると、デバイスは自動的に低消費電力のスリープ状態に入り、8 μ A流れます。 \overline{CS} が“H”に保たれている限りデバイスはこの状態に留まり、データは出力されません。スリープ状態の継続時間を調整し(\overline{CS} を長く“H”に保つ)変換サイクルの継続時間を調整する(OSRをプログラムすることにより、DC電力消費を減らすことができます(図16を参照)。

たとえば、OSRが最速にプログラムされ(OSR = 64、 $t_{CONV} = 0.285\text{ms}$)スリープ状態が10msの場合、実効出力レートは約100Hzですが、平均電源電流は240 μ Aに減少します。スリープ状態をさらに延ばして100msにすると、10Hzの実効出力レートとなり、平均30 μ A流れます。ノイズ、電力、および速度は、OSR(ノイズ/速度)とスリープ・モードの継続時間(電力)を調整して最適化することができます。

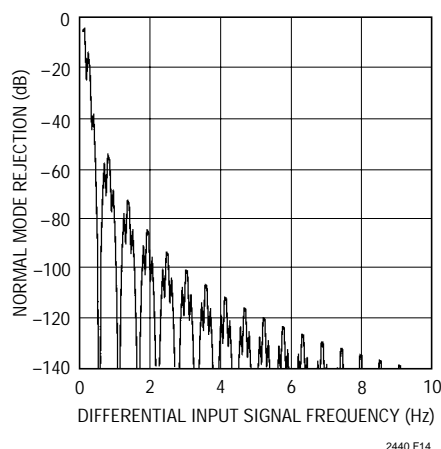


図14 . LTC2440の通常モードの除去率
(90kHzの外部発振器)

標準的応用例

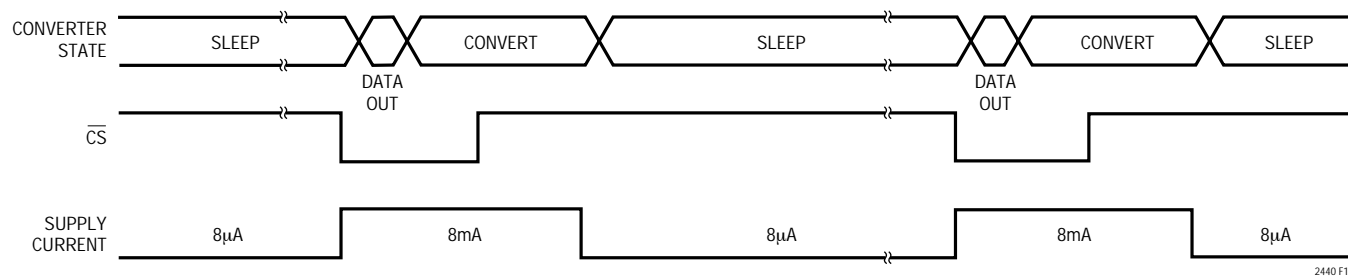
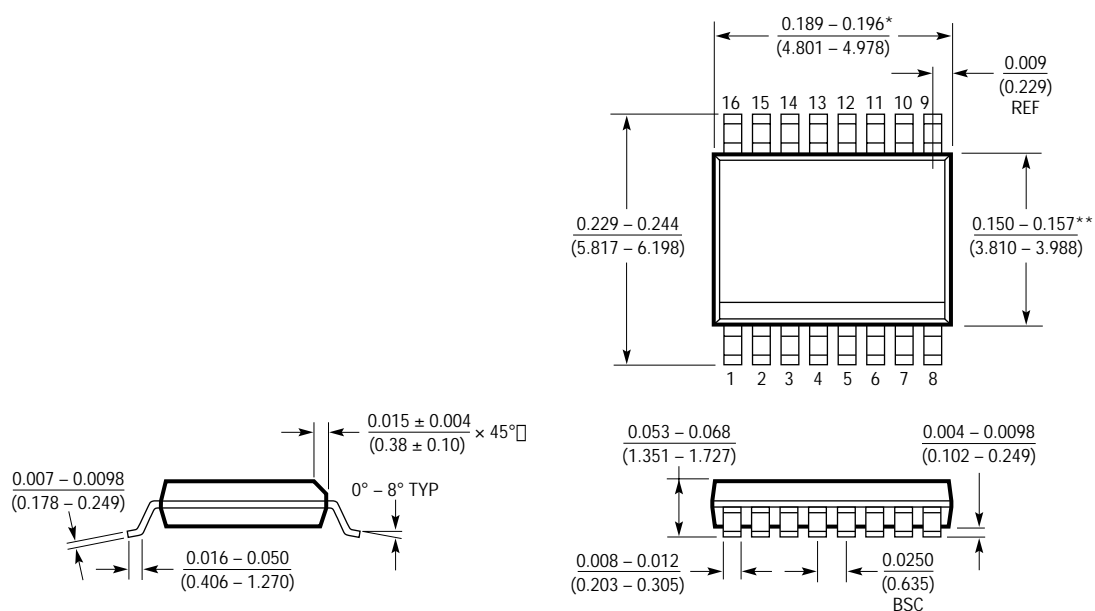


図15 . 電力低減タイミング・モード

パッケージ寸法

GNパッケージ
16ピン・プラスチックSSOP(細型.150インチ)
(Reference LTC DWG # 05-08-1641)



- *寸法にはモールドのバリを含まない。モールドのバリは各サイドで0.006”(0.152mm)を超えないこと
**寸法にはリード間のバリを含まない。リード間のバリは各サイドで0.010”(0.254mm)を超えないこと

GN16 (SSOP) 1098

標準的応用例

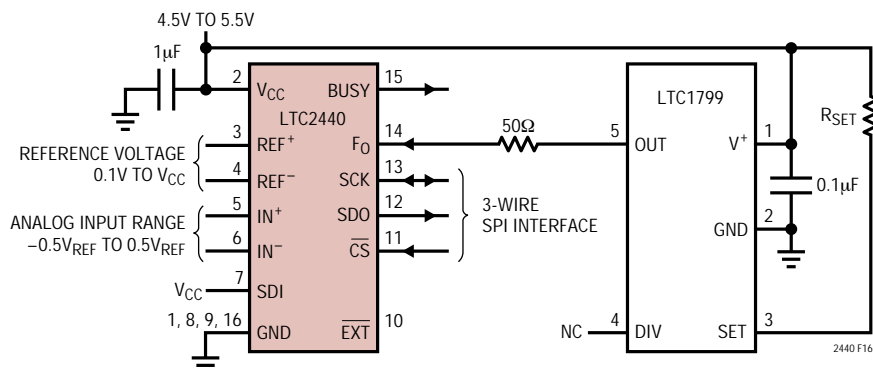


図16 . 簡単な外部クロック源

関連製品

製品番号	説明	注釈
LT1025	熱伝対用小電力冷接点コンペンセイタ	電源電流:80µA、初期精度:0.5
LTC1043	デュアル高精度計装用 スイッチト・キャパシタ・ビルディング・ブロック	正確な電荷、平衡スイッチング、低電力
LTC1050	高精度チョッパ安定オペアンプ	外付け部品不要、オフセット:5µV、ノイズ:1.6µV _{p-p}
LT1236A-5	高精度バンドギャップ・リファレンス、5V	精度:最大0.05%、ドリフト:5ppm/
LT1461	マイクロパワー・シリーズ・リファレンス、2.5V	精度:最大0.04%、最大ドリフト:3ppm/
LTC1592	超高精度16ビットSoftSpan™ DAC	6つのプログラム可能な出力範囲
LTC1655	16ビット・レール・トゥ・レール・マイクロパワーDAC	±1LSB DNL、600µA、内部リファレンス、SO-8パッケージ
LTC1799	抵抗で設定可能なSOT-23発振器	抵抗1個で周波数を設定
LTC2053	レール・トゥ・レール計装用アンプ	オフセット:10µV、ドリフト:50nV/、ノイズ:2.5µV 0.01Hz~10Hz
LTC2400	24ビット、No Latency ΔΣ ADC、SO-8パッケージ	ノイズ:0.3ppm、INL:4ppm、全未調整誤差:10ppm、200µA
LTC2401/LTC2402	1チャンネル/2チャンネル、24ビット、No Latency ΔΣ ADC、MSOP	ノイズ:0.6ppm、INL:4ppm、全未調整誤差:10ppm、200µA
LTC2404/LTC2408	4チャンネル/8チャンネル、24ビット、No Latency ΔΣ ADC	ノイズ:0.3ppm、INL:4ppm、全未調整誤差:10ppm、200µA
LTC2410/LTC2413	24ビット、No Latency ΔΣ ADC	ノイズ:800nV _{RMS} 、INL:5ppm、同時50Hz/60Hz除去
LTC2411	24ビット、No Latency ΔΣ ADC、MSOPパッケージ	ノイズ:1.45µV _{RMS} 、INL:6ppm
LTC2413	24ビット、No Latency ΔΣ ADC	同時50Hz/60Hz除去、ノイズ:800nV _{RMS}
LTC2420/LTC2424/ LTC2428	1チャンネル/4チャンネル/8チャンネル、20ビット、 No Latency ΔΣ ADC	ノイズ:1.2ppm、INL:8ppm、LTC2400/LTC2404/LTC2408と ピン・コンパチブル

SoftSpanはリニアテクノロジー社の商標です。

2440i