

8チャンネル/16チャンネル 24ビット No Latency $\Delta\Sigma$ ™ A/D コンバータ

特長

- 8チャンネル/16チャンネル・シングルエンド入力または4チャンネル/8チャンネル差動入力 (LTC2414/LTC2418)
- 低電源電流 (動作時 200 μ A、オートスリープ時 4 μ A)
- GND ~ V_{CC} の同相範囲をもつ差動入力および差動リファレンス
- INL 2ppm、欠落コードなし
- 2.5ppm のフルスケール誤差と 0.5ppm のオフセット
- ノイズ: 0.2ppm
- 待ち時間なし: デジタル・フィルタが単一サイクルで安定、新しいチャンネルを選択した後も各変換は正確
- 2.7V ~ 5.5V の単一電源動作
- 内部発振器—外付け部品が不要
- 最小 110dB、50Hz/60Hz のノッチ・フィルタ

アプリケーション

- ダイレクト・センサ・デジタイザ
- 秤
- 直接温度測定
- ガス分析器
- 歪みゲージ・トランスジューサ
- 計測器
- データ収集
- 産業用プロセス制御

概要

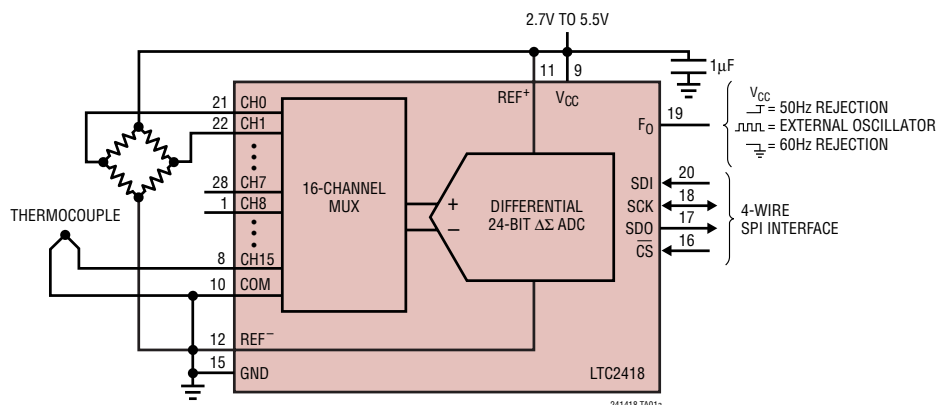
LTC®2414/LTC2418 は、8チャンネル/16チャンネル (4チャンネル/8チャンネル差動) マイクロパワー 24ビット $\Delta\Sigma$ アナログ/デジタル・コンバータです。発振器を内蔵し、INL 2ppm、RMS ノイズ 0.2ppm、2.7V ~ 5.5V で動作します。デルタシグマ技法を採用し、多重化アプリケーションに対応する 1 サイクルのセトリグ時間を実現します。LTC2414/LTC2418 は、1 本のピンにより、50Hz または 60Hz \pm 2% で 110dB 超の差動モード除去比を達成するように構成できます。また、ユーザー定義の除去周波数に合わせて外部発振器で駆動することもできます。内部発振器には、周波数設定用の部品を外付けする必要はありません。

LTC2414/LTC2418 は、0.1V ~ V_{CC} のあらゆる外部差動リファレンス電圧を使用できるので、レシオメトリックおよびリモート検出測定アプリケーションに柔軟に対応できます。また、4/8 差動チャンネルまたは 8/16 シングルエンド・チャンネルを使用するように構成可能です。フルスケールの両極性入力電圧範囲は、-0.5V_{REF} ~ 0.5V_{REF} です。リファレンス同相電圧 V_{REFCM} と入力同相電圧 V_{INCM} は、GND ~ V_{CC} の範囲で個別に設定可能です。DC 同相入力除去比は 140dB より優れています。

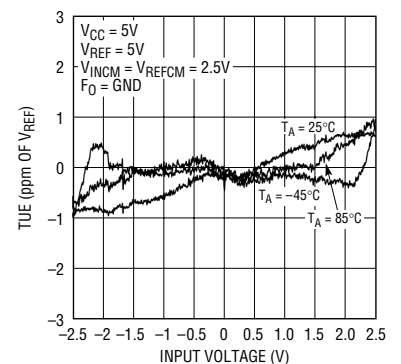
LTC2414/LTC2418 は、SPI および MICROWIRE™ プロトコル互換の柔軟な 4 線デジタル・インタフェースを介して通信します。

LT、LTC および LT はリニアテクノロジー社の登録商標です。No Latency $\Delta\Sigma$ はリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



全未調整誤差と入力電圧



LTC2414/LTC2418

絶対最大定格 (Note 1, 2)

電源電圧 (V _{CC}) 対 GND	-0.3V ~ 7V	動作温度範囲	
アナログ入力電圧 (対 GND)	-0.3V ~ (V _{CC} + 0.3V)	LTC2414/LTC2418C	0°C ~ 70°C
リファレンス入力電圧 (対 GND)	-0.3V ~ (V _{CC} + 0.3V)	LTC2414/LTC2418I	-40°C ~ 85°C
デジタル入力電圧 (対 GND)	-0.3V ~ (V _{CC} + 0.3V)	保存温度範囲	-65°C ~ 150°C
デジタル出力電圧 (対 GND)	-0.3V ~ (V _{CC} + 0.3V)	リード温度 (半田付け、10 秒)	300°C

パッケージ/発注情報

<div><p>TOP VIEW</p><p>GN PACKAGE 28-LEAD PLASTIC SSOP T_{JMAX} = 125°C, θ_{JA} = 110°C/W</p></div>		<div><p>TOP VIEW</p><p>GN PACKAGE 28-LEAD PLASTIC SSOP T_{JMAX} = 125°C, θ_{JA} = 110°C/W</p></div>	
ORDER PART NUMBER	PART MARKING	ORDER PART NUMBER	PART MARKING
LTC2414CGN LTC2414IGN		LTC2418CGN LTC2418IGN	
<p>発注情報 テープアンドリール: #TR を付加 無鉛仕上げ: #PBF を付加 無鉛仕上げのテープアンドリール: #TRPBF を付加 無鉛仕上げの製品マーキング: http://www.linear-tech.co.jp/leadfree/</p>			

* 温度グレードは出荷時のコンテナのラベルで識別されます。さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 3、4)。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)	$0.1\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, -0.5 \cdot V_{\text{REF}} \leq V_{\text{IN}} \leq 0.5 \cdot V_{\text{REF}}$ (Note 5)	●	24			Bits
Integral Nonlinearity	$4.5\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}, \text{REF}^+ = 2.5\text{V}, \text{REF}^- = \text{GND}, V_{\text{INCM}} = 1.25\text{V}$ (Note 6) $5\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}, \text{REF}^+ = 5\text{V}, \text{REF}^- = \text{GND}, V_{\text{INCM}} = 2.5\text{V}$ (Note 6) $\text{REF}^+ = 2.5\text{V}, \text{REF}^- = \text{GND}, V_{\text{INCM}} = 1.25\text{V}$ (Note 6)	●		1 2 5	14	ppm of V_{REF} ppm of V_{REF} ppm of V_{REF}
Offset Error	$2.5\text{V} \leq \text{REF}^+ \leq V_{\text{CC}}, \text{REF}^- = \text{GND},$ $\text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Note 14)	●		2.5	10	μV
Offset Error Drift	$2.5\text{V} \leq \text{REF}^+ \leq V_{\text{CC}}, \text{REF}^- = \text{GND},$ $\text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$			20		$\text{nV}/^\circ\text{C}$
Positive Full-Scale Error	$2.5\text{V} \leq \text{REF}^+ \leq V_{\text{CC}}, \text{REF}^- = \text{GND},$ $\text{IN}^+ = 0.75 \cdot \text{REF}^+, \text{IN}^- = 0.25 \cdot \text{REF}^+$	●		2.5	12	ppm of V_{REF}
Positive Full-Scale Error Drift	$2.5\text{V} \leq \text{REF}^+ \leq V_{\text{CC}}, \text{REF}^- = \text{GND},$ $\text{IN}^+ = 0.75 \cdot \text{REF}^+, \text{IN}^- = 0.25 \cdot \text{REF}^+$			0.03		ppm of $V_{\text{REF}}/^\circ\text{C}$
Negative Full-Scale Error	$2.5\text{V} \leq \text{REF}^+ \leq V_{\text{CC}}, \text{REF}^- = \text{GND},$ $\text{IN}^+ = 0.25 \cdot \text{REF}^+, \text{IN}^- = 0.75 \cdot \text{REF}^+$	●		2.5	12	ppm of V_{REF}
Negative Full-Scale Error Drift	$2.5\text{V} \leq \text{REF}^+ \leq V_{\text{CC}}, \text{REF}^- = \text{GND},$ $\text{IN}^+ = 0.25 \cdot \text{REF}^+, \text{IN}^- = 0.75 \cdot \text{REF}^+$			0.03		ppm of $V_{\text{REF}}/^\circ\text{C}$
Total Unadjusted Error	$4.5\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}, \text{REF}^+ = 2.5\text{V}, \text{REF}^- = \text{GND}, V_{\text{INCM}} = 1.25\text{V}$ $5\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}, \text{REF}^+ = 5\text{V}, \text{REF}^- = \text{GND}, V_{\text{INCM}} = 2.5\text{V}$ $\text{REF}^+ = 2.5\text{V}, \text{REF}^- = \text{GND}, V_{\text{INCM}} = 1.25\text{V}$			3 3 6		ppm of V_{REF} ppm of V_{REF} ppm of V_{REF}
Output Noise	$5\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}, \text{REF}^+ = 5\text{V}, V_{\text{REF}} = \text{GND},$ $\text{GND} \leq \text{IN}^+ = \text{IN}^- \leq 5\text{V}$ (Note 13)			1		μVRMS

コンバータ特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 3、4)。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Input Common Mode Rejection DC	$2.5\text{V} \leq \text{REF}^+ \leq V_{\text{CC}}, \text{REF}^- = \text{GND},$ $\text{GND} \leq \text{IN}^- = \text{IN}^+ \leq 5\text{V}$ (Note 5)	●	130	140		dB
Input Common Mode Rejection 60Hz $\pm 2\%$	$2.5\text{V} \leq \text{REF}^+ \leq V_{\text{CC}}, \text{REF}^- = \text{GND},$ $\text{GND} \leq \text{IN}^- = \text{IN}^+ \leq 5\text{V}$ (Notes 5, 7)	●	140			dB
Input Common Mode Rejection 50Hz $\pm 2\%$	$2.5\text{V} \leq \text{REF}^+ \leq V_{\text{CC}}, \text{REF}^- = \text{GND},$ $\text{GND} \leq \text{IN}^- = \text{IN}^+ \leq 5\text{V}$ (Notes 5, 8)	●	140			dB
Input Normal Mode Rejection 60Hz $\pm 2\%$	(Notes 5, 7)	●	110	140		dB
Input Normal Mode Rejection 50Hz $\pm 2\%$	(Notes 5, 8)	●	110	140		dB
Reference Common Mode Rejection DC	$2.5\text{V} \leq \text{REF}^+ \leq V_{\text{CC}}, \text{GND} \leq \text{REF}^- \leq 2.5\text{V},$ $V_{\text{REF}} = 2.5\text{V}, \text{IN}^- = \text{IN}^+ = \text{GND}$ (Note 5)	●	130	140		dB
Power Supply Rejection, DC	$\text{REF}^+ = 2.5\text{V}, \text{REF}^- = \text{GND}, \text{IN}^- = \text{IN}^+ = \text{GND}$			110		dB
Power Supply Rejection, 60Hz $\pm 2\%$	$\text{REF}^+ = 2.5\text{V}, \text{REF}^- = \text{GND}, \text{IN}^- = \text{IN}^+ = \text{GND}$ (Note 7)			120		dB
Power Supply Rejection, 50Hz $\pm 2\%$	$\text{REF}^+ = 2.5\text{V}, \text{REF}^- = \text{GND}, \text{IN}^- = \text{IN}^+ = \text{GND}$ (Note 8)			120		dB

LTC2414/LTC2418

アナログ入力およびリファレンス

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 3)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
IN ⁺	Absolute/Common Mode IN ⁺ Voltage		●	GND – 0.3		$V_{CC} + 0.3$	V
IN [–]	Absolute/Common Mode IN [–] Voltage		●	GND – 0.3		$V_{CC} + 0.3$	V
V _{IN}	Input Differential Voltage Range (IN ⁺ – IN [–])		●	–V _{REF} /2		V _{REF} /2	V
REF ⁺	Absolute/Common Mode REF ⁺ Voltage		●	0.1		V_{CC}	V
REF [–]	Absolute/Common Mode REF [–] Voltage		●	GND		$V_{CC} - 0.1$	V
V _{REF}	Reference Differential Voltage Range (REF ⁺ – REF [–])		●	0.1		V_{CC}	V
C _S (IN ⁺)	IN ⁺ Sampling Capacitance				18		pF
C _S (IN [–])	IN [–] Sampling Capacitance				18		pF
C _S (REF ⁺)	REF ⁺ Sampling Capacitance				18		pF
C _S (REF [–])	REF [–] Sampling Capacitance				18		pF
I _{DC_LEAK} (IN ⁺)	IN ⁺ DC Leakage Current	$\overline{CS} = V_{CC} = 5.5\text{V}$, IN ⁺ = GND	●	–10	1	10	nA
I _{DC_LEAK} (IN [–])	IN [–] DC Leakage Current	$\overline{CS} = V_{CC} = 5.5\text{V}$, IN [–] = 5V	●	–10	1	10	nA
I _{DC_LEAK} (REF ⁺)	REF ⁺ DC Leakage Current	$\overline{CS} = V_{CC} = 5.5\text{V}$, REF ⁺ = 5V	●	–10	1	10	nA
I _{DC_LEAK} (REF [–])	REF [–] DC Leakage Current	$\overline{CS} = V_{CC} = 5.5\text{V}$, REF [–] = GND	●	–10	1	10	nA
	Off Channel to In Channel Isolation (R _{IN} = 100Ω)	DC 1Hz f _S = 15,360Hz			140 140 140		dB dB dB
t _{OPEN}	MUX Break-Before-Make Interval	2.7V ≤ V _{CC} ≤ 5.5V		70	100	300	ns
I _{S(OFF)}	Channel Off Leakage Current	Channel at V _{CC} and GND	●	–10	1	10	nA

デジタル入力およびデジタル出力

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 3)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V _{IH}	High Level Input Voltage CS, F ₀ , SDI	2.7V ≤ V _{CC} ≤ 5.5V 2.7V ≤ V _{CC} ≤ 3.3V	●	2.5 2.0			V V
V _{IL}	Low Level Input Voltage CS, F ₀ , SDI	4.5V ≤ V _{CC} ≤ 5.5V 2.7V ≤ V _{CC} ≤ 5.5V	●			0.8 0.6	V V
V _{IH}	High Level Input Voltage SCK	2.7V ≤ V _{CC} ≤ 5.5V (Note 9) 2.7V ≤ V _{CC} ≤ 3.3V (Note 9)	●	2.5 2.0			V V
V _{IL}	Low Level Input Voltage SCK	4.5V ≤ V _{CC} ≤ 5.5V (Note 9) 2.7V ≤ V _{CC} ≤ 5.5V (Note 9)	●			0.8 0.6	V V
I _{IN}	Digital Input Current CS, F ₀ , SDI	0V ≤ V _{IN} ≤ V _{CC}	●	–10		10	μA
I _{IN}	Digital Input Current SCK	0V ≤ V _{IN} ≤ V _{CC} (Note 9)	●	–10		10	μA
C _{IN}	Digital Input Capacitance CS, F ₀ , SDI				10		pF
C _{IN}	Digital Input Capacitance SCK	(Note 9)			10		pF
V _{OH}	High Level Output Voltage SDO	I _O = –800μA	●	V _{CC} – 0.5			V

241418fa

デジタル入力およびデジタル出力

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 3)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{OL}	Low Level Output Voltage SDO	$I_O = 1.6\text{mA}$	●			0.4	V
V_{OH}	High Level Output Voltage SCK	$I_O = -800\mu\text{A}$ (Note 10)	●	$V_{CC} - 0.5$			V
V_{OL}	Low Level Output Voltage SCK	$I_O = 1.6\text{mA}$ (Note 10)	●			0.4	V
I_{OZ}	Hi-Z Output Leakage SDO		●	-10		10	μA

電源要件

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 3)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{CC}	Supply Voltage		●	2.7		5.5	V
I_{CC}	Supply Current Conversion Mode	$\overline{CS} = 0\text{V}$ (Note 12)	●		200	300	μA
	Sleep Mode	$\overline{CS} = V_{CC}$ (Note 12)	●		4	10	μA
	Sleep Mode	$\overline{CS} = V_{CC}$, $2.7\text{V} \leq V_{CC} \leq 3.3\text{V}$ (Note 12)			2		μA

タイミング特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 3)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
f_{EOSC}	External Oscillator Frequency Range		●	2.56		2000	kHz
t_{HEO}	External Oscillator High Period		●	0.25		390	μs
t_{LEO}	External Oscillator Low Period		●	0.25		390	μs
t_{CONV}	Conversion Time	$F_0 = 0\text{V}$ $F_0 = V_{CC}$ External Oscillator (Note 11)	● ● ●	130.86 157.03	133.53 160.23	136.20 163.44	ms ms ms
f_{ISCK}	Internal SCK Frequency	Internal Oscillator (Note 10) External Oscillator (Notes 10, 11)			19.2 $f_{EOSC}/8$		kHz kHz
D_{ISCK}	Internal SCK Duty Cycle	(Note 10)	●	45		55	%
f_{ESCK}	External SCK Frequency Range	(Note 9)	●			2000	kHz
t_{LESCK}	External SCK Low Period	(Note 9)	●	250			ns
t_{HESCK}	External SCK High Period	(Note 9)	●	250			ns
t_{DOUT_ISCK}	Internal SCK 32-Bit Data Output Time	Internal Oscillator (Notes 10, 12) External Oscillator (Notes 10, 11)	● ●	1.64	1.67 $256/f_{EOSC}$ (in kHz)	1.70	ms ms
t_{DOUT_ESCK}	External SCK 32-Bit Data Output Time	(Note 9)	●		$32/f_{ESCK}$ (in kHz)		ms

LTC2414/LTC2418

タイミング特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 3)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
t_1	$\overline{\text{CS}} \downarrow$ to SDO Low		●	0		200	ns
t_2	$\overline{\text{CS}} \uparrow$ to SDO High Z		●	0		200	ns
t_3	$\overline{\text{CS}} \downarrow$ to SCK \downarrow	(Note 10)	●	0		200	ns
t_4	$\overline{\text{CS}} \downarrow$ to SCK \uparrow	(Note 9)	●	50			ns
t_{KQMAX}	SCK \downarrow to SDO Valid		●			220	ns
t_{KQMIN}	SDO Hold After SCK \downarrow	(Note 5)	●	15			ns
t_5	SCK Set-Up Before $\overline{\text{CS}} \downarrow$		●	50			ns
t_6	SCK Hold After $\overline{\text{CS}} \downarrow$		●			50	ns
t_7	SDI Setup Before SCK \uparrow	(Note 5)	●	100			ns
t_8	SDI Hold After SCK \uparrow	(Note 5)	●	100			ns

Note 1: 絶対最大定格は、それを超えるとデバイスの寿命に悪影響を与える恐れがある値。

Note 2: すべての電圧値は GND を基準にしている。

Note 3: 注記がない限り、 $V_{\text{CC}} = 2.7\text{V} \sim 5.5\text{V}$ 。 $V_{\text{REF}} = \text{REF}^+ - \text{REF}^-$ 、 $V_{\text{REFCM}} = (\text{REF}^+ + \text{REF}^-)/2$ 。 $V_{\text{IN}} = \text{IN}^+ - \text{IN}^-$ 、 $V_{\text{INCM}} = (\text{IN}^+ + \text{IN}^-)/2$ 。 IN^+ および IN^- は、それぞれ選択された正および負の入力として定義される。

Note 4: 注記がない限り、 F_0 ピンの接続先は GND または V_{CC} または外部変換クロック信号源 ($f_{\text{EOSC}} = 153600\text{Hz}$)。

Note 5: 設計によって保証されているが、テストされない。

Note 6: 積分非直線性は、実際の伝達曲線の端点を通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: $F_0 = 0\text{V}$ (内部発振器) または $f_{\text{EOSC}} = 153600\text{Hz} \pm 2\%$ (外部発振器)。

Note 8: $F_0 = V_{\text{CC}}$ (内部発振器) または $f_{\text{EOSC}} = 128000\text{Hz} \pm 2\%$ (外部発振器)。

Note 9: コンバータは SCK ピンをデジタル入力として使用する外部 SCK 動作モードである。データの出力時に SCK を駆動するクロック信号の周波数は f_{ESCK} で、kHz 単位で表される。

Note 10: コンバータは SCK ピンをデジタル出力として使用する内部 SCK 動作モードである。この動作モードでは、SCK ピンの全等価負荷容量 $C_{\text{LOAD}} = 20\text{pF}$ となる。

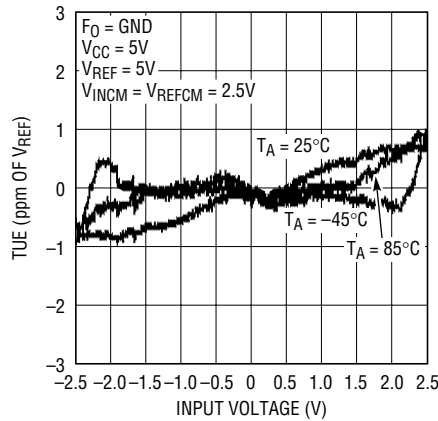
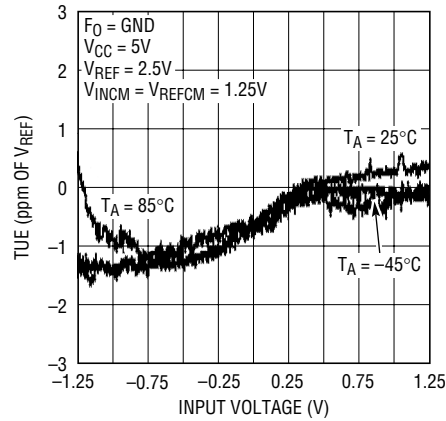
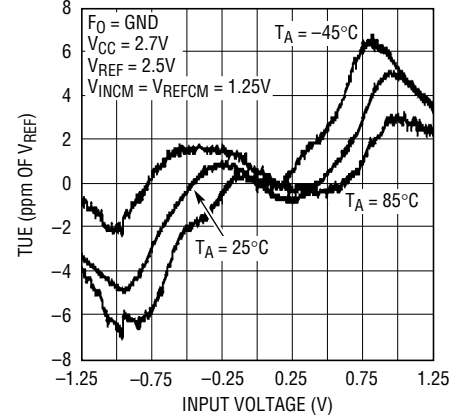
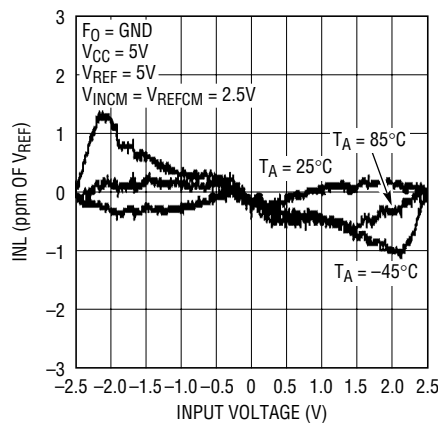
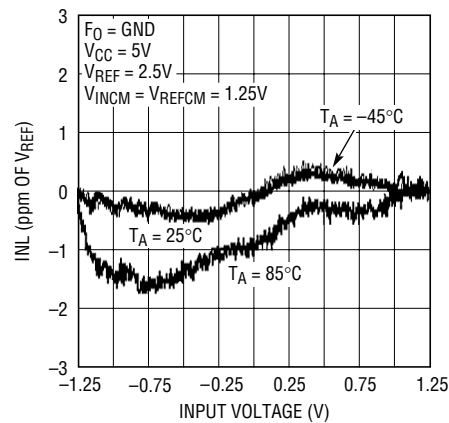
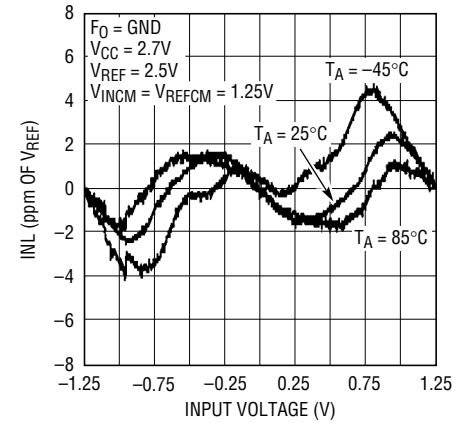
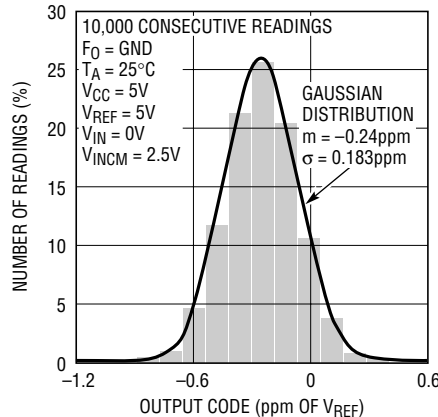
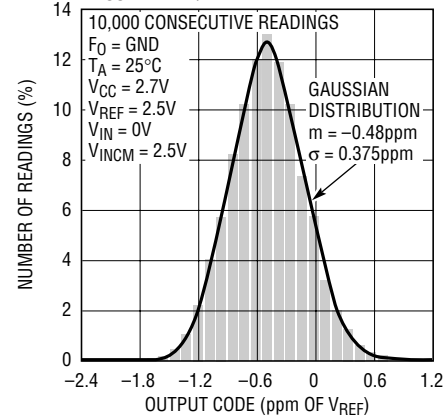
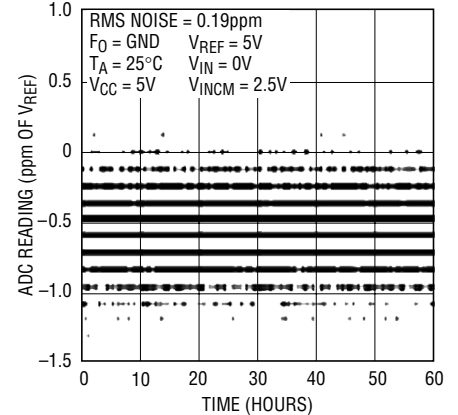
Note 11: 外部発振器は F_0 ピンに接続される。外部発振器の周波数は f_{EOSC} で、kHz 単位で表される。

Note 12: コンバータは内部発振器を使用する。 $F_0 = 0\text{V}$ または $F_0 = V_{\text{CC}}$ 。

Note 13: 出力ノイズには内部の校正動作に関わる部分が含まれる。

Note 14: 設計およびテストとの相関により保証されている。

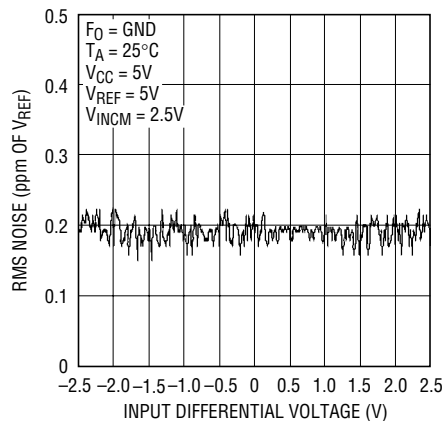
標準的性能特性

全未調整誤差
($V_{CC} = 5V$, $V_{REF} = 5V$)全未調整誤差
($V_{CC} = 5V$, $V_{REF} = 2.5V$)全未調整誤差
($V_{CC} = 2.7V$, $V_{REF} = 2.5V$)積分非直線性
($V_{CC} = 5V$, $V_{REF} = 5V$)積分非直線性
($V_{CC} = 5V$, $V_{REF} = 2.5V$)積分非直線性
($V_{CC} = 2.7V$, $V_{REF} = 2.5V$)ノイズのヒストグラム
($V_{CC} = 5V$, $V_{REF} = 5V$)ノイズのヒストグラム
($V_{CC} = 2.7V$, $V_{REF} = 2.5V$)A/D コンバータの長期的
読み取り値

LTC2414/LTC2418

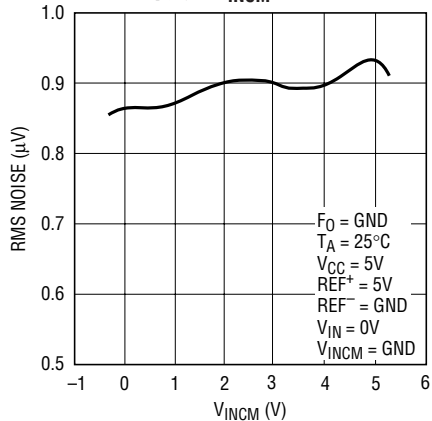
標準的性能特性

RMS ノイズと入力差動電圧



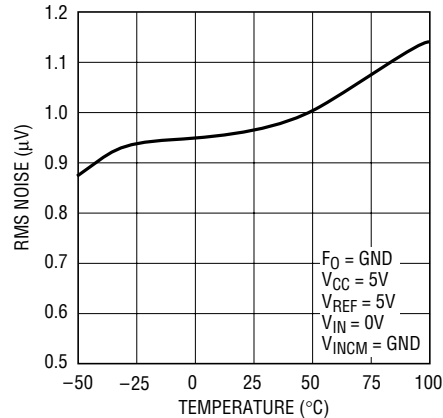
241418 G10

RMS ノイズと VINCM



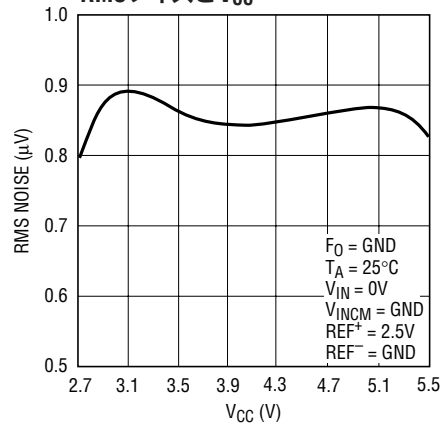
241418 G11

RMS ノイズと温度 (TA)



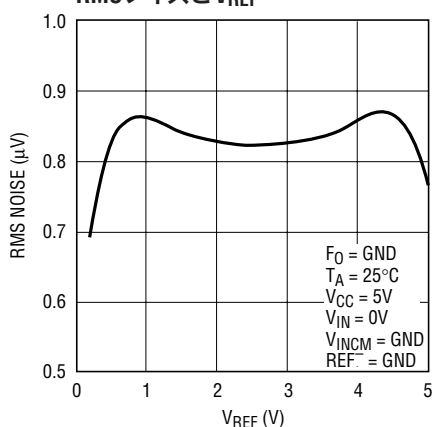
241418 G12

RMS ノイズと VCC



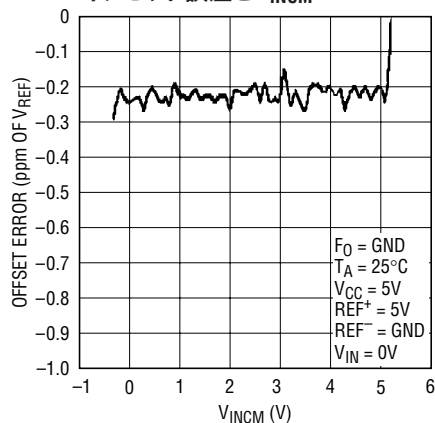
241418 G13

RMS ノイズと VREF



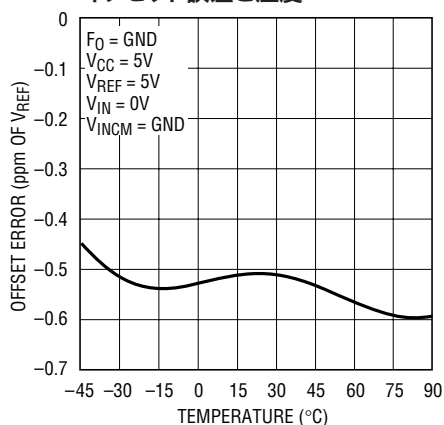
241418 G14

オフセット誤差と VINCM



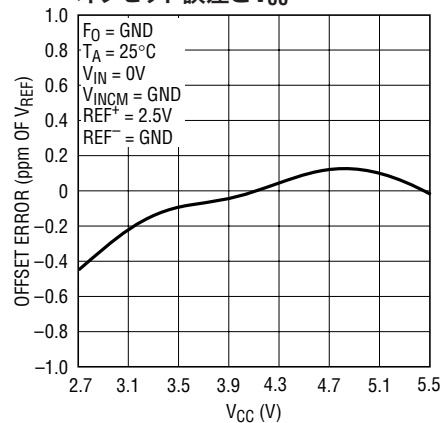
241418 G15

オフセット誤差と温度



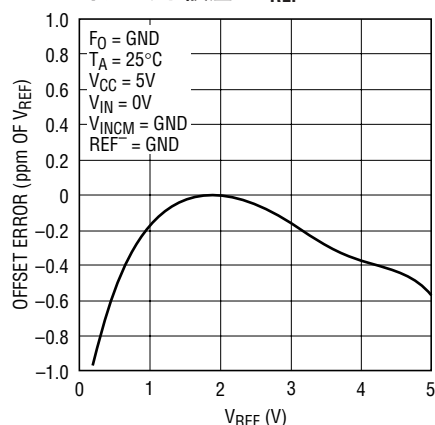
241418 G16

オフセット誤差と VCC



241418 G17

オフセット誤差と VREF

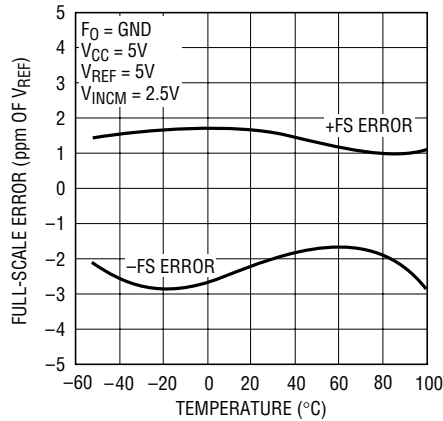


241418 G18

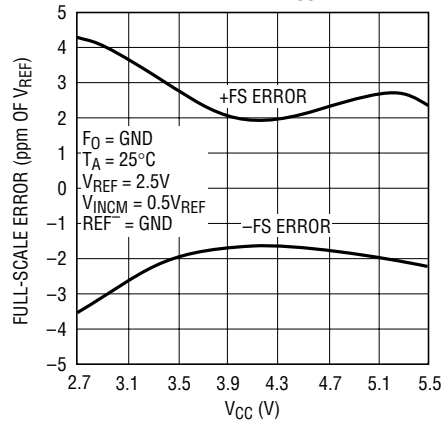
241418fa

標準的性能特性

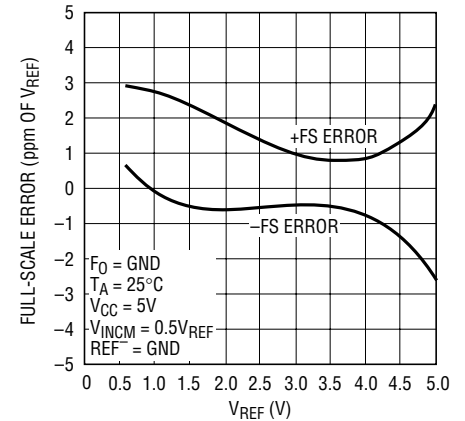
フルスケール誤差と温度



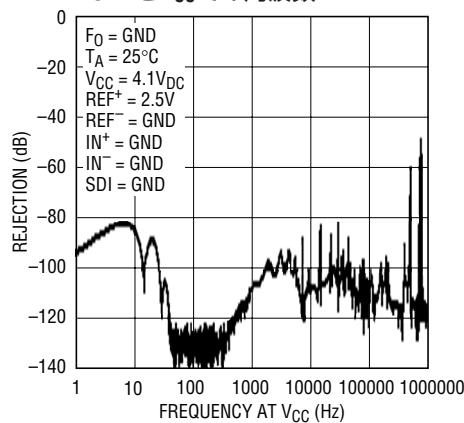
241418 G19

フルスケール誤差と V_{CC} 

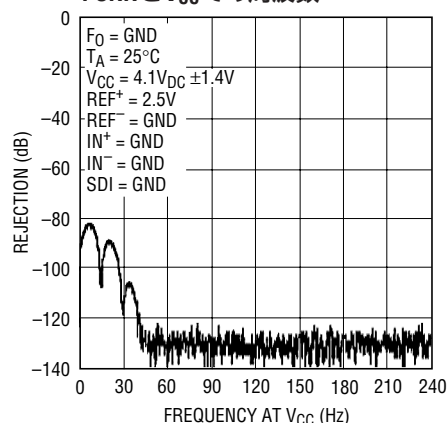
241418 G20

フルスケール誤差と V_{REF} 

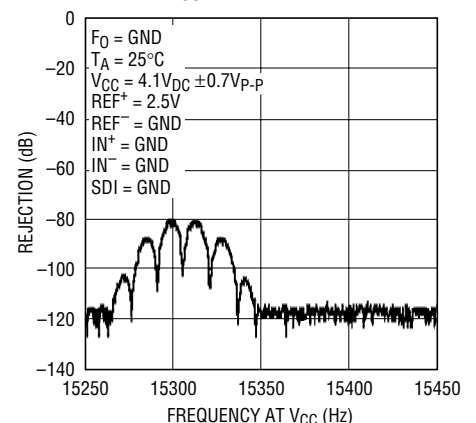
241418 G21

PSRRと V_{CC} での周波数

241418 G22

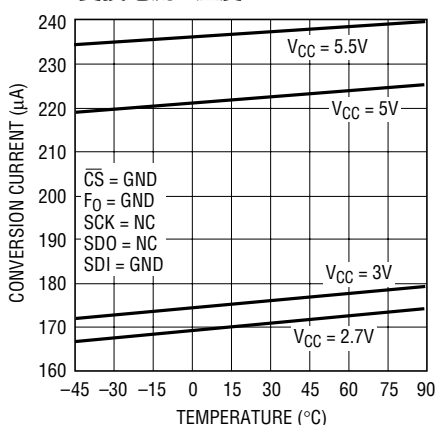
PSRRと V_{CC} での周波数

241418 G23

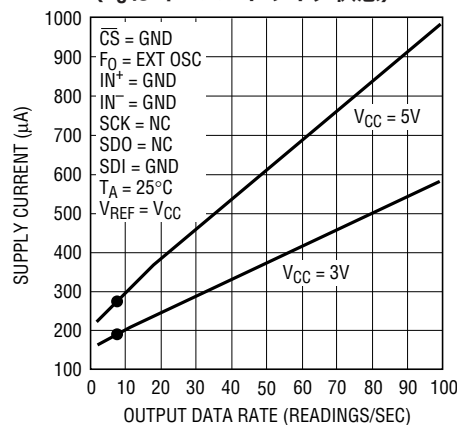
PSRRと V_{CC} での周波数

241418 G24

変換電流と温度

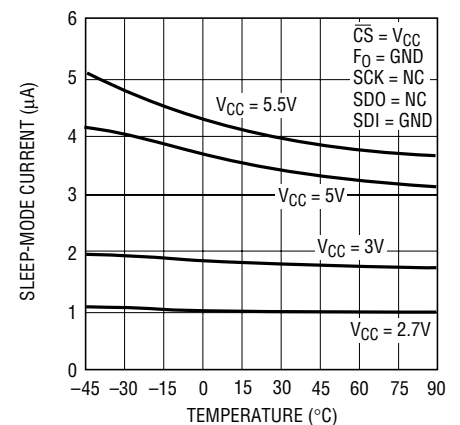


241418 G25

出力レートが高いときの電源電流
(F_0 はオーバードライブ状態)

241418 G26

スリープ・モード電流と温度



241418 G27

241418fa

ピン機能

CH0～CH15 (ピン21～ピン28およびピン1～ピン8) : アナログ入力。シングルエンド・モードまたは差動モードにプログラムすることができます。CH8～CH15 (ピン1～ピン8) は、LTC2414 では何も接続されていません。

V_{CC} (ピン9) : 正の電源電圧。10μF のタンタル・コンデンサと 0.1μF のセラミック・コンデンサをデバイスにできるだけ近づけて並列に接続し、GND (ピン15) にバイパスします。

COM (ピン10) : すべてのシングルエンド・マルチプレクサ構成の共通の負入力 (IN⁻)。チャンネル 0～15 ピンおよび COM 入力ピンの電圧は、GND - 0.3V から V_{CC} + 0.3V までの任意の値をとることができます。これらの制限範囲内では、選択された 2 つの入力 (IN⁺ および IN⁻) の入力範囲は両極性 (V_{IN} = IN⁺ - IN⁻) で、-0.5 • V_{REF} から 0.5 • V_{REF} までとなります。この入力範囲外では、コンバータは独自のオーバーレンジ出力コードおよびアンダーレンジ出力コードを生成します。

REF⁺ (ピン11)、REF⁻ (ピン12) : 差動リファレンス入力。これらのピンの値は、正のリファレンス入力 (REF⁺) を負のリファレンス入力 (REF⁻) より 0.1V 以上高い電圧に維持する限り、GND から V_{CC} までの任意の値にすることができます。

GND (ピン15) : グランド。このピンは低インピーダンスの接続点を介してグランド・プレーンに接続します。

$\overline{\text{CS}}$ (ピン16) : アクティブ“L”のデジタル入力。このピンを“L”にすると SDO デジタル出力がイネーブルされ、A/D コンバータが起動します。A/D コンバータは各変換後に自動的にスリープ・モードに入り、 $\overline{\text{CS}}$ が“H”である限り、この低消費電力状態のままです。データ出力伝送時に $\overline{\text{CS}}$ が“L”から“H”に切り替わると、データ伝送は中止され、新しい変換が始まります。

SDO (ピン17) : スリーステートのデジタル出力。データ出力期間中、このピンはシリアル・データ出力として使用されます。チップ選択 $\overline{\text{CS}}$ が“H” ($\overline{\text{CS}} = \text{V}_{\text{CC}}$) のとき、SDO ピンは高イン

ピーダンス状態です。変換期間中およびスリープ期間中、このピンは変換ステータス出力として使用されます。変換ステータスは $\overline{\text{CS}}$ を“L”にすれば確認できます。

SCK (ピン18) : 双方向のデジタル・クロック・ピン。内部シリアル・クロック動作モードでは、データ出力期間の間、内部シリアル・インタフェース・クロックのデジタル出力として SCK を使用します。外部シリアル・クロック動作モードでは、データ出力期間の間、外部シリアル・インタフェース・クロックのデジタル入力として SCK を使用します。内部シリアル・クロック動作モードでは、弱い内部プルアップが自動的に作動します。シリアル・クロック動作モードは、電源投入時または $\overline{\text{CS}}$ の直近の立ち上がりエッジのときに SCK に加わったロジック・レベルによって決まります。

F₀ (ピン19) : 周波数制御ピン。A/D コンバータのノッチ周波数および変換時間を制御するデジタル入力。F₀ ピンを V_{CC} に接続すると (F₀ = V_{CC})、コンバータはその内部発振器を使用し、デジタル・フィルタの最初のヌルは 50Hz になります。F₀ ピンを GND に接続すると (F₀ = 0V)、コンバータはその内部発振器を使用し、デジタル・フィルタの最初のヌルは 60Hz になります。周波数が f_{EOSC} の外部クロック信号で F₀ を駆動すると、コンバータはこの信号をコンバータのシステム・クロックとして使用し、デジタル・フィルタの最初のヌルの周波数は f_{EOSC}/2560 になります。

SDI (ピン20) : シリアル・デジタル・データ入力。データ出力期間中、このピンは、SCK の最初の立ち上がりエッジから始まるマルチプレクサ・アドレスのシフト入力に使用されます。変換期間中およびスリープ期間中、このピンはドントケア状態になります。ただし、ドントケア・モードでは SDI の“H”または“L”のロジック・レベルを維持して、SDI 入力バッファの電流が過剰にならないようにしてください。

NC ピン: 接続しないでください。

機能ブロック図

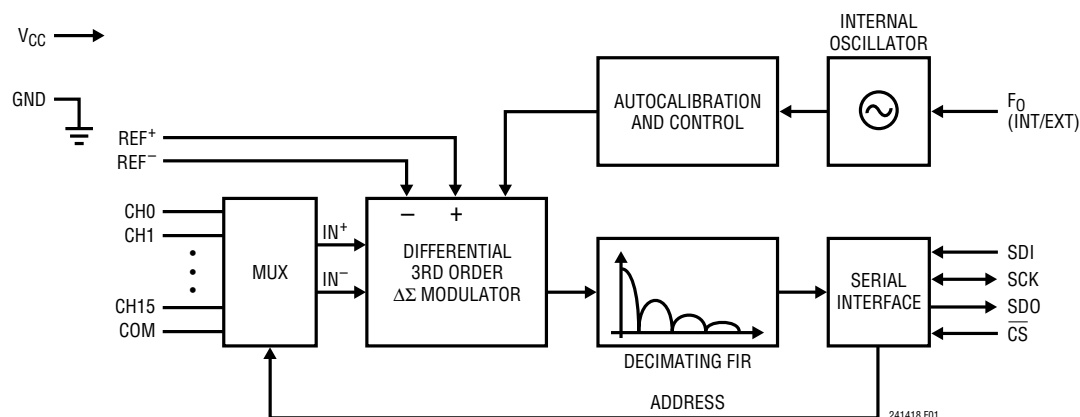


図1

テスト回路



アプリケーション情報

コンバータの動作

コンバータの動作サイクル

LTC2414/LTC2418は、使いやすい4線式シリアル・インタフェースを備えた多チャンネル、低消費電力の $\Delta\Sigma$ アナログ/デジタル・コンバータです(図1を参照)。A/Dコンバータの動作は3つの状態から成ります。コンバータの動作サイクルは変換から始まり、次に低消費電力のスリープ状態になり、データの入力/出力で終了します(図2を参照)。4線式インタフェースは、シリアル・データ入力(SDI)、シリアル・データ出力(SDO)、シリアル・クロック(SCK)、およびチップ選択($\overline{\text{CS}}$)で構成されています。

最初に、LTC2414またはLTC2418は変換を実行します。変換が完了すると、デバイスはスリープ状態になります。 $\overline{\text{CS}}$ が“H”

である限り、デバイスはスリープ状態のままです。スリープ状態のとき、消費電力は2桁近く減少します。コンバータがスリープ状態のとき、変換結果は静的シフト・レジスタに無期限に保持されます。

いったん $\overline{\text{CS}}$ が“L”になると、デバイスは低消費電力モードを終了し、データ出力状態になります。SCKの最初の立ち上がりエッジの前に $\overline{\text{CS}}$ が“H”になると、デバイスは低消費電力のスリープ・モードに戻り、変換結果は内部の静的シフト・レジスタで引き続き保持されます。SCKの最初の立ち上がりエッジ後に $\overline{\text{CS}}$ が“L”のままである場合、デバイスは変換結果の出力とチャンネル選択ビットの入力を開始します。この時点で $\overline{\text{CS}}$ が“H”になると、データ出力状態は終了し、新しい変換が開始されます。チャンネル選択制御ビットは、SCKの最初の立ち上がりエッジからSDIを介してシフトして入力されます。また、コンバー

アプリケーション情報

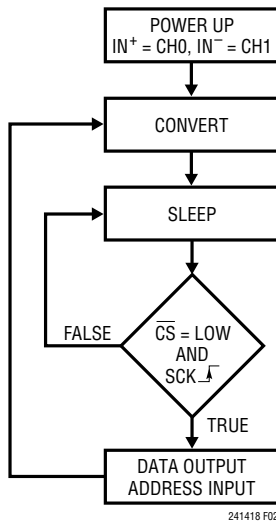


図2. LTC2414/LTC2418の状態遷移図

タは、制御ビットによってはそのチャネル選択を直ちに更新し、その選択は次の変換に対して有効です。チャネル選択制御ビットの詳細については、「入力データ・モード」のセクションで説明します。出力データは、シリアル・クロック (SCK) の制御により、SDO ピンからシフトして出力されます。出力データは SCK の立ち上がりエッジで更新されるので、ユーザーは SCK の立ち上がりエッジでデータを確実にラッチできます (図3を参照)。A/D コンバータから32ビットが読み出されるか、 \overline{CS} が“H”になると、データ出力状態は終了します。デバイスは自動的に新しい変換を開始し、サイクルが繰り返されます。

LTC2414/LTC2418は、 \overline{CS} ピンおよび SCK ピンのタイミング制御により、いくつかの柔軟な動作モード (内部 SCK モードまたは外部 SCK モードおよび自走変換モード) を備えています。これらのさまざまなモードでは、プログラミング構成レジスタが不要です。その上、前述した周期的動作が乱されることはありません。これらの動作モードについては、「シリアル・インタフェースのタイミング・モード」のセクションで詳細に説明します。

変換クロック

$\Delta \Sigma$ コンバータが従来型のコンバータと比べて有利な主な点は、(一般に Sinc フィルタまたはくし形フィルタとして実装されている) 内蔵のデジタル・フィルタです。高分解能で低周波数のアプリケーションの場合、このフィルタは通常、50Hz または 60Hz の電源周波数とその高調波を除去する目的で設計

されます。フィルタ除去性能は、コンバータのシステム・クロックの精度に直接関係します。LTC2414/LTC2418は、高精度の発振器を内蔵しています。これにより、水晶発振子や発振器などの外部周波数設定部品が不要になります。LTC2414/LTC2418では、内蔵発振器がクロックを生成するので、電源周波数 (50Hz または 60Hz $\pm 2\%$) で 110dB 以上の除去比を実現します。

使いやすさ

LTC2414/LTC2418 のデータ出力には、待ち時間、フィルタ設定遅延時間、変換サイクルに付随する冗長データのいずれも存在しません。変換データと出力データは1対1で対応しています。したがって、複数のアナログ電圧の多重化が容易です。

LTC2414/LTC2418は、オフセットとフルスケールの較正を変換サイクルごとに実行します。この較正はユーザーが認識することではなく、前述した周期的動作には影響しません。連続的較正の利点は、オフセットとフルスケールの読み取り値が、時間、電源電圧変動、および温度ドリフトに対してきわめて安定していることです。

起動シーケンス

電源電圧 V_{CC} が約 2V より低くなると、LTC2414/LTC2418は自動的に内部リセット状態に入ります。この機能により、変換結果とシリアル・インタフェース・モード選択の完全性が保証されます。(「シリアル・インタフェースのタイミング・モード」のセクションの3線 I/O の部分を参照してください。)

V_{CC} の電圧がこの臨界しきい値より高くなると、コンバータは標準周期が 1ms のパワーオン・リセット (POR) 信号を生成します。POR 信号はすべての内部レジスタをクリアします。LTC2414/LTC2418は、POR 信号の後に通常の変換サイクルを開始し、その後、前述した一連の状態が続きます。POR の期間が終了する前に電源電圧が動作範囲 (2.7V ~ 5.5V) 内に戻る場合、POR 後の最初の変換結果はデバイスの規格範囲内で正確です。

リファレンス電圧範囲

LTC2414/LTC2418は、完全に差動の外部リファレンス電圧を使用できます。REF⁺ ピンと REF⁻ ピンの絶対電圧/同相電圧規格は、GND から V_{CC} までの全範囲を網羅します。正確なコンバータ動作を確保するため、REF⁺ ピンの電圧は REF⁻ ピンの電圧より常に高い必要があります。

アプリケーション情報

LTC2414/LTC2418は、0.1Vから V_{CC} までの差動リファレンス電圧を使用できます。コンバータの出力ノイズはフロントエンド回路の熱ノイズによって決まるので、その値(単位:nV)はリファレンス電圧によらずほぼ一定です。リファレンス電圧を低くしても、コンバータの実効分解能が大幅に向上することはありません。これに反して、リファレンス電圧が低いとコンバータの全体的なINL性能は向上します。また、出力データ・レートが相当高いときに外部変換クロック(外部 F_O 信号)を使用して動作させた場合にも、リファレンス電圧が低いとコンバータの性能が向上します。

入力電圧範囲

2つの選択ピンは IN^+ および IN^- と表記されます(表1および表2を参照)。(差動モードまたはシングルエンド多重化モード)選択した場合、アナログ入力を入力ピン IN^+ と IN^- の同相範囲が $GND - 0.3V$ から $V_{CC} + 0.3V$ までの差動になります。これらの限界を超えると、ESD保護デバイスが導通し始め、入力漏れ電流に起因する誤差が急速に増加します。これらの限界の範囲内では、LTC2414/LTC2418は両極性の差動入力信号 $V_{IN} = IN^+ - IN^-$ を $-FS = -0.5 \cdot V_{REF}$ から $+FS = 0.5 \cdot V_{REF}$ までの範囲で変換します。ここで、 $V_{REF} = REF^+ - REF^-$ です。この範囲外では、コンバータは特異な出力コードを使用してオーバーレンジ状態またはアンダーレンジ状態を示します。

IN^+ ピンと IN^- ピンに加える入力信号は、グラウンドより300mV低いか V_{CC} より300mV高い値まで広げることができます。フォルト電流を制限するため、デバイスの性能に影響を与えずに、最大5kの抵抗を IN^+ ピンまたは IN^- ピンと直列に追加することができます。物理的なレイアウトでは、これらの直列抵抗と対応するピンの間の接続の寄生容量をできるだけ低く抑えることが重要です。したがって、抵抗は可能な限りピンに近づけて配置します。さらに、直列抵抗により、入力漏れ電流に起因する温度依存性オフセット誤差が発生します。 $V_{REF} = 5V$ の場合、1nAの入力漏れ電流によって5kの抵抗に1ppmのオフセット誤差が生じます。この誤差には非常に強い温度依存性があります。

入力データ形式

LTC2414/LTC2418を起動すると、最初の変換で使用するデフォルトの選択は $IN^+ = CH0$ および $IN^- = CH1$ (アドレス = 00000)です。最初の変換後のデータ入力/出力モードでは、8ビット・ワードを使用してチャンネル選択を更新できます。LTC2414/LTC2418のシリアル入力データはSDIピンに入り、SCKの立ち上がりエッジでクロックに同期します(図3を参照)。入力は8ビット・ワードで構成されており、先頭の3ビットは制御ビットとして、残りの5ビットはチャンネル・アドレス・ビットとして機能します。

先頭の2ビットは、正常な更新動作のため、常に10です。第3ビットはENです。EN = 1の場合、後続の5ビットを使用して入力チャンネル選択を更新します。EN = 0の場合、直前のチャンネル選択が保持され、後続のビットは無視されます。したがって、3つの制御ビットが101のときはアドレスが更新され、100のときは保持されます。代わりに、3つの制御ビットをすべて0にして前のアドレスを保持することもできます。この代替案の目的はSDIインタフェースの簡略化であり、更新が不要な場合はSDIをグラウンドにそのまま接続することができます。3つの制御ビットの組み合わせを101、100、および000以外にするのは避けてください。

更新動作を設定した場合(101)、それ以降の5ビットはチャンネル・アドレスです。先頭ビットSGLは、差動選択モード($SGL = 0$)とシングルエンド選択モード($SGL = 1$)のどちらを使用するかを決定します。 $SGL = 0$ の場合は、2つの隣接チャンネルを選択して差動入力を形成できます。 $SGL = 1$ の場合、LTC2414では8チャンネル($CH0 \sim CH7$)のいずれかを、LTC2418では16チャンネル($CH0 \sim CH15$)のいずれかを正の入力として選択し、COMピンを負の入力として使用します。LTC2414では、下半分のチャンネル($CH0 \sim CH7$)を使用し、チャンネル・アドレス・ビットA2は常に0にします。表1を参照してください。これに対してLTC2418では、16チャンネルすべてを使用するので、対応する選択表(表2)のサイズはLTC2414の場合(表1)の倍になります。ある特定のチャンネルの選択の場合は、表1または表2の選択行で IN^+ および IN^- によって表示された2つのチャンネル間の電圧をコンバータが測定します。

アプリケーション情報

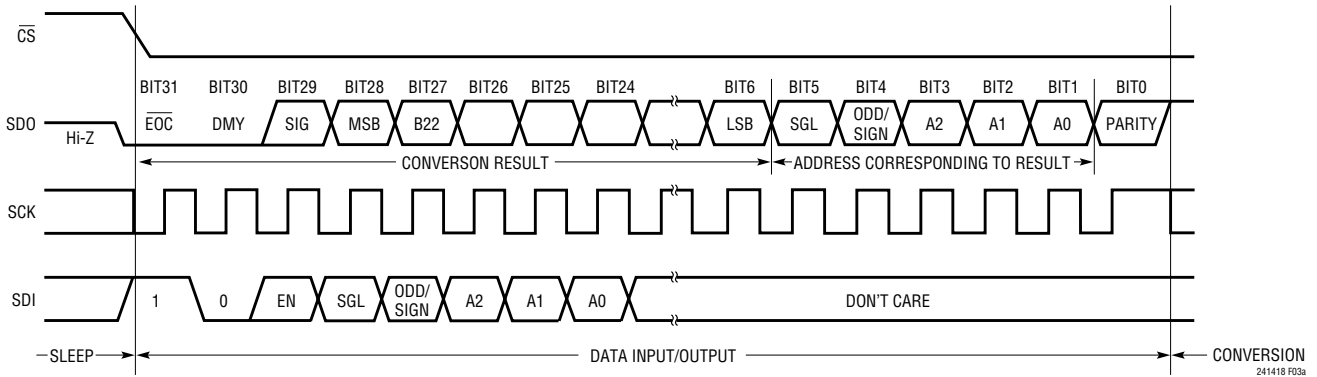


図3a. 入力/出力データのタイミング

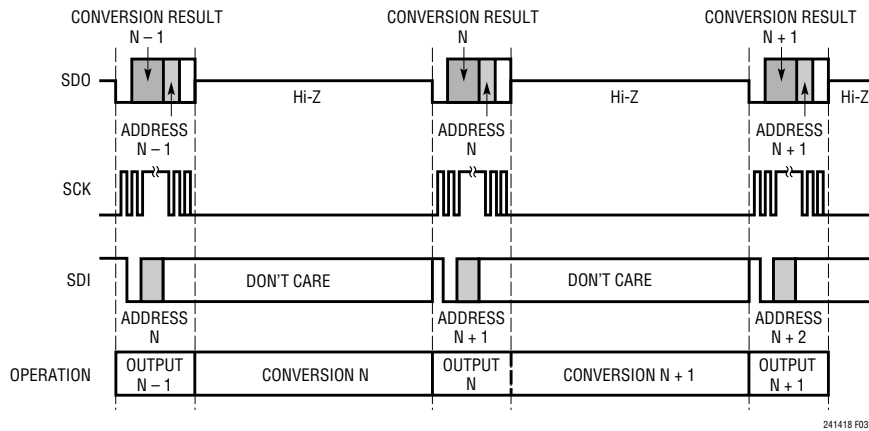


図3b. 標準的な動作シーケンス

表1. LTC2414のチャンネル選択(ビットA2は常時0)

マルチプレクサのアドレス					チャンネル選択								
SGL	ODD/ SIGN	A2	A1	A0	0	1	2	3	4	5	6	7	COM
*0	0	0	0	0	IN ⁺	IN ⁻							
0	0	0	0	1			IN ⁺	IN ⁻					
0	0	0	1	0					IN ⁺	IN ⁻			
0	0	0	1	1							IN ⁺	IN ⁻	
0	1	0	0	0	IN ⁻	IN ⁺							
0	1	0	0	1			IN ⁻	IN ⁺					
0	1	0	1	0					IN ⁻	IN ⁺			
0	1	0	1	1							IN ⁻	IN ⁺	
1	0	0	0	0	IN ⁺								IN ⁻
1	0	0	0	1			IN ⁺						IN ⁻
1	0	0	1	0					IN ⁺				IN ⁻
1	0	0	1	1							IN ⁺		IN ⁻
1	1	0	0	0		IN ⁺							IN ⁻
1	1	0	0	1				IN ⁺					IN ⁻
1	1	0	1	0						IN ⁺			IN ⁻
1	1	0	1	1								IN ⁺	IN ⁻

* 電源投入時のデフォルト

アプリケーション情報

表2. LTC2418のチャンネル選択

マルチプレクサのアドレス					チャンネル選択																	
SGL	ODD/ SIGN	A2	A1	A0	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	COM	
*0	0	0	0	0	IN ⁺	IN ⁻																
0	0	0	0	1			IN ⁺	IN ⁻														
0	0	0	1	0					IN ⁺	IN ⁻												
0	0	0	1	1							IN ⁺	IN ⁻										
0	0	1	0	0									IN ⁺	IN ⁻								
0	0	1	0	1											IN ⁺	IN ⁻						
0	0	1	1	0													IN ⁺	IN ⁻				
0	0	1	1	1															IN ⁺	IN ⁻		
0	1	0	0	0	IN ⁻	IN ⁺																
0	1	0	0	1			IN ⁻	IN ⁺														
0	1	0	1	0					IN ⁻	IN ⁺												
0	1	0	1	1							IN ⁻	IN ⁺										
0	1	1	0	0									IN ⁻	IN ⁺								
0	1	1	0	1											IN ⁻	IN ⁺						
0	1	1	1	0													IN ⁻	IN ⁺				
0	1	1	1	1															IN ⁻	IN ⁺		
1	0	0	0	0	IN ⁺																IN ⁻	
1	0	0	0	1			IN ⁺														IN ⁻	
1	0	0	1	0					IN ⁺												IN ⁻	
1	0	0	1	1							IN ⁺										IN ⁻	
1	0	1	0	0									IN ⁺								IN ⁻	
1	0	1	0	1											IN ⁺						IN ⁻	
1	0	1	1	0													IN ⁺				IN ⁻	
1	0	1	1	1															IN ⁺		IN ⁻	
1	1	0	0	0		IN ⁺															IN ⁻	
1	1	0	0	1				IN ⁺													IN ⁻	
1	1	0	1	0						IN ⁺											IN ⁻	
1	1	0	1	1								IN ⁺									IN ⁻	
1	1	1	0	0										IN ⁺							IN ⁻	
1	1	1	0	1												IN ⁺					IN ⁻	
1	1	1	1	0														IN ⁺			IN ⁻	
1	1	1	1	1																IN ⁺	IN ⁻	

*電源投入時のデフォルト

出力データ形式

LTC2414/LTC2418のシリアル出力データ・ストリームは、32ビット長です。先頭の3ビットはステータス情報を表し、符号と変換状態を示します。次の23ビットは変換結果で、MSBが先頭です。その次の5ビット(ビット5～ビット1)は、変換が実

行された直後のチャンネルのうち、どのチャンネルが選択されたかを示します。このデータ出力段階でプログラムされたアドレス・ビットが、次のサイクルの入力チャンネルを選択します。これらのアドレス・ビットは、図3bに示すように、後続のデータ読み取り時に出力されます。最終ビットは、直前の31ビットのパリティ

アプリケーション情報

を表すパリティ・ビットです。パリティ・ビットは、特に出力データを一定の距離送信する場合、出力データの完全性を検査するのに役立ちます。また、3番目と4番目のビットは、アンダーレンジ条件(差動入力電圧が $-FS$ より低い)またはオーバーレンジ条件(差動入力電圧が $+FS$ より高い)を示す目的でも一緒に使用されます。

ビット31(最初の出力ビット)は、変換の終了(\overline{EOC})インジケータです。このビットは、 \overline{CS} ピンが“L”のときは必ず、変換中およびスリープ状態時にSDOピンで使用可能です。このビットは変換中は“H”になり、変換が完了すると“L”になります。

ビット30(2番目の出力ビット)はダミー・ビット(DMY)であり、常に“L”です。

ビット29(3番目の出力ビット)は変換結果の符号インジケータ(SIG)です。 V_{IN} が0より高い場合、このビットは“H”です。 V_{IN} が0より低い場合、このビットは“L”です。

ビット28(4番目の出力ビット)は、結果の最上位ビット(MSB)です。このビットとビット29を組み合わせた場合にも、アンダーレンジまたはオーバーレンジを示すことができます。ビット29とビット28が両方とも“H”である場合、差動入力電圧は $+FS$ より高くなっています。ビット29とビット28が両方とも“L”である場合、差動入力電圧は $-FS$ より低くなっています。

これらのビットの機能を表3にまとめています。

表3. LTC2414/LTC2418のステータス・ビット

入力範囲	ビット31 EOC	ビット30 DMY	ビット29 SIG	ビット28 MSB
$V_{IN} \geq 0.5 \cdot V_{REF}$	0	0	1	1
$0V \leq V_{IN} < 0.5 \cdot V_{REF}$	0	0	1	0
$-0.5 \cdot V_{REF} \leq V_{IN} < 0V$	0	0	0	1
$V_{IN} < -0.5 \cdot V_{REF}$	0	0	0	0

ビット28～6は、23ビットの変換結果で、MSBが先頭になっています。

ビット6は最下位ビット(LSB)です。

ビット5～1は、図3に示すように、ビットSGLの出力を先頭にした場合の現在の変換結果に対応するチャンネル選択ビットです。

ビット0は、直前の31ビットのパリティを表すパリティ・ビットです。パリティ・ビットを含めて、出力データでの1の数の合計と0の数の合計は常に同じです。

データは、シリアル・クロック(SCK)の制御により、SDOピンからシフトして出力されます。図3を参照してください。 \overline{CS} が“H”のとき、SDOは常に高インピーダンスのままであり、外部で生成されたSCKクロック・パルスが入力された場合でも、内部データ出力のシフト・レジスタによって無視されます。

変換結果をデバイスからシフトするため、 \overline{CS} は最初に“L”にする必要があります。 \overline{CS} が“L”になると、デバイスのSDOピンに \overline{EOC} が現れます。 \overline{EOC} は、変換の完了時にリアルタイムで“H”から“L”に変化します。この信号は外部マイクロコントローラの割り込みとして使用できます。ビット31(\overline{EOC})はSCKの最初の立ち上がりエッジで捕捉できます。ビット30はSCKの最初の立ち下がりエッジでデバイスからシフトして出力されます。最終データ・ビット(ビット0)は、SCKの31番目の立ち下がりエッジでシフトして出力されます。また、このビットはSCKパルスの32番目の立ち上がりエッジでラッチされる場合があります。SCKパルスの32番目の立ち下がりエッジでは、SDOが“H”になり、新しい変換サイクルの開始を示します。このビットは次の変換サイクルの \overline{EOC} (ビット31)として機能します。出力データ形式の要約を表4に示します。

すべてのチャンネル($CH0 \sim CH15$, COM)に印加されている電圧が $-0.3V \sim (V_{CC} + 0.3V)$ の絶対最大動作範囲内に維持されている限り、 $-FS = -0.5 \cdot V_{REF}$ から $+FS = 0.5 \cdot V_{REF}$ までのすべての差動入力電圧 V_{IN} に対して変換結果が生成されます。差動入力電圧が $+FS$ より高い場合、変換結果は $+FS + 1LSB$ に対応する値にクランプされます。差動入力電圧が $-FS$ より低い場合、変換結果は $-FS - 1LSB$ に対応する値にクランプされます。

除去周波数の選択(F_0)

LTC2414/LTC2418の内部発振器は、 $50Hz \pm 2\%$ または $60Hz \pm 2\%$ の電源周波数およびそのすべての高調波において、 $110dB$ より優れたノーマル・モード除去比を実現します。 $60Hz$ を除去する場合は F_0 ピンをGNDに接続しますが、 $50Hz$ を除去する場合は F_0 ピンを V_{CC} に接続します。

$50Hz$ または $60Hz$ のどちらを除去するかは、 F_0 を該当のロジック・レベルに駆動して選択することもできます。スリープ状態またはデータ出力状態時に選択を変更しても、コンバータの動作に支障はありません。変換状態時に選択を行うと、進行中の変換の結果が規格外になることがありますが、後続の変換は影響を受けません。

アプリケーション情報

表4. LTC2414/LTC2418の出力データ形式

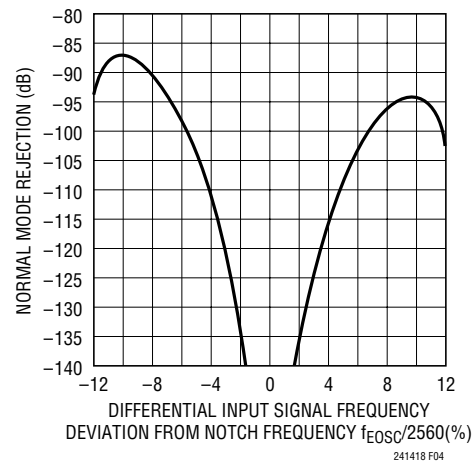
差動入力電圧 V_{IN}^*	ビット31 EOC	ビット30 DMY	ビット29 SIG	ビット28 MSB	ビット27	ビット26	ビット25	...	ビット6 LSB
$V_{IN}^* \geq 0.5 \cdot V_{REF}^{**}$	0	0	1	1	0	0	0	...	0
$0.5 \cdot V_{REF}^{**} - 1\text{LSB}$	0	0	1	0	1	1	1	...	1
$0.25 \cdot V_{REF}^{**}$	0	0	1	0	1	0	0	...	0
$0.25 \cdot V_{REF}^{**} - 1\text{LSB}$	0	0	1	0	0	1	1	...	1
0	0	0	1	0	0	0	0	...	0
-1LSB	0	0	0	1	1	1	1	...	1
$-0.25 \cdot V_{REF}^{**}$	0	0	0	1	1	0	0	...	0
$-0.25 \cdot V_{REF}^{**} - 1\text{LSB}$	0	0	0	1	0	1	1	...	1
$-0.5 \cdot V_{REF}^{**}$	0	0	0	1	0	0	0	...	0
$V_{IN}^* < -0.5 \cdot V_{REF}^{**}$	0	0	0	0	1	1	1	...	1

* 差動入力電圧 $V_{IN} = IN^+ - IN^-$ 。** 差動リファレンス電圧 $V_{REF} = REF^+ - REF^-$ 。

50Hzまたは60Hzとは異なる基本除去周波数が必要な場合、あるいはコンバータが外部信号源と同期する必要がある場合、LTC2414/LTC2418は外部変換クロックを使用して動作することができます。コンバータは F_O ピンで外部クロック信号の存在を自動的に検出し、内部発振器を停止します。検出する外部信号の周波数 f_{EOSC} は、2560Hz（ノッチ周波数：1Hz）以上にする必要があります。外部クロック信号のデューティ・サイクルは、“H”と“L”の周期の最小規格および最大規格 t_{HEO} および t_{LEO} が守られている限り、重要ではありません。

コンバータは、周波数が f_{EOSC} の外部変換クロックを使用して動作する場合、周波数範囲 $f_{EOSC}/2560 \pm 4\%$ およびその高調波においては、110dBより優れたノーマル・モード除去比を実現します。 $f_{EOSC}/2560$ からの入力周波数偏移の関数として表したノーマル・モード除去比特性を図4に示します。

F_O ピンに外部クロックが存在しない場合、コンバータは必ずその内部発振器を自動的に起動し、内部変換クロック・モードに入ります。コンバータが外部シリアル・クロックを使用しているとき、スリープ状態時またはデータ出力状態時に変換クロック信号源が変更された場合でも、コンバータの動作に支障はありません。変換状態時に変更が生じると、進行中の変換の結果が規格外になることがあります。後続の変換は影響を受けません。データ出力状態時に変更が発生し、コンバータが内部SCKモードに入っている場合、シリアル・クロックのデューティ・サイクルが影響を受けることがあります。シリアル・データ・ストリームは有効のまま推移します。

図4. 周波数 f_{EOSC} の外部発振器を使用した場合のLTC2414/LTC2418のノーマル・モード除去比

F_O に応じた各状態の持続時間および達成可能な出力データ・レートのを表5に示します。

シリアル・インタフェース・ピン

LTC2414/LTC2418は、同期4線式インタフェースを介して変換結果を送信し、変換開始コマンドを受信します。変換状態およびスリープ状態の間は、このインタフェースを使用してコンバータのステータスにアクセスすることができます。また、データ入力/出力状態の間は、このインタフェースを使用して変換結果の読み取りとチャンネル選択ビットへの書き込みを行います。

LTC2414/LTC2418

アプリケーション情報

表 5. LTC2414/LTC2418 の状態持続時間

状態	動作モード		持続時間
変換	内部発振器	$F_0 = "L"$ (60Hz を除去)	133ms、出力データ・レート ≤ 7.5 回/秒の読み取り
		$F_0 = "H"$ (50Hz を除去)	160ms、出力データ・レート ≤ 6.2 回/秒の読み取り
	外部発振器	$F_0 =$ 周波数が f_{EOSC} kHz の外部発振器 ($f_{EOSC}/2560$ を除去)	$20510/f_{EOSC}$ 秒、出力データ・レート $\leq f_{EOSC}/20510$ 回/秒の読み取り
スリープ			$\overline{CS} = "L"$ で SCK が \downarrow になるまでは、 $\overline{CS} = "H"$ である限り持続
データ出力	内部シリアル・クロック	$F_0 = "L"/"H"$ (内部発振器)	$\overline{CS} = "L"$ である限り持続。 ただし、1.67ms (SCK 32 サイクル) は超えない
		$F_0 =$ 周波数が f_{EOSC} kHz の外部発振器	$\overline{CS} = "L"$ である限り持続。 ただし、 $256/f_{EOSC}$ ms (SCK 32 サイクル) は超えない
	周波数が f_{SCK} kHz の外部シリアル・クロック		$\overline{CS} = "L"$ である限り持続。 ただし、 $32/f_{SCK}$ ms (SCK 32 サイクル) は超えない

シリアル・クロック入力/出力 (SCK)

SCK (ピン 18) にあるシリアル・クロック信号は、データ伝送を同期するために使用します。データの各ビットは、シリアル・クロックの立ち下がりエッジで SDO ピンからシフトして出力され、各入力ビットは、シリアル・クロックの立ち上がりエッジで SDI ピンにシフトして入力されます。

内部 SCK 動作モードでは、SCK ピンは出力であり、LTC2414/LTC2418 は、内部変換クロックを 8 分周することにより、デバイス固有のシリアル・クロックを生成します。外部 SCK 動作モードでは、SCK ピンは入力として使用されます。起動時に内部または外部 SCK モードが選択され、その後、 \overline{CS} ピンで "H" から "L" への遷移が検出されるたびにモードは再選択されます。起動時またはこの遷移時に SCK が "H" であるかフロート状態である場合、コンバータは内部 SCK モードに入ります。起動時またはこの遷移時に SCK が "L" である場合、コンバータは外部 SCK モードに入ります。

シリアル・データ入力 (SDI)

シリアル・データ入力ピン (SDI、ピン 20) を使用するの、データ出力状態時にチャネル制御ビットにシフトして入力し、後続の変換のチャネル選択に備える場合です。

\overline{CS} (ピン 16) が "H" のとき、またはコンバータが変換状態のとき、SDI 入力は無視され、"H" または "L" のどちらにも駆動される可能性があります。 \overline{CS} が "L" になって変換が完了すると、SDO は "L" になり、SDI は SCK の立ち上がりエッジでビットのシフト入力を開始します。

シリアル・データ出力 (SDO)

シリアル・データ出力ピン (SDO、ピン 17) は、データ出力状態時に最後の変換の結果をシリアル・ビット・ストリーム (MSB が先頭) として出力します。さらに、SDO ピンは、変換状態時およびスリープ状態時に変換終了インジケータとして使用されます。

\overline{CS} (ピン 16) が "H" のとき、SDO ドライバは高インピーダンス状態に切り換わります。これにより、シリアル・インタフェースを他のデバイスと共有することができます。変換状態時またはスリープ状態時に \overline{CS} が "L" の場合、SDO は \overline{EOC} を出力します。変換段階時に \overline{CS} が "L" の場合は、 \overline{EOC} ビットが "H" になって SDO ピンに現れます。変換が完了すると、 \overline{EOC} は "L" になります。 $\overline{CS} = "L"$ の間に SCK の最初の立ち上がりエッジが現れるまで、デバイスはスリープ状態にとどまります。

チップ選択入力 (\overline{CS})

アクティブ "L" のチップ選択 (\overline{CS} 、ピン 16) を使用するの、前のセクションで説明したように、変換ステータスをテストし、データの入力/出力伝送を可能にするためです。

さらに、 \overline{CS} 信号を使用して新しい変換サイクルを起動してから、シリアル・データ伝送全体を完了させることもできます。LTC2414/LTC2418 は、データ入力/出力状態に入った後に (つまり、 $\overline{CS} = "L"$ のときに SCK の最初の立ち上がりエッジが現れた後に)、 \overline{CS} ピンで "L" から "H" への遷移を検出すると、進行中のすべてのシリアル・データ伝送を中止して、新しい変換サイクルを開始します。 \overline{CS} が "H" になっている間にデバイスが

アプリケーション情報

SDIの最後の入力ビットA0の読み込みを終了しなかった場合、アドレス情報は破棄され、直前のアドレスが保持されます。

最後に、 \overline{CS} を使用して自走動作モードを制御することができます。「シリアル・インタフェースのタイミング・モード」のセクションを参照してください。 \overline{CS} を接地すると、A/Dコンバータによる連続変換が、 F_O によって選択された最大出力レートで強制的に行われます。

シリアル・インタフェースのタイミング・モード

LTC2414/LTC2418の4線式インタフェースは、SPIおよびMICROWIRE互換です。このインタフェースは、いくつかの柔軟な動作モードを備えています。動作モードには、内部/外部

シリアル・クロック、3線または4線入出力、単一サイクル変換などがあります。以下のセクションでは、これらのシリアル・インタフェースのタイミング・モードのそれぞれについて詳細に説明します。これらの場合には、コンバータは内部発振器($F_O = "L"$ または $F_O = "H"$)または F_O ピンに接続されている外部発振器を使用できます。要約については表6を参照してください。

外部シリアル・クロック、単一サイクル動作 (SPI/MICROWIRE 互換)

このタイミング・モードでは、外部シリアル・クロックを使用して変換結果と \overline{CS} 信号をシフトして出力し、変換サイクルの状態をモニタして制御することができます。図5を参照してください。

表 6. LTC2414/LTC2418 のインタフェースのタイミング・モード

構成	SCK 信号源	変換サイクル制御	データ出力制御	接続および波形
外部 SCK、単一サイクル変換	外部	\overline{CS} および SCK	\overline{CS} および SCK	図 5、図 6
外部 SCK、3 線式入出力	外部	SCK	SCK	図 7
内部 SCK、単一サイクル変換	内部	$\overline{CS} \downarrow$	$\overline{CS} \downarrow$	図 8、図 9
内部 SCK、3 線式入出力、連続変換	内部	連続	内部	図 10

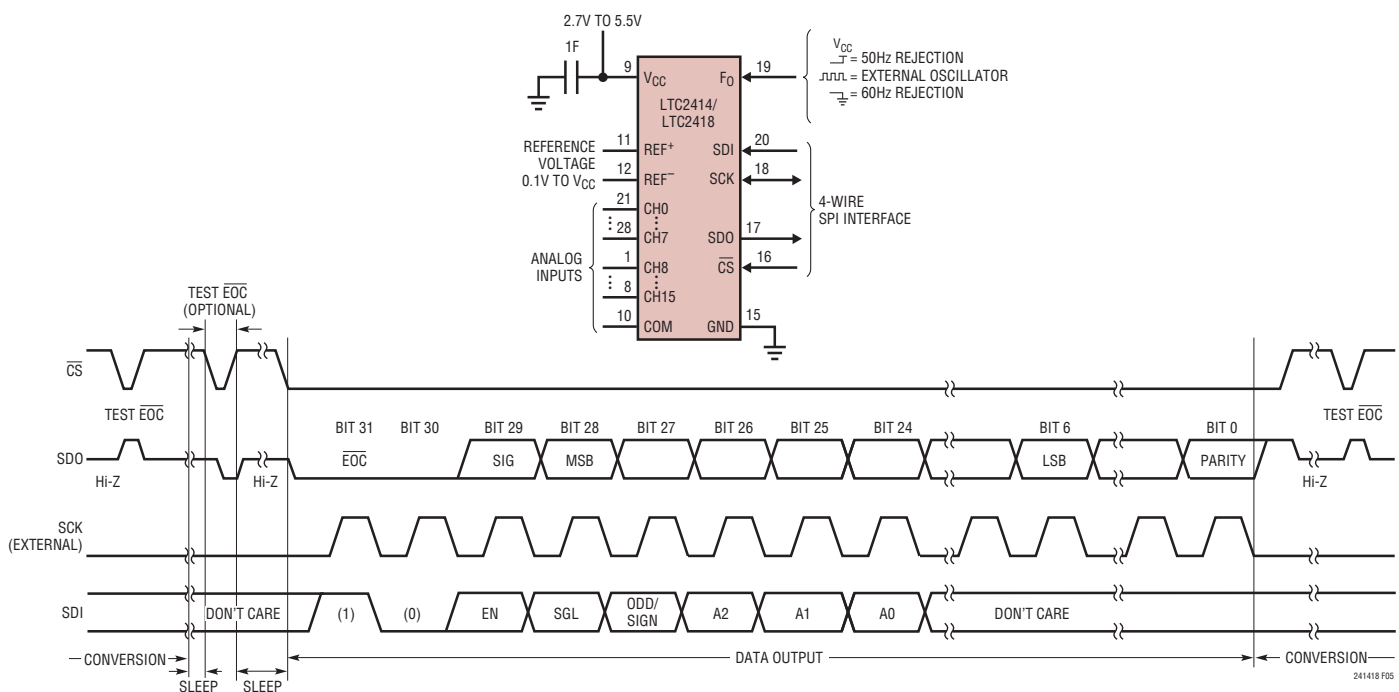


図 5. 外部シリアル・クロック、単一サイクル動作

241418fa

アプリケーション情報

シリアル・クロック・モードは、 \overline{CS} の立ち下がりエッジで選択されます。外部シリアル・クロック・モードを選択するには、 \overline{CS} の立ち下がりエッジ時にシリアル・クロック・ピン(SCK)を毎回“L”にしておく必要があります。

シリアル・データ出力ピン(SDO)は、 \overline{CS} が“H”である限り、高インピーダンスです。コンバータの状態をモニタするため、変換サイクル中は随時、 \overline{CS} を“L”にすることができます。 \overline{CS} が“L”のときは、 \overline{EOC} がSDOピンに出力されます。変換が進行中のときは $\overline{EOC} = 1$ であり、デバイスがスリープ状態の場合は $\overline{EOC} = 0$ です。変換が完了すると、 \overline{CS} とは無関係に、デバイスは自動的に低消費電力のスリープ状態に入ります。

デバイスがスリープ状態のとき、その変換結果は内部の静的シフト・レジスタに保持されます。 \overline{CS} が“L”の間にSCKの最初の立ち上がりエッジが現れるまで、デバイスはスリープ状態にとどまります。その後、入力データはSCKの(最初の立ち上がりエッジを含む)立ち上がりエッジで、SDIピンを介してシフトして入力されます。また、出力データはSCKの立ち下がりエッジごとにSDOピンからシフトして出力されます。これにより、外部回路はSCKの立ち上がりエッジで出力をラッチすることができます。 \overline{EOC} はSCKの最初の立ち上がりエッジでラッチすることができます。また、変換結果の最後のビットはSCKの32

番目の立ち上がりエッジでラッチすることができます。SCKの32番目の立ち上がりエッジでは、デバイスが新しい変換を開始します。SDOは“H”(EOC = 1)になり、変換が進行中であることを示します。

データ・サイクルの終わりには、 \overline{CS} を“L”のままにして、 \overline{EOC} を変換終了割り込みとしてモニタすることができます。あるいは、 \overline{CS} を“H”にしてSDOを高インピーダンスに設定することもできます。前述したように、変換ステータスをモニタするため、 \overline{CS} は随時“L”にすることができます。

通常、 \overline{CS} はデータ出力状態の間“L”のままです。ただし、SCKの最初の立ち上がりエッジから32番目の立ち下がりエッジまでの間であれば、 \overline{CS} を“H”にすることにより、データ出力状態は随時中断できます。図6を参照してください。デバイスは \overline{CS} の立ち上がりエッジでデータ出力状態を中断し、新しい変換を直ちに開始します。 \overline{CS} が“H”になっている間にデバイスがSDIの最後の入力ビットA0の読み込みを終了しなかった場合、アドレス情報は破棄され、直前のアドレスが保持されます。これが役立つのは、必ずしも32ビットすべての出力データが必要ではないシステム、無効な変換サイクルを中断するシステム、または変換開始を同期するシステムです。

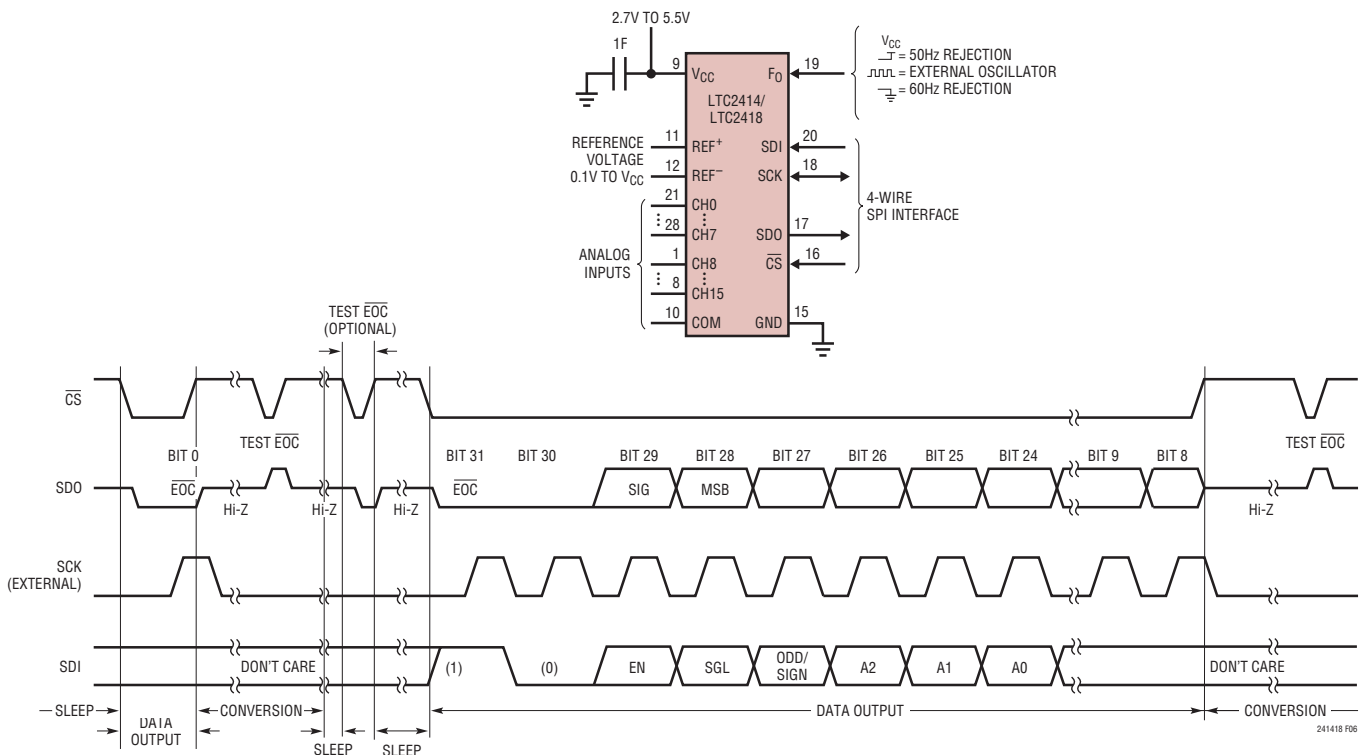


図6. 外部シリアル・クロック、短縮データ出力長

241418fa

アプリケーション情報

外部シリアル・クロック、3線式入出力

このタイミング・モードでは、3線式シリアル入出力インタフェースを使用します。変換結果は、外部で生成されたシリアル・クロック(SCK)信号により、デバイスからシフトして出力されます。図7を参照してください。 \overline{CS} を永続的にグラウンドに接続して、ユーザー・インタフェースまたは絶縁障壁を簡略化することができます。

外部シリアル・クロック・モードは、パワーオン・リセット(POR)サイクルの最後に選択されます。PORサイクルは、 V_{CC} が約2Vを超えてから標準で1ms後に終了します。この時点でSCKに印加されるレベルにより、SCKが内部であるか外部であることを判別します。外部シリアル・クロック・タイミング・モードに入るためには、PORが終了する前にSCKを“L”にする必要があります。

\overline{CS} は“L”に接続しているため、変換状態およびスリープ状態の間は、変換終了(\overline{EOC})をSDOピンで継続的にモニタすることができます。 \overline{EOC} は外部コントローラに対する割り込みとして使用して、変換結果が準備できていることを示すことができます。変換が進行中のときは $\overline{EOC} = 1$ であり、変換が終了すると $\overline{EOC} = 0$ になります。 \overline{EOC} の立ち下がりエッジで、変換結果は内部の静的シフト・レジスタに読み込まれます。その後、入力データはSCKの(最初の立ち上がりエッジを含む)立ち上がりエッジで、SDIピンを介してシフトして入力されます。また、出力データはSCKの立ち下がりエッジごとにSDOピンからシフトし

て出力されます。 \overline{EOC} はSCKの最初の立ち上がりエッジでラッチできます。SCKの32番目の立ち上がりエッジでは、SDOが“H”になり($\overline{EOC} = 1$)、新しい変換が始まったことを示します。

内部シリアル・クロック、単一サイクル動作

このタイミング・モードでは、内部シリアル・クロックを使用して変換結果と \overline{CS} 信号をシフトして出力し、変換サイクルの状態をモニタして制御することができます。図8を参照してください。

内部シリアル・クロック・タイミング・モードを選択するには、 \overline{CS} の立ち下がりエッジの前に、シリアル・クロック・ピン(SCK)をフロート(高インピーダンス)状態にするか“H”にする必要があります。 \overline{CS} の立ち下がりエッジでSCKが“L”になっている場合、デバイスは内部シリアル・クロック・タイミング・モードには入りません。 \overline{CS} の立ち下がりエッジの間は、内部の弱いプルアップ抵抗がSCKピンで導通します。このため、SCKを外で駆動しなかった場合は、内部シリアル・クロック・タイミング・モードが自動的に選択されます。

シリアル・データ出力ピン(SDO)は、 \overline{CS} が“H”である限り、高インピーダンスです。コンバータの状態をモニタするため、変換サイクル中は随時、 \overline{CS} を“L”にすることができます。 \overline{CS} を“L”にすると、SCKが“L”になり、 \overline{EOC} はSDOピンに出力されます。変換が進行中のときは $\overline{EOC} = 1$ であり、デバイスがスリープ状態の場合は $\overline{EOC} = 0$ です。

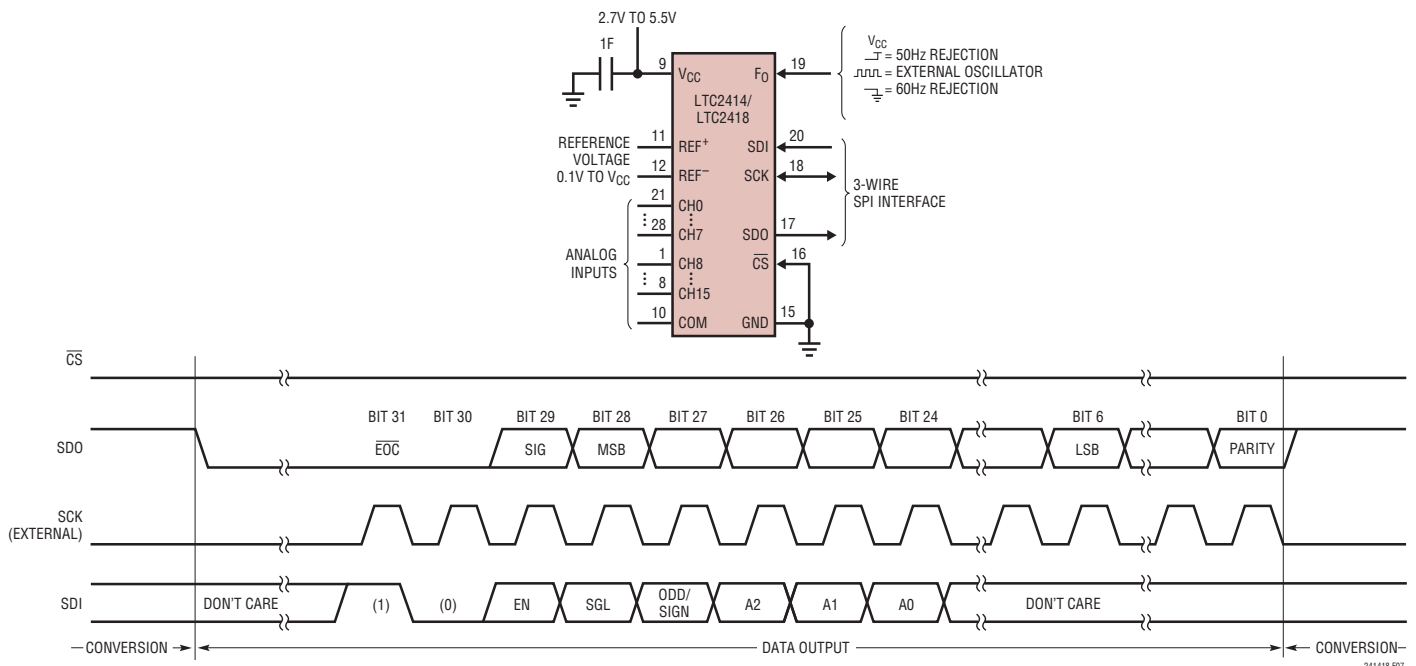


図7. 外部シリアル・クロック、 $\overline{CS} = 0$ 動作

241418fa

アプリケーション情報

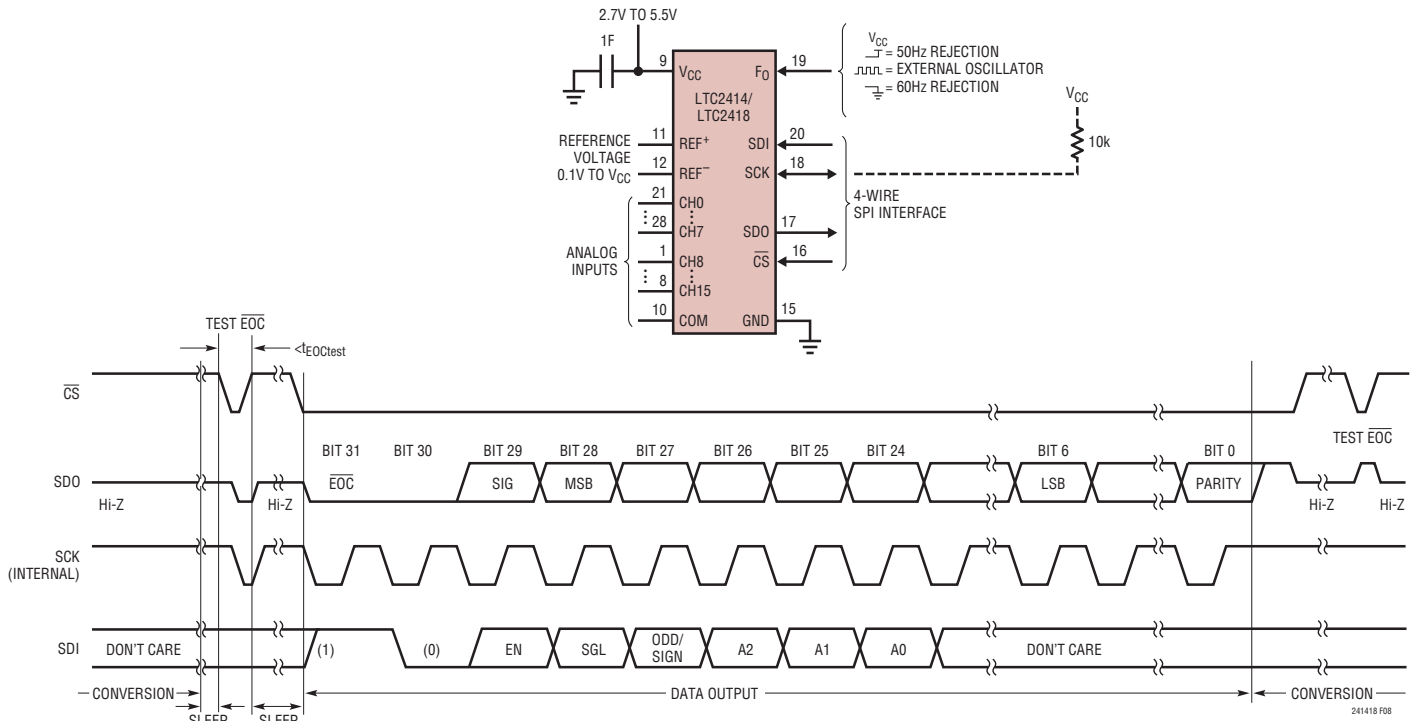


図8. 内部シリアル・クロック、単一サイクル動作

$\overline{\text{EOC}}$ をテストしているときに変換が完了した場合 ($\overline{\text{EOC}} = 0$)、デバイスは $\overline{\text{EOC}}$ のテスト中に低消費電力モードを終了します。デバイスが低消費電力のスリープ状態に戻ることができるようにするには、SCK の最初の立ち上がりエッジより前に $\overline{\text{CS}}$ を “H” にしておく必要があります。内部 SCK タイミング・モードでは、SCK は “H” になり、デバイスは次の時間にデータの出力を開始します。 $\overline{\text{EOC}} = 0$ の場合は $\overline{\text{CS}}$ の立ち下がりエッジ後の時間 t_{EOCTest} であり、 $\overline{\text{EOC}}$ の立ち下がりエッジの間 $\overline{\text{CS}}$ が “L” の場合は $\overline{\text{EOC}}$ が “L” になった後の時間 t_{EOCTest} です。デバイスが内部発振器を使用している場合、 t_{EOCTest} の値は $23\mu\text{s}$ です (F_0 はロジック “L” または “H”)。 F_0 を周波数 f_{EOSC} の外部発振器で駆動する場合、 t_{EOCTest} は $3.6/f_{\text{EOSC}}$ です。時間 t_{EOCTest} より前に $\overline{\text{CS}}$ が “H” になると、デバイスはスリープ状態に戻り、変換結果は内部の静的シフト・レジスタで保持されます。

$\overline{\text{CS}}$ が t_{EOCTest} より長い時間 “L” のままである場合、SCK の最初の立ち上がりエッジが現れ、変換結果は SDO ピンから順次シフトして出力されます。データ入出力サイクルは、32 番目の立ち上がりエッジ後に終了します。その後、入力データは SCK の (最初の立ち上がりエッジを含む) 立ち上がりエッジで、SDI ピンを介してシフトして入力されます。また、出力データは SCK の立ち下がりエッジごとに SDO ピンからシフトして

出力されます。内部で生成されたシリアル・クロックは、SCK ピンに出力されます。この信号を使用して、変換結果を外部回路にシフトすることができます。 $\overline{\text{EOC}}$ は SCK の最初の立ち上がりエッジでラッチすることができます。また、変換結果の最後のビットは SCK の 32 番目の立ち上がりエッジでラッチすることができます。32 番目の立ち上がりエッジの後、SDO は “H” になり ($\overline{\text{EOC}} = 1$)、SCK は “H” のまま維持され、新しい変換が始まります。

通常、 $\overline{\text{CS}}$ はデータ出力状態の間 “L” のままです。ただし、SCK の最初の立ち上がりエッジから 32 番目の立ち上がりエッジまでの間であれば、 $\overline{\text{CS}}$ を “H” にすることにより、データ出力状態は随時中断できます。図 9 を参照してください。デバイスは $\overline{\text{CS}}$ の立ち上がりエッジでデータ出力状態を中断し、新しい変換を直ちに開始します。 $\overline{\text{CS}}$ が “H” になっている間にデバイスが SDI の最後の入力ビット A0 の読み込みを終了しなかった場合、アドレス情報は破棄され、直前のアドレスが引き続き保持されます。これが役立つのは、必ずしも 32 ビットすべての出力データが必要ではないシステム、無効な変換サイクルを中断するシステム、または変換開始を同期するシステムです。コンバータが SCK を “L” に駆動しているときに $\overline{\text{CS}}$ が “H” になった場合、内部プルアップ抵抗は導通せず、SCK はロジック “H” 状

アプリケーション情報

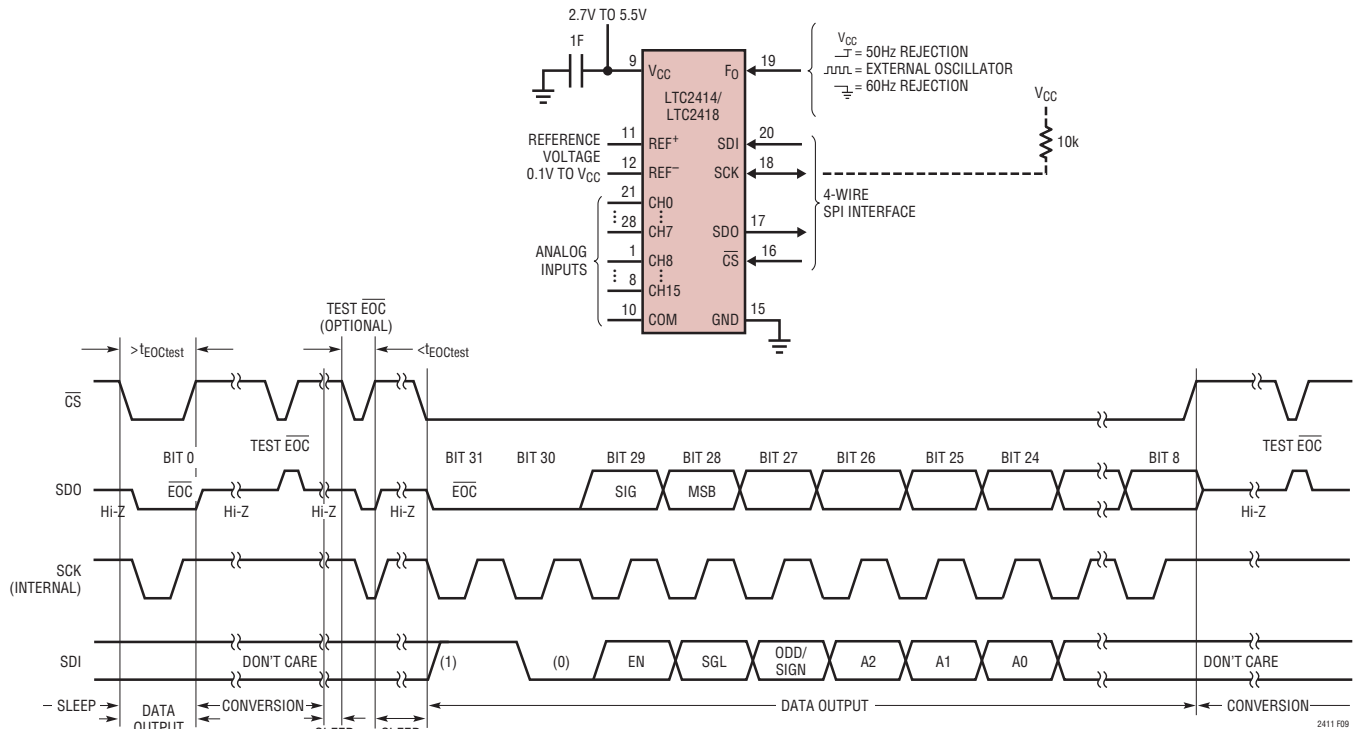


図9. 内部シリアル・クロック、短縮データ出力長

態に戻りません。これにより、デバイスは \overline{CS} の次の立ち下がりエッジで内部シリアル・クロック・モードを終了します。これを防止するには、10kの外付けプルアップ抵抗をSCKピンに追加するか、SCKが“L”のときには \overline{CS} が絶対に“H”にならないようにします。

SCKが“L”になると、LTC2414/LTC2418のSCKピンにある内部プルアップ抵抗は必ずディスエーブルされます。デバイスが内部SCKタイミング・モードになっている場合、通常はSCKが外部から駆動されることはありません。ただし、アプリケーションによってはSCKに外部ドライバが必要なことがあります。このドライバが“L”信号の出力後に高インピーダンスになると、LTC2414/LTC2418の内部プルアップ抵抗はディスエーブル状態のまま推移します。したがって、SCKは“L”のままです。 \overline{CS} の次の立ち下がりエッジで、デバイスは外部SCKタイミング・モードに切り替わります。10kの外付けプルアップ抵抗をSCKに追加することにより、外部ドライバが高インピーダンスになればSCKは“H”になります。これにより、 \overline{CS} の次の立ち下がりエッジでは、デバイスは内部SCKタイミング・モードを保持します。

変換状態をテストするために \overline{CS} に“H”“L”“H”の順にパルスを加えると、スリープ状態のときに同様な状況が発生すること

があります。デバイスがスリープ状態である場合($\overline{EOC} = 0$)、SCKは“L”になります。 \overline{CS} が($t_{EOCtest}$ として前に定義した期間内に)“H”になると、内部プルアップ抵抗が導通します。SCKピンの容量性負荷が重い場合、 \overline{CS} が再度“L”になる前にSCKを“H”に戻すには、内部プルアップ抵抗では不適当なことがあります。このことは、 $\overline{EOC} = 0$ の検出後に \overline{CS} が“L”のままである通常の条件では問題ありません。この状況は、10kの外付けプルアップ抵抗をSCKピンに追加することにより、容易に打開できます。

内部シリアル・クロック、3線式入出力、連続変換

このタイミング・モードでは、3線式インタフェースを使用します。変換結果は、内部で生成されたシリアル・クロック(SCK)信号により、デバイスからシフトして出力されます。図10を参照してください。 \overline{CS} を永続的にグラウンドに接続して、ユーザー・インタフェースまたは絶縁障壁を簡略化することができます。

内部シリアル・クロック・モードは、パワーオン・リセット(POR)サイクルの最後に選択されます。PORサイクルは、 V_{CC} が2Vを超えてから約1ms後に終了します。PORサイクルの間は、内部の弱いプルアップ抵抗が導通します。このため、SCKを外部で“L”に駆動しなかった場合は、内部シリアル・クロック・タイミ

アプリケーション情報

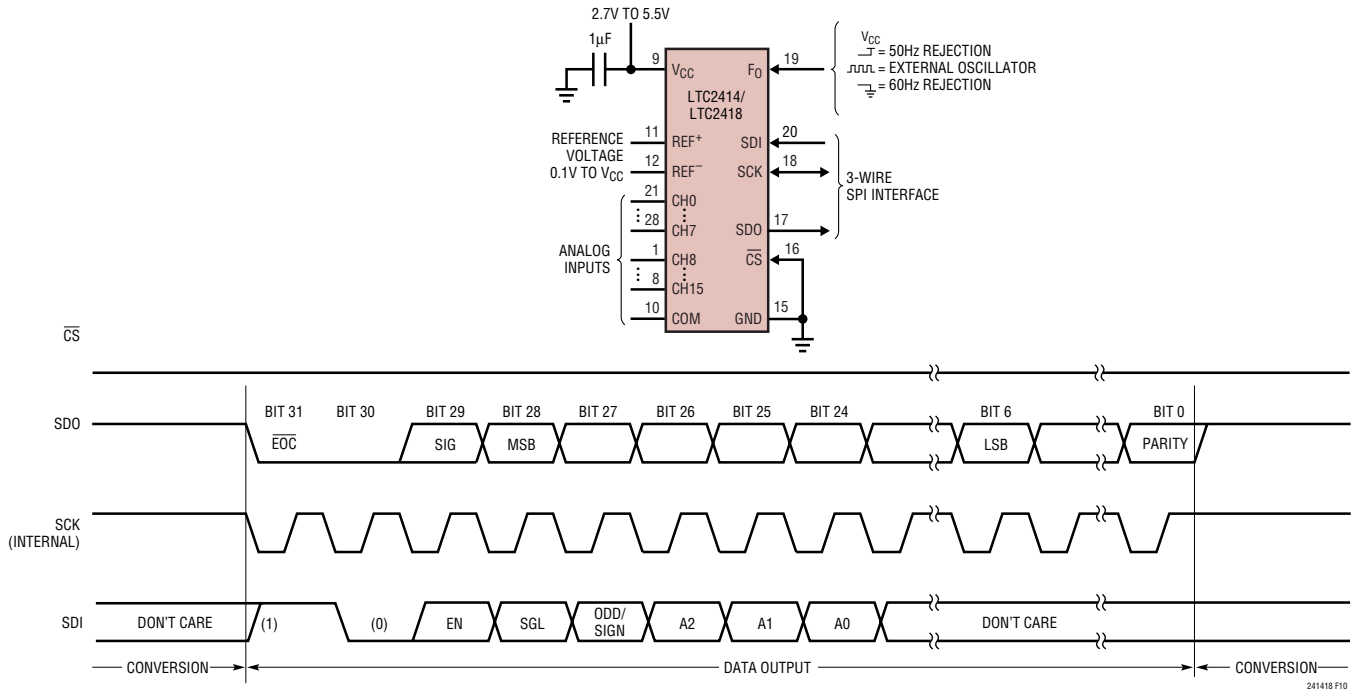


図10. 内部シリアル・クロック、 $\overline{CS} = 0$ 連続動作

ング・モードが自動的に選択されます(SCKに負荷がかかっているために、内部プルアップ抵抗がSCKピンを“H”に引き上げることができない場合は、外部SCKモードが選択されます)。

変換中、SCKおよびシリアル・データ出力ピン(SDO)は“H”(EOC = 1)です。いったん変換が完了すると、SCKおよびSDOは“L”(EOC = 0)になり、変換が終了したことを、デバイスが低消費電力のスリープ・モードに入ったことを示します。デバイスがスリープ状態にとどまる時間は最小限(内部SCK周期の1/2)に抑えられており、その後速やかにデータを出力し始めます。データの入力/出力サイクルはSCKの最初の立ち上がりエッジで始まり、32番目の立ち上がりエッジ後に終わります。その後、入力データはSCKの(最初の立ち上がりエッジを含む)立ち上がりエッジで、SDIピンを介してシフトして入力されます。また、出力データはSCKの立ち下がりエッジごとにSDOピンからシフトして出力されます。内部で生成されたシリアル・クロックは、SCKピンに出力されます。この信号を使用して、変換結果を外部回路にシフトすることができます。EOCはSCKの最初の立ち上がりエッジでラッチすることができます。また、変換結果の最後のビットはSCKの32番目の立ち上がりエッジでラッチすることができます。32番目の立ち上がりエッジ後、SDOは“H”(EOC = 1)になり、新しい変換が進行中であることを示します。変換中、SCKは“H”のままです。

コンバータ精度の維持

LTC2414/LTC2418は、デバイスのデカップリング、PCBレイアウト、アンチエイリアシング回路、電源周波数、外乱などに対する変換結果の感度をできるだけ下げようように設計されています。それにもかかわらず、このデバイスの超高精度の能力を維持するために、いくつかの簡単な予防措置をとることが望まれます。

デジタル信号レベル

LTC2414/LTC2418のデジタル・インタフェースは、使い方が簡単です。そのデジタル入力(SDI、 F_0 、 \overline{CS} 、および外部SCK動作モードでのSCK)には、標準のTTL/CMOSロジック・レベルを入力可能であり、ヒステリシス内蔵のレシーバは100 μ s程度の低速エッジ・レートに対応できます。ただし、このコンバータの並外れた精度と低電源電流を活用するには、いくつかの検討が必要です。

デジタル出力信号(SDOおよび内部SCK動作モードでのSCK)は、変換状態の間は通常アクティブではないので、あまり問題はありません。

デジタル入力信号の範囲が0.5V ~ ($V_{CC} - 0.5V$)のとき、CMOS入力レシーバでは、電源から流れる電流が増えます。

アプリケーション情報

デジタル入力信号(SDI、F_O、CS、および外部SCK動作モードでのSCK)のいずれかがこの範囲内にある場合は、対象の信号が有効なロジック・レベルである場合でも、電源電流が増加する可能性があることに注意してください。マイクロパワー動作の場合は、すべてのデジタル入力信号を完全なCMOSレベル[V_{IL} < 0.4V および V_{OH} > (V_{CC} - 0.4V)]まで駆動することを推奨します。

変換期間の間は、ピンに接続される高速デジタル信号のアンダーシュートやオーバーシュートによって、アナログ/デジタル変換処理が大きく乱されることがあります。アンダーシュートやオーバーシュートが発生するのは、外部制御信号の遷移時間が、ドライバからLTC2414/LTC2418までの伝播遅延時間の2倍より短いときに、コンバータのピンでインピーダンスの不整合が生じるからです。参考までに、正規のFR-4基板の場合、信号の伝播速度は内部トレースでは約183ps/インチであり、表面トレースでは170ps/インチです。したがって、最小遷移時間が1nsの制御信号を生成するドライバを、2.5インチより短いトレースを通じてコンバータのピンに接続する必要があります。この問題は、共用制御線を使用する場合に特に難しくなり、複数の反射が発生することがあります。解決策は、すべての伝送線を慎重に終端して、その特性インピーダンスに近づけることです。

LTC2414/LTC2418のピンの近くで並列に終端すると、この問題は解消しますが、ドライバの電力損失が増加します。27Ωから56Ωまでの直列抵抗をドライバの近いかLTC2414/LTC2418のピンの近くに配置すれば、電力損失を増やさずにこの問題を解消できます。実際の抵抗値は、トレースのインピーダンスと接続形態によって異なります。

別の解決策は、制御信号のエッジ・レートを低減する方法です。非常に低速なエッジを使用すると、遷移時間中にコンバータの電源電流が増加することに注意してください。差動入力および差動リファレンスのアーキテクチャにより、グランド電流に対するコンバータの感度は大幅に低下します。

LTC2414/LTC2418を外部の変換クロックと組み合わせて使用する場合には、F_O信号の接続に対して特に注意する必要があります。このクロックは変換時間中に作動しており、内部デジタル・フィルタによって得られるノーマル・モード除去比は、この周波数ではあまり高くありません。この周波数のノーマル・モード信号をコンバータのリファレンス端子に入力すると、DC利得とINLの誤差が生じることがあります。この周波

数のノーマル・モード信号をコンバータの入力端子に入力すると、DCオフセット誤差が生じることがあります。こうした外乱が生じる原因は、F_O信号トレースとコンバータ入力トレースまたはリファレンス接続トレース(あるいはその両方)との間の非対称の容量結合と考えられます。直接の解決策は、F_O信号トレースと入力/リファレンス信号との間隔を可能な最大の距離に維持することです。F_O信号をコンバータの近くで並列に終端すると、F_O接続トレース、終端、およびグランド帰還路によって形成されたループに相当なAC電流が流れます。このため、外乱信号がコンバータ入力やリファレンスに誘導結合される可能性があります。この状況では、ユーザーがF_O信号の最小ループ面積だけでなく、差動入力とリファレンスの接続箇所のループ面積も減らす必要があります。

入力およびリファレンスの駆動

LTC2414/LTC2418コンバータの入力ピンとリファレンス・ピンは、サンプリング・コンデンサの回路網に直接接続されます。差動入力電圧と差動リファレンス電圧の関係によっては、これらのコンデンサはこれら4つのピンの間で切り替わり、その過程で少量の電荷を移動します。簡略等価回路図を図11に示します。

単純近似では、アナログ入力ピン(IN⁺、IN⁻、REF⁺、またはREF⁻)を駆動する信号源インピーダンスR_Sを考慮し、R_{sw}およびC_{EQ}とともに(図11を参照)、時定数τ = (R_S + R_{sw}) • C_{EQ}を持つ1次の受動回路網を形成することができます。サンプリング周期が入力回路の時定数τより14倍以上長い場合、コンバータは、1ppmより優れた精度で入力信号をサンプリングすることができます。4つの入力アナログ・ピンでのサンプリング・プロセスはそれぞれがほぼ独立しているので、各時定数は単独で考えます。また、ワーストケースの環境では、誤差が加わる可能性があります。

内部発振器を使用する場合(F_O = “L”または“H”)、LTC2414/LTC2418の先端部のスイッチト・キャパシタ回路網のクロック周波数は、13μsのサンプリング周期に対応する76800Hzになります。したがって、セトリング誤差を1ppm未満にするには、τ ≤ 13μs/14 = 920nsとなるように駆動信号源インピーダンスを選択します。周波数がf_{EOSC}の外部発振器を使用する場合、サンプリング周期は2/f_{EOSC}であり、セトリング誤差を1ppm未満にするには、τ ≤ 0.14/f_{EOSC}となるようにします。

アプリケーション情報

入力電流

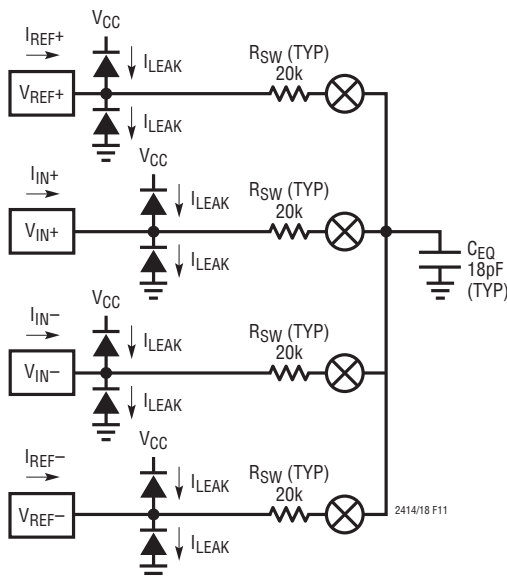
入力で完全なセトリングが行われる場合は、変換結果が動的入力電流による影響を受けなくなります。入力信号サンプリング・プロセスのセトリングが不完全である場合、利得誤差とオフセット誤差が発生することがありますが、コンバータのINL性能は低下しません。かなりの期間(内部クロック・サイクルの64倍より長い期間)にわたって積分した場合、サンプリング電荷が移動した結果としてIN⁺ピンおよびIN⁻ピンを流れる平均バイアス電流の式を図11に示します。

この動的入力電流の影響は、図12のテスト回路を使用して解析できます。コンデンサC_{PAR}には、LTC2414/LTC2418のピン容量(標準5pF)と、図13および14に示す結果を得るために使用されるテスト治具の容量が含まれます。慎重に実装することにより、全入力容量(C_{IN} + C_{PAR})を5pFに近づけることができるので、図13および14で予測される性能より優れた性能を達成できます。説明を簡単にするため、2つの特異な状況について考えます。

入力容量の値が比較的小さい場合(C_{IN} < 0.01μF)は、サンプリング・コンデンサの電圧がほぼ完全に安定状態になり、信号源インピーダンスの値が比較的大きい場合は誤差が少な

くて済みます。C_{IN}をこのような値にすると、コンバータのオフセット性能と利得性能が低下し、信号フィルタリング上さほど大きな利点はないので、回避することを推奨します。それにもかかわらず、入力マルチプレクサ、電線、コネクタ、またはセンサの寄生容量として小さな値のC_{IN}が存在することが避けられない場合、LTC2414/LTC2418はその並外れた高精度を維持できる上に、図13および14に示すように、比較的高い値の信号源抵抗で動作することができます。これらの測定結果は、前述した1次近似とはわずかに異なる場合があります。その理由は、これらの結果には、実際の2次入力回路網の影響に加えて、入力アンプの非線形性のセトリング処理が含まれるからです。C_{IN}の値が小さい場合、IN⁺およびIN⁻でのセトリングはほとんど別個に行われ、2つのピンの信号源インピーダンスを整合する利点はほとんどありません。

アンチエイリアシングや一般的な入力信号フィルタリングの場合、特定の構成では大きな値の入力コンデンサ(C_{IN} > 0.01μF)が必要なことがあります。こうしたコンデンサによって入力サンプリング電荷が平均化されるので、外部信号源抵抗から見ると準一定の入力差動インピーダンスになります。F₀が“L”(内部発振器および60Hzノッチ)の場合、標準的な差



SWITCHING FREQUENCY
f_{SW} = 76800Hz INTERNAL OSCILLATOR (F₀ = LOW OR HIGH)
f_{SW} = 0.5 • f_{EOSC} EXTERNAL OSCILLATOR

$$I_{(IN^+)}_{AVG} = \frac{V_{IN} + V_{INCM} - V_{REFCM}}{0.5 \cdot R_{EQ}}$$

$$I_{(IN^-)}_{AVG} = \frac{-V_{IN} + V_{INCM} - V_{REFCM}}{0.5 \cdot R_{EQ}}$$

$$I_{(REF^+)}_{AVG} = \frac{1.5 \cdot V_{REF} - V_{INCM} + V_{REFCM}}{0.5 \cdot R_{EQ}} - \frac{V_{IN}^2}{V_{REF} \cdot R_{EQ}}$$

$$I_{(REF^-)}_{AVG} = \frac{-1.5 \cdot V_{REF} - V_{INCM} + V_{REFCM}}{0.5 \cdot R_{EQ}} + \frac{V_{IN}^2}{V_{REF} \cdot R_{EQ}}$$

where:

$$V_{REF} = REF^+ - REF^-$$

$$V_{REFCM} = \left(\frac{REF^+ + REF^-}{2} \right)$$

$$V_{IN} = IN^+ - IN^-$$

$$V_{INCM} = \left(\frac{IN^+ + IN^-}{2} \right)$$

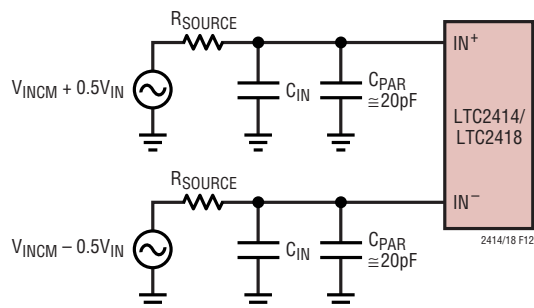
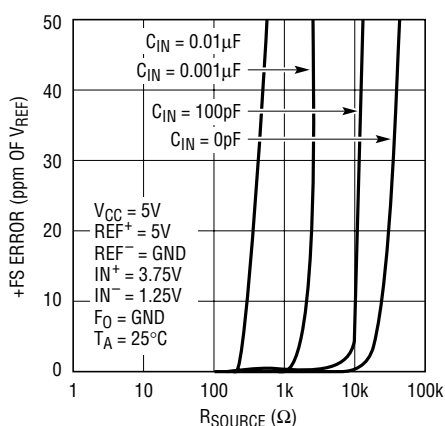
$$R_{EQ} = 3.61M\Omega \text{ INTERNAL OSCILLATOR } 60\text{Hz Notch } (F_0 = \text{LOW})$$

$$R_{EQ} = 4.32M\Omega \text{ INTERNAL OSCILLATOR } 50\text{Hz Notch } (F_0 = \text{HIGH})$$

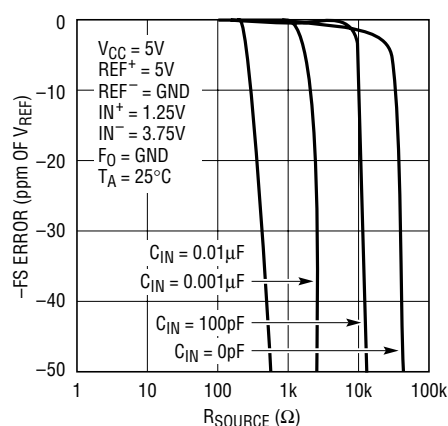
$$R_{EQ} = (0.555 \cdot 10^{12}) / f_{EOSC} \text{ EXTERNAL OSCILLATOR}$$

図11. LTC2414/LTC2418のアナログ入力等価回路

アプリケーション情報

図 12. IN⁺およびIN⁻でのRC回路網

2414/18 F13

図 13. +FS 誤差とIN⁺またはIN⁻でのR_{SOURCE}(C_{IN}が小さい場合)

2414/18 F14

図 14. -FS 誤差とIN⁺またはIN⁻でのR_{SOURCE}(C_{IN}が小さい場合)

動入力抵抗は1.8MΩであり、IN⁺またはIN⁻を駆動する信号源抵抗1Ωにつき約0.28ppmの利得誤差が発生します。F_Oが“H”(内部発振器および50Hzノッチ)の場合、標準的な差動入力抵抗は2.16MΩであり、IN⁺またはIN⁻を駆動する信号源抵抗1Ωにつき約0.23ppmの利得誤差が発生します。周波数がf_{EOSC}(外部変換クロック動作)の外部発振器でF_Oを駆動する場合、標準的な差動入力抵抗は $0.28 \cdot 10^{12}/f_{EOSC} \Omega$ であり、IN⁺またはIN⁻を駆動する信号源抵抗1Ωにつき $1.78 \cdot 10^{-6} \cdot f_{EOSC}$ ppmの利得誤差が発生します。2つの入力ピンでの信号源抵抗の影響は、この利得誤差に関して増加の方向に作用します。C_{IN}の値が大きいIN⁺およびIN⁻から見た信号源抵抗の合計の関数として表した、標準的な+FS誤差および-FS誤差を図15および16に示します。

また、この利得誤差の他に、オフセット誤差の項が現れることもあります。オフセット誤差は、2つの入力ピンIN⁺およびIN⁻を駆動する信号源インピーダンス間の不整合と、入力同相電圧とリファレンス同相電圧との差に比例します。入力駆動回路

にゼロではない信号源インピーダンスが存在し、これにコンバータの平均入力電流が流れてもINL性能は低下しません。が、入力信号の同相成分によるオフセット誤差の変化が原因で、間接的な歪みが発生する可能性があります。したがって、大きな値のC_{IN}コンデンサを使用する場合は、IN⁺ピンとIN⁻ピンから見た信号源インピーダンスを慎重に整合させることを推奨します。F_Oが“L”(内部発振器および60Hzノッチ)の場合、信号源インピーダンスに生じた不整合1Ωにつき、フルスケールの同相入力信号が0.28ppmの差動入力信号に変換されます。F_Oが“H”(内部発振器および50Hzノッチ)の場合、信号源インピーダンスに生じた不整合1Ωにつき、フルスケールの同相入力信号が0.23ppmの差動入力信号に変換されます。周波数がf_{EOSC}の外部発振器でF_Oを駆動する場合、信号源インピーダンスに生じた不整合1Ωにつき、フルスケールの同相入力信号が $1.78 \cdot 10^{-6} \cdot f_{EOSC}$ ppmの差動入力信号に変換されます。大きな値のC_{IN}を使用している場合、入力同相電圧に起因する標準的なオフセット誤差を図17に示します。IN⁺

アプリケーション情報

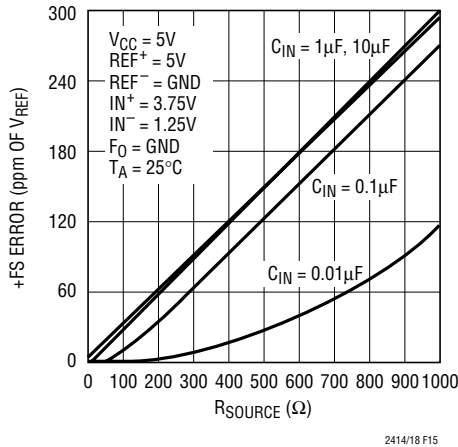


図 15. +FS 誤差と IN^+ または IN^- での R_{SOURCE} (C_{IN} が大きい場合)

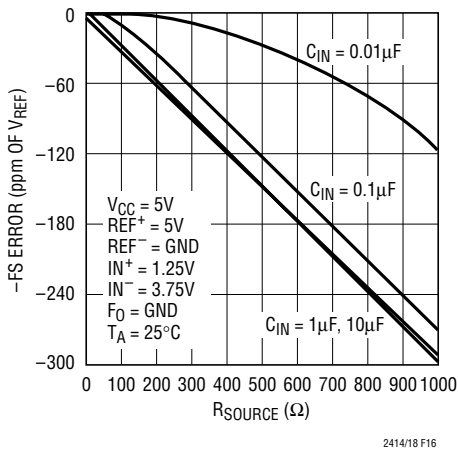


図 16. -FS 誤差と IN^+ または IN^- での R_{SOURCE} (C_{IN} が大きい場合)

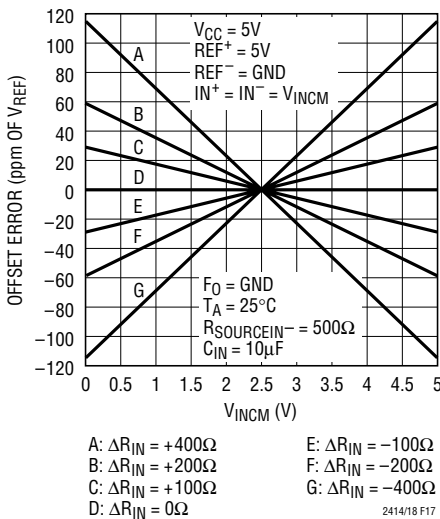


図 17. C_{IN} の値が大きい ($C_{IN} \geq 1\mu F$) 場合のオフセット誤差と
同相電圧 ($V_{INCM} = IN^+ = IN^-$) および入力信号源抵抗の不均衡度
($\Delta R_{IN} = R_{SOURCE IN^+} - R_{SOURCE IN^-}$)

ピンと IN^- ピンの間に存在する信号源抵抗のさまざまな値の不均衡度をパラメータにしています。

可能な場合は、対称ブリッジのレシオメトリック測定の場合と同様に、リファレンス信号同相電圧に非常に近い入力信号同相電圧を使用して動作させることを推奨します。この構成では、信号源インピーダンスの不整合に起因するオフセット誤差を取り除くことができます。

動入力電流の大きさは、非常に安定した内部サンプリング・コンデンサのサイズと、コンバータのサンプリング・クロックの精度に左右されます。全温度範囲および全電源電圧範囲での内部クロックの精度は、標準で 0.5% より良好です。こうした規格も、外部クロックによって容易に達成できます。 IN^+ および IN^- から見た外部信号源インピーダンスとして、比較的安定した抵抗 (50ppm/°C) を使用すると、動電流のドリフト予測値、オフセット誤差と利得誤差は問題のない値 (全温度範囲および全電圧範囲でそれぞれの値の約 1%) になります。最も厳しいアプリケーションの場合でも、1 回の較正動作で十分な可能性があります。

入力サンプリング電荷の他に、入力 ESD 保護ダイオードには温度依存の漏れ電流があります。この電流 (公称 1nA (最大 ± 10 nA)) により、軽微なオフセット・シフトが生じます。信号源抵抗が 100Ω の場合は、標準で 0.1μV、最大で 1μV のオフセット電圧が発生します。

リファレンス電流

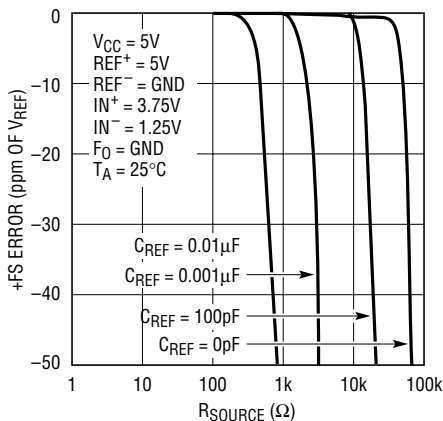
同様な方法で、LTC2414/LTC2418 は差動リファレンス・ピン REF^+ および REF^- の電圧をサンプリングし、外部駆動回路との間で少量の電荷を移動するので、動的なリファレンス電流が発生します。この電流がコンバータのオフセットを変えることはありませんが、利得性能と INL 性能を低下させる可能性があります。この電流の影響は、同じ 2 つの特異な状況で解析できます。

外付けのリファレンス・コンデンサの値が比較的小さい場合 ($C_{REF} < 0.01\mu F$) は、サンプリング・コンデンサの電圧がほぼ完全に安定状態になり、信号源インピーダンスの値が比較的大きい場合は誤差が少なく済みます。 C_{REF} をこのような値にすると、コンバータのオフセット性能と利得性能が低下し、リファレンスのフィルタリング上さほど大きな利点はないので、回避することを推奨します。

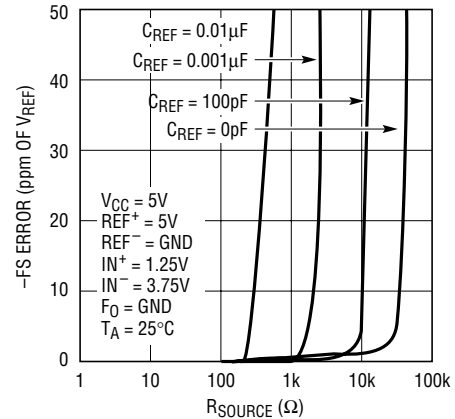
アプリケーション情報

特定の構成では、リファレンス・フィルタとして大きな値のリファレンス・コンデンサ ($C_{REF} > 0.01\mu\text{F}$) が必要ことがあります。こうしたコンデンサによってリファレンスのサンプリング電荷が平均化されるので、外部信号源抵抗から見ると準一定のリファレンス差動インピーダンスになります。 F_O が“L”(内部発振器および60Hzノッチ)の場合、標準的な差動リファレンス抵抗は $1.3\text{M}\Omega$ であり、 REF^+ または REF^- を駆動する信号源抵抗 1Ω につき約 0.38ppm の利得誤差が発生します。 F_O が“H”(内部発振器および50Hzノッチ)の場合、標準的な差動リファレンス抵抗は $1.56\text{M}\Omega$ であり、 REF^+ または REF^- を駆動する信号源抵抗 1Ω につき約 0.32ppm の利得誤差が発生し

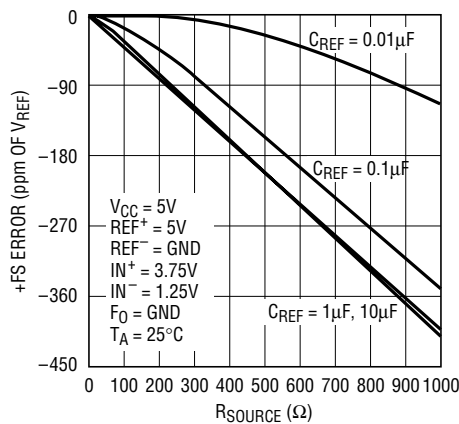
ます。周波数が f_{EOSC} (外部変換クロック動作)の外部発振器で F_O を駆動する場合、標準的な差動リファレンス抵抗は $0.20 \cdot 10^{12}/f_{EOSC}\Omega$ であり、 REF^+ または REF^- を駆動する信号源抵抗 1Ω につき $2.47 \cdot 10^{-6} \cdot f_{EOSC}\text{ppm}$ の利得誤差が発生します。2つのリファレンス・ピンでの信号源抵抗の影響は、この利得誤差に関して増加の方向に作用します。 REF^+ ピンと REF^- ピンから見たさまざまな組み合わせの信号源抵抗およびこれらのピンに接続されている外部容量 C_{REF} に対する標準的な+FS誤差および-FS誤差を図18、19、20、および21に示します。



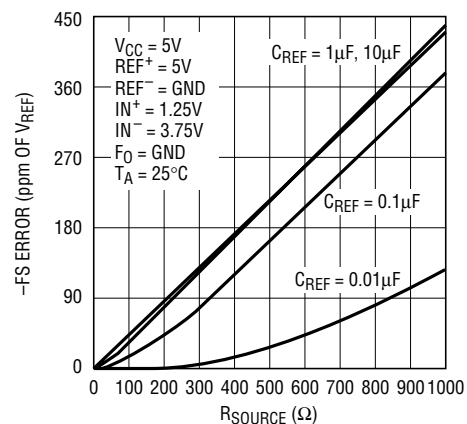
2414/18 F18

図18. +FS誤差と REF^+ または REF^- での R_{SOURCE} (C_{IN} が小さい場合)

2414/18 F19

図19. -FS誤差と REF^+ または REF^- での R_{SOURCE} (C_{IN} が小さい場合)

2414/18 F20

図20. +FS誤差と REF^+ および REF^- での R_{SOURCE} (C_{REF} が大きい場合)

2414/18 F21

図21. -FS誤差と REF^+ および REF^- での R_{SOURCE} (C_{REF} が大きい場合)

アプリケーション情報

リファレンス信号源インピーダンスによって、この利得誤差の他にコンバータのINL性能が低下します。 F_O が“L”(内部発振器および60Hzノッチ)の場合、 REF^+ または REF^- を駆動する信号源抵抗100 Ω につき、INL誤差が約1.34ppm増加します。 F_O が“H”(内部発振器および50Hzノッチ)の場合、 REF^+ または REF^- を駆動する信号源抵抗100 Ω につき、INL誤差が約1.1ppm増加します。周波数が f_{EOSC} の外部発振器で F_O を駆動する場合、 REF^+ または REF^- を駆動する信号源抵抗100 Ω につきINL誤差が約 $8.73 \cdot 10^{-6} \cdot f_{EOSC}$ ppm増加します。大きな値の C_{REF} を使用している場合、 REF^+ または REF^- ピンを駆動する信号源抵抗による標準的なINL誤差を図22に示します。2つのリファレンス・ピンでの信号源抵抗の影響は、このINL誤差に関して増加の方向に作用します。一般に、 REF^+ ピンと REF^- ピンの信号源インピーダンスを整合させても、利得誤差やINL誤差の低減には役立ちません。信号源インピーダンスを整合させるのではなく、 REF^+ ピンと REF^- ピンを駆動する信号源インピーダンスの合計を最小限に抑えることを推奨します。

動的リファレンス電流の大きさは、非常に安定した内部サンプリング・コンデンサのサイズと、コンバータのサンプリング・クロックの精度に左右されます。全温度範囲および全電源電圧範囲での内部クロックの精度は、標準で0.5%より良好です。こうした規格も、外部クロックによって容易に達成できます。

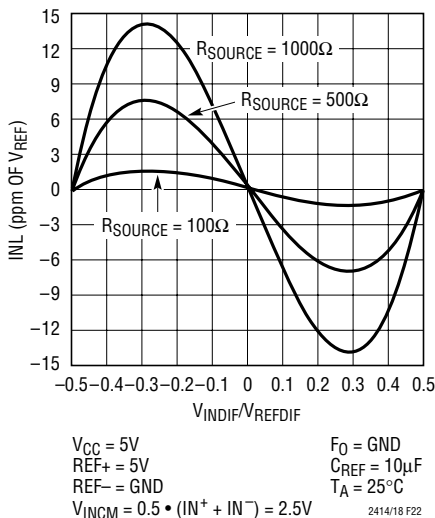


図22. INLと差動入力電圧($V_{IN} = IN^+ - IN^-$)およびリファレンス信号源抵抗(C_{REF} の値が大きい($C_{REF} \geq 1\mu F$)場合の REF^+ および REF^- での R_{SOURCE})

REF^+ および REF^- から見た外部信号源インピーダンスとして、比較的安定した抵抗(50ppm/ $^{\circ}C$)を使用すると、動的電流のドリフト予測値、および利得誤差は問題のない値(全温度範囲および全電圧範囲でそれぞれの値の約1%)になります。最も厳しいアプリケーションの場合でも、1回の較正動作で十分な可能性があります。

リファレンスのサンプリング電荷の他に、リファレンス・ピンのESD保護ダイオードには温度依存の漏れ電流があります。この漏れ電流(公称1nA(最大 ± 10 nA))により、軽微な利得誤差が生じます。信号源抵抗が100 Ω の場合は、標準で0.05 μV 、最大で0.5 μV のフルスケール誤差が発生します。

出力データ・レート

内部発振器を使用するとき、LTC2414/LTC2418は、ノッチ周波数が60Hz($F_O = "L"$)の場合は1秒間に最大7.5回分の読み取り値を、ノッチ周波数が50Hz($F_O = "H"$)の場合は1秒間に最大6.25回分の読み取り値を出力することができます。実際の出力データ・レートは、スリープ段階およびデータ出力段階の長さによって異なります。これらはユーザーが調整し、ごく短時間にすることが可能です。外部変換クロックを使用して動作させる場合(F_O を外部発振器に接続)、LTC2414/LTC2418の出力データ・レートは、必要に応じて、 f_{EOSC} の最大周波数である2000kHzによって決まる値まで大きくすることができます。変換段階の持続時間は $20510/f_{EOSC}$ です。 $f_{EOSC} = 153600$ Hzの場合、コンバータの動作は、あたかも内部発振器が使用されていて、ノッチが60Hzに設定されているかようになります。2つの動作モードの間で、LTC2414/LTC2418の性能に大きな違いはありません。

f_{EOSC} が公称の153600Hzを超えて増加すると、それに比例して最大出力データ・レートも増加します。この大きな利点には、しかしながら3つの潜在的な影響が伴うので、慎重に検討する必要があります。

最初に、 f_{EOSC} が変化すると、内部のノッチ位置が比例して変化し、コンバータの差動モード除去比が電源周波数で低下します。多くのアプリケーションでは、LTC2414/LTC2418の並外れた同相信号除去性能に頼ることと、入力回路内での同相信号から差動信号への変換発生源を慎重に取り除くことにより、結果として生じる性能の低下を実質的に低減することができます。ユーザーはシングルエンドの入力フィルタを避け、 IN^+ ピンおよび IN^- ピンを駆動する回路内で非常に高度な整合性および対称性を維持することが必要です。

アプリケーション情報

2 番目に、クロック周波数を高くすると、入力ピンおよびリファレンス・ピンを介して移動したサンプリング電荷の量も周波数に比例して増加します。大容量の外付け入力コンデンサまたはリファレンス・コンデンサ (C_{IN} 、 C_{REF}) あるいはその両方を使用する場合、前のセクションでは、コンバータの性能に関する信号源抵抗の影響を任意の値の f_{EOSC} について評価するための式を説明しています。小容量の外付け入力コンデンサまたはリファレンス・コンデンサ (C_{IN} 、 C_{REF}) あるいはその両方を使用する場合、LTC2414/LTC2418 の標準的な性能に関する外部信号源抵抗の影響は、水平軸の倍率を $153600/f_{EOSC}$ で変更した図 12、13、18、および 19 から推測することができます。

3 番目に、外部発振器の周波数が 460800Hz (出力データ・レートの 3 倍) を超えて増加すると、内部自動校正回路の効果が減少し始めます。これにより、コンバータの精度と直線性は徐々に低下します。最大 100 回/秒の読み取り頻度での出力データ・レートの標準的な測定性能曲線を図 23、24、25、26、27、28、29、および 30 に示します。出力データ・レートの読み取り頻度を 20 回/秒より高くしたときに、このコンバータから可能な最高レベルの精度を引き出すため、使用する電源電圧を最大にして、最大周囲動作温度を制限することを推奨します。ある特定の状況では、差動リファレンス電圧を低くすると状況が改善されることがあります。

入力帯域幅

LTC2414/LTC2418 の入力帯域幅は、内蔵の Sinc^4 デジタル・フィルタとアナログおよびデジタルの自動校正回路の複合的な影響によって決まります。ノッチを 60Hz に設定した ($F_0 = \text{"L"}$) 内部発振器を使用した場合、3dB 入力帯域幅は 3.63Hz です。ノッチを 50Hz に設定した ($F_0 = \text{"H"}$) 内部発振器を使用した場合、3dB 入力帯域幅は 3.02Hz です。周波数が f_{EOSC} の外部変換クロック発生器を F_0 ピンに接続した場合、3dB 入力帯域幅は $0.236 \cdot 10^{-6} \cdot f_{EOSC}$ です。

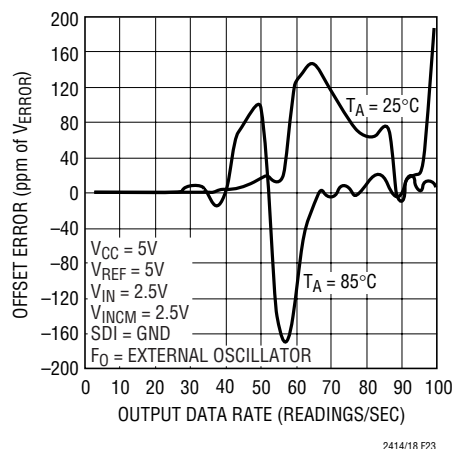


図 23. オフセット誤差と出力データ・レートおよび温度

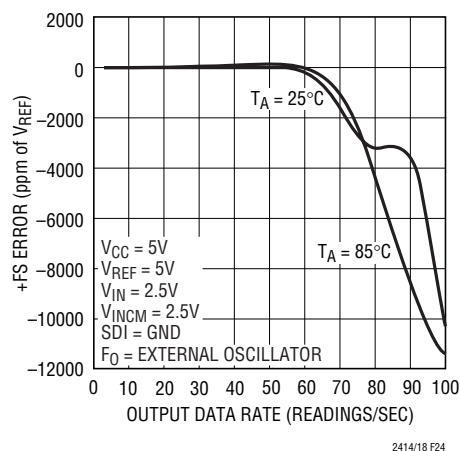


図 24. +FS 誤差と出力データ・レートおよび温度

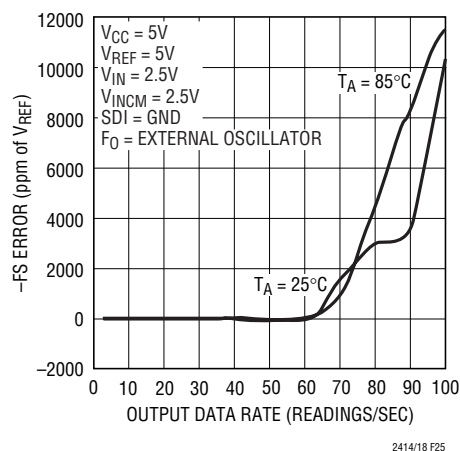


図 25. -FS 誤差と出力データ・レートおよび温度

アプリケーション情報

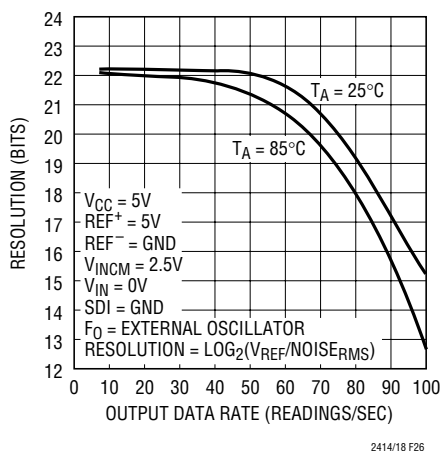


図26. 分解能 ($\text{Noise}_{\text{RMS}} \leq 1\text{LSB}$) と出力データ・レートおよび温度

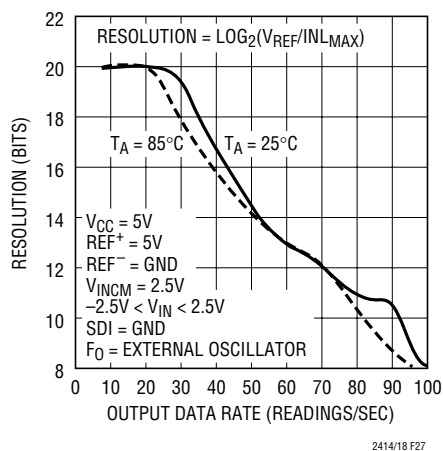


図27. 分解能 ($\text{INL}_{\text{RMS}} \leq 1\text{LSB}$) と出力データ・レートおよび温度

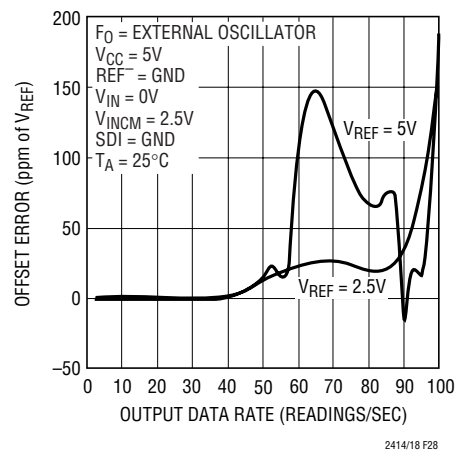


図28. オフセット誤差と出力データ・レートおよびリファレンス電圧

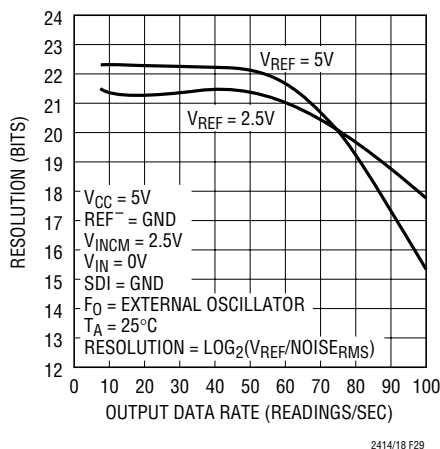


図29. 分解能 ($\text{Noise}_{\text{RMS}} \leq 1\text{LSB}$) と出力データ・レートおよびリファレンス電圧

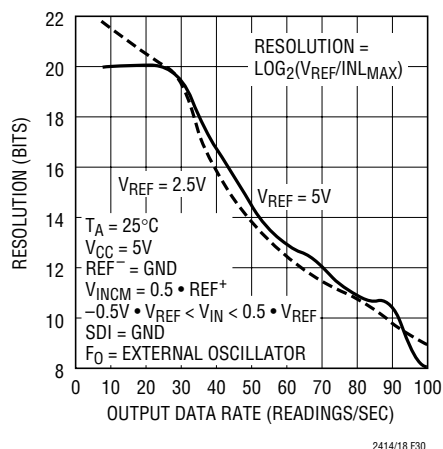


図30. 分解能 ($\text{INL}_{\text{MAX}} \leq 1\text{LSB}$) と出力データ・レートおよびリファレンス電圧

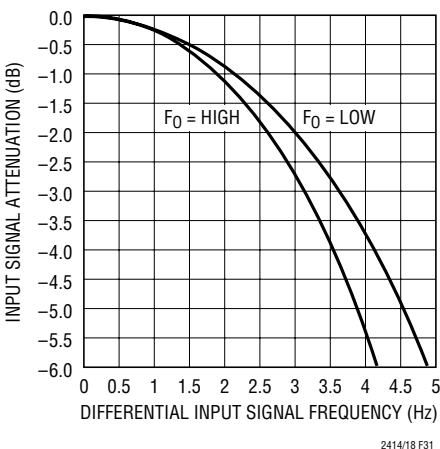


図31. 内部発振器を使用した入力信号帯域幅

複雑なフィルタリングおよび較正アルゴリズムを使用していることから、3dB 周波数にポールがある1次フィルタでは、コンバータの入力帯域幅をあまり正確にモデル化することはできません。内部発振器を使用した場合、LTC2414/LTC2418の入力帯域幅の特性曲線を $F_0 = \text{“L”}$ および $F_0 = \text{“H”}$ の場合について図31に示します。周波数が f_{EOSC} の外部発振器を使用した場合、LTC2414/LTC2418の入力帯域幅の特性曲線は、図31の $F_0 = \text{“L”}$ の曲線で、水平軸の倍率を $f_{\text{EOSC}}/153600$ で変更することによって得られます。

変換ノイズ ($V_{\text{REF}} = 5\text{V}$ では標準 $1\mu\text{V}_{\text{RMS}}$) は、ノイズのないコンバータに接続したホワイト・ノイズ発生源でモデル化できま

す。ノイズ・スペクトラム密度は、帯域幅が無限大のノイズ発生源の場合は $78\text{nV}/\sqrt{\text{Hz}}$ であり、0.5MHz シングル・ポールのノイズ発生源の場合は $107\text{nV}/\sqrt{\text{Hz}}$ です。これらの数値から、外部アプリケーション回路の設計に特に注意を払う必要があることは明らかです。こうした回路では、出力換算ノイズを減らすために非常に低い帯域幅(わずか数Hz)と、入力スイッチ・キャパシタ回路網を駆動するのに必要な比較的高い帯域幅(500kHz 以上)を同時に要求されるという状況に直面します。考えられる解決策は、高利得、低帯域幅のアンプ段と、その後段に高帯域幅の単位利得バッファを接続することです。

アプリケーション情報

外部アンプがLTC2414/LTC2418を駆動する場合は、A/Dコンバータの入力換算システム・ノイズの計算を、図32によって簡略化することができます。LTC2414/LTC2418の入力ピンを駆動するアンプのノイズは、帯域が制限されたホワイト・ノイズ発生源としてモデル化することができます。その帯域幅は、コーナー周波数が f_i のシングル・ポール・ローパス・フィルタの帯域幅で近似することができます。このアンプのノイズ・スペクトラム密度は n_i です。図32から、 f_i をX軸のセレクトとして使用して、入力駆動アンプのノイズ等価帯域幅 f_{reqi} をY軸で見つけることができます。この帯域幅には、A/Dコンバータの内部較正およびフィルタリングの帯域制限の影響が含まれます。コンバータの入力に換算した駆動アンプのノイズおよびこれらすべての影響を含めたノイズは、 $N = n_i \cdot \sqrt{f_{reqi}}$ として計算できます。したがって、(LTC2414/LTC2418の入力に換算した)全システム・ノイズは、A/Dコンバータの3つの入力換算ノイズ発生源(LTC2414/LTC2418の内部ノイズ(1 μ V)、 IN^+ 駆動アンプのノイズ、および IN^- 駆動アンプのノイズ)の平方和の平方根として合計すれば求めることができます。

周波数が f_{EOSC} の外部発振器で F_0 ピンを駆動する場合も、X軸の倍率を $f_{EOSC}/153600$ で変更すれば、やはり図32をノイズ計算に使用することができます。比 $f_{EOSC}/153600$ の値が大きい場合は、図32のプロット精度が低下し始めますが、同時にLTC2414/LTC2418のノイズフロアが上昇し、駆動アンプのノイズ寄与分が重要ではなくなります。

ノーマル・モード除去比とアンチエイリアシング

$\Delta \Sigma$ A/Dコンバータが従来のA/Dコンバータより優れている点の1つは、デジタル・フィルタリング回路を内蔵していることです。LTC2414/LTC2418では、オーバーサンプリング率が高いことと相まって、アンチエイリアシング・フィルタ要件が大幅に簡略化されています。

Sinc⁴デジタル・フィルタにより、DCと変調器のサンプリング周波数(f_s)の整数倍を除く全周波数で、120dBを超えるノーマル・モード除去比が得られます。LTC2414/LTC2418の自動較正回路は、アナログ領域とデジタル領域の両方で追加のノーマル・モード信号フィルタリングを行うことにより、アンチエイリアシング要件をさらに簡略化します。動作モードとは関係なく、 $f_s = 256 \cdot f_N = 2048 \cdot f_{OUTMAX}$ です。ここで、 f_N はノッチ周波数であり、 f_{OUTMAX} は最大出力データ・レートです。内部発振器モードで、ノッチ設定が50Hzの場合は $f_s = 12800\text{Hz}$ であり、ノッチ設定が60Hzの場合は $f_s = 15360\text{Hz}$ です。外部発振器モードでは、 $f_s = f_{EOSC}/10$ です。

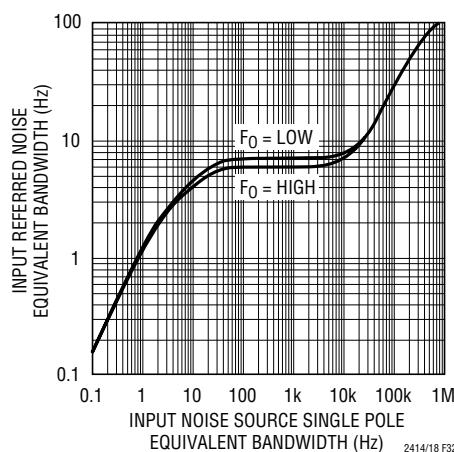


図32. 入力に接続したホワイト・ノイズ発生源の入力換算ノイズ等価帯域幅

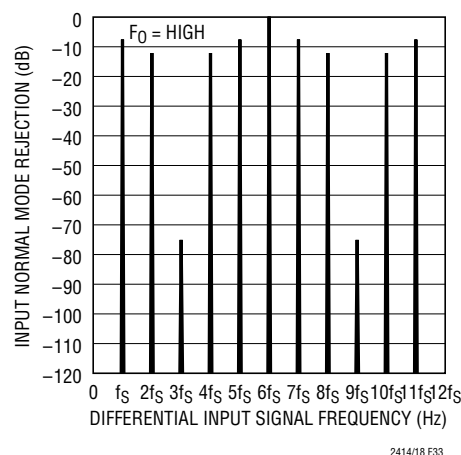


図33. 入力ノーマル・モード除去比、内部発振器および50Hzノッチ

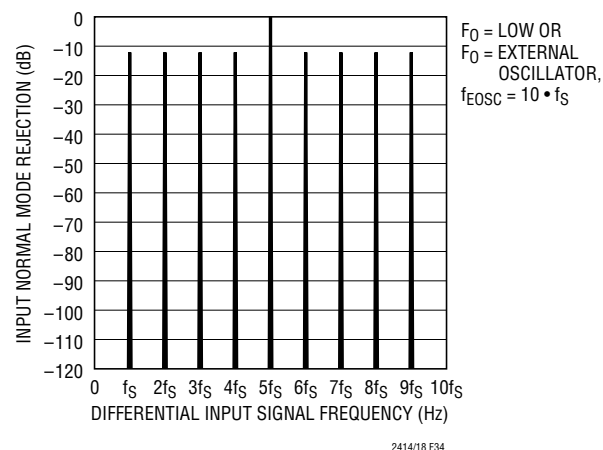


図34. 入力ノーマル・モード除去比、内部発振器および60Hzノッチまたは外部発振器

241418fa

アプリケーション情報

複合ノーマル・モード除去性能を、ノッチ設定が50Hz ($F_0 = \text{“H”}$)の内部発振器の場合は図33に示し、ノッチ設定が60Hz ($F_0 = \text{“L”}$)の内部発振器の場合および外部発振器モードの場合は図34に示します。 f_S の整数倍で発生する低除去比領域の帯域幅は非常に狭くなっています。ノーマル・モード除去比曲線の拡大詳細図を図35 (DC付近での除去比)および図36 ($f_S = 256f_N$ での除去比)に示します。ここで、 f_N はノッチ周波数を表します。これらの曲線は外部発振器モードを対象に導出しましたが、 f_N の値を適切に選択すれば、すべての動作モードで使用できます。

このレベルの性能が図37および38によって示されているので、ユーザーは内部発振器を使用してこのレベルの性能を実際に達成できることを期待できます。内部発振器を使用し、60Hzのノッチ設定で動作するLTC2414/LTC2418のノーマル・

モード除去比の標準的測定値を、理論上の計算曲線に重ね合わせて図37に示します。同様に、内部発振器を使用し、50Hzのノッチ設定で動作するLTC2414/LTC2418のノーマル・モード除去比の標準的測定値を、理論上の計算曲線に重ね合わせて図38に示します。

これらの並外れたノーマル・モード規格値の結果、(必要に応じて)最小限のアンチエイリアス・フィルタリング回路をLTC2414/LTC2418の前段に置くことが必要です。受動RC部品をLTC2414/LTC2418の前段に配置する場合は、動的作用電流を検討することが必要です(「入力電流」のセクションを参照)。大きな実効RC時定数を使用する場合には、動的作用電流の影響を最小限に抑えるため、外部バッファ・アンプが必要になることがあります。

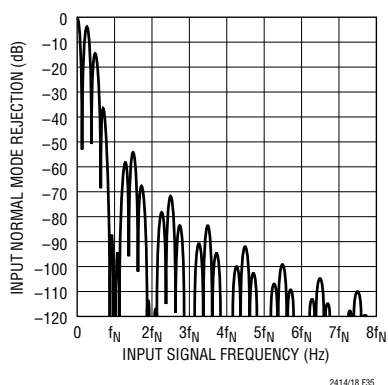


図35. 入力ノーマル・モード除去比

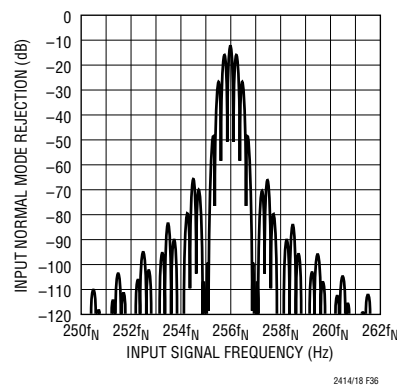


図36. 入力ノーマル・モード除去比

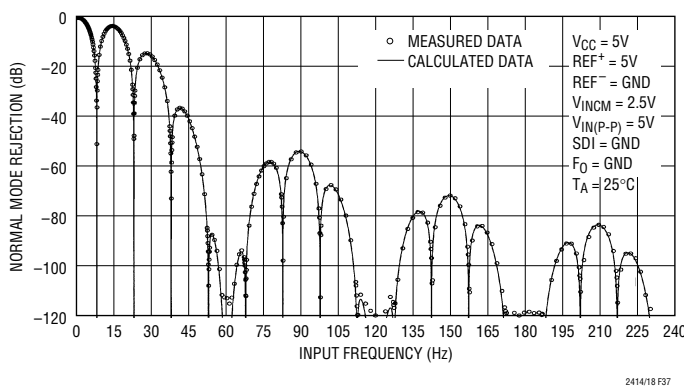


図37. 入力ノーマル・モード除去比とフルスケールの100%の入力外乱信号(60Hzノッチ)を使用した入力周波数

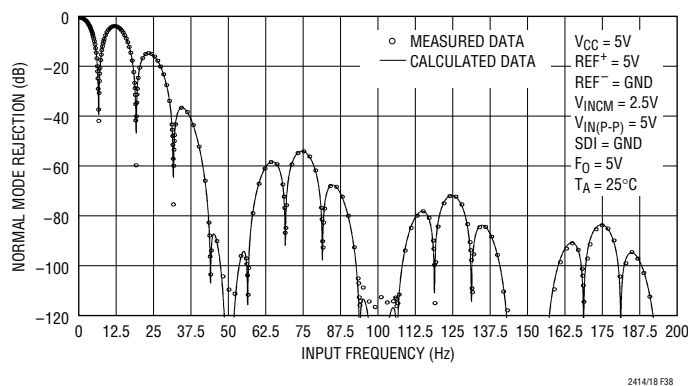


図38. 入力ノーマル・モード除去比とフルスケールの100%の入力外乱信号(50Hzノッチ)を使用した入力周波数

アプリケーション情報

従来の高次デルタシグマ変調器は、非常に優れた直線性および分解能を示す一方で、入力信号レベルが高いと潜在的な不安定性が悪化します。LTC2414/LTC2418の3次変調器に採用されている独自のアーキテクチャは、この問題を解決し、予測可能な安定動作をフルスケールの150%の入力信号レベルまで保証します。多くの産業用アプリケーションでは、Vレベルの外乱の上に重なった状態で μV レベルの信号を測定する必要があることはそう珍しいことではなく、LTC2414/LTC2418はこうした作業にきわめて適しています。外乱が差動信号である場合、対象の規格は高い入力信号レベルに対するノーマル・モード除去比です。リファレンス電圧 V_{REF} が5Vの場合、LTC2414/LTC2418のフルスケールの差動入力電圧範囲は5Vp-pです。図39および図40では、7.5Vp-p (フ

ルスケールの150%)の入力信号を使用した場合のLTC2414/LTC2418のノーマル・モード除去比の測定結果を、5Vp-p (フルスケール)の入力信号を使用して得られた従来のノーマル・モード除去比結果の上に重ね合わせて示しています。図39では、LTC2414/LTC2418は、ノッチを60Hzに設定した($F_0 = \text{"L"}$)内部発振器を使用しており、図40ではノッチを50Hzに設定した($F_0 = \text{"H"}$)内部発振器を使用しています。LTC2414/LTC2418の除去性能が、この極限状況に妥協することなく維持されることは明らかです。高い入力信号レベルで動作する場合、ユーザーはこうした信号がデバイスの絶対最大定格を超えないことを確認する必要があります。

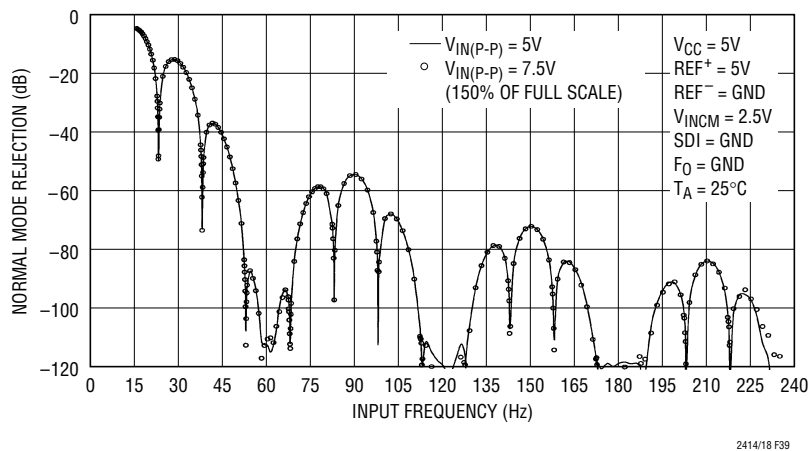


図39. 入力ノーマル・モード除去比の測定値とフルスケールの150%の入力外乱信号(60Hz ノッチ)を使用した入力周波数

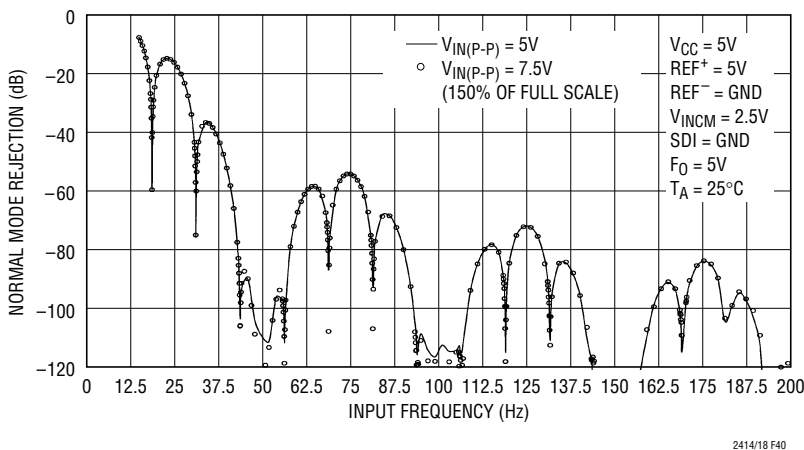


図40. 入力ノーマル・モード除去比の測定値とフルスケールの150%の入力外乱信号(50Hz ノッチ)を使用した入力周波数

アプリケーション情報

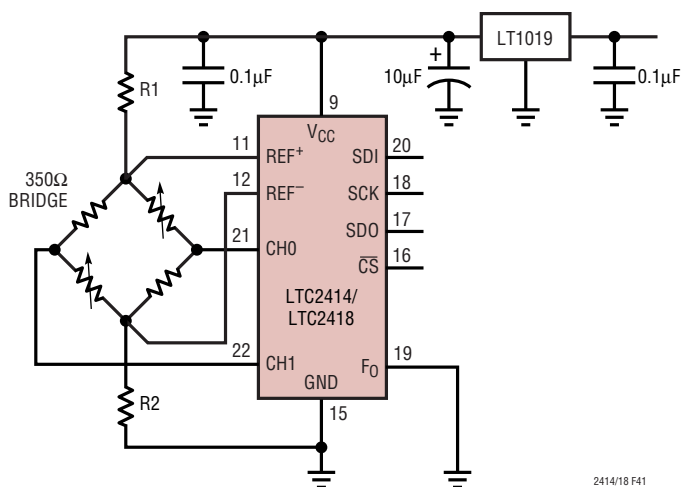
ブリッジ・アプリケーション

標準的な歪みゲージ・ベースのブリッジによって得られる励起電圧はわずか2mV/Vです。LTC2414/LTC2418の最大リファレンス電圧は5Vなので、回路を追加せずに印加励起電圧のリモート検出を行うには、励起電圧を5Vに制限することが必要です。この結果、フルスケールの入力信号はわずか10mVとなり、平均化なしでの分解能は10000分の1です。多くの半導体センサの場合、このレベルはなおセンサより優れています。ただし、64サンプルを平均化すると、ノイズ・レベルは8分の1に減少し、分解能は80000分の1になって、より優れた秤量システムと同等になります。ロードセルでのヒステリシス効果とクリープ効果は、これよりはるかに大きいのが通常です。歪み測定をこのレベルの精度まで必要とする大半のアプリケーションでは、徐々に変化する現象を測定するので、大量の読み取り値を平均化するために必要な時間は、通常は問題ではありません。自重が相当に重い小刻みな重さの変化を正確に測定する必要があるシステムの場合、LTC2400ファミリに履歴効果がないことが大きなメリットになります。

LTC2414/LTC2418単独では実現できないアプリケーションでは、外部の増幅で発生する誤差の補償を、実質的にLTC2414/LTC2418の「待ち時間なし」機能によって行うことができます。待ち時間なし動作により、アンプのオフセットおよび利得のサンプルと重量測定とを交互に行うことができます。相関二重サンプリングを使用することにより、ブリッジ内部の1/fノイズ、オフセット、および熱電対の影響を抑えることができます。相関二重サンプリングでは、励起の極性を反転して、入力極性の反転を数学的に扱うことが必要です。あるいは、いくつかの高精度減衰手法のいずれかを使用してリファレンス信号の高精度の除算を行うと、ブリッジの励起電圧を最大±10Vに増加させることができます。別のオプションは、図46および図47に示すように、LTC2414/LTC2418の5Vの入力電圧範囲内でリファレンスを使用し、固定利得、またはLTC1043ベースの電圧の乗算を介して（励起アンプの遠隔帰還と併用して）励起電圧を発生させる方法です。

簡単なブリッジ接続の例を図41に示します。この例は、測定速度が最重要事項ではないすべてのブリッジ・アプリケーションに適していることに注意してください。大型容器を秤量する多くのアプリケーションでは、長期間にわたる平均重量が関

心事であり、短期間の重量は、内容物の動きや機械的共振があるため、すぐには決まりません。多くの場合、大型の秤量アプリケーションでは、各荷重支持点にロードセルが必要です。ロードセルの出力は、信号処理回路の前段で受動的に加算してA/Dコンバータの前段で能動的に増幅するか、複数のA/Dコンバータ・チャンネルを介してデジタル化して数学的に加算することができます。複数のLTC2414/LTC2418の出力を数学的に加算すると、平方根をとることでのノイズの減少という利点が得られます。LTC2414/LTC2418は低消費電力なので、A/Dコンバータがロードセルの筐体内部に配置されているマルチドロップ通信方式に適しています。



2414/18 F41
R1 AND R2 CAN BE USED TO INCREASE TOLERABLE AC COMPONENT ON REF SIGNALS

図41. 簡単なブリッジ接続

ロードセル本体に組み込む場合は、ロードセルに直接接続するのがおそらく最適です。センサまでの距離を最小限に抑えれば、保護デバイス、RFI抑圧回路、および配線がほとんど不要になるからです。LTC2414/LTC2418が示す温度依存ドリフトはきわめて低い値です。その結果、屋外の温度範囲にさらしても性能は損なわれません。増幅回路を組み込むと、熱的安定性は大幅に悪化します。入力オフセット電圧、入力オフセット電流、利得設定抵抗の温度係数がすべてその要因になるからです。

アプリケーション情報

図42の回路が示すのは、簡単な増幅方式の例です。この例では、ブリッジによって決まる2.5Vの同相電圧を持つ差動出力が得られます。3個のアンプで構成される高精度計装アンプを使用する必要はありません。LTC2414/LTC2418の同相信号除去性能は、ほとんどのアンプの性能をはるかに超えているからです。LTC1051はデュアルのオートゼロ・アンプで、その入力換算ノイズがLTC2414/LTC2418のノイズの主な要因となる前に、利得15を得るために使用できます。この例では利得34を示していますが、この値は、8つの個別抵抗を収容した抵抗アレイを使用して作成した帰還回路網によって決定されます。抵抗は、熱勾配が存在する場合、温度追跡を最適化するように配置されています。2番目のLTC1051は、変換時に発生するトランジェント負荷ステップから低ノイズの入力段をバッファする役割を果たします。

抵抗の整合性を統計的に改善しているので、この方法の利得安定性および精度は非常に良好です。ロードセル・インタフェースの比較的早い世代での相場と比較すると、利得34は低いと映るかもしれませんが、LTC2414/LTC2418の精度はその根拠を変えます。利得が高いときに高精度の利得と高い直

線性を実現するのは、結局困難であるかもしれない上に、ノイズ低減の観点からはほとんど利点がありません。

利得が100のとき、標準的な開ループ利得の160dBから生じる利得誤差は-1ppmですが、ワーストケースは116dBの最小利得のときであり、利得誤差は-158ppmになります。利得が34のときのワーストケースの利得誤差は-54ppmです。LTC1051Aを使用すると、ワーストケースの利得誤差は-33ppmまで減少します。入力換算ノイズはほとんど改善が認められず、利得の精度も損なわれる可能性があるため、利得が34より高い場合の利点は疑わしくなります。

この4アンプ構成は、出力段で一般的な高いノイズ・レベルにならないという点で、標準的な集積化3アンプ計装アンプより有利であることに注意してください。この高いノイズ・レベルは、計装アンプを低利得で使用する場合に、通常支配的となるものです。このアンプを利得10で使用した場合、利得誤差はわずか10ppmであり、入力換算ノイズは $0.1\mu\text{V}_{\text{RMS}}$ まで減少します。また、最大50の利得に加えて高い利得安定性と直線性を実現するようバッファ段を構成することもできます。

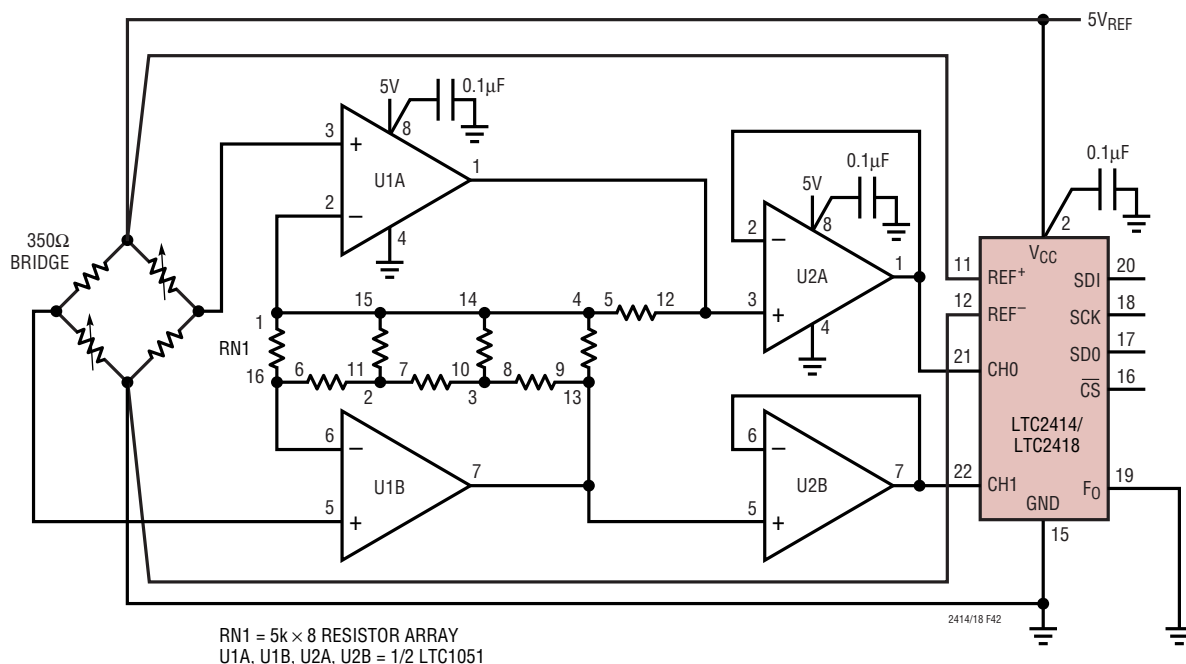


図42. オートゼロ・アンプを使用した入力換算ノイズの低減

アプリケーション情報

シングルエンドの利得を得るために使用するシングル・アンプの例を図43に示します。この構成は、利得設定抵抗を歪みゲージの温度係数に整合させることができるアプリケーションで使用するのが最善です。ブリッジが精密抵抗(とわずか1、2個の可変素子)で構成されている場合、ブリッジのリファレンス辺は、利得を決定する帰還抵抗と連携して動作するように構成できます。帰還抵抗がロードセルのデザインに組み込まれている場合、ロードセル素子の温度係数に整合した抵抗を使用すると、絶対精度の高い抵抗を使う必要なしに良好な結果を得ることができます。この場合の同相電圧は、やはりブリッジ出力の関数です。350Ωのブリッジと組み合わせて使用する場合の差動利得は、 $A_v = (R_1 + R_2)/(R_1 + 175\Omega)$ です。同相利得は差動利得の半分です。使用可能な最大の差動信号は1/4 V_{REF} で、前述した2アンプ構成の場合の1/2 V_{REF} とは対照的です。

リモート・ハーフブリッジ・インタフェース

フルブリッジ・アプリケーションとは対照的に、標準的なハーフブリッジ・アプリケーションは信号振幅がはるかに大きいことが多いので、ブリッジ出力の非直線性に対処する必要があります。アプリケーションは、動作範囲内で値が大きく変化するRTD、サーミスタ、およびその他の抵抗性素子などです。図44に示すように、ブリッジのリファレンス辺をA/Dコンバータのリファレンスとして使用する場合、可変素子が1個のブリッジでは、ハーフブリッジ出力の非直線性を完全に排除することができます。LTC2414/LTC2418では、最大 $1/2 V_{REF}$ まで入力できます。したがって、リファレンス抵抗 R_1 は、可変抵抗の最大値の2倍以上にする必要があります。

100Ωの白金RTDの場合、これはR1の値として800Ωを示唆しています。自己発熱の影響により、R1をこうした低い値にすることは推奨できません。R1の値として25.5kが示されており、自己発熱の影響はほとんどのセンサにとって許容できるレベルまで減少します。

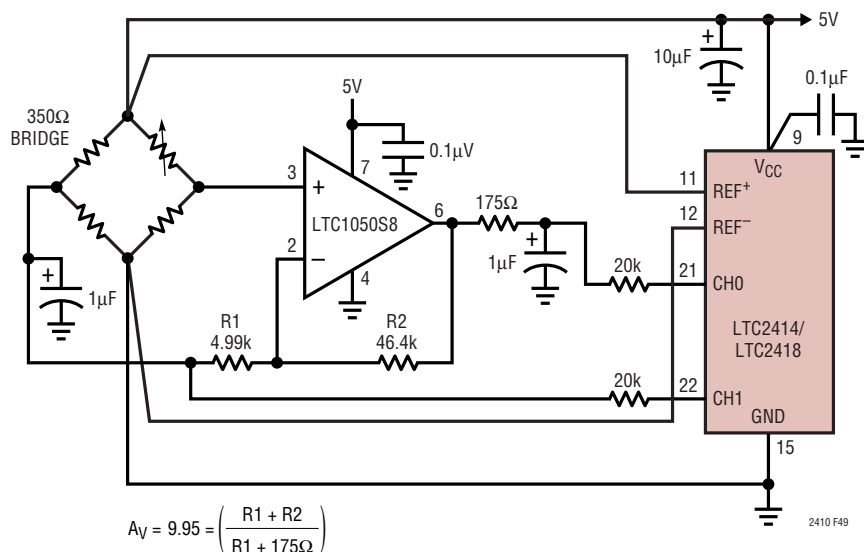


図43 シングル・アンプを使用したブリッジ・アプリケーション

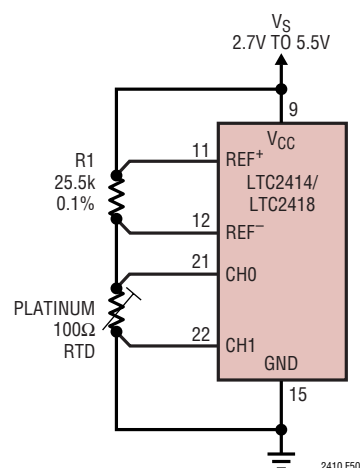


図44. リモート・ハーフブリッジ・インタフェース

アプリケーション情報

図44に示す基本回路では、センサまでの完全な4線接続を示しており、センサは遠くに配置することができます。差動入力接続は誘導または結合による60Hzの干渉を除去できますが、リファレンス入力には同じ除去性能はありません。60Hzのノイズやその他のノイズがリファレンス入力に現れる場合は、図45に示すようにローパス・フィルタを推奨します。R1とR2の接続部に大容量のコンデンサを直接配置することはできないことに注意してください。このコンデンサはサンプリング・プロセスで生じた電荷を保存するからです。より優れた方法は、値の大きな抵抗(R3)を使用して、入力ラインからデカップリングされたローパス・フィルタを作り出すことです。

ハーフブリッジの変素子と固定素子の間に第3の抵抗を使用すると、2抵抗の場合と基本的には同じ結果になりますが、利点がいくつかあります。例えば、25kのリファレンス抵抗を使用して100ΩのRTDによる励起電流を設定すると、負のリファレンス入力が正の入力と同じ外部ノードをサンプリングして、長いケーブルを使用した場合は誤差が生じることがあります。ケーブルが短いアプリケーションでは、誤差が許容できる程度に小さくて済むことがあります。代わりに、1本の25k抵抗を10k(5%精度)と10k(0.1%精度)のリファレンス抵抗に置き換えると、リファレンスに生じるノイズ・レベルは、少なくとも高周波で減少します。サンプリング・パルスが誤差に変換されない限り、1個または複数のコンデンサ、またはフェライト・ビーズの形で、フィルタを回路網に組み込むことができます。リファレンス電圧も低下しますが、これは不適當ではありません。LSBの

値が減少するからです。ただし、入力換算ノイズ・レベルは減少しません。

図45に示す回路は、図44のさらに厳しい例を示しており、ノイズ抑圧性能を向上し、リモート・アプリケーションの保護を強化しています。

励起回路の利得とブリッジからの遠隔帰還の例を図46に示します。LTC1043は電圧の乗算を行うので、5Vリファレンスから±10Vが出力され、誤差はわずか1ppmです。アンプは単位利得で使用されており、利得誤差またはオフセット電圧に起因する誤差はほとんど発生しません。1μV/°Cのオフセット電圧ドリフトは、0.05ppm/°Cの利得誤差に変換されます。抵抗アレイを帰還抵抗として使用してアンプが利得を供給する、より簡単な代替方法では、減衰器を介したブリッジ検出方式と同様の結果を得ることができます。アンプの開ループ利得は高い必要があります。そうでない場合は利得誤差が誤差の原因になるので注意してください。入力オフセット電圧が誤差全体に与える影響は比較的小さいことから、このアプリケーションには性能の低いアンプを使用することを誘導される可能性があります。LF156などのデバイスの利得(全温度範囲で25V/mV)によって生じるワーストケースの誤差は、ノイズ利得が3のとき-180ppmであることに注意してください。これは、反転利得2で5Vのリファレンスから-10Vを発生させる場合に直面する状況などが該当します。

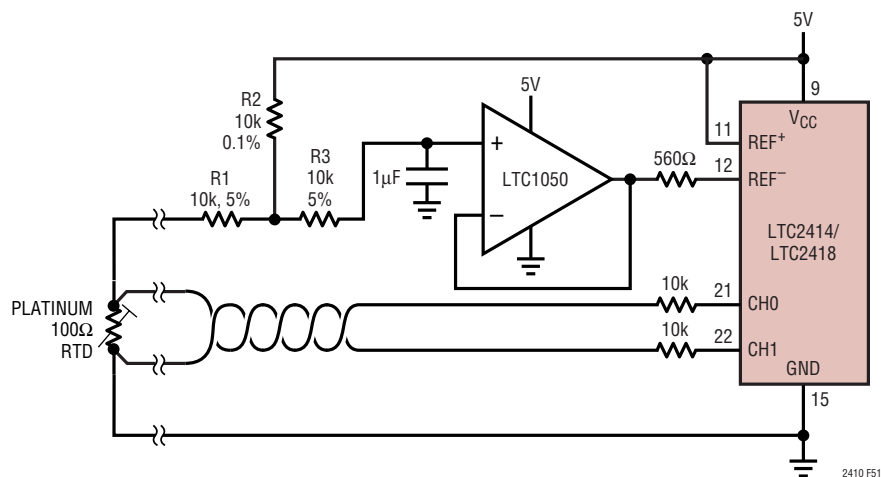


図45. リファレンスでのノイズを抑圧したリモート・ハーフブリッジ検出

アプリケーション情報

10Vの励起電圧に伴う誤差は、 -80ppm 程度になります。したがって、リファレンスの全体的な誤差は、両者の平均をとって 130ppm 程度と考えられます。

抵抗アレイを使用して励起電圧を発生させ、高精度利得を得る同様な方法を図47に示します。この回路は、10Vと -5V の

励起電圧をブリッジに発生させ、LTC2414/LTC2418の入力で 2.5V の同相電圧を生成して、誘導による 60Hz 信号の振幅が最大 2V_{RMS} に達するアプリケーションのAC入力電圧範囲を最大化するよう構成されています。

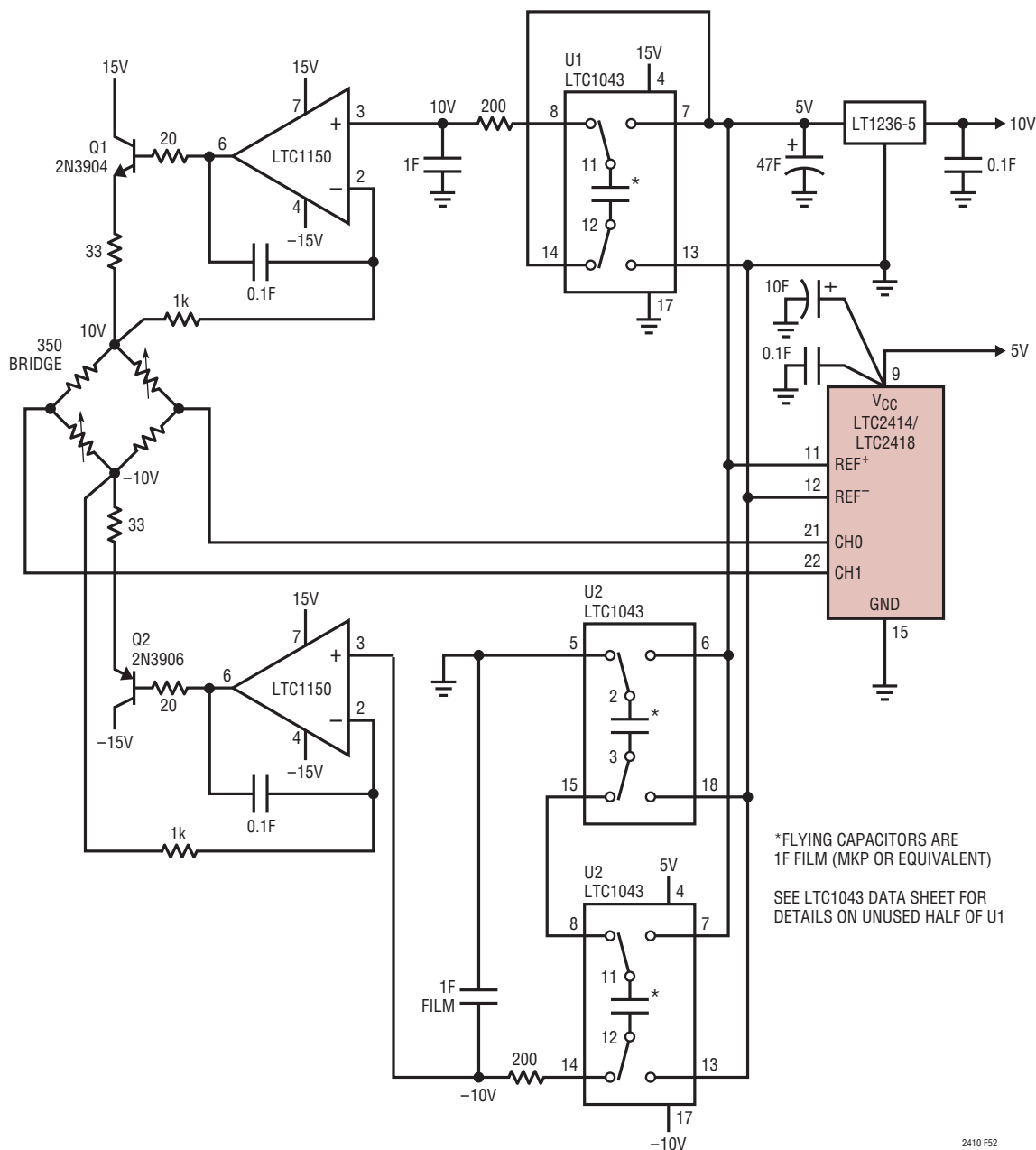


図46. LTC1043により、励起電圧に対して4倍の高精度リファレンスを供給

アプリケーション情報

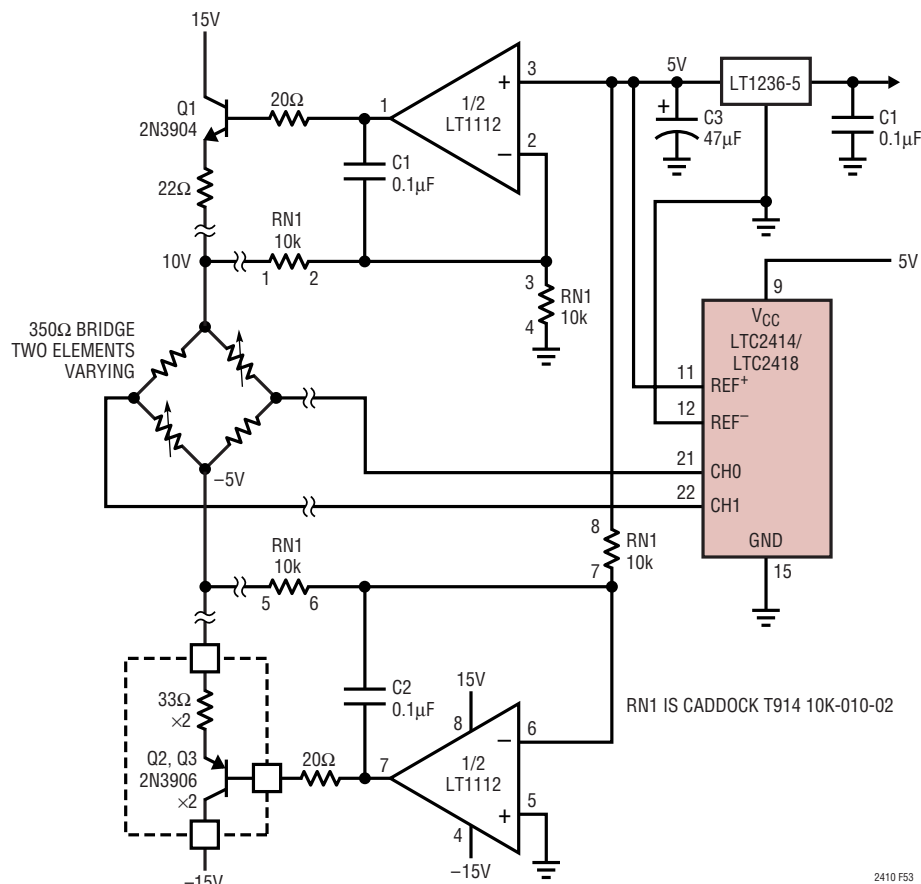


図47. 抵抗アレイを使って励起アンプの高精度の整合を実現

複数チャネルの使用

LTC2414/LTC2418には最大16の入力チャネルがあり、この特長によって、複数の変数を測定する必要があるアプリケーションで非常に柔軟で効率的な解決策を実現します。

はしご状センサの測定

多くの工業プロセスでは、速度が重要ではない、まとまった数の実際の現象をモニタする必要があることが多いものです。一例として、一群の温度測定を行って関連付ける必要がある石油精製業の分解塔があります。この測定は、はしご状に並べたRTDに励起電流を流すことによって行います。1つのLTC2418を使用して最大8つのRTDを差動モードでモニタする構成を図48に示します。高精度のR1を使用して励起電流とリファレンス電圧を設定します。25kという大きめの値を選択して、自己発熱の影響を低減します。R1は2つの抵抗に分

割することもできます。一方は励起電流を設定するための25kであり、もう一方はリファレンス電圧を設定するための高精度1k抵抗で、100Ωの白金RTDを前提としています。これにより、リファレンス電圧が低くなり、リファレンスと入力信号の間の同相電圧差が減少するので、変換の直線性が向上して、全誤差が減少します。

各入力に関連のRTDに近づけて、寄生配線抵抗によって生じる誤差を最小限に抑えます。RTDからLTC2418までの信号伝送線での干渉は、LTC2418に組み込まれている優れた同相信号除去回路およびデジタルLPFによって除去されます。CHOの入力信号源抵抗の最大値は $800\Omega \cdot 8 = 6.4k$ になる可能性があるため、接続線の寄生容量および抵抗を最小限に抑えて、コンバータの性能が低下しないようにする必要があります。ことに注意してください。

アプリケーション情報

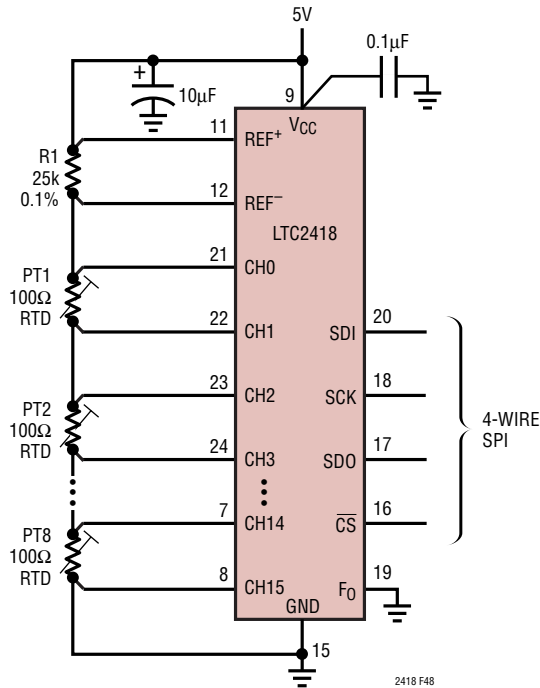


図48. 差動モードを使用したはしご状センサの測定

多チャンネルのブリッジ・デジタイザおよびデジタル冷接点補償

図41、42、および43に示すブリッジ・アプリケーションは、複数のブリッジ・トランスジューサまで拡張することができます。簡単なブリッジ測定用の拡張回路を図54に示します。温度測定回路も組み込まれています。

図54で、CH0～CH13は差動入力として構成されており、LTC2418を使用して最大7つのブリッジ・トランスジューサを測定します。CH14およびCH15はシングルエンド入力として構成されています。CH14は熱電対を測定しますが、CH15は冷接点センサ（ダイオード、サーミスタなど）の出力を測定します。冷接点センサ出力の測定値は、その後、熱電対出力を補償して、絶対温度を求めるために使用されます。最終的な温度の値は、その後、ブリッジ・トランスジューサの温度の影響を補償するために使用することができます。

LTC2414/LTC2418 SPI インタフェースのサンプル・ドライバ

LTC2414/LTC2418は、簡単な4線式シリアル・インタフェースを備えており、マイクロプロセッサやマイクロコントローラをプログラムしてデバイスを制御するのが簡単です。

LTC2414/LTC2418とPIC16F84マイクロコントローラの間の4線SPI接続を図49に示します。図50のCC5Xコンパイラ用サンプル・プログラムを使用してPIC16F84をプログラムし、LTC2414/LTC2418を制御することができます。このプログラムでは、PORT Bを使用してデバイスとのインタフェースをとります。

このプログラムは変数の宣言から始まり、32ビットの変換結果を格納する4つのメモリ位置を割り当てます。実行時には、まずPORT Bが該当のSPI構成になるよう起動して、チャンネル・アドレスを準備します。LTC2414/LTC2418は、 \overline{CS} を“L”に設定することによって作動します。次に、マイクロコントローラはデータ線でロジック“L”が検出されるまで待機し、変換終了を示します。“L”が検出されると、サブルーチンが呼び出され、LTC2414/LTC2418とマイクロコントローラの間でデータが交換されます。 \overline{CS} を“H”に設定することによってメイン・ループが終了し、データ出力状態が終了します。

LTC2414/LTC2418の性能は、デモ・ボードDC434Aを使用して確認することができます。回路図については、図51を参照してください。この回路は、コンピュータのシリアル・ポートを使用して、変換の開始および結果の読み取りに必要な電力を発生させ、SPIデジタル信号を生成します。この回路には、変換

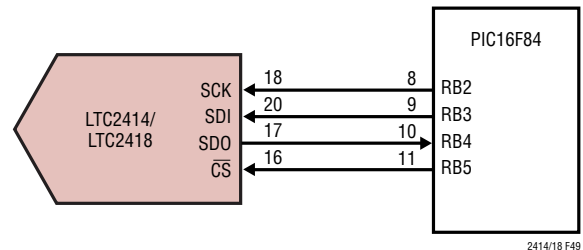


図49. SPIシリアル・インタフェースを使用したLTC2414/LTC2418とPIC16F84 MCUとの接続

結果をグラフ式に取り込むLabVIEW™アプリケーション・ソフトウェア・プログラム(図52を参照)が組み込まれています。このプログラムを使用して、ノイズ性能、安定性、および外部信号源の直線性を求めることができます。図の例で示すように、LTC2414/LTC2418は実に使いやすいデバイスです。このデモボードと関連のソフトウェアは、リニアテクノロジーにご連絡いただければ入手可能です。

アプリケーション情報

```

// LTC2418 PIC16F84 Interface Example
// Written for CC5X Compiler
// Processor is PIC16F84 running at 10 MHz

#include <16f84.h>
#include <int16cxx.h>
#pragma origin = 0x4
#pragma config |= 0x3fff, WDTE=off, FOSC=HS

// global pin definitions:
#pragma bit rx_pin      @ PORTB.0    //input
#pragma bit tx_pin      @ PORTB.1    //output
#pragma bit sck          @ PORTB.2    //output
#pragma bit sdi          @ PORTB.3    //output
#pragma bit sdo          @ PORTB.4    //input
#pragma bit cs_bar       @ PORTB.5    //output

// Global Variables
uns8 result_3;           // Conversion result MS byte
uns8 result_2;           // ..
uns8 result_1;           // ..
uns8 result_0;           // Conversion result LS byte

void shiftbidir(char nextch);    // function prototype

void main( void)
{
    INTCON=0b00000000;        // no interrupts
    TRISA=0b00000000;        // all PORTA pins outputs
    TRISB=0b00010001;        // according to definitions above

    char channel;             // next channel to send

    while(1)
    {
/* channel bit fields are 7:6, 10 always; 5, EN; 4, SGL; 3, ODD/SIGN; 2:0, ADDR */
        channel = 0b10101000;    // CH0,1 DIFF.
        cs_bar=0;                // activate ADC

        while(sdo==1)           // test for end of conversion
        {
            // wait if conversion is not complete
        }

        shiftbidir(channel);      // read ADC, send next channel
        cs_bar = 1;              // deactivate ADC

/* At this point global variables result 3,2,1 contain the 24 bit conversion result.Variable
result3 contains the corresponding channel information in the following fields:

        bits 7:6, 00 always, 5, EN; 4, SGL; 3, ODD/SIGN; 2:0, ADDR */
    }    // end of loop
}    // end of main

```

図 50. PIC16F84 向けの CC5X でのサンプル・プログラム

アプリケーション情報

```
////////// Bidirectional Shift Routine for ADC //////////
void shiftbidir(char nextch)
{
    int i;
    for(i=0;i<2;i++)          // send config bits 7:6,
                                // ignore EOC/ and DMY bits

    {
        sdi=nextch.7;          // put data on pin
        nextch = rl(nextch);    // get next config bit ready
        sck=1;                  // clock high
        sck=0;                  // clock low
    }

    for(i=0;i<8;i++)          // send config, read byte 3
    {
        sdi=nextch.7;          // put data on pin
        nextch = rl(nextch);    // get next config bit ready
        result_3 = rl(result_3); // get ready to load lsb
        result_3.0 = sdo;        // load lsb
        sck=1;                  // clock high
        sck=0;                  // clock low
    }

    for(i=0;i<8;i++)          // read byte 2
    {
        result_2 = rl(result_2); // get ready to load lsb
        result_2.0 = sdo;        // load lsb
        sck=1;                  // clock high
        sck=0;                  // clock low
    }

    for(i=0;i<8;i++)          // read byte 1
    {
        result_1 = rl(result_1); // get ready to load lsb
        result_1.0 = sdo;        // load lsb
        sck=1;                  // clock high
        sck=0;                  // clock low
    }

    result_0=0;                // ensure bits 7:6 are zero
    for(i=0;i<6;i++)          // read byte 0
    {
        result_0 = rl(result_0); // get ready to load lsb
        result_0.0 = sdo;        // load lsb
        sck=1;                  // clock high
        sck=0;                  // clock low
    }
}
```

図 50. PIC16F84 向けの CC5X でのサンプル・プログラム(続き)

241418fa

LTC2414/LTC2418

アプリケーション情報

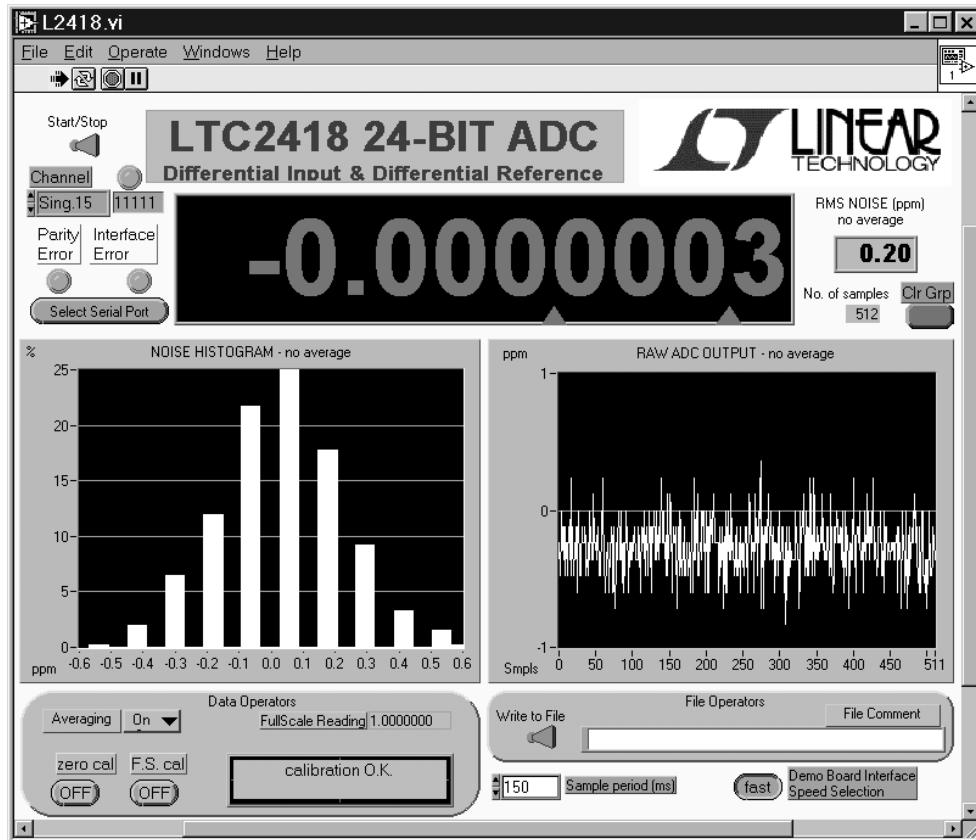


図 52. LTC2418 デモ・プログラムの表示

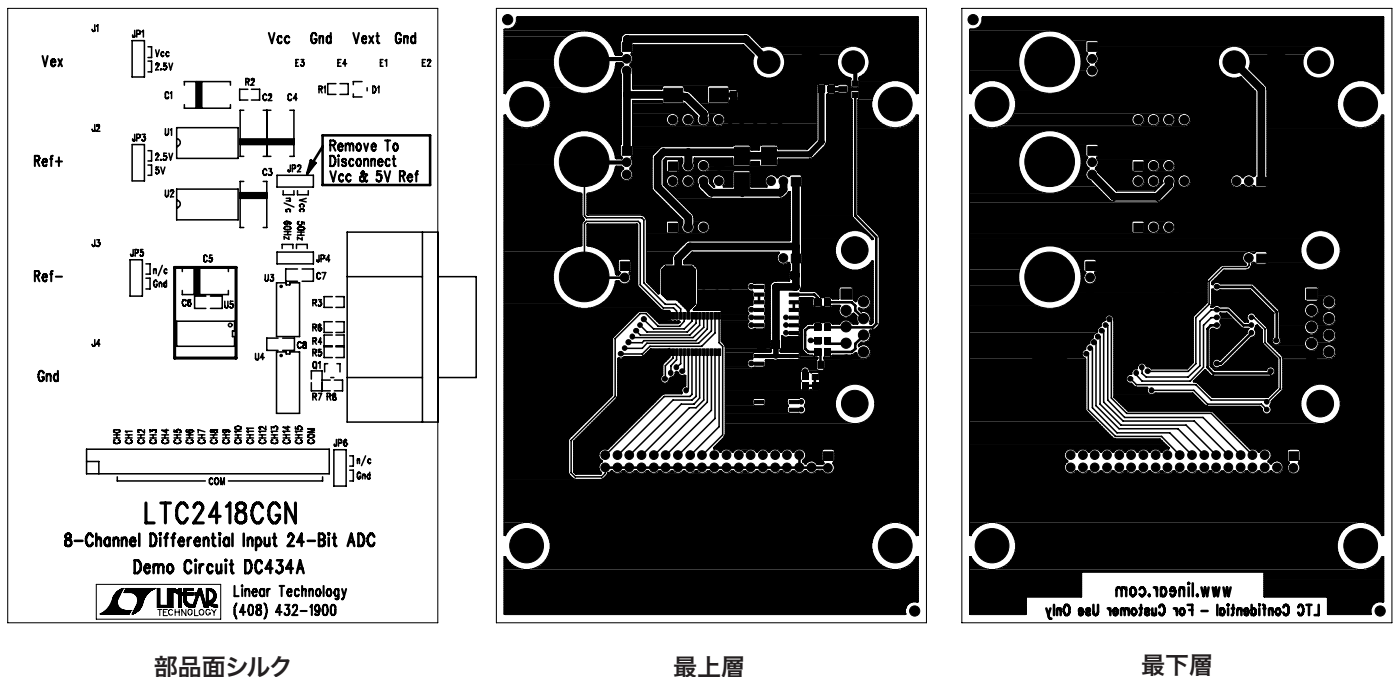
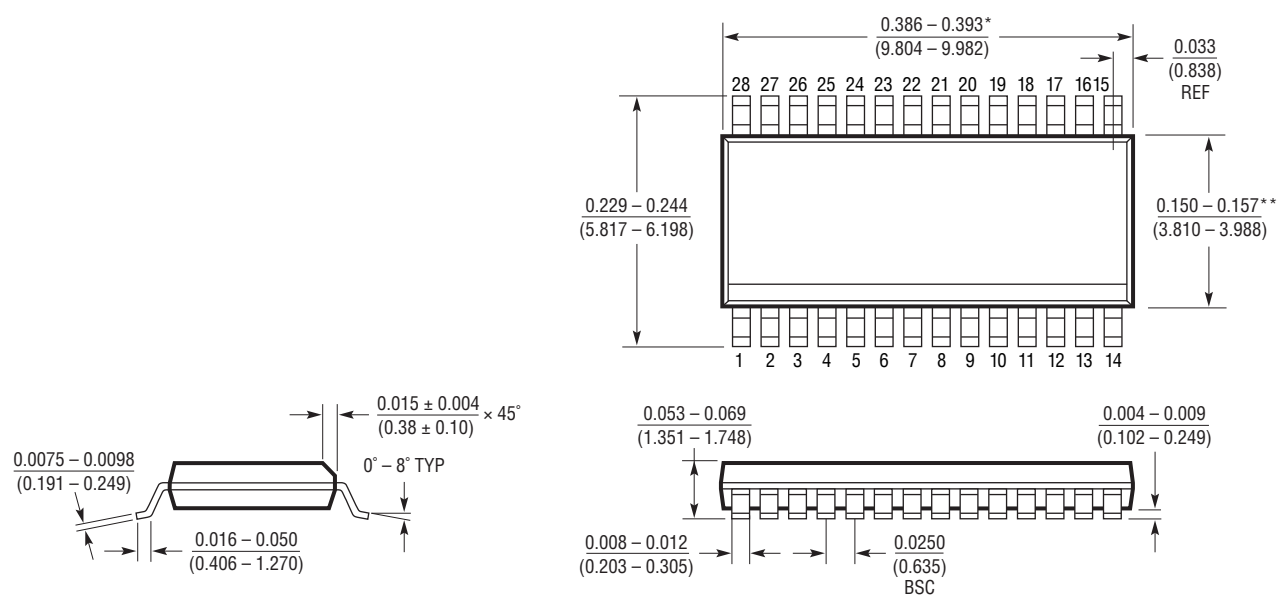


図 53. PCB レイアウトおよび薄膜

241418fa

パッケージ

GN Package
28-Lead Plastic SSOP (Narrow .150 Inch)
 (Reference LTC DWG # 05-08-1641)



- * 寸法にはモールドのバリを含まない
 モールドのバリは各サイドで $0.006''$ (0.152mm) を超えないこと
- ** 寸法にはリード間のバリを含まない
 リード間のバリは各サイドで $0.010''$ (0.254mm) を超えないこと

GN28 (SSOP) 1098

LTC2414/LTC2418

標準的応用例

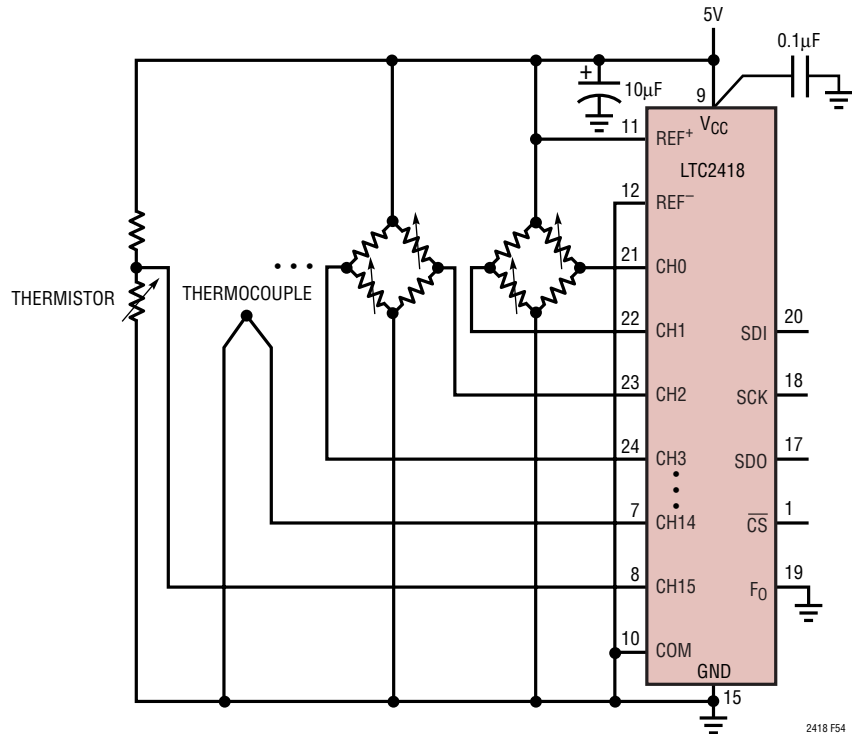


図 54. 多チャンネルのブリッジ・デジタイザおよびデジタル冷接点補償

関連製品

製品番号	説明	注釈
LT1019	高精度バンドギャップ・リファレンス、2.5V、5V	ドリフト: 3ppm/°C、初期精度: 0.05% (最大)
LT1025	マイクロパワー熱電対冷接点補償器	電源電流: 80µA、初期精度: 0.5°C
LTC1050	高精度チョップ安定化オペアンプ	外付け部品不要、オフセット: 5µV、ノイズ: 1.6µV _{P-P}
LT1236A-5	高精度バンドギャップ・リファレンス、5V	初期精度: 0.05% (最大)、ドリフト: 5ppm/°C
LT1460	マイクロパワー・シリーズ・リファレンス	初期精度: 0.075% (最大)、ドリフト: 10ppm/°C (最大)
LTC2400	24ビット、No Latency ΔΣ A/D コンバータ、SO-8 パッケージ	ノイズ: 0.3ppm、INL: 4ppm、全未調整誤差: 10ppm、電源電流: 200µA
LTC2401/LTC2402	1 チャンネル/2 チャンネル、24ビット、No Latency ΔΣ A/D コンバータ、MSOP パッケージ	ノイズ: 0.6ppm、INL: 4ppm、全未調整誤差: 10ppm、電源電流: 200µA
LTC2404/LTC2408	4 チャンネル/8 チャンネル、24ビット、No Latency ΔΣ A/D コンバータ	ノイズ: 0.3ppm、INL: 4ppm、全未調整誤差: 10ppm、電源電流: 200µA
LTC2410	完全差動の 24ビット、No Latency ΔΣ A/D コンバータ	ノイズ: 0.16ppm、INL: 2ppm、全未調整誤差: 3ppm、電源電流: 200µA
LTC2411	完全差動の 24ビット、No Latency ΔΣ A/D コンバータ、MSOP パッケージ	ノイズ: 0.3ppm、INL: 2ppm、全未調整誤差: 3ppm、電源電流: 200µA
LTC2411-1	50Hz/60Hz を同時に除去する 24ビット ΔΣ A/D コンバータ	ノイズ: 0.3ppm、INL: 2ppm、LTC2411 とピン互換
LTC2413	完全差動の 24ビット、No Latency ΔΣ A/D コンバータ	50Hz/60Hz を同時に除去、ノイズ: 800nV _{RMS}
LTC2415/LTC2415-1	出力レートが 15Hz の 24ビット、No Latency ΔΣ A/D コンバータ	LTC2410/LTC2413 とピン互換
LTC2420	20ビット、No Latency ΔΣ A/D コンバータ、SO-8 パッケージ	ノイズ: 1.2ppm、INL: 8ppm、LTC2400 とピン互換
LTC2424/LTC2428	4 チャンネル/8 チャンネル、20ビット、No Latency ΔΣ A/D コンバータ	ノイズ: 1.2ppm、LTC2404/LTC2408 とピン互換

241418fa