

4チャネルおよび8チャネル 24ビット、マイクロパワーNo Latency $\Delta\Sigma^{\text{TM}}$ ADC

特長

- ピン・コンパチブルの4チャネルおよび8チャネル24ビットADC
- マルチブレックス・アプリケーションを単純化する单一変換デジタル・フィルタ・セトリング時間
- INL : 4ppm、ミッキング・コードなし
- フルスケール誤差 : 4ppm
- オフセット : 0.5ppm
- ノイズ : 0.3ppm
- 内部発振器 - 外付け部品が不要
- 最小110dB、50Hz/60Hzノッチ・フィルタ
- リファレンス入力電圧 : 0.1V ~ V_{CC}
- ライブ・ゼロ - 拡張入力範囲により12.5%のオーバーレンジおよびアンダーレンジに対応可能
- 2.7V ~ 5.5V単一電源動作
- 低電源電流(200 μ A)および自動シャットダウン

アプリケーション

- 秤
- 直接温度測定
- ガス分析器
- 歪みゲージ変換器
- 計測
- データ収集
- 産業用プロセス・コントロール
- 6桁DVM

概要

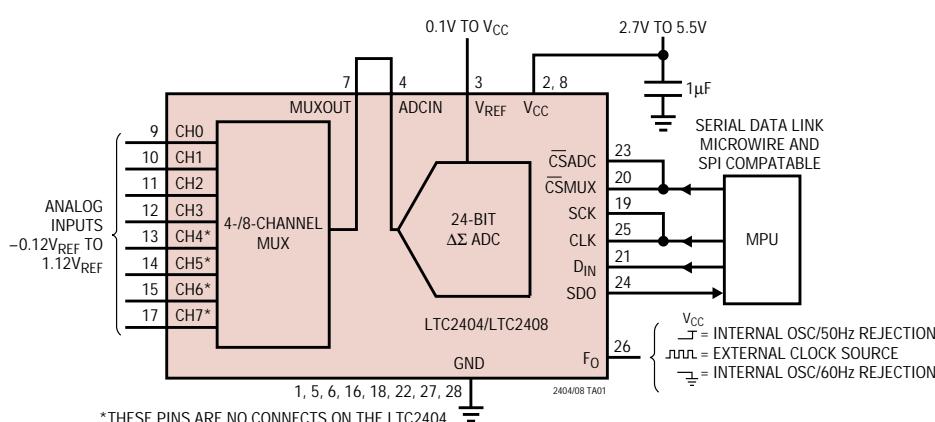
LTC[®]2404/LTC2408は2.7V ~ 5.5Vで動作する4チャネル/8チャネル・マイクロパワー24ビットA/Dコンバータで、発振器を内蔵し、INLは4ppm、RMSノイズは0.3ppmです。デルタ・シグマ・テクノロジを使って、マルチブレックス・アプリケーションのために单一サイクル・デジタル・フィルタ・セトリング時間(待ち時間なし)を実現しています。チャネル変更後の最初の変換は常に有効です。LTC2404/LTC2408は、1本のピンを使って50Hzまたは60Hz ± 2%において110dB以上の除去を達成するように構成できます。あるいは、1Hz ~ 120Hzの範囲でユーザが定義した除去周波数を外部発振器によってドライブすることができます。内部発振器には、周波数設定用の部品を外付けする必要はありません。

これらのコンバータは0.1V ~ V_{CC}の範囲のどの外部リファレンス電圧でも受け入れます。LTC2404/LTC2408は - 12.5% • V_{REF} ~ 112.5% • V_{REF}の拡張入力変換範囲を備えているので、前段のセンサまたは信号処理回路で発生するオフセットやオーバーレンジの問題をスムースに解決します。

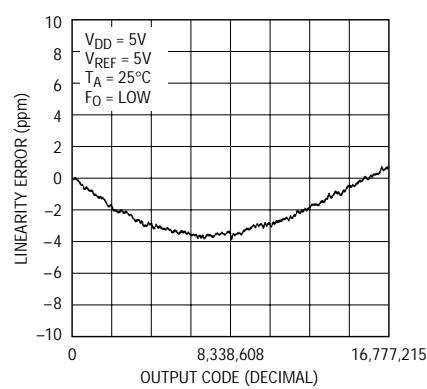
LTC2404/LTC2408は、SPIプロトコルおよびMICROWIRETMプロトコルに適合する柔軟な4線式デジタル・インターフェースを通して通信します。

LTC、**LTC**、**LT**はリニアテクノロジー社の登録商標です。
No Latency $\Delta\Sigma$ はリニアテクノロジー社の商標です。
MICROWIREは、ナショナル・セミコンダクター社の商標です。

標準的応用例



全未調整誤差と出力コード



2404/08 TA02

LTC2404/LTC2408

絶対最大定格

(Note 1、2)

GNDに対する電源電圧(V_{CC})	- 0.3V ~ 7V
GNDに対するアナログ入力電圧	- 0.3V ~ (V_{CC} + 0.3V)
GNDに対するリファレンス入力電圧	- 0.3V ~ (V_{CC} + 0.3V)
GNDに対するデジタル入力電圧	- 0.3V ~ (V_{CC} + 0.3V)
GNDに対するデジタル出力電圧	- 0.3V ~ (V_{CC} + 0.3V)

動作温度範囲

LTC2404C/LTC2408C 0 ~ 70

LTC2404I/LTC2408I - 40 ~ 85

保存温度範囲 - 65 ~ 150

リード温度(半田付け、10秒) 300

パッケージ/発注情報

TOP VIEW	ORDER PART NUMBER	TOP VIEW	ORDER PART NUMBER
 G PACKAGE 28-LEAD PLASTIC SSOP $T_{JMAX} = 125^\circ\text{C}, \theta_{JA} = 130^\circ\text{C/W}$	LTC2404CG LTC2404IG	 G PACKAGE 28-LEAD PLASTIC SSOP $T_{JMAX} = 125^\circ\text{C}, \theta_{JA} = 130^\circ\text{C/W}$	LTC2408CG LTC2408IG

ミリタリ・グレードに関してはお問い合わせください。

コンバータ特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25$ での値。(Note 3、4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)	$0.1V \leq V_{REF} \leq V_{CC}$, (Note 5)	●	24		Bits
Integral Nonlinearity	$V_{REF} = 2.5V$ (Note 6) $V_{REF} = 5V$ (Note 6)	● ●	2 4	10 15	ppm of V_{REF} ppm of V_{REF}
Offset Error	$2.5V \leq V_{REF} \leq V_{CC}$	●	0.5	2	ppm of V_{REF}
Offset Error Drift	$2.5V \leq V_{REF} \leq V_{CC}$			0.01	ppm of $V_{REF}/^\circ\text{C}$
Full-Scale Error	$2.5V \leq V_{REF} \leq V_{CC}$	●	4	10	ppm of V_{REF}
Full-Scale Error Drift	$2.5V \leq V_{REF} \leq V_{CC}$			0.02	ppm of $V_{REF}/^\circ\text{C}$
Total Unadjusted Error	$V_{REF} = 2.5V$ $V_{REF} = 5V$			5 10	ppm of V_{REF} ppm of V_{REF}
Output Noise	$V_{IN} = 0V$ (Note 13)			1.5	μVRMS
Normal Mode Rejection 60Hz ±2%	(Note 7)	●	110 130		dB

コンバータ特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3、4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Normal Mode Rejection 50Hz ±2%	(Note 8)	●	110	130	dB
Power Supply Rejection DC	$V_{\text{REF}} = 2.5\text{V}, V_{\text{IN}} = 0\text{V}$		100		dB
Power Supply Rejection 60Hz ±2%	$V_{\text{REF}} = 2.5\text{V}, V_{\text{IN}} = 0\text{V}$, (Note 7)		110		dB
Power Supply Rejection 50Hz ±2%	$V_{\text{REF}} = 2.5\text{V}, V_{\text{IN}} = 0\text{V}$, (Note 8)		110		dB

アナログ入力およびリファレンス

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{IN}	Input Voltage Range	(Note 14)	●	$-0.125 \cdot V_{\text{REF}}$	$1.125 \cdot V_{\text{REF}}$	V	
V_{REF}	Reference Voltage Range		●	0.1	V_{CC}	V	
$C_{\text{S}(\text{IN})}$	Input Sampling Capacitance			10		pF	
$C_{\text{S}(\text{REF})}$	Reference Sampling Capacitance			15		pF	
$I_{\text{IN}(\text{LEAK})}$	Input Leakage Current	$\bar{CS} = V_{\text{CC}}$	●	-10	1	10	nA
$I_{\text{REF}(\text{LEAK})}$	Reference Leakage Current	$V_{\text{REF}} = 2.5\text{V}, \bar{CS} = V_{\text{CC}}$	●	-12	1	12	nA
$I_{\text{IN}(\text{MUX})}$	On Channel Leakage Current	$V_S = 2.5\text{V}$ (Note 15)	●		±20	nA	
R_{ON}	MUX On-Resistance	$I_{\text{OUT}} = 1\text{mA}, V_{\text{CC}} = 2.7\text{V}$	●	250	300	Ω	
		$I_{\text{OUT}} = 1\text{mA}, V_{\text{CC}} = 5\text{V}$	●	120	250	Ω	
	MUX ΔR_{ON} vs Temperature			0.5		%/ $^\circ\text{C}$	
	ΔR_{ON} vs V_S (Note 15)			20		%	
$I_{\text{S}(\text{OFF})}$	MUX Off Input Leakage	Channel Off, $V_S = 2.5\text{V}$	●		±20	nA	
$I_{\text{D}(\text{OFF})}$	MUX Off Output Leakage	Channel Off, $V_D = 2.5\text{V}$	●		±20	nA	
t_{OPEN}	MUX Break-Before-Make Interval			290		ns	
t_{ON}	Enable Turn-On Time	$V_S = 1.5\text{V}, R_L = 3.4\text{k}, C_L = 15\text{pF}$		490		ns	
t_{OFF}	Enable Turn-Off Time	$V_S = 1.5\text{V}, R_L = 3.4\text{k}, C_L = 15\text{pF}$		190		ns	
QIRR	MUX Off Isolation	$V_{\text{IN}} = 2V_{\text{P-P}}, R_L = 1\text{k}, f = 100\text{kHz}$		70		dB	
QINJ	Charge Injection	$R_S = 0\Omega, C_L = 1000\text{pF}, V_S = 1\text{V}$		±1		pC	
$C_{\text{S}(\text{OFF})}$	Input Off Capacitance (MUX)			10		pF	
$C_{\text{D}(\text{OFF})}$	Output Off Capacitance (MUX)			10		pF	

LTC2404/LTC2408

デジタル入力とデジタル出力

● は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage \overline{CS}, F_0	$2.7V \leq V_{CC} \leq 5.5V$ $2.7V \leq V_{CC} \leq 3.3V$	● 2.7V	2.5 2.0		V
V_{IL}	Low Level Input Voltage \overline{CS}, F_0	$4.5V \leq V_{CC} \leq 5.5V$ $2.7V \leq V_{CC} \leq 5.5V$	● 2.7V		0.8 0.6	V
V_{IH}	High Level Input Voltage SCK	$2.7V \leq V_{CC} \leq 5.5V$ (Note 9) $2.7V \leq V_{CC} \leq 3.3V$ (Note 9)	● 2.7V	2.5 2.0		V
V_{IL}	Low Level Input Voltage SCK	$4.5V \leq V_{CC} \leq 5.5V$ (Note 9) $2.7V \leq V_{CC} \leq 5.5V$ (Note 9)	● 2.7V		0.8 0.6	V
I_{IN}	Digital Input Current \overline{CS}, F_0	$0V \leq V_{IN} \leq V_{CC}$	● 0V	-10	10	μA
I_{IN}	Digital Input Current SCK	$0V \leq V_{IN} \leq V_{CC}$ (Note 9)	● 0V	-10	10	μA
C_{IN}	Digital Input Capacitance \overline{CS}, F_0				10	pF
C_{IN}	Digital Input Capacitance SCK	(Note 9)			10	pF
V_{OH}	High Level Output Voltage SDO	$I_O = -800\mu A$	● 0V	$V_{CC} - 0.5V$		V
V_{OL}	Low Level Output Voltage SDO	$I_O = 1.6mA$	● 0V		0.4V	V
V_{OH}	High Level Output Voltage SCK	$I_O = -800\mu A$ (Note 10)	● 0V	$V_{CC} - 0.5V$		V
V_{OL}	Low Level Output Voltage SCK	$I_O = 1.6mA$ (Note 10)	● 0V		0.4V	V
I_{OZ}	High-Z Output Leakage SDO		● 0V	-10	10	μA
$V_{IN\ H_{MUX}}$	MUX High Level Input Voltage	$V^+ = 3V$	● 3V	2		V
$V_{IN\ L_{MUX}}$	MUX Low Level Input Voltage	$V^+ = 2.4V$	● 2.4V		0.8	V

電源条件

● は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CC}	Supply Voltage		● 0V	2.7	5.5	V
I_{CC}	Supply Current Conversion Mode Sleep Mode	$\overline{CS} = 0V$ (Note 12) $\overline{CS} = V_{CC}$ (Note 12)	● 0V	200 20	300 30	μA
$I_{CC(MUX)}$	Multiplexer Supply Current	All Logic Inputs Tied Together $V_{IN} = 0V$ or $5V$	● 0V	15	40	μA

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f_{EOSC}	External Oscillator Frequency Range		●	2.56	307.2	kHz
t_{HEO}	External Oscillator High Period		●	0.5	390	μs
t_{LEO}	External Oscillator Low Period		●	0.5	390	μs
t_{CONV}	Conversion Time	$F_O = 0V$ $F_O = V_{CC}$ External Oscillator (Note 11)	● ● ●	130.66 156.80 20480/ f_{EOSC} (in kHz)	133.33 160 163.20	ms ms ms
f_{ISCK}	Internal SCK Frequency	Internal Oscillator (Note 10) External Oscillator (Notes 10, 11)		19.2 $f_{EOSC}/8$		kHz kHz
D_{ISCK}	Internal SCK Duty Cycle	(Note 10)		45	55	%
f_{ESCK}	External SCK Frequency Range	(Note 9)	●		2000	kHz
t_{LESCK}	External SCK Low Period	(Note 9)	●	250		ns
t_{HESCK}	External SCK High Period	(Note 9)	●	250		ns
t_{DOUT_ISCK}	Internal SCK 32-Bit Data Output Time	Internal Oscillator (Notes 10, 12) External Oscillator (Notes 10, 11)	● ●	1.64 256/ f_{EOSC} (in kHz)	1.67 1.70	ms ms
t_{DOUT_ESCK}	External SCK 32-Bit Data Output Time	(Note 9)	●		32/ f_{ESCK} (in kHz)	ms
t_1	$\overline{CS} \downarrow$ to SDO Low Z		●	0	150	ns
t_2	$\overline{CS} \uparrow$ to SDO High Z		●	0	150	ns
t_3	$\overline{CS} \downarrow$ to SCK \downarrow	(Note 10)	●	0	150	ns
t_4	$\overline{CS} \downarrow$ to SCK \uparrow	(Note 9)	●	50		ns
t_{KQMAX}	SCK \downarrow to SDO Valid		●		200	ns
t_{KQMIN}	SDO Hold After SCK \downarrow	(Note 5)	●	15		ns
t_5	SCK Set-Up Before $\overline{CS} \downarrow$		●	50		ns
t_6	SCK Hold After $\overline{CS} \downarrow$		●		50	ns

Note 1 : 絶対最大定格はそれを超えるとデバイスの寿命が損なわれる可能性がある値。

Note 2 : すべての電圧値はGNDを基準とする。

Note 3 : 注記がない限り、 $V_{CC} = 2.7V \sim 5.5V$ であり、ソース入力は0 V 。

Note 4 : 注記がない限り、 F_O ピンをGNDまたは V_{CC} 、または $f_{EOSC} = 153600\text{Hz}$ の外部変換クロック・ソースに接続した状態の内部変換クロック・ソース。

Note 5 : 設計で保証されているが、テストされていない。

Note 6 : 積分非直線性は伝達曲線の実際のエンドポイントを通過する直線からのコードの偏差として定義される。偏差は量子化幅の中心から測定される。

Note 7 : $F_O = 0V$ (内部発振器) または $f_{EOSC} = 153600\text{Hz} \pm 2\%$ (外部発振器)

Note 8 : $F_O = V_{CC}$ (内部発振器) または $f_{EOSC} = 128000\text{Hz} \pm 2\%$ (外部発振器)

Note 9 : コンバータはSCKピンをデジタル入力として使用する外部SCK動作モード。データを出力している間、SCKをドライブしているクロック信号の周波数は f_{ESCK} で、単位はkHz。

Note 10 : コンバータはSCKピンをデジタル出力として使用する内部SCK動作モード。この動作モードにおいて、SCKピンの全等化負荷容量 C_{LOAD} は20pF。

Note 11 : 外部発振器は F_O ピンに接続する。外部発振器周波数 f_{EOSC} の単位はkHz。

Note 12 : コンバータは内部発振器を使用する。

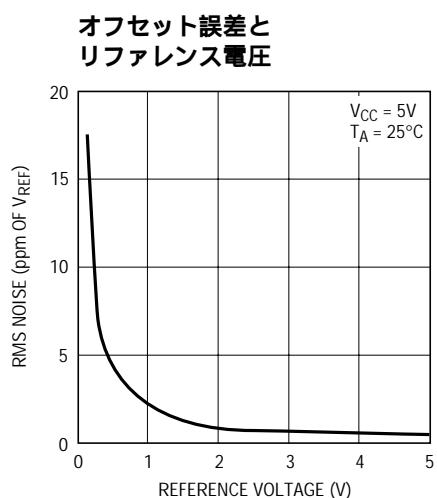
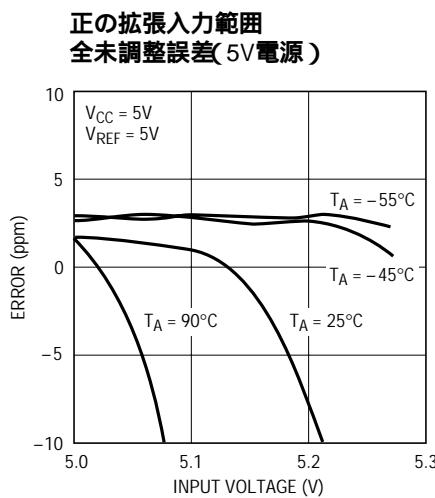
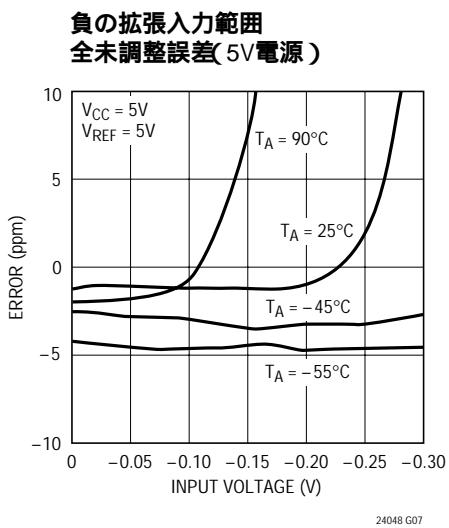
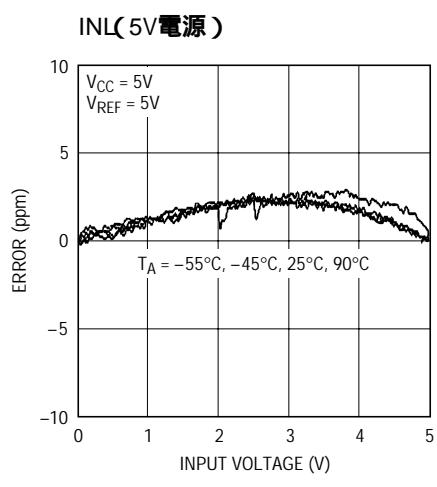
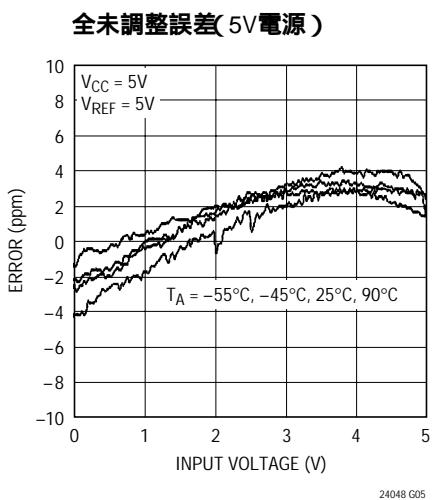
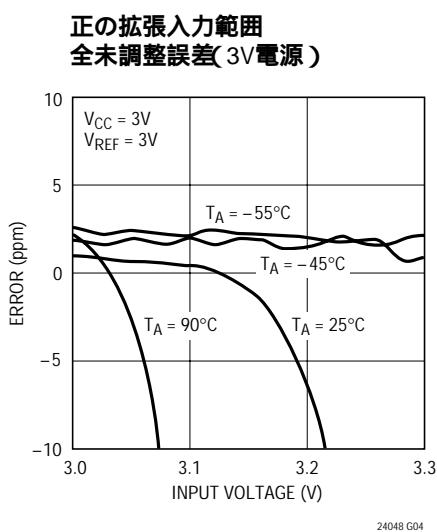
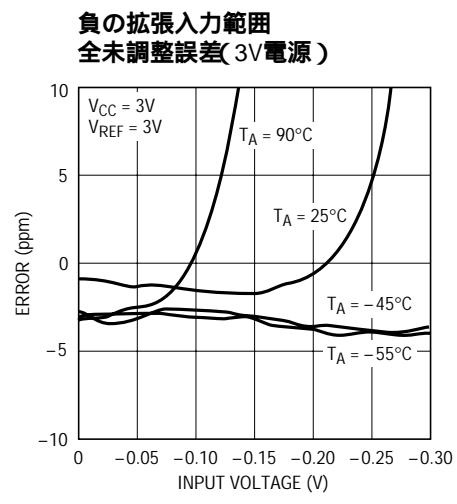
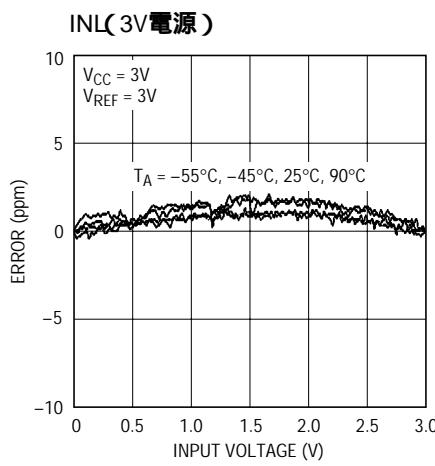
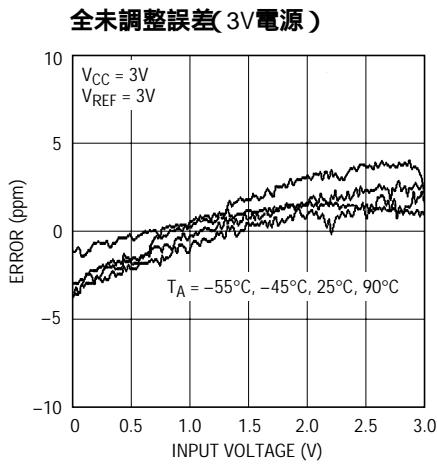
$F_O = 0V$ または $F_O = V_{CC}$

Note 13 : 出力ノイズには内部較正動作に付随する部分が含まれる。

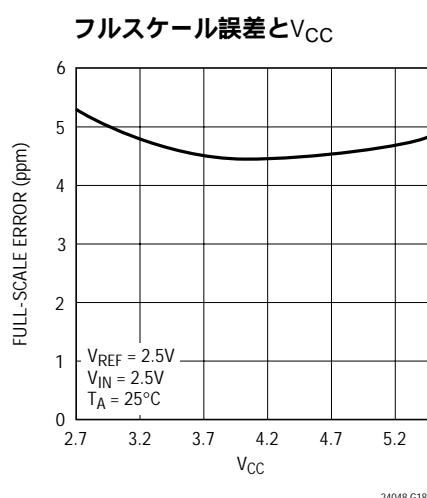
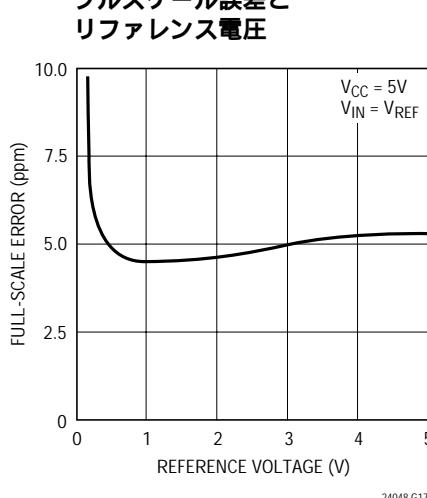
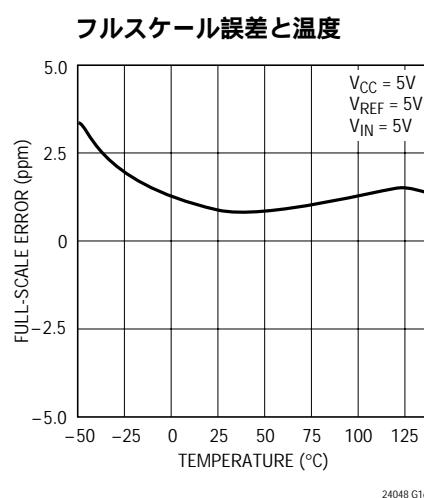
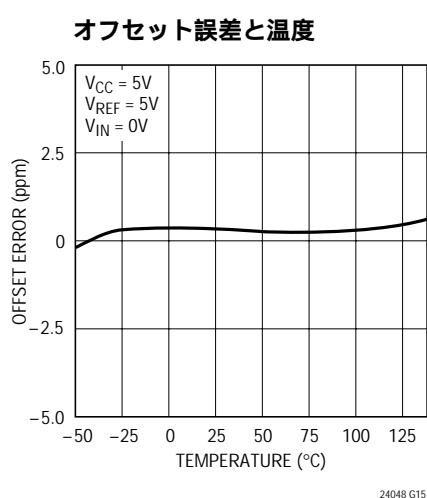
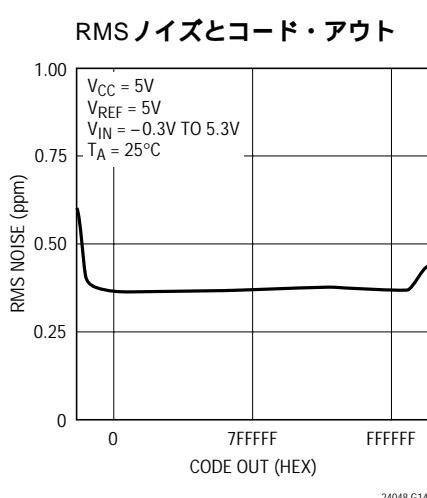
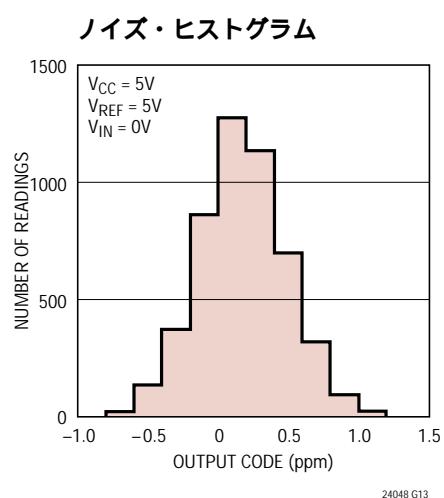
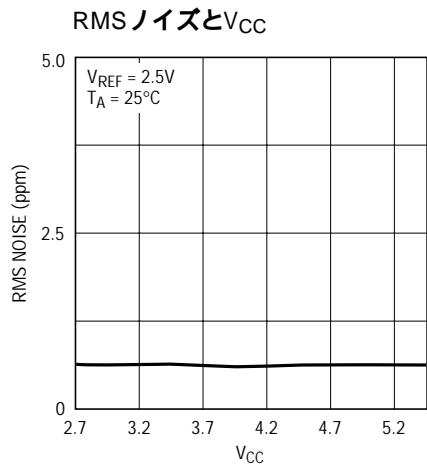
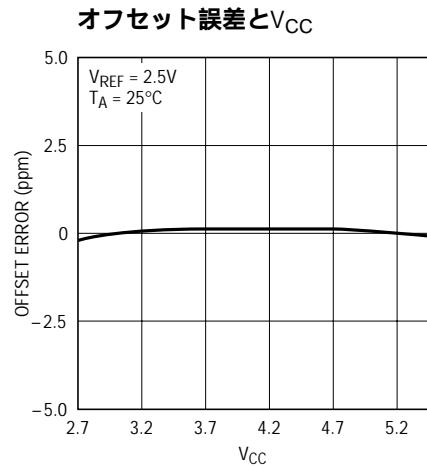
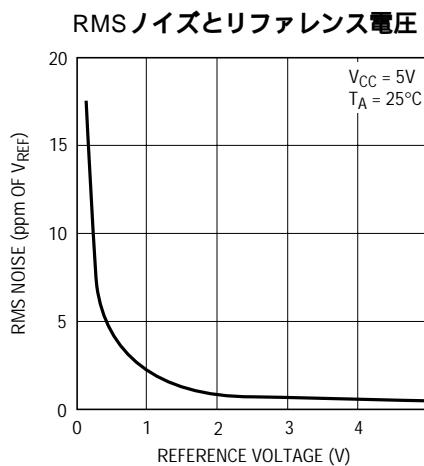
Note 14 : リファレンス電圧値が $V_{REF} > 2.5V$ の場合、 $-0.125 \cdot V_{REF} \sim 1.125 \cdot V_{REF}$ の拡張入力は、アナログ入力電圧ピン(ピン3)の絶対最大定格によって制限される。 $2.5V < V_{REF} \leq 0.267V + 0.89 \cdot V_{CC}$ の場合、入力電圧範囲は $-0.3V \sim 1.125 \cdot V_{REF}$ である。 $0.267V + 0.89 \cdot V_{CC} < V_{REF} \leq V_{CC}$ の場合、入力電圧範囲は $-0.3V \sim V_{CC} + 0.3V$ である。

Note 15 : V_S はチャネル入力に印加される電圧。 V_D はMUX出力に印加される電圧。

標準的性能特性

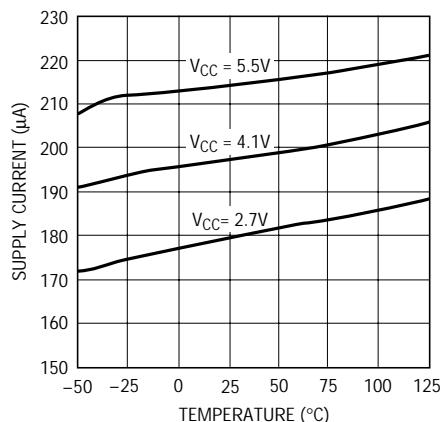


標準的性能特性



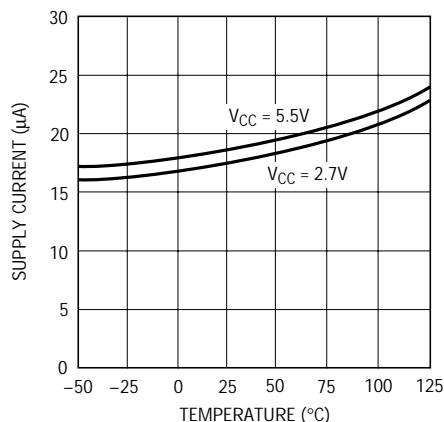
標準的性能特性

変換電流と温度



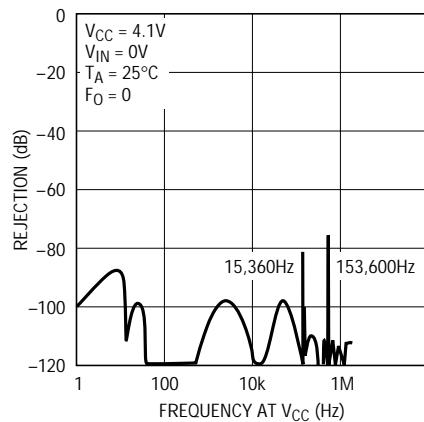
24048 G19

スリープ電流と温度



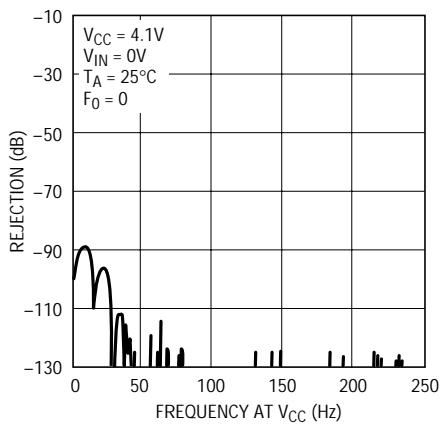
24048 G20

PSRRとV_{CC}での周波数



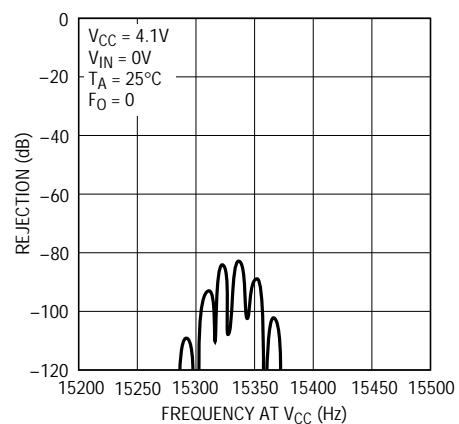
24048 G21

PSRRとV_{CC}での周波数



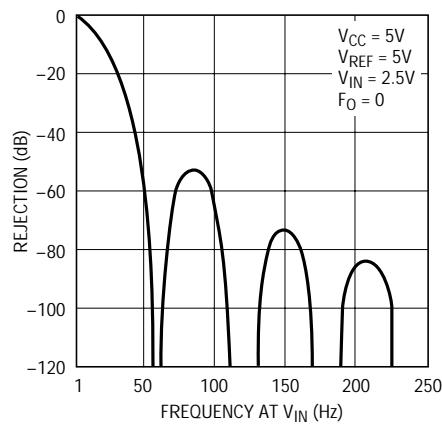
24048 G22

PSRRとV_{CC}での周波数



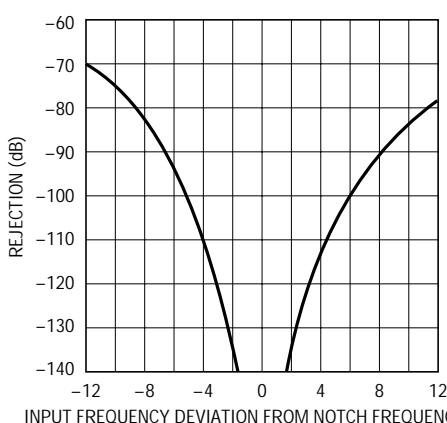
24048 G23

除去とV_{IN}での周波数



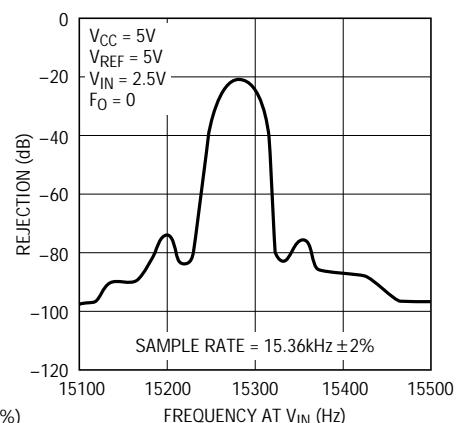
24048 G24

除去とV_{IN}での周波数



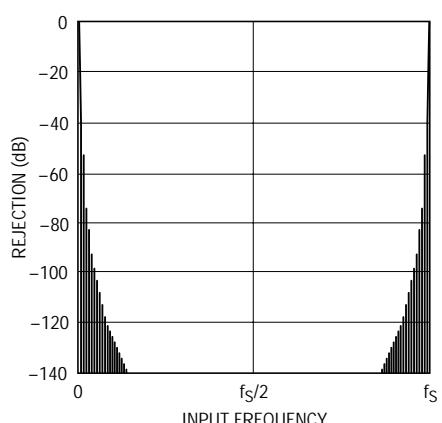
24048 G25

除去とV_{IN}での周波数



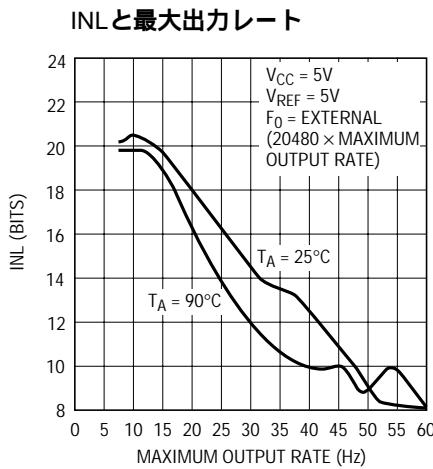
24048 G26

除去とV_{IN}での周波数

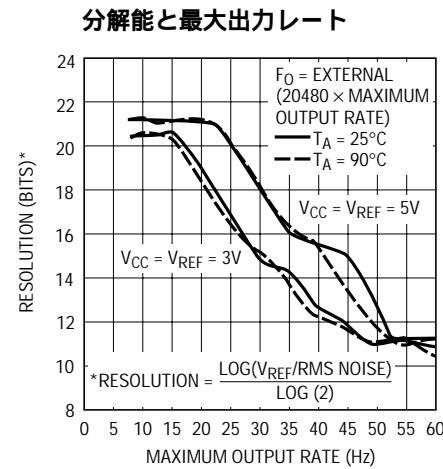


24048 G27

標準的性能特性



24048 G27



24048 G28

ピン機能

GND(ピン1、5、6、16、18、22、27、28): グランド。最短のトレースでグランド・プレーンに直接接続するか、シングル・ポイント・グランド・システムで一点接地を行ってください。

V_{CC} (ピン2、8): 正電源電圧。 $2.7V \leq V_{CC} \leq 5.5V$ 。 $10\mu\text{F}$ のタンタル・コンデンサと $0.1\mu\text{F}$ のセラミック・コンデンサを並列にしてGNDに最短でバイパスしてください。

V_{REF} (ピン3): リファレンス入力。リファレンス電圧範囲は $0.1V \sim V_{CC}$ です。

ADCIN(ピン4): アナログ入力。入力電圧範囲は $-0.125V \cdot V_{REF} \sim 1.125 \cdot V_{REF}$ です。 $V_{REF} > 2.5V$ の場合、入力電圧範囲はピンの絶対最大定格 $-0.3V \sim V_{CC} + 0.3V$ によって制限されます。

MUXOUT(ピン7): MUX出力。このピンはマルチプレクサの出力です。通常動作ではADCINに接続します。

CH0(ピン9): アナログ・マルチプレクサ入力。

CH1(ピン10): アナログ・マルチプレクサ入力。

CH2(ピン11): アナログ・マルチプレクサ入力。

CH3(ピン12): アナログ・マルチプレクサ入力。

CH4(ピン13): アナログ・マルチプレクサ入力。LTC2404では接続なし。

CH5(ピン14): アナログ・マルチプレクサ入力。LTC2404では接続なし。

CH6(ピン15): アナログ・マルチプレクサ入力。LTC2404では接続なし。

CH7(ピン17): アナログ・マルチプレクサ入力。LTC2404では接続なし。

CLK(ピン19): データ入力用のシフト・クロック。このクロックはMUXへのシリアル・データ転送の同期をとります。通常動作では、このピンをSCKと並列にドライブします。

$\overline{\text{CSMUX}}$ (ピン20): MUXチップ・セレクト入力。この入力がロジック“H”的とき、MUXはチャネル・アドレスを受信することができます。この入力をロジック“L”にすると、選択されたMUXチャネルをイネーブルしてそれをMUXOUTピンに接続し、A/D変換を行うことができます。通常動作では、このピンを $\overline{\text{CSADC}}$ と並列にドライブします。

D_{IN} (ピン21): デジタル・データ入力。マルチプレクサ・アドレスは、 $\overline{\text{CSMUX}}$ が“L”になる前のCLKの最後の4つの立上りエッジでこの入力にシフトされて取り込まれます。

$\overline{\text{CSADC}}$ (ピン23): ADCチップ・セレクト入力。このピンを“L”にするとSDOデジタル出力がイネーブルされ、各変換に続いてADCは自動的にスリープ・モードになります。 $\overline{\text{CSADC}}$ ピンが“H”になっている間はこの低消費電力状態に留まります。このピンを“H”にすると、SDOデジ

LTC2404/LTC2408

ピン機能

タル出力もディスエーブルされます。データ出力中に、 $\overline{\text{CSADC}}$ ピンが“L”から“H”に変わると、データ転送を中断して、新しいデータ変換を開始します。通常動作では、このピンは $\overline{\text{CSMUX}}$ と並列にドライブします。

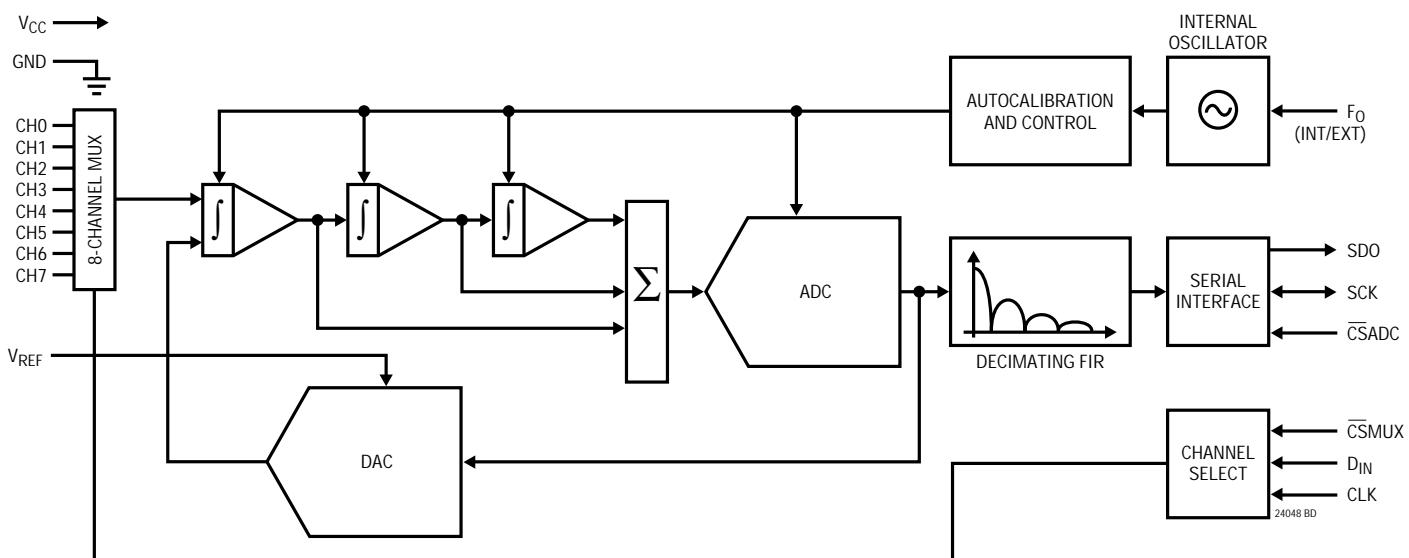
SDO (ピン24): 3ステート・デジタル出力。このピンはデータ出力期間中はシリアル・データ出力に使用されます。チップ・セレクト $\overline{\text{CSADC}}$ ピンが“H”($\overline{\text{CSADC}} = \text{V}_{\text{CC}}$)のとき、 SDO ピンはハイ・インピーダンス状態になります。このピンは変換およびスリープ期間中は、変換ステータス出力として使用できます。変換ステータスは $\overline{\text{CSADC}}$ を“L”にすると観察することができます。

SCK (ピン25): データ出力用のシフト・クロック。このクロックはADCデータ出力のシリアル・データ転送

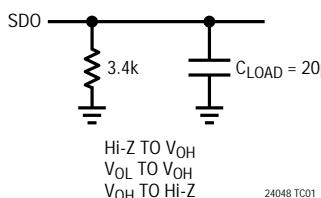
の同期をとります。データは SCK の立下りエッジで SDO からシフト・アウトされます。通常動作では、このピンを CLK と並列にドライブします。

F_0 (ピン26): ADCのノッチ周波数と変換時間を制御するデジタル入力。 F_0 ピンを V_{CC} に接続すると($F_0 = \text{V}_{\text{CC}}$)、コンバータは内部発振器を使用してデジタル・フィルタの設定値を50Hzにします。 F_0 ピンをGNDに接続すると($F_0 = \text{OV}$)、コンバータは内部発振器を使用してデジタル・フィルタの設定値を60Hzにします。 F_0 を周波数 f_{EOSC} の外部クロック信号でドライブすると、コンバータはこの信号をクロックとして使用し、デジタル・フィルタの設定値周波数を $f_{\text{EOSC}}/20480$ にします。この結果、出力ワード・レートは $f_{\text{EOSC}}/20480$ となります。

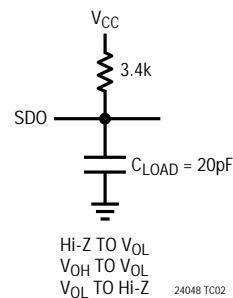
機能ブロック図



テスト回路



24048 TC01



24048 TC02

アプリケーション情報

コンバータ動作サイクル

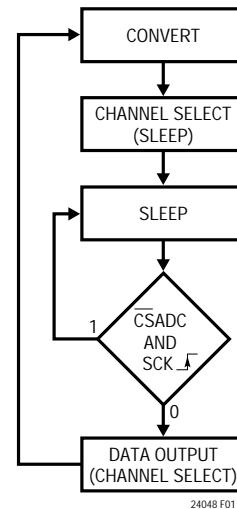
LTC2404/LTC2408は使いやすい14線式インターフェースを備える低消費電力、4チャネル/8チャネル・デルタ-シグマ・アナログ デジタル・コンバータです。動作は単純であり、4つの状態から構成されています。コンバータの動作は変換で始まり、低消費電力スリープ状態が続き、データ出力で終了します(図1参照)。チャネル選択はスリープ状態の間またはデータ出力状態の終りで行うことができます。インターフェースは、シリアル・データ出力(SDO)、シリアル・クロック(CLK/SCK)、チップ・セレクト($\overline{\text{CSADC/CSMUX}}$)およびデータ入力(D_{IN})で構成されています。SCKをCLKに接続し、 $\overline{\text{CSADC}}$ を $\overline{\text{CSMUX}}$ に接続すれば、インターフェースに必要なのは4線だけです。

LTC2404またはLTC2408は最初に変換を実行します。変換が完了すると、デバイスはスリープ状態に入ります。スリープ状態の間は電力消費量が1桁減少します。 $\overline{\text{CSADC}}$ がロジック“H”の間、デバイスはスリープ状態のままです。コンバータがスリープ状態のとき、変換結果はスタティック・シフト・レジスタに無限に保持されます。

次の変換サイクルのためのチャネル選択は、スリープ状態の間またはデータ出力状態の終りに行われます。 $\overline{\text{CSMUX}}$ が“H”的とき、CLKの立上りエッジで4ビット・シリアル・ワードを D_{IN} ピンに印加すれば特定のチャネルが選択されます(図3および表3を参照)。チャネルは、 $\overline{\text{CSMUX}}$ が“L”になる前に D_{IN} にクロック・インされた最後の4ビットに基づいて選択されます。 D_{IN} がオール0ならば、前回のチャネルがそのまま選択されます。

図3に示す例では、MUXチャネルはデータ出力状態が始まる直前のスリープ状態中に選択されています。チャネル選択が完了すると、 $\overline{\text{CSADC}}$ が“H”に留まる限り、デバイスはスリープ状態のままです。

$\overline{\text{CSADC}}$ が“L”になると、デバイスは変換結果の出力を開始します。変換結果には待ち時間はありません。待ち時間がないため、入力チャネル変更後の最初の変換が有効であり、そのチャネルに対応しています。データ出力は直前に実行した変換結果に対応しています。この結果はシリアル・クロック(SCK)の制御により、シリアル・データ出力ピン(SDO)にシフトアウトされます。データはSCKの立下りエッジで更新されるので、ユーザはSCKの立上りエッジで確実にデータをラッチすることができます。



24048 F01

図1. LTC2408の状態遷移図

ます(図3参照)。ADCから32ビット・データが読み出されるか、または $\overline{\text{CSADC}}$ が“H”になると、データ出力状態が終了します。デバイスは自動的に新しい変換サイクルを開始し、そのサイクルが繰り返されます。

$\overline{\text{CSADC}}$ ピンとSCKピンのタイミング制御により、LTC2404/LTC2408は2つの動作モード(内部または外部SCKモード)を提供します。これらのモードは、構成レジスタのプログラミングを必要とせず、さらに前述のような周期的動作を妨害することもありません。これらの動作モードについては、シリアル・インターフェース・タイミング・モードのセクションで詳しく説明します。

変換クロック

従来型コンバータに対するデルタ-シグマ・コンバータの主な利点は、内蔵デジタル・フィルタ(一般にSincフィルタまたはCombフィルタとして知られている)です。高分解能、低周波数アプリケーションでは、このフィルタは一般に50または60Hzの電源周波数とそれらの高調波を除去するように設計されています。これらの周波数を110dB以上除去するには、高精度の変換クロックが必要です。LTC2404/LTC2408は高精度の発振器を内蔵しています。そのため水晶振動子や発振器などの外付け周波数設定部品は不要です。LTC2404/LTC2408は内蔵発振器からクロックが供給され、ライン周波数(50または60Hz ± 2%)を最低でも110dB除去します。

アプリケーション情報

使いやすさ

LTC2404/LTC2408のデータ出力には、待ち時間、フィルタのセトリング、および変換サイクルに伴う冗長データはありません。変換データと出力データは1対1で対応しています。したがって、アナログ入力電圧の多重化が容易です。

LTC2404/LTC2408は1変換サイクルごとにオフセットおよびフルスケール較正を実行します。この較正はユーザには見えず、前述の周期的動作には影響を与えません。連続較正の利点は、時間、電源電圧の変動、および温度ドリフトに対するオフセットおよびフルスケールの読み取り値がきわめて安定していることです。

起動シーケンス

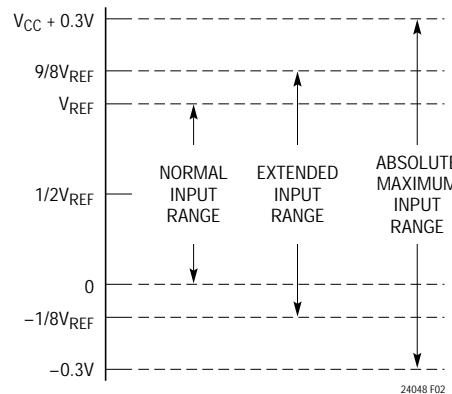
電源電圧 V_{CC} が約 2.2V 以下に低下すると、LTC2404/LTC2408 は自動的に内部リセット状態に入ります。 V_{CC} 電圧がこのクリティカル・スレッショルド以上に上昇すると、コンバータは持続時間が約 0.5ms の内部パワーオン・リセット (POR) 信号を生成します。POR 信号は ADC 内のすべての内部レジスタをクリアして、変換を開始します。起動時、マルチプレクサ・チャネルはディスエーブルされるので、デバイスがスリープ状態に入った後でマルチプレクサ・チャネルをプログラムする必要があります。マルチプレクサ・チャネルがディスエーブルされたため、POR 信号に続く最初の変換結果は有効ではありません。

リファレンス電圧範囲

LTC2404/LTC2408 は、0V ~ V_{CC} までのリファレンス電圧を受け入れることができます。コンバータ出力ノイズはフロントエンド回路の熱雑音によって決まるので、このマイクロボルトの値はリファレンス電圧に対しほぼ一定です。したがって、リファレンス電圧を低くしてもコンバータの有効分解能は大きくは改善されません。他方、リファレンス電圧を低くするとコンバータの全 INL 性能が向上します。LTC2404/LTC2408 の電圧リファレンスの推奨範囲は 100mV ~ V_{CC} です。

入力電圧範囲

コンバータは拡張入力範囲を備えているので、システム・レベルでのオーバレンジ状況はもとより、システム・レベルのオフセットおよび利得誤差に適応することができます(図2参照)。



LTC2404/LTC2408 は、 $-0.125V \cdot V_{REF} \sim 1.125 \cdot V_{REF}$ の拡張入力範囲内で入力信号を変換します。

V_{REF} の値が大きい場合、この範囲は $-0.3V \sim (V_{CC} + 0.3V)$ の電圧範囲に制限されます。入力がこの範囲を超えると入力 ESD 保護デバイスがターンオンを開始し、入力リーキ電流に起因する誤差が急速に増加します。

V_{IN} に印加される入力信号の範囲はグランド以下 -300mV、 V_{CC} 以上 300mV まで可能です。フォールト電流を制限するために、デバイスの性能に影響を与えることなくどのチャネル入力ピン (CH0 ~ CH7) にも直列に最大 5kΩ の抵抗を追加できます。物理的レイアウトでは、この直列抵抗とチャネル入力ピン間の接続による寄生容量をできる限り少なくすることが重要です。したがって、抵抗はチャネル入力ピンにできる限り接近して配置しなければなりません。コンバータの精度に対する直列抵抗の影響は、アナログ入力およびリファレンス電流のセクションに記載されている曲線から評価することができます。また、直列抵抗により、入力リーキ電流に起因する温度依存オフセット誤差が生じます。 $V_{REF} = 5V$ の場合、1nA の入力リーキ電流によって、5kΩ の抵抗で 1ppm のオフセット誤差が生じます。この誤差には非常に強い温度依存関係があります。

出力データ・フォーマット

LTC2404/LTC2408 のシリアル出力データ・ストリームは 32 ビット長です。最初の 4 ビットは、符号、入力範囲、および変換状態を示すステータス情報を表します。次の 24 ビットは変換結果で、MSB から始まります。残りの 4 ビットは 24 ビット・レベルを超えるサブ LSB であり、分解能を損なうことなく、平均して算入するか切り捨てるすることができます。

アプリケーション情報

ビット31(最初の出力ビット)は変換終了($\overline{\text{EOC}}$)インジケータです。このビットは $\overline{\text{CSADC}}$ ピンが“L”のとき、変換およびスリープ状態の間にSDOピンから得られます。変換中はこのビットは“H”で、変換が完了すると“L”になります。

ビット30(2番目の出力ビット)はダミー・ビット(DMY)であり、常時“L”です。

ビット29(3番目の出力ビット)は、変換結果の符号インジケータ(SIG)です。 $V_{IN} > 0$ の場合、このビットは“H”です。 $V_{IN} < 0$ の場合、このビットは“L”です。符号ビットはゼロ・コード中に状態を変えます。

ビット28(4番目の出力ビット)は、拡張入力範囲(EXR)のインジケータです。入力が $0 \leq V_{IN} \leq V_{REF}$ の通常入力範囲にある場合、このビットは“L”です。入力が $V_{IN} > V_{REF}$ または $V_{IN} < 0$ の通常入力範囲外の場合、このビットは“H”です。

これらのビットの機能は表1に要約されています。

表1. LTC2404/LTC2408のステータス・ビット

Input Range	Bit 31 EOC	Bit 30 DMY	Bit 29 SIG	Bit 28 EXR
$V_{IN} > V_{REF}$	0	0	1	1
$0 < V_{IN} \leq V_{REF}$	0	0	1	0
$V_{IN} = 0^+/0^-$	0	0	1/0	0
$V_{IN} < 0$	0	0	0	1

ビット27(5番目の出力ビット)は最上位ビット(MSB)です。

ビット27~4はMSBから始まる24ビットの変換結果です。

ビット4は最下位ビット LSB)です。

ビット3~0は24ビット・レベルより下のサブLSBです。ビット3~0は分解能を損なうことなく平均して算入するか切り捨てるすることができます。

データはシリアル・クロック(SCK)の制御により、SDOピンからシフトアウトされます(図3参照)。 $\overline{\text{CSADC}}$ が“H”的ときにはいつでもSDOはハイ・インピーダンスのままで、内部データ出力シフト・レジスタはSCKクロック・パルスをすべて無視します。

変換結果をデバイスからシフトアウトするには、最初に $\overline{\text{CSADC}}$ を“L”にドライブしなければなりません。 $\overline{\text{CSADC}}$ が“L”になると、 $\overline{\text{EOC}}$ がデバイスのSDOピンに現れます。 $\overline{\text{EOC}}$ は変換完了時にリアルタイムで“H”から“L”に変化します。この信号は外部マイクロコントローラに対する割込みに使用できます。ビット31($\overline{\text{EOC}}$)は、SCKの最初の立上りエッジで捕捉可能です。ビット30はSCKの最初の立下りエッジでデバイスからシフトアウトされます。最終データ・ビット(ビット0)は、31番目のSCKパルスの立下りエッジでシフトアウトされ、32番目のSCKパルスの立上りエッジでラッチできます。32番目のSCKパルスの立下りエッジでSDOが“H”になり、新しい変換サイクルが開始されたことを示します。このビットは、次の変換サイクルの $\overline{\text{EOC}}$ (ビット31)として働きます。表2に出力データ・フォーマットを要約します。

V_{IN} ピンの電圧が $-0.3V \sim (V_{CC} + 0.3V)$ の絶対最大動作電圧範囲内に維持されている限り、 $-0.125 \cdot V_{REF}$ から $1.125 \cdot V_{REF}$ までのどの入力値に対しても変換結果が生成されます。入力電圧が $1.125 \cdot V_{REF}$ より高い場合、変換結果は $1.125 \cdot V_{REF}$ に相当する値にクランプされます。入力電圧が $-0.125 \cdot V_{REF}$ より低い場合、変換結果は $-0.125 \cdot V_{REF}$ に相当する値にクランプされます。

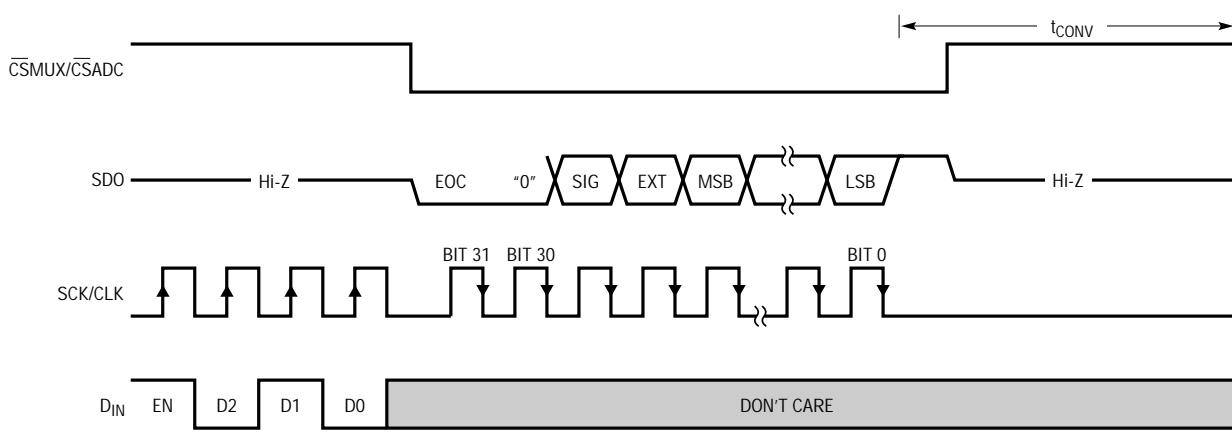


図3. 標準データ入力/出力タイミング

アプリケーション情報

チャネル選択

通常、 $\overline{\text{CSADC}}$ ピンと $\overline{\text{CSMUX}}$ ピンは連結されるか、あるいは $\overline{\text{CSADC}}$ を反転して $\overline{\text{CSMUX}}$ をドライブします。SCKピンとCLKピンは連結されて共通のクロック信号でドライブされます。チャネル選択の間、 $\overline{\text{CSMUX}}$ は“H”です。データはCLKの立上りエッジで、 D_{IN} 入力にシフトインされます(図3参照)。表3にチャネル選択のためのビットの組合せを示します。マルチプレクサ出力をイネーブルするには、 $\overline{\text{CSMUX}}$ を“L”にしなければなりません。マルチプレクサは、前の変換が完了してからプログラムしなければなりません。変換が完了していることを保証するため、マルチプレクサのアドレス指定はデータ出力が読み出されてから最低 t_{CONV} (60Hz ノットの場合、約133ms)は遅れるようにしなければなりません。

マルチプレクサのプログラミング中、ADCは低消費電力スリープ状態にあります。MUXアドレス指定が完了すると、前の変換のデータを読み出すことができます。データ読み出しサイクルに続いて、アナログ入力が新しく選択されたチャネルに連結され、新しい変換サイクルが開始されます。

表2. LTC2404/LTC2408出力データ・フォーマット

Input Voltage	Bit 31 EOC	Bit 30 DMY	Bit 29 SIG	Bit 28 EXR	Bit 27 MSB	Bit 26	Bit 25	Bit 24	Bit 23	...	Bit 4 LSB	Bit 3-0 SUB LSBs*
$V_{IN} > 9/8 \cdot V_{REF}$	0	0	1	1	0	0	0	1	1	...	1	X
$9/8 \cdot V_{REF}$	0	0	1	1	0	0	0	1	1	...	1	X
$V_{REF} + 1\text{LSB}$	0	0	1	1	0	0	0	0	0	...	0	X
V_{REF}	0	0	1	0	1	1	1	1	1	...	1	X
$3/4V_{REF} + 1\text{LSB}$	0	0	1	0	1	1	0	0	0	...	0	X
$3/4V_{REF}$	0	0	1	0	1	0	1	1	1	...	1	X
$1/2V_{REF} + 1\text{LSB}$	0	0	1	0	1	0	0	0	0	...	0	X
$1/2V_{REF}$	0	0	1	0	0	1	1	1	1	...	1	X
$1/4V_{REF} + 1\text{LSB}$	0	0	1	0	0	1	0	0	0	...	0	X
$1/4V_{REF}$	0	0	1	0	0	0	1	1	1	...	1	X
$0^+/0^-$	0	0	1/0**	0	0	0	0	0	0	...	0	X
-1LSB	0	0	0	1	1	1	1	1	1	...	1	X
$-1/8 \cdot V_{REF}$	0	0	0	1	1	1	1	0	0	...	0	X
$V_{IN} < -1/8 \cdot V_{REF}$	0	0	0	1	1	1	1	0	0	...	0	X

*サブ LSB は 24 ビット・レベルを超える有効な変換結果であり、分解能を損なうことなく平均して算入するか切り捨てることができる。

**符号ビットはコード 0 の間に状態を変える。

表3. チャネル選択のための論理値表

CHANNEL STATUS	EN	D2	D1	D0
All Off	0	X	X	X
CH0	1	0	0	0
CH1	1	0	0	1
CH2	1	0	1	0
CH3	1	0	1	1
CH4*	1	1	0	0
CH5*	1	1	0	1
CH6*	1	1	1	0
CH7*	1	1	1	1

*LTC2404には使用されない。

周波数除去選択(F_O ピン接続)

LTC2404/LTC2408の内部発振器により、 $50\text{Hz} \pm 2\%$ または $60\text{Hz} \pm 2\%$ の電源周波数およびすべての高調波におけるノーマル・モード除去は110dB以上です。60Hz除去の場合は F_O (ピン26)をGND(ピン1)に接続し、50Hz除去の場合は F_O ピンを V_{CD} (ピン2)に接続しなければなりません。

アプリケーション情報

50Hzまたは60Hz除去の選択は、 F_O を適切なロジック・レベルにドライブすることにより行えます。スリープまたはデータ出力状態で選択を変更しても、コンバータ動作は妨害されません。変換状態中に選択を行った場合、実行中の変換結果は仕様を外れる可能性がありますが、以降の変換には影響ありません。

50Hzまたは60Hz以外の基本除去周波数が必要なときやコンバータを外部ソースに同期させる必要があるときは、LTC2404/LTC2408を外部変換クロックで動作させることができます。コンバータは、 F_O ピンに外部クロック信号があることを自動的に検出し、内部発振器をターンオフします。検出されるためには外部信号の周波数 f_{EOSC} は2560Hz(ノッチ周波数1Hz)以上でなければなりません。外部クロック信号のデューティ・サイクルは、“H”期間 t_{HEO} と“L”期間 t_{LEO} が最小仕様および最大仕様内にある限り重要ではありません。

LTC2404/LTC2408が周波数 f_{EOSC} の外部変換クロックで動作しているとき、周波数範囲 $f_{EOSC}/2560 \pm 4\%$ およびその高調波周波数でのノーマル・モード除去は110dBを上回ります。入力周波数の $f_{EOSC}/2560$ からの偏差とノーマル・モード除去の相関関係を図4に示します。

F_O ピンに外部クロックが与えられないとき、コンバータは内部発振器を自動的にアクティブにして、内部変換クロック・モードに入ります。コンバータが外部シリアル・クロックを使用しているとき、スリープ状態またはデータ出力状態において変換クロック・ソースを変更してもLTC2404/LTC2408の動作が影響を受けることはありません。変換状態中に変更した場合、実行中の変換結果が仕様を外れる可能性がありますが、以降の変換に影響はありません。データ出力状態でコンバータが内部SCKモードになっているときに変更されると、シリアル・クロックのデューティ・サイクルに影響を及ぼす可能性がありますが、シリアル・データ・ストリームは有効です。

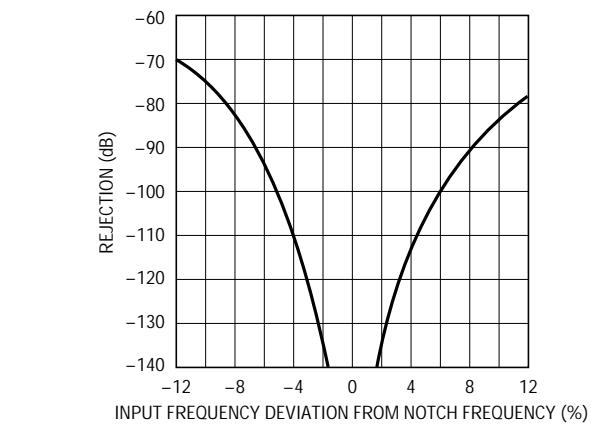


図4. 周波数 f_{EOSC} の外部発振器を使用したときのLTC2404/LTC2408のノーマル・モード除去

表4に各状態の持続時間と F_O との関係を要約します。

表4. LTC2404/LTC2408の状態持続時間

State	Operating Mode		Duration
CONVERT	Internal Oscillator	$F_O = \text{LOW}$ (60Hz Rejection)	133ms
		$F_O = \text{HIGH}$ (50Hz Rejection)	160ms
	External Oscillator	$F_O = \text{External Oscillator}$ with Frequency f_{EOSC} kHz ($f_{EOSC}/2560$ Rejection)	20480/ f_{EOSC} (In Seconds)
SLEEP			As Long As $\overline{\text{CS}} = \text{HIGH}$ Until $\overline{\text{CS}} = 0$ and SCK \downarrow
DATA OUTPUT	Internal Serial Clock	$F_O = \text{LOW/HIGH}$ (Internal Oscillator)	As Long As $\overline{\text{CS}} = \text{LOW}$ But Not Longer Than 1.67ms (32 SCK cycles)
		$F_O = \text{External Oscillator}$ with Frequency f_{EOSC} kHz	As Long As $\overline{\text{CS}} = \text{LOW}$ But Not Longer Than $256/f_{EOSC}$ ms (32 SCK cycles)
	External Serial Clock with Frequency f_{SCK} kHz	As Long As $\overline{\text{CS}} = \text{LOW}$ But Not Longer Than $32/f_{SCK}$ ms (32 SCK cycles)	
MAXIMUM OUTPUT WORD RATE			$OWR = \frac{1}{t_{\text{CONVERT}} + t_{\text{DATAOUTPUT}}} \text{ in Hz}$

アプリケーション情報

より高速な変換時間には外部クロックを使用

LTC2404/LTC2408の変換時間は F_O ピンの状態によって決まります。60Hz除去の場合、 F_O をGNDに接続すると、変換時間は133μsです。 F_O を V_{CC} に接続すると、変換時間は160μsとなります。外部から f_{EOSC} (kHz)の周波数を与える場合、変換時間は次のとおりです。

$$t_{CONV} = 20480/f_{EOSC} \text{ (kHz)}$$

この結果、周波数除去は次のとあります。

$$\text{ノッチ周波数} = 8/t_{CONV}$$

最大出力ワード・レートは次のとあります。

$$\text{OWR} = \frac{1}{t_{CONVERT} + t_{DATAOUTPUT}} \text{ in Hz}$$

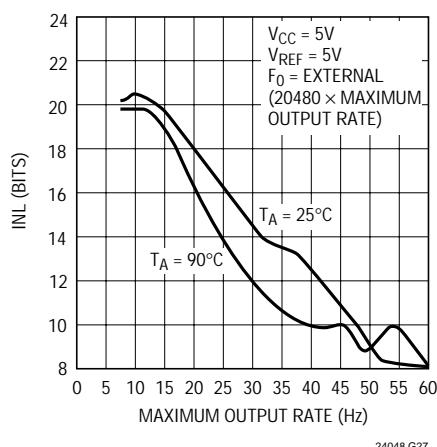


図5. INLと最大出力レート

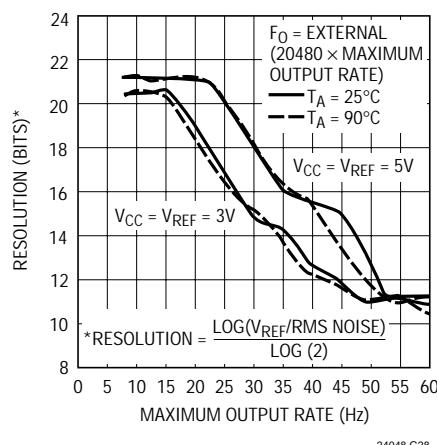


図6. 分解能と最大出力レート

DC仕様は最大307.2kHzの f_{EOSC} に対して保証されており、最大出力ワード・レートは約15Hzとなります。ただし、性能を低下させてさらに高速なレートを得る場合、最高1.22MHzの周波数を F_O ピンに適用することができます。図5および図6に、INLおよび分解能と出力レートの関係を示します。

シリアル・インターフェース

LTC2404/LTC2408は変換結果を伝送し、チャンネル選択をプログラムし、同期した4線式インターフェース(SCK = CLK, $\overline{\text{CSADC}}$ = $\overline{\text{CSMUX}}$)を通して変換開始コマンドを受け取ります。変換およびスリープ状態の間、このインターフェースはコンバータ・ステータスを評価するのに使用されます。また、スリープ状態の間、このインターフェースを使用して入力チャネルをプログラムできます。データ出力状態の間は変換結果を読み出すのに使用されます。

ADCシリアル・クロック入力/出力(SCK)

SCK(ピン25)上のシリアル・クロック信号は、データ転送の同期に使用されます。データの各ビットは、SDOからシリアル・クロックの立下りエッジでシフトアウトされます。

内部SCK動作モードではSCKピンは出力であり、LTC2404/LTC2408は内部変換クロックを8分周して自身のシリアル・クロックを生成します。外部SCK動作モードではSCKピンは入力として使用されます。起動時に内部または外部SCKモードが選択され、その後は $\overline{\text{CSADC}}$ ピンで“H”から“L”への遷移が検出されるたびに再選択されます。起動時またはこの遷移の間、SCKが“H”またはフロートの場合、コンバータは内部SCKモードに入ります。起動時またはこの遷移の間、SCKが“L”的場合、コンバータは外部SCKモードに入ります。

マルチプレクサ・シリアル入力クロック(CLK)

一般に4線動作を行う場合、このピンは外部でSCKピンに接続します。 $\overline{\text{CSMUX}}$ が“H”的とき、データはCLK(ピン19)の立上りエッジでマルチプレクサにシリアルにシフトされます。 $\overline{\text{CSMUX}}$ が“L”的場合、CLK入力はディスエーブルされ、チャネル選択は変更されません。

シリアル・データ出力(SDO)

シリアル・データ出力ピンSDO(ピン24)は、データ出力状態でシリアル・データをドライブします。また、SDO

アプリケーション情報

ピンは変換およびスリープ状態での変換終了インジケータとして使用されます。

SDOドライバは $\overline{\text{CSADC}}$ (ピン23)が“H”のときハイ・インピーダンス状態に切り替えられます。これにより、他のデバイスとシリアル・インターフェースを共用できるようになります。変換状態またはスリープ状態で $\overline{\text{CSADC}}$ が“L”の場合、SDOはEOCを出力します。変換フェーズで $\overline{\text{CSADC}}$ が“L”の場合、SDOピンにEOCビットが“H”で現れます。変換が完了すると、EOCは“L”になります。デバイスは $\overline{\text{CSADC}} = 0$ の間、SCKの最初の立上りエッジが発生するまでスリープ状態のままでです。

ADCチップ・セレクト入力($\overline{\text{CSADC}}$)

前のセクションに記載したとおり、変換ステータスをテストし、データ出力転送をイネーブルするために、アクティブ“L”チップ・セレクト $\overline{\text{CSADC}}$ (ピン23)を使用します。

さらに、 $\overline{\text{CSADC}}$ 信号を使用してシリアル・データ転送全体が完了する前に、新しい変換サイクルをトリガることができます。LTC2404/LTC2408は、コンバータがデータ出力状態に入った後(すなわち $\overline{\text{CSADC}} = 0$ のときに、SCKの最初の立上りエッジが発生した後) $\overline{\text{CSADC}}$ ピンで“L”から“H”への遷移が検出されるといつでも、実行中のシリアル・データ転送を中断して、新しい変換サイクルを開始します。

マルチプレクサ・チップ・セレクト($\overline{\text{CSMUX}}$)

4線動作させる場合、このピンを $\overline{\text{CSADC}}$ に直接接続するか、あるいは $\overline{\text{CSADC}}$ に接続されたインバータ出力に接続します。マルチプレクサ・チャネルを選択する間、 $\overline{\text{CSMUX}}$ (ピン20)は“H”にドライブされます。選択されたチャネルは $\overline{\text{CSMUX}}$ の立下りエッジでイネーブルされ、MUXOUTをドライブします。

データ入力(D_{IN})

マルチプレクサのデータ入力ピンである D_{IN} (ピン21)を使用してマルチプレクサをプログラムします。マルチプレクサ・クロック(CLK)の制御により、4ビット入力ワードが D_{IN} ピンにシリアルにシフトされ、入力チャネルが選択されます。データはCLKピンの立上りエッジでマルチプレクサにシフトされます。表3はチャネル選択

のための論理値表です。前にプログラムされたチャネルを選択または変更するには、3ビットのチャネル選択シリアル・データの前にイネーブル・ビット($D_{IN} = 1$)を置かなければなりません。 D_{IN} を0に設定すれば前回選ばれたチャネルでの変換を継続して行うことができます。

シリアル・インターフェースのタイミング・モード

LTC2404/LTC2408の4線式インターフェースは、SPIおよびMICROWIREに対応しています。このインターフェースは2つの動作モードを提供します。これらには内部または外部のシリアル・クロックが含まれます。以下の各セクションでは、両方のシリアル・インターフェースのタイミング・モードについてそれぞれ詳しく説明します。このコンバータは、どちらのケースでも内部発振器($F_0 = “L”$ または $F_0 = “H”$)あるいは F_0 ピンに接続されている外部発振器を使用することができます。表5の要約を参照してください。

外部シリアル・クロック(SPI/MICROWIRE対応)

このタイミング・モードでは、外部シリアル・クロック(SCK)を使用して変換結果をシフトアウトします(図7参照)。この同じ外部クロック信号によりCLKピンをドライブしてマルチプレクサをプログラムします。1つの $\overline{\text{CS}}$ 信号がマルチプレクサ $\overline{\text{CSMUX}}$ 入力およびコンバータ $\overline{\text{CSADC}}$ 入力の両方をドライブします。この共通の信号はチャネル選択をイネーブルするとともに変換状態をモニタし制御するためにも使用されます。

シリアル・クロック・モードは $\overline{\text{CSADC}}$ の立下りエッジで選択されます。外部シリアル・クロック・モードを選択するには、各 $\overline{\text{CSADC}}$ の立下りエッジの間、シリアル・クロック・ピン(SCK)が“L”でなければなりません。

$\overline{\text{CSADC}}$ が“H”である限り、シリアル・データ出力ピン(SDO)はハイ・インピーダンスです。変換サイクルのどの時点でも、 $\overline{\text{CSADC}}$ が“L”にしてコンバータの状態をモニタできます。 $\overline{\text{CSADC}}$ が“L”的とき、SDOピンにEOCが出力されます。変換実行中は $\overline{\text{EOC}} = 1$ で、デバイスがスリープ状態の場合は $\overline{\text{EOC}} = 0$ です。 $\overline{\text{CSADC}}$ の状態に関係なく、変換が完了するとデバイスは自動的に低消費電力のスリープ状態に入ります。

表5. LTC2404/LTC2408のインターフェース・タイミング・モード

Configuration	SCK Source	Conversion Cycle Control	Data Output Control	Connection and Waveforms
External SCK	External	$\overline{\text{CS}}$ and SCK	$\overline{\text{CS}}$ and SCK	Figures 7, 8, 9
Internal SCK	Internal	$\overline{\text{CS}} \downarrow$	$\text{CS} \downarrow$	Figures 10, 11

アプリケーション情報

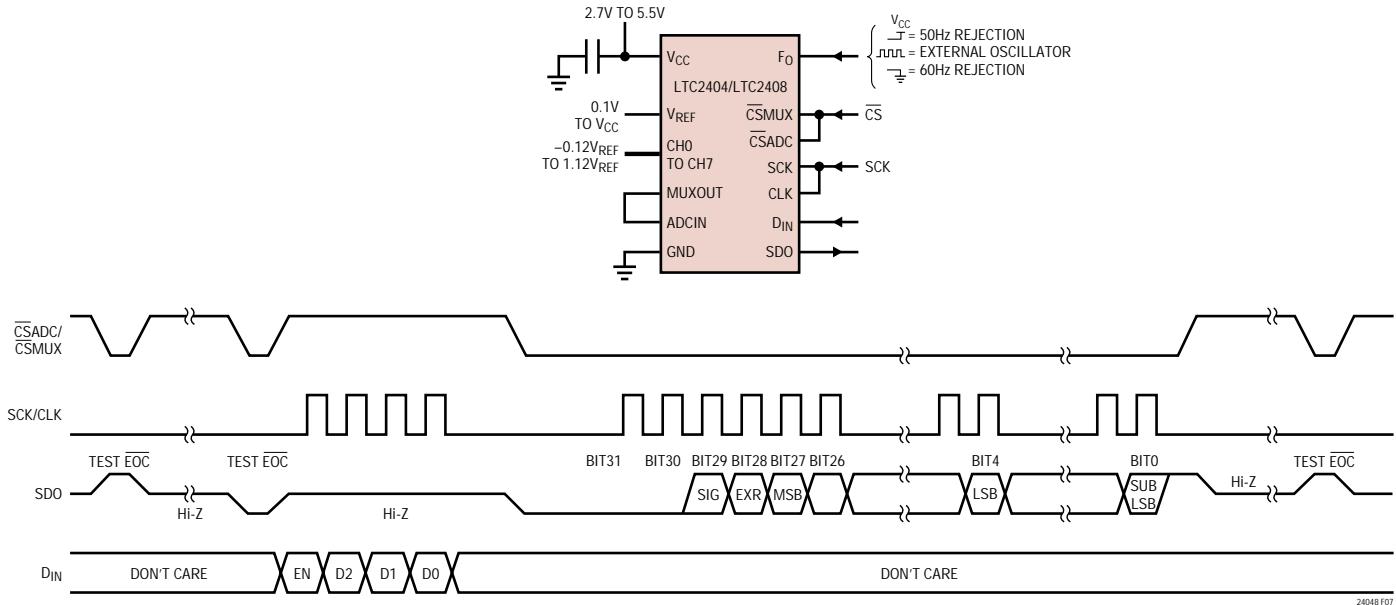


図7. 外部シリアル・クロックのタイミング図

ユーザはデバイスがデータ出力状態に入る前のスリープ状態の間に、マルチプレクサをプログラムすることができます。図7に示すとおり、CLK(CLK1はSCKに接続)の立上りエッジで4ビット・ワードをD_{IN}にシリアルにシフトすることにより、マルチプレクサ・チャネルが選択されます。最初のビットはイネーブル・ビットであり、チャネルをプログラムするには“H”でなければなりません。次の3ビットで、どのチャネルを選択するかを決定します(図3参照)。CSMUXの立下りエッジで新しいチャネルが選択され、このチャネルはデータ出力状態に続いて最初に行われる変換に対して有効です。CSMUXが“L”的とき(データ出力状態の間)CLKピンにクロック信号を印加してもチャネル選択に影響しません。また、スリープ状態の間、D_{IN}が“L”またはCLKが“L”に保持される場合、チャンネル選択に変更はありません。

デバイスがスリープ状態のとき($\overline{EOC} = 0$)変換結果は内部スタティック・シフト・レジスタに保持されます。デバイスは、CSADCが“L”的ときにSCKの最初の立上りエッジが現れるまでスリープ状態に留まります。データはSCKの各立下りエッジでSDOピンからシフトアウトされます。これにより、外部回路はSCKの立上りエッジで出力をラッチできるようになります。 \overline{EOC} はSCKの最初の立上りエッジでラッチされ、変換結果の最終ビットはSCKの32番目の立上りエッジでラッチされます。デバイスはSCKの32番目の立下りエッジで新しい変換を開始します。SDOが“H”($\overline{EOC} = 1$)になって変換実行中であることを示します。

データ・サイクルの終りでCSADCを“L”的ままにして、EOCを変換終了割込みとしてモニタすることができます。あるいは、CSADCを“H”にドライブしてSDOをハイ・インピーダンスにすることも可能です。前述したように、CSADCはいつでも“L”にして変換ステータスをモニタすることができます。これらの各動作において、選ばれたチャネルに影響を及ぼすことなくCSMUXをCSADCに接続することができます。

データ出力サイクルの終了時、コンバータは選択された入力チャネルでの変換を実際に行う前にユーザには見えない較正サイクルに入ります。これにより、マルチプレクサ入力に対し66ms(ノッチ周波数60Hzの場合)のルックアヘッド時間が与えられます。データ出力サイクル後、CSADCを“H”にしD_{IN}ピンにデータをシリアルにシフトインすれば、この66msウィンドウ中のどの時点でもマルチプレクサ入力チャネルを選択することができます(図8参照)。

デバイスは内部較正中、グランド電流の干渉に敏感になっています。グランド・ピンを流れる誤差電流により、オフセット誤差が生じる可能性があります。較正中にSCKピンが切り替わると、これらのグランド干渉が発生します。この問題に対する解決策は、マルチプレクサ・クロック入力(CLK)をADCクロック入力(SCK)と切り離してドライブするか、あるいはデータ出力サイクルに続いて1ms以内にマルチプレクサをプログラムすることです。残りの65msは入力信号のセトリングに利用できます。

アプリケーション情報

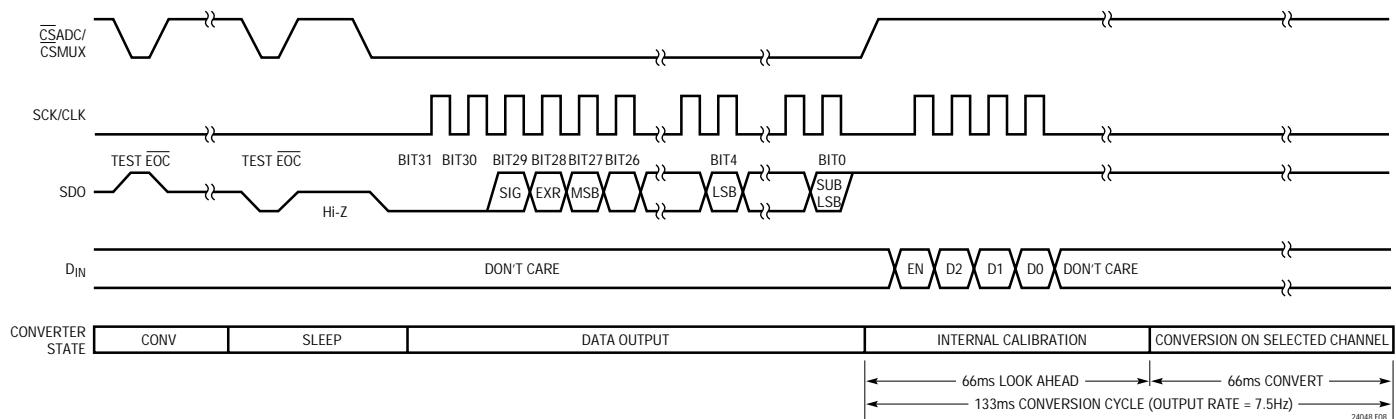


図8. データ出力後のマルチプレクサのプログラミングにロックアヘッド方式を使用

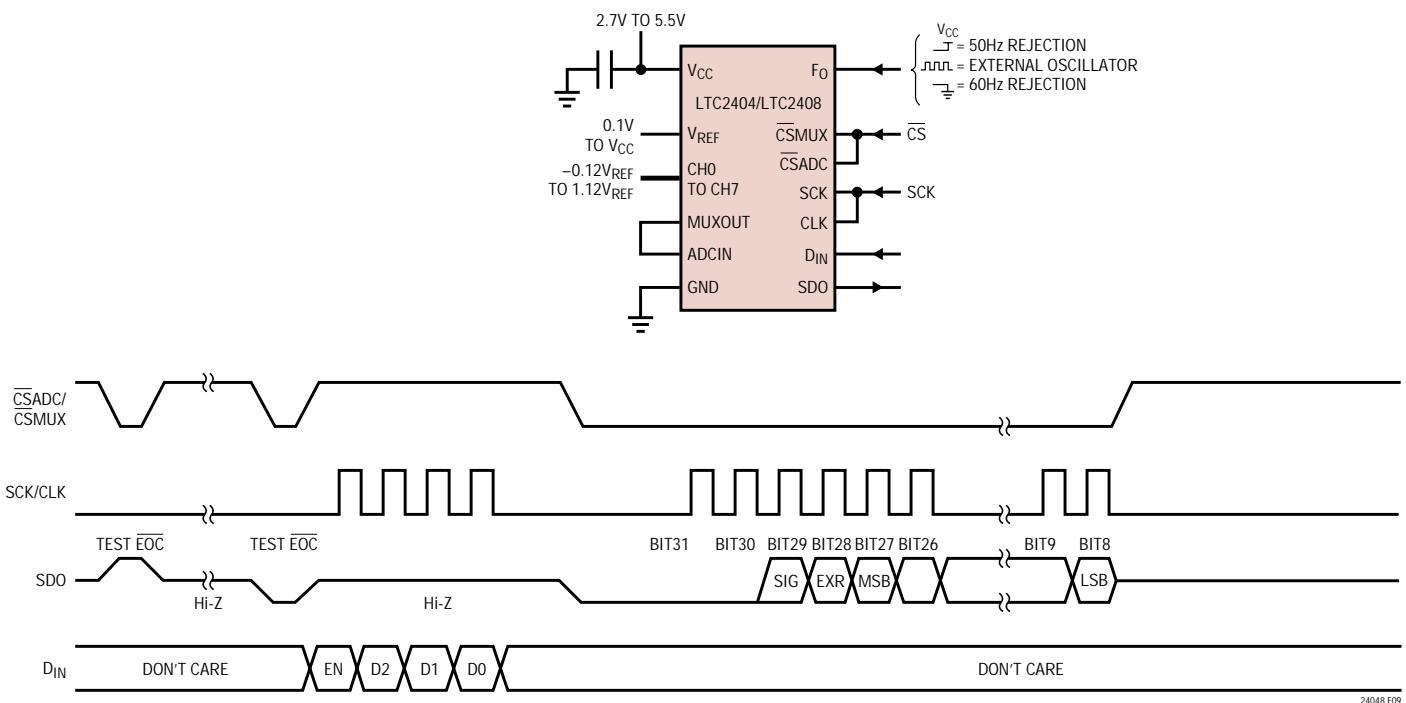


図9. 外部シリアル・クロックおよび一部を省略したデータ出力タイミング図

一般に、**CSADC**はデータ出力状態の間は“L”に保持されます。ただし、SCKの最初の立ち上りエッジから32番目の立下りエッジまでのどの時点でも、**CSADC**を“H”にしてデータ出力状態を中断することができます(図9参照)。**CSADC**の立ち上りエッジで、デバイスはデータ出力状態を中断し、すぐに新しい変換を開始します。これは32ビットの出力データの一部しか必要としないシステムや、無効な変換サイクルを中断したり、変換開始を同期させるのに便利です。

内部シリアル・クロック

このタイミング・モードでは、内部シリアル・クロックを使用して変換結果をシフトアウトし、マルチプレクサをプログラムします(図10参照)。**CS**信号は**CSADC**入力を直接ドライブし、他方**CS**の反転信号が**CSMUX**入力をドライブします。この**CS**信号は変換状態をモニタし制御するために使われ、チャネル選択をイネーブルするためにも使われます。データ出力状態の間、マルチプレクサがプログラムさ

アプリケーション情報

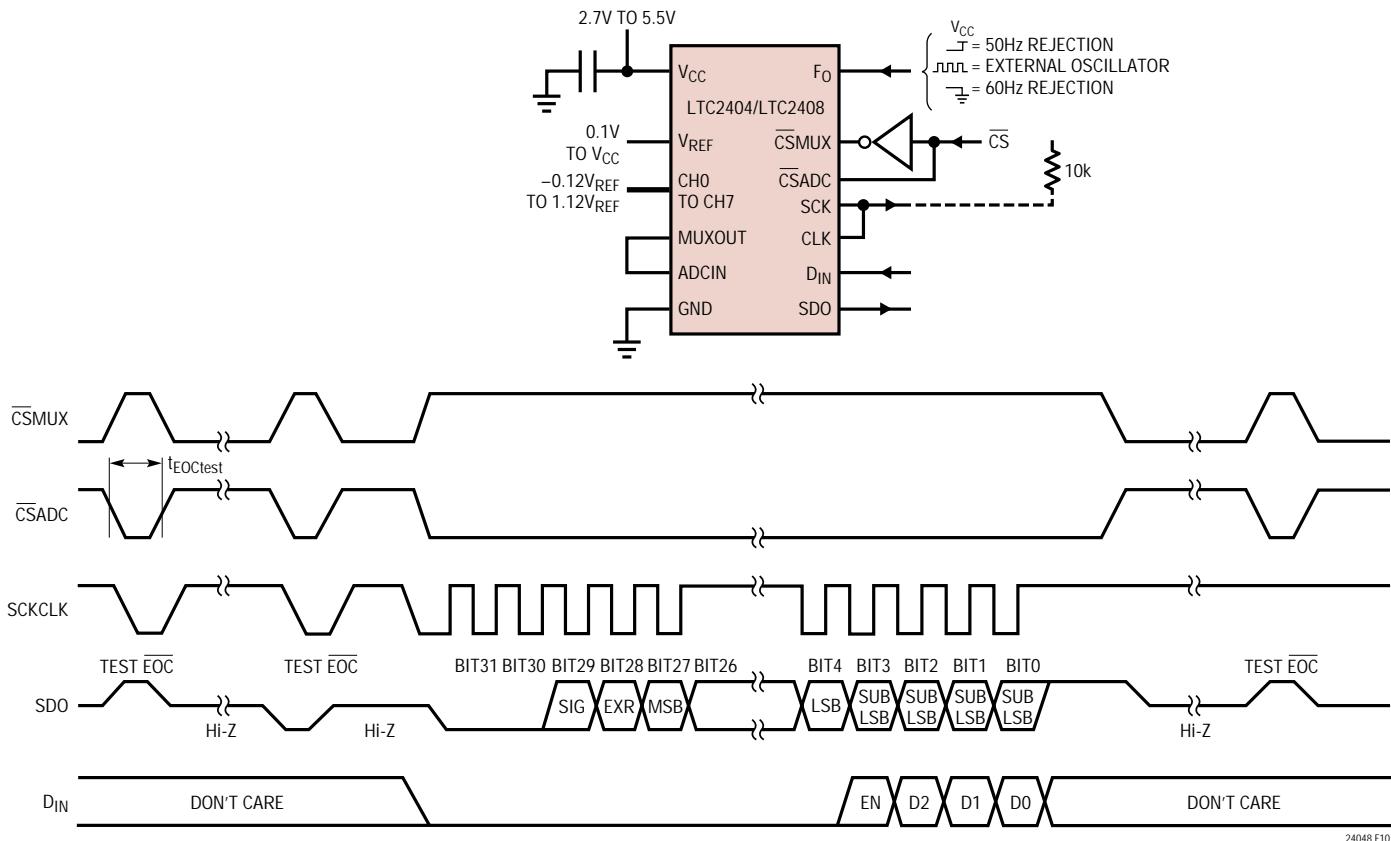


図10. 内部シリアル・クロックのタイミング図

れます。ADCが生成する内部シリアル・クロック(SCK)は、マルチプレクサ・クロック入力(CLK)に印加されます。

内部シリアル・クロック・タイミング・モードを選択するには、シリアル・クロック・ピン(SCK)が \overline{CSADC} の立下りエッジの前にフロー($Hi-Z$)状態かまたは“L”になっていないければなりません。 \overline{CSADC} の立下りエッジでSCKが“L”にドライブされている場合、デバイスは内部シリアル・クロック・モードに入りません。 \overline{CSADC} の立下りエッジ中に、SCKピンで内部の微弱なプルアップ抵抗がアクティブになるため、SCKが外部からドライブされていない場合は、内部シリアル・クロック・タイミング・モードが自動的に選択されます。

シリアル・データ出力ピン(SDO)は \overline{CSADC} が“H”である限りハイ・インピーダンスです。変換サイクルのどの時点でも、 \overline{CSADC} を“L”にしてコンバータの状態をモニタできます。 \overline{CSADC} が“L”になるとSCKが“L”になり、 \overline{EOC} がSDOピンに出力されます。変換実行中は $\overline{EOC} = 1$ で、デバイスがスリープ状態の場合は $\overline{EOC} = 0$ です。

\overline{EOC} のテスト時に変換が完了した($\overline{EOC} = 0$)場合、 \overline{CSADC} が

“L”的ままのときにはデバイスはスリープ状態から抜け出して、データ出力状態に入ります。デバイスが低消費電力のスリープ状態から抜け出すのを防ぐには、SCKの立上りエッジの前に \overline{CSADC} を“H”にしなければなりません。内部SCKタイミング・モードでは、SCKが“H”になると、デバイスは \overline{CSADC} の立下りエッジから $t_{EOCtest}$ 時間後($\overline{EOC} = 0$ の場合)または \overline{EOC} が“L”になってから $t_{EOCtest}$ 時間後(\overline{EOC} の立下りエッジ中に \overline{CSADC} が“L”的場合)にデータの出力を開始します。デバイスが内部発振器を使用している場合($F_0 =$ ロジック“L”または“H”) $t_{EOCtest}$ の値は23μsです。 F_0 が周波数 f_{EOSC} の外部発振器によってドライブされる場合、 $t_{EOCtest}$ は $3.6/f_{EOSC}$ です。 $t_{EOCtest}$ 時間が経過する前に \overline{CSADC} が“H”になると、デバイスはスリープ状態に留まります。変換結果は内部スタティック・シフト・レジスタに保持されます。

\overline{CSADC} が $t_{EOCtest}$ より長い時間“L”的まま留まると、最初のSCKの立上りエッジが発生し、変換結果がSDOピンからシリアルにシフトアウトされます。データ出力サイクルはSCKのこの最初の立上りエッジで始まり、32番目の立上りエッジ後に終了します。データはSCKの各立下りエッジでSDOピンからシフトアウトされます。内部で生成されたシ

アプリケーション情報

リアル・クロックがSCKピンに出力されます。この信号を使用して変換結果を外部回路にシフトすることができます。 $\overline{\text{EOC}}$ はSCKの最初の立上りエッジでラッチされ、変換結果の最終ビットはSCKの32番目の立上りエッジでラッチされます。32番目の立上りエッジの後、SDOは“H”($\text{EOC} = 1$)になります。SCKは“H”に留まり、新しい変換が開始されます。

内部シリアル・クロック・モードで動作中、ADCのSCK出力がマルチプレクサ・クロック(CLK)として使用できます。 D_{IN} はCLKの立上りエッジでマルチプレクサにラッチされます。図10に示すとおり、マルチプレクサ・チャネルはCLKの立上りエッジで4ビット・ワードを D_{IN} にシリアルにシフトすることにより選択されます。最初のビットはイネーブル・ビットであり、チャネルをプログラムするには“H”でなければなりません。次の3ビットで、どのチャネルを選択するかを決定します(図3参照)。 $\overline{\text{CSADC}}$ の立上りエッジ(CSMUXの立下りエッジ)で新しいチャネルが選択され、このチャネルは次の変換に対して有効です。データ出力状態の間 D_{IN} が“L”ならば、前回のチャネル選択がそのまま有効となります。

一般に、 $\overline{\text{CSADC}}$ はデータ出力状態の間は“L”に保持されます。ただし、最初のSCKの立上りエッジから32番目の立上りエッジまでのどの時点でも、 $\overline{\text{CSADC}}$ を“H”にしてデータ出力状態を中断することができます(図11参照)。 $\overline{\text{CSADC}}$ の立上りエッジで、デバイスはデータ出力状態を中断し、すぐに新しい変換を開始します。これは32ビットの出力データの一部しか必要としないシステムや、無効な変換サイクルを中断したり、変換開始を同期させるのに便利です。コンバータがSCKを“L”にドライブしている間に $\overline{\text{CSADC}}$ が“H”になると、SCKを“H”に復帰させる内部プルアップは使用できません。これによって、デバイスは次のCSADCの立下りエッジで内部シリアル・クロック・モードから抜け出すことになります。これを防ぐには、SCKピンに10kの外付けプルアップ抵抗を追加するか、あるいはSCKが“L”的きには絶対に $\overline{\text{CSADC}}$ を“H”にしないようにしてください。

SCKが“L”になるたびに、LTC2404/LTC2408のSCKピンにある内部プルアップがディスエーブルされます。通常、デバイスが内部SCKタイミング・モードにあるときには、SCKは外

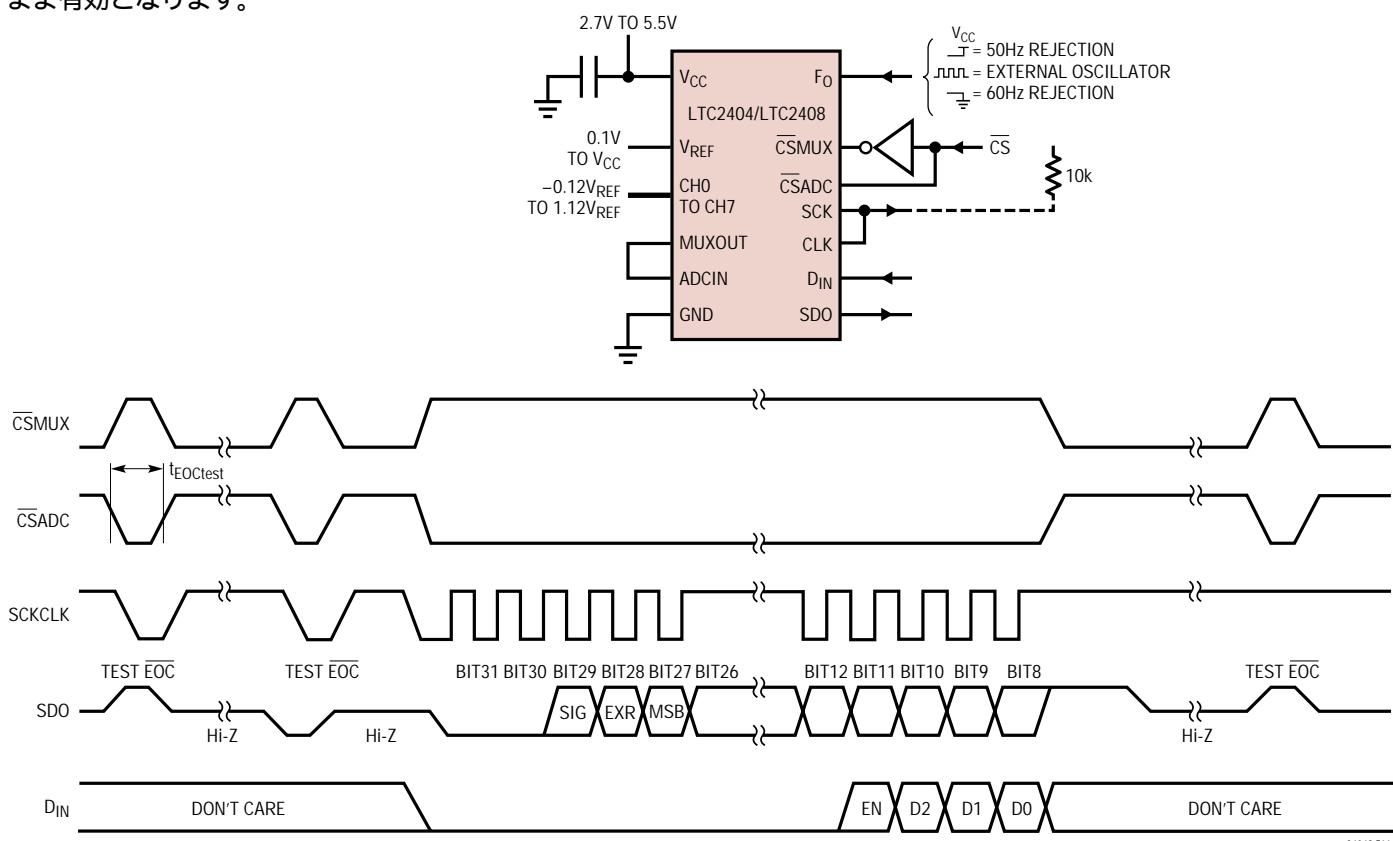


図11. 内部シリアル・クロックおよび一部を省略したデータ出力のタイミング図

アプリケーション情報

部からドライブされません。ただし、アプリケーションによってはSCKに外部ドライバが必要です。“L”信号の出力後にこのドライバがハイ・インピーダンスになる場合、LTC2404/LTC2408の内部プルアップはディスエーブルされたままです。したがって、SCKは“L”的ままであります。次のCSADCの立下りエッジで、デバイスは外部SCKタイミング・モードに切り替わります。SCKに10kの外付けプルアップ抵抗を追加すれば、このピンは外部ドライバがハイ・インピーダンスになる“H”になります。次のCSADCの立下りエッジでは、デバイスは内部SCKタイミング・モードのままであります。

スリープ状態で、変換ステータスをテストするためにCSADCにパルス“H”L”H”を印加したときにも同様な問題が発生する可能性があります。デバイスがスリープ状態(EOC = 0)の場合、SCKは“L”になります。CSADCが前述の $t_{EOCtest}$ として定義された時間内で“H”になると、内部プルアップがアクティブになります。SCKピンの容量性負荷が重い場合、内部プルアップではCSADCが“L”になる前にSCKを“H”レベルに復帰させるには不十分な場合があります。これは、EOC = 0を検出後CSADCが“L”に留まる通常の条件下では問題になりません。10kの外付けプルアップ抵抗をSCKピンに追加すれば、この状況は容易に避けられます。

デジタル信号レベル

LTC2404/LTC2408のデジタル・インターフェースは使いやすくなっています。このデバイスのデジタル入力(外部SCK動作モードでのF₀、CSADC、CSMUX、CLK、D_{IN}、およびSCK)は、標準TTL/CMOSロジック・レベルを受け入れ、100μsまでの低速エッジ・レートを許容できます。ただし、比類のない精度と低電源電流を活用するには若干の考慮が必要です。

デジタル出力信号(内部SCK動作モードでのSDOおよびSCK)は、変換状態では一般にアクティブではないので、それほど問題にはなりません。

LTC2404/LTC2408の精度を維持するために、入力やリファレンス信号と直列に生じる可能性があるグランド・バス・インピーダンスを小さくし、またこの経路を流れる電流を低減することが非常に重要です。ピン(GND)は最短のトレースで低抵抗のグランド・プレーンに接続してください。接続抵抗を低減するために中継ホールを複数使用することを推奨します。共通グランド・ピンの抵抗分0.01Ωを流れるLTC2404/LTC2408の電源電流によ

って、2.5μVのオフセット信号が発生します。リファレンス電圧V_{REF} = 2.5Vの場合、これは1ppmのオフセット誤差になります。

あるいは別の構成では、コンバータのピン(GND)はシングルポイント・グランド・システムで一点接地を行うことができます。入力信号グランド、リファレンス信号グランド、デジタル・ドライバ・グランド(通常はデジタル・グランド)および電源グランド(アナログ・グランド)は、ピン(GND)にできるだけ近い共通点に星状に接続してください。

変換状態での電源電流は、最小に保持してください。これは、この期間中に発生するデジタル信号の遷移数を制限することによって実現できます。

デジタル入力信号が0.5V～(V_{CC} - 0.5V)の範囲にある場合は、電源からCMOS入力レシーバに追加電流が流れます。デジタル入力信号(外部SCK動作モードでのF₀、CSADC、CSMUX、D_{IN}、CLK、およびSCK)のどれかがこの範囲にあるとき、問題の信号が有効なロジック・レベルであってもLTC2404/LTC2408の電源電流が増加する可能性があることに注意してください。マイクロパワー動作のため、また増加するグランド・ピン電流に起因する電位誤差を小さくするために、すべてのデジタル入力信号を完全なCMOSレベル[V_{IL} < 0.4VおよびV_{OH} > (V_{CC} - 0.4V)]でドライブすることを推奨します。

また高速デジタル入力信号のアンダーシュートによっても激しいグランド・ピン電流障害が発生する可能性があります。外部制御信号の遷移時間がドライバからLTC2404/LTC2408への伝播遅延の2倍以下のときに、コンバータ・ピンでインピーダンス不整合があると、アンダーシュートやオーバーシュートが発生します。参考として、通常のFR-4ボードでの信号伝播速度は、内部配線の場合は約183ps/インチ、表面配線の場合は約170ps/インチです。したがって、最小遷移時間1nsの制御信号を生成するドライバは、2.5インチ以下の配線でコンバータ・ピンに接続しなければなりません。この問題は共用制御ラインを使用し、多重反射が発生する可能性がある場合には特に困難になります。解決策はすべての伝送ラインを特性インピーダンスに近い値で、注意深く終端することです。

LTC2404/LTC2408入力ピンの近くで並列に終端すれば、この問題が解消されますが、ドライバの消費電力が増加します。また、27Ω～56Ωの直列抵抗をドライバま

アプリケーション情報

たはLTC2404/LTC2408ピンの近くに配置すれば、消費電力を増加させずにこの問題を解決できます。実際の抵抗値は配線インピーダンスと接続トポロジーによって決まります。

入力およびリファレンスのドライブ

通常のデルタ・シグマ・アナログ・デジタル・コンバータのアナログ入力とリファレンスはスイッチト・キャパシタ・ネットワークに接続されています。このネットワークは、アナログ入力(ADCIN)、GND、およびリファレンス(V_{REF})の間で切り替わるコンデンサで構成されています。その結果、ADCINと V_{REF} の両方に小さな電流スパイクが現れます。簡略等価入力回路を図12に示します。

このダイナミック入力電流の影響を理解する鍵は、単純な1次RC時定数モデルにあります。LTC2404/LTC2408の内部スイッチト・キャパシタ・ネットワークは、内部発振器を使用し、 $6.5\mu s$ のサンプリング周期に相当する $153,600\text{Hz}$ でクロック駆動されます。1ppmのセトリング精度を達成するには、コンデンサが切り替わるたびに14の時定数が必要です。

したがって、1ppmの精度を達成するには、 V_{IN} および V_{REF} での等価時定数は $6.5\mu s/14 = 460\text{ns}$ 以下でなければなりません。

入力電流(V_{IN})

入力のセトリングが完全な場合、変換結果はダイナミック入力電流の影響を受けません。セトリングが不完全でも、デバイスの直線性性能を損なうことはありません。単にオ

フセット/フルスケール・シフトが生じるだけです(図13参照)。入力ダイナミック電流の解析を簡単にするために、2つの異なるケースを仮定します。すなわち、 V_{IN} の容量が大きい($C_{IN} > 0.01\mu F$)場合と小さい($C_{IN} < 0.01\mu F$)場合です。

V_{IN} での全容量が小さい(0.01 μF 未満)場合は(図14参照)、オフセット/フルスケール誤差を生じることなく、比較的大きな外部ソース抵抗(20pFの寄生容量に対し最大20k)を許容できます。図15と図16には、いくつかの小容量入力コンデンサ($C_{IN} < 0.01\mu F$)について、入力

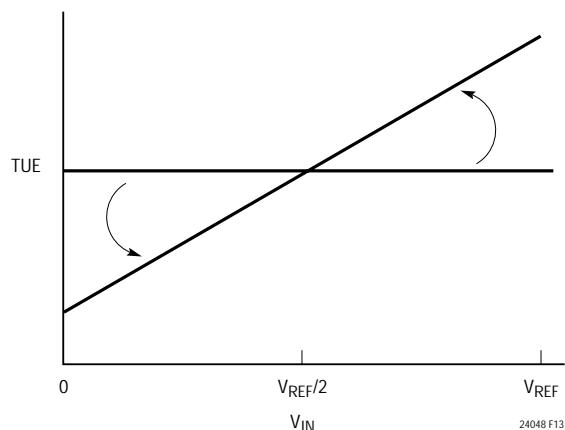


図13. オフセット/フルスケール・シフト

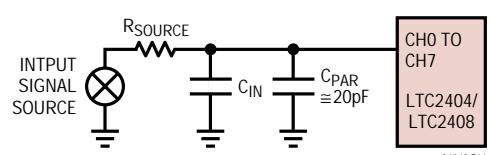


図14. CH0 ~ CH7のRCネットワーク

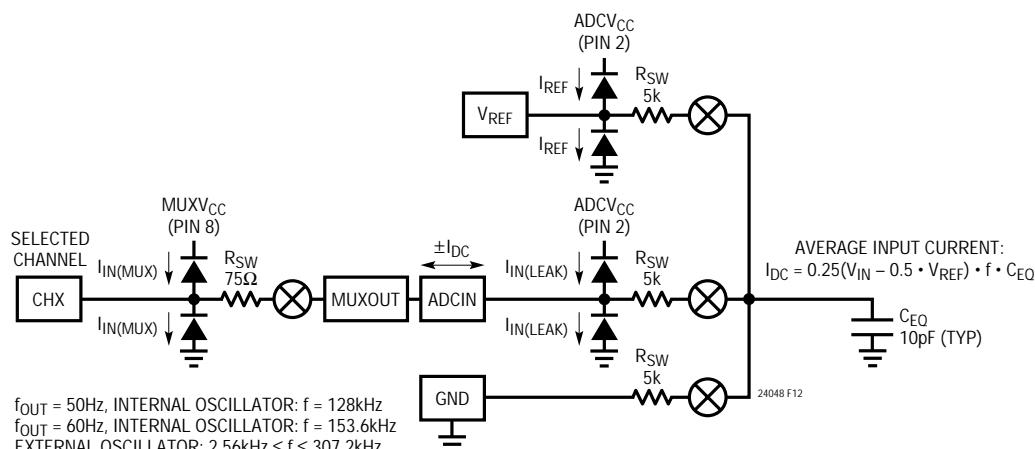


図12. LTC2404/LTC2408の等価アナログ入力回路

アプリケーション情報

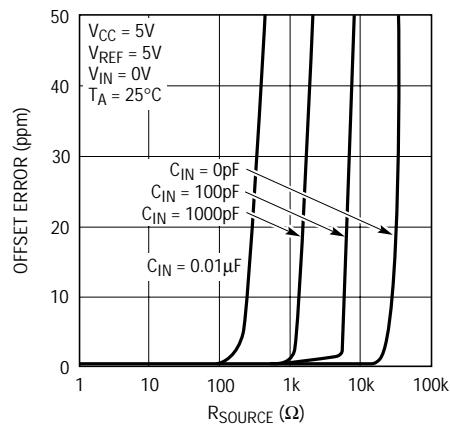


図15. オフセットとR_{SOURCE}(小容量C)

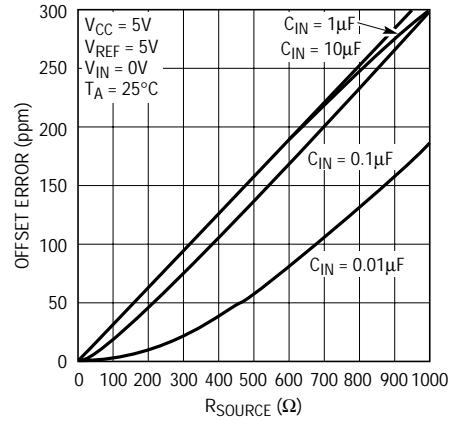


図17. オフセットとR_{SOURCE}(大容量C)

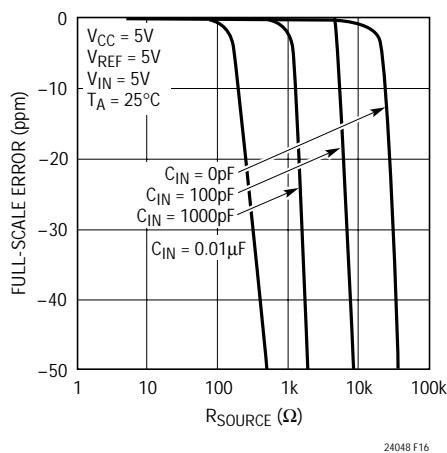


図16. フルスケール誤差とR_{SOURCE}(小容量C)

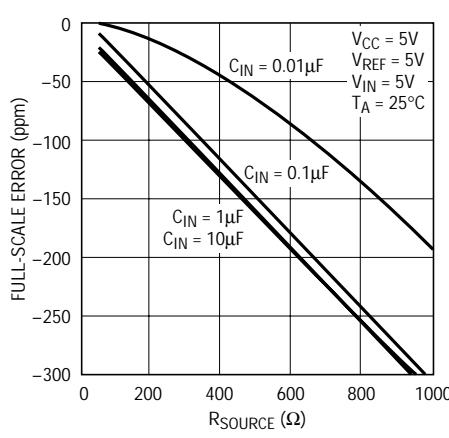


図18. フルスケール誤差とR_{SOURCE}(大容量C)

ソース抵抗に対するオフセット曲線およびフルスケール誤差曲線を示します。

大きな入力コンデンサ値($C_{IN} > 0.01\mu F$)の場合、入力スパイクはコンデンサによりDC電流に平均化されます。利得シフトは、入力容量に関係なく入力ソース抵抗の線形関数になります(図17および18参照)。等価入力インピーダンスは1.66MΩです。この結果、 V_{IN} の極値($V_{REF} = 5V$ のときには、 $V_{IN} = 0V$ および $V_{IN} = V_{REF}$)における入力ダイナミック電流は±1.5μAとなります。これは入力ソース抵抗1Ωごとのオフセットおよびフルスケールの読み取り値で0.3ppmのシフトに相当します。

いずれか1つのマルチプレクサ・チャネル入力に大きな

容量を与えるとオフセット/フルスケール・シフトが生じ、MUXOUT/ADCINに大きな容量を与えると直線性誤差が生じます。マルチプレクサ・スイッチの75Ωのオン抵抗は、入力電圧に対し非線形です。MUXOUT/ADCINノードでの容量が0.01μF未満ならば、直線性は低下しません。他方、過大な容量(> 0.01μF)の場合、マルチプレクサのオン抵抗に依存してセトリングが不完全になります。したがって、マルチプレクサ・スイッチの非直線性が総合伝達特性に現れます。

入力電流スパイクに加え、入力ESD保護ダイオードには温度に依存するリーク電流が発生します。このリーク電流、公称1nA(最大±10nA)により、10kΩのソース抵抗に対し10μVの固定オフセット・シフトが生じます。

アプリケーション情報

リファレンス電流(V_{REF})

アナログ入力と同様、リファレンス入力にはダイナミック入力電流があります。この電流はオフセットにはほとんど影響を与えません。ただし、 $V_{IN} = V_{REF}$ でのリファレンス電流はフルスケールの入力電流とほぼ同じです。リファレンス容量が大きい場合($C_{VREF} > 0.01\mu F$)、 V_{REF} の容量に関係なくフルスケール誤差シフトは外部リファレンス抵抗の0.3ppm/です(図19参照)。 V_{REF} に接続された容量が小さい($C_{VREF} < 0.01\mu F$)場合、最大20kの入力抵抗(V_{REF} での20pFの寄生容量)を許容できます(図20参照)。

アナログ入力とは異なり、リファレンス入力に接続された過大な外部RC時定数により、デバイスの積分非直線

性が損なわれる可能性があります。 V_{REF} ノードの容量が小さい($C_{VREF} < 0.01\mu F$)場合、リファレンス入力はINLが低下することなく、大きな外部抵抗を許容できます(図21参照)。外部容量が大きい($C_{VREF} > 0.01\mu F$)場合、直線性は V_{REF} の容量に関係なく0.15ppm/ずつ損なわれます(図22参照)。

ダイナミック・リファレンス電流に加え、 V_{REF} ESD保護ダイオードでは温度に依存するリーク電流が発生します。このリーク電流、公称1nA(最大±10nA)により、10kのソース抵抗に対して10μVの一定フルスケール・シフトが発生します。

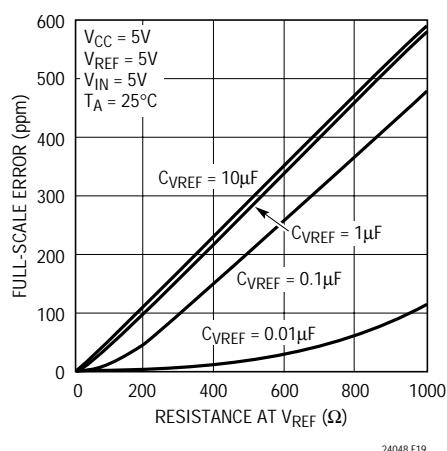


図19. フルスケール誤差と R_{VREF} (大容量C)

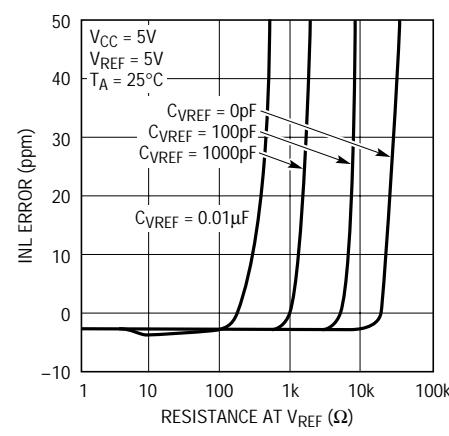


図21. INL誤差と R_{VREF} (小容量C)

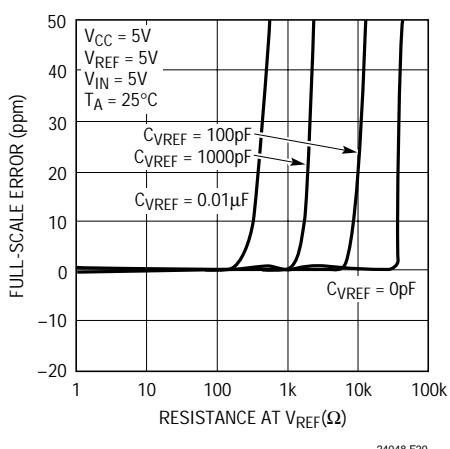


図20. フルスケール誤差と R_{VREF} (小容量C)

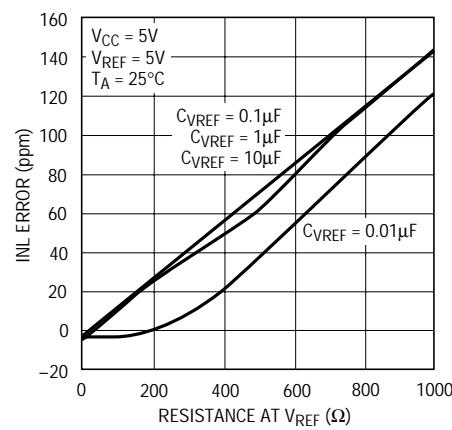


図22. INL誤差と R_{VREF} (大容量C)

アプリケーション情報

アンチエリアシング

従来のADCに対するデルタ-シグマADCの利点の1つが内蔵デジタル・フィルタリングです。大きなオーバーサンプリング比と組み合わせると、LTC2404/LTC2408はアンチエリアシング・フィルタの要求条件を大幅に単純化します。

デジタル・フィルタは、変調器サンプリング周波数(f_s)の整数倍以外の周波数で非常に高い除去を実現します(図23参照)。変調器サンプリング周波数は $256 \cdot F_0$ です。ここで、 F_0 はノッチ周波数(標準50Hzまたは60Hz)です。デジタル・フィルタで除去されない信号の帯域幅は、除去される周波数の帯域幅に比べて狭くなります(約0.2%)。

オーバーサンプリング比(256)とデジタル・フィルタにより、LTC2404/LTC2408の前段は最小の(存在する場合)アンチエリアス・フィルタリングで済みます。受動RC部品がLTC2404/LTC2408の前段に配置された場合、入力ダイナミック電流を検討する必要があります(入力電流のセクションを参照)。大きな実効RC時定数を使用する場合は、入力ダイナミック電流の影響を抑えるために、外部バッファ・アンプが必要になることがあります。

LTC2404/LTC2408の内蔵変調器は、飽和することなく大信号レベルの変動を処理できます。 V_{REF} の40%までの信号レベルでは、アナログ変調器が飽和することはありません。これらの信号は入力ESD保護回路により、グランド以下300mVおよび V_{CC} 以上300mVに制限されます。

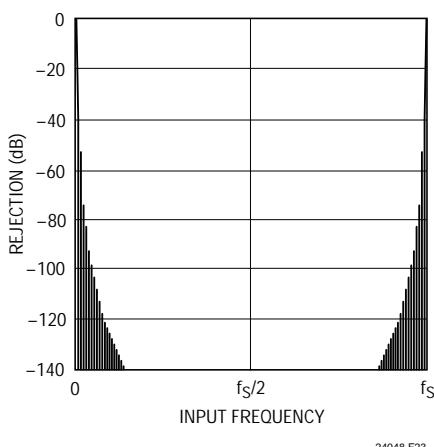


図23. Sinc⁴フィルタ除去

LTC2408の分解能および精度によりセンサのラダー内のポイントの測定が可能

多くの産業用プロセス(たとえば石油精製所の分解塔)において、一組の温度測定を互いに関連付けなければなりません。遅い温度変化を検出する一連のプラチナRTDを抵抗性ラダーの形に構成し、LTC2408を使用して各ノードを検出することができます。この手法では1つの励起電流をラダー全体を通して流すことが可能であり、全電源電流消費を低減します。さらに、この手法に必要なのは高精度抵抗1つだけであり、コストを低減できます。ループ電源駆動のリモート収集ユニット内の、7つまでの温度測定点からなるグループを一個のLTC2408でひとまとめに測定することができます。図24に示す例では、励起電流は0~240μAです。LTC2408に必要なのは300μAであり、3.5mA近くをリモート・トランスマッタの残りの部分用に残します。

RTDの各抵抗値(PT1~PT7)はすべて、その抵抗両端の電圧をリファレンス抵抗(R1)両端の電圧降下と比較して決められます。これは比率測定法であり、R1両端の電圧降下は $V_{REF} - V_{CH1}$ で与えられます。チャネル7を使用して、代表的な長さのワイヤの電圧を測定します。すべての接続にタイプおよび長さが同じワイヤを使用する場合、全配線での電圧降下に伴う誤差はソフトウェア内で取り除くことができます。ワイヤ長が等しくない場合、配線での電圧降下による誤差をスケーリングすることができます。

すべてのRTDでの全体的な電圧降下はADCのフルスケール・レンジに比べて小さいので、この回路に利得を加えることができます。最大推奨利得は40であり、アンプのノイズによる影響、およびCH0に生じる最大電圧(全センサがプラチナRTD用に規定された最大温度となるときに発生)により制限されます。

利得を加えるには抵抗PT1~PT7の1つを高精度抵抗にして、利得を設定する抵抗R2およびR3に伴う誤差を除去する必要があります。RTDの1つ(PT7を推奨)を高精度抵抗(100~400)に置き換えて使用する場合、R1を高精度抵抗にする必要はないことに注意してください。利得を決定するためにRTDの1つを高精度リファレンス抵抗に置き換える場合、R2とR3(そしてR1)を高精度抵抗にする必要はないことが示唆されますが、ファームウェアでは除去できないノイズとして空気対流による温度変動が生じる可能性があります。したがって、これらの抵抗は温度係数の低い

アプリケーション情報

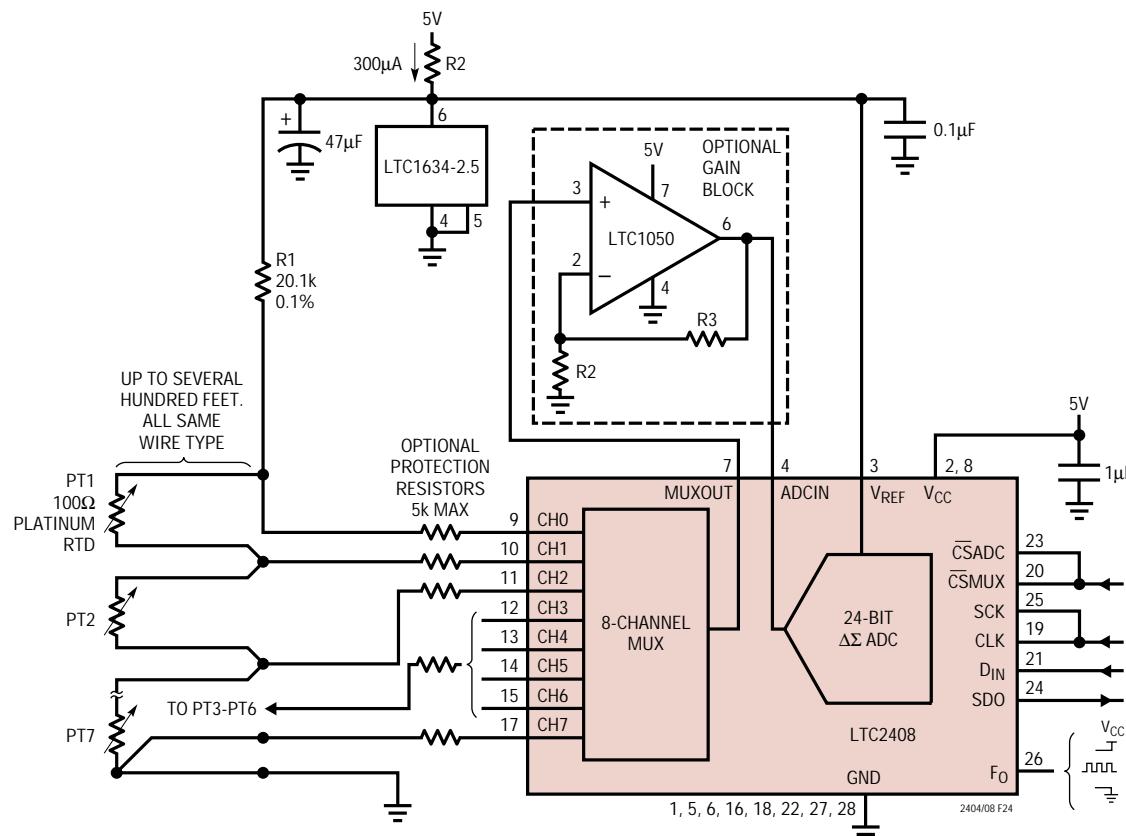


図24. 1つのリファレンス抵抗と1つのリファレンス電流で最高7つまでのRTD温度を測定

デバイスでなければなりません。ラダーの最上部に1000のRTDがあっても下部の素子に対する影響は小さくなっていますが、このトポロジーにおいて大きな抵抗のRTDを使用することは推奨されません。温度変化が速い場合にも同様の注意事項があてはまります。高速変化センサは必ずラダーの最上部に設置しなければなりません。

プログラム可能利得回路へのLTC2408の汎用マルチプレクサの応用

LTC2408内のマルチプレクサがチャネル選択専用でない場合、このマルチプレクサを使用して、異なる利得、フィルタまたはアッテネータ特性といった多様な信号処理オプションを選択することができます。アンプの帰還ループ内のR/2Rラダーの異なるタップを選択するマルチプレクサを図25に示します。この例では、1から128までの利得をバイナリ・ステップで選択することができます。他の帰還ネットワークを使用して特定の目的に合わせた利得を実現できます。(たとえば、1x、1.1x、1.41x、2x、2.028x、5x、10x、40xなど。)あるいは、異なるバンドパス特性または信号の

極性反転/非反転を選択することができます。厳密な温度トラッキングを保証するネットワークとしてR/2Rラダーを購入できます。あるいは、ディスクリート抵抗をラダー抵抗または独立した分割器として組み立てることができます。ここに示す構成では入力オペアンプ電流だけがスイッチを流れるので、マルチプレクサのチャネル抵抗はそれほど全体の誤差に寄与しません。LTC1050は $\Delta\Sigma$ ADCの入力をドライブする能力があり、入力電流およびオフセット電圧も低いため採用されました。

マルチプレクサの後に利得またはバッファリングを挿入MUXOUT端子とADCIN端子が独立しているため、MUXとADCの間に利得段を挿入することができます。ADCへの入力に受動フィルタを使用する場合、ダイナミックADC入力電流による誤差を回避するためにバッファ・アンプが強く推奨されます。アンチエイリアシングが必要な場合、MUXへの入力に設置してください。ノイズ性能を改善するために帯域幅を制限する必要があれば、1500Hzで -3dB ポイントを持つフィルタによりシステムの実質的な全ノイ

アプリケーション情報

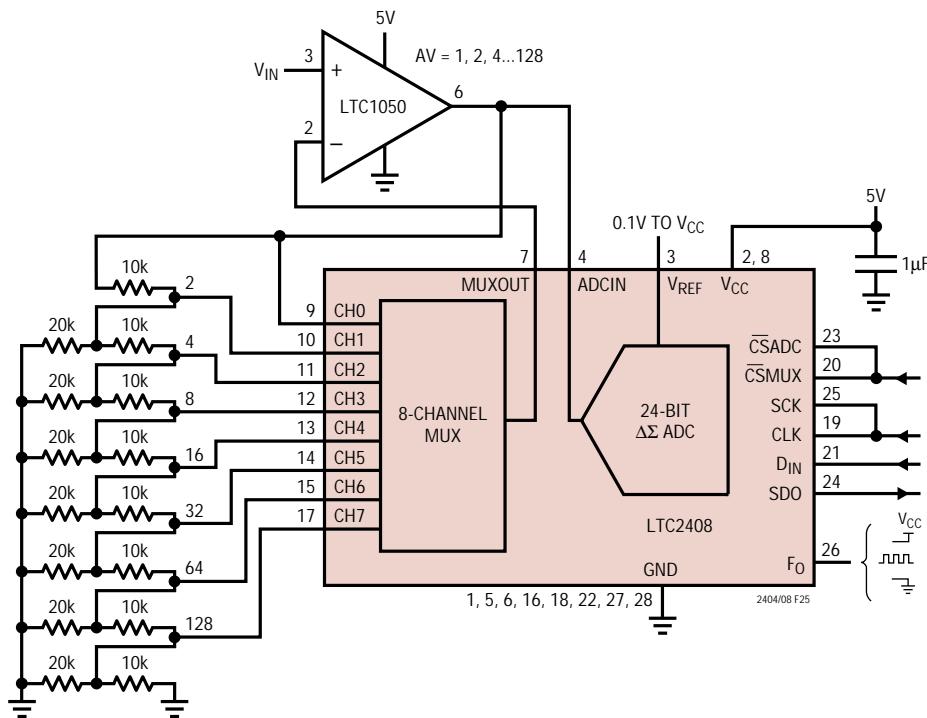


図25. マルチプレクサを使用し1~128までのプログラム可能な利得を実現

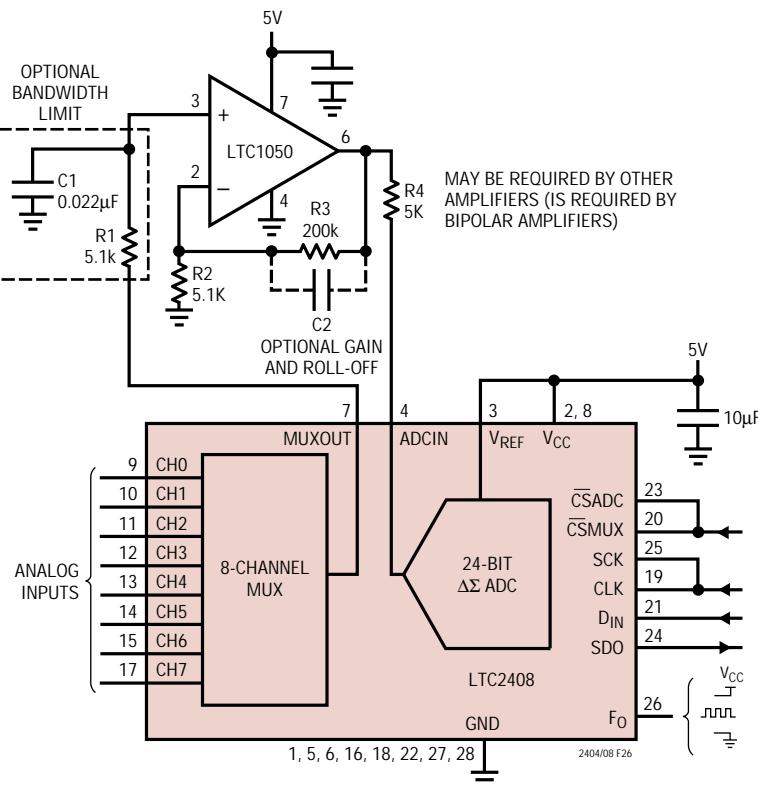


図26. マルチプレクサとADC入力間への利得の挿入

アプリケーション情報

ズ帯域幅を6Hzに低減することができます。LTC2408のノイズ帯域幅は入力帯域幅を制限しない場合、およそ150Hzです。1500Hzでのロールオフにより、6Hzのベース帯域幅の高次イメージをすべて除去します。ここに示す例では、オプションの帯域幅制限フィルタの - 3dBポイントは1450Hzです。マルチプレクサの前のソース・インピーダンスが高くて - 3dB周波数が低下せず、セトリング時間が長くなっているサンプル間の電荷共有が生じる場合、このフィルタをマルチプレクサの後に挿入することができます。このフィルタの、20以上のビット精度までのセトリング時間は2ms未満です。外部の広帯域ノイズが存在する場合、このフィルタは見かけのノイズを1/5に低減します。アンプ内で発生するノイズのノイズ帯域幅は150Hzであることに注意してください。ここに示す例ではアンプの利得を40に設定しており、その点でアンプのノイズ利得がLTC2408のノイズを支配するようになります。この例での入力電圧範囲は0V ~ 125mV DCとなります。利得40でのコンデンサC2の推奨値は560pFです。

LTC2404/LTC2408から68HC11マイクロコントローラへのインターフェース

図28のリストは68HC11マイクロコントローラ用の簡単なアセンブラー・ルーチンです。PORT DをコントローラとLTC2408間のSPIデータ転送用に構成して使用します。このプログラムでは、MUXチャネルを選択してイネーブルし、変換データを引き出す方法を示します。図27に簡単な4線式SPI接続を示します。

コードは変数の宣言で始まり、32ビットの変換結果を格納する4つのメモリ・ロケーションとMUXチャネル・アドレスを格納する5つ目のロケーションを割り当てます。続いてPORT DのSPI構成を初期化します。次に、このプログラムはメイン・シーケンスに入ります。メイン・シーケンスはMUXチャネル・データを送って始まります。SS出力を“L”に設定することによってLTC2408のシリアル・インターフェースをアクティブにし、CSADC/CSMUXにロジック“L”を送ります。さらに、これにより、選択されたMUXチャネルがアクティブになります。次に、データ・ラインがロジック“L”になるまでループ内で待って変換終了を通知します。ループが完結すると、4つのSPI転送が完了し、変換結果を取得します。メイン・シーケンスはSSを“H”に設定して終了します。これにより、LTC2408のシリアル・インターフェースはハイ・インピーダンス状態になり、次の変換を開始します。図30のプログラムでは、図28のリスト中のMUXチャネル選択ルーチンを16チャネル選択用に修正しています。LTC1391、LTC2408、および68HC11コントローラ間の接続を図29に示します。

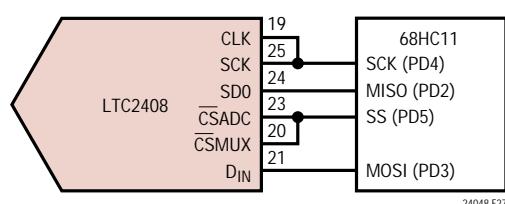


図27. SPIシリアル・インターフェースを使用して
LTC2408を68HC11 MCUに接続

```
*****
* This example program loads multiplexer channels selection data into *
* the LTC2408's internal MUX and then transfers the LTC2408's 32-bit *
* output conversion result to four consecutive 8-bit memory locations. *
*****
*****
* 68HC11 register definitions *
*****
PORTD EQU $1008 Port D data register
" - , - , SS*,CSK,MOSI,MISO,TxD,RxD "
DDRD EQU $1009 Port D data direction register
SPCR EQU $1028 SPI control register
"SPIE,SPE,DWOM,MSTR,SPOL,CPHA,SPR1,SPR0"
SPSR EQU $1029 SPI status register
"SPIF,WCOL,-,MODF,-,-,-,-"
SPDR EQU $102A SPI data register; Read-Buffer; Write-Shifter
*
* RAM variables to hold the LTC2408's 32 conversion result
*
```

LTC2404/LTC2408

アプリケーション情報

```
DIN1    EQU    $00      This memory location holds the LTC2408's bits 31 - 24
DIN2    EQU    $01      This memory location holds the LTC2408's bits 23 - 16
DIN3    EQU    $02      This memory location holds the LTC2408's bits 15 - 08
DIN4    EQU    $03      This memory location holds the LTC2408's bits 07 - 00
MUX     EQU    $04      This memory location holds the MUX address data
*
*****
* Start GETDATA Routine
*****
*
        ORG    $C000  Program start location
* LDS    $CFFF  Top of C page RAM, beginning location of stack
INIT1   LDAA   #$2F  -,1,0;1,1,1,1
*           -, -, SS*-Hi, SCK-Lo, MOSI-Hi, MISO-Hi, X, X
*           STAA   PORTD  Keeps SS* a logic high when DDRD, bit 5 is set
*           LDAA   #$38  -,1,1;1,0,0
*           STAA   DDRD   SS*, SCK, MOSI are configured as Outputs
*           MISO, TxD, RxD are configured as Inputs
* DDRD's bit 5 is a 1 so that port D's SS* pin is a general output
*           LDAA   #$50
*           STAA   SPCR   The SPI is configured as Master, CPHA = 0, CPOL = 0
*           and the clock rate is E/2
*           (This assumes an E-Clock frequency of 4MHz. For higher
*           E-Clock frequencies, change the above value of $50 to a
*           value that ensures the SCK frequency is 2MHz or less.)
GETDATA PSHX
PSHY
PSHA
*       LDX    #$0      The X register is used as a pointer to the memory
*       locations that hold the conversion data
*       LDY    #$1000
*
*****
* The next routine sends data to the
* LTC2408 an sets its MUX channel
*****
*
*       LDAA   $MUX    Retrieve MUX address
*       ORAA   #$08    Set the MUX's ENABLE bit
*       STAA   SPDR    Transfer Accum. A contents to SPI register to initiate
*                   serial transfer
WAITMUX LDAA   SPSR    Get SPI transfer status
*       BPL    WAITMUX If the transfer is not finished, read status
*
*****
* Enable the LTC2408
*****
*
*       BCLR   PORTD,Y %00100000  This sets the SS* output bit to a logic
*                   low, selecting the LTC2408
*
*****
* The next short loop waits for the
* LTC2408's conversion to finish before
* starting the SPI data transfer
*****
*
CONVEND LDAA   PORTD    Retrieve the contents of port D
*       ANDA   #%"000000100  Look at bit 2
*                   Bit 2 = Hi; the LTC2408's conversion is not
*                   complete
*                   Bit 2 = Lo; the LTC2408's conversion is complete
*       BNE    CONVEND   Branch to the loop's beginning while bit 2 remains
*                   high
```

アプリケーション情報

```

*
*****
* The SPI data transfer
*****
*
TRFLP1 LDAA #$0 Load accumulator A with a null byte for SPI transfer
      STAA SPDR This writes the byte into the SPI data register and
      starts the transfer
*
WAIT1 LDAA SPSR This loop waits for the SPI to complete a serial
      BPL transfer/exchange by reading the SPI Status Register
      WAIT1 The SPIF (SPI transfer complete flag) bit is the SPSR's
      MSB and is set to one at the end of an SPI transfer. The
      branch will occur while SPIF is a zero.
*
      LDAA SPDR Load accumulator A with the current byte of LTC2408 data
      that was just received
      STAA 0,X Transfer the LTC2408's data to memory
      INX Increment the pointer
      CPX #DIN4+1 Has the last byte been transferred/exchanged?
      BNE TRFLP1 If the last byte has not been reached, then proceed to
      the next byte for transfer/exchange
*
      BSET PORTD,Y %000100000 This sets the SS* output bit to a logic
      high, de-selecting the LTC2408
*
      PULA Restore the A register
      PULY Restore the Y register
      PULX Restore the X register
      RTS

```

図28. LTC2408-68HC11 MCUデジタル・インターフェース・ルーチン

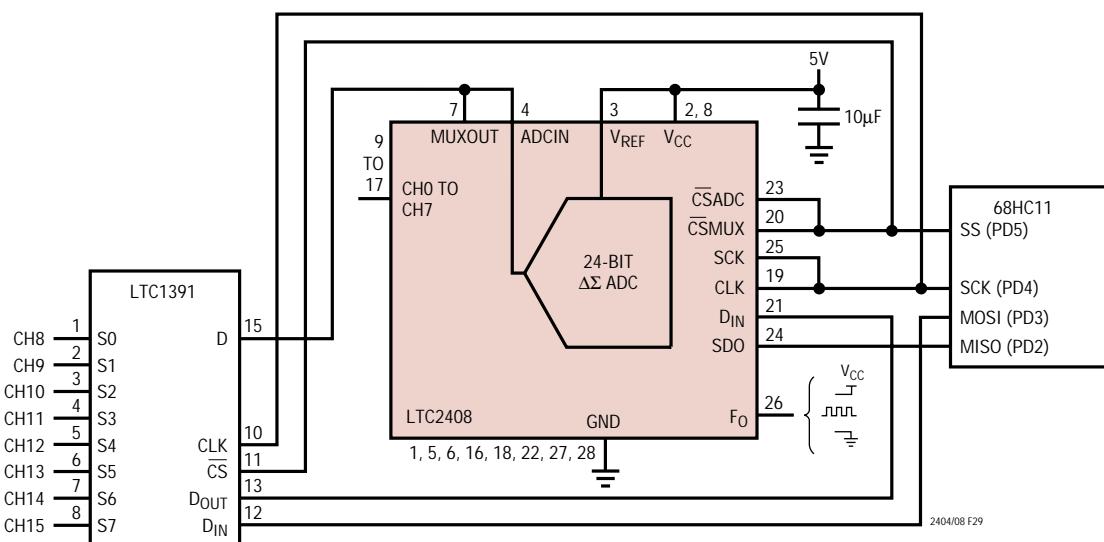


図29. 16入力チャネル用のLTC1391とLTC2408の組合せ

LTC2404/LTC2408

アプリケーション情報

```
*****
* This example program loads multiplexer channels selection data into
* either the LTC2408's internal MUX or an external LTC1391 MUX. It then
* transfers the LTC2408's 32-bit output conversion result to four
* consecutive 8-bit memory locations.
*
*****
* 68HC11 register definitions
*****
*
PORTD EQU $1008 Port D data register
" - , - , SS*, CSK,MOSI,MISO,TxD ,RxD "
DDRD EQU $1009 Port D data direction register
SPCR EQU $1028 SPI control register
"SPIE,SPE ,DWOM,MSTR;SPOL,CPHA,SPR1,SPR0"
SPSR EQU $1029 SPI status register
"SPIF,WCOL, - ,MODF; - , - , - , - "
SPDR EQU $102A SPI data register; Read-Buffer; Write-Shifter
*
* RAM variables to hold the LTC2408's 32 conversion result
*
DIN1 EQU $00 This memory location holds the LTC2408's bits 31 - 24
DIN2 EQU $01 This memory location holds the LTC2408's bits 23 - 16
DIN3 EQU $02 This memory location holds the LTC2408's bits 15 - 08
DIN4 EQU $03 This memory location holds the LTC2408's bits 07 - 00
MUX EQU $04 This memory location holds the MUX address data
*
*****
* Start GETDATA Routine
*****
*
INIT1 ORG $C000 Program start location
LDAA #$2F -,1,0,1,1,1
* STAA PORTD Keeps SS* a logic high when DDRD, bit 5 is set
LDAA #$38 -,1,1;1,0,0
* STAA DDRD SS*, SCK, MOSI are configured as Outputs
* MISO, TxD, RxD are configured as Inputs
* DDRD's bit 5 is a 1 so that port D's SS* pin is a general output
LDAA #$50
* STAA SPCR The SPI is configured as Master, CPHA = 0, CPOL = 0
* and the clock rate is E/2
* (This assumes an E-Clock frequency of 4MHz. For higher
* E-Clock frequencies, change the above value of $50 to a
* value that ensures the SCK frequency is 2MHz or less.)
GETDATA PSHX
PSHY
PSHA
LDX #$0 The X register is used as a pointer to the memory
* locations that hold the conversion data
LDY #$1000
*
*****
* The next routine sends data to the
* LTC2408 an sets its MUX channel
*****
*
LDAA MUX Retrieve MUX address
TAB Save contents of Accum. A
SUBA #$07 Is the MUX address in the low nibble
BLE ENLWMX If it is, branch to enable the LTC2408's internal MUX
TBA Restore contents of Accum. A
ORAA #$80 Enable the LTC1391 external MUX
BRA MUXSPI Go to SPI transfer2400
```

アプリケーション情報

```

ENLWMX TBA      Restore contents of Accum. A
ORAA    #$08     Set the MUX's ENABLE bit
MUXSPI  STAA    SPDR   Transfer Accum. A contents to SPI register to initiate
*          serial transfer
WAITMUX LDAA    SPSR   Get SPI transfer status
*          BPL    WAITMUX If the transfer is not finished, read status
*
*****
* Enable the LTC2408
*****
*
BCLR    PORTD,Y %00100000 This sets the SS* output bit to a logic
*          low, selecting the LTC2408
*
*****
* The next short loop waits for the
* LTC2408's conversion to finish before
* starting the SPI data transfer
*****
*
CONVEND LDAA    PORTD   Retrieve the contents of port D
ANDA    #%000000100 Look at bit 2
*          Bit 2 = Hi; the LTC2408's conversion is not
*          complete
*          Bit 2 = Lo; the LTC2408's conversion is complete
BNE     CONVEND Branch to the loop's beginning while bit 2 remains
*          high
*
*****
* The SPI data transfer
*****
*
TRFLP1  LDAA    #$0 Load accumulator A with a null byte for SPI transfer
*          STAA    SPDR This writes the byte into the SPI data register and
*          starts the transfer
WAIT1   LDAA    SPSR This loop waits for the SPI to complete a serial
*          transfer/exchange by reading the SPI Status Register
*          BPL    WAIT1 The SPIF (SPI transfer complete flag) bit is the SPSR's
*          MSB and is set to one at the end of an SPI transfer. The
*          branch will occur while SPIF is a zero.
*          LDAA    SPDR Load accumulator A with the current byte of LTC2408 data
*          that was just received
*          STAA    0,X Transfer the LTC2408's data to memory
*          INX     Increment the pointer
*          CPX     #DIN4+1 Has the last byte been transferred/exchanged?
*          BNE    TRFLP1 If the last byte has not been reached, then proceed to
*          the next byte for transfer/exchange
*          BSET    PORTD,Y %00100000 This sets the SS* output bit to a logic
*          high, de-selecting the LTC2408
*          PULA    Restore the A register
*          PULY    Restore the Y register
*          PULX    Restore the X register
RTS

```

図30. LTC2408/LTC1391-684C11 MCUデジタル・インターフェース・ルーチン

8チャネルのDCから昼光までのデジタイザ

図31の回路は、現実世界に存在する多数の物理現象(DC 電圧から紫外光まで)をデジタル化する際のLTC2408の柔軟性を示す一例です。ここに示すすべての例では、シングルエンド信号処理を行います。センサがプリッジタイプであったり、センサをADCから多少離して配置し

たり、周囲ノイズが大きな環境で動作させたりするアプリケーションでは差動信号処理が望ましいアプローチといえますが、LTC2408は消費電力が低いため回路をセンサに近付けて動作させることができます。したがって、シングルエンド構成の使用によりセンサ出力調整が大幅に単純化されます。差動信号処理が必要なアプリケー

アプリケーション情報

ションでは、チョッパ・アンプベースの計装アンプまたは自己内蔵型計装アンプ(LTCから供給されています)を LTC2408と一緒に使用することができます。

CH0に抵抗ネットワークを接続すれば、LTC2408は1mV ~ 1kVのDC電圧を1つのレンジで測定でき、オートレンジングは必要ありません。990kの抵抗は高電圧動作用に仕様が規定された1W抵抗でなければなりません。あるいは、990k抵抗の代わりに低コスト、低消費電力の金属薄膜抵抗をいくつか直列に接続することもできます。

CH1に接続された回路内に示されているFET入力オペアンプLT1793は、ハイ・インピーダンス、低周波数アプリケーション(たとえばpHの測定)用の電位計として使用されています。この回路は利得が21となるように構成されており、入力信号範囲は $-15\text{mV} \leq V_{IN} \leq 250\text{mV}$ となります。高出力インピーダンス・センサはスイッチト・キャパシタADCを直接ドライブできないので、これらのアプリケーションにはアンプ回路が必要です。LT1793は低入力バイアス電流性能(最大10pA)および低ノイズ性能($8\text{nV}/\sqrt{\text{Hz}}$)を備えているため、採用されました。図に示すとおり、ハイ・インピーダンス・センサのアプリケーションではガードリング(およびTeflon™スタンダードオフ)の使用を推奨します。使用しない場合、PCボード表面のリーキ電流の影響により結果が損なわれる可能性があります。

CH2に接続された回路に、LTC2408の内部 $\Delta\Sigma$ ADCを積分器として使用する高精度半波整流器を示します。この回路を使用して60Hz、120Hzまたは400Hz ~ 1kHzを測定でき、良好な結果が得られます。LTC2408の内部sinc⁴フィルタは、この範囲内の任意の周波数を効果的に除去します。1kHzを超える場合、制限されたアンプ利得帯域幅積と過渡オーバーシュート動作が組み合わさって、性能が低下する可能性があります。回路のダイナミック・レンジは、オペアンプ入力オフセット電圧およびシステム全体のノイズ・フロアによって制限されます。 V_{OS} が5 μV のチョッパ安定オペアンプLTC1050を使用すれば、このアプリケーションのダイナミック・レンジはほぼ5桁の値をカバーします。利得および温度の安定性を維持するには、高精度、3端子、2抵抗の10kネットワーク(たとえば、IRC PFC-Dネットワーク)を使ってR6およびR7を実現するのが最良の回路構成です。あるいは、0.1%の初期許容差と5ppm/°Cの温度係数を持つディスクレート抵抗も大部分のアプリケーションに適しています。

可聴周波数からギガヘルツ(GHz)周波数までの真のRMS/RF信号電力測定が可能な独自回路の3線式100°C Pt RTDを受け入れるために、LTC2408の2つのチャネル(CH3およびCH4)を使用しています。この回路の特長は、熱の形で50°C終端で消費される信号電力を100°CのRTDを使って計測することです。RTDのリードとワイヤ間の抵抗を補償するため、2つの読み込み値が必要です。CH4での読み込み値を2倍にして、これをCH3での読み込み値から差し引くと、RTDの正確な値が求められます。

LTC2408は6桁の範囲を超える信号を測定可能ですが、最終的にはこのテクニックの(機械的、電気的、および熱的)実装方法により回路の性能が決まります。組立部品の熱抵抗(エンクロージャに対する50°C/RTDの質量)により回路の感度が決まります。この回路のダイナミック・レンジは、組立部品が耐えられる最高温度の定格値(約850°C)によって決まります。実装の詳細はかなり複雑であり、それについて述べるのはこのデータシートの範囲ではありません。実装の詳細については、弊社に直接お問い合わせください。

LTC2408のCH5入力に接続された回路では、サーミスタが半波ブリッジを形成しており、これを使用して前述のRTDベースの熱電力測定機構のケース温度を測定できます。一般に、サーミスタは限定された温度範囲において非常に良好な分解能を与えます。0.001°Cの測定分解能が実現可能ですが、サーミスタの自己加熱効果、サーミスタの初期許容差、および回路の熱構造が組み合わさって、達成可能な分解能を制限する可能性があります。図に示す半波ブリッジ構成の場合、LTC2408は5桁を超える値の温度変化を測定できます。

LTC2408のCH6入力に接続された赤外線熱電対(Omega Engineering OS36-1)は、範囲が限定された非接触の温度測定アプリケーションまたは高レベルの赤外光を測定しなければならないアプリケーションで使用することができます。LTC2408のRMSノイズ性能を0.3ppmとすると、赤外線熱電対を使用したときの測定分解能は約0.03°Cとなり、これは従来のJタイプ熱電対の分解能に相当します。

Teflonはデュポン社の商標です。

アプリケーション情報

これらの赤外線熱電対は自己充足型であり、1)外部の冷接点補償が不要で、2)従来の開放型熱電対検出方式は使用できず、3)出力インピーダンスが高く、約3kΩです。あるいは、従来の熱電対をLTC2408に直接接続することも可能であり(図は省略)、冷接点補償は異なるチャネル(サーミスタ回路のCH5を参照)に接続された外部温度センサにより、またはLT1025(モノリシック冷接点コンペニセイタIC)を使用して提供できます。

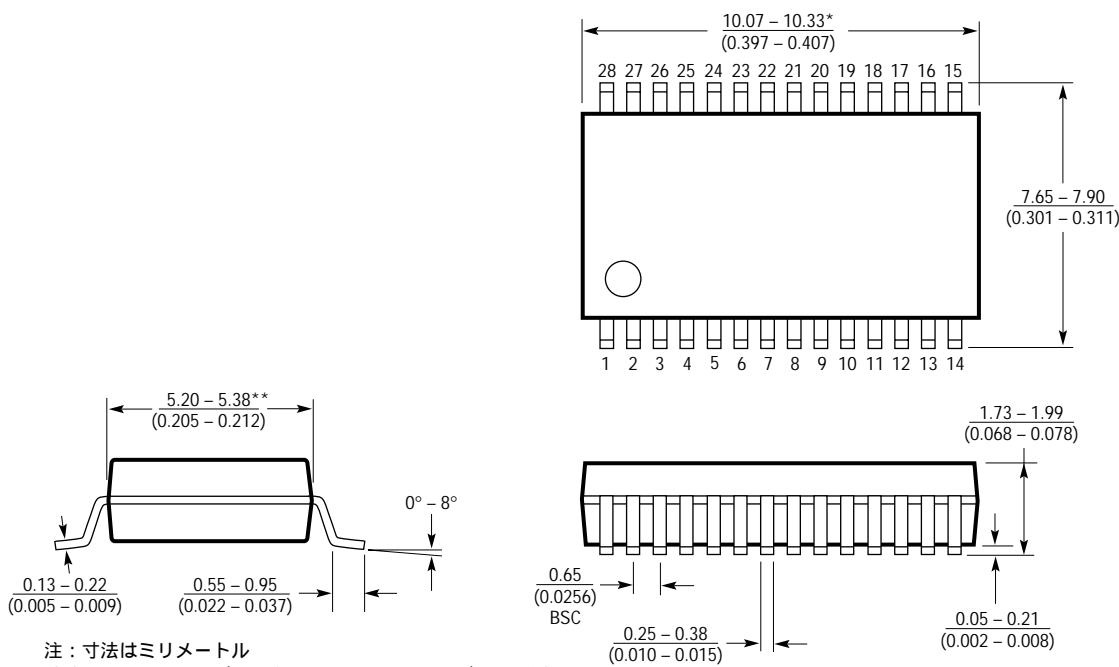
CH7に接続された部品は、300pAの分解能で日光またはフォトダイオード電流をセンスするのに使われています。この図ではフォトダイオードは光導電モードでバイアスされていますが、LTC2408は光起電構成または光導電構成のどちらにも対応できます。

選択したフォトダイオード(Hammatsu S1336-5BK)は、光学的照度1ワットにつき500mA出力を生成します。フォトダイオードの出力は検出器の有効面積(2.4mm × 2.4mm)と照明強度に依存します。LTC2408は5kΩ抵抗を使用すれば、960nMで368W/m²まで(直射日光は約1000W/m²)の光の強度を測定することができます。300pAの分解能での光学的なダイナミック・レンジは6桁の値をカバーします。

ここではLTC2408に接続されたアプリケーション回路をいくつか示しましたが、これらにより、この多重入力、高分解能ΔΣADCのミキシング&マッチング能力が実証されます。最小限の回路を追加するだけで、非常に低レベルの信号および高レベルの信号に対応できます。

パッケージ 注記がない限り寸法はミリメートル(インチ)

Gパッケージ
28ピン・プラスチックSSOP(0.209)
(LTC DWG # 05-08-1640)



G28 SSOP 1098

標準的応用例

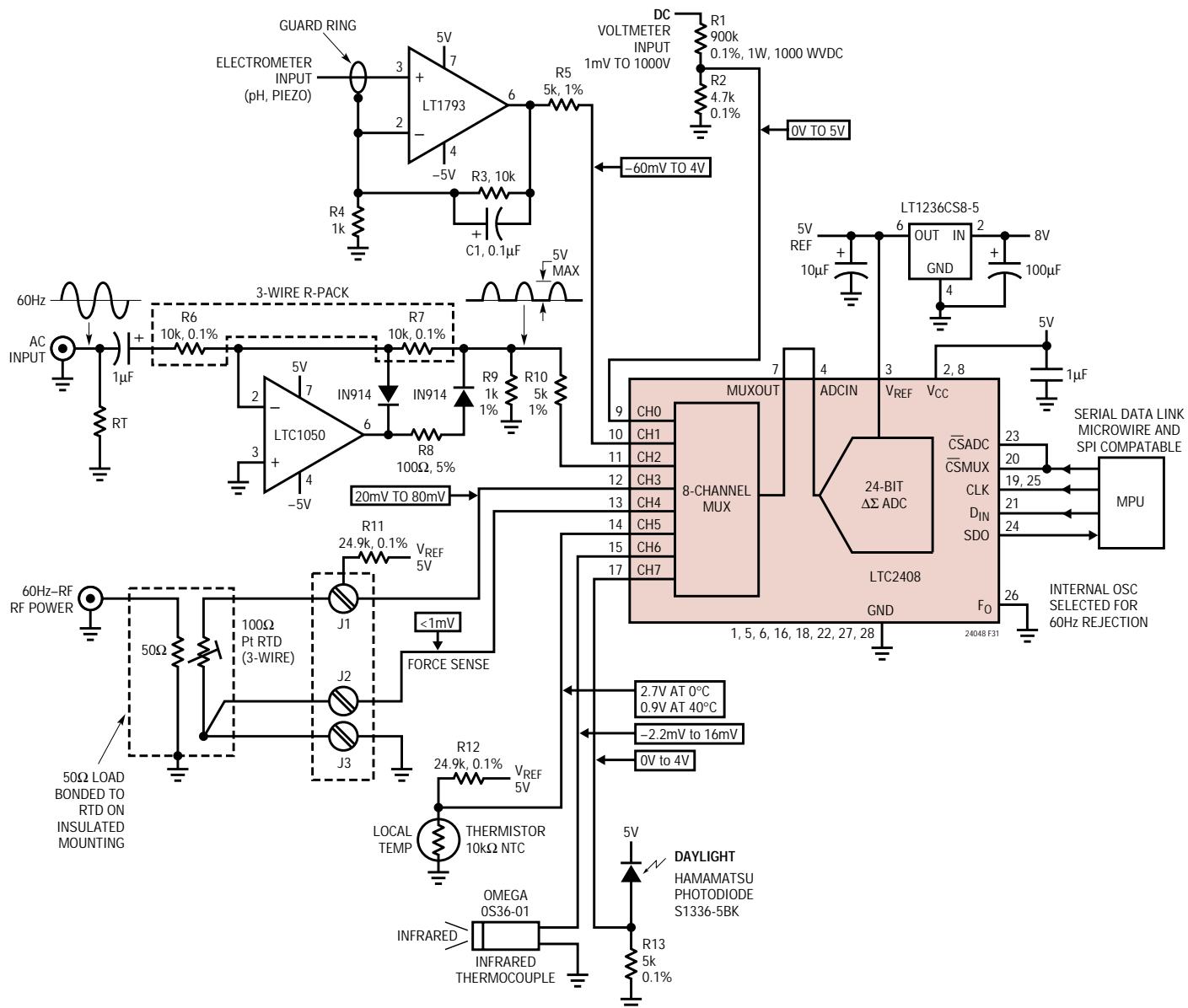


図31. LTC2408を使用してDCから昼光まで測定

関連製品

製品番号	説明	注釈
LTC1050	高精度チョッパ安定オペアンプ	外付け部品不要、オフセット $5\mu V$ 、 $1.6\mu V_{P-P}$
LT1236	高精度バンドギャップ・リファレンス	最大初期精度 0.05%、ドリフト 5ppm/
LT1793	低ノイズJFET入力オペアンプ	最大入力バイアス電流: 10pA、低電圧ノイズ: 8nV
LTC2400	SO-8/パッケージ、24ビット、マイクロパワーΔΣ ADC	INL 4ppm未満、ミッシング・コードなし、フルスケールで 4ppm
LTC2424/LTC2428	20ビット、4/8チャネルΔΣ ADC	ノイズ 1.2ppm、INL 8ppm、高速モード