デジタル・フィルタを内蔵した 24ビット、1.5Msps/2Msps 低消費電力SAR A/Dコンバータ

特長

- **24ビット分解能を保証、欠落コードなし**
- **INL：±0.5ppm（標準）**
- **リアルタイム平均化機能を備えたデジタル・フィルタを内蔵**
- **低消費電力：28mW（2Msps時）**
- **SNR：標準100dB（1.5Msps時）**
- **ダイナミックレンジ：標準145db（30.5sps時）**
- **THD：標準–117dB（f_{IN} = 2kHz）**
- **50Hz/60Hzを除去**
- **デジタル利得圧縮（DGC）**
- 85°Cまでの動作を保証
- 2.5V単電源
- 完全差動入力電圧範囲：最大±5V
- デイジーチェーン・モードを備えた1.8V～5VのSPI互換シリアルI/O
- 16ピンMSOPおよび4mm×3mm DFNパッケージ

アプリケーション

- 地震学分野
- エネルギー資源探査
- 医療用画像処理
- 高速データ収集
- 産業用プロセス制御
- ATE（自動試験装置）

概要

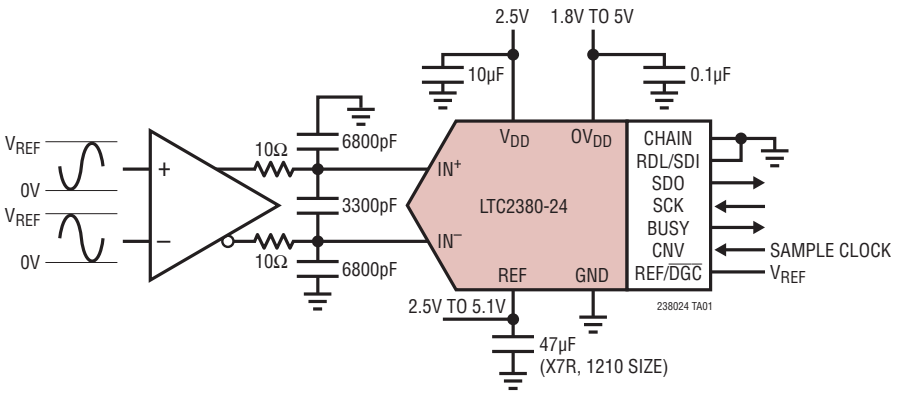
LTC®2380-24は、デジタル平均化フィルタを内蔵した低ノイズ、低消費電力の高速24ビット逐次比較レジスタ（SAR）A/Dコンバータです。LTC2380-24は2.5V電源で動作し、その完全差動入力電圧範囲は±V_{REF}で、V_{REF}の範囲は2.5V～5.1Vです。LTC2380-24は、消費電力がわずか28mWで、±3.5ppmのINL（最大）を実現し、24ビット分解能で欠落コードがありません。

LTC2380-24は、1～65536の変換結果をリアルタイムで平均化できる使いやすいデジタル平均化フィルタを内蔵しているので、ダイナミックレンジを101dB（1.5Msps）から145dB（30.5sps）へ劇的に改善します。独立したプログラミング・インタフェースや構成レジスタは必要ありません。

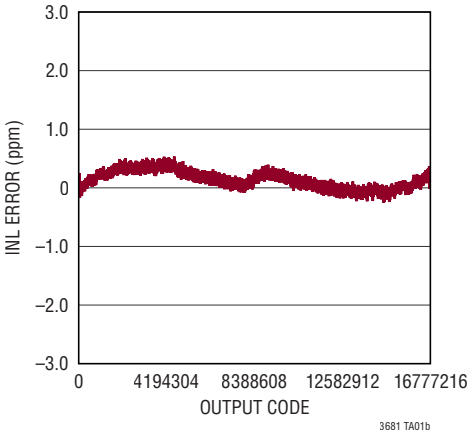
1.8V、2.5V、3.3V、および5Vのロジックをサポートする SPI互換の高速シリアル・インタフェースを内蔵しており、さらにデイジーチェーン・モードも備えています。LTC2380-24は、変換と変換の間は消費電力が自動的に低下するので、サンプリング・レートが小さいときは電力損失が減少します。

LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。SoftSpanはリニアテクノロジー社の商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。7705765、7961132、8319673、8810443を含む米国特許、および出願中の特許によって保護されています。

標準的応用例



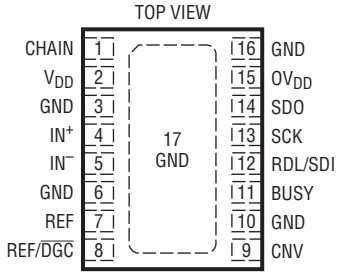
積分非直線性と出力コード



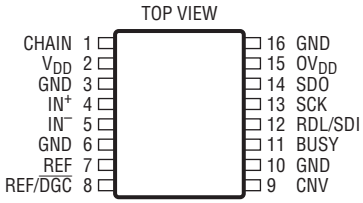
絶対最大定格 (Note 1、2)

電源電圧（V_{DD}）..... 2.8V
電源電圧（OV_{DD}）..... 6V
リファレンス入力（REF）..... 6V
アナログ入力電圧（Note 3）
IN^+、IN^- ..... （GND – 0.3V）～（REF＋0.3V）
REF/$\overline{DGC}$ 入力（Note 3）..... （GND – 0.3V）～（REF＋0.3V）
デジタル入力電圧
（Note 3）..... （GND – 0.3V）～（OV_{DD}＋0.3V）
デジタル出力電圧
（Note 3）..... （GND – 0.3V）～（OV_{DD}＋0.3V）
電力損失..... 500mW
動作温度範囲
LTC2380C ..... 0°C～70°C
LTC2380I ..... –40°C～85°C
保存温度範囲..... –65°C～150°C

ピン配置



DE PACKAGE
16-LEAD (4mm × 3mm) PLASTIC DFN
T_{JMAX} = 150°C, θ_{JA} = 40°C/W
EXPOSED PAD (PIN 17) IS GND, MUST BE SOLDERED TO PCB



MS PACKAGE
16-LEAD PLASTIC MSOP
T_{JMAX} = 150°C, θ_{JA} = 110°C/W

発注情報

無鉛仕上げ	テープ・アンド・リール	製品マーキング *	パッケージ	温度範囲
LTC2380CMS-24#PBF	LTC2380CMS-24#TRPBF	238024	16-Lead Plastic MSOP	0°C～70°C
LTC2380IMS-24#PBF	LTC2380IMS-24#TRPBF	238024	16-Lead Plastic MSOP	–40°C～85°C
LTC2380CDE-24#PBF	LTC2380CDE-24#TRPBF	23804	16-Lead（4mm×3mm）Plastic DFN	0°C to 70°C
LTC2380IDE-24#PBF	LTC2380IDE-24#TRPBF	23804	16-Lead（4mm×3mm）Plastic DFN	–40°C to 85°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、http://www.linear-tech.co.jp/leadfree/ をご覧ください。
テープ・アンド・リールの仕様の詳細については、http://www.linear-tech.co.jp/tapeandreel/ をご覧ください。
接尾辞が #TRMPBF の一部のパッケージは、指定の販売経路を通じて 500 個のリールで供給できます。

電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値（Note 4）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN}^+	Absolute Input Range (IN^+)	(Note 5)	●	–0.1		V_{REF} + 0.1	V
V_{IN}^-	Absolute Input Range (IN^-)	(Note 5)	●	–0.1		V_{REF} + 0.1	V
$V_{IN}^+ – V_{IN}^-$	Input Differential Voltage Range	$V_{IN} = V_{IN}^+ – V_{IN}^-$	●	–V_{REF}		V_{REF}	V
V_{CM}	Common Mode Input Range		●	–V_{REF}/2 – 0.1	V_{REF}/2	V_{REF}/2 + 0.1	V
I_{IN}	Analog Input Leakage Current				0.01		µA
C_{IN}	Analog Input Capacitance	Sample Mode Hold Mode			45 5		pF pF
CMRR	Input Common Mode Rejection Ratio	f_{IN} = 1MHz			86		dB

コンバータの特性

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値（Note 4）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	Resolution		●	24			Bits
	No Missing Codes		●	24			Bits
N	Number of Averages		●	1		65536	
	Transition Noise	N = 1, f_{SMPL} = 1.5Msps N = 16, f_{SMPL} = 2Msps N = 1024, f_{SMPL} = 2Msps N = 16384, f_{SMPL} = 2Msps	● ● ● ●		55.7 13.6 1.75 0.55		LSB_{RMS} LSB_{RMS} LSB_{RMS} LSB_{RMS}
INL	Integral Linearity Error	N = 1, f_{SMPL} = 1.5Msps (Note 6) N = 1, f_{SMPL} = 1.5Msps REF/$\overline{DGC}$ = GND (Note 6) N = 4, f_{SMPL} = 2Msps (Note 6)	● ● ●	–3.5 –3.5 –3.5	±0.5 ±0.5 ±0.5	3.5 3.5 3.5	ppm ppm ppm
DNL	Differential Linearity Error	(Note 7)	●	–0.5	±0.2	0.5	LSB
ZSE	Zero-Scale Error	(Note 8)	●	–10	0	10	ppm
	Zero-Scale Error Drift				±7		ppb/°C
FSE	Full-Scale Error	(Note 8)	●	–100	±10	100	ppm
	Full-Scale Error Drift				±0.05		ppm/°C

ダイナミック精度

● は全動作温度範囲での規格値を意味する。それ以外は T_A ＝25°C、A_{IN} = –1dBFS での値。（Note 4、9）

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
DR	Dynamic Range	$IN^+ = IN^- = V_{CM}$, V_{REF} = 5V, N = 1, f_{SMPL} = 1.5Msps $IN^+ = IN^- = V_{CM}$, V_{REF} = 5V, N = 16, f_{SMPL} = 2Msps $IN^+ = IN^- = V_{CM}$, V_{REF} = 5V, N = 1024, f_{SMPL} = 2Msps $IN^+ = IN^- = V_{CM}$, V_{REF} = 5V, N = 16384, f_{SMPL} = 2Msps $IN^+ = IN^- = V_{CM}$, V_{REF} = 5V, N = 65536, f_{SMPL} = 2Msps			101 113 131 141 145		dB dB dB dB dB
SINAD	Signal-to-(Noise + Distortion) Ratio	f_{IN} = 2kHz, V_{REF} = 5V	●	97.5	100		dB
SNR	Signal-to-Noise Ratio	f_{IN} = 2kHz, V_{REF} = 5V, N = 1, f_{SMPL} = 1.5Msps f_{IN} = 2kHz, V_{REF} = 5V, REF/$\overline{DGC}$ = GND, N = 1, f_{SMPL} = 1.5Msps f_{IN} = 2kHz, V_{REF} = 2.5V, N = 1, f_{SMPL} = 1.5Msps f_{IN} = 2kHz, V_{REF} = 5V, N = 16, A_{IN} = –20dBFS, f_{SMPL} = 2Msps f_{IN} = 100Hz, V_{REF} = 5V, N = 1024, A_{IN} = –20dBFS, f_{SMPL} = 2Msps	● ● ●	97.5 95.5 92.5	100 98 95 112 130		dB dB dB dB dB
THD	Total Harmonic Distortion	f_{IN} = 2kHz, V_{REF} = 5V, N = 1, f_{SMPL} = 1.5Msps f_{IN} = 2kHz, V_{REF} = 5V, REF/$\overline{DGC}$ = GND, N = 1, f_{SMPL} = 1.5Msps f_{IN} = 2kHz, V_{REF} = 2.5V, N = 1, f_{SMPL} = 1.5Msps f_{IN} = 2kHz, V_{REF} = 5V, N = 16, A_{IN} = –20dBFS, f_{SMPL} = 2Msps f_{IN} = 100Hz, V_{REF} = 5V, N = 1024, A_{IN} = –20dBFS, f_{SMPL} = 2Msps	● ● ●		–117 –119 –117 –140 –140	–114 –114 –113	dB dB dB dB dB

ダイナミック精度

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C、A_{IN} = –1dBFS での値。(Note 4、9)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
SFDR	Spurious Free Dynamic Range	f_{IN} = 2kHz, V_{REF} = 5V	●	114	120		dB
	–3dB Input Linear Bandwidth				34		MHz
	Aperture Delay				500		ps
	Aperture Jitter				4		ps_{RMS}
	Transient Response	Full–Scale Step			115		ns

リファレンス入力

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値(Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{REF}	Reference Voltage	(Note 5)	●	2.5		5.1	V
I_{REF}	Reference Input Current	(Note 10)	●		1.9	2.1	mA
$V_{IH\overline{DGC}}$	High Level Input Voltage REF/$\overline{DGC}$ Pin		●	0.8V_{REF}			V
$V_{IL\overline{DGC}}$	Low Level Input Voltage REF/$\overline{DGC}$ Pin		●			0.2V_{REF}	V

デジタル入力とデジタル出力

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値(Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage		●	0.8 • OV_{DD}			V
V_{IL}	Low Level Input Voltage		●			0.2 • OV_{DD}	V
I_{IN}	Digital Input Current	V_{IN} = 0V to OV_{DD}	●	–10		10	µA
C_{IN}	Digital Input Capacitance				5		pF
V_{OH}	High Level Output Voltage	I_O = –500µA	●	OV_{DD} – 0.2			V
V_{OL}	Low Level Output Voltage	I_O = 500µA	●			0.2	V
I_{OZ}	Hi-Z Output Leakage Current	V_{OUT} = 0V to OV_{DD}	●	–10		10	µA
I_{SOURCE}	Output Source Current	V_{OUT} = 0V			–10		mA
I_{SINK}	Output Sink Current	V_{OUT} = OV_{DD}			10		mA

電源要件

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値(Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{DD}	Supply Voltage		●	2.375	2.5	2.625	V
OV_{DD}	Supply Voltage		●	1.71		5.25	V
I_{VDD}	Supply Current	N = 4, f_{SMPL} = 2Msps	●		11.2	13	mA
I_{OVDD}	Supply Current	N = 4, f_{SMPL} = 2Msps (C_L = 20pF)			0.4		mA
I_{PD}	Power Down Mode	Conversion Done (I_{VDD} + I_{OVDD} + I_{REF})	●		1	90	µA
P_D	Power Dissipation	N = 4, f_{SMPL} = 2Msps			28	32.5	mW
	Power Down Mode	Conversion Done (I_{VDD} + I_{OVDD} + I_{REF})			2.5	225	µW

A/Dコンバータのタイミング特性

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値(Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
f_{SMPL}	Maximum Sampling Frequency	N ≥ 4	●			2	Msps
f_{ODR}	Output Data Rate		●			1.5	Msps

A/Dコンバータのタイミング特性

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°Cでの値(Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
t_{CONV}	Conversion Time		●	343		392	ns
t_{ACQ}	Acquisition Time	$t_{ACQ} = t_{CYC} - t_{CONV} - t_{BUSYLH}$ (Note 7)	●	115			ns
t_{CYC}	Time Between Conversions		●	500			ns
t_{CNVH}	CNV High Time		●	20			ns
t_{CNVL}	Minimum Low Time for CNV	(Note 11)	●	20			ns
t_{BUSYLH}	CNV↑ to BUSY↑ Delay	C_L = 20pF	●			13	ns
t_{QUIET}	SCK Quiet Time from CNV↑	(Note 7)	●	10			ns
t_{SCK}	SCK Period	(Notes 11, 12)	●	10			ns
t_{SCKH}	SCK High Time		●	4			ns
t_{SCKL}	SCK Low Time		●	4			ns
$t_{SSDISCK}$	SDI Setup Time From SCK↑	(Note 11)	●	4			ns
$t_{HSDISCK}$	SDI Hold Time From SCK↑	(Note 11)	●	1			ns
t_{SCKCH}	SCK Period in Chain Mode	$t_{SCKCH} = t_{SSDISCK} + t_{DSDO}$ (Note 11)	●	13.5			ns
t_{DSDO}	SDO Data Valid Delay from SCK↑	C_L = 20pF, OV_{DD} = 5.25V C_L = 20pF, OV_{DD} = 2.5V C_L = 20pF, OV_{DD} = 1.71V	● ● ●			7.5 8 9.5	ns ns ns
t_{HSDO}	SDO Data Remains Valid Delay from SCK↑	C_L = 20pF (Note 7)	●	1			ns
$t_{DSDOBUSYL}$	SDO Data Valid Delay from BUSY↓	C_L = 20pF (Note 7)	●			5	ns
t_{EN}	Bus Enable Time After RDL↓	(Note 11)	●			16	ns
t_{DIS}	Bus Relinquish Time After RDL↑	(Note 11)	●			13	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: 全ての電圧値はグランドを基準にしている。

Note 3: これらのピンの電圧がグランドを下回るか、REFまたはOV_{DD}を上回ると、内部のダイオードによってクランプされる。この製品は、これらのピンの電圧がグランドより低くなるか、REFピンまたはOV_{DD}ピンの電圧より高くなった場合でも、ラッチアップを生じることなく最大100mAの入力電流を処理することができる。

Note 4: V_{DD} = 2.5V、OV_{DD} = 2.5V、REF = 5V、V_{CM} = 2.5V、f_{SMPL} = 1.5MHz、REF/$\overline{DGC}$ = V_{REF}、N = 1。

Note 5: 推奨動作条件。

Note 6: 積分非直線性は、実際の伝達曲線の端点を通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: 設計によって保証されているが、テストされない。

Note 8: 両極性ゼロスケール誤差は、出力コードが0000 0000 0000 0000 0000 0000と1111 1111 1111 1111 1111 1111間を往復しているときに、–0.5LSBから測定されたオフセット電圧である。フルスケールの両極性誤差は、最初と最後の理想的なコード遷移からの–FSまたは+FSの未調整偏差の最悪値であり、オフセット誤差の影響が含まれる。

Note 9: dB表示の全ての規格値は、5Vのリファレンス電圧でフルスケール±5Vの入力を基準にしている。

Note 10: f_{SMPL} = 2MHz。I_{REF}はサンプル・レートに比例して変化する。

Note 11: パラメータはOV_{DD} = 1.71V、OV_{DD} = 2.5V、およびOV_{DD} = 5.25Vでテストされ、保証されている。

Note 12: 立ち上がりエッジで捕捉する場合、最大10nsのt_{SCK}により、最大100MHzのシフト・クロック周波数が可能である。

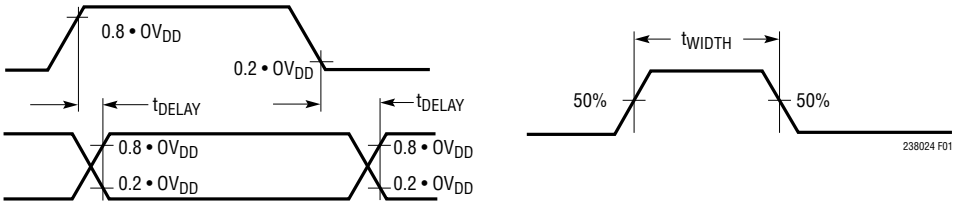
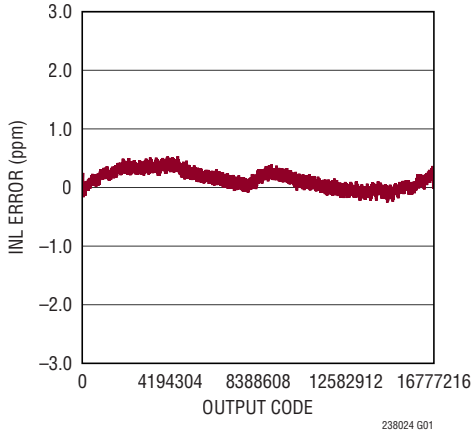


図1. タイミングの仕様の電圧レベル

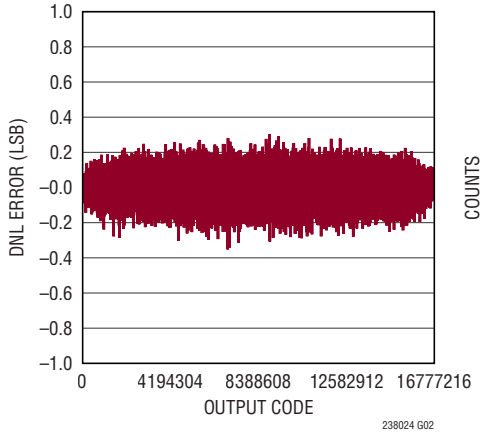
標準的性能特性

注記がない限り、T_A = 25°C、V_{DD} = 2.5V、OV_{DD} = 2.5V、V_{CM} = 2.5V、REF = 5V、f_{SMPL} = 1.5Msps、N = 1。

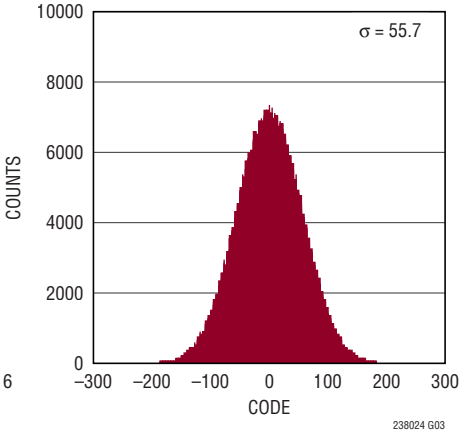
積分非直線性と出力コード



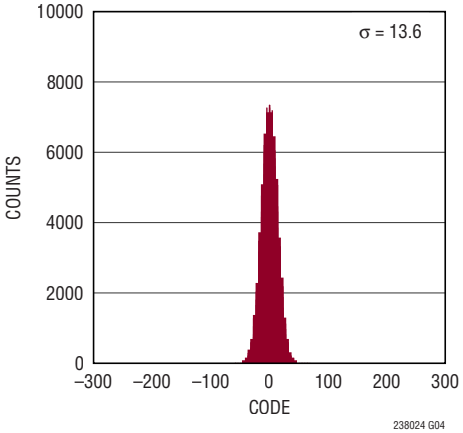
微分非直線性と出力コード



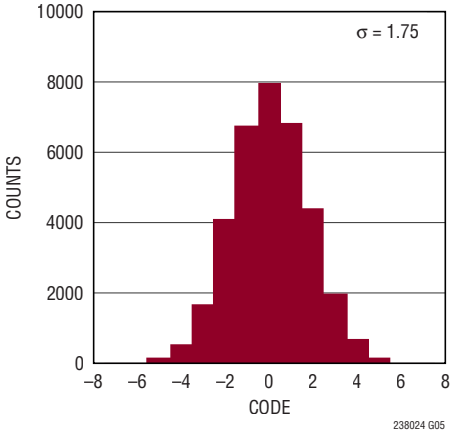
DC のヒストグラム、N = 1



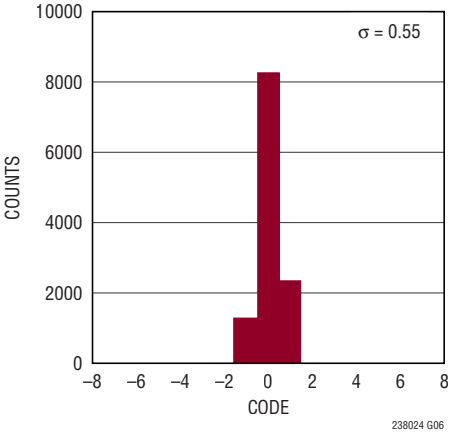
DC のヒストグラム、N = 16、f_{SMPL} = 2Msps



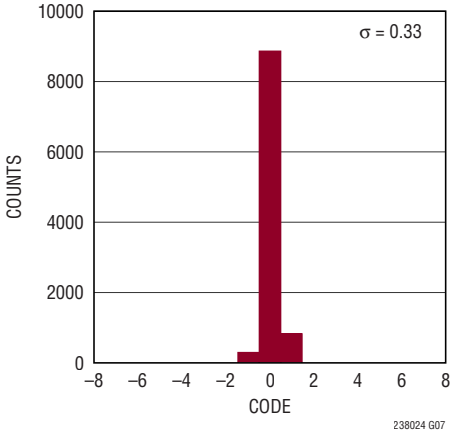
DC のヒストグラム、N = 1024、f_{SMPL} = 2Msps



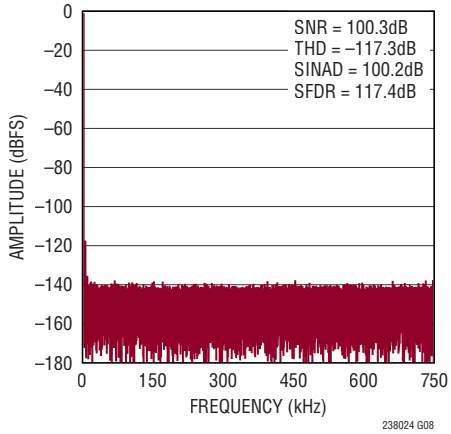
DC のヒストグラム、N = 16384、f_{SMPL} = 2Msps



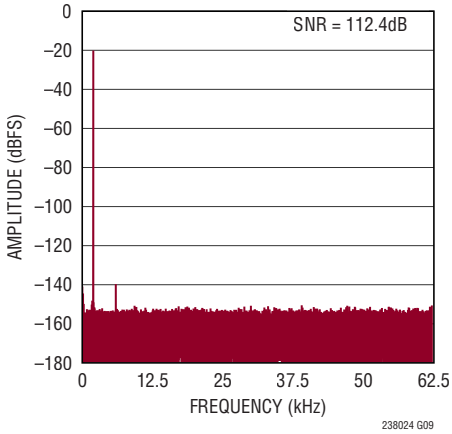
DC のヒストグラム、N = 65536、f_{SMPL} = 2Msps



128k ポイントの FFT、f_{SMPL} = 1.5Msps、f_{IN} = 2kHz



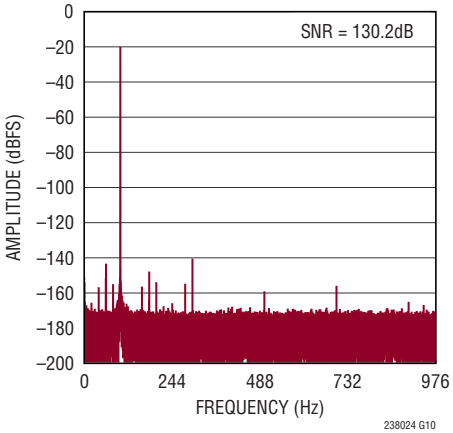
128k ポイントの FFT、f_{SMPL} = 2Msps、f_{IN} = 2kHz、N = 16



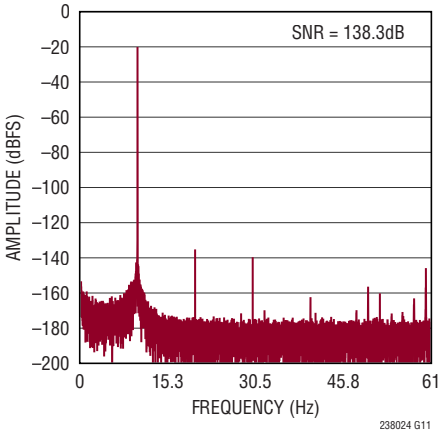
標準的性能特性

注記がない限り、T_A = 25°C、V_{DD} = 2.5V、OV_{DD} = 2.5V、V_{CM} = 2.5V、REF = 5V、f_{SMPL} = 1.5Msps、N = 1。

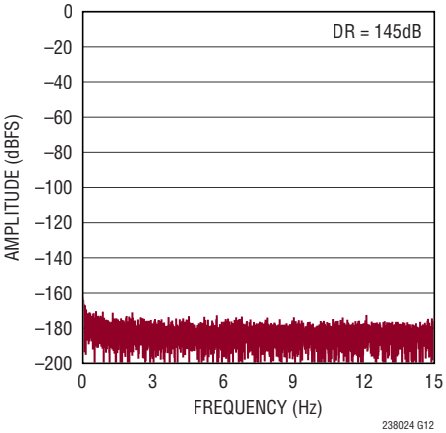
128kポイントのFFT、f_{SMPL} = 2Msps、f_{IN} = 100Hz、N = 1024



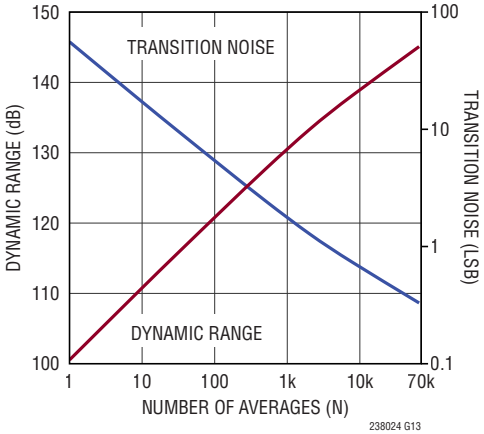
32kポイントのFFT、f_{SMPL} = 2Msps、f_{IN} = 10Hz、N = 16384



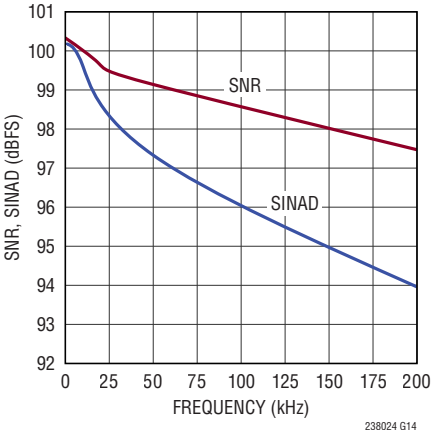
8kポイントのFFT、f_{SMPL} = 2Msps、$IN^+ = IN^- = V_{CM}$、N = 65536



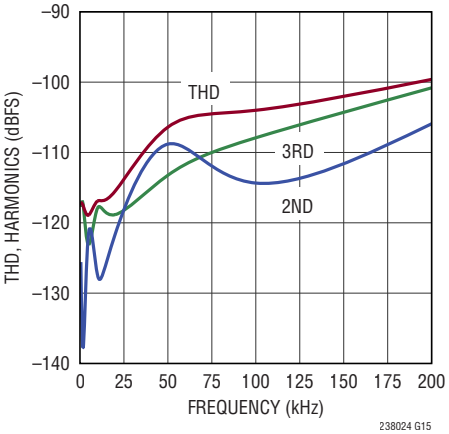
ダイナミックレンジ、遷移ノイズと平均化の回数(N)



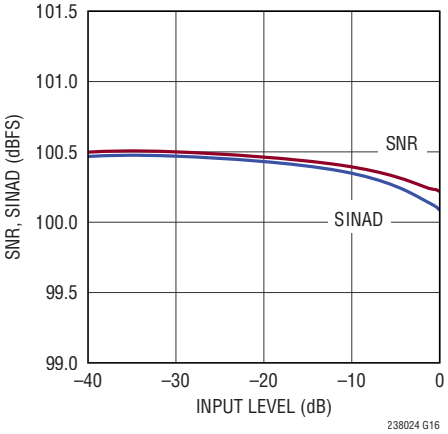
SNR、SINADと入力周波数



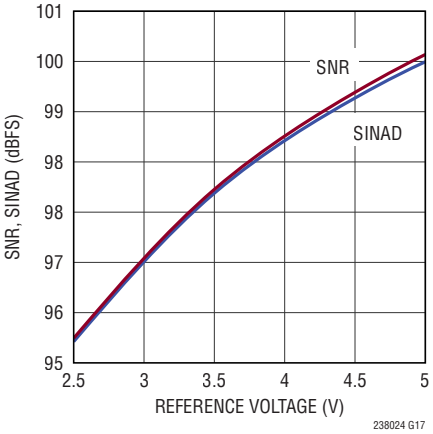
THD、高調波と入力周波数



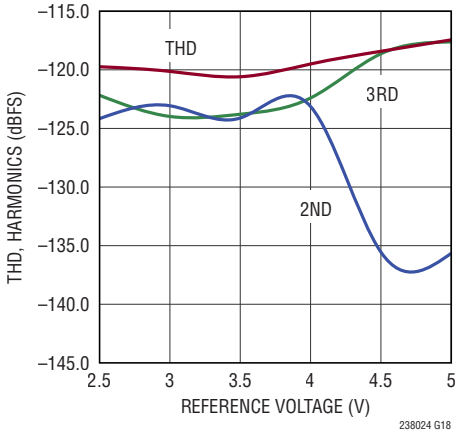
SNR、SINADと入力レベル、f_{IN} = 2kHz



SNR、SINADとリファレンス電圧、f_{IN} = 2kHz



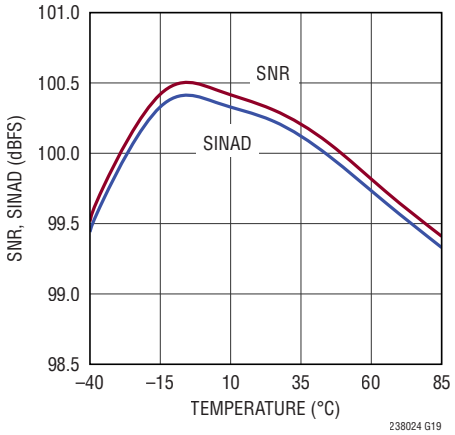
THD、高調波とリファレンス電圧、f_{IN} = 2kHz



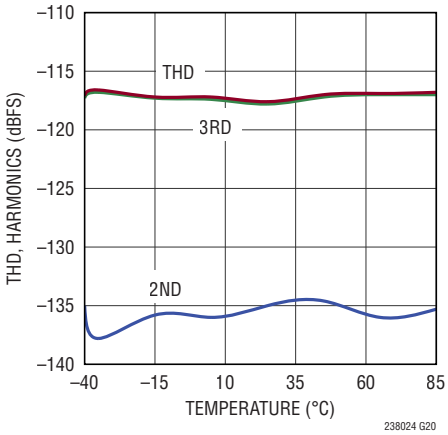
標準的性能特性

注記がない限り、T_A = 25°C、V_{DD} = 2.5V、OV_{DD} = 2.5V、V_{CM} = 2.5V、REF = 5V、f_{SMPL} = 1.5Msps、N = 1。

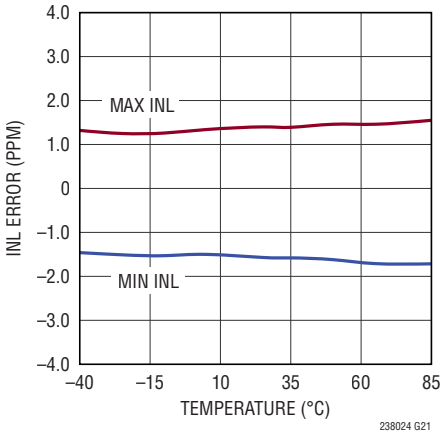
SNR、SINADと温度、f_{IN} = 2kHz



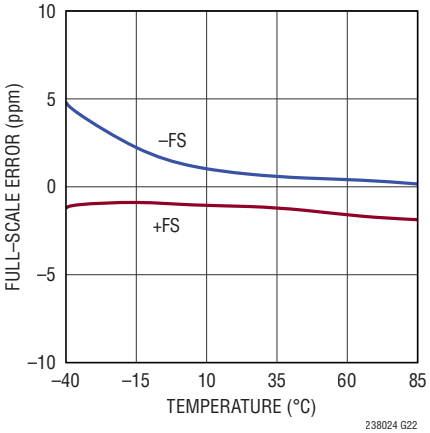
THD、高調波と温度、f_{IN} = 2kHz



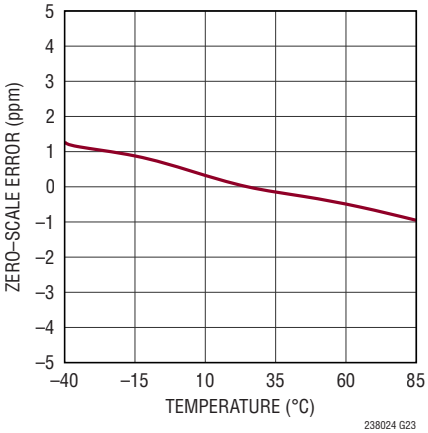
INLと温度



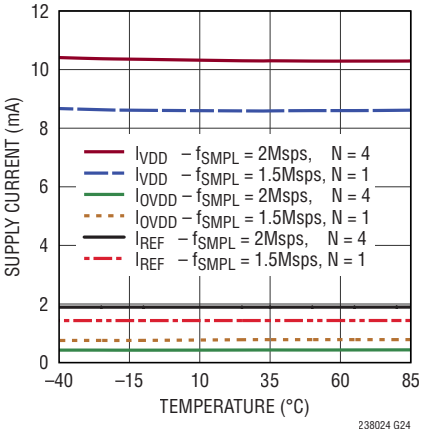
フルスケール誤差と温度



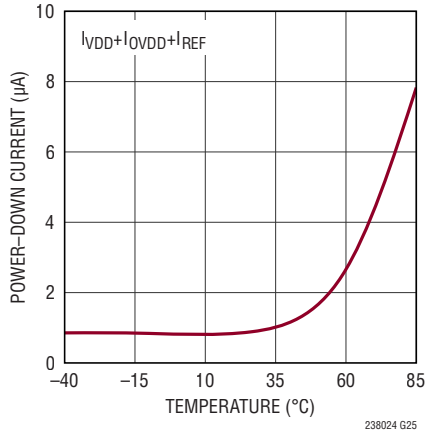
ゼロスケール誤差と温度



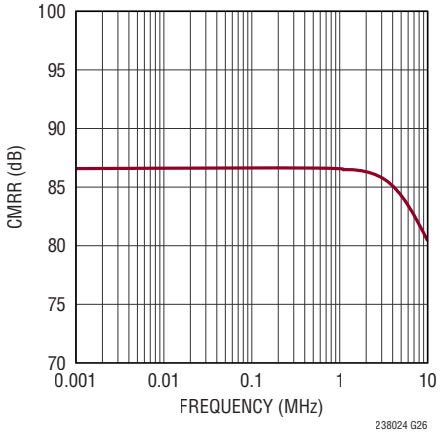
電源電流と温度



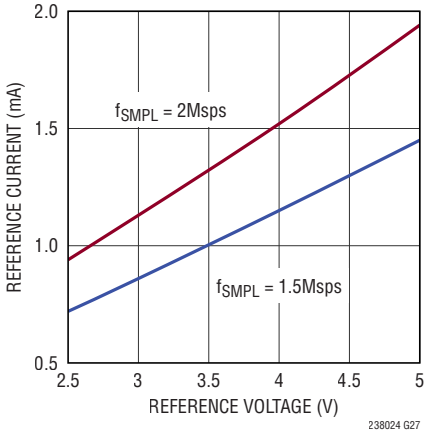
パワーダウン時電流と温度



CMRRと入力周波数



リファレンス電流とリファレンス電圧



ピン機能

CHAIN（ピン1）：チェーン・モード・セレクタ・ピン。“L”のとき、LTC2380-24は通常モードで動作し、RDL/SDI入力ピンはSDOをイネーブルまたはディスエーブルする役割を果たします。“H”のとき、LTC2380-24はチェーン・モードで動作し、RDL/SDIピンはSDI（デイジーチェーンのシリアル・データ入力）として機能します。ロジック・レベルはOV_{DD}によって決まります。

V_{DD}（ピン2）：2.5V電源。V_{DD}の範囲は2.375V～2.625Vです。V_{DD}ピンは10µFのセラミック・コンデンサを使ってGNDにバイパスします。

GND（ピン3、6、10、16）：グランド。

IN^+、IN^-（ピン4、5）：正および負の差動アナログ入力。

REF（ピン7）：リファレンス入力。REFの電圧範囲は2.5V～5.1Vです。このピンはGNDピンを基準にしており、47µFのセラミック・コンデンサ（X7R、1210サイズ、10V定格）を使ってこのピンの近くでデカップリングします。

REF/$\overline{DGC}$（ピン8）：このピンをREFに接続するとデジタル利得圧縮機能がディスエーブルされ、LTC2380-24は$\pm V_{REF}$のアナログ入力範囲に従ってフルスケールを定義します。このピンをGNDに接続するとデジタル利得圧縮機能がイネーブルされ、LTC2380-24は$\pm V_{REF}$のアナログ入力範囲の10%～90%で振幅する入力でフルスケールを定義します。

CNV（ピン9）：変換入力。この入力の立ち上がりエッジでデバイスが起動し、新しい変換が開始されます。ロジック・レベルはOV_{DD}によって決まります。

BUSY（ピン11）：BUSYのインジケータ。新しい変換の開始時に“H”になり、変換が終了すると“L”に戻ります。ロジック・レベルはOV_{DD}によって決まります。

RDL/SDI（ピン12）：バス・イネーブル入力/シリアル・データ入力ピン。このピンはデバイスが通常モード（CHAINピンが“L”）とチェーン・モード（CHAINピンが“H”）のどちらで動作しているかに応じて2つの機能を果たします。通常モードでは、RDL/SDIはシリアル・データI/Oバスのバス・イネーブル入力です。RDL/SDIが通常モードで“L”の場合、データはA/DコンバータのSDOピンから読み出されます。RDL/SDIが通常モードで“H”の場合、SDOは高インピーダンスになり、SCKはディスエーブルされます。チェーン・モードでは、RDL/SDIはシリアル・データ入力ピンとして機能します。この場合は、デイジー・チェーン内にある別のA/Dコンバータからのデータが入力になります。ロジック・レベルはOV_{DD}によって決まります。

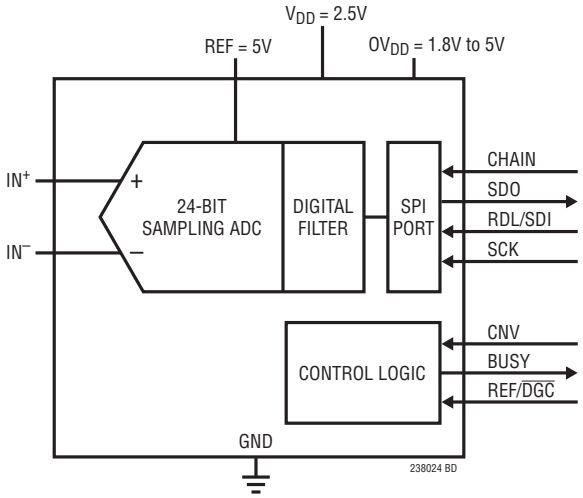
SCK（ピン13）：シリアル・データ・クロック入力。SDOがイネーブルされている場合、変換結果または別のA/Dコンバータからのデイジーチェーン・データは、このクロックの立ち上がりエッジでMSBを先頭にシフトして出力されます。ロジック・レベルはOV_{DD}によって決まります。

SDO（ピン14）：シリアル・データ出力。変換結果またはデイジーチェーン・データは、SCKの各立ち上がりエッジでMSBを先頭にしてこのピンから出力されます。出力データは2の補数形式です。ロジック・レベルはOV_{DD}によって決まります。

OV_{DD}（ピン15）：入力/出力インタフェースのデジタル電源。OV_{DD}の範囲は1.71V～5.25Vです。この電源は公称値がホストのインタフェースと同じ電源電圧に設定します（1.8V、2.5V、3.3V、または5V）。OV_{DD}ピンは、0.1µFのコンデンサを使ってGNDにバイパスします。

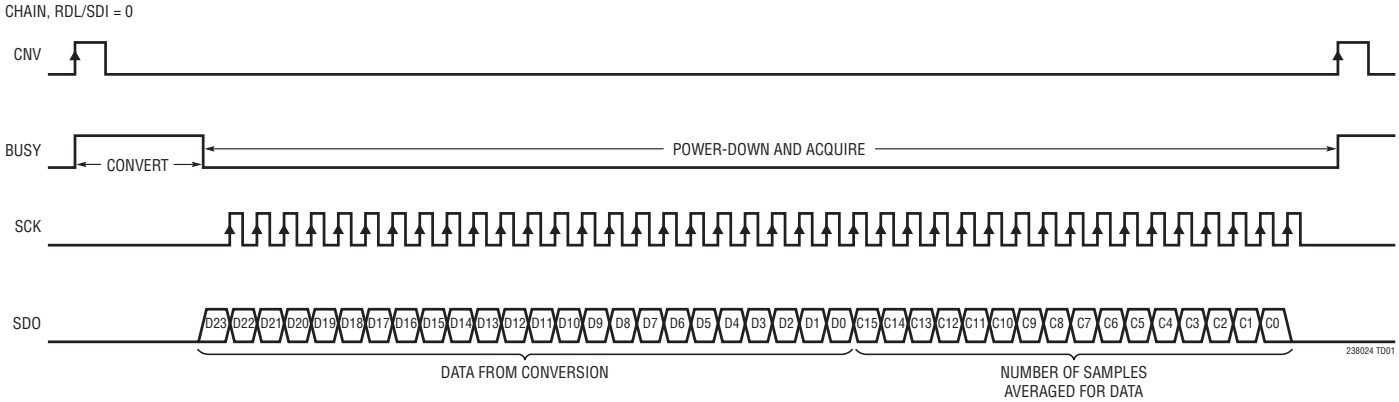
GND（露出パッド・ピン17、DFNパッケージのみ）：グランド。露出パッドはグランド・プレーンに直接半田付けする必要があります。

機能ブロック図



タイミング図

シリアル・インタフェースを使った変換のタイミング



アプリケーション情報

概要

LTC2380-24は、デジタル平均化フィルタを内蔵した低ノイズ、低消費電力の高速24ビット逐次比較レジスタ(SAR) A/Dコンバータです。LTC2380-24は2.5V電源で動作し、その完全差動入力電圧範囲は±V_{REF}で、V_{REF}の範囲は2.5V～5.1Vです。LTC2380-24は、消費電力がわずか28mWで、±3.5ppmのINL(最大)を実現し、24ビット分解能で欠落コードがありません。

LTC2380-24は、1～65536の変換結果をリアルタイムで平均化できる使いやすいデジタル平均化フィルタを内蔵しているので、ダイナミックレンジを101dB(1.5Msps)から145dB(30.5sps)へ劇的に改善します。独立したプログラミング・インタフェースや構成レジスタは必要ありません。

1.8V、2.5V、3.3V、および5Vのロジックをサポートする SPI互換の高速シリアル・インタフェースを内蔵しており、さらにデイジーチェーン・モードも備えています。LTC2380-24は、変換と変換の間は消費電力が自動的に低下するので、サンプリング・レートが小さいときは電力損失が減少します。

コンバータの動作

LTC2380-24は2段階で動作します。収集段階では、電荷再配分コンデンサD/Aコンバータ(CDAC)がIN^+ピンとIN^-ピンに接続され、差動アナログ入力電圧がサンプリングされます。CNVピンの立ち上がりエッジにより変換が開始されます。変換段階では、24ビットのCDACが逐次比較アルゴリズムを通じて逐次制御され、差動コンパレータを使用してサンプル入力とリファレンス電圧のバイナリ加重した分数(例:$V_{REF}/2$、$V_{REF}/4$ ... $V_{REF}/16777216$)を効率的に比較します。変換の最後には、CDACの出力はサンプリングされたアナログ入力に近づきます。その後、A/Dコンバータの制御ロジックが24ビットのデジタル出力コードをデジタル・フィルタに渡して、更なる処理に備えます。

伝達関数

LTC2380–24は2×REFのフルスケール電圧を2^{24}レベルにデジタル化するので、REF = 5Vでは1LSBの大きさが0.6μVになります。理想的な伝達関数を図2に示します。出力データは2の補数形式です。

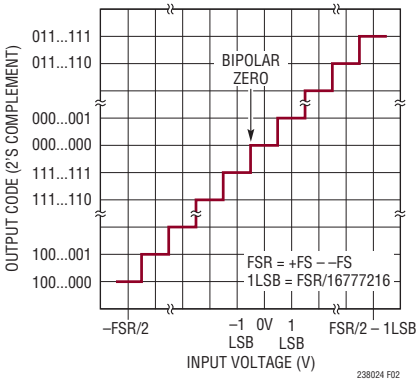


図2. LTC2380-24の伝達関数

アナログ入力

LTC2380-24のアナログ入力は、デジタル化可能な信号振幅をできるだけ大きくするために完全差動信号になっています。アナログ入力は図3に示す等価回路でモデル化できます。入力のダイオードはESD保護機能を果たします。収集段階の各入力には、直列に接続されたサンプリング・スイッチのオン抵抗40Ω(R_{ON})とサンプリングCDACの容量約45pF(C_{IN})があります。両方の入力に共通する不要な信号は、A/Dコンバータの同相除去特性によって減少します。収集の間にC_{IN}コンデンサを充電するとき、入力に電流スパイクが流れます。変換時にアナログ入力に流れるのはわずかな漏れ電流だけです。

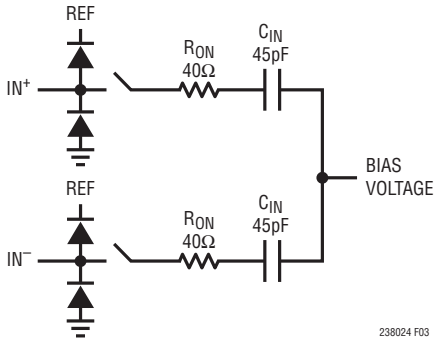


図3. LTC2380-24の差動アナログ入力の等価回路

アプリケーション情報

入力駆動回路

低インピーダンスの信号源は、利得誤差を発生することなく、LTC2380-24の高インピーダンス入力を直接駆動できます。高インピーダンスの信号源は、収集時のセトリング時間を最小限に抑えるためと、A/Dコンバータの直線性を最適化するために、バッファリングする必要があります。最良の性能を得るには、バッファ・アンプを使用してLTC2380-24のアナログ入力を駆動する必要があります。このアンプは出力インピーダンスが低いので、収集段階ではアナログ信号の高速セトリングを実現できます。このアンプは、信号源とADCの入力電流を分離する役割も果たします。

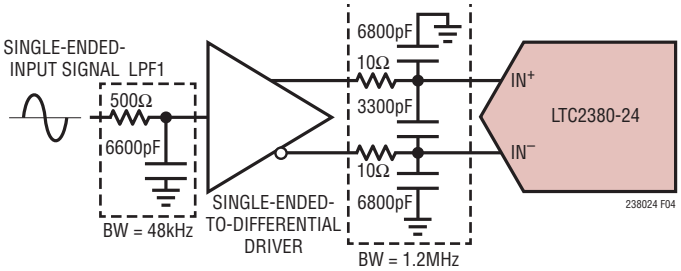


図4. 入力信号チェーン

ノイズと歪み

バッファ・アンプと信号源のノイズと歪みはA/Dコンバータのノイズと歪みに加わるので、これらについても考慮しなければなりません。入力信号にノイズが多い場合は、バッファ・アンプの入力の前に適切なフィルタを使ってノイズを最小限に抑えます。多くのアプリケーションでは、図4に示す簡単な1ポールのRCローパス・フィルタ(LPF1)で十分です。

バッファとADC入力の間に結合フィルタ・ネットワーク(LPF2)を使って、サンプリングのトランジェントによるバッファへの影響を最小限に抑えます。アナログ入力のRC時定数が大きいと、アナログ入力のセトリング時間は長くなります。したがって、通常、LPF2にはLPF1より広い帯域幅が必要です。このフィルタは、バッファに起因するノイズを最小限に抑えるのにも役立ちます。ノイズ密度の低いバッファ・アンプを選択して、SNRの低下を最小限に抑える必要があります。

RCフィルタのコンデンサと抵抗は歪みを大きくする可能性があるので、これらの部品は高品質のものを使用します。NP0タイプやシルバー・マイカ・タイプの誘電体コンデンサは優れた直線性を示します。表面実装型カーボン抵抗では、自己発熱および半田付け工程で生じる損傷により歪みが生じることがあります。表面実装型金属皮膜抵抗は、この2つの問題に対してはるかに耐性があります。

入力電流

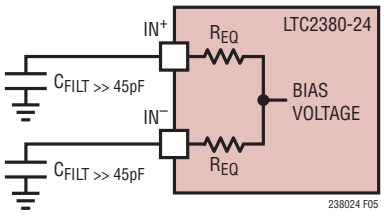
LTC2380-24にアンプを結合する上で最大の課題の1つは、各収集段階の開始時にA/Dコンバータの入力に流れる電流スパイクへの対処です。ADC入力は駆動回路のスイッチト・キャパシタ負荷としてモデル化できます。駆動回路の性能を決定する要素として、ADC入力に直付けした小さなフィルタ・コンデンサC_{FILT}を使ったスイッチト・キャパシタの電流スパイクの減衰や、残りの外乱から回復するのに十分な帯域幅を持つドライバ・アンプが挙げられます。DC性能に対して最適化されたアンプには、ADCの最大変換レートで十分に回復するだけの帯域幅がない場合があるので、非直線性などの誤差を生じる可能性があります。結合フィルタ回路は3つの大きなカテゴリーに分類できます。

完全なセトリング – この場合の特長は、フィルタの時定数と、サンプリング期間よりかなり短い全セトリング時間です。収集が開始されると、結合フィルタが外乱を受けます。標準的な1次RCフィルタでは、外乱は指数関数的に減衰する初期ステップのように見えます。アンプは外乱に対して独自に応答するため、リンギングを生じる可能性があります。入力が(LTC2380-24の精度の範囲内に)完全に落ち着くと、外乱は誤差に影響しなくなります。

部分的なセトリング – この場合は、収集の開始によって結合フィルタの外乱が生じ、次いで、公称入力電圧に向けてセトリングを開始します。ただし、入力が最終値にセトリングする前に収集が終了し、変換が開始されます。通常、これにより利得誤差が生じますが、セトリングがリニアな限り、歪みは生成されません。結合フィルタの応答は、アンプの出力インピーダンスやその他のパラメータの影響を受けます。高速なスイッチト・キャパシタの電流スパイクに対するリニアなセトリング応答は、必ずしも高精度狭帯域アンプを想定したものではありません。結合フィルタは、電流スパイクの高周波エネルギーがアンプに達する前に、そのエネルギーを減衰させるのに役立ちます。

完全な平均化 – ADC入力の結合フィルタ・コンデンサ(C_{FILT})がADCのサンプリング・コンデンサ(45pF)より容量が大幅に大きいと、サンプリング・グリッチが大きく減衰します。駆動アンプには実質的に非常に少ない平均サンプリング電流しか流れません。2Mspsでは、(図5に示すように)等価入力抵抗は約11kで、これはほとんどの高精度アンプにとって安全な抵抗性負荷です。ただし、結合フィルタのDC抵抗とADCの等価(スイッチト・キャパシタ)入力抵抗の間に抵抗性の分圧が生じることにより、利得誤差が発生する可能性があります。

アプリケーション情報



$$R_{EQ} = \frac{1}{f_{SMPL} \bullet 45pF}$$

図5. LTC2380-24の差動アナログ入力の2Mspsでの等価回路

入力漏れ電流はソース・インピーダンスによって余計な入力電圧誤差に変換されるので、入力駆動回路を設計するときは、LTC2380-24の入力漏れ電流も考慮する必要があります。一般に、同相と差動のどちらの入力漏れ電流も、全動作温度範囲にわたって極めて小さな値になります。図6に、標準的なデバイスの温度に対する入力漏れ電流を示します。

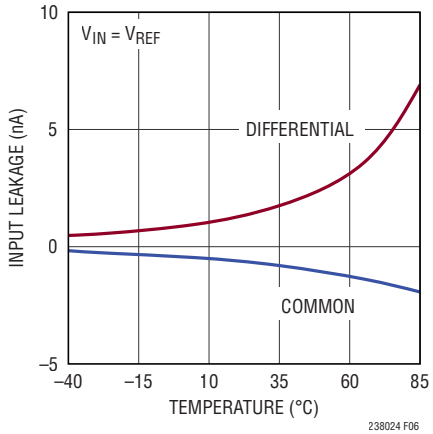


図6. 温度に対する同相入力および差動入力の漏れ電流

R_{S1}とR_{S2}を図7に示す差動入力駆動回路のソース・インピーダンスとし、I_{L1}とI_{L2}をADCのアナログ入力から流れ出す漏れ電流とします。漏れ電流による電圧誤差(V_E)は次式のように表すことができます。

$$V_E = \frac{R_{S1}+R_{S2}}{2} \bullet (I_{L1}-I_{L2}) + (R_{S1}-R_{S2}) \bullet \frac{I_{L1}+I_{L2}}{2}$$

一般に、同相入力の漏れ電流($(I_{L1}+I_{L2})/2$)は、全動作温度範囲と同相入力電圧範囲にわたって極めて小さな値になります(図6)。したがって、ソース・インピーダンスR_{S1}およびR_{S2}にある程度のばらつき(5%未満)があっても、ごくわずかな誤差にしかなりません。差動入力の漏れ電流($I_{L1} - I_{L2}$)は、図6に示すように温度と共に増加し、$V_{IN} = V_{REF}$のときに最大になります。差動入力の漏れ電流も一般に非常に小さく、その非線形成分はさらに小さくなります。ADCの直線性に影響を与えるのは非線形成分だけです。

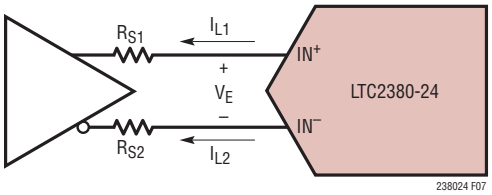


図7. ドライバの信号源インピーダンスおよびLTC2380-24の入力漏れ電流

最適な性能を得るには、ソース・インピーダンス(R_{S1}およびR_{S2})を許容誤差が1%で5Ω～50Ωの範囲にすることを推奨します。この範囲のソース・インピーダンスでは、R_{S1}とR_{S2}の電圧係数と温度係数は一般に重要ではありません。保証されたAC性能とDC性能は10Ωのソース・インピーダンスでテストされたものですが、これらの性能は、入力のセトリングが不完全であるためにソース・インピーダンスが増加することにより徐々に低下します。

完全差動入力

図8に示すように、2つの単位利得バッファとして構成されたLT6203を介して駆動される低歪みの完全差動信号源を使用して、データシートで規定された最高の歪み性能(–117dB)を実現することができます。

アプリケーション情報

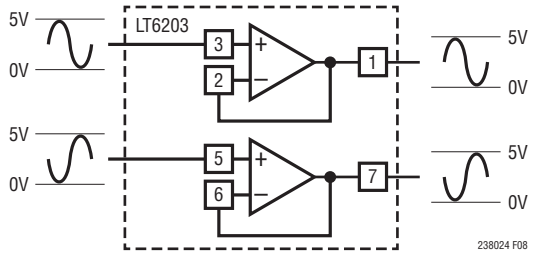


図8. 完全差動信号源をバッファリングするLT6203

シングルエンドから差動への変換

シングルエンド入力信号の場合は、シングルエンドから差動への変換回路を使用して、LTC2380-24の入力で差動信号を生成する必要があります。シングルエンドから差動への変換を行うには、LT6203 ADCドライバを推奨します。LT6203は柔軟性が高いので、さまざまな振幅のシングルエンド信号をLTC2380-24の±5Vの差動入力範囲に変換するように構成できます。

0V～5Vのシングルエンド入力信号を変換するのに使用されているLT6203を図9aに示します。この場合、最初のアンプは単位利得バッファとして構成されており、シングルエンド入力信号はアンプの高インピーダンス入力を直接駆動します。図9bのFFTで示すように、LT6203は、データシートでのほぼ最高の性能までLTC2380-24を駆動します。

デジタル利得圧縮

LTC2380-24は、フルスケール入力振幅を$\pm V_{REF}$のアナログ入力範囲の10%～90%に規定するデジタル利得圧縮(DGC)機能を備えています。デジタル利得圧縮機能をイネーブルするには、REF/$\overline{DGC}$ピンを“L”にします。この機能により、各入力振幅は図10に示すように0.5V～4.5Vとなるので、SAR ADCドライバを単一の正電源で動作させることができます。SAR ADCドライバには正電源が1つあれば済むので、システム全体で一層の節電になります。

DGC機能をイネーブルすると、5V単電源から電力を供給される低消費電力のLTC6362差動ドライバでLTC2380-24を駆動できます。デジタル利得圧縮機能がイネーブルされているとき、LTC6362が±3.28Vの真の両極性シングルエンド入力信号を受け付け、その信号をLTC2380-24の狭められた入力範囲にレベルシフトするよう構成する方法を図11aに示します。さらにリファレンスとしてLTC6655-4.096を使用すると、信号チェーン・ソリューション全体が5V単電源から給電可能となり、消費電力が最小限に抑えられて複雑さが緩和されます。

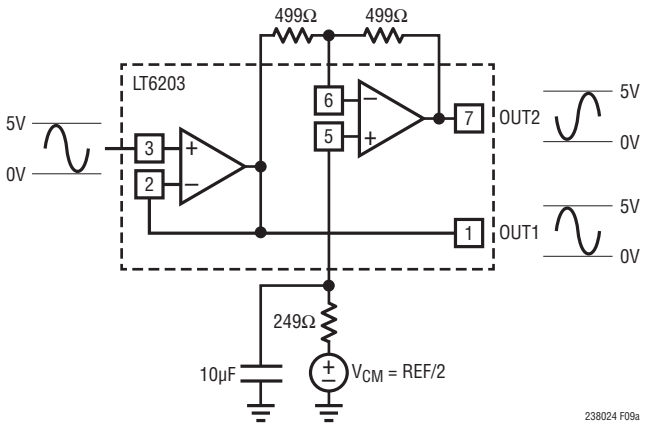


図9a. 0V～5Vのシングルエンド信号を±5Vの差動入力信号に変換するLT6203

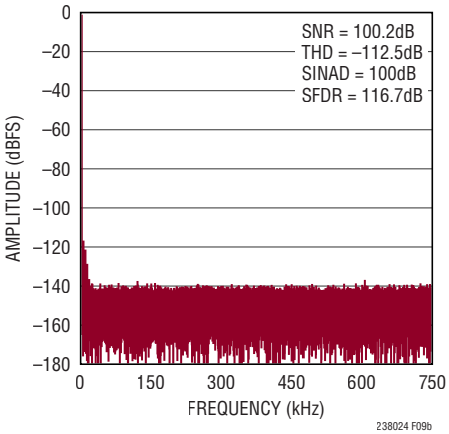


図9b. 図9aに示す回路の128kポイントのFFTプロット(f_{IN} = 2kHz)

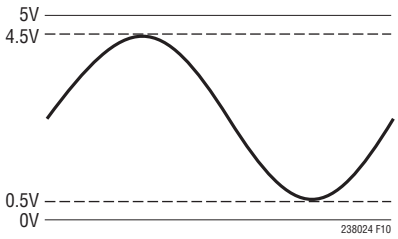


図10. 利得圧縮機能をイネーブルした状態でのLTC2380-24の入力振幅

図11bのFFTに示すように、5V単電源のソリューションは最大96dBのSNRを実現できます。

アプリケーション情報

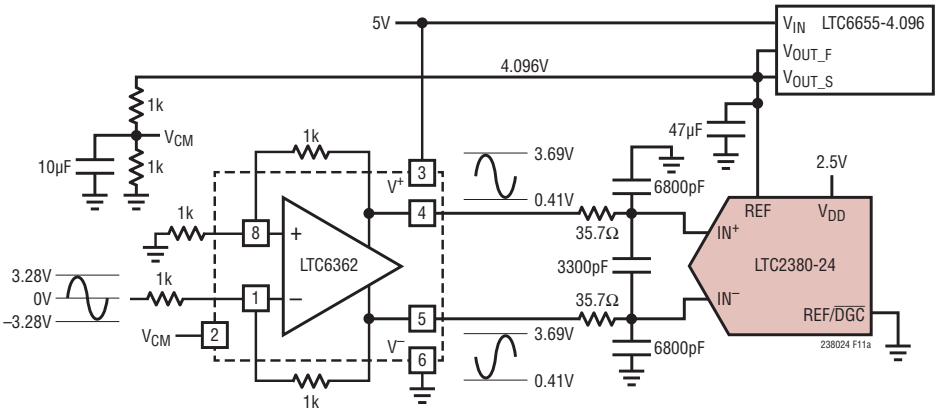


図11a. LTC2380-24でデジタル利得圧縮機能がイネーブルされているときに、5V単電源で動作しながら±3.28Vの入力信号を受け付けるように構成されたLTC6362

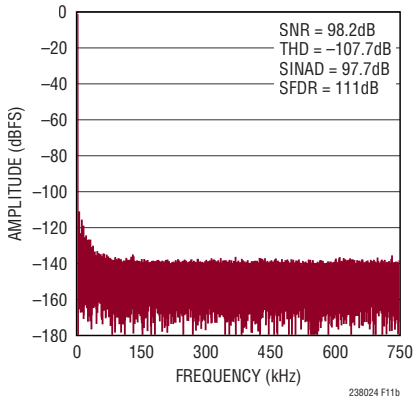


図11b. 図11aに示す回路の128kポイントのFFTプロット（f_{IN} = 2kHz）

DC精度

このデータシートに記載されている多くのドライバ回路はAC性能（歪みとSNR）を重視しており、それに応じてアンプが選択されています。この非常に低レベルの歪みはLTC2380-24の優れたINLによってもたらされる直接の結果であり、この特性はDCアプリケーションでも同様に活用できます。LTC6362とLT6203は優れたAC規格が特徴ですが、そのDC規格はLTC2380-24のDC規格と適合しません。例えば、これらのアンプのオフセットは、特定の条件では500µVを超えます。対照的に、LTC2380-24の保証最大オフセット誤差は130µV（標準的なドリフトは±0.007ppm/°C）であり、保証最大フルスケール誤差は100ppm（標準的なドリフトは±0.05ppm/°C）です。較正されたシステムで広い温度範囲にわたって精度を維持するには低ドリフトが重要です。

アンプは、分解能が24ビットの高精度信号チェーンを実現するように、非常に注意深く選択する必要があります。利得が–1になるように構成されたアンプに対して1ppmの直線性を保証するには、126dB以上の大信号開ループ利得を必要とする場合があります。ただし、アンプの利得特性が（ほとんど）リニアなことが分かっていれば、これより低い利得でも構いません。単位利得バッファとして構成されるアンプの場合、アンプのオフセットと信号レベルの関係を考慮する必要があります。例えば、1ppmの直線性を保証するには、5Vの振幅に対してオフセットの変動が5µV未満であると分かっていることを要求される場合があります。ただし、オフセットと信号レベルの関係が（ほとんど）リニアなことが分かっていれば、これより大きなオフセット変動が許容可能です。単位利得バッファ・アンプが最高の性能を得るには、一般に、電源レールに対してかなりのヘッドルームを必要とします。アンプ入力端子での振幅を最小限に抑えるよう構成された反転アンプの回路は、単位利得バッファ・アンプよりも良好に動作し、ヘッドルームを少なくすることができます。DC精度を保証するには、反転アンプの帰還ネットワークの直線性と熱特性を十分に考慮する必要があります。

A/Dコンバータのリファレンス

LTC2380-24はその入力範囲を定めるのに外部リファレンスを必要とします。このA/Dコンバータのデータシートで規定されている性能を完全に実現するには、低ノイズ、低温度ドリフトのリファレンスが不可欠です。リニアテクノロジーでは、様々なアプリケーションの要求を満たすように設計された高性能リファレンスを取り揃えております。LTC6655-5は、小型、低消費電力、高精度なので、LTC2380-24と組み合わせて使用するのに特に適しています。LTC6655-5は、高精度アプリケーション向けに0.025%（最大）の初期精度と2ppm/°C（最大）の温度係数を実現しています。

LTC6655-5のバイパス・コンデンサを選択する際には、コンデンサの電圧定格、温度定格、パッケージ・サイズを慎重に検討する必要があります。電圧定格と温度定格が大きい、物理的に大きなコンデンサは、実効容量が大きくなり、LTC6655-5のノイズの除去が良好になる傾向があるので、結果として高いSNRを実現します。そこで、LTC6655-5をREFピンの近くに配置した47µFのセラミック・コンデンサ（X7R、1210サイズ、10V定格）でバイパスすることを推奨します。

アプリケーション情報

LTC2380-24のREFピンには、各変換サイクルの間47μFのバイパス・コンデンサから電荷（Q_{CONV}）が流れます。リファレンスはこの電荷をDC電流（$I_{REF} = Q_{CONV}/t_{CYC}$）で補充します。REFピンのDC電流（$I_{REF}$）はサンプリング・レートと出力コードに依存します。LTC2380-24を使って信号を一定の割合で連続的にサンプリングする場合、LTC6655-5は全コード範囲にわたってリファレンス電圧の偏差を0.5ppm未満に保ちます。

アイドル時には、LTC2380-24のREFピンには微小な漏れ電流（1μA未満）が流れるだけです。図12に示すように、長時間のアイドル状態の後、集中的にサンプリングされるアプリケーションでは、I_{REF}は短時間で約0μAから最大2mA（2Msps）になります。このDC電流の段差によりリファレンスのトランジェント応答が誘発されます。リファレンスの出力電圧に偏差があると出力コードの精度に必ず影響を与えるので、このトランジェント応答は考慮しておく必要があります。リファレンスのトランジェント応答が重要なアプリケーションにも、高速でセトリングするLTC6655-5リファレンスを推奨します。

電力管理が肝要なアプリケーションでは、REFピンの電圧を2Vより低くすることができるように、外部リファレンスの電源を切断してもかまいません。こうしたアプリケーションでは、REFピンの電圧が回復して2Vより高くなった後、A/Dコンバータの内部デジタルI/Oレジスタをクリアしてから次の変換を開始することを推奨します。こうするには、SCKピンの立ち上がりエッジが20回以上出力してからCNVの最初の立ち上がりエッジが来るようにします。

リファレンスのノイズ

A/Dコンバータのダイナミックレンジは、変換結果の平均化回数（N）が2倍に増えるたびに約3dB広がります。また、SNRもNの関数として同じ方法で向上します。ただし、フルスケールに近い大入力信号の場合は、リファレンスにノイズがあるとNが増えてもSNRの向上は制限されます。REFピンにノイズがあると基本周波数前後の入力信号が変調されるからです。したがって、特に入力信号の振幅がフルスケールに近づいている場合は、低ノイズのリファレンスを使用することが肝要です。小入力信号の場合は、このセクションで前述したように、ダイナミックレンジが向上します。

ダイナミック性能

A/Dコンバータの周波数応答、歪み、およびノイズを定格のスループットでテストするには、高速フーリエ変換（FFT）の手法を使用します。低歪みの正弦波を入力し、そのデジタル出力をFFTアルゴリズムを使用して解析することにより、基本波の外側の周波数に関してA/Dコンバータのスペクトルの内容を調べることができます。LTC2380-24では、AC歪みとノイズの両方の測定値について、保証されたテスト済みの限界値を示しています。

ダイナミックレンジ

ダイナミックレンジは、フルスケール入力のRMS値と、入力を$V_{REF}/2$に短絡して測定した全RMSノイズとの比です。平均化しない場合（N = 1）のLTC2380-24のダイナミックレンジは101dBであり、これは測定当たりの変換結果の平均化回数（N）が2倍に増えるたびに3dBずつ向上します。

信号対ノイズ＋歪み比（SINAD）

信号対ノイズ＋歪み比（SINAD）は、基本入力周波数のRMS振幅とA/Dコンバータ出力での他の全ての周波数成分のRMS振幅の比です。出力の帯域は、DCより高くサンプリング周波数の半分より低い周波数に制限されます。図13は、LTC2380-24が2kHzの入力、1.5MHzのサンプリング・レートで100dBの標準SINADを達成していることを示しています。

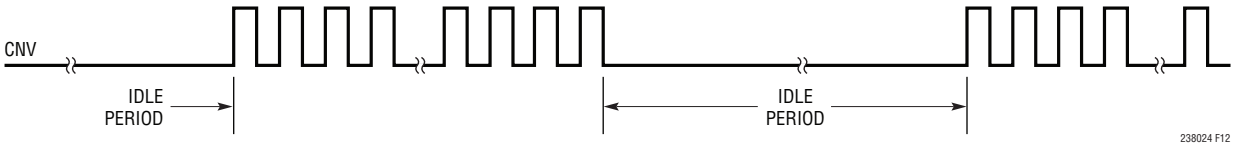


図12. 集中的なサンプリングを示すCNVの波形

アプリケーション情報

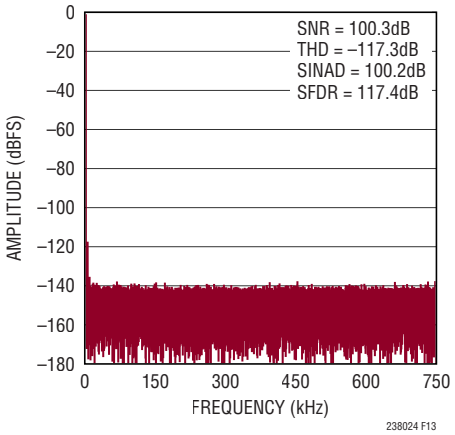


図13. LTC2380-24の128kポイントのFFTプロット、f_{IN} = 2kHzおよびf_{SMPL} = 1.5MHz

信号対ノイズ比(SNR)

信号対ノイズ比(SNR)は、基本入力周波数のRMS振幅と、1次から5次までの高調波とDCを除く他の全ての周波数成分のRMS振幅の比です。図13は、LTC2380-24が2kHzの入力、1.5MHzのサンプリング・レートで100dBの標準SNRを達成していることを示しています。

全高調波歪み(THD)

全高調波歪み(THD)は、入力信号の全ての高調波のRMS値の合計と基本波のRMS値との比です。帯域外高調波は、DCからサンプリング周波数の半分($f_{SMPL}/2$)までの周波数帯域で折り返し歪みを生じます。THDは次のように表されます。

$$THD = 20\log\frac{\sqrt{V2^2 + V3^2 + V4^2 + \ldots + V_N^2}}{V1}$$

ここで、V1は基本周波数のRMS振幅で、V2～V_Nは2次～N次の高調波の振幅です。

電力に関する検討事項

LTC2380-24には、2.5V電源(V_{DD})およびデジタル入力/出力インタフェース電源(OV_{DD})という2つの電源ピンがあります。柔軟性の高いOV_{DD}電源により、LTC2380-24は、2.5Vシステムや3.3Vシステムなど、1.8V～5Vで動作する任意のデジタル・ロジックと通信できます。

電源シーケンシング

LTC2380-24には電源シーケンシングに関する具体的な要件はありません。「絶対最大定格」のセクションに記載されている最大電圧の関係を遵守するよう注意する必要があります。LTC2380-24は、最初の起動時、または電源電圧が1Vより低くなったとき必ずLTC2380-24をリセットするパワーオン・リセット(POR)回路を備えています。電源電圧が公称電源電圧範囲に戻ると、PORはA/Dコンバータを再度初期化します。再初期化の期間が確実に終了するように、PORイベントの200µs後までは変換を開始しないようにします。この時点より前に変換を開始すると、結果は無効になります。更に、PORの動作後は、A/Dコンバータの内部デジタルI/Oレジスタをクリアしてから次の変換を開始することを推奨します。こうするには、SCKピンの立ち上がりエッジが20回以上出力してからCNVの最初の立ち上がりエッジが来るようにします。

タイミングと制御

CNVのタイミング

LTC2380-24の変換はCNVによって制御されます。CNVの立ち上がりエッジで変換が開始され、LTC2380-24が起動します。いったん変換が開始されると、その変換が完了するまでは再開できません。最適な性能を得るには、CNVをノイズのない低ジッタの信号で駆動します。A/Dコンバータの状態はBUSY出力で示され、変換の進行中はBUSY出力が“H”に保たれます。デジタル化された結果に誤差が生じないようにするには、CNVでの追加の遷移を、変換開始後40ns以内か、変換完了後に行うようにします。変換が完了すると、LTC2380-24は消費電力が低下して入力信号の収集を開始します。

アプリケーション情報

内部変換クロック

LTC2380-24には、372nsの最大変換時間を達成するように調整されている内部クロックがあります。最小収集時間は115nsなので、外部調整なしで2Mspsの最大サンプル・レートが保証されています。シリアルI/Oのデータ転送時間により、出力データ・レート(f_{ODR})は1.5Mspsに制限されることに注意してください(「従来のSAR動作」のセクションを参照)。2Mspsのサンプル・レートを実現できるのは、4つ以上の変換結果を平均化すると同時に、分散読み出しを使用した場合です(「分散読み出し」のセクションを参照)。

自動パワーダウン

LTC2380-24の消費電力は変換完了後自動的に低下し、CNVの立ち上がりエッジで新しい変換が開始されると上昇します。消費電力の低下中に、最後の変換で得られたデータをクロックに同期して出力できます。消費電力の低下中に電力損失を最小に抑えるには、SDOをディスエーブルし、SCKをオフします。消費電力の自動パワーダウン機能により、LTC2380-24の電力損失は、サンプリング・レートが低下するにつれて減少します。電力が消費されるのは変換中だけなので、LTC2380-24は、サンプリング・レートが低いほど、変換サイクル(t_{CYC})中に低消費電力状態に留まる時間が長くなり、そのため平均電力損失は図14に示すようにサンプリング・レートに比例して減少します。

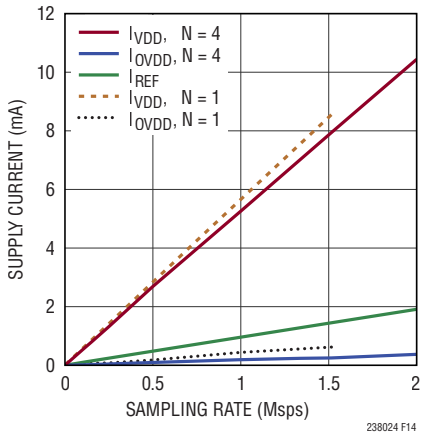


図14. LTC2380-24の電源電流とサンプリング・レート

デジタル・インタフェース

LTC2380-24は、最大1.5Mspsの出力データ・レートをサポートするシンプルで使いやすいシリアル・デジタル・インタフェースを内蔵しています。このインタフェースはデジタル平均化フィルタを制御しますが、このフィルタを使用すると測定のダイナミックレンジを広げることができます。柔軟性の高いOV_{DD}電源により、LTC2380-24は、2.5Vシステムや3.3Vシステムなど、1.8V～5Vで動作するあらゆるデジタル・ロジックと通信できます。LTC2380-24のデジタル・インタフェースは、LTC2378-20ファミリとの下位互換性があります。

デジタル平均化フィルタ(SINC[1]デシメーション・フィルタ)

多くのSAR A/Dコンバータ・アプリケーションでは、デジタル平均化技術を利用して、ノイズによる測定の不確実性を軽減します。FPGAやDSPでは、通常、複数のA/D変換結果の平均を計算する必要があります。LTC2380-24は、ハードウェアを追加せずにこの機能を実現できるデジタル平均化フィルタを内蔵しているので、アプリケーションのソリューション回路を簡素化して、独自の利点を数多くもたらします。デジタル平均化フィルタを使用して、最小でN = 1、最大でN = 65536の変換結果ブロックを平均化できます。

このセクションで説明したデジタル平均化フィルタは、SINC[1]デジタル・デシメーション・フィルタとも呼ばれています。SINC[1]デジタル・デシメーション・フィルタは、タップ数Nが等しいFIRフィルタです。

ブロック図

デジタル平均化フィルタのブロック図を図15に示します。変換結果レジスタ、デジタル信号処理(DSP)ブロック、I/Oレジスタを内蔵しています。

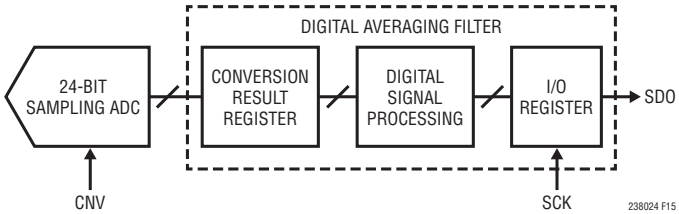


図15. デジタル平均化フィルタ付きのブロック図

アプリケーション情報

変換結果レジスタは、CNVの立ち上がりエッジで取り込んだ最新のサンプルに基づく24ビットの変換結果を保持します。DSPブロックは平均化動作を実行し、ユーザーがシリアル・インタフェースを介して読み取るためのI/Oレジスタに変換結果の平均値を読み込みます。

従来のSAR動作

LTC2380-24は、図16に示すように、従来の待ち時間のないSARのように動作することができます。各変換結果はシリアル・インタフェースを介して読み出され、その後、次の変換が始まります。I/Oレジスタの内容が変換結果レジスタの内容をどのように追従するかについてと、両レジスタには1回の変換に対応する結果が入っていることに注意してください。LTC2380-24がこのように動作しているときは、デジタル平均化フィルタはユーザーに認識されません。プログラミングは必要ありません。各サイクルでの各変換結果をそのまま読み出します。Riは変換番号iに対応する24ビットの変換結果を表します。各変換サイクルでのSCKの回数を(図16に示す24回ではなく)20回まで減らすことで20ビット精度の結果が得られるので、LTC2380-24にLTC2378-20との下位互換性をもたせることができます。LTC2380-24を従来のSARのように動作させる場合には、1.5Mspsの最大サンプリング・レートを使用できます。

デジタル平均化フィルタの使用による測定ノイズの低減

デジタル平均化技法は、ノイズによる測定の不確実性を軽減する目的でよく採用されます。LTC2380-24はデジタル平均化フィルタを内蔵しているので、ハードウェアやソフトウェアを追加することなく、平均化動作を容易に実行できます。

4回の変換結果の平均化

開始した変換の4回に1回、出力結果を読み出した場合を図17に示します。図に示すように、I/Oレジスタから読み出した出力結果は、直前の4回の変換結果の平均値です。デジタル平均化フィルタは、出力結果が読み出されるまで変換結果を自動的に平均化します。出力結果が読み出されると、デジタル平均化フィルタはリセットされ、新しい平均化動作が次の変換結果から始まります。

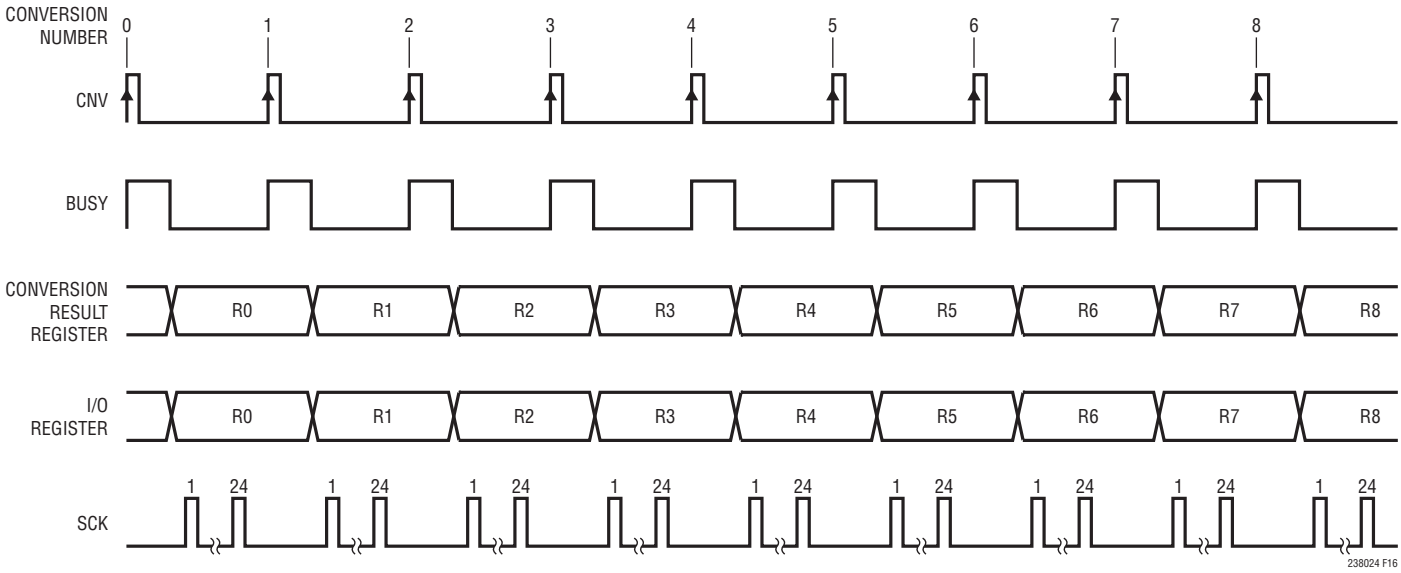


図16. 従来のSAR動作のタイミング

アプリケーション情報

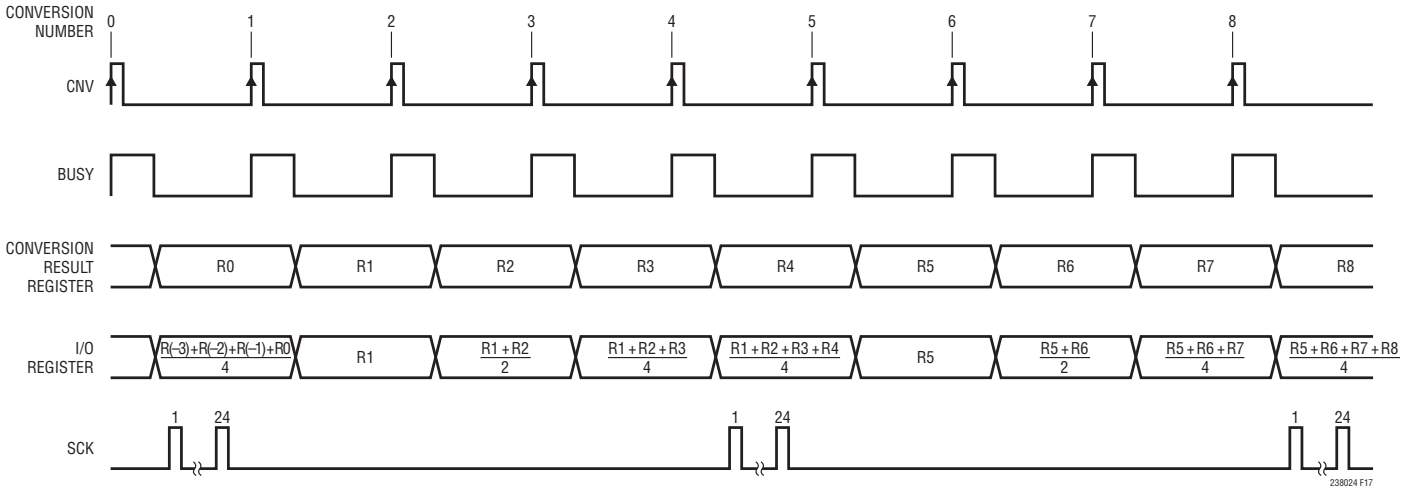


図17. 4回の変換結果の平均化

この例では、出力結果は変換番号0、4、および8の後に読み出されます。デジタル平均化フィルタは変換番号0の後にリセットされ、新しい平均化動作は変換番号1から始まります。出力結果(R1＋R2＋R3＋R4)/4は変換番号4の後に読み出され、このときデジタル平均化フィルタは再度リセットされます。デジタル平均化フィルタは、新しい変換が実行されるたびに変換結果を自動的に平均化するので、変換結果を任意の回数(上限：65536回)、プログラミングの必要なく平均化できます。

3回の変換結果の平均化

Nの値が2の累乗以外のときにN回の変換結果を平均化する場合、出力結果はN/M倍されます。ここで、Mは重み係数で、Nより大きい最小の2の累乗です(「重み係数」のセクションで後述します)。わずか3回の変換結果が平均化された場合の例を図18に示します。読み出された出力結果はN/M = ¾倍されます。

データ・レートを低減したデジタル平均化フィルタの使用

図16、17、および18で取り上げた例は、LTC2380-24の使用法のうち最も一般的なものをいくつか示しています。個々の変換結果をそのまま読み出すか、N回の変換結果の平均値を読み出します。いずれの場合にも、結果は連続した2回のA/D変換(BUSY)期間の間に読み出されるので、100MHzのクロックではサンプリング・レートは1.5Mspsに制限されます(「タイミング図」を参照)。

分散読み出し

1.5Mspsより高いサンプリング・レートは、分散読み出しを使用すると実現できます。分散読み出しでは、複数の変換結果を平均化することが必要です。LTC2380-24を最大サンプリング・レートの2Mspsで動作させるには、4回以上の変換結果を平均化する必要があります。

BUSYの立ち下がりエッジ2回の間に1回の変換サイクルで1個以上20個未満のSCKパルス(0 < SCK < 20)を入力した場合(図19参照)、I/Oレジスタはデジタル平均化フィルタの出力によって更新されず、内容を保持します。これにより、出力結果を複数の変換サイクルにわたってI/Oレジスタから読み出すことができるので、シリアル・インタフェースの速度要件が緩和されます。

読み出しは最初のSCKパルスの立ち上がりエッジで開始されます。また、次の読み出しを開始するには、直前の読み出しを終了させる必要があります。デジタル平均化フィルタは、新しい平均化動作を開始する読み出しの開始時にリセットされます。デジタル平均化フィルタがリセットされた後に完了した変換は、新しい読み出しが開始されるまで自動的に平均化されます。したがって、デジタル平均化フィルタは、ある読み出しが開始された時刻から次の読み出しが開始される時刻までの間に完了した変換に基づいて変換結果の平均を計算します。

アプリケーション情報

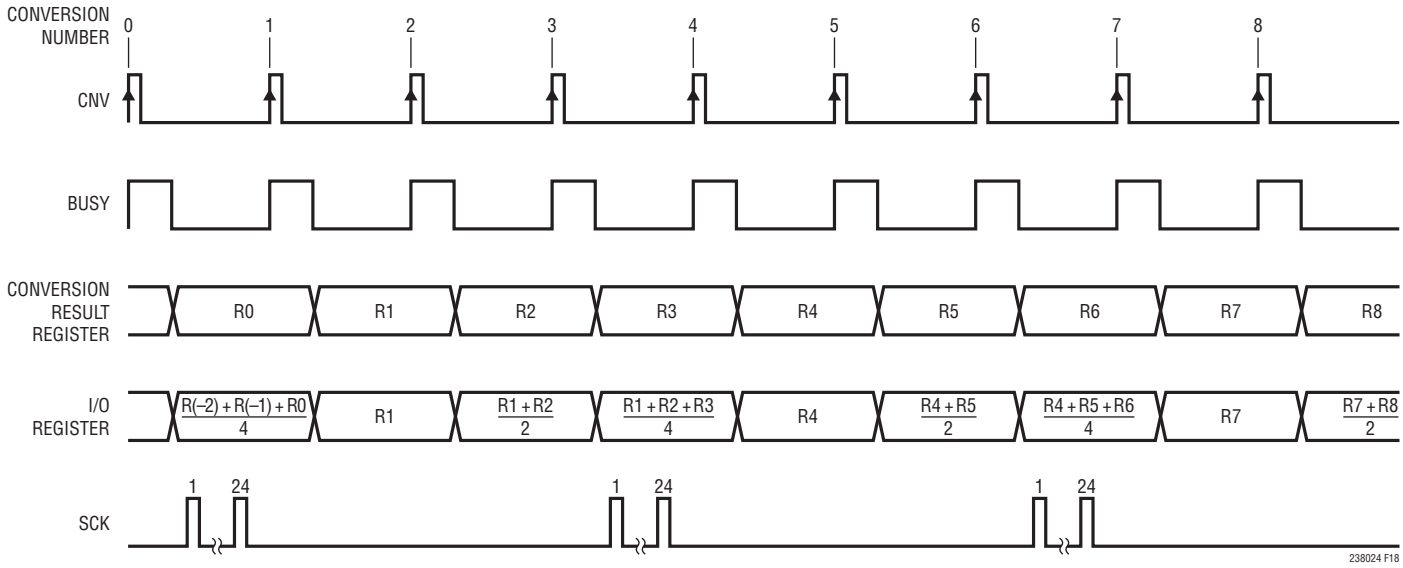


図18. 3回の変換結果の平均化

BUSYの立ち下がりエッジ2回の間の1回の変換サイクルの間に入力するSCKパルス(立ち上がりエッジ)の数を0個にするか19個より多くすれば読み出しは終了するので、デジタル平均化フィルタの出力に基づく新しい平均値によってI/Oレジスタを更新できます。

分散読み出しを使用した4回の変換の平均化

4回の変換サイクルごとに読み出しを開始し、3回の変換サイクルにわたってI/Oレジスタを読み出す例を図19に示します。こうすると、シリアル・インタフェースを本来の実行速度の1/3の速度で動作させることができます。SCKの最初の立ち上がりエッジで1回目の読み出しを開始し、3回の変換サイクルにわたって8ビットの3グループが読み出されます。変換番号4と5のBUSYの立ち下がりエッジの間にはSCKパルスが入力されないので、変換番号5の完了時に読み出しは終了します。2回目の読み出しが始まるのは変換番号5の後です。したがって、変換番号2、3、4、および5は、図に示す2回の読み出し開始点の間に完了するので、(R2＋R3＋R4＋R5)/4がI/Oレジスタから読み出されることになります。

分散読み出しを使用した25回の変換の平均化

25回の変換サイクルごとに読み出しを開始し、1回の変換サイクルにつき1つのSCKパルスを使用してI/Oレジスタから出力結果を読み出す例を図20に示します。SCKの最初の立ち上がりエッジで読み出しが始まります。この読み出しでは、次の23回の変換サイクルにわたって1つのビットが読み出されます。変換番号25と26のBUSYの立ち下がりエッジの間にはSCKパルスが入力されないので、変換番号26の完了時に読み出しは終了します。2回目の読み出しが始まるのは変換番号26の後なので、(R2＋R3＋...＋R25＋R26)/32がI/Oレジスタから読み出されることになります。読み出しの間の各変換期間に与えられるSCKパルスの数は0より大きく20より小さいので、I/Oレジスタの内容は更新されず、分散読み出しを中断なしで実行できます。

アプリケーション情報

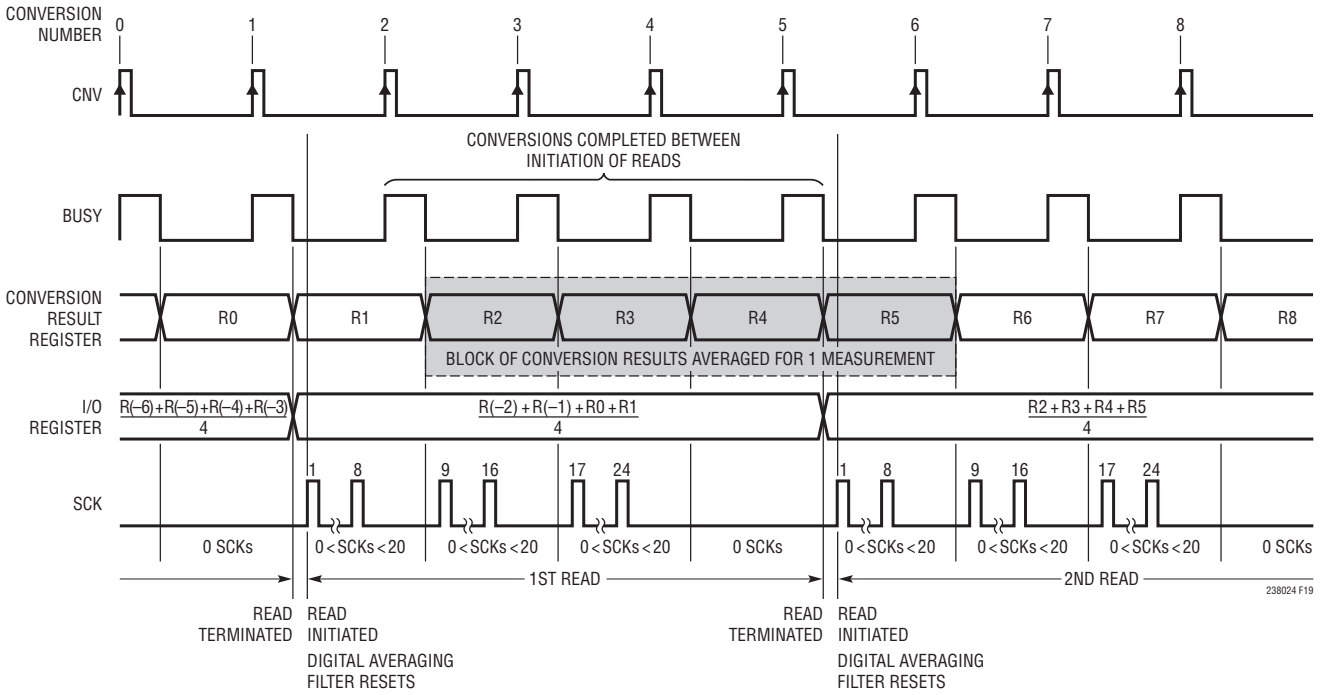


図19. 分散読み出しを使用した4回の変換結果の平均化およびデータの読み出し

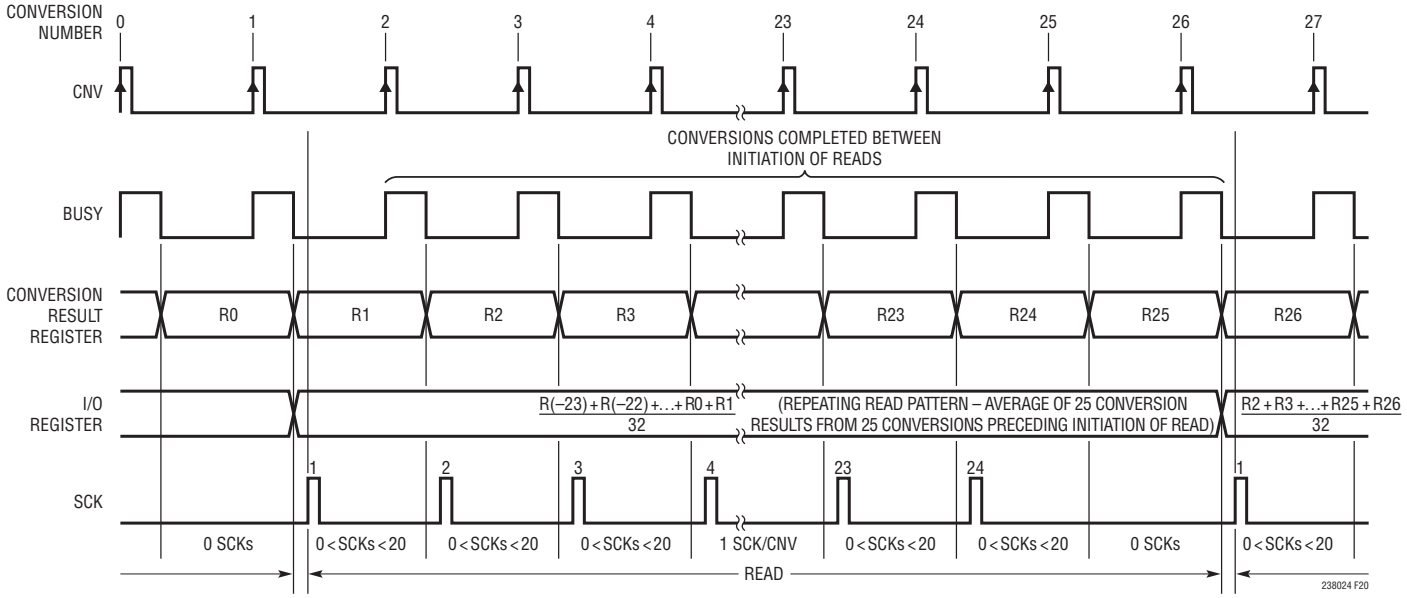


図20. 分散読み出しを使用した25回の変換結果の平均化およびデータの読み出し

アプリケーション情報

最小のシフト・クロック周波数

読み出しの実行中に1回の変換サイクルにつき1つ以上のSCKパルスが必要な場合は、使用できるSCK周波数に下限（$f_{SCK} = f_{SMPL}$）が設定されます。

ノイズと平均化

A/Dコンバータのノイズにはサンプル間の相関はありません。その結果、測定のA/Dコンバータ・ノイズは$\sqrt{N}$の割合で減少します。ここで、Nは所定の測定で平均化されたA/D変換結果の回数です。他のノイズ発生源（入力バッファからのノイズやリファレンス・ノイズなど）はサンプル間に相関がある場合があり、平均化によって低減できる可能性がありますが、低減の程度は大きくはありません。

重み係数

変換結果が平均化されると、結果として得られる出力コードは、Nが2の累乗である場合、直前のN個のサンプルの均等加重平均を表します。Nが2の累乗ではない場合、表1に従って重み係数Mが選択されます。特に、Riがi番目のアナログ・サンプルの24ビットの変換結果を表す場合、N回の平均化変換結果を表す出力コードDは次のように定義されます。

$$D = \sum_{i=1}^{N} \frac{R_i}{M}$$

1～65536の範囲での任意の平均化回数（N）における重み係数と、結果として得られるデータ・スループットを表1に示します。MはN = 65536のとき、最大値65536に達することに注意してください。N > 65536の場合、デジタル平均化フィルタはN/M > 1となるように変換結果を蓄積し続けます。そのような場合には、0以外の平均値を持つ変換結果をA/Dコンバータ・コアが生成すると、出力結果は最終的には正または負のフルスケールで飽和します。

表1. さまざまなNの値の重み係数とスループット

N	M	出力データ・レート
		f_{SMPL} = 1.5Msps
1	1	1.5Msps
2	2	750ksps
3	4	500ksps
		f_{SMPL} = 2Msps
4	4	500ksps
5～8	8	400ksps～250ksps
9～16	16	222.2ksps～125ksps
17～32	32	117.6ksps～62.5ksps
33～64	64	60.6ksps～31.3ksps
65～128	128	30.8ksps～15.6ksps
129～256	256	15.5ksps～7.8ksps
257～512	512	7.8ksps～3.9ksps
513～1024	1024	3.9ksps～2ksps
1025～2048	2048	2ksps～1ksps
2049～4096	4096	976sps～488sps
4097～8192	8192	488sps～244sps
8193～16384	16384	244sps～122sps
16385～32768	32768	122sps～61sps
32769～65536	65536	61sps～30.5sps

N/M < 1の場合、フルスケールの出力結果を実現するには、保証されている規定の入力差動電圧範囲を超えてアナログ入力を駆動することが必要です。それは避けるよう強くお願いします。保証されている規格値を超えてLTC2380-24を動作させると、望ましくない動作を示し、結果を破損する恐れがあるからです。正常な動作を確保するには、アナログ入力差動電圧が$\pm V_{REF}$の規格値を超えないことを推奨します。N/M < 1の場合には、出力結果がN/Mで飽和することはありません。

50Hzおよび60Hzの除去

特定の入力周波数を除去するには、サンプリング・レートf_{SMPL}と除去対象の周波数f_{REJECT}に基づいて、適切な平均化の回数Nを選択します。次式が成立する場合、

$$T_{AVG} = \frac{1}{f_{SMPL}} \bullet N = \frac{1}{f_{REJECT}}$$

アプリケーション情報

Dはf_{REJECT}の完全な正弦波サイクルの平均値なので、該当する特定の周波数とその整数倍の周波数(最大$f_{SMPL} - f_{REJECT}$)での利得は0になります(図21参照)。前の式をNについて解くと、次のようになります。

$$N = \frac{f_{SMPL}}{f_{REJECT}}$$

この式を使用すると、50Hzおよび60Hz更にはその他の周波数を除去する場合のNを見つけることができます。以下に示すように、特定の周波数を除去する場合には、Nとf_{SMPL}が相反関係になることがあります。

f_{SMPL} = 2Mspsを使用して50Hzを除去する場合は、次のようになります。

$$N = \frac{2{,}000{,}000\text{sps}}{50\text{Hz}} = 40{,}000$$

N = 1024を使用して50Hzと60Hz(それぞれが10Hzの倍数)を両方とも除去する場合は、次のようになります。

$$f_{SMPL} = 1024 \bullet 10\text{Hz} = 10.24\text{ksps}$$

SINC[1]フィルタの例を図21に示します。この例ではf_{SMPL} = 2MspsおよびN = 8であり、f_{REJECT} = 250kHzとなります。また、f_{REJECT}またはその数倍以外のDCより高い入力周波数は、平均化動作によってさまざまなレベルに減衰することに注意してください。

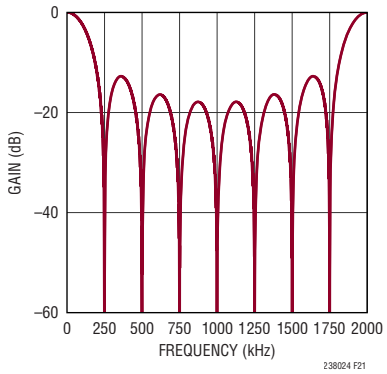


図21. SINC[1]フィルタ(f_{SMPL} = 2MspsおよびN = 8)

カウント

図22に示すように、24ビットの出力コードの他に16ビットのワードC[15:0]を付加して、40ビットの全出力ワードを生成します。C[15:0]は、出力結果–1を生成するために平均化するサンプルの数のストレート・バイナリ表現(MSBが先頭)です。例えば、N個のサンプルを平均化して出力結果を生成する場合、C[15:0]はN – 1に等しくなります。したがって、Nが1の場合、つまり平均化しない場合、C[15:0]は常に0になります。Nが16384の場合、C[15:0]は16383に等しくなり、以下同様となります。65536個を超えるサンプルを平均化する場合、C[15:0]は65535で飽和します。

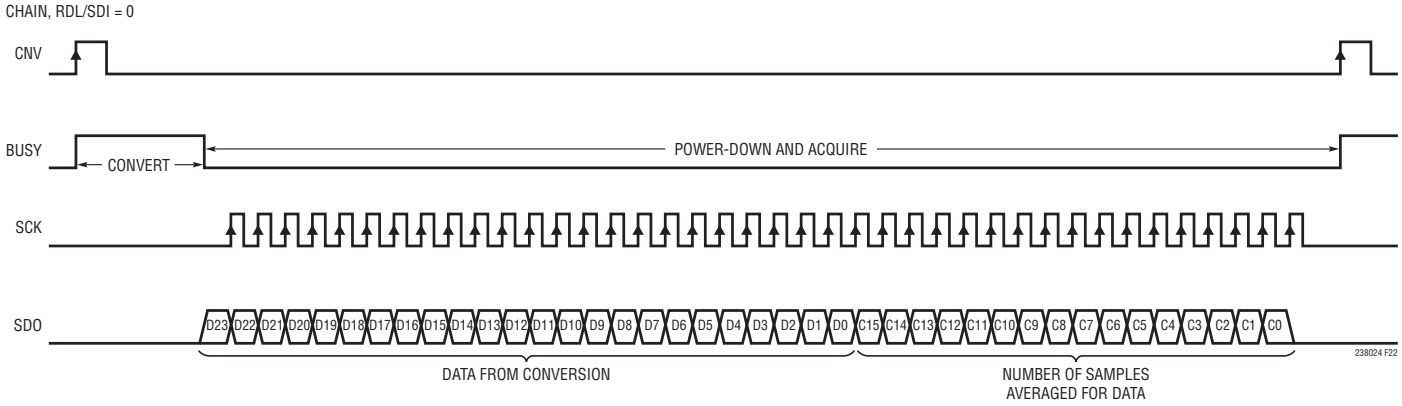
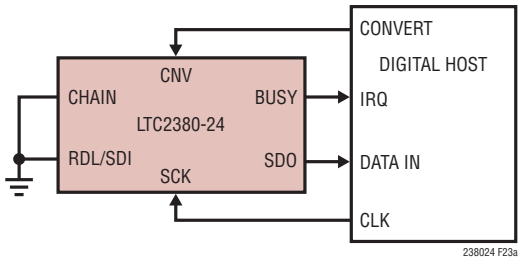


図22. シリアル出力のコード解析

タイミング図

通常モード、単一デバイス

CHAIN = 0のとき、LTC2380-24は通常モードで動作します。通常モードでは、RDL/SDIはシリアル・データ出力ピンSDOをイネーブルまたはディスエーブルします。RDL/SDIが“H”の場合、SDOは高インピーダンス状態になり、SCKは無視されます。RDL/SDIが“L”の場合、SDOは駆動されます。CHAINとRDL/SDIがグランドに接続されている状態で通常モードで動作している単一のLTC2380-24を図23に示します。RDL/SDIをグランドに接続すると、SDOはイネーブルされ、出力結果のMSB(D23)はBUSYの立ち下がりエッジから$t_{DSDOBUSYL}$経過後に現れます。カウント情報は出力結果の後にシフトして出力されます。



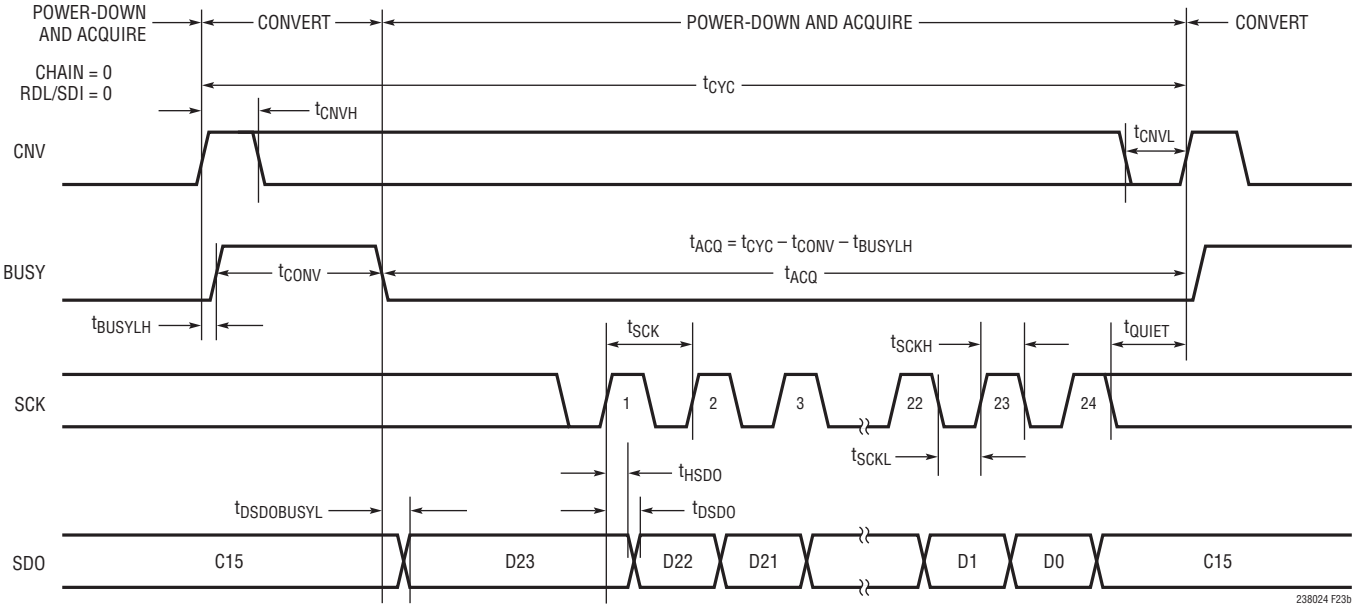


図23. 1個のLTC2380-24を通常モードで使用

タイミング図

通常モード、複数デバイス

CNV、SCKおよびSDOを共有して、通常モード(CHAIN = 0)で動作している複数のLTC2380-24デバイスを図24に示します。CNV、SCKおよびSDOを共有することにより、複数のA/Dコンバータを並列で動作させるのに必要な信号数が減少します。

SDOを共有しているので、バスの競合を防ぐため、各A/DコンバータのRDL/SDI入力を使って、一度に1個のLTC2380-24だけがSDOを駆動できるようにする必要があります。図24に示すように、RDL/SDI入力はアイドル状態では“H”であり、個別に“L”にして変換と変換の間に各デバイスからデータを読み出します。RDL/SDIを“L”にすると、選択されたデバイスのMSBがSDOに出力されます。カウント情報は出力結果の後にシフトして出力されます。

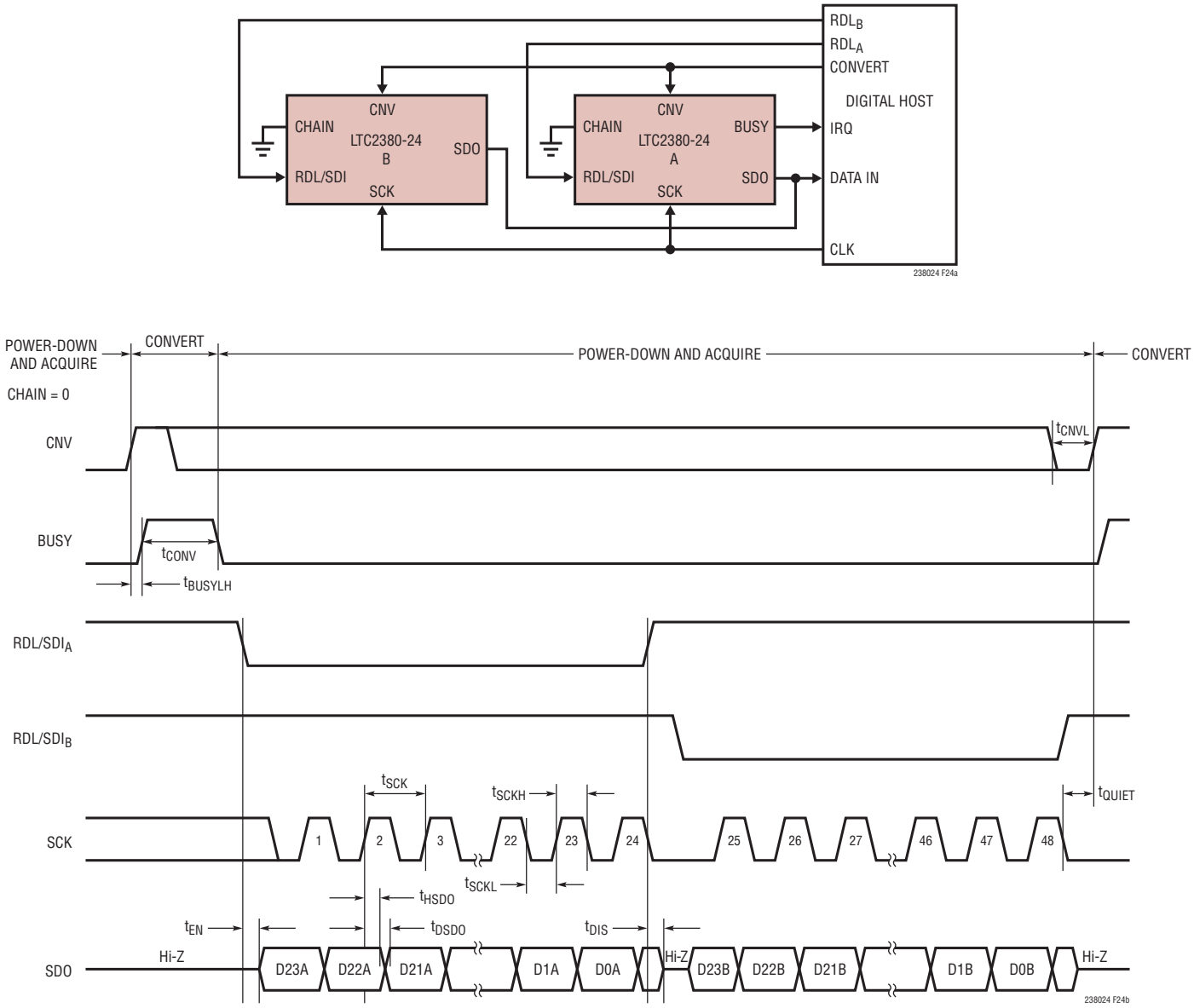


図24. 複数のデバイスがCNV、SCK、およびSDOを共有する通常モード

タイミング図

チェーン・モード、複数デバイス

CHAIN = OV_{DD} のとき、LTC2380-24 はチェーン・モードで動作します。チェーン・モードでは、SDO は常にイネーブルされており、RDL/SDI はシリアル・データ・ピン(SDI)として機能し、別の A/D コンバータからのデイジーチェーン・データ出力を入力することができます。

これは、多数のコンバータとのインタフェースをとるのに必要な配線数がハードウェアの制約によって制限される場合があるアプリケーションに便利です。デイジーチェーン接続された 2 個のデバイスの例を図 25 に示します。コンバータ A の MSB が出現するのは、コンバータ B の SDO で、SCK の 40 サイクル後です。コンバータ A の MSB は、最初の SCK パルスの立ち上がりエッジでコンバータ B の RDL/SDI ピンに同期入力されます。デジタル平均化フィルタの機能はチェーン・モード時には維持されます。

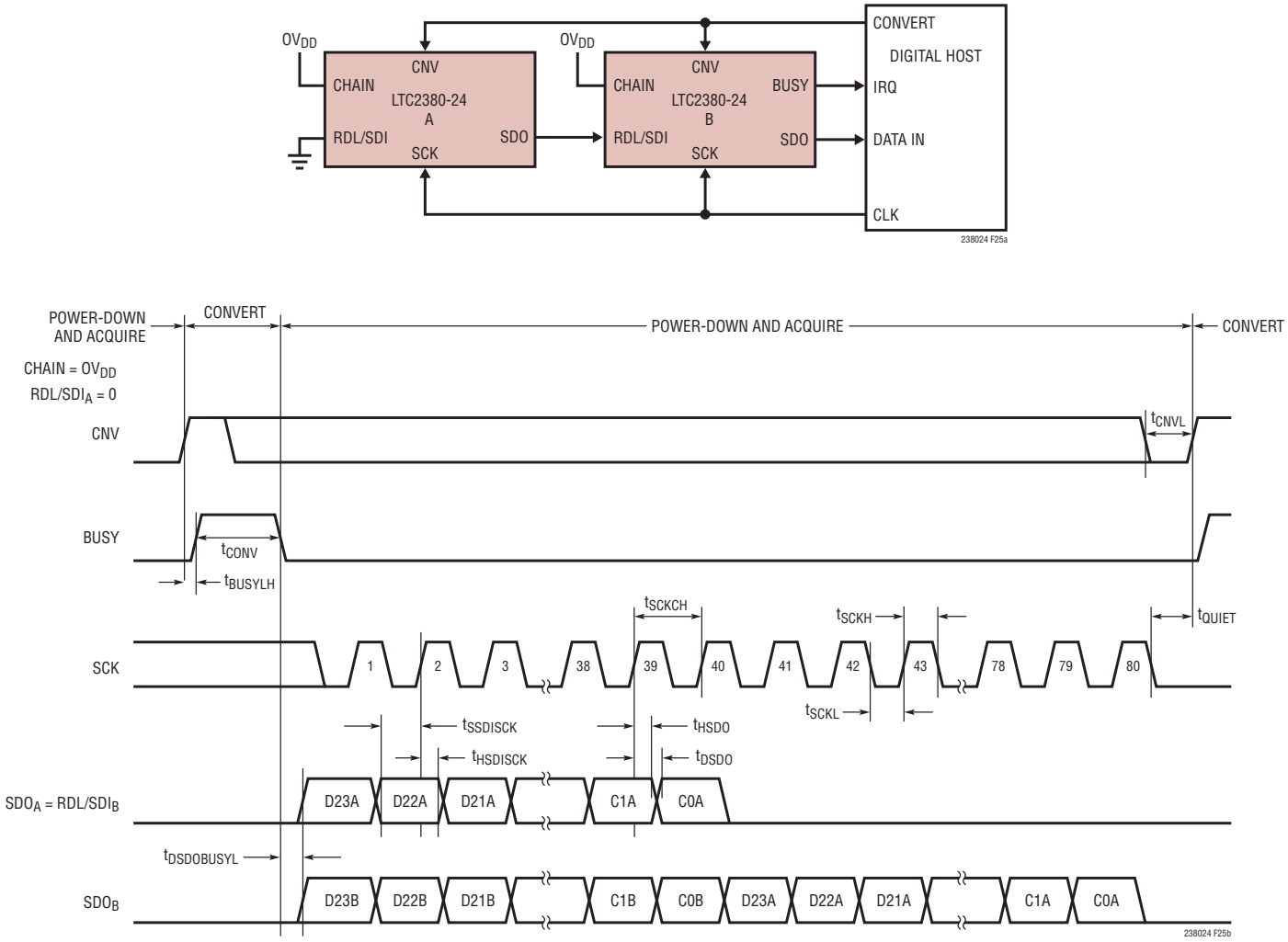


図 25. チェーン・モードのタイミング図

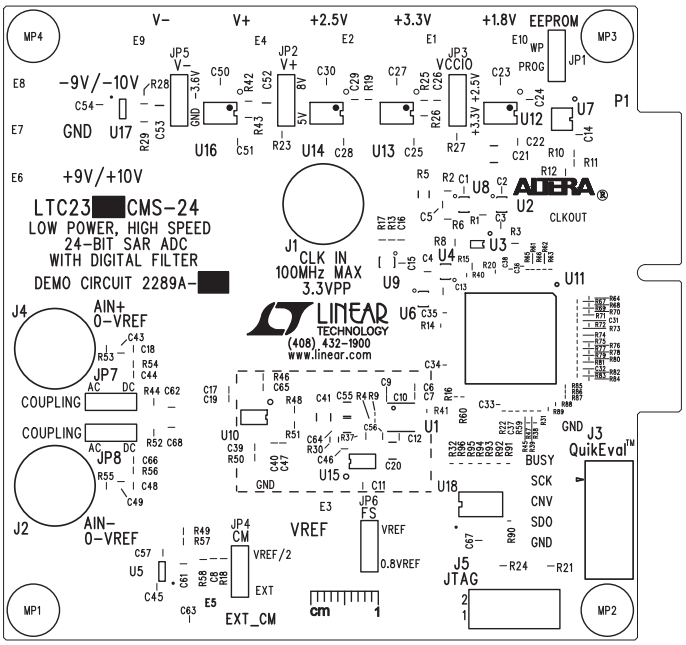
基板レイアウト

LTC2380-24から最大限の性能を引き出すには、プリント回路基板を推奨します。プリント回路基板(PCB)のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・クロックやデジタル信号は、アナログ信号に沿って配線したり、A/Dコンバータの下に配線したりしないように注意します。

推奨レイアウト

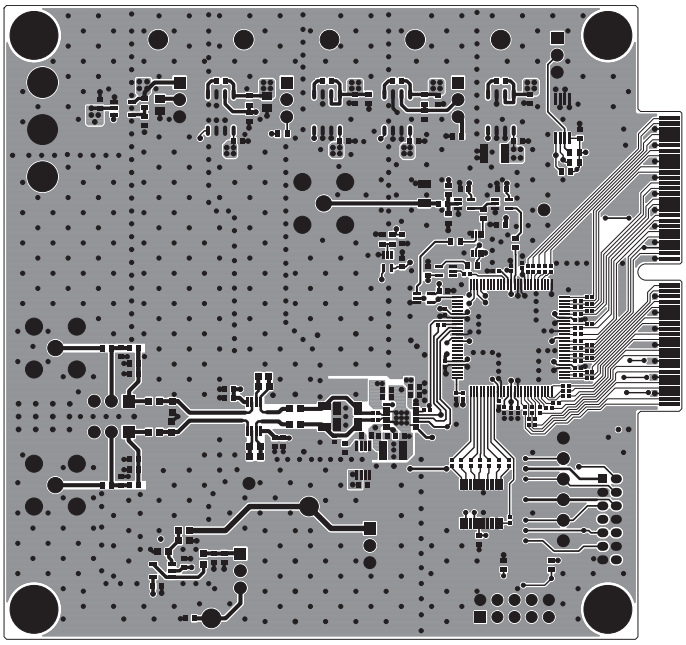
推奨するPCBレイアウトの一例を以下に示します。切れ目のない単一のグランド・プレーンを使用します。電源へのバイパス・コンデンサは電源ピンのできるだけ近くに配置します。A/Dコンバータを低ノイズで動作させるには、これらのバイパス・コンデンサに低インピーダンスの共通帰線を使用することが不可欠です。アナログ入力のトレースはグランドで遮蔽します。詳細については、LTC2380-24用評価キットDC2289を参照してください。

部品面シルク

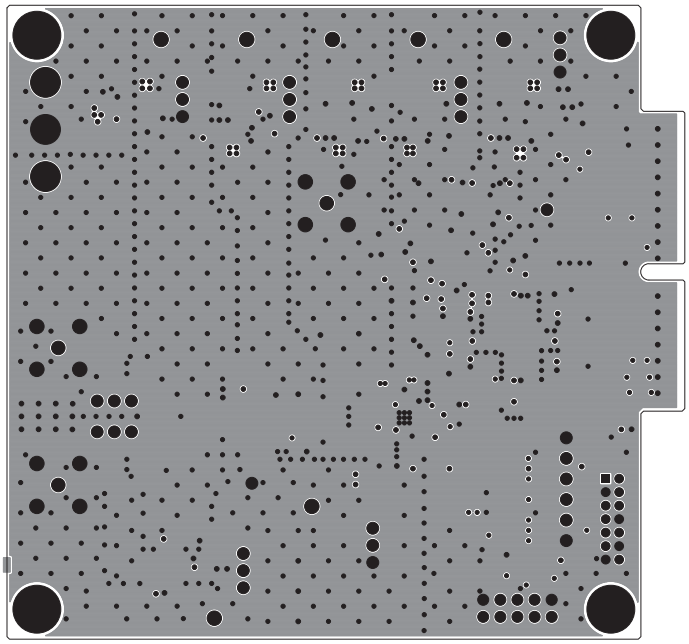


基板レイアウト

第1層、部品面

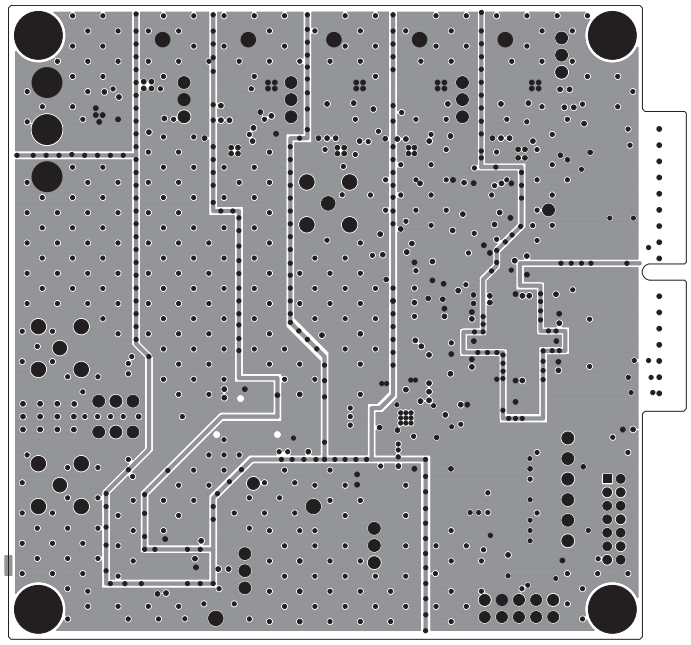


第2層、グランド・プレーン

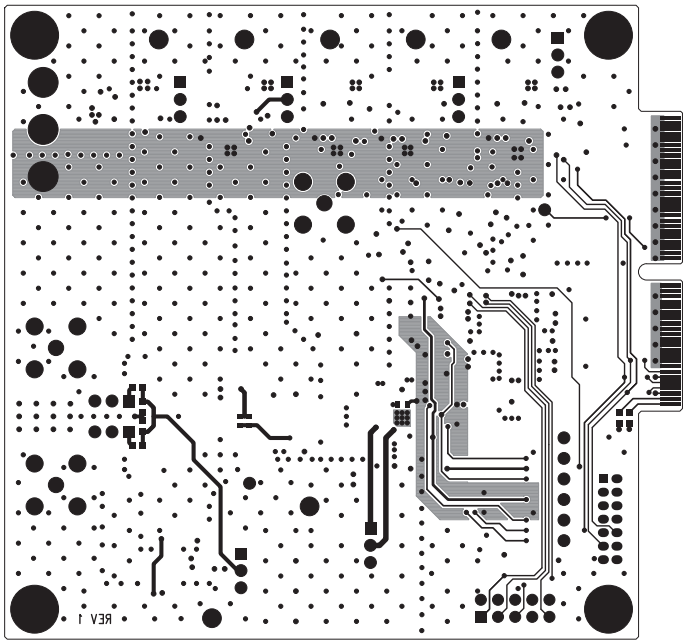


基板レイアウト

第3層、電源プレーン

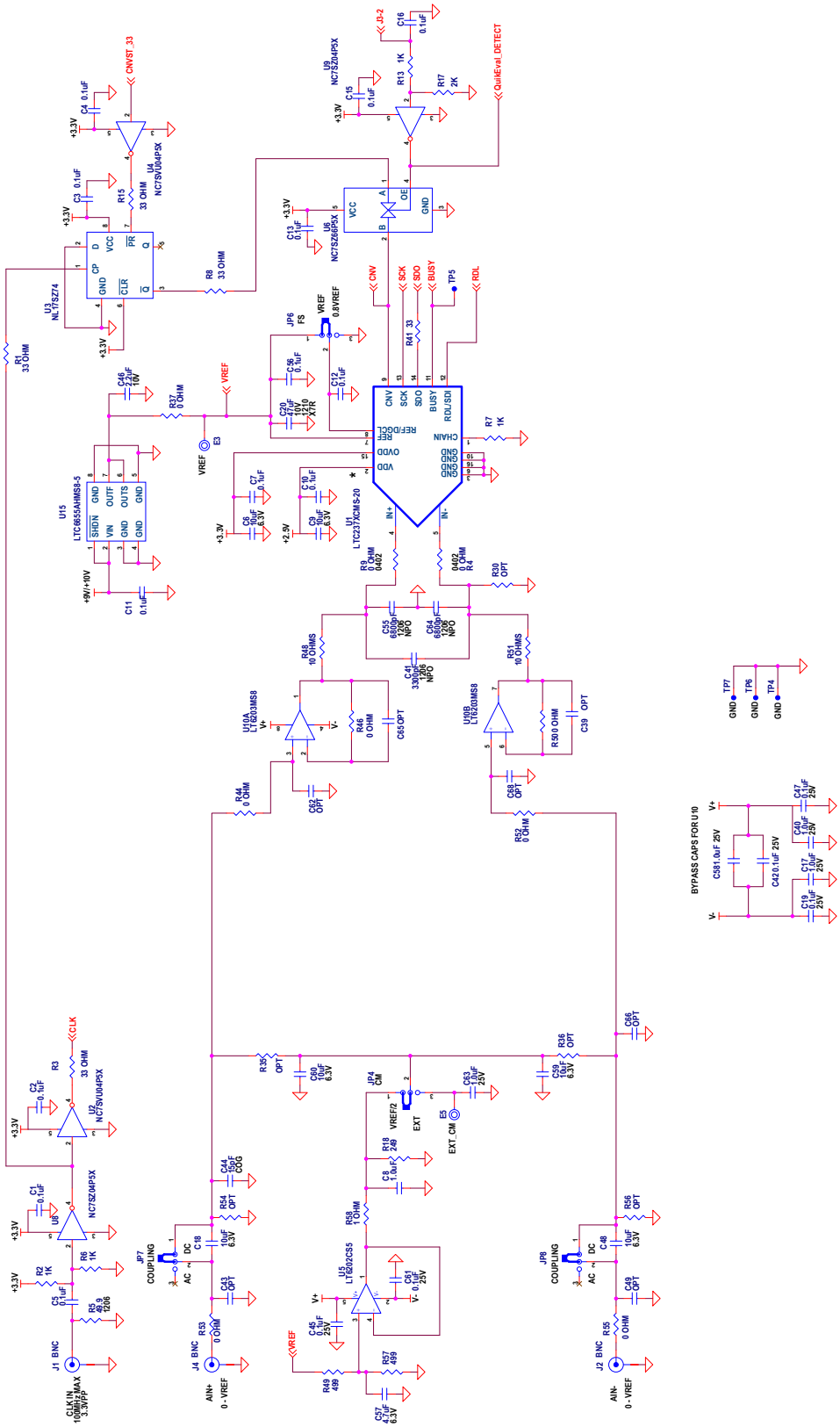


第4層、最下層



基板レイアウト

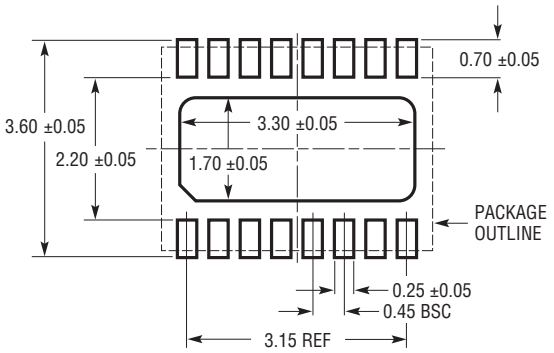
デモボードの回路図（一部）



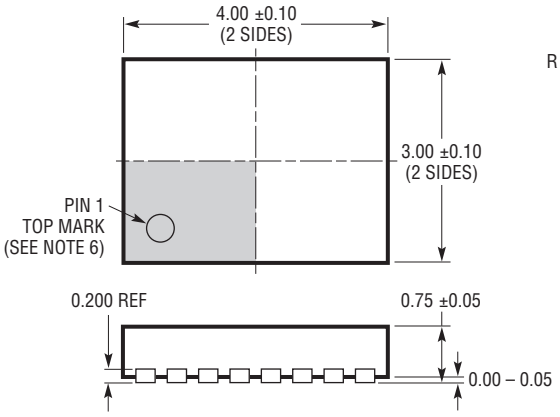
パッケージ

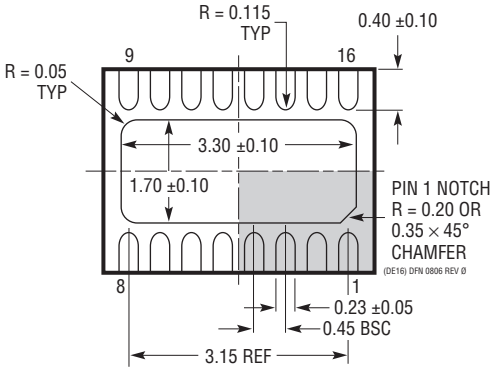
最新のパッケージ図面については、http://www.linear-tech.co.jp/product/LTC2380-24#packagingを参照してください。

DE Package
16-Lead Plastic DFN (4mm × 3mm)
(Reference LTC DWG # 05-08-1732 Rev Ø)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED





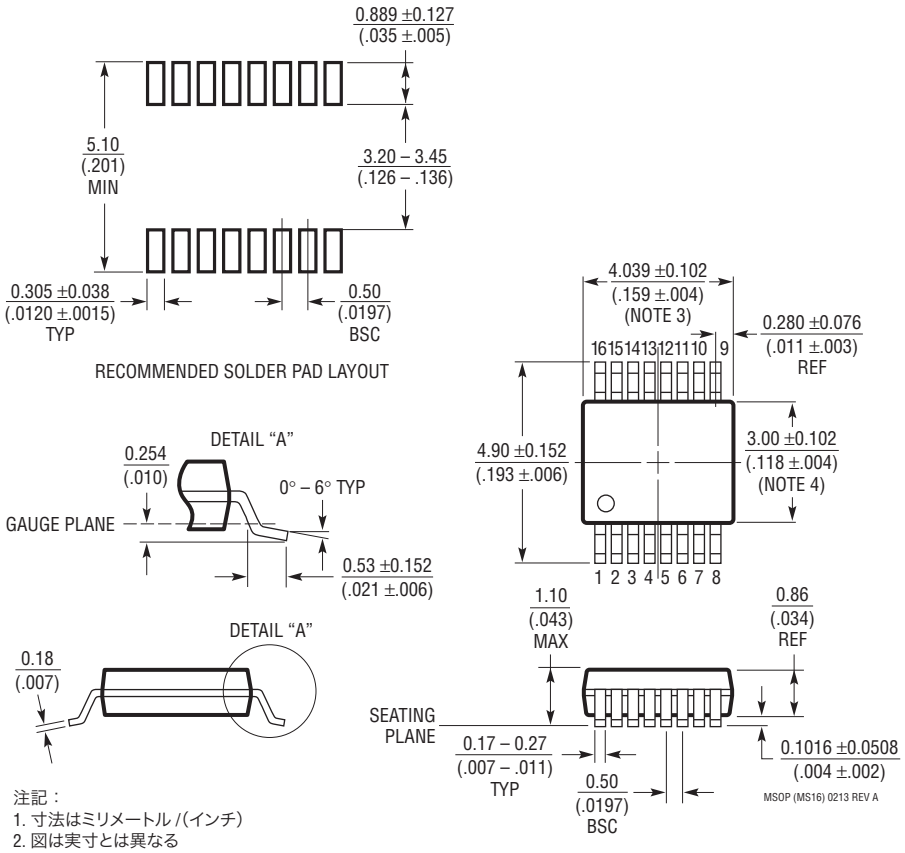
BOTTOM VIEW—EXPOSED PAD

注記：
1. 図はJEDECパッケージ外形MO-229のバージョンのバリエーション（WGED-3）として提案
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
   モールドのバリは（もしあれば）各サイドで0.15mmを超えないこと
5. 露出パッドは半田メッキとする
6. 灰色の部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

パッケージ

最新のパッケージ図面については、http://www.linear-tech.co.jp/product/LTC2380-24#packaging を参照してください。

MS Package
16-Lead Plastic MSOP
(Reference LTC DWG # 05-08-1669 Rev A)

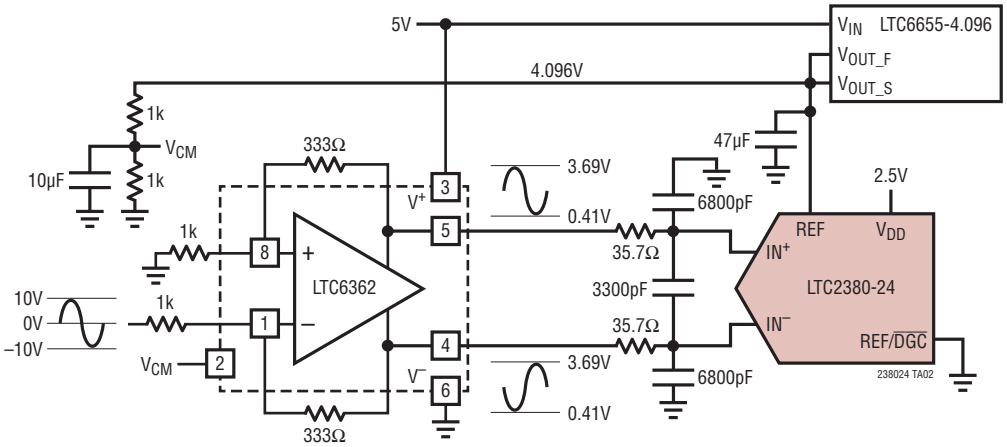


注記：
1. 寸法はミリメートル /(インチ)
2. 図は実寸とは異なる
3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない
   モールドのバリ、突出部、またはゲートのバリは、各サイドで 0.152mm(0.006")を超えないこと
4. 寸法には、リード間のバリまたは突出部を含まない
   リード間のバリまたは突出部は、各サイドで 0.152mm(0.006")を超えないこと
5. リードの平坦度(整形後のリードの底面)は最大 0.102mm(0.004")であること

リニアテクノロジー・コーポレーションがここで提供する情報は正確かつ信頼できるものと考えておりますが、その使用に関する責務は一切負いません。また、ここに記載された回路結線と既存特許とのいかなる関連についても一切関知いたしません。なお、日本語の資料はあくまでも参考資料です。訂正、変更、改版に追従していない場合があります。最終的な確認は必ず最新の英語版データシートでお願いいたします。

標準的応用例

LTC2380-24でデジタル利得圧縮機能がイネーブルされている状態で、5V単電源で動作しながら±10Vの入力信号を受け付けるようにLTC6362



関連製品

製品番号	概要	注釈
A/Dコンバータ		
LTC2378-20/LTC2377-20/ LTC2376-20	INLが±0.5ppmの20ビット、 1Msps/500ksps/250ksps、シリアル、 低消費電力A/Dコンバータ	2.5V電源、±5V完全差動入力、SNR：104dB、MSOP-16および 4mm×3mm DFN-16パッケージ
LTC2379-18/LTC2378-18/ LTC2377-18/LTC2376-18	18ビット、1.6Msps/1Msps/500ksps/250ksps シリアル、低消費電力A/Dコンバータ	2.5V電源、差動入力、SNR：101.2dB、入力範囲：±5V、DGC、 MSOP-16および4mm×3mm DFN-16パッケージのピン互換ファミリ
LTC2380-16/LTC2378-16/ LTC2377-16/LTC2376-16	16ビット、2Msps/1Msps/500ksps/250ksps シリアル、低消費電力A/Dコンバータ	2.5V電源、差動入力、SNR：96.2dB、入力範囲：±5V、DGC、 MSOP-16および4mm×3mm DFN-16パッケージのピン互換ファミリ
LTC2369-18/LTC2368-18/ LTC2367-18/LTC2364-18	18ビット、1.6Msps/1Msps/500ksps/250ksps シリアル、低消費電力A/Dコンバータ	2.5V電源、単極性疑似差動入力、SNR：96.5dB、入力範囲：0V～5V、 MSOP-16および4mm×3mm DFN-16パッケージのピン互換ファミリ
LTC2370-16/LTC2368-16/ LTC2367-16/LTC2364-16	16ビット、2Msps/1Msps/500ksps/250ksps シリアル、低消費電力A/Dコンバータ	2.5V電源、単極性疑似差動入力、SNR：94dB、入力範囲：0V～5V、 MSOP-16および4mm×3mm DFN-16パッケージのピン互換ファミリ
D/Aコンバータ		
LTC2757	18ビット、シングル・パラレルI_{OUT} SoftSpan™ D/Aコンバータ	INL/DNL：±1LSB、ソフトウェアで選択可能な範囲、 7mm×7mm LQFP-48パッケージ
LTC2641	16ビット/14ビット/12ビット、シングル・ シリアル電圧出力D/Aコンバータ	INL/DNL：±1LSB、MSOP-8パッケージ、0V～5V出力
LTC2630	12ビット/10ビット/8ビット、 シングル電圧出力D/Aコンバータ	6ピンSC70パッケージ、内部リファレンス、INL：±1LSB（12ビット）
リファレンス		
LTC6655	高精度、低ドリフト、低ノイズの バッファ付きリファレンス	5V/4.906V/3.3V/3V/2.5V/2.048V/1.25V、5ppm/°C、 ピーク・トゥ・ピーク・ノイズ：0.25ppm、MSOP-8パッケージ
LTC6652	高精度、低ドリフト、低ノイズの バッファ付きリファレンス	5V/4.906V/3.3V/3V/2.5V/2.048V/1.25V、5ppm/°C、 ピーク・トゥ・ピーク・ノイズ：2.1ppm、MSOP-8パッケージ
アンプ		
LT6237	レール・トゥ・レール出力の デュアルA/Dコンバータ・ドライバ	215MHzのGBW、1.1nV/$\sqrt{Hz}$、3.5mAの電源電流
LT6203	デュアル100MHz、レール・トゥ・レール 入出力、低ノイズ、低消費電力アンプ	1.9nV/$\sqrt{Hz}$、最大電源電流：3mA、利得帯域幅積：100MHz
LTC6362	低消費電力、完全差動入出力アンプ/ ドライバ	単電源：2.8V～5.25V、電源電流：1mA、MSOP-8および 3mm×3mm DFN-8パッケージ

リニアテクノロジー株式会社
〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F
TEL 03-5226-7291 • FAX 03-5226-0268 • www.linear-tech.co.jp/LTC2380-24

LT1015 • PRINTED IN JAPAN

© LINEAR TECHNOLOGY CORPORATION 2015