

INLが0.5ppmの20ビット、 250ksps、低消費電力SAR A/Dコンバータ

特長

- スループット・レート: 250ksps
- INL: $\pm 0.5\text{ppm}$ (標準)
- 欠落コードのない20ビットを保証
- 低消費電力: 250kspsで5.3mW、250spsで5.3 μ W
- SNR: 標準104dB ($f_{\text{IN}} = 2\text{kHz}$)
- THD: 標準-125dB ($f_{\text{IN}} = 2\text{kHz}$)
- デジタル利得圧縮 (DGC)
- 85°Cまでの動作を保証
- 2.5V電源
- 完全差動入力電圧範囲: $\pm V_{\text{REF}}$
- V_{REF} の入力電圧範囲: 2.5V ~ 5.1V
- パイプライン遅延なし、サイクル待ち時間なし
- I/O (入出力) の電圧範囲: 1.8V ~ 5V
- デイジーチェーン・モードを備えたSPI互換シリアルI/O
- 内部変換クロック
- 16ピンMSOPおよび4mm $\times$ 3mm DFNパッケージ

アプリケーション

- 医療用画像処理
- 高速データ収集
- ポータブル機器または小型機器
- 産業用プロセス制御
- 低消費電力のバッテリー駆動計測装置
- ATE (自動試験装置)

LT, LTC, LTM, Linear Technology および Linear のロゴはリニアテクノロジー社の登録商標です。SoftSpan はリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。特許出願中。7705765, 7961132, 8319673 を含む米国特許によって保護されています。

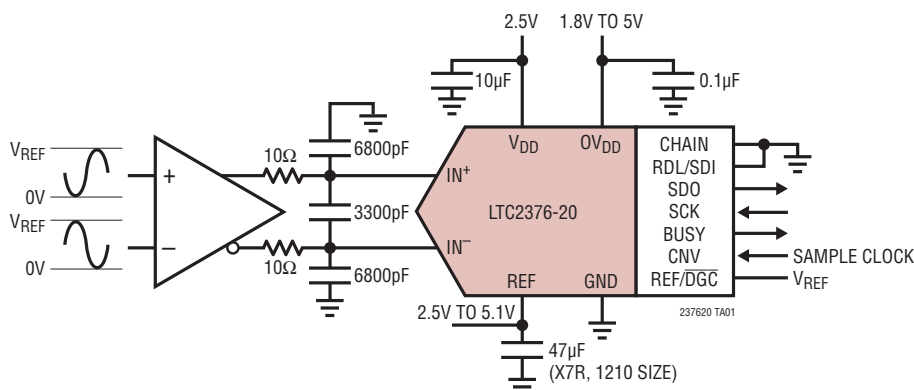
概要

LTC®2376-20 は、低ノイズ、低消費電力の高速20ビット逐次比較レジスタ (SAR) A/Dコンバータです。LTC2376-20 は2.5V電源で動作し、その完全差動入力電圧範囲は $\pm V_{\text{REF}}$ で、 V_{REF} の範囲は2.5V ~ 5.1Vです。LTC2376-20は、消費電力がわずか5.3mWで、 $\pm 2\text{ppm}$ のINL (最大)、20ビット分解能で欠落コードなし、104dBのSNRを実現します。

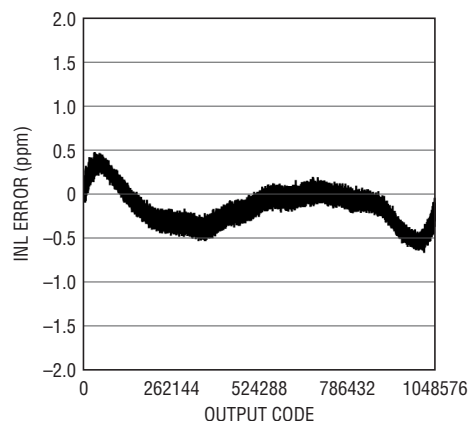
LTC2376-20は、1.8V、2.5V、3.3Vおよび5VのロジックをサポートするSPI互換の高速シリアル・インタフェースを内蔵しており、さらにデイジーチェーン・モードも備えています。LTC2376-20はスループットが250kspsと高速でサイクル待ち時間がないので、多種多様な高速アプリケーションに最適です。内部発振器が変換時間を設定するので、外部のタイミングに対する配慮は少なく済みます。LTC2376-20は、変換と変換の間は消費電力が自動的に低下するので、サンプリング・レートに比例して電力損失が減少します。

LTC2376-20は独自のデジタル利得圧縮 (DGC) 機能を備えているので、ドライバ・アンプの負電源がなくてもA/Dコンバータの最大限の分解能を維持できます。この機能をイネーブルすると、A/Dコンバータはゼロスケール・コードを0Vから $0.1 \cdot V_{\text{REF}}$ にマップし、フルスケール・コードを V_{REF} から $0.9 \cdot V_{\text{REF}}$ にマップするデジタルのスケール調整機能を実行します。5Vの標準的リファレンス電圧の場合、フルスケールの入力電圧範囲は0.5V ~ 4.5Vになるので、5.5V単電源からドライバ・アンプに電力を供給するための十分なヘッドルームを確保できます。

標準的応用例



積分非直線性と出力コード



LTC2376-20

絶対最大定格

(Note 1、2)

電源電圧 (V_{DD})	2.8V
電源電圧 (OV_{DD})	6V
リファレンス入力 (REF)	6V
アナログ入力電圧 (Note 3)	
IN^+ , IN^-	($GND - 0.3V$) ~ ($REF + 0.3V$)
REF/DGC 入力 (Note 3)	($GND - 0.3V$) ~ ($REF + 0.3V$)
デジタル入力電圧	
(Note 3)	($GND - 0.3V$) ~ ($OV_{DD} + 0.3V$)

デジタル出力電圧	
(Note 3)	($GND - 0.3V$) ~ ($OV_{DD} + 0.3V$)
電力損失	500mW
動作温度範囲	
LTC2376C	0°C ~ 70°C
LTC2376I	-40°C ~ 85°C
保存温度範囲	-65°C ~ 150°C

ピン配置

TOP VIEW DE PACKAGE 16-LEAD (4mm × 3mm) PLASTIC DFN $T_{JMAX} = 150^{\circ}C$, $\theta_{JA} = 40^{\circ}C/W$ EXPOSED PAD (PIN 17) IS GND, MUST BE SOLDERED TO PCB	TOP VIEW MS PACKAGE 16-LEAD PLASTIC MSOP $T_{JMAX} = 150^{\circ}C$, $\theta_{JA} = 110^{\circ}C/W$
---	--

発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2376CMS-20#PBF	LTC2376CMS-20#TRPBF	237620	16-Lead Plastic MSOP	0°C to 70°C
LTC2376IMS-20#PBF	LTC2376IMS-20#TRPBF	237620	16-Lead Plastic MSOP	-40°C to 85°C
LTC2376CDE-20#PBF	LTC2376CDE-20#TRPBF	23760	16-Lead (4mm × 3mm) Plastic DFN	0°C to 70°C
LTC2376IDE-20#PBF	LTC2376IDE-20#TRPBF	23760	16-Lead (4mm × 3mm) Plastic DFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN+}	Absolute Input Range (IN^+)	(Note 5)	●	-0.1	$V_{REF} + 0.1$	V
V_{IN-}	Absolute Input Range (IN^-)	(Note 5)	●	-0.1	$V_{REF} + 0.1$	V
$V_{IN+} - V_{IN-}$	Input Differential Voltage Range	$V_{IN} = V_{IN+} - V_{IN-}$	●	$-V_{REF}$	$+V_{REF}$	V
V_{CM}	Common-Mode Input Range		●	$V_{REF}/2 - 0.1$	$V_{REF}/2 + 0.1$	V
I_{IN}	Analog Input Leakage Current			0.01		μA
C_{IN}	Analog Input Capacitance	Sample Mode Hold Mode		45 5		pF pF
CMRR	Input Common Mode Rejection Ratio	$f_{IN} = 125\text{kHz}$		86		dB

コンバータ特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	Resolution		●	20			Bits
	No Missing Codes		●	20			Bits
	Transition Noise			2.3			ppm _{RMS}
INL	Integral Linearity Error	(Note 6) REF/DGC = GND, (Note 6)	● ●	-2 -2	±0.5 ±0.5	2 2	ppm ppm
DNL	Differential Linearity Error	(Note 10)	●	-0.5	±0.2	0.5	ppm
BZE	Bipolar Zero-Scale Error	(Note 7)	●	-13	0	13	ppm
	Bipolar Zero-Scale Error Drift			±7			ppb/°C
FSE	Bipolar Full-Scale Error	(Note 7)	●	-100	±10	100	ppm
	Bipolar Full-Scale Error Drift			±0.05			ppm/°C

ダイナミック精度 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ 、 $A_{IN} = -1\text{dBFS}$ での値。(Note 4、8)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SINAD	Signal-to-(Noise + Distortion) Ratio	$f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$	●	101	104	dB
SNR	Signal-to-Noise Ratio	$f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$ $f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$, $REF/\overline{DGC} = GND$ $f_{IN} = 2\text{kHz}$, $V_{REF} = 2.5\text{V}$	● ● ●	101 99 95.5	104 102 98	dB dB dB
THD	Total Harmonic Distortion	$f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$ $f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$, $REF/\overline{DGC} = GND$ $f_{IN} = 2\text{kHz}$, $V_{REF} = 2.5\text{V}$	● ● ●	-125 -125 -123	-115 -114 -113	dB dB dB
SFDR	Spurious Free Dynamic Range	$f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$	●	115	128	dB
	-3dB Input Bandwidth			34		MHz
	Aperture Delay			500		ps
	Aperture Jitter			4		ps
	Transient Response	Full-Scale Step		1		μs

リファレンスの入力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{REF}	Reference Voltage	(Note 5)	●	2.5	5.1	V
I_{REF}	Reference Input Current	(Note 9)	●	0.24	0.3	mA
V_{IHDGC}	High Level Input Voltage REF/ $\overline{DGC}$ Pin		●	$0.8V_{REF}$		V
V_{ILDGC}	Low Level Input Voltage REF/ $\overline{DGC}$ Pin		●		$0.2V_{REF}$	V

デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage		●	$0.8 \cdot OV_{DD}$		V
V_{IL}	Low Level Input Voltage		●		$0.2 \cdot OV_{DD}$	V
I_{IN}	Digital Input Current	$V_{IN} = 0V$ to OV_{DD}	●	-10	10	μA
C_{IN}	Digital Input Capacitance			5		pF
VOH	High Level Output Voltage	$I_O = -500\mu\text{A}$	●	$OV_{DD} - 0.2$		V
V_{OL}	Low Level Output Voltage	$I_O = 500\mu\text{A}$	●		0.2	V
I_{OZ}	Hi-Z Output Leakage Current	$V_{OUT} = 0V$ to OV_{DD}	●	-10	10	μA
I_{SOURCE}	Output Source Current	$V_{OUT} = 0V$		-10		mA
I_{SINK}	Output Sink Current	$V_{OUT} = OV_{DD}$		10		mA

電源要件 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V _{DD}	Supply Voltage		●	2.375	2.5	2.625	V
OV _{DD}	Supply Voltage		●	1.71		5.25	V
I _{VDD}	Supply Current	250ksps Sample Rate	●		2.1	2.5	mA
I _{OVDD}	Supply Current	250ksps Sample Rate (C _L = 20pF)			0.1		mA
I _{PD}	Power Down Mode	Conversion Done (I _{VDD} + I _{OVDD} + I _{REF})	●		1	90	μA
P _D	Power Dissipation	250ksps Sample Rate			5.25	6.25	mW
	Power Down Mode	Conversion Done (I _{VDD} + I _{OVDD} + I _{REF})			2.5	225	μW

A/D コンバータのタイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f_{SAMPL}	Maximum Sampling Frequency		●		250	ksps
t_{CONV}	Conversion Time		●	2	3	μs
t_{ACQ}	Acquisition Time	$t_{ACQ} = t_{CYC} - t_{HOLD}$ (Note 10)	●	3.312		μs
t_{HOLD}	Maximum Time Between Acquisitions		●		688	ns
t_{CYC}	Time Between Conversions		●	4		μs
t_{CNVH}	CNV High Time		●	20		ns
t_{BUSYLH}	CNV $\uparrow$ to BUSY Delay	$C_L = 20\text{pF}$	●		13	ns
t_{CNVL}	Minimum Low Time for CNV	(Note 11)	●	20		ns
t_{QUIET}	SCK Quiet Time from CNV $\uparrow$	(Note 10)	●	20		ns
t_{SCK}	SCK Period	(Notes 11, 12)	●	10		ns

ADCのタイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{SCKH}	SCK High Time		●	4		ns
t_{SCKL}	SCK Low Time		●	4		ns
t_{SSDISCK}	SDI Setup Time From SCK ↑	(Note 11)	●	4		ns
t_{HSDISCK}	SDI Hold Time From SCK ↑	(Note 11)	●	1		ns
t_{SCKCH}	SCK Period in Chain Mode	$t_{\text{SCKCH}} = t_{\text{SSDISCK}} + t_{\text{DSDO}}$ (Note 11)	●	13.5		ns
t_{DSDO}	SDO Data Valid Delay from SCK ↑	$C_L = 20\text{pF}$, $OV_{\text{DD}} = 5.25\text{V}$ $C_L = 20\text{pF}$, $OV_{\text{DD}} = 2.5\text{V}$ $C_L = 20\text{pF}$, $OV_{\text{DD}} = 1.71\text{V}$	● ● ●		7.5 8 9.5	ns ns ns
t_{HSDO}	SDO Data Remains Valid Delay from SCK ↑	$C_L = 20\text{pF}$ (Note 10)	●	1		ns
$t_{\text{DSDOBUSYL}}$	SDO Data Valid Delay from BUSY ↓	$C_L = 20\text{pF}$ (Note 10)	●		5	ns
t_{EN}	Bus Enable Time After RDL ↓	(Note 11)	●		16	ns
t_{DIS}	Bus Relinquish Time After RDL ↑	(Note 11)	●		13	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての電圧値はグラウンドを基準にしている。

Note 3: これらのピンの電圧がグラウンドを下回るか、REFまたは OV_{DD} を上回ると、内部のダイオードによってクランプされる。この製品は、グラウンドを下回るか、REFまたは OV_{DD} を上回った場合でも、ラッチアップを生じることなく最大100mAの入力電流を処理することができる。

Note 4: $V_{\text{DD}} = 2.5\text{V}$, $OV_{\text{DD}} = 2.5\text{V}$, $\text{REF} = 5\text{V}$, $V_{\text{CM}} = 2.5\text{V}$, $f_{\text{SMPL}} = 250\text{kHz}$, $\text{REF}/\text{DGC} = V_{\text{REF}}$ 。

Note 5: 推奨動作条件。

Note 6: 積分非直線性は、実際の伝達曲線のエンドポイントを通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: バイポーラ・ゼロスケール誤差は、出力コードが0000 0000 0000 0000と1111 1111 1111 1111の間を行ったり来たりするとき、 -0.5LSB から測定されたオフセット電圧である。フルスケール・バイポーラ誤差は、最初と最後のコードの理想的な遷移からの $-FS$ または $+FS$ の未調整のファーストケースの偏差で、オフセット誤差の影響が含まれる。

Note 8: dB表示のすべての規格値は、5Vのリファレンス電圧でフルスケール $\pm 5\text{V}$ の入力を基準にしている。

Note 9: $f_{\text{SMPL}} = 250\text{kHz}$ 。I_{REF} はサンプル・レートに比例して変化する。

Note 10: 設計によって保証されているが、テストされない。

Note 11: パラメータは $OV_{\text{DD}} = 1.71\text{V}$, $OV_{\text{DD}} = 2.5\text{V}$ および $OV_{\text{DD}} = 5.25\text{V}$ でテストされ、保証されている。

Note 12: 立ち上がりで捕捉する場合、最大10nsの t_{SCK} により最大100MHzのシフトクロック周波数が可能である。

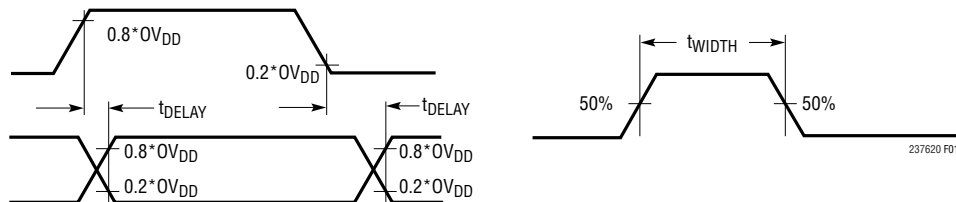
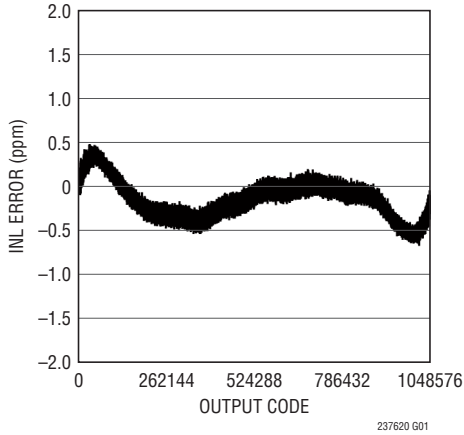


図1. タイミングの仕様の電圧レベル

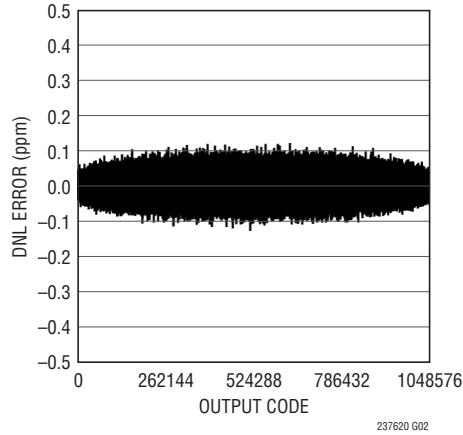
LTC2376-20

標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 2.5\text{V}$ 、 $0V_{DD} = 2.5\text{V}$ 、 $V_{CM} = 2.5\text{V}$ 、 $REF = 5\text{V}$ 、 $f_{SAMPL} = 250\text{ksps}$ 。

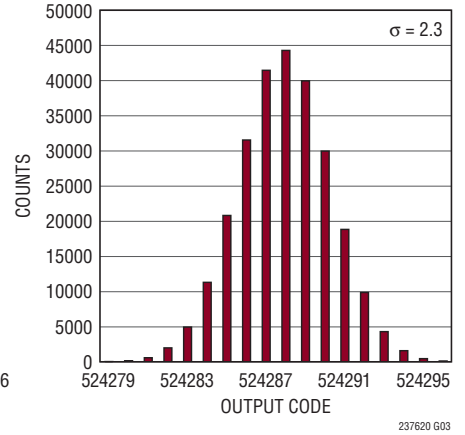
積分非直線性と出力コード



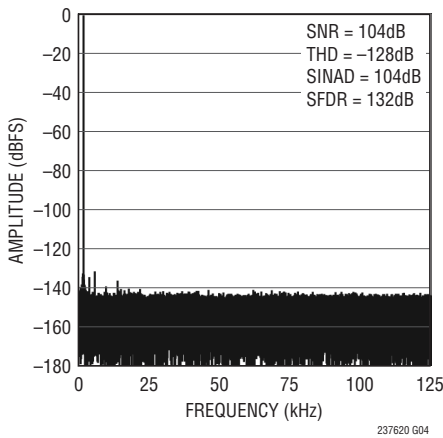
微分非直線性と出力コード



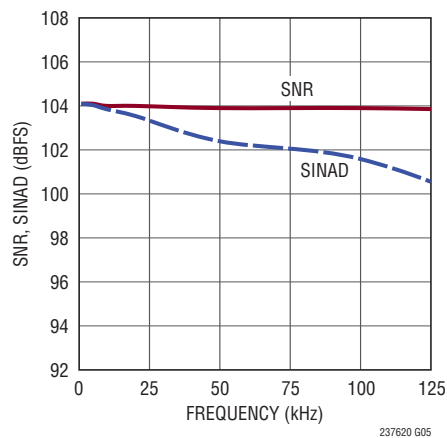
DC のヒストグラム



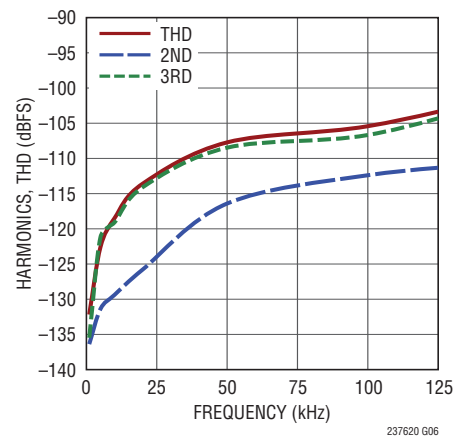
128k ポイントの
FFT ($f_S = 250\text{ksps}$ 、 $f_{IN} = 2\text{kHz}$)



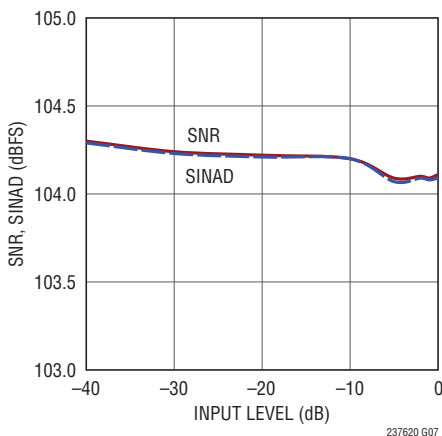
SNR および SINAD と入力周波数



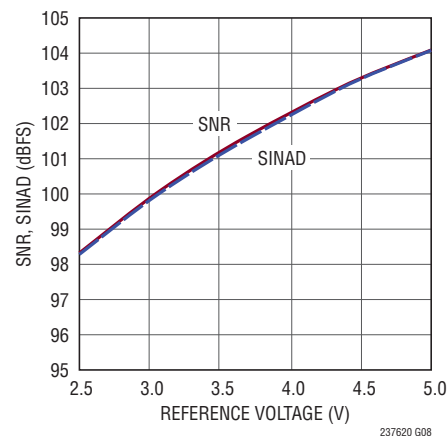
THD、高調波と入力周波数



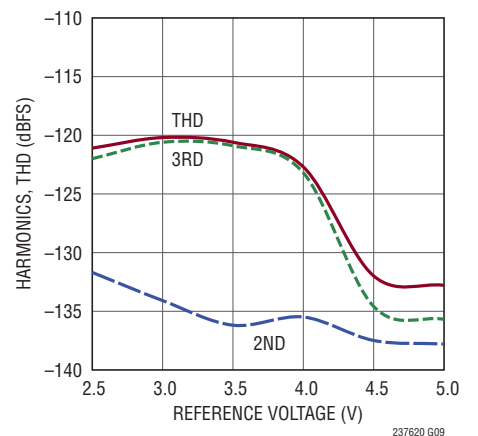
SNR、SINAD と入力レベル、
 $f_{IN} = 2\text{kHz}$



SNR および SINAD と
リファレンス電圧 ($f_{IN} = 2\text{kHz}$)



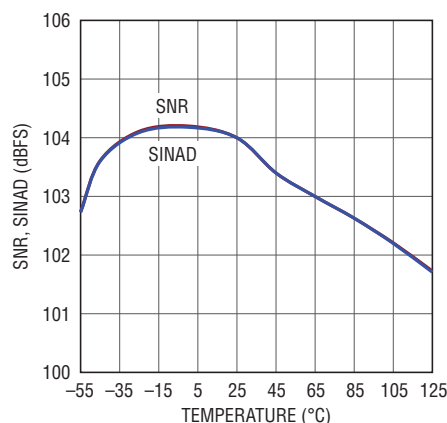
THD および高調波と
リファレンス電圧 ($f_{IN} = 2\text{kHz}$)



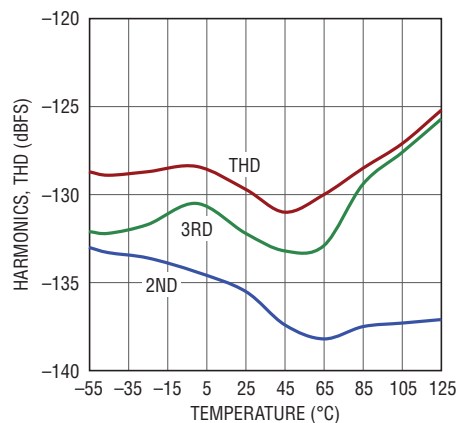
237620fa

標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 2.5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、 $V_{CM} = 2.5\text{V}$ 、 $REF = 5\text{V}$ 、 $f_{SAMPL} = 250\text{ksps}$ 。

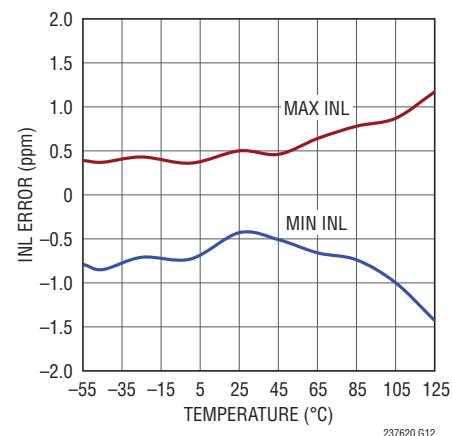
SNR、SINADと温度、
 $f_{IN} = 2\text{kHz}$



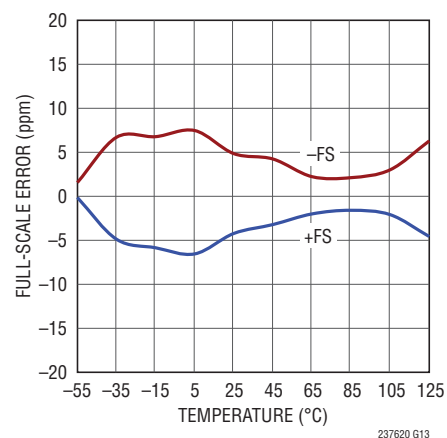
THD、高調波と温度、
 $f_{IN} = 2\text{kHz}$



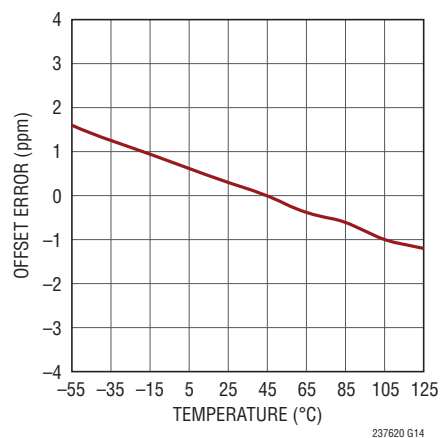
INLと温度



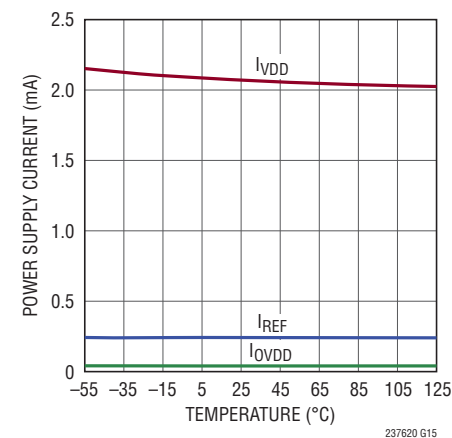
フルスケール誤差と温度



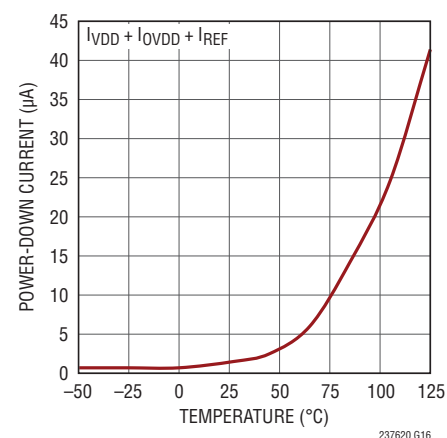
オフセット誤差と温度



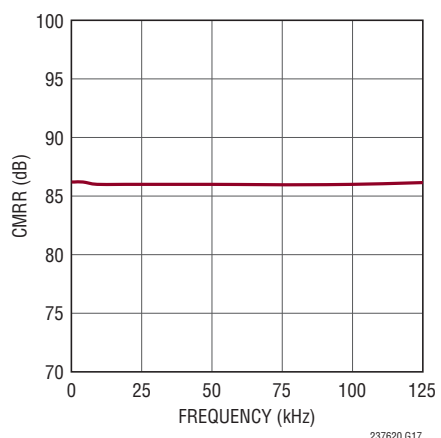
電源電流と温度



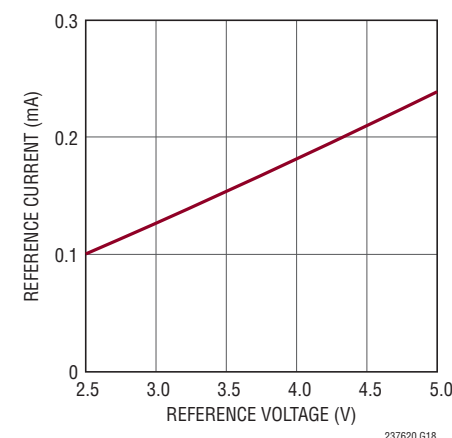
シャットダウン電流と温度



CMRRと入力周波数



リファレンス電流と
リファレンス電圧



ピン機能

CHAIN (ピン1) : チェーン・モード選択ピン。“L”のとき、LTC2376-20は通常モードで動作し、RDL/SDI入力ピンはSDOをイネーブルまたはディスエーブルする役割を果たします。“H”のとき、LTC2376-20はチェーン・モードで動作し、RDL/SDIピンはSDI (デジタイズチェーンのシリアル・データ入力)として機能します。ロジック・レベルは OV_{DD} によって決まります。

V_{DD} (ピン2) : 2.5V電源。 V_{DD} の範囲は2.375V～2.625Vです。 V_{DD} ピンは10 μ Fのセラミック・コンデンサを使ってGNDにバイパスします。

GND (ピン3、6、10、16) : グランド。

IN^+ 、 IN^- (ピン4、5) : 正と負の差動アナログ入力。

REF (ピン7) : リファレンス入力。REFの範囲は2.5V～5.1Vです。このピンはGNDピンを基準にしており、47 μ Fのセラミック・コンデンサ(X7R、1210サイズ、10V定格)を使ってこのピンの近くでデカップリングします。

REF/DGC (ピン8) : このピンをREFに接続するとデジタル利得圧縮機能がディスエーブルされ、LTC2376-20は $\pm V_{REF}$ のアナログ入力範囲に従ってフルスケールを定義します。このピンをGNDに接続するとデジタル利得圧縮機能がイネーブルされ、LTC2376-20は $\pm V_{REF}$ のアナログ入力範囲の10%～90%で振幅する入力でフルスケールを定義します。

CNV (ピン9) : 変換入力。この入力の立ち上がりエッジでデバイスがパワーアップし、新しい変換が開始されます。ロジック・レベルは OV_{DD} によって決まります。

BUSY (ピン11) : BUSYのインジケータ。新しい変換が開始されると“H”になり、変換が終了すると“L”に戻ります。ロジック・レベルは OV_{DD} によって決まります。

RDL/SDI (ピン12) : CHAINが“L”のとき、デバイスは通常モードになり、RDL/SDIピンはバス・イネーブル入力として扱われます。CHAINが“H”のとき、デバイスはチェーン・モードになり、RDL/SDIピンはシリアル・データ入力ピンとして扱われ、デジタイズチェーン内にある別のADCからのデータが入力されます。ロジック・レベルは OV_{DD} によって決まります。

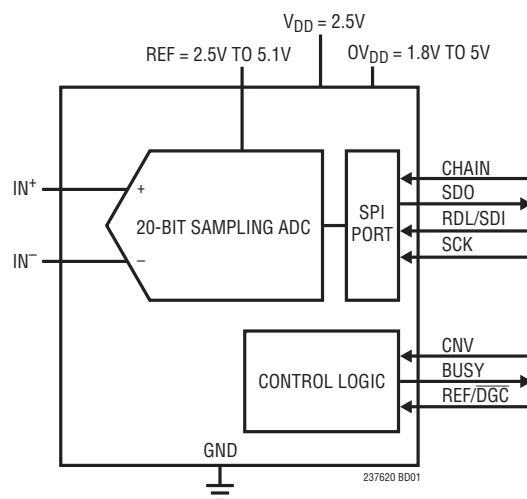
SCK (ピン13) : シリアル・データ・クロック入力。SDOがイネーブルされていると、変換結果または別のADCからのデジタイズチェーン・データが、このクロックの立ち上がりエッジで、MSBを先頭にしてシフトアウトされます。ロジック・レベルは OV_{DD} によって決まります。

SDO (ピン14) : シリアル・データ出力。変換結果またはデジタイズチェーン・データは、SCKの各立ち上がりエッジでMSBを先頭にしてこのピンから出力されます。出力データは2の補数形式です。ロジック・レベルは OV_{DD} によって決まります。

OV_{DD} (ピン15) : 入力/出力インタフェースのデジタル電源。 OV_{DD} の範囲は1.71V～5.25Vです。この電源の公称値は、ホストのインタフェースと同じ電源電圧に設定されます(1.8V、2.5V、3.3V、または5V)。 OV_{DD} ピンは、0.1 μ Fのコンデンサを使ってGNDにバイパスします。

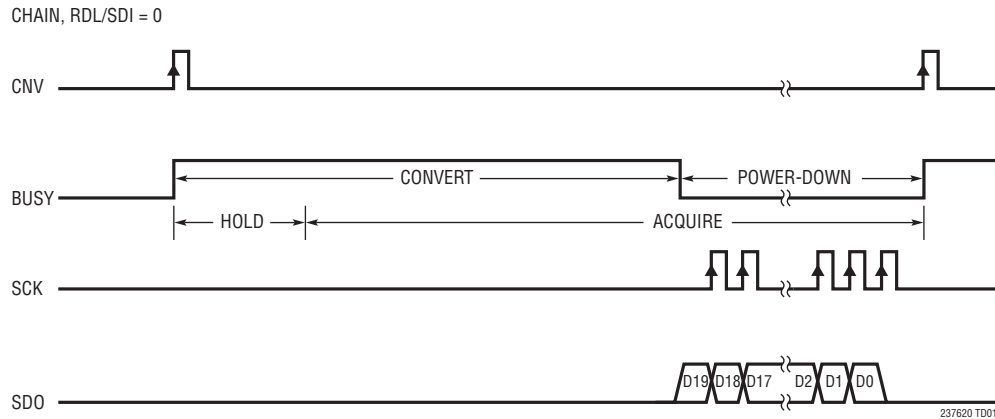
GND (露出パッド・ピン17、DFNパッケージのみ) : グランド。露出パッドはグランド・プレーンに直接半田付けする必要があります。

機能ブロック図



タイミング図

シリアル・インタフェースを使った変換のタイミング



アプリケーション情報

概要

LTC2376-20は低ノイズ、低消費電力の高速20ビット逐次比較レジスタ(SAR) A/Dコンバータです。LTC2376-20は単一2.5V電源で動作し、2.5V～5.1Vの範囲の V_{REF} に対して完全差動入力範囲が $\pm V_{REF}$ と広く柔軟性が高いので、広いダイナミックレンジを必要とする高性能アプリケーションに最適です。LTC2376-20は、最大 $\pm 2\text{ppm}$ のINL、20ビット分解能で欠落コードなし、104dBのSNRを実現します。

LTC2376-20はスループットが250kspsと高速でサイクル待ち時間がないので、多種多様な高速アプリケーションに最適です。内部発振器が変換時間を設定するので、外部のタイミングに対する配慮は少なく済みます。LTC2376-20は250kspsでわずか5.3mWしか消費しませんが、自動パワーダウン機能を備えており、アクティブでない期間の電力損失がさらに減少します。

LTC2376-20は独自のデジタル利得圧縮(DGC)機能を備えているので、ドライバ・アンプの負電源がなくてもA/Dコンバータの最大限の分解能を維持できます。この機能をイネーブルすると、A/Dコンバータはゼロスケール・コードを0Vから $0.1 \cdot V_{REF}$ にマップし、フルスケール・コードを V_{REF} から $0.9 \cdot V_{REF}$ にマップするデジタルのスケール調整機能を実行します。5Vの標準的リファレンス電圧の場合、フルスケールの入力電圧範囲は0.5V～4.5Vになるので、5.5V単電源からドライバ・アンプに電力を供給するための十分なヘッドルームを確保できます。

コンバータの動作

LTC2376-20は2つの段階で動作します。収集フェーズでは、電荷再配分コンデンサD/Aコンバータ(CDAC)が IN^+ ピンと IN^- ピンに接続され、差動アナログ入力電圧がサンプリングされます。CNVピンの立ち上がりエッジにより変換が開始されます。変換フェーズでは、20ビットのCDACが逐次比較アルゴリズムを通じて逐次制御され、差動コンパレータを使用してサンプリング入力とリファレンス電圧のバイナリ加重した分数(例： $V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/1048576$)を効率的に比較します。変換の最後に、CDACの出力はサンプリングされたアナログ入力に近似します。次に、ADCの制御ロジックが、シリアル転送用の20ビット・デジタル出力コードを準備します。

伝達関数

LTC2376-20は $2 \times REF$ のフルスケール電圧を 2^{20} レベルにデジタル化するので、 $REF = 5V$ では1LSBの大きさは $9.5\mu V$ になります。20ビット分解能での1LSBが約1ppmになることに注意してください。理想的な伝達特性を図2に示します。出力データは2の補数形式です。

アナログ入力

LTC2376-20のアナログ入力は、デジタル化可能な信号振幅をできるだけ大きくするために完全差動信号になっています。アナログ入力は図3に示す等価回路でモデル化できます。入力のダイオードはESD保護機能を果たします。収集フェーズ

アプリケーション情報

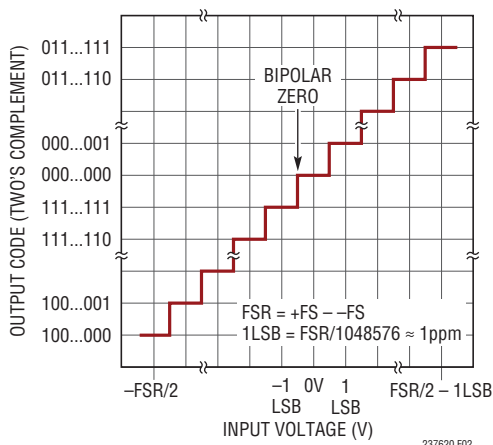


図2. LTC2376-20の伝達関数

の各入力には、直列に接続されたサンプリング・スイッチのオン抵抗 40Ω (R_{ON}) とサンプリング CDAC の容量約 45pF (C_{IN}) があります。両方の入力に共通する不要な信号は、ADC の同相除去によって減少します。収集の間に C_{IN} コンデンサを充電するとき、入力に電流スパイクが流れます。変換時にアナログ入力に流れるのはわずかな漏れ電流だけです。

入力駆動回路

低インピーダンスの信号源は、利得誤差を発生することなく、LTC2376-20 の高インピーダンス入力を直接ドライブすることができます。高インピーダンスのソースは、収集時のセトリング時間を最小限に抑えるためと、ADC の直線性を最適化するために、バッファリングする必要があります。最良の性能を得るには、バッファ・アンプを使用して LTC2376-20 のアナログ入力をドライブする必要があります。このアンプの出力インピー

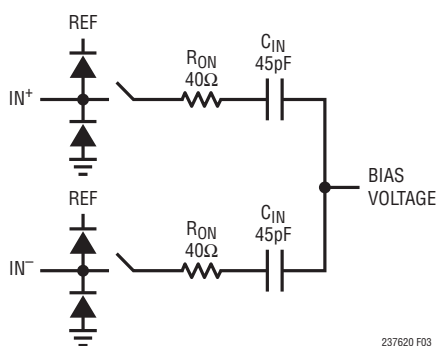


図3. LTC2376-20の差動アナログ入力の等価回路

ダンスは低いので、収集フェーズでアナログ信号の高速セトリングを実現できます。このアンプは、信号源と ADC の入力電流を分離する役割も果たします。

ノイズと歪み

バッファ・アンプと信号源のノイズと歪みは ADC のノイズと歪みに加わるので、これらについても考慮しなければなりません。入力信号にノイズが多い場合は、バッファ・アンプの入力の前に適切なフィルタを使ってノイズを最小限に抑えます。多くのアプリケーションでは、図4に示す簡単な1ポールの RC ローパス・フィルタ (LPF1) で十分です。

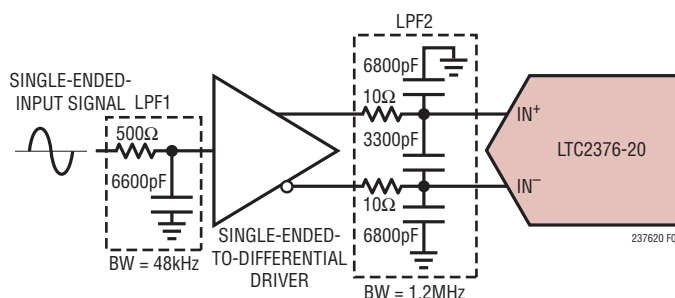


図4. 入力信号チェーン

バッファと ADC 入力の間に結合フィルタ・ネットワーク (LPF2) を使って、サンプリングのトランジェントによるバッファへの影響を最小限に抑えます。アナログ入力の RC 時定数が大きいと、アナログ入力のセトリング時間は長くなります。したがって、通常、LPF2 には LPF1 より広い帯域幅が必要です。このフィルタは、バッファに起因するノイズを最小限に抑えるのにも役立ちます。ノイズ密度の低いバッファ・アンプを選択して、SNR の劣化を最小限に抑える必要があります。

RC フィルタのコンデンサと抵抗は歪みを大きくする可能性があるため、これらの部品は高品質のものを使用します。NPO タイプやシルバーマイカ・タイプの誘電体のコンデンサは優れた直線性を示します。表面実装カーボン抵抗は、自己発熱や半田工程で生じる損傷により歪みを生じることがあります。表面実装金属皮膜抵抗は、この2つの問題に対してはるかに耐性があります。

入力電流

LTC2376-20 にアンプを結合する上で最大の課題の1つは、各収集段階の開始時に A/D コンバータの入力に流れる電流スパイクへの対処です。ADC 入力駆動回路のスイッチト・キャパシタ負荷としてモデル化できます。駆動回路は、A/D コ

アプリケーション情報

ンバータの入力に直接取り付けした小容量のフィルタ・コンデンサ (C_{FILT}) によってスイッチト・キャパシタの電流スパイクを減衰させることに依存している部分と、外乱の残りから回復するのに十分な帯域幅を持つドライバ・アンプに依存している部分があります。DC性能に対して最適化されたアンプには、ADCの最大変換レートで十分に回復するだけの帯域幅がない場合があるので、非直線性などの誤差を生じる可能性があります。結合フィルタ回路は3つの大きなカテゴリーに分類できます。

完全なセトリング—このケースは、フィルタの時定数と、サンプル期間より大幅に短い全セトリング時間によって特徴付けられます。収集が開始されると、結合フィルタが外乱を受けます。標準的な1次RCフィルタでは、外乱は指数関数的に減衰する初期ステップのように見えます。アンプは外乱に対して独自に応答するため、リングングを生じる可能性があります。入力が(LTC2376-20の精度の範囲内に)完全に落ち着くと、外乱は誤差に影響しなくなります。

部分的なセトリング—この場合には、収集開始によって結合フィルタに乱れが生じますが、その後、公称の入力電圧の方向に落ち着き始めます。ただし、入力が最終値にセトリングする前に収集が終了し、変換が開始されます。通常、これにより利得誤差が生じますが、セトリングがリニアな限り、歪みは生成されません。結合フィルタの応答は、アンプの出力インピーダンスやその他のパラメータの影響を受けます。高速なスイッチト・キャパシタの電流スパイクに対するリニアなセトリング応答は、必ずしも高精度狭帯域アンプを想定したものではありません。結合フィルタは、電流スパイクの高周波エネルギーがアンプに達する前に、そのエネルギーを減衰させるのに役立ちます。

完全平均化—A/Dコンバータの入力に取り付けした結合フィルタ・コンデンサ (C_{FILT}) の容量をA/Dコンバータのサンプル・コンデンサ (45pF) よりはるかに大きくすると、サンプリング・グリッチは大幅に減衰します。駆動アンプには実質的に非常に少ない平均サンプリング電流しか流れません。250kspsでは、(図5に示すように) 等価入力抵抗は約89kで、これはほとんどの高精度アンプにとって安全な抵抗性負荷です。ただし、結合フィルタのDC抵抗とADCの等価(スイッチト・キャパシタ) 入力抵抗の間に抵抗性の分圧が生じることにより、利得誤差が生成される可能性があります。

入力漏れ電流は信号源インピーダンスによって余計な入力電圧誤差に変換されるので、入力駆動回路を設計するときには、LTC2376-20の入力漏れ電流も考慮する必要があります。一般に、同相と差動のどちらの入力漏れ電流も、全動作温度範囲にわたって極めて小さな値になります。図6に、標準的なデバイスの温度に対する入力漏れ電流を示します。

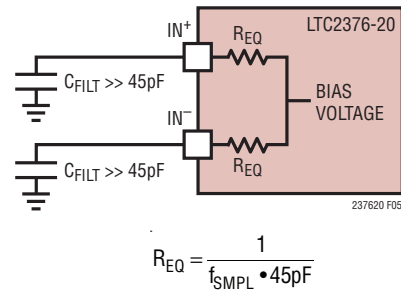


図5. 250kspsでのLTC2376-20の差動アナログ入力
の等価回路

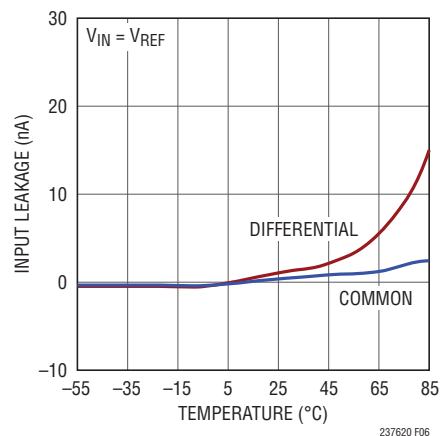


図6. 同相および差動での入力漏れ電流と温度

R_{S1} と R_{S2} を図7に示す差動入力駆動回路のソース・インピーダンスとし、 I_{L1} と I_{L2} をADCのアナログ入力から流れ出す漏れ電流とします。漏れ電流による電圧誤差 (V_E) は次式のように表すことができます。

$$V_E = \frac{R_{S1} + R_{S2}}{2} \cdot (I_{L1} - I_{L2}) + (R_{S1} - R_{S2}) \cdot \frac{I_{L1} + I_{L2}}{2}$$

一般に、同相入力の漏れ電流 ($(I_{L1} + I_{L2})/2$) は、全動作温度範囲と同相入力電圧範囲にわたって極めて小さな値になります(図6)。したがって、ソース・インピーダンス R_{S1} および R_{S2}

アプリケーション情報

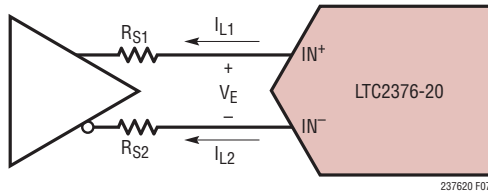


図7. ドライバの信号源インピーダンスおよびLTC2376-20の入力漏れ電流

にある程度のばらつき(5%未満)があっても、ごくわずかな誤差にしかなりません。差動入力漏れ電流($I_{L1} - I_{L2}$)は温度に依存し、図6に示すように $V_{IN} = V_{REF}$ のとき最大になります。差動入力の漏れ電流も一般に非常に小さく、その非線形成分はさらに小さくなります。ADCの直線性に影響を与えるのは非線形成分だけです。

最適な性能を得るには、ソース・インピーダンス(R_{S1} および R_{S2})を許容誤差が1%で $10\Omega \sim 50\Omega$ の範囲にすることを推奨します。この範囲のソース・インピーダンスでは、 R_{S1} と R_{S2} の電圧係数と温度係数は一般に重要ではありません。保証されたAC性能とDC性能は 10Ω のソース・インピーダンスでテストされたものですが、これらの性能は、入力の設定が不完全であるためにソース・インピーダンスが増加することにより徐々に低下します。

完全差動入力

図8に示すように、2つのユニティゲイン・バッファとして構成されたLT6203を介して駆動される低歪みの完全差動信号ソースを使って、データシートで規定された -125dB の歪み性能を実現することができます。

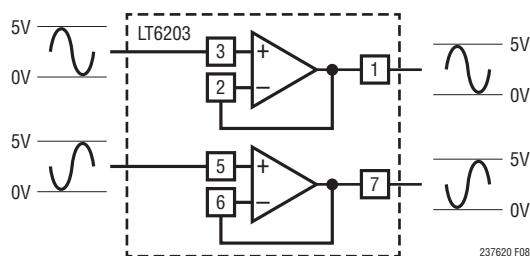


図8. 完全差動信号源をバッファリングするLT6203

シングルエンドから差動への変換

シングルエンド入力信号の場合は、シングルエンドから差動への変換回路を使用して、LTC2376-20の入力で差動信号を生成する必要があります。シングルエンドから差動への変換を行うには、LT6203 ADCドライバを推奨します。LT6203は柔軟性が高いので、さまざまな振幅のシングルエンド信号をLTC2376-20の $\pm 5\text{V}$ の差動入力範囲に変換するように構成できます。

$0\text{V} \sim 5\text{V}$ のシングルエンド入力信号を変換するのに使用されているLT6203を図9aに示します。この場合、最初のアンプはユニティゲインのバッファとして構成されており、シングルエンド入力信号はアンプの高インピーダンス入力を直接駆動します。図9bのFFTで示すように、LT6203は、データシートでのほぼ最高の性能までLTC2376-20をドライブします。

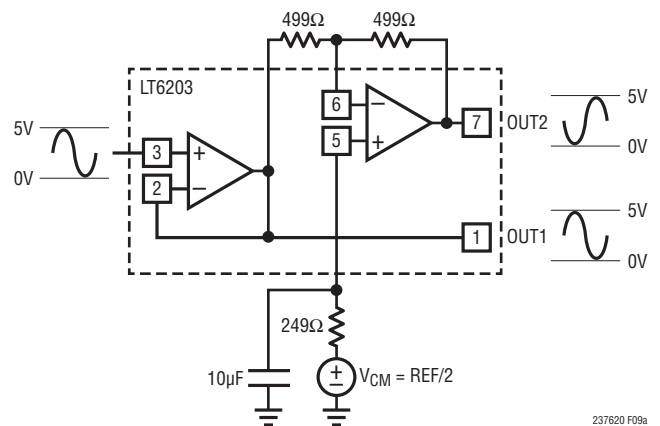


図9a. $0\text{V} \sim 5\text{V}$ のシングルエンド信号を $\pm 5\text{V}$ の差動入力信号に変換するLT6203

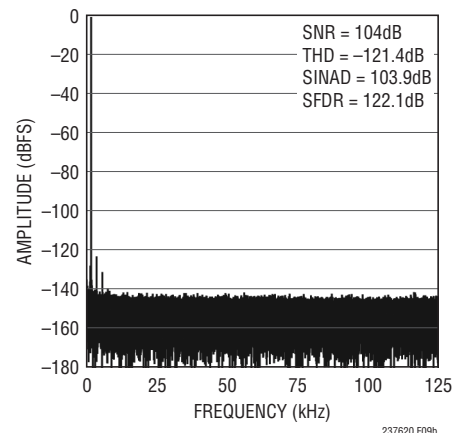


図9b. 図9aに示す回路の128kポイントのFFTプロット($f_{IN} = 2\text{kHz}$)

アプリケーション情報

デジタル利得圧縮

LTC2376-20は、フルスケール入力振幅を $\pm V_{REF}$ のアナログ入力範囲の10%~90%に規定するデジタル利得圧縮(DGC)機能を備えています。デジタル利得圧縮機能をイネーブルするには、REF/DGCピンを“L”にします。この機能により、各入力振幅は図10に示すように0.5V~4.5Vとなるので、SAR ADCドライバを単一の正電源で動作させることができます。SAR ADCドライバには正電源が1つあれば済むので、システム全体で一層の節電になります。

DGC機能をイネーブルすると、5V単電源で動作する低消費電力のLTC6362差動ドライバでLTC2376-20を駆動できます。デジタル利得圧縮機能がイネーブルされているとき、LTC6362が $\pm 3.28V$ の真のバイポーラ・シングルエンド入力信号を受け付け、その信号をLTC2376-20の狭められた入力範囲にレベルシフトするよう構成する方法を図11aに示します。さらにリファレンスとしてLTC6655-4.096を使用すると、信号チェーン・ソリューション全体が5V単電源から給電可能とな

り、消費電力が最小限に抑えられて複雑さが緩和されます。図11bのFFTに示すように、5V単電源のソリューションは最大100dBのSNRを達成可能です。

DC精度

このデータシートに示す多くのドライバ回路ではAC性能(歪みと信号対ノイズ比)を重視しているため、それに従ってアンプを選択します。この非常に低レベルの歪みはLTC2376-20の優れたINLによってもたらされる直接の結果であり、この特性はDCアプリケーションでも同様に活用できます。LTC6362とLT6203は優れたAC規格が特徴ですが、そのDC規格はLTC2376-20のDC規格と適合しません。たとえば、これらのアンプのオフセットは、特定の条件下で500 μV を上回ります。対照的に、LTC2376-20の保証最大オフセット誤差は130 μV (標準的なドリフトは $\pm 0.007ppm/^{\circ}C$)であり、保証最大フルスケール誤差は100ppm(標準的なドリフトは $\pm 0.05ppm/^{\circ}C$)です。較正されたシステムで広い温度範囲にわたって精度を維持するには低ドリフトが重要です。

アンプは、分解能が20ビットの高精度信号チェーンを実現するように、非常に注意深く選択する必要があります。利得が-1になるように構成されたアンプに対して1ppmの直線性を保証するには、126dB以上の大信号開ループ利得を必要とする場合があります。ただし、アンプの利得特性が(ほとんど)リニアなことが分かっているならば、これより低い利得でも構いません。ユニティゲインのバッファとして構成されるアンプの場合、アンプのオフセットと信号レベルの関係を考慮する必要があります。たとえば、1ppmの直線性を保証するには、5Vの振幅に対してオフセットが5 μV より小さい値まで変動することが分かっ

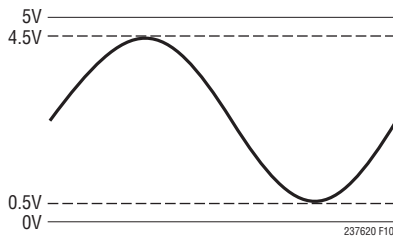


図10. 利得圧縮機能をイネーブルしたときのLTC2376の入力振幅

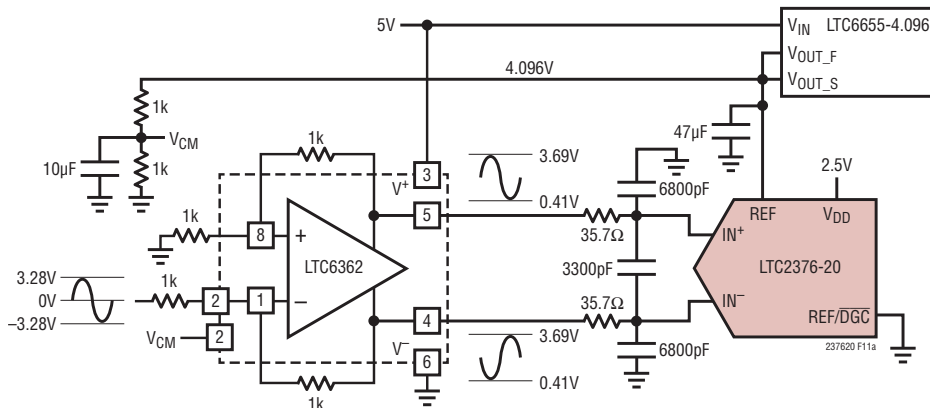


図11a. LTC2376-20でデジタル利得圧縮機能がイネーブルされているときに、5V単電源で動作しながら $\pm 3.28V$ の入力信号を受け付けるように構成されたLTC6362

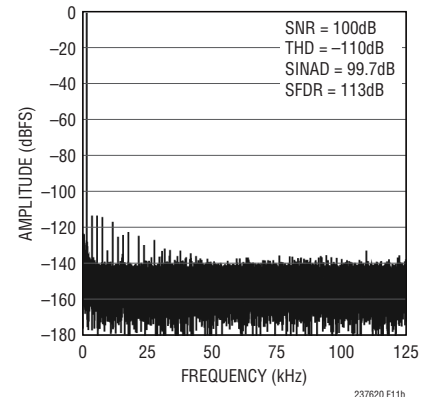


図11b. 図11aに示す回路の64kポイントのFFTプロット($f_{IN} = 2kHz$)

アプリケーション情報

ていなければならない場合があります。ただし、オフセットと信号レベルの関係が(ほとんど)リニアなことが分かっているならば、これより大きなオフセット変動が許容可能です。ユニティゲインのバッファ・アンプが最高の性能を得るには、一般に、電源レールに対してかなりの余裕を必要とします。アンプの入力端子の振幅を最小限に抑えるように構成された反転アンプの回路は、ユニティゲインのバッファ・アンプよりもほんのわずかながら良好に動作することが可能です。DC精度を保証するには、反転アンプの帰還ネットワークの直線性と熱特性を十分に考慮する必要があります。

ADCのリファレンス

LTC2376-20はその入力範囲を定めるのに外部リファレンスが必要とします。このADCのデータシートで規定されている性能をすべて実現するには、低ノイズ、低温度ドリフトのリファレンスが不可欠です。リニアテクノロジーでは、様々なアプリケーションの要求を満たすように設計された高性能リファレンスを取り揃えております。LTC6655-5は、小型、低消費電力、高精度なので、LTC2376-20と組み合わせて使用するのに特に適しています。LTC6655-5の初期精度は0.025% (最大)、温度係数は2ppm/°C (最大)で、高精度アプリケーションに適しています。

LTC6655-5のバイパス・コンデンサを選択する際には、コンデンサの電圧定格、温度定格、パッケージ・サイズを慎重に検討する必要があります。電圧定格と温度定格が大きい、物理的に大きなコンデンサは、実効容量が大きくなり、LTC6655-5のノイズの除去が良好になる傾向があるので、結果として高いSNRを実現します。そこで、LTC6655-5をREFピンの近くに配置した47μFのセラミック・コンデンサ(X7R、1210サイズ、10V定格)でバイパスすることを推奨します。

LTC2376-20のREFピンは、各変換サイクルの間47μFのバイパス・コンデンサから電荷(Q_{CONV})を引き寄せます。リファレンスはこの電荷をDC電流($I_{REF} = Q_{CONV}/t_{CYC}$)で補充します。

REFピンのDC電流(I_{REF})はサンプリング・レートと出力コードに依存します。LTC2376-20を使って信号を一定の割合で連続的にサンプリングする場合、LTC6655-5は全コード範囲にわたってリファレンス電圧の偏差を0.5LSB未満に保ちます。

アイドル時には、LTC2376-20のREFピンには微小な漏れ電流(1μA未満)が流れるだけです。図12に示すように、長時間のアイドル状態の後、集中的にサンプリングされるアプリケーションでは、 I_{REF} は短時間で約0μAから最大0.3mA (250ksps)になります。このDC電流のステップによりリファレンスのトランジェント応答がトリガされます。リファレンスの出力電圧のどのような偏差も出力コードの精度に影響を与えるので、このトランジェント応答を考慮する必要があります。リファレンスのトランジェント応答が重要なアプリケーションにも、高速でセトリングするLTC6655-5リファレンスを推奨します。

ダイナミック性能

ADCの周波数応答、歪み、およびノイズを定格スループットでテストするには、高速フーリエ変換(FFT)の手法が使用されます。低歪みの正弦波を入力し、そのデジタル出力をFFTアルゴリズムを使って解析することにより、基本波の外側の周波数に関してADCのスペクトラム成分を調べることができます。LTC2376-20のAC歪みの測定値とノイズの測定値は、保証されたテスト済みの限界値です。

信号対ノイズ+歪み比(SINAD)

信号対ノイズ+歪み比(SINAD)は、基本入力周波数のRMS振幅とA/Dコンバータ出力での他のすべての周波数成分のRMS振幅の比です。出力の帯域は、DCからサンプリング周波数の半分より低い周波数までに制限されます。図13は、LTC2376-20が2kHzの入力、250kHzのサンプリング・レートで104dBの標準SINADを達成していることを示しています。

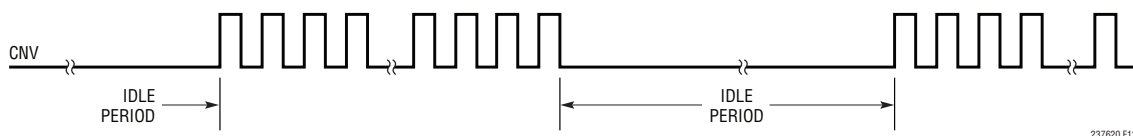


図12. バースト・サンプリングを示すCNVの波形

アプリケーション情報

信号対ノイズ比(SNR)

信号対ノイズ比(SNR)は、基本入力周波数のRMS振幅と、1次から5次までの高調波とDCを除く他のすべての周波数成分のRMS振幅の比です。図13は、LTC2376-20が2kHzの入力、250kHzのサンプリング・レートで104dBの標準SNRを達成していることを示しています。

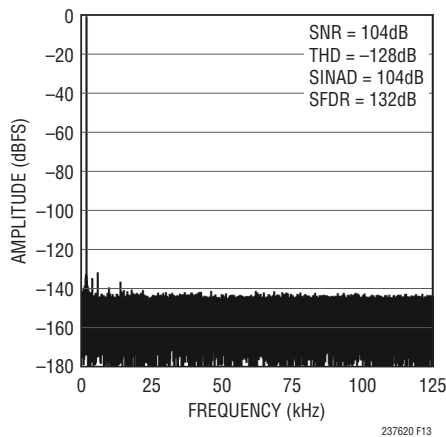


図13.LTC2376-20の128kポイントのFFTプロット($f_{IN} = 2\text{kHz}$)

全高調波歪み(THD)

全高調波歪み(THD)は、入力信号のすべての高調波のRMS値の合計と基本波のRMS値との比です。帯域外高調波は、DCからサンプリング周波数の半分($f_{SAMPL}/2$)までの周波数帯域で折り返し歪みを生じます。THDは次のように表されます。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}}{V_1}$$

ここで、 V_1 は基本周波数のRMS振幅で、 $V_2 \sim V_N$ は2次～N次の高調波の振幅です。

電源に関する検討事項

LTC2376-20は2つの電源ピンを備えています。2.5V電源(V_{DD})とデジタル入力/出力インタフェースの電源(OV_{DD})です。柔軟な OV_{DD} 電源により、LTC2376-20は、2.5Vや3.3Vのシステムなど、1.8V～5Vで動作する任意のデジタル・ロジックと通信することができます。

電源シーケンシング

LTC2376-20には電源シーケンス制御に関する特別な要件はありません。「絶対最大定格」のセクションに記載されている最大電圧の関係を遵守するよう注意する必要があります。LTC2376-20は、最初の起動時、または電源電圧が1Vより低くなったとき必ずLTC2376-20をリセットするパワーオン・リセット(POR)回路を備えています。電源電圧が公称電源電圧範囲に戻ると、PORはADCを再初期化します。再初期化の期間が確実に終了するように、PORイベントの200 μs 後までは変換を開始しないようにします。この時点より前に変換を開始すると、結果は無効になります。

タイミングと制御

CNVのタイミング

LTC2376-20の変換はCNVによって制御されます。CNVの立ち上がりエッジによって変換が開始され、LTC2376-20が起動します。いったん変換が開始されると、その変換が完了するまでは再開できません。最適な性能を得るには、CNVをノイズのない低ジッタの信号で駆動します。コンバータの状態はBUSY出力で示され、変換の進行中はこの出力が“H”に保たれます。デジタル化された結果に誤差が生じないようにするには、CNVでの追加の遷移を、変換開始後40ns以内か、変換完了後に行うようにします。

収集

独自のサンプリング・アーキテクチャにより、LTC2376-20は現在の変換の開始から675ns後に次の変換のための入力信号の収集を開始することができます。これにより、収集時間が3.312 μs に伸びるので、セトリング要件が緩和され、きわめて低消費電力のA/Dコンバータ・ドライバを使用することができます。('タイミング図'を参照)

内部変換クロック

LTC2376-20には、3 μs の最大変換時間を達成するように調整されている内部クロックがあります。

アプリケーション情報

自動パワーダウン

LTC2376-20の消費電力は変換完了後自動的に低下し、CNVの立ち上がりエッジで新しい変換が開始されると上昇します。パワーダウン中に、最後の変換で得られたデータをクロックアウトすることができます。パワーダウン中の電力損失を最小に抑えるには、SDOをディスエーブルし、SCKをオフします。消費電力の自動低下機能により、LTC2376-20の電力損失は、サンプリング周波数が減少するにつれて減少します。電力が消費されるのは変換中だけなので、LTC2376-20は、サンプリング・レートが低いほど、変換サイクル(t_{CYC})中に低消費電力状態に留まる割合が大きくなり、そのため平均電力損失は図14に示すようにサンプリング・レートに比例して減少します。

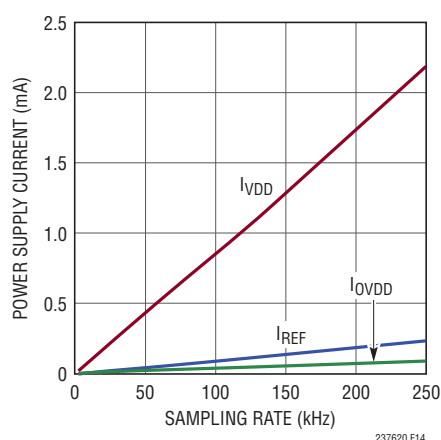


図14. LTC2376-20の電源電流とサンプリング・レート

デジタル・インタフェース

LTC2376-20はシリアル・デジタル・インタフェースを備えています。柔軟な OV_{DD} 電源により、LTC2376-20は、2.5Vや3.3Vのシステムなど、1.8V～5Vで動作する任意のデジタル・ロジックと通信することができます。

SDOがイネーブルされている場合、外部クロックがSCKピンに入力されると、シリアル出力データがSDOピンからクロックアウトされます。変換後にデータをクロックアウトすると、最高の性能が得られます。20MHz以上のシフト・クロック周波数では、引き続き250kspsのスループットが達成されます。シリアル出力データは、SCKの立ち上がりエッジで状態を変え、SCKの立ち下がりエッジまたはSCKの次の立ち上がりエッジで捕捉することができます。D19はSCKの最初の立ち上がりエッジまで有効な状態が維持されます。

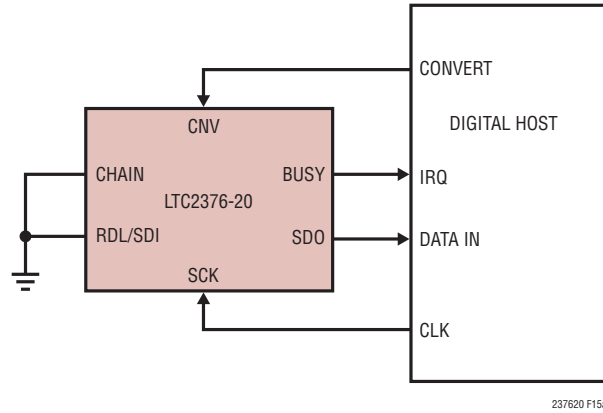
LTC2376-20のシリアル・インタフェースはシンプルで使うのが簡単です。以下のセクションでは、LTC2376-20の動作について説明します。1つまたは複数個のADCがSPIバスを共有しているか、デイジーチェーン接続されているかに応じて、いくつかのモードが用意されています。

タイミング図

通常モード、単一デバイス

CHAIN = 0 のとき、LTC2376-20 は通常モードで動作します。通常モードでは、RDL/SDI はシリアル・データ出力ピン SDO をイネーブルまたはディスエーブルします。RDL/SDI が“H”の場合、SDO は高インピーダンス状態になります。SDO は RDL/SDI が“L”のときに駆動されます。

CHAIN と RDL/SDI が接地されている状態で通常モードで動作している単一の LTC2376-20 を図 15 に示します。RDL/SDI が接地されると、SDO はイネーブルされ、新しい変換データの MSB (D19) が BUSY の立ち下がりエッジで有効になります。これは LTC2376-20 を動作させる最も簡単な方法です。



237620 F15a

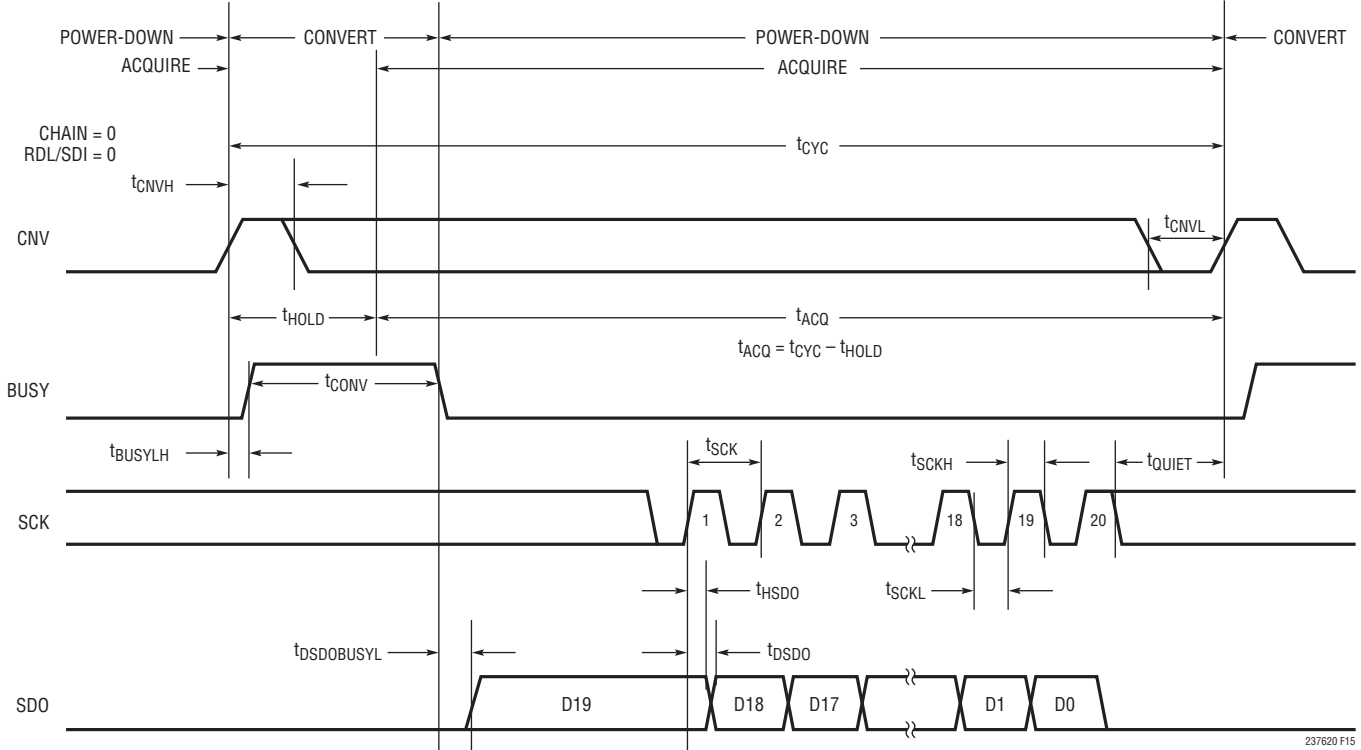


図 15.1 個の LTC2376-20 を通常モードで使用

タイミング図

通常モード、複数デバイス

CNV、SCKおよびSDOを共有して、通常モード(CHAIN = 0)で動作している複数のLTC2376-20デバイスを図16に示します。CNV、SCKおよびSDOを共有することにより、複数のADCを並列で動作させるのに必要な信号数が減少します。SDOを共有しているので、バスの競合を防ぐため、各A/Dコン

バータのRDL/SDI入力を使って、一度に1個のLTC2376-20だけがSDOを駆動できるようにする必要があります。図16に示すように、RDL/SDI入力はアイドル状態では“H”であり、個別に“L”にして変換と変換の間に各デバイスからデータを読み出します。RDL/SDIを“L”にすると、選択されたデバイスのMSBがSDOに出力されます。

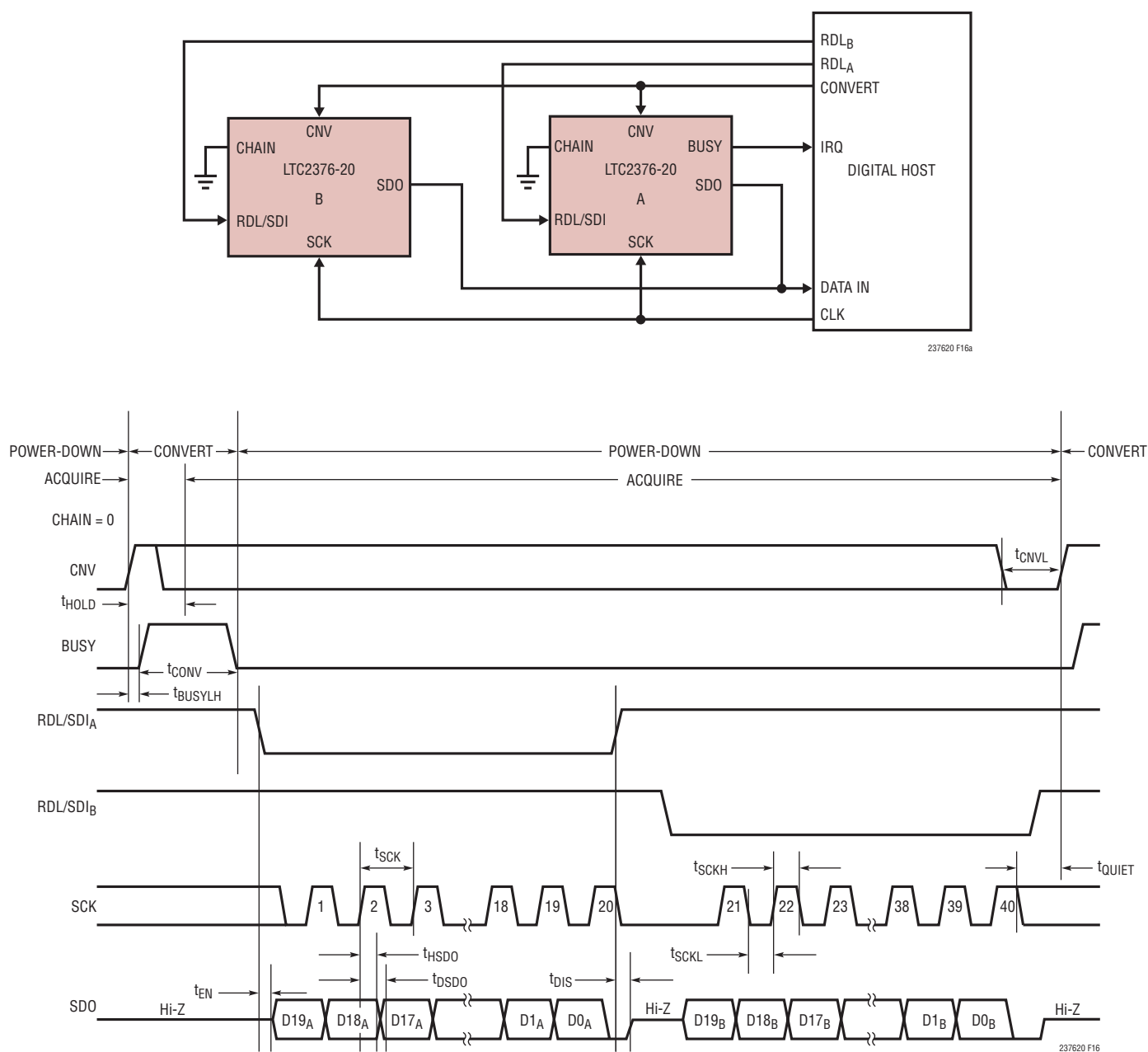


図16. 複数のデバイスがCNV、SCKおよびSDOを共有する通常モード

タイミング図

チェーン・モード、複数デバイス

CHAIN = OV_{DD} のとき、LTC2376-20 はチェーン・モードで動作します。チェーン・モードでは、SDO は常にイネーブルされており、RDL/SDI はシリアル・データ入力ピン (SDI) として機能し、別の ADC からのデジタイズ・データ出力を入力することができます。

これは、多数のコンバータにインタフェースするのに必要なライン数がハードウェアの制約によって制限されるアプリケーションに便利です。デジタイズチェーン接続された2個のデバイスの例を図17に示します。コンバータAのMSBは、20 SCK サイクル後にコンバータBのSDOに現れます。コンバータAのMSBは、最初のSCKの立ち上がりエッジでコンバータBのSDI/RDLピンにクロックインされます。

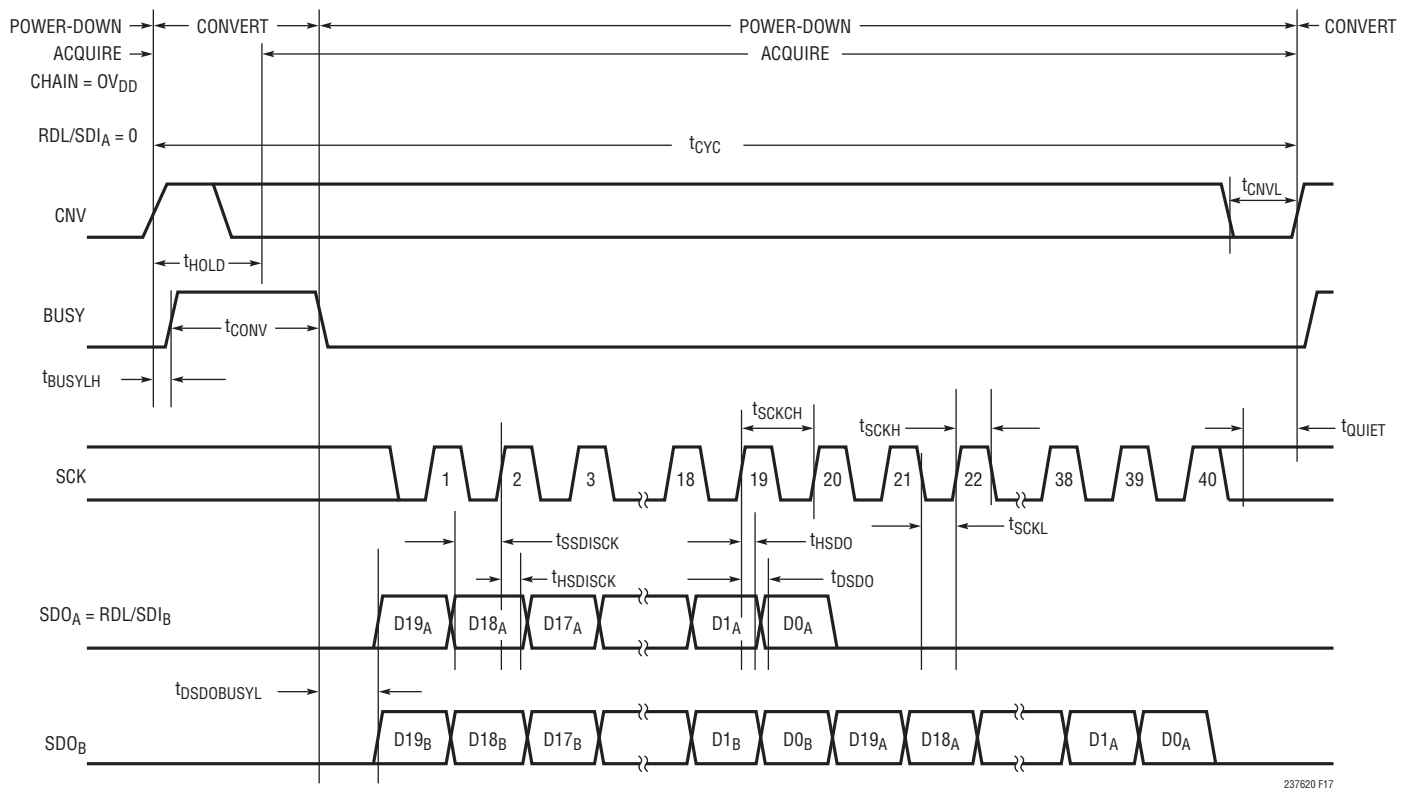
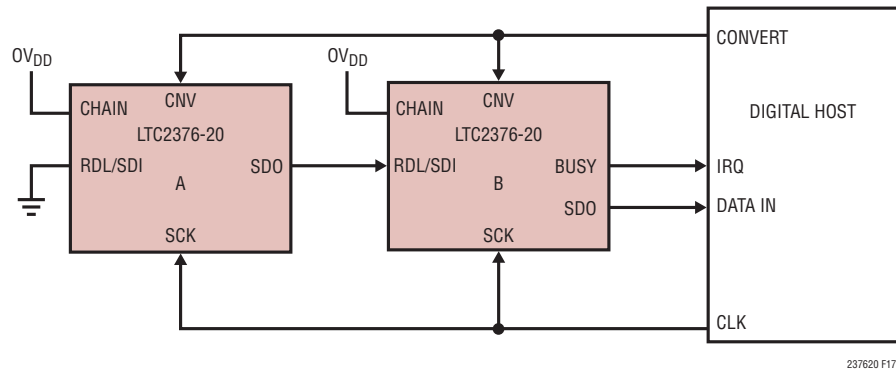


図17. チェーン・モードのタイミング図

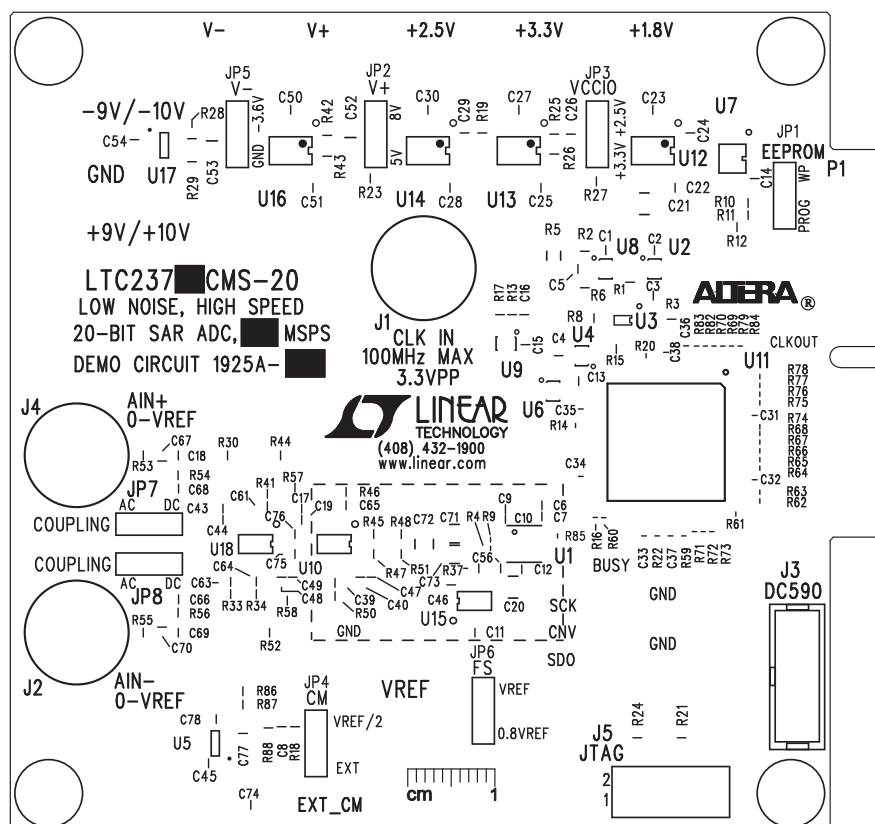
基板レイアウト

LTC2376-20から最大限の性能を引き出すには、プリント回路基板を推奨します。プリント回路基板(PCB)のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ離すようにします。特に、デジタル・クロックやデジタル信号は、アナログ信号に沿って配線したり、ADCの下に配線したりしないように注意してください。

推奨レイアウト

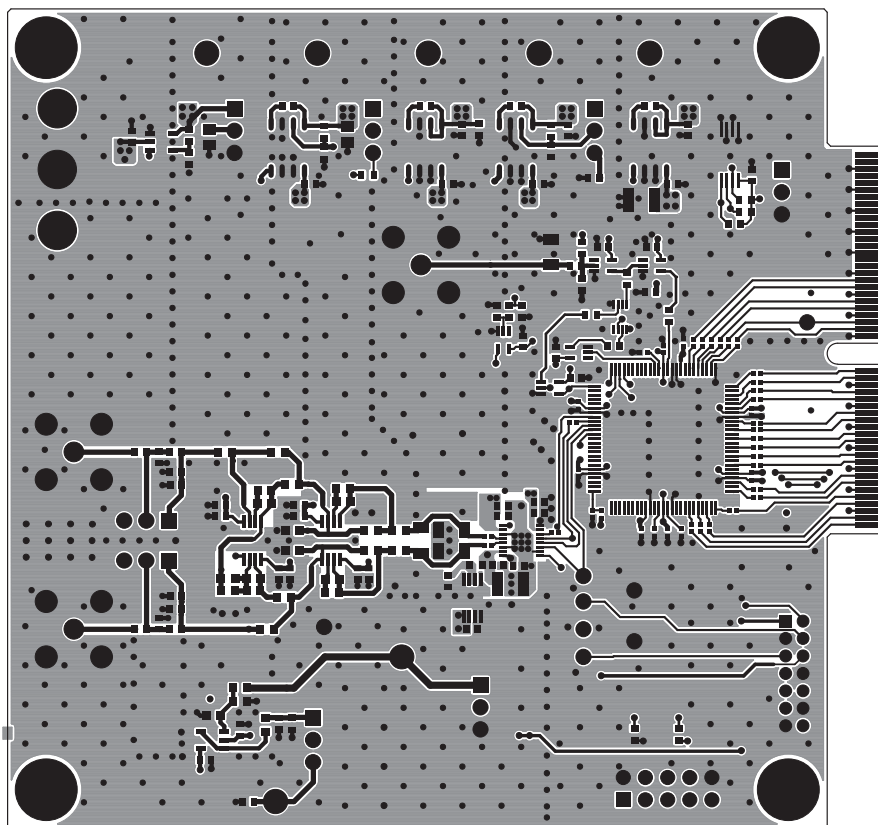
以下に推奨PCBレイアウトの一例を示します。切れ目のない単一のグラウンド・プレーンを使用します。電源へのバイパス・コンデンサは電源ピンのできるだけ近くに配置します。ADCを低ノイズで動作させるには、これらのバイパス・コンデンサに低インピーダンスの共通帰線を使用することが不可欠です。アナログ入力の実線はグラウンドで遮蔽します。詳細については、LTC2376-20用評価キットDC1925Aを参照してください。

部品面シルク



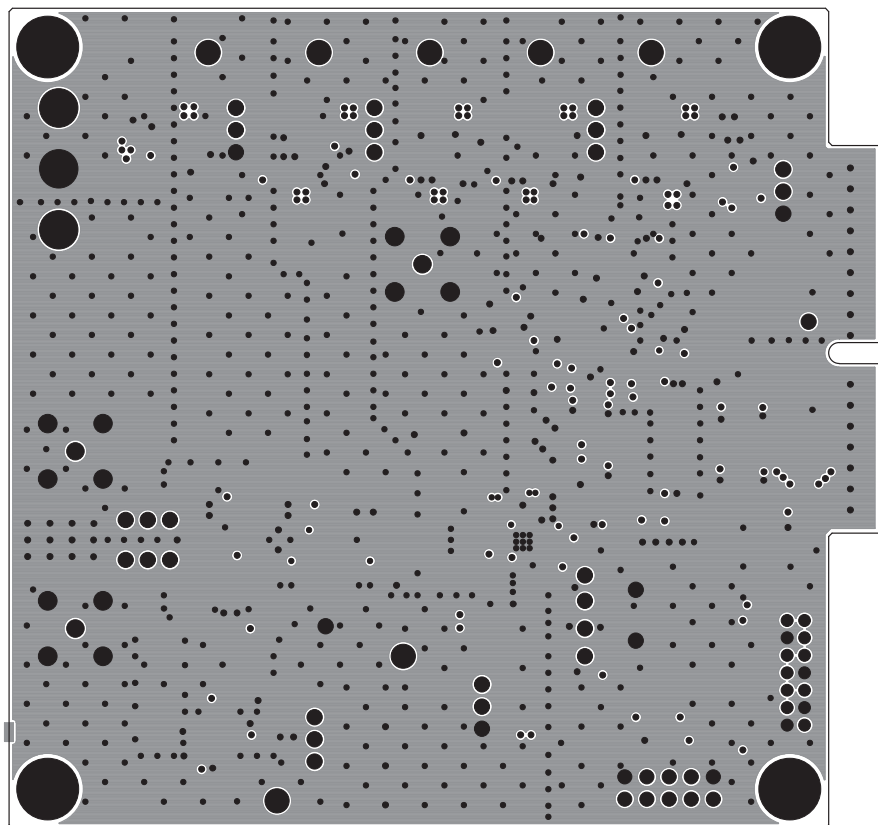
基板レイアウト

第1層、部品面



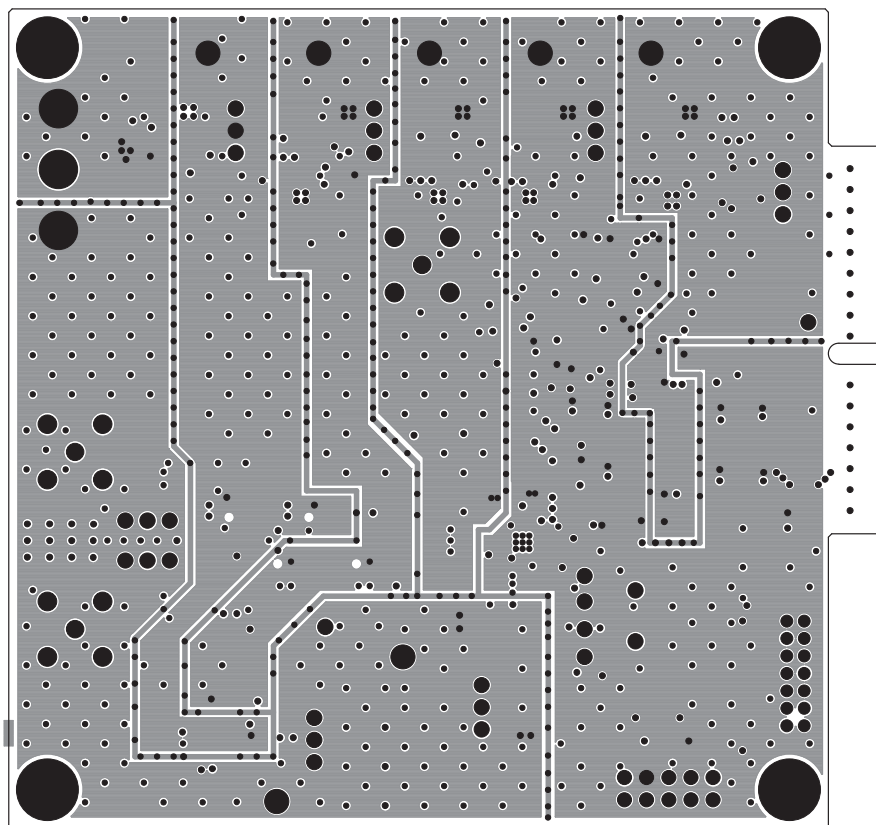
基板レイアウト

第2層、グランド・プレーン



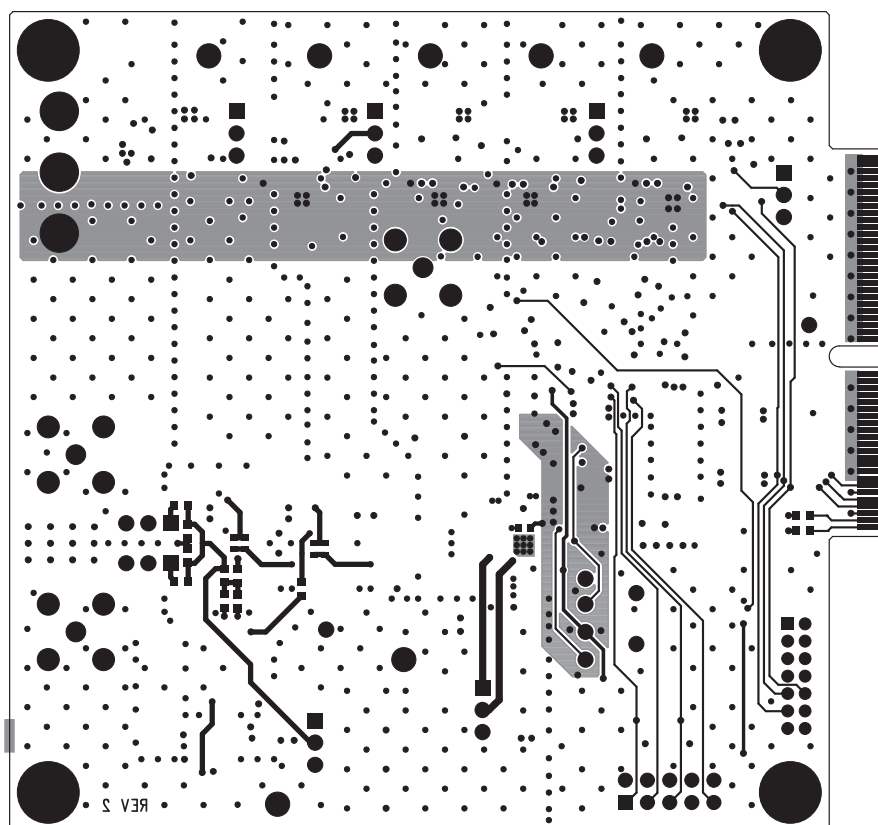
基板レイアウト

第3層、電源プレーン



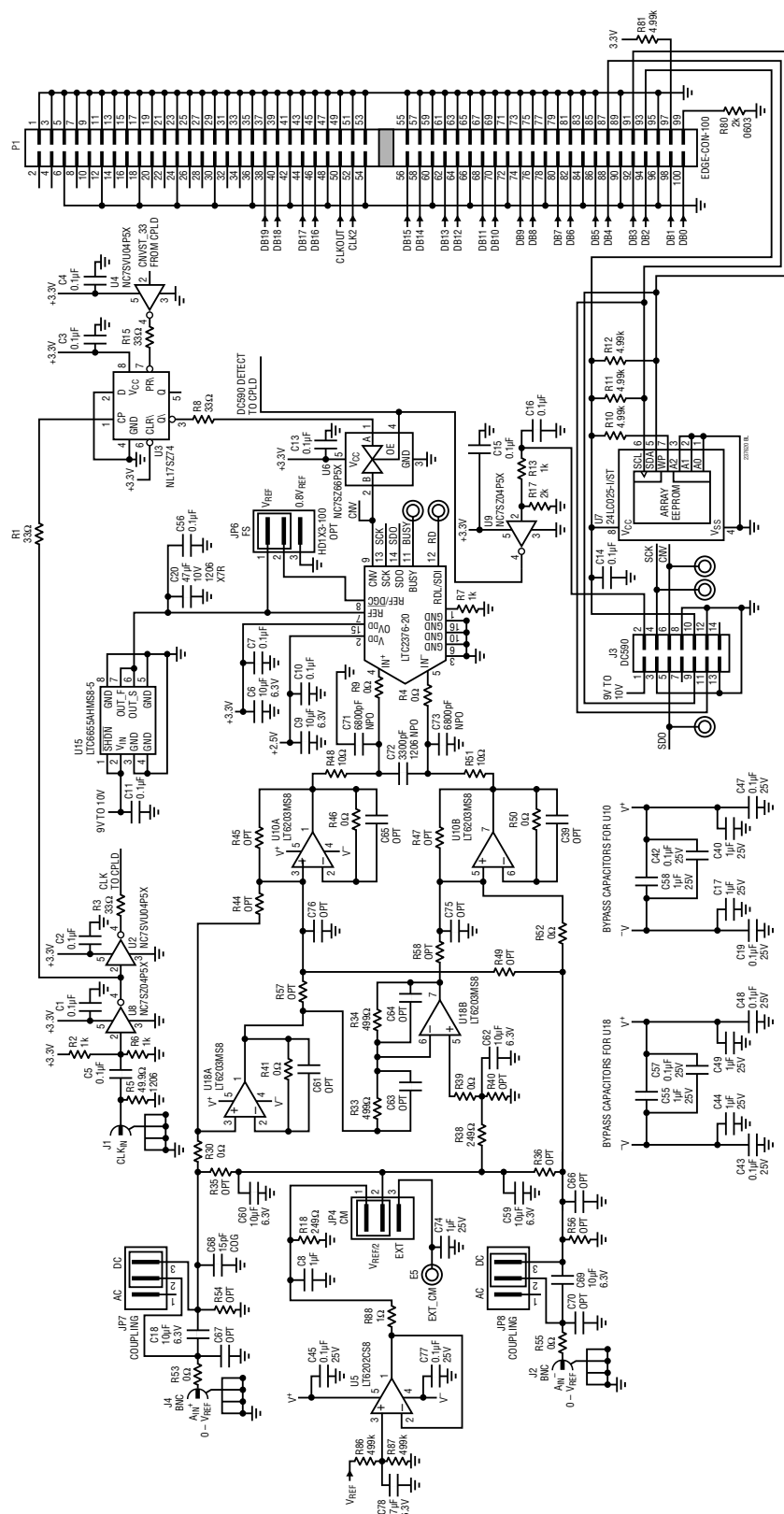
基板レイアウト

第4層、最下層



基板レイアウト

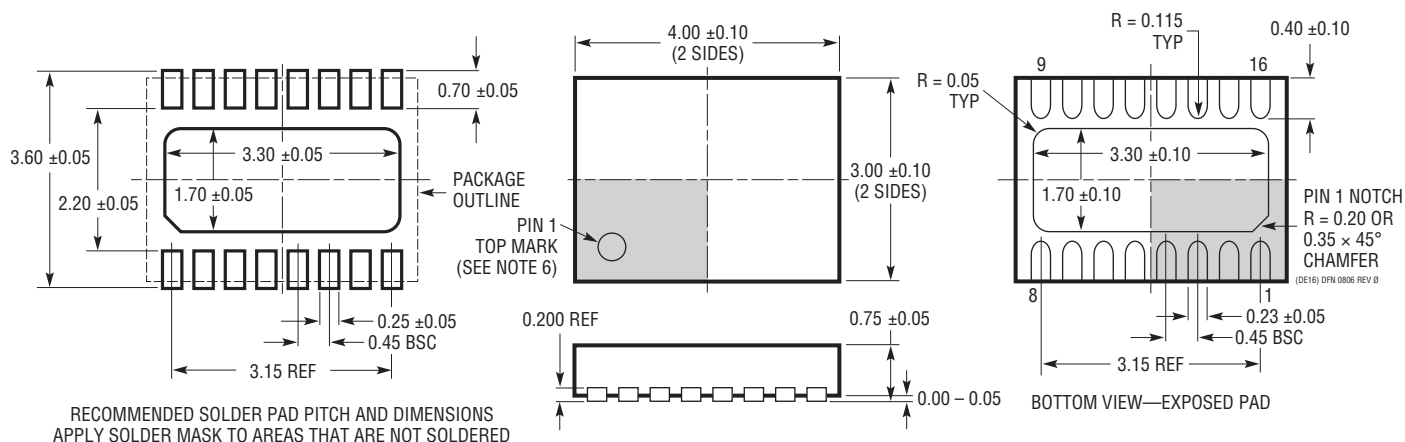
デモボードの回路図(一部)



パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

DE Package
16-Lead Plastic DFN (4mm × 3mm)
 (Reference LTC DWG # 05-08-1732 Rev 0)



NOTE:

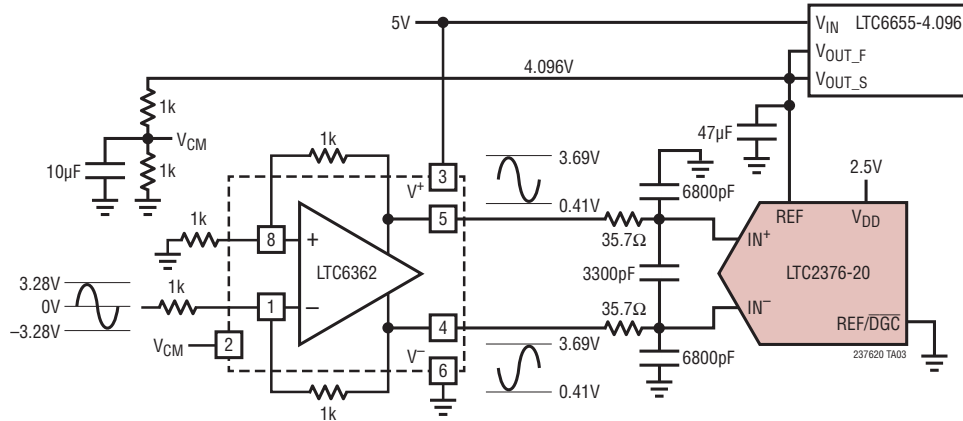
- 図は JEDEC のパッケージ外形 M0-229 のバリエーション (WGED-3) になる予定
- 図は実寸とは異なる
- 全ての寸法はミリメートル
- パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは (もしあれば) 各サイドで 0.15mm を超えないこと
- 露出パッドは半田メッキとする
- 網掛けの部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

改訂履歴

REV	日付	概要	ページ番号
A	3/15	図 11a と標準的応用例の図の誤植を修正。	14、30

標準的応用例

LTC2376-20でデジタル利得圧縮機能がイネーブルされている状態で、
5V単電源で動作しながら±3.28Vの入力信号を受け付けるように構成されたLTC6362



関連製品

製品番号	説明	注釈
ADC		
LTC2378-20	INLが±0.5ppmの20ビット、1Msps、シリアル、低消費電力A/Dコンバータ	2.5V電源、±5V完全差動入力、SNR:104dB、MSOP-16および4mm×3mm DFN-16パッケージ
LTC2379-18/LTC2378-18 LTC2377-18/LTC2376-18	18ビット、1.6Msps/1Msps/500ksps/250kspsシリアル、低消費電力ADC	2.5V電源、差動入力、SNR:101.2dB、入力範囲:±5V、DGC、MSOP-16および4mm×3mm DFN-16パッケージのピン互換ファミリ
LTC2380-16/LTC2378-16 LTC2377-16/LTC2376-16	16ビット、2Msps/1Msps/500ksps/250kspsシリアル、低消費電力ADC	2.5V電源、差動入力、SNR:96.2dB、入力範囲:±5V、DGC、MSOP-16および4mm×3mm DFN-16パッケージのピン互換ファミリ
LTC2369-18/LTC2368-18/ LTC2367-18/LTC2364-18	18ビット、1.6Msps/1Msps/500ksps/250kspsシリアル、低消費電力ADC	2.5V電源、単極性の疑似差動入力、SNR:96.5dB、入力範囲:0V~5V、MSOP-16および4mm×3mm DFN-16パッケージのピン互換ファミリ
LTC2370-16/LTC2368-16 LTC2367-16/LTC2364-16	16ビット、2Msps/1Msps/500ksps/250kspsシリアル、低消費電力ADC	2.5V電源、単極性の疑似差動入力、SNR:94dB、入力範囲:0V~5V、MSOP-16および4mm×3mm DFN-16パッケージのピン互換ファミリ
LTC2383-16/LTC2382-16/ LTC2381-16	16ビット、1Msps/500ksps/250ksps低消費電力A/Dコンバータ	2.5V電源、差動入力、SNR:92dB、入力範囲:±2.5V、MSOP-16および4mm×3mm DFN-16パッケージのピン互換ファミリ
DAC		
LTC2756/LTC2757	18ビット、シングル・シリアル/パラレルSoftSpan™電流出力DAC	INL/DNL:±1LSB、SSOP-28および7mm×7mm LQFP-48パッケージ
LTC2641	16/14/12ビット、シングル・シリアル電圧出力DAC	INL/DNL:±1LSB、MSOP-8パッケージ、0V~5V出力
LTC2630	12/10/8ビット、シングル電圧出力DAC	6ピンSC70パッケージ、内部リファレンス、INL:±1LSB (12ビット)
リファレンス		
LTC6655	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	5V/2.5V、5ppm/°C、ピーク・トゥ・ピーク・ノイズ:0.25ppm、MSOP-8パッケージ
LTC6652	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	5V/2.5V、5ppm/°C、ピーク・トゥ・ピーク・ノイズ:2.1ppm、MSOP-8パッケージ
アンプ		
LTC6362	低消費電力、レール・トゥ・レール入出力、差動出力アンプ/ADCドライバ	単電源:2.8V~5.25V、電源電流:1mA、MSOP-8および3mm×3mm DFN-8パッケージ
LT6200/LT6200-5/ LT6200-10	165MHz/800MHz/1.6GHz オペアンプ、単位利得/AV = 5/AV = 10	低ノイズ電圧:0.95nV/√Hz (100kHz)、低歪み:-80dB (1MHz)、TSOT23-6パッケージ
LT6202/LT6203	シングル/デュアル100MHz、レール・トゥ・レール入出力、低ノイズ、低消費電力アンプ	1.9nV/√Hz、3mA (最大)、利得帯域幅:100MHz、TSOT23-5、SO-8、MSOP-8および3mm×3mm DFN-8パッケージ

237620fa