同相電圧範囲が30Vp-pのバッファ付きクワッド16ビット、350ksps/チャネル、±10.24V差動入力A/Dコンバータ

特長

- **バッファ付き4チャネルの同時サンプリング**
- **各チャネルのスループット：350ksps**
- **最大入力漏れ電流：500pA/12nA（85°C/125°C）**
- **INL：±1LSB（最大、±10.24Vの範囲）**
- **欠落コードのない16ビットを保証**
- **入力同相電圧範囲の広い差動入力**
- **チャネル当たりのSoftSpan入力電圧範囲：**
  - **±10.24V、0V～10.24V、±5.12V、0V～5.12V**
  - **±12.5V、0V～12.5V、±6.25V、0V～6.25V**
- **1回の変換でのSNR：94.2dB（標準）**
- **THD：–110dB（標準、f_{IN} = 2kHz）**
- **CMRR：128dB（標準、f_{IN} = 200Hz）**
- **レール・トゥ・レールのオーバードライブ耐性**
- 内蔵リファレンスおよびバッファ（4.096V）
- SPI CMOS（1.8V～5V）およびLVDSシリアルI/O
- 内部変換クロック、サイクル待ち時間なし
- 電力損失：175mW（44mW/チャネル、標準）
- 48ピン（7mm×7mm）LQFPパッケージ

アプリケーション

- プログラム可能なロジック・コントローラ
- 産業用プロセス制御
- 電力線のモニタリング
- テストおよび測定

概要

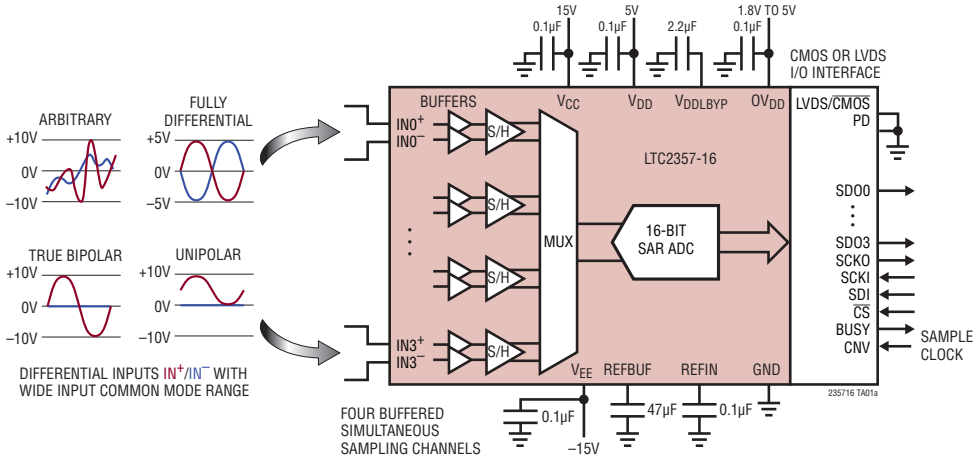
LTC®2357-16は、同相電圧範囲が広く、漏れ電流がpAレベルでバッファ付きの差動入力を備えた16ビット低ノイズ4チャネル同時サンプリング逐次比較レジスタ（SAR）A/Dコンバータです。5Vの低電圧電源、柔軟な高電圧電源で動作し、内部リファレンスおよびバッファを使用するので、このSoftSpan™ A/Dコンバータを変換ごとに個別に設定して、±10.24V、0V～10.24V、±5.12V、または0V～5.12Vの信号を入力することができます。また、チャネルを個別にディスエーブルして他のチャネルのスループットを高めることもできます。

LTC2357-16は、漏れ電流がpAレベルの入力アナログ・バッファを内蔵しており、入力同相電圧範囲が広く、CMRRが128dBなので、使用する基板スペースおよび消費電力を最小限に抑えつつ、さまざまな信号を直接デジタル化することができます。LTC2357-16は、この入力信号の柔軟性と、±1LSBのINL、16ビットで欠落コードなし、および94.2dBのSNRという特長を兼ね備えているので、広いダイナミックレンジが必要な多くの高電圧アプリケーションに最適です。

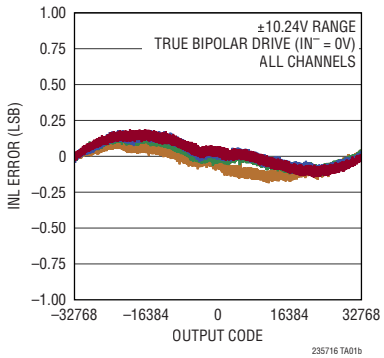
LTC2357-16は、ピンで選択可能なSPI CMOS（1.8V～5V）インタフェースおよびLVDSシリアル・インタフェースをサポートしています。CMOSモードでは、データ出力の1～4レーンを使用することができ、ユーザーはバス幅とスループットを最適化することができます。

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。7705765、7961132、8319673、9197235をはじめとする米国特許によって保護されています。

標準的応用例



積分非直線性と出力コードおよびチャネル

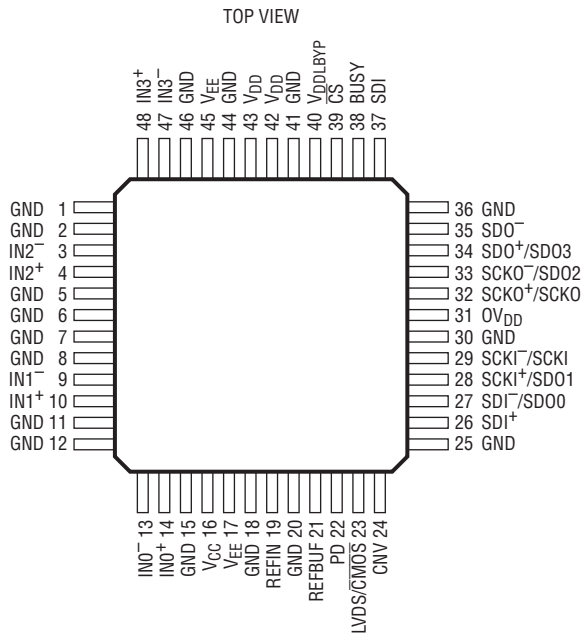


絶対最大定格

(Note 1、2)

電源電圧(V_{CC}) ..... –0.3V～(V_{EE}＋40V)
電源電圧(V_{EE}) .....–17.4V～0.3V
電源電圧差(V_{CC} – V_{EE}) 40V
電源電圧(V_{DD}) 6V
電源電圧(OV_{DD}) 6V
内部安定化電源のバイパス(V_{DDLBYP}) ..... (Note 3)
アナログ入力電圧
　$IN0^+$～$IN3^+$、
　$IN0^-$～$IN3^-$(Note 4) ..... (V_{EE} – 0.3V)～(V_{CC}＋0.3V)
　REFIN .....–0.3V～2.8V
　REFBUF、CNV(Note 5) .....–0.3V～(V_{DD}＋0.3V)
デジタル入力電圧(Note 5) ..... –0.3V～(OV_{DD}＋0.3V)
デジタル出力電圧(Note 5) ..... –0.3V～(OV_{DD}＋0.3V)
電力損失.....500mW
動作温度範囲
　LTC2357C ..... 0°C～70°C
　LTC2357I ..... –40°C～85°C
　LTC2357H ..... –40°C～125°C
保存温度範囲..... –65°C～150°C

ピン配置



LX PACKAGE
48-LEAD (7mm × 7mm) PLASTIC LQFP
T_{JMAX} = 150°C, θ_{JA} = 53°C/W

発注情報 http://www.linear-tech.co.jp/product/LTC2357-16#orderinfo

トレイ	製品マーキング*	パッケージ	温度範囲
LTC2357CLX-16#PBF	LTC2357LX-16	48-Lead (7mm×7mm) Plastic LQFP	0°C to 70°C
LTC2357ILX-16#PBF	LTC2357LX-16	48-Lead (7mm×7mm) Plastic LQFP	–40°C to 85°C
LTC2357HLX-16#PBF	LTC2357LX-16	48-Lead (7mm×7mm) Plastic LQFP	–40°C to 125°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。
無鉛仕上げの製品マーキングの詳細については、http://www.linear-tech.co.jp/leadfree/をご覧ください。

電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値（Note 6）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN+}	Absolute Input Range ($IN0^+$ to $IN3^+$)	(Note 7)	●	V_{EE} + 4		V_{CC} – 4	V
V_{IN-}	Absolute Input Range ($IN0^-$ to $IN3^-$)	(Note 7)	●	V_{EE} + 4		V_{CC} – 4	V
$V_{IN+} – V_{IN-}$	Input Differential Voltage Range	SoftSpan 7: ±2.5 • V_{REFBUF} Range (Note 7)	●	–2.5 • V_{REFBUF}		2.5 • V_{REFBUF}	V
		SoftSpan 6: ±2.5 • V_{REFBUF}/1.024 Range (Note 7)	●	–2.5 • V_{REFBUF}/1.024		2.5 • V_{REFBUF}/1.024	V
		SoftSpan 5:0V to 2.5 • V_{REFBUF} Range (Note 7)	●	0		2.5 • V_{REFBUF}	V
		SoftSpan 4:0V to 2.5 • V_{REFBUF}/1.024 Range (Note 7)	●	0		2.5 • V_{REFBUF}/1.024	V
		SoftSpan 3: ±1.25 • V_{REFBUF} Range (Note 7)	●	–1.25 • V_{REFBUF}		1.25 • V_{REFBUF}	V
		SoftSpan 2: ±1.25 • V_{REFBUF}/1.024 Range (Note 7)	●	–1.25 • V_{REFBUF}/1.024		1.25 • V_{REFBUF}/1.024	V
		SoftSpan 1:0V to 1.25 • V_{REFBUF} Range (Note 7)	●	0		1.25 • V_{REFBUF}	V
V_{CM}	Input Common Mode Voltage Range	(Note 7)	●	V_{EE} + 4		V_{CC} – 4	V
$V_{IN+} – V_{IN-}$	Input Differential Overdrive Tolerance	(Note 8)	●	– (V_{CC} – V_{EE})		(V_{CC} – V_{EE})	V
$I_{OVERDRIVE}$	Input Overdrive Current Tolerance	V_{IN+} > V_{CC}, V_{IN-} > V_{CC} (Note 8)	●			10	mA
		V_{IN+} < V_{EE}, V_{IN-} < V_{EE} (Note 8)	●	0			mA
I_{IN}	Analog Input Leakage Current				5		pA
		C-Grade and I-Grade	●			500	pA
		H-Grade	●			12	nA
$I_{IN+} – I_{IN-}$	Analog Input Leakage Offset Current	V_{IN+} = V_{IN-}			±1		pA
		V_{IN+} = V_{IN-}, C-Grade and I-Grade	●	–100		100	pA
		V_{IN+} = V_{IN-}, H-Grade	●	–1.2		1.2	nA
R_{IN}	Analog Input Resistance	For Each Pin			>1000		GΩ
C_{IN}	Analog Input Capacitance				3		pF
CMRR	Input Common Mode Rejection Ratio	V_{IN+} = V_{IN-} = 18V_{P-P} 200Hz Sine	●	105	128		dB
V_{IHCNV}	CNV High Level Input Voltage		●	1.3			V
V_{ILCNV}	CNV Low Level Input Voltage		●			0.5	V
I_{INCNV}	CNV Input Current	V_{IN} = 0V to V_{DD}	●	–10		10	μA

コンバータ特性

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値（Note 9）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	Resolution		●	16			Bits
	No Missing Codes		●	16			Bits
	Transition Noise	SoftSpans 7 and 6: ±10.24V and ±10V Ranges SoftSpans 5 and 4: 0V to 10.24V and 0V to 10V Ranges SoftSpans 3 and 2: ±5.12V and ±5V Ranges SoftSpan 1: 0V to 5.12V Range			0.35 0.7 0.5 1.1		LSB_{RMS} LSB_{RMS} LSB_{RMS} LSB_{RMS}
INL	Integral Linearity Error	SoftSpans 7 and 6: ±10.24V and ±10V Ranges (Note 10) SoftSpans 5 and 4: 0V to 10.24V and 0V to 10V Ranges (Note 10) SoftSpans 3 and 2: ±5.12V and ±5V Ranges (Note 10) SoftSpan 1: 0V to 5.12V Range (Note 10)	● ● ● ●	–1 –1.25 –1 –1.5	±0.3 ±0.4 ±0.4 ±0.5	1 1.25 1 1.5	LSB LSB LSB LSB
DNL	Differential Linearity Error	(Note 11)	●	–0.9	±0.1	0.9	LSB
ZSE	Zero-Scale Error	(Note 12)	●	–900	±160	900	µV
	Zero-Scale Error Drift				±4		µV/°C
FSE	Full-Scale Error	V_{REFBUF} = 4.096V (REFBUF Overdriven) (Note 12)	●	–0.1	±0.025	0.1	%FS
	Full-Scale Error Drift	V_{REFBUF} = 4.096V (REFBUF Overdriven) (Note 12)			±2.5		ppm/°C

ダイナミック精度

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値。A_{IN} = –1dBFS。（Note 9、13）

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
SINAD	Signal-to-(Noise + Distortion) Ratio	SoftSpans 7 and 6: ±10.24V and ±10V Ranges, f_{IN} = 2kHz SoftSpans 5 and 4: 0V to 10.24V and 0V to 10V Ranges, f_{IN} = 2kHz SoftSpans 3 and 2: ±5.12V and ±5V Ranges, f_{IN} = 2kHz SoftSpan 1: 0V to 5.12V Range, f_{IN} = 2kHz	● ● ● ●	91.2 86.4 88.8 83.3	94.1 89.6 91.6 86.5		dB dB dB dB
SNR	Signal-to-Noise Ratio	SoftSpans 7 and 6: ±10.24V and ±10V Ranges, f_{IN} = 2kHz SoftSpans 5 and 4: 0V to 10.24V and 0V to 10V Ranges, f_{IN} = 2kHz SoftSpans 3 and 2: ±5.12V and ±5V Ranges, f_{IN} = 2kHz SoftSpan 1: 0V to 5.12V Range, f_{IN} = 2kHz	● ● ● ●	91.3 86.5 88.9 83.4	94.2 89.7 91.6 86.5		dB dB dB dB
THD	Total Harmonic Distortion	SoftSpans 7 and 6: ±10.24V and ±10V Ranges, f_{IN} = 2kHz SoftSpans 5 and 4: 0V to 10.24V and 0V to 10V Ranges, f_{IN} = 2kHz SoftSpans 3 and 2: ±5.12V and ±5V Ranges, f_{IN} = 2kHz SoftSpan 1: 0V to 5.12V Range, f_{IN} = 2kHz	● ● ● ●		–110 –111 –112 –113	–101 –99 –102 –99	dB dB dB dB
SFDR	Spurious Free Dynamic Range	SoftSpans 7 and 6: ±10.24V and ±10V Ranges, f_{IN} = 2kHz SoftSpans 5 and 4: 0V to 10.24V and 0V to 10V Ranges, f_{IN} = 2kHz SoftSpans 3 and 2: ±5.12V and ±5V Ranges, f_{IN} = 2kHz SoftSpan 1: 0V to 5.12V Range, f_{IN} = 2kHz	● ● ● ●	101 99 103 99	112 113 114 114		dB dB dB dB
	Channel-to-Channel Crosstalk	One Channel Converting $18V_{P-P}$ 200Hz Sine in ±10.24V Range, Crosstalk to All Other Channels			–109		dB
	–3dB Input Bandwidth				6		MHz
	Aperture Delay				1		ns
	Aperture Delay Matching				150		ps
	Aperture Jitter				3		ps_{RMS}
	Transient Response	Full-Scale Step, 0.005% Settling			420		ns

内部リファレンスの特性

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値（Note 9）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{REFIN}	Internal Reference Output Voltage			2.043	2.048	2.053	V
	Internal Reference Temperature Coefficient	(Note 14)	●		5	20	ppm/°C
	Internal Reference Line Regulation	V_{DD} = 4.75V to 5.25V			0.1		mV/V
	Internal Reference Output Impedance				20		kΩ
V_{REFIN}	REFIN Voltage Range	REFIN Overdriven (Note 7)		1.25		2.2	V

リファレンス・バッファ特性

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値（Note 9）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{REFBUF}	Reference Buffer Output Voltage	REFIN Overdriven, V_{REFIN} = 2.048V	●	4.091	4.096	4.101	V
	REFBUF Voltage Range	REFBUF Overdriven (Notes 7, 15)	●	2.5		5	V
	REFBUF Input Impedance	V_{REFIN} = 0V, Buffer Disabled			13		kΩ
I_{REFBUF}	REFBUF Load Current	V_{REFBUF} = 5V, 4 Channels Enabled (Notes 15, 16) V_{REFBUF} = 5V, Acquisition or Nap Mode (Note 15)	●		1.4 0.36	1.5	mA mA

デジタル入力とデジタル出力

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値（Note 9）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
CMOS デジタル入力とデジタル出力							
V_{IH}	High Level Input Voltage		●	0.8 • OV_{DD}			V
V_{IL}	Low Level Input Voltage		●			0.2 • OV_{DD}	V
I_{IN}	Digital Input Current	V_{IN} = 0V to OV_{DD}	●	–10		10	µA
C_{IN}	Digital Input Capacitance				5		pF
V_{OH}	High Level Output Voltage	I_{OUT} = –500µA	●	OV_{DD} – 0.2			V
V_{OL}	Low Level Output Voltage	I_{OUT} = 500µA	●			0.2	V
I_{OZ}	Hi-Z Output Leakage Current	V_{OUT} = 0V to OV_{DD}	●	–10		10	µA
I_{SOURCE}	Output Source Current	V_{OUT} = 0V			–50		mA
I_{SINK}	Output Sink Current	V_{OUT} = OV_{DD}			50		mA
LVDS デジタル入力とデジタル出力							
V_{ID}	Differential Input Voltage		●	200	350	600	mV
R_{ID}	On-Chip Input Termination Resistance	$\overline{CS}$ = 0V, V_{ICM} = 1.2V $\overline{CS}$ = OV_{DD}	●	90	106 10	125	Ω MΩ
V_{ICM}	Common-Mode Input Voltage		●	0.3	1.2	2.2	V
I_{ICM}	Common-Mode Input Current	V_{IN+} = V_{IN-} = 0V to OV_{DD}	●	–10		10	µA
V_{OD}	Differential Output Voltage	R_L = 100Ω Differential Termination	●	275	350	425	mV
V_{OCM}	Common-Mode Output Voltage	R_L = 100Ω Differential Termination	●	1.1	1.2	1.3	V
I_{OZ}	Hi-Z Output Leakage Current	V_{OUT} = 0V to OV_{DD}	●	–10		10	µA

電源要件

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値（Note 9）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{CC}	Supply Voltage		●	7.5		38	V
V_{EE}	Supply Voltage		●	–16.5		0	V
$V_{CC} – V_{EE}$	Supply Voltage Difference		●	10		38	V
V_{DD}	Supply Voltage		●	4.75	5.00	5.25	V
I_{VCC}	Supply Current	350ksps Sample Rate, 4 Channels Enabled (Note 17)	●		3.4	3.9	mA
		Acquisition Mode (Note 17)	●		5.7	6.9	mA
		Nap Mode	●		1.5	1.8	mA
		Power Down Mode	●		5	15	µA
I_{VEE}	Supply Current	350ksps Sample Rate, 4 Channels Enabled (Note 17)	●	–4.1	–3.2		mA
		Acquisition Mode (Note 17)	●	–7.1	–5.6		mA
		Nap Mode	●	–2	–1.4		mA
		Power Down Mode	●	–15	–4		µA
CMOS I/O モード							
OV_{DD}	Supply Voltage		●	1.71		5.25	V
I_{VDD}	Supply Current	350ksps Sample Rate, 4 Channels Enabled	●		14.3	16	mA
		350ksps Sample Rate, 4 Channels Enabled, V_{REFBUF} = 5V (Note 15)	●		12.6	14.3	mA
		Acquisition Mode	●		1.8	2.5	mA
		Nap Mode	●		1.6	2.2	mA
		Power Down Mode (C-Grade and I-Grade)	●		84	300	µA
		Power Down Mode (H-Grade)	●		84	750	µA
I_{OVDD}	Supply Current	350ksps Sample Rate, 4 Channels Enabled (C_L = 25pF)	●		1.8	2.6	mA
		Acquisition or Nap Mode	●		1	20	µA
		Power Down Mode	●		1	20	µA
P_D	Power Dissipation	350ksps Sample Rate, 4 Channels Enabled	●		175	207	mW
		Acquisition Mode	●		179	223	mW
		Nap Mode	●		52	68	mW
		Power Down Mode (C-Grade and I-Grade)	●		0.56	2	mW
		Power Down Mode (H-Grade)	●		0.56	4.3	mW
LVDS I/O モード							
OV_{DD}	Supply Voltage		●	2.375		5.25	V
I_{VDD}	Supply Current	350ksps Sample Rate, 4 Channels Enabled	●		16.4	18.1	mA
		350ksps Sample Rate, 4 Channels Enabled, V_{REFBUF} = 5V (Note 15)	●		14.9	16.7	mA
		Acquisition Mode	●		3.4	4.2	mA
		Nap Mode	●		3.2	4	mA
		Power Down Mode (C-Grade and I-Grade)	●		84	300	µA
		Power Down Mode (H-Grade)	●		84	750	µA
I_{OVDD}	Supply Current	350ksps Sample Rate, 4 Channels Enabled (R_L = 100Ω)	●		7.5	8.7	mA
		Acquisition or Nap Mode (R_L = 100Ω)	●		7	8.2	mA
		Power Down Mode	●		1	20	µA
P_D	Power Dissipation	350ksps Sample Rate, 4 Channels Enabled	●		200	232	mW
		Acquisition Mode	●		204	252	mW
		Nap Mode	●		77	98	mW
		Power Down Mode (C-Grade and I-Grade)	●		0.56	2	mW
		Power Down Mode (H-Grade)	●		0.56	4.3	mW

A/Dコンバータのタイミング特性

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値（Note 9）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
f_{SMPL}	Maximum Sampling Frequency	4 Channels Enabled 3 Channels Enabled 2 Channels Enabled 1 Channel Enabled	● ● ● ●			350 425 550 800	ksps ksps ksps ksps
t_{CYC}	Time Between Conversions	4 Channels Enabled, f_{SMPL} = 350ksps 3 Channels Enabled, f_{SMPL} = 425ksps 2 Channels Enabled, f_{SMPL} = 550ksps 1 Channel Enabled, f_{SMPL} = 800ksps	● ● ● ●	2855 2350 1815 1250			ns ns ns ns
t_{CONV}	Conversion Time	N Channels Enabled, 1 ≤ N ≤ 4	●	450•N	500•N	550•N	ns
t_{ACQ}	Acquisition Time (t_{ACQ} = t_{CYC} – t_{CONV} – t_{BUSYLH})	4 Channels Enabled, f_{SMPL} = 350ksps 3 Channels Enabled, f_{SMPL} = 425ksps 2 Channels Enabled, f_{SMPL} = 550ksps 1 Channel Enabled, f_{SMPL} = 800ksps	● ● ● ●	625 670 685 670	835 830 795 730		ns ns ns ns
t_{CNVH}	CNV High Time		●	40			ns
t_{CNVL}	CNV Low Time		●	750			ns
t_{BUSYLH}	CNV↑ to BUSY Delay	C_L = 25pF	●			30	ns
t_{QUIET}	Digital I/O Quiet Time from CNV↑		●	20			ns
t_{PDH}	PD High Time		●	40			ns
t_{PDL}	PD Low Time		●	40			ns
t_{WAKE}	REFBUF Wake-Up Time	C_{REFBUF} = 47µF, C_{REFIN} = 0.1µF			200		ms
CMOS I/Oモード							
t_{SCKI}	SCKI Period	(Notes 18, 19)	●	10			ns
t_{SCKIH}	SCKI High Time		●	4			ns
t_{SCKIL}	SCKI Low Time		●	4			ns
$t_{SSDISCKI}$	SDI Setup Time from SCKI↑	(Note 18)	●	2			ns
$t_{HSDISCKI}$	SDI Hold Time from SCKI↑	(Note 18)	●	1			ns
$t_{DSDOSCKI}$	SDO Data Valid Delay from SCKI↑	C_L = 25pF (Note 18)	●			7.5	ns
$t_{HSDOSCKI}$	SDO Remains Valid Delay from SCKI↑	C_L = 25pF (Note 18)	●	1.5			ns
t_{SKEW}	SDO to SCKO Skew	(Note 18)	●	–1	0	1	ns
$t_{DSDOBUSYL}$	SDO Data Valid Delay from BUSY↓	C_L = 25pF (Note 18)	●	0			ns
t_{EN}	Bus Enable Time After $\overline{CS}$↓	(Note 18)	●			15	ns
t_{DIS}	Bus Relinquish Time After $\overline{CS}$↑	(Note 18)	●			15	ns
LVDS I/Oモード							
t_{SCKI}	SCKI Period	(Note 20)	●	4			ns
t_{SCKIH}	SCKI High Time	(Note 20)	●	1.5			ns
t_{SCKIL}	SCKI Low Time	(Note 20)	●	1.5			ns
$t_{SSDISCKI}$	SDI Setup Time from SCKI	(Notes 11, 20)	●	1.2			ns
$t_{HSDISCKI}$	SDI Hold Time from SCKI	(Notes 11, 20)	●	–0.2			ns
$t_{DSDOSCKI}$	SDO Data Valid Delay from SCKI	(Notes 11, 20)	●			6	ns
$t_{HSDOSCKI}$	SDO Remains Valid Delay from SCKI	(Notes 11, 20)	●	1			ns
t_{SKEW}	SDO to SCKO Skew	(Note 11)	●	–0.4	0	0.4	ns
$t_{DSDOBUSYL}$	SDO Data Valid Delay from BUSY↓	(Note 11)	●	0			ns
t_{EN}	Bus Enable Time After $\overline{CS}$↓		●			50	ns
t_{DIS}	Bus Relinquish Time After $\overline{CS}$↑		●			15	ns

A/Dコンバータのタイミング特性

Note 1：絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2：全ての電圧値はGNDを基準にしている。

Note 3：V_{DDLBYP}は内部電圧レギュレータの出力であり、「ピン機能」のセクションで説明するように、必ず2.2μFのセラミック・コンデンサに接続して、このピンをGNDにバイパスする。このピンはどの外部回路にも接続しないこと。

Note 4：これらのピンの電圧をV_{EE}より低くするか、V_{CC}より高くすると、その電圧は内部のダイオードによってクランプされる。この製品は、これらのピンの電圧がV_{EE}より低くなるか、V_{CC}より高くなった場合でも、ラッチアップを生じることなしに最大100mAの入力電流を処理することができる。

Note 5：これらのピンの電圧をGNDより低くするか、V_{DD}またはOV_{DD}の電圧より高くすると、内部のダイオードによってクランプされる。この製品は、これらのピンの電圧がGNDより低くなるか、V_{DD}ピンまたはOV_{DD}ピンの電圧より高くなった場合でも、ラッチアップを生じることなく最大100mAの電流を処理できる。

Note 6：注記がない限り、$-16.5V \le V_{EE} \le 0V$、$7.5V \le V_{CC} \le 38V$、$10V \le (V_{CC} - V_{EE}) \le 38V$、$V_{DD} = 5V$。

Note 7：推奨動作条件。

Note 8：いずれかのチャネルでこれらの制限値を超えると、他のチャネルの変換結果が損なわれることがある。いずれかのチャネルでアナログ入力を最大10mAで駆動しV_{CC}より高い電圧にしても、他のチャネルの変換結果には影響しない。アナログ入力をV_{EE}より低い電圧にすると、他のチャネルの変換結果が損なわれることがある。詳細については「アプリケーション情報」のセクションを参照。デバイスの信頼性に関連したピンの電圧制限値については、「絶対最大定格」のセクションを参照。

Note 9：注記がない限り、$V_{CC} = 15V$、$V_{EE} = -15V$、$V_{DD} = 5V$、$OV_{DD} = 2.5V$、$f_{SMPL} = 350ksps$、内部リファレンスおよびバッファ、両極性SoftSpan範囲では真の両極性入力信号を駆動、単極性SoftSpan範囲では単極性信号を駆動。

Note 10：積分非直線性は、実際の伝達曲線の端点を通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 11：設計によって保証されており、テストされない。

Note 12：両極性SoftSpan範囲7、6、3、および2の場合、ゼロスケール誤差は、出力コードが0000 0000 0000 0000と1111 1111 1111 1111の間を往復しているときに、−0.5LSBから測定されたオフセット電圧である。これらのSoftSpan範囲のフルスケール誤差は、最初と最後のコード遷移の理想値からのワーストケースの偏差であり、オフセット誤差の影響を含む。単極性SoftSpan範囲5、4、および1の場合、ゼロスケール誤差は、出力コードが0000 0000 0000 0000と0000 0000 0000 0001の間を往復しているときに、0.5LSBから測定されたオフセット電圧である。これらのSoftSpan範囲のフルスケール誤差は、最後のコード遷移の理想値からのワーストケースの偏差であり、オフセット誤差の影響を含む。

Note 13：dB単位での全ての規定値は、該当するSoftSpan入力範囲内でのフルスケール入力を基準にしている。ただし、クロストークの場合はクロストーク注入信号の振幅を基準とするので除外する。

Note 14：温度係数は出力電圧の最大変化を規定温度範囲で割って計算される。

Note 15：REFBUFをオーバードライブする場合は、REFIN = 0Vに設定して内部リファレンス・バッファをディスエーブルする必要がある。

Note 16：I_{REFBUF}はサンプル・レートと動作状態のチャネル数に比例して変化する。

Note 17：アナログ入力回路の一部は変換時に電源が遮断されるので、I_{VCC}およびI_{VEE}は減少する。詳細については「アプリケーション情報」のセクションを参照。

Note 18：パラメータは$OV_{DD} = 1.71V$、$OV_{DD} = 2.5V$、および$OV_{DD} = 5.25V$でテストされ、保証されている。

Note 19：t_{SCKI}周期は最小10nsなので、立ち上がりエッジで取り込む場合は最大100MHzのシフト・クロック周波数が可能。

Note 20：LVDS差動入力対の場合は、$V_{ICM} = 1.2V$、$V_{ID} = 350mV$。

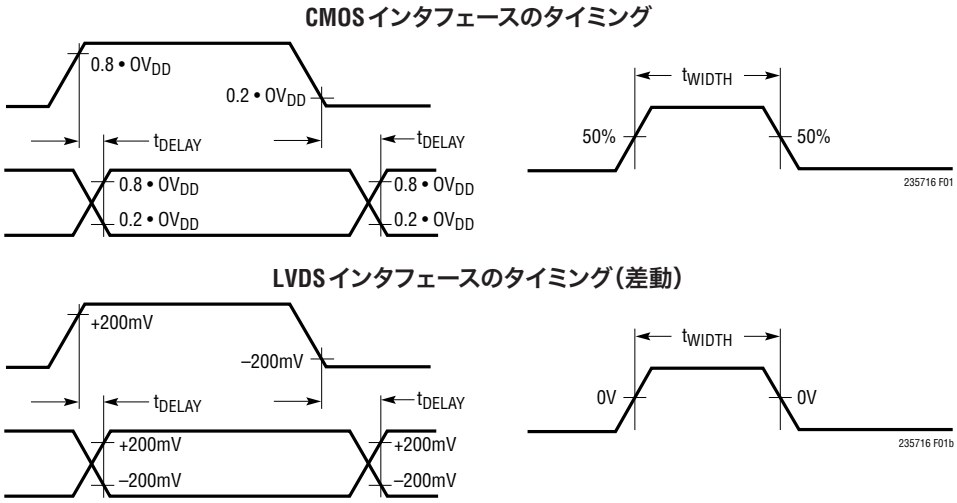
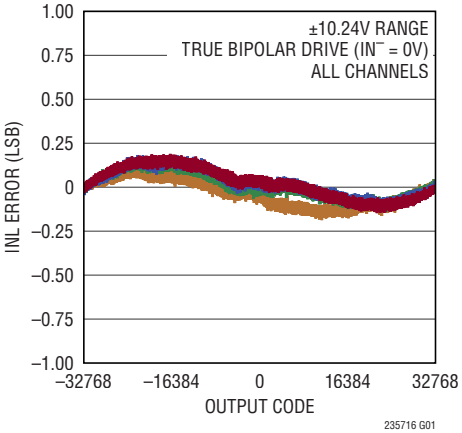


図1. タイミング仕様の電圧レベル

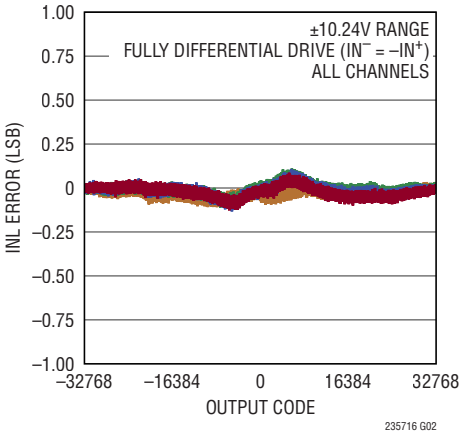
標準的性能特性

注記がない限り、T_A = 25°C、V_{CC} = +15V、V_{EE} = –15V、V_{DD} = 5V、OV_{DD} = 2.5V、内部リファレンスおよびバッファ（V_{REFBUF} = 4.096V）、f_{SMPL} = 350ksps。

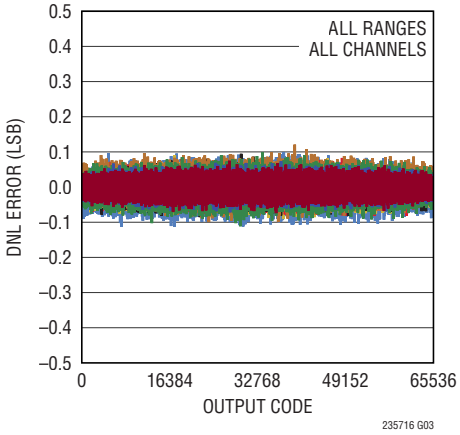
積分非直線性と出力コードおよびチャネル



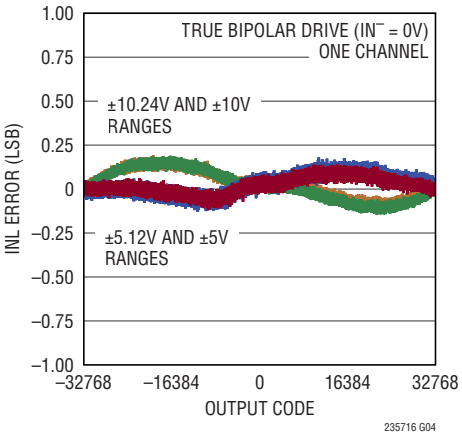
積分非直線性と出力コードおよびチャネル



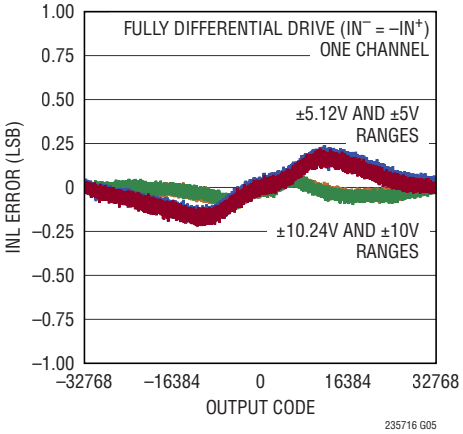
微分非直線性と出力コードおよびチャネル



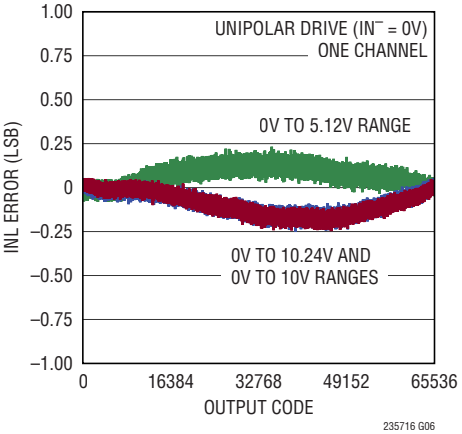
積分非直線性と出力コードおよび範囲



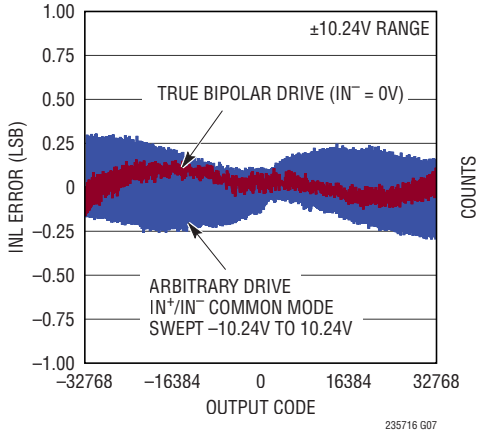
積分非直線性と出力コードおよび範囲



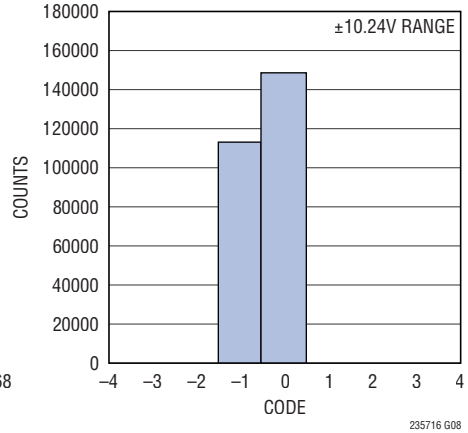
積分非直線性と出力コードおよび範囲



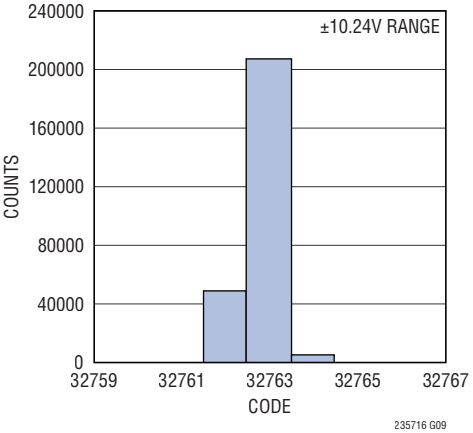
積分非直線性と出力コード



DCヒストグラム（ゼロスケール）



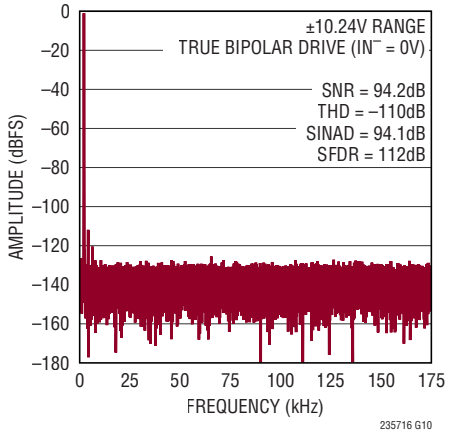
DCヒストグラム（フルスケール付近）



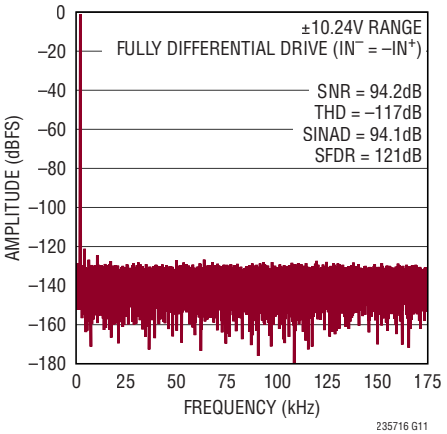
標準的性能特性

注記がない限り、T_A = 25°C、V_{CC} = +15V、V_{EE} = –15V、V_{DD} = 5V、OV_{DD} = 2.5V、内部リファレンスおよびバッファ（V_{REFBUF} = 4.096V）、f_{SMPL} = 350ksps。

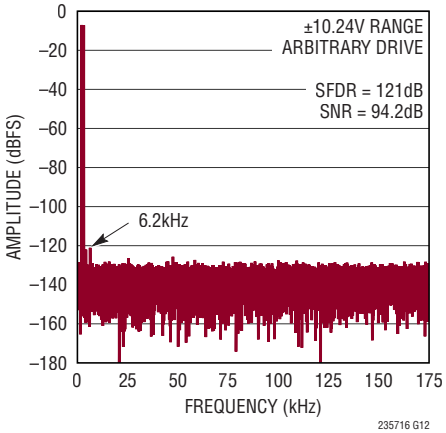
32kポイントのFFT、f_{SMPL} = 350ksps、f_{IN} = 2kHz



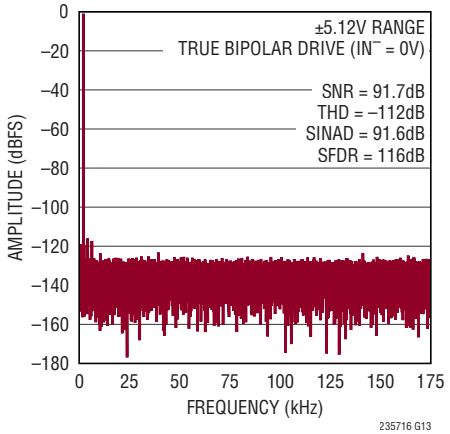
32kポイントのFFT、f_{SMPL} = 350ksps、f_{IN} = 2kHz



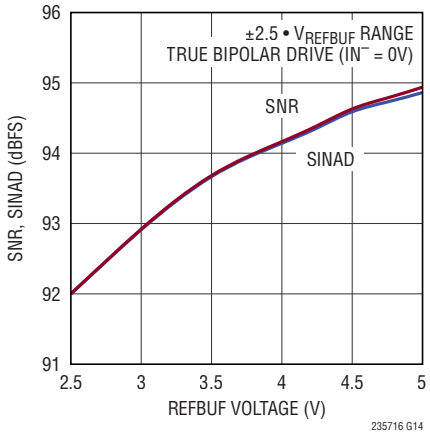
32kポイントの任意の2トーンFFT f_{SMPL} = 350ksps、IN^+ = –7dBFS 2kHz正弦波、IN^- = –7dBFS 3.1kHz正弦波



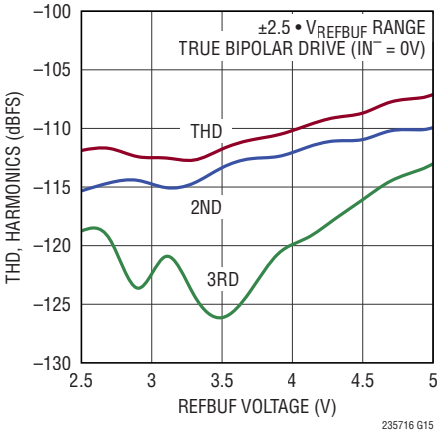
32kポイントのFFT、f_{SMPL} = 350ksps、f_{IN} = 2kHz



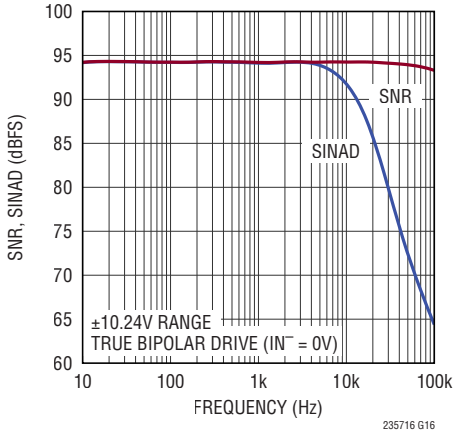
SNR、SINADとV_{REFBUF}、f_{IN} = 2kHz



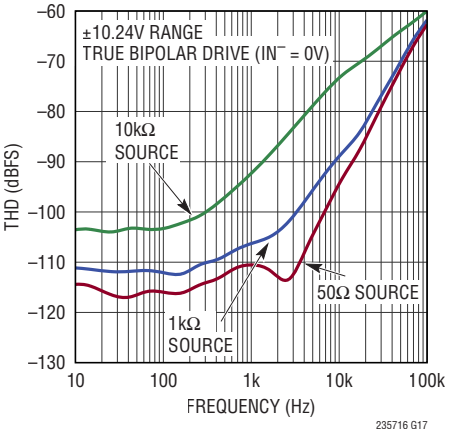
THD、高調波とV_{REFBUF}、f_{IN} = 2kHz



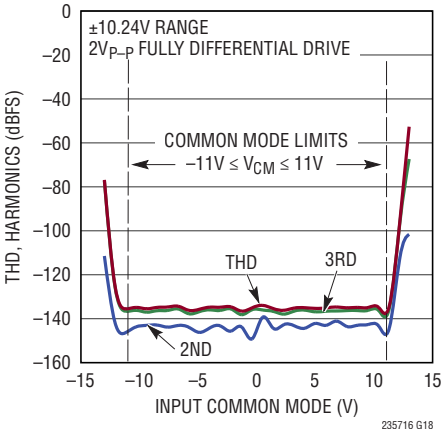
SNR、SINADと入力周波数



THDと入力周波数および信号源抵抗



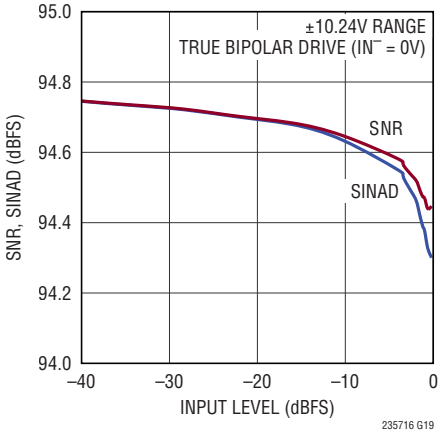
THD、高調波と入力同相電圧、f_{IN} = 2kHz



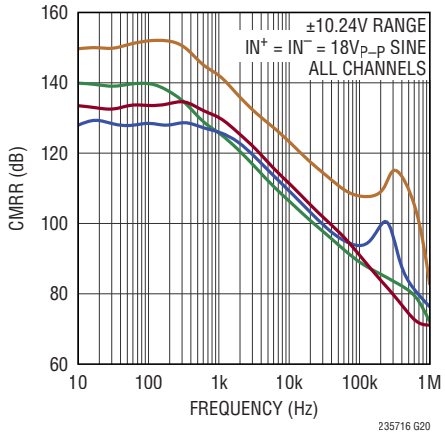
標準的性能特性

注記がない限り、T_A = 25°C、V_{CC} = +15V、V_{EE} = –15V、V_{DD} = 5V、OV_{DD} = 2.5V、内部リファレンスおよびバッファ（V_{REFBUF} = 4.096V）、f_{SMPL} = 350ksps。

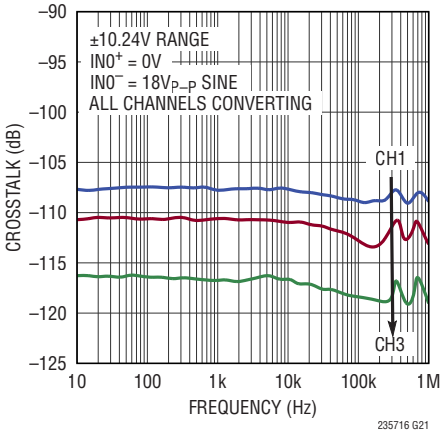
SNR、SINADと入力レベル、f_{IN} = 2kHz



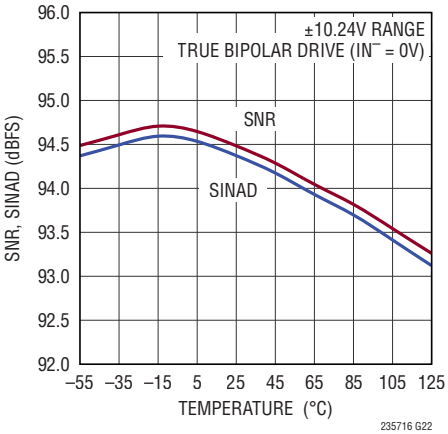
CMRRと入力周波数およびチャネル



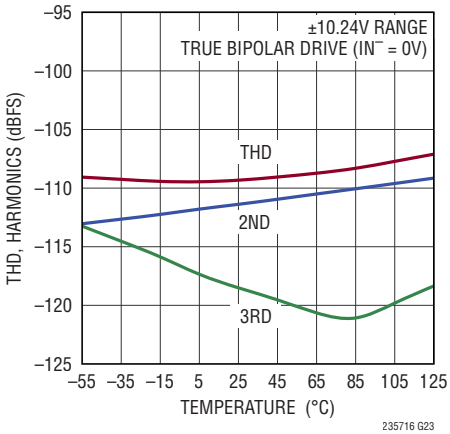
クロストークと入力周波数およびチャネル



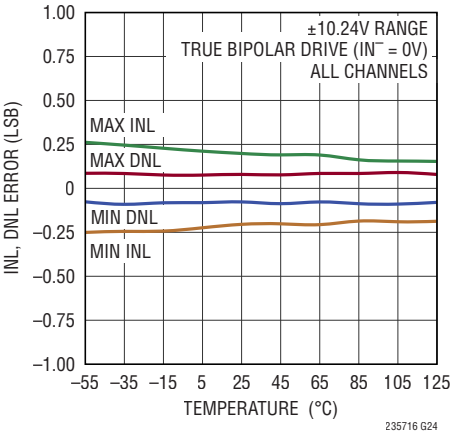
SNR、SINADと温度、f_{IN} = 2kHz



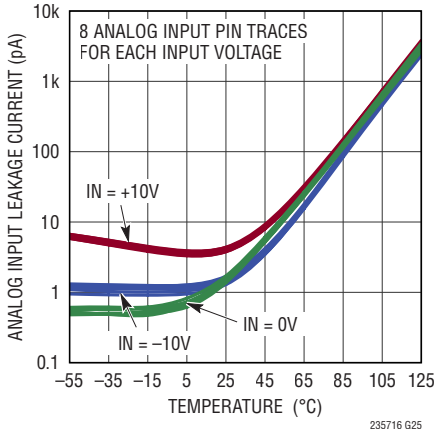
THD、高調波と温度、f_{IN} = 2kHz



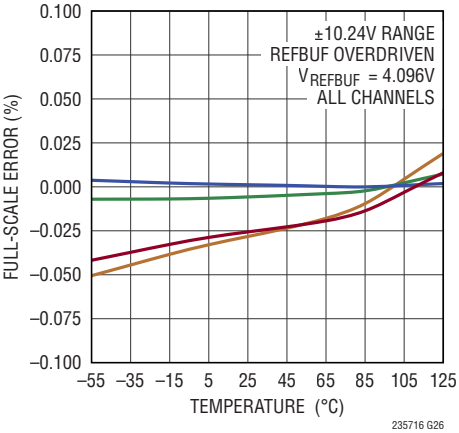
INL、DNLと温度



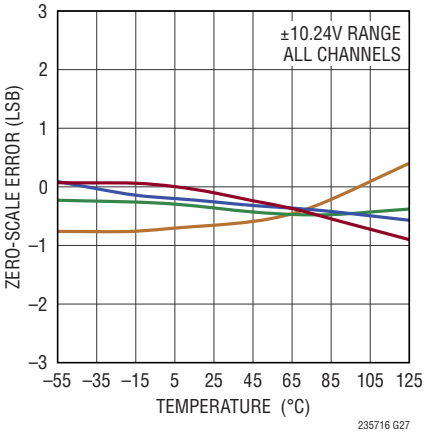
アナログ入力漏れ電流と温度



正のフルスケール誤差と温度およびチャネル



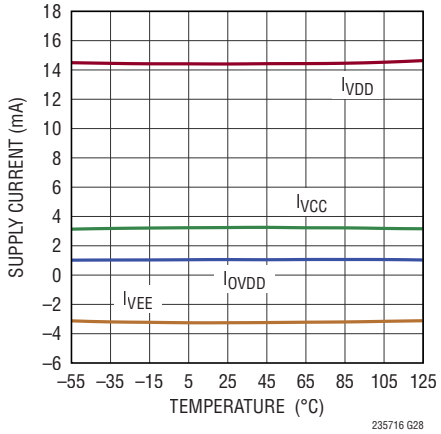
ゼロスケール誤差と温度およびチャネル



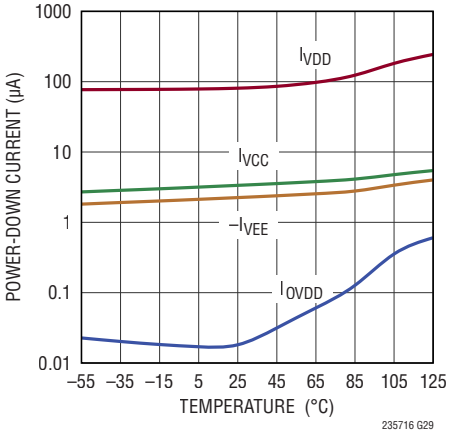
標準的性能特性

注記がない限り、T_A = 25°C、V_{CC} = +15V、V_{EE} = –15V、V_{DD} = 5V、OV_{DD} = 2.5V、内部リファレンスおよびバッファ（V_{REFBUF} = 4.096V）、f_{SMPL} = 350ksps。

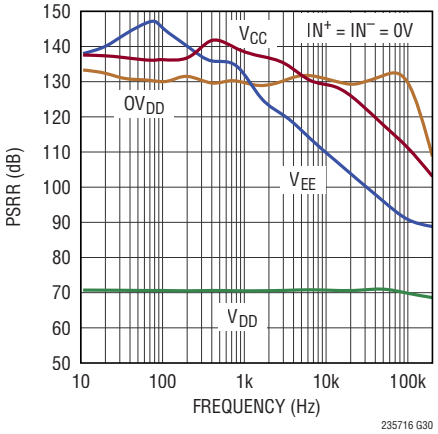
電源電流と温度



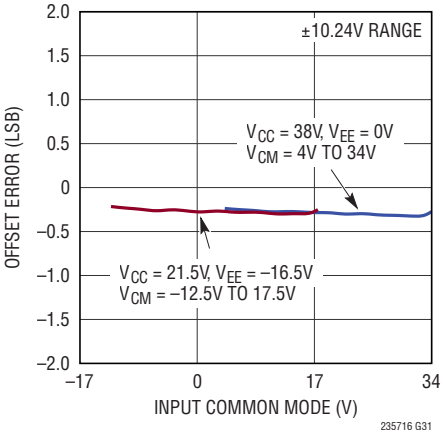
パワーダウン時電流と温度



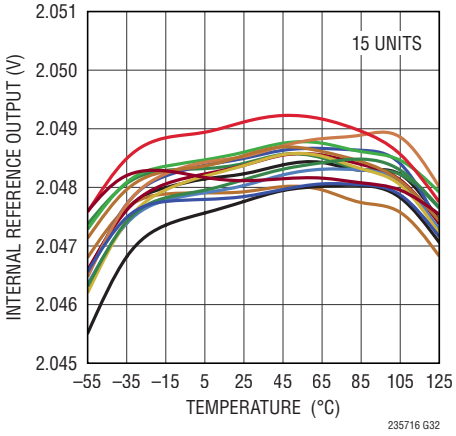
PSRRと周波数



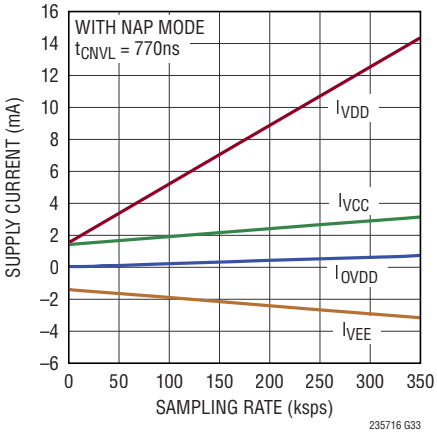
オフセット誤差と入力同相電圧



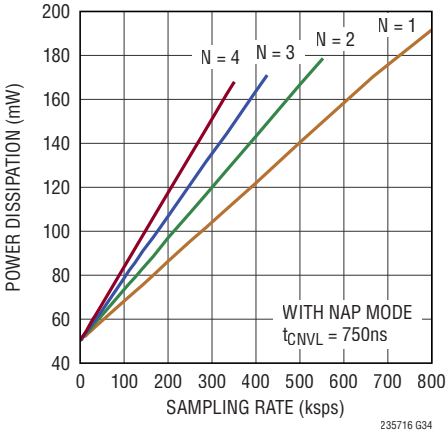
内部リファレンス出力と温度



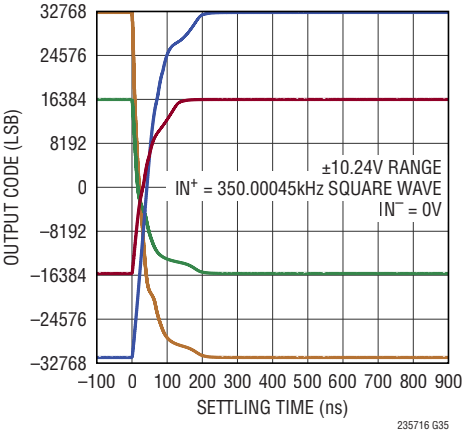
電源電流とサンプリング・レート



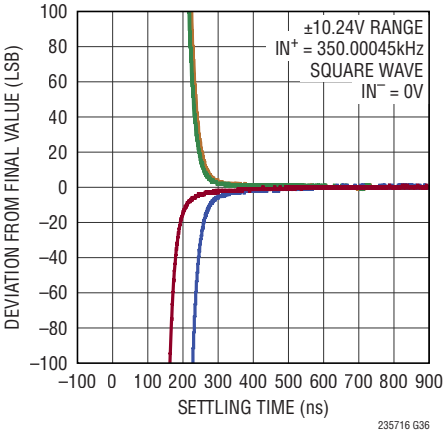
電力損失とサンプリング・レート、Nチャネルがイネーブル状態



ステップ応答（大信号のセトリング）



ステップ応答（微調整領域のセトリング）



ピン機能

ピンは全てのデジタルI/Oモードで同一

IN0⁺/IN0⁻～IN3⁺/IN3⁻（ピン14/13、10/9、4/3、および48/47）：正および負のアナログ入力、チャネル0～3。コンバータは全てのチャネルの（$V_{IN+} – V_{IN–}$）を同時にサンプリングしてデジタル化します。同相入力電圧範囲が広く（V_{EE}＋4V ≤ V_{CM} ≤ V_{CC} – 4V）同相電圧除去比が高いので、幅広い振幅の信号を入力することができます。フルスケールの入力電圧範囲は、チャネルのSoftSpan構成によって決まります。

GND（ピン1、2、5、6、7、8、11、12、15、18、20、25、30、36、41、44、46）：グランド。全てのGNDピンを、切れ目のないグランド・プレーンに半田付けします。

V_{CC}（ピン16）：正の高電圧電源。V_{CC}の範囲は、GNDを基準にした場合7.5V～38Vであり、V_{EE}を基準にした場合10V～38Vです。V_{CC}は、0.1µFのセラミック・コンデンサをピンの近くで接続し、GNDにバイパスします。

V_{EE}（ピン17、45）：負の高電圧電源。V_{EE}の範囲は、GNDに対して0V～–16.5V、V_{CC}に対して–10V～–38Vです。ピン17とピン45は互いに接続し、0.1µFのセラミック・コンデンサをピン17の近くで接続して、V_{EE}回路網をGNDにバイパスします。V_{EE}をGNDに短絡するアプリケーションでは、このコンデンサを省略してもかまいません。

REFIN（ピン19）：バンドギャップ・リファレンス出力/リファレンス・バッファ入力。内部バンドギャップ・リファレンスはこのピンで公称2.048Vを出力します。内部リファレンス・バッファはV_{REFIN}を増幅して、コンバータのマスタ・リファレンス電圧V_{REFBUF} = 2 • V_{REFIN}をREFBUFピンで生成します。内部リファレンスを使用する場合は、0.1µFのセラミック・コンデンサをREFINの近くで接続して、このピンをGND（ピン20）にバイパスし、バンドギャップ出力ノイズを除去します。更に高い精度が必要な場合は、外部リファレンスを1.25V～2.2Vの範囲で使用してREFINをオーバードライブします。内部リファレンスを使用する場合はこのピンに負荷を接続しないでください。

REFBUF（ピン21）：内部リファレンス・バッファの出力。内部リファレンス・バッファは、V_{REFIN}を増幅してコンバータのマスタ・リファレンス電圧V_{REFBUF} = 2 • V_{REFIN}をこのピンに出力します。内部バンドギャップ・リファレンスを使用する場合、このピンの公称電圧は4.096Vです。REFBUFは、47µFのセラミック・コンデンサをピンの近くで接続して、GND（ピン20）にバイパスします。内部リファレンス・バッファをディスエーブルするには、REFINでその入力を接地します。バッファをディスエーブルした状態では、範囲が2.5V～5Vの外部リファレンス電圧を使用してREFBUFをオーバードライブします。内部リファレンス・バッファを使用する場合は、REFBUFに接続している全ての外部回路の負荷を200µA未満に制限します。入力インピーダンスの高いアンプを使用して、外部回路に対してV_{REFBUF}をバッファすることを推奨します。

PD（ピン22）：パワーダウン入力。このピンが“H”になるとLTC2357-16の電源は遮断され、その後の変換要求は無視されます。変換中に“H”になった場合、デバイスは変換が完了したら電源を遮断します。このピンが2回“H”になる間に変換が行われなかった場合、内部のグローバル・リセット（パワーオン・リセットと同等）が起動します。ロジック・レベルはOV_{DD}によって決まります。

LVDS/$\overline{CMOS}$（ピン23）：I/Oモードの選択。このピンをOV_{DD}に接続してLVDS I/Oモードを選択するか、グランドに接続してCMOS I/Oモードを選択します。ロジック・レベルはOV_{DD}によって決まります。

CNV（ピン24）：変換開始入力。このピンの立ち上がりエッジで、内部のサンプル・アンド・ホールド回路がホールド・モードになり、新しい変換が開始されます。CNVは$\overline{CS}$によるゲート制御が行われないので、シリアルI/Oバスの状態に関係なく変換を開始することができます。

BUSY（ピン38）：ビジー出力。BUSY信号は、変換が進行中であることを示します。このピンは各変換の開始時に“L”から“H”へ遷移し、変換が完了するまで“H”のままです。ロジック・レベルはOV_{DD}によって決まります。

V_{DDLBYP}（ピン40）：内部2.5Vレギュレータのバイパス・ピン。このピンの電圧は、V_{DD}で動作する内部レギュレータを介して生成されます。2.2µFのセラミック・コンデンサをこのピンに近づけて接続し、GNDにバイパスする必要があります。このピンはどの外部回路にも接続しないでください。

V_{DD}（ピン42、43）：5V電源。V_{DD}の範囲は4.75V～5.25Vです。ピン42とピン43は互いに接続し、共通の0.1µFセラミック・コンデンサをこれらのピンの近くで接続して、V_{DD}回路網をGNDにバイパスします。

ピン機能

CMOS I/Oモード

SDI⁺、SDO⁻(ピン26、35)：LVDS入力および出力。CMOS I/Oモードでは、これらのピンは高インピーダンスになります。

SDO0～SDO3(ピン27、28、33、および34)：CMOSシリアル・データ出力、チャネル0～3。最新の変換結果とチャネル構成情報の組み合わせが、SCKIの立ち上がりエッジごとにクロックと同期してSDOピンに出力されます。出力データの形式設定については、「デジタル・インタフェース」のセクションで説明します。使用しないSDO出力は、未接続のままにしておきます。ロジック・レベルはOV_{DD}によって決まります。

SCKI(ピン29)：CMOSシリアル・クロック入力。SCKIはシリアルI/Oクロックを使用して駆動します。SCKIの立ち上がりエッジで、SDIのシリアル・データがラッチされ、クロックと同期してSDO0～SDO3に出力されます。標準SPIバス動作の場合、SCKIの立ち上がりエッジで、レシーバで出力データを捕捉します。SCKIは、"H"または"L"でアイドル状態になることができます。ロジック・レベルはOV_{DD}によって決まります。

OV_{DD}(ピン31)：I/Oインタフェースの電源。CMOS I/Oモードでは、OV_{DD}の範囲は1.71V～5.25Vです。OV_{DD}は、0.1μFのセラミック・コンデンサをピンの近くで接続して、GND(ピン30)にバイパスします。

SCKO(ピン32)：CMOSシリアル・クロック出力。SCKIの立ち上がりエッジは、SDO0～SDO3でのシリアル出力データ・ストリームにスキューが一致しているSCKOでの遷移をトリガします。生成されるSCKO周波数は、SCKIの周波数の1/2になります。SCKOの立ち上がりエッジおよび立ち下がりエッジを使用して、レシーバ(FPGA)のSDOデータをダブル・データ・レート(DDR)方式で取り込むことができます。標準的なSPIバス動作では、SCKOを使用しないので未接続のままにします。SCKOはBUSYの立ち下がりエッジで"L"になります。ロジック・レベルはOV_{DD}によって決まります。

SDI(ピン37)：CMOSシリアル・データ入力。SCKIの立ち上がりエッジでラッチされた目的の12ビットSoftSpan構成ワード(表1a参照)により、このピンを駆動します。全てのチャネルを、SoftSpan 7でのみ動作するように構成する場合、SDIをOV_{DD}に接続します。ロジック・レベルはOV_{DD}によって決まります。

$\overline{CS}$(ピン39)：チップ選択入力。シリアル・データI/OバスはCSが"L"になるとイネーブルされ、CSが"H"になるとディスエーブルされて高インピーダンスになります。また、CSは外部シフト・クロックSCKIのゲート制御も行います。ロジック・レベルはOV_{DD}によって決まります。

LVDS I/Oモード

SDI⁺/SDI⁻(ピン26/27)：正および負のLVDSシリアル・データ入力。SCKI⁺/SCKI⁻の立ち上がりエッジと立ち下がりエッジの両方でラッチされた目的の12ビットSoftSpan構成ワード(表1a参照)により、SDI⁺/SDI⁻を差動で駆動します。CSが"L"の場合、SDI⁺/SDI⁻入力対は100Ωの差動抵抗により内部で終端されます。

SCKI⁺/SCKI⁻(ピン28/29)：正および負のLVDSシリアル・クロック入力。SCKI⁺/SCKI⁻は、シリアルI/Oクロックを使用して差動で駆動します。SCKI⁺/SCKI⁻の立ち上がりエッジと立ち下がりエッジでは、シリアル・データがラッチされてSDI⁺/SDI⁻に入力され、クロックに同期してSDO⁺/SDO⁻から出力されます。SCKI⁺/SCKI⁻は、CSの遷移時を含めて"L"のアイドル状態にします。CSが"L"の場合、SCKI⁺/SCKI⁻入力対は100Ωの差動抵抗により内部で終端されます。

OV_{DD}(ピン31)：I/Oインタフェースの電源。LVDS I/Oモードでは、OV_{DD}の範囲は2.375V～5.25Vです。0.1μFのセラミック・コンデンサをOV_{DD}に近づけて接続し、このピンをGND(ピン30)にバイパスします。

SCKO⁺/SCKO⁻(ピン32/33)：正および負のLVDSシリアル・クロック出力。SCKO⁺/SCKO⁻は、SCKI⁺/SCKI⁻で受け取った入力シリアルI/Oクロックのコピーを出力します。これは、SDO⁺/SDO⁻からのシリアル出力データ・ストリームとスキューが一致しています。SCKO⁺/SCKO⁻の立ち上がりエッジおよび立ち下がりエッジを使用して、レシーバ(FPGA)のSDO⁺/SDO⁻データを取り込みます。SCKO⁺/SCKO⁻出力対は、レシーバ(FPGA)に100Ωの抵抗を接続して差動で終端する必要があります。

SDO⁺/SDO⁻(ピン34/35)：正および負のLVDSシリアル・データ出力。最新の変換結果とチャネル構成情報の組み合わせが、SCKI⁺/SCKI⁻の立ち上がりエッジと立ち下がりエッジの両方で、クロックと同期してチャネル0を先頭にSDO⁺/SDO⁻に出力されます。SDO⁺/SDO⁻出力対は、レシーバ(FPGA)に100Ωの抵抗を接続して差動で終端する必要があります。

SDI(ピン37)：CMOSシリアル・データ。LVDS I/Oモードでは、このピンは高インピーダンスになります。

$\overline{CS}$(ピン39)：チップ選択入力。シリアル・データI/OバスはCSが"L"になるとイネーブルされ、CSが"H"になるとディスエーブルされて高インピーダンスになります。また、CSは外部シフト・クロックSCKI⁺/SCKI⁻のゲート制御も行います。SCKI⁺/SCKI⁻およびSDI⁺/SDI⁻入力対にある100Ωの内部差動終端抵抗は、CSが"H"になるとディスエーブルされます。ロジック・レベルはOV_{DD}によって決まります。

構成表

表1a.　SoftSpanの構成表。この表と表1bを使用して、目的とするアナログ入力電圧範囲に応じて、チャネルごとに個別のバイナリSoftSpanコードSS[2:0]を選択します。SoftSpanコードを結合して、12ビットのSoftSpan構成ワードS[11:0]を形成します。図18に示すように、シリアル・インタフェースを使用してSoftSpan構成ワードをLTC2357-16に書き込みます。

バイナリSoftSpanコード SS[2:0]	アナログ入力電圧範囲	フルスケール電圧範囲	変換結果のバイナリ形式
111	±2.5 • V_{REFBUF}	5 • V_{REFBUF}	Two's Complement
110	±2.5 • V_{REFBUF}/1.024	5 • V_{REFBUF}/1.024	Two's Complement
101	0V to 2.5 • V_{REFBUF}	2.5 • V_{REFBUF}	Straight Binary
100	0V to 2.5 • V_{REFBUF}/1.024	2.5 • V_{REFBUF}/1.024	Straight Binary
011	±1.25 • V_{REFBUF}	2.5 • V_{REFBUF}	Two's Complement
010	±1.25 • V_{REFBUF}/1.024	2.5 • V_{REFBUF}/1.024	Two's Complement
001	0V to 1.25 • V_{REFBUF}	1.25 • V_{REFBUF}	Straight Binary
000	Channel Disabled	Channel Disabled	All Zeros

表1b.　リファレンスの構成表。LTC2357-16は、3つのリファレンス構成をサポートしています。アナログ入力電圧範囲は、コンバータのマスタ・リファレンス電圧V_{REFBUF}に比例します。

リファレンスの構成	V_{REFIN}	V_{REFBUF}	バイナリSoftSpanコード SS[2:0]	アナログ入力電圧範囲
内部リファレンスと内部バッファ	2.048V	4.096V	111	±10.24V
			110	±10V
			101	0V to 10.24V
			100	0V to 10V
			011	±5.12V
			010	±5V
			001	0V to 5.12V
外部リファレンスと内部バッファ（REFINピンを外部でオーバードライブ）	1.25V（Min Value）	2.5V	111	±6.25V
			110	±6.104V
			101	0V to 6.25V
			100	0V to 6.104V
			011	±3.125V
			010	±3.052V
			001	0V to 3.125V
	2.2V（Max Value）	4.4V	111	±11V
			110	±10.742V
			101	0V to 11V
			100	0V to 10.742V
			011	±5.5V
			010	±5.371V
			001	0V to 5.5V

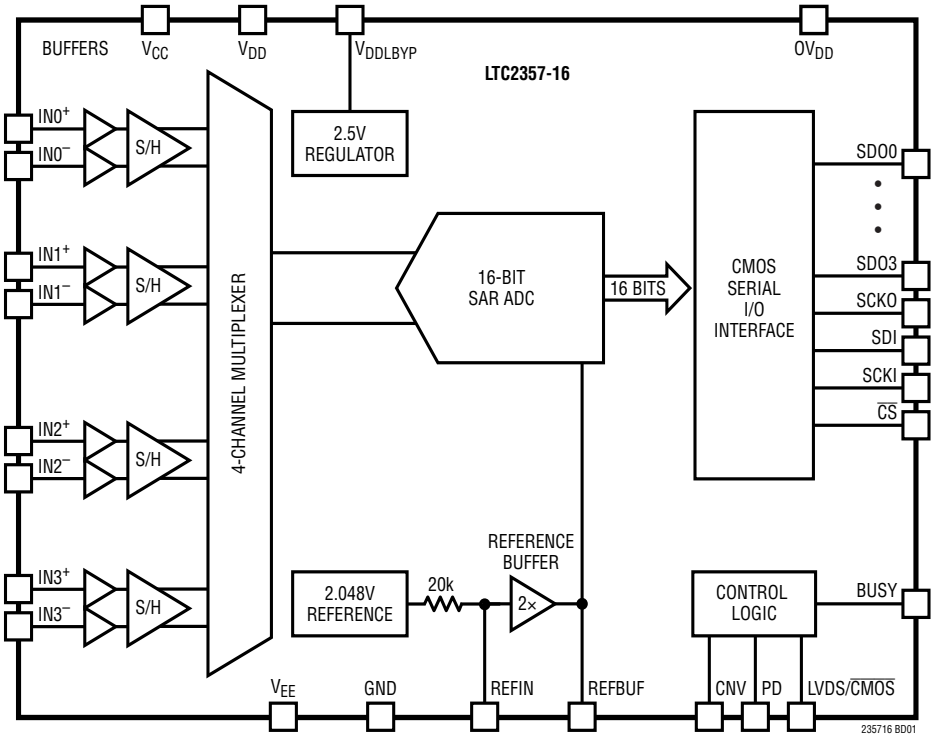
構成表

表1b.リファレンスの構成表(続き)。LTC2357-16は、3つのリファレンス構成をサポートしています。アナログ入力電圧範囲は、コンバータのマスタ・リファレンス電圧 V_{REFBUF} に比例します。

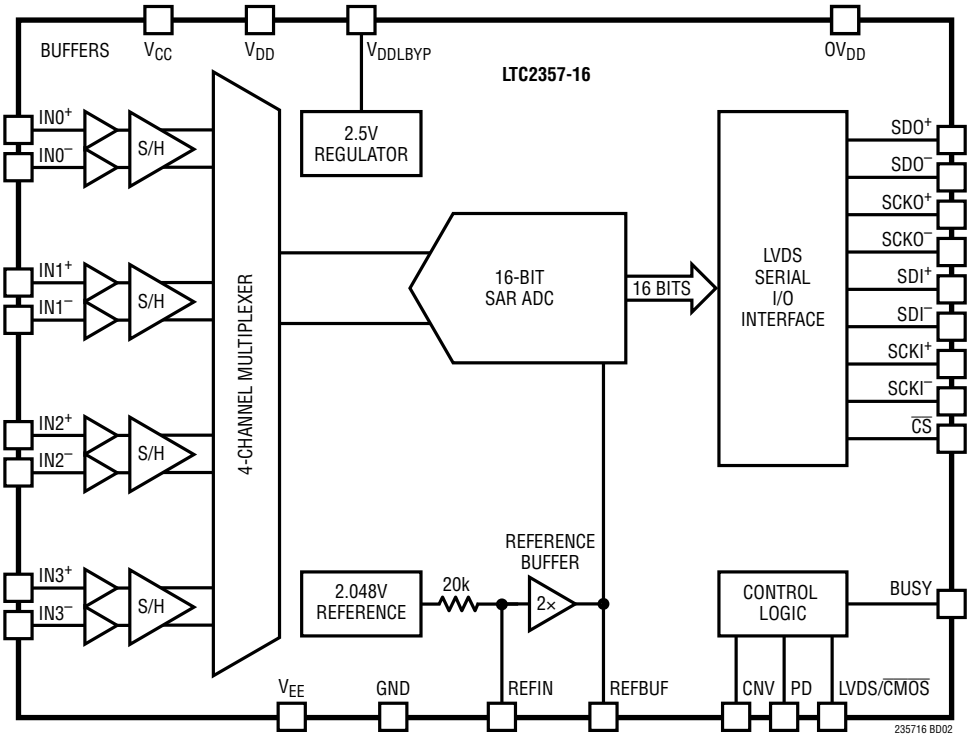
リファレンスの構成	V_{REFIN}	V_{REFBUF}	バイナリSoftSpanコード SS[2:0]	アナログ入力電圧範囲
外部リファレンス バッファなし (REFBUFピンは外部からオーバードライブ、REFINピンはグランドに接続)	+0V	2.5V (Min Value)	111	±6.25V
			110	±6.104V
			101	0V to 6.25V
			100	0V to 6.104V
			011	±3.125V
			010	±3.052V
			001	0V to 3.125V
	0V	5V (Max Value)	111	±12.5V
			110	±12.207V
			101	0V to 12.5V
			100	0V to 12.207V
			011	±6.25V
			010	±6.104V
			001	0V to 6.25V

機能ブロック図

CMOS I/O モード

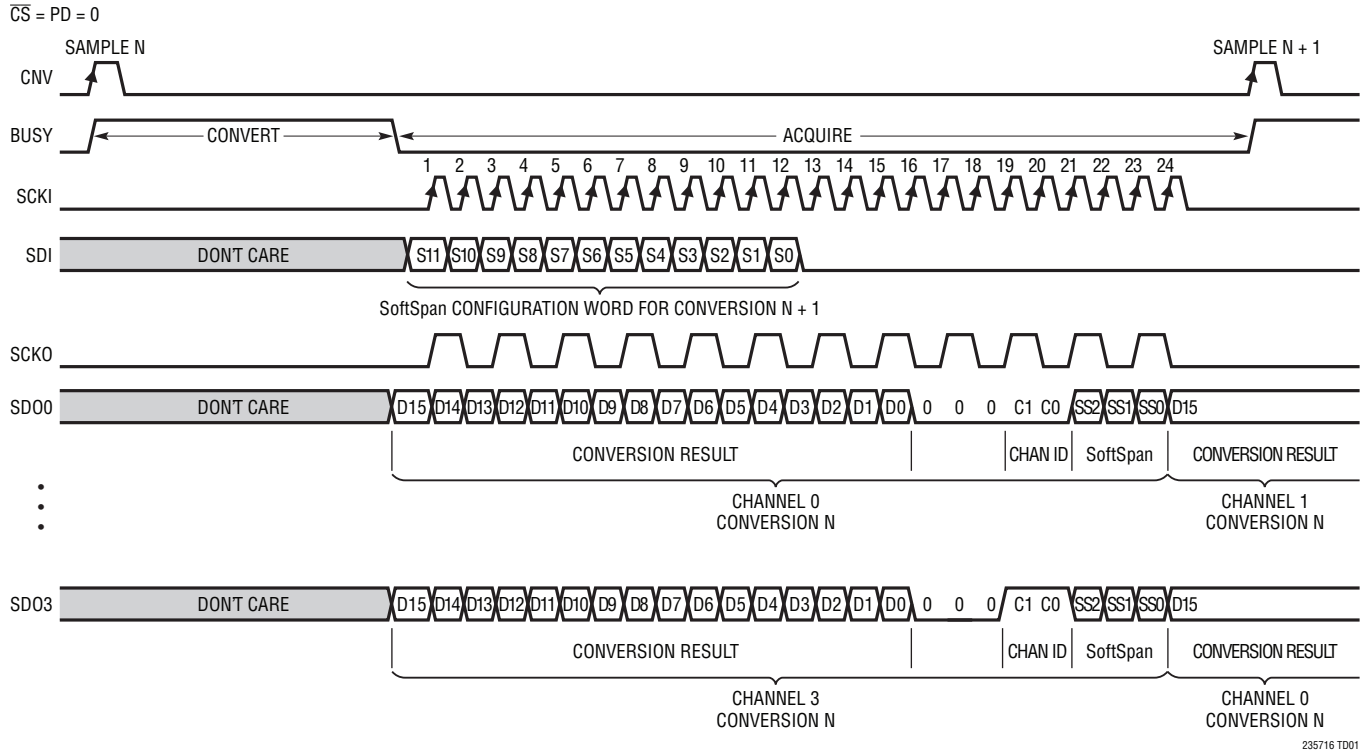


LVDS I/O モード

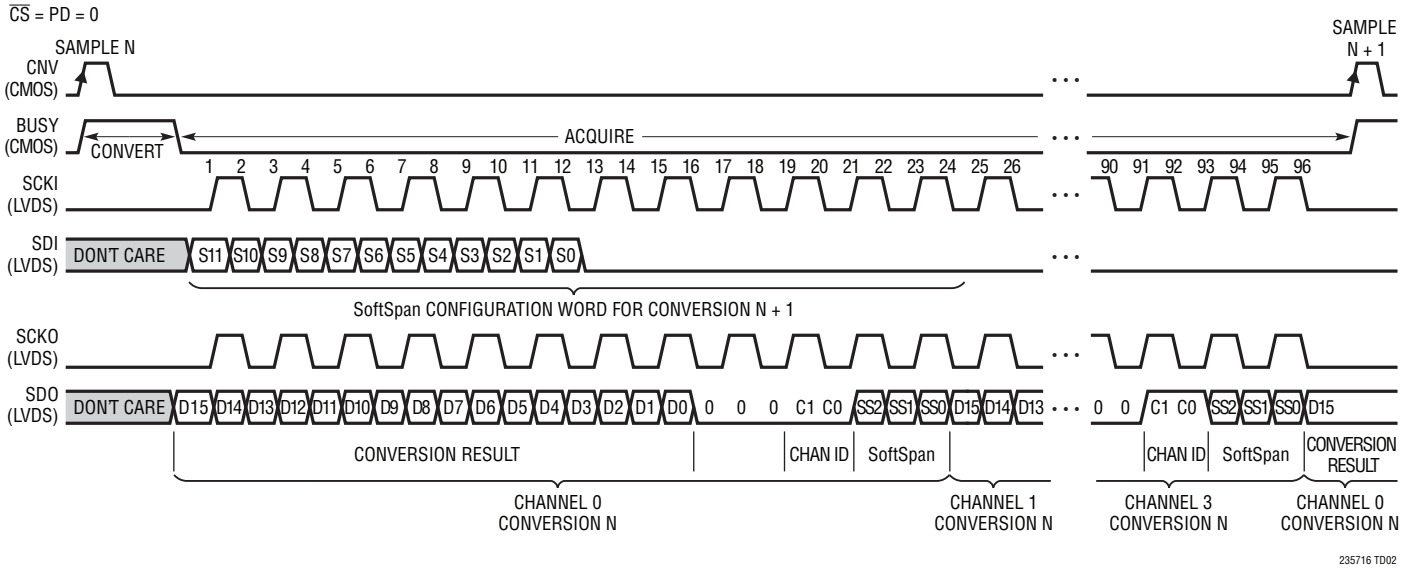


タイミング図

CMOS I/O モード



LVDS I/O モード



アプリケーション情報

概要

LTC2357-16は、同相電圧範囲が広く、漏れ電流がpAレベルでバッファ付きの差動入力を備えた16ビット低ノイズ4チャネル同時サンプリング逐次比較レジスタ(SAR) A/Dコンバータです。このA/Dコンバータは、5Vの低電圧電源および公称±15Vの柔軟な高電圧電源で動作します。内蔵の低ドリフト・リファレンスおよびバッファ(V_{REFBUF} = 4.096V:公称)を使用するので、このSoftSpan A/Dコンバータを変換ごとに個別に設定して、±10.24V、0V～10.24V、±5.12V、または0V～5.12Vの信号を入力することができます。入力信号範囲は、5Vの外部リファレンスを使用して最大±12.5Vまで広げることができます。また、チャネルを個別にディスエーブルして他のチャネルのスループットを高めることもできます。

LTC2357-16は、漏れ電流がpAレベルの入力アナログ・バッファを内蔵しており、入力同相電圧範囲が広く、CMRRが128dBなので、使用する基板スペースおよび消費電力を最小限に抑えつつ、さまざまな信号を直接デジタル化することができます。LTC2357-16は、この入力信号の柔軟性と、±1LSBのINL、16ビットで欠落コードなし、および94.2dBのSNRという特長を兼ね備えているので、広いダイナミックレンジが必要な多くの高電圧アプリケーションに最適です。

同相入力電圧範囲の絶対値(V_{EE} + 4V～V_{CC} – 4V)は、高電圧電源をどう選択するかによって決まります。これらの電源はグランドを中心として非対称にバイアスすることが可能であり、V_{EE}をグランドに直接接続することもできます。

LTC2357-16は、ピンで選択可能なSPI CMOS(1.8V～5V)およびLVDSシリアル・インタフェースをサポートしているので、従来のマイクロコントローラと同様に最新のFPGAとも良好に通信することができます。CMOSモードでは、アプリケーションはシリアル出力データの1～4レーンを使用することができ、ユーザーはバス幅およびデータ・スループットを最適化できます。LTC2357-16は、350ksps/チャネルのスループットで4チャネルを同時に変換する場合、標準で175mWの電力を消費します。オプションのナップ・モードとパワーダウン・モードを使用すると、非活動期間中の消費電力を更に低減することができます。

コンバータの動作

LTC2357-16は2段階で動作します。収集段階では、各チャネルのサンプル・アンド・ホールド(S/H)回路のサンプリング・コンデンサがそれぞれのアナログ入力バッファに接続され、これによって差動アナログ入力電圧(V_{IN+} – V_{IN-})を追跡します。CNVピンの立ち上がりエッジでは、全チャネルのS/H回路がトラック・モードからホールド・モードに切り替わり、全チャネルの入力信号を同時にサンプリングして、変換を開始します。変換段階では、各チャネルのサンプリング・コンデンサが、16ビットの電荷再分配コンデンサ式D/Aコンバータ(CDAC)に一度に1チャネルずつ接続されます。CDACは逐次比較アルゴリズムによって逐次制御され、差動コンパレータを使用して、サンプリング済み入力電圧と該当チャネルのSoftSpanフルスケール範囲の2進重み付け分数(例:$V_{FSR}/2$、$V_{FSR}/4$ … $V_{FSR}/65536$)を効率的に比較します。この処理の最後には、CDACの出力が該当チャネルのサンプリング済みアナログ入力に近づきます。こうして全てのチャネルが変換されると、A/Dコンバータの制御ロジックが各チャネルから16ビットのデジタル出力コードを準備して、シリアル転送に備えます。

伝達関数

LTC2357-16は、各チャネルのフルスケール電圧範囲を2^{16}レベルにデジタル化します。表1aおよび1bに示すように、A/Dコンバータのマスタ・リファレンス電圧(V_{REFBUF})とチャネルのSoftSpan構成の組み合わせにより、その入力電圧範囲、フルスケール範囲、LSBサイズ、および変換結果のバイナリ形式が決まります。例えば、内部リファレンスおよびバッファ(V_{REFBUF} = 4.096V:公称)を使用して、SoftSpanを7にした場合は、±10.24Vの両極性アナログ入力電圧範囲で動作するようにチャネルが構成され、これは20.48Vのフルスケール範囲と312.5μVのLSBに対応します。その他のSoftSpan構成およびリファレンス電圧を使用して、より広い範囲および狭い範囲の両極性および単極性入力電圧を変換することができます。変換結果は、両極性SoftSpan範囲の場合は全て2の補数バイナリ形式で出力され、単極性SoftSpan範囲の場合は全てストレート・バイナリ形式で出力されます。理想的な2の補数伝達関数を図2に、理想的なストレート・バイナリ伝達関数を図3に示します。

アプリケーション情報

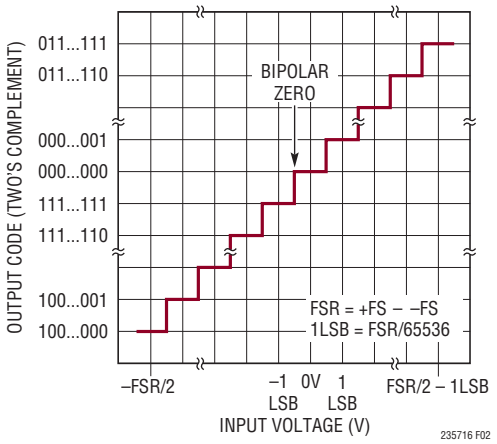


図2. LTC2357-16の2の補数伝達関数

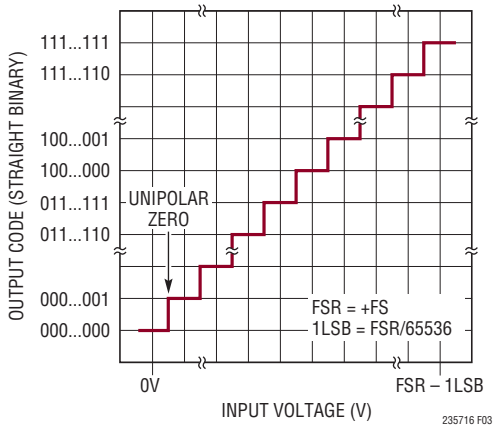


図3. LTC2357-16のストレート・バイナリ伝達関数

バッファ付きアナログ入力

LTC2357-16の各チャネルは、アナログ入力ピン間の電圧差($V_{IN+} – V_{IN–}$)を広い同相入力電圧範囲にわたって同時にサンプリングしつつ、A/Dコンバータの同相信号除去比(CMRR)性能により、両方の入力ピンに共通する不要な信号を減衰します。同相入力電圧範囲が広いのに加えてCMRRが高いので、アナログ入力$IN^+/IN^–$を互いに任意の関係で振ることができます。ただし、各ピンの電圧が(V_{EE}＋4V)～(V_{CC} – 4V)の範囲内に収まることが条件です。この機能により、LTC2357-16には、疑似差動の単極性信号、疑似差動の真の両極性信号、完全差動信号など、従来からある種類のアナログ入力信号を含むさまざまな振幅の信号を入力できるので、シグナルチェーンの設計が簡単になります。V_{EE}まで達する信号を変換する場合は、バッファなしのA/DコンバータLTC2348-16を推奨します。

高電圧電源での動作範囲が広いので、入力同相電圧の柔軟性が向上します。電圧差の制限10V ≤ (V_{CC} – V_{EE}) ≤ 38Vを守っている限り、V_{CC}およびV_{EE}は、それぞれの許容動作範囲内の任意の値に個別にバイアスすることができます。これには、V_{EE}をグランドに直接接続することも含まれます。この機能により、LTC2357-16の同相入力電圧範囲は、特定のアプリケーション要件に合わせて調整することができます。

全てのSoftSpan範囲で、各チャネルのアナログ入力は、図4に示す等価回路によってモデル化することができます。収集の開始時には、サンプリング・コンデンサ(C_{SAMP})がサンプリング・スイッチを介して内蔵のバッファ$BUFFER^+/BUFFER^–$に接続されます。サンプル済み電圧は変換処理時にリセットされるので、新規の変換ごとに再収集されます。

入力とV_{CC}電源および入力とV_{EE}電源の間のダイオードは、入力ESD保護回路の役目を果たします。電源電圧の範囲内では、LTC2357-16のアナログ入力に流れるのは標準でわずか5pAのDC漏れ電流だけであり、ESD保護ダイオードは導通しません。これは、外部オペアンプ・バッファと比べて大きな利点があります。オペアンプはダイオード保護回路を内蔵していることがよくあり、トランジェント発生時に導通して、入力のフィルタ・コンデンサの電圧が損なわれるからです。

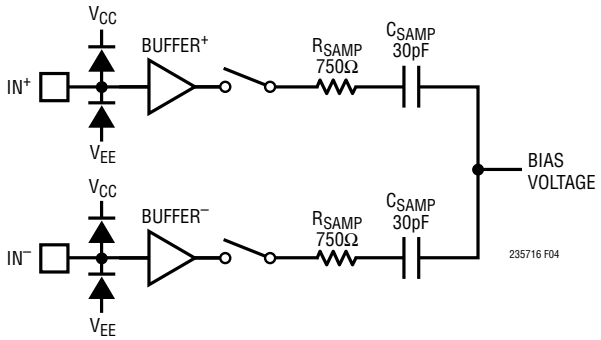


図4. 差動アナログ入力の等価回路、1チャネル分を表示

アプリケーション情報

両極性 SoftSpan 入力電圧範囲

SoftSpanの範囲を7、6、3、または2で構成したチャネルの場合、LTC2357-16は、表1aに示すように、それぞれ±2.5 • V_{REFBUF}、±2.5 • V_{REFBUF}/1.024、±1.25 • V_{REFBUF}、または±1.25 • V_{REFBUF}/1.024という両極性電圧範囲で差動アナログ入力電圧（V_{IN+} – $V_{IN–}$）をデジタル化します。これらのSoftSpan範囲は、IN^+と$IN^–$が互いに逆極性側より高い電圧にも低い電圧にも振れるような入力信号をデジタル化する場合に役立ちます。従来の例としては、完全差動入力信号や疑似差動の真の両極性入力信号があります。前者ではIN^+および$IN^–$を駆動するときに、同相電圧（V_{IN+} ＋ $V_{IN–}$）/2を中心に、位相を互いに180°ずらして駆動し、後者ではIN^+の電圧が（$IN^–$の電圧を基準に駆動される）グランド・リファレンス・レベルを中心にして上下に振れます。選択したSoftSpan範囲とは関係なく、同相入力電圧範囲が広くCMRRが高いので、アナログ入力IN^+/$IN^–$を互いに任意の関係で振ることができます。ただし、各ピンの電圧が（V_{CC} – 4V）～（V_{EE} ＋ 4V）の範囲内に収まることが条件です。両極性SoftSpan範囲の出力データは、全て2の補数形式です。

単極性 SoftSpan 入力電圧範囲

SoftSpanの範囲を5、4、または1で構成したチャネルの場合、LTC2357-16は、表1aに示すように、それぞれ0V～2.5 • V_{REFBUF}、0V～2.5 • V_{REFBUF}/1.024、または0V～1.25 • V_{REFBUF}という単極性電圧範囲で差動アナログ入力電圧（V_{IN+} – $V_{IN–}$）をデジタル化します。これらのSoftSpan範囲は、IN^+が$IN^–$より高い電圧にとどまる入力信号をデジタル化する場合に役立ちます。従来の例としては疑似差動単極性入力信号があります。ここで、IN^+は（$IN^–$の電圧を基準に駆動される）グランド・リファレンス・レベルより高い電圧に振れます。選択したSoftSpan範囲とは関係なく、同相入力電圧範囲が広くCMRRが高いので、アナログ入力IN^+/$IN^–$を互いに任意の関係で振ることができます。ただし、各ピンの電圧が（V_{CC} – 4V）～（V_{EE} ＋ 4V）の範囲内に収まることが条件です。単極性SoftSpan範囲の出力データは、全てストレート・バイナリ形式です。

入力駆動回路

CMOSバッファ入力段は、トランジェントをサンプリング処理から切り離す程度をきわめて高くする役割を果たします。インピーダンスが10kΩ未満の大半のセンサ、シグナル・コンディショニング・アンプ、およびフィルタ回路網は、3pFの受動アナログ入力容量を直接駆動することができます。インピーダンスが更に高い場合や低速セトリング回路の場合は、ピンに680pFのコンデンサを追加して、LTC2357-16のDC精度を最大限に維持します。

LTC2357-16は単位利得バッファの入力インピーダンスが非常に高いので、入力駆動要件が大幅に緩和されます。そのため、折り返し防止などを目的として、kΩレベルのインピーダンスで適度に長い時定数のRCフィルタをオプションで取り付けることができます。また、駆動能力が制限されたマイクロパワー・オペアンプも、高インピーダンスのアナログ入力を直接駆動するのに適しています。

LTC2357-16は、並外れた内部チャネル間クロストーク分離性能（標準–109dB）を達成する独自の回路を内蔵しています。アナログ入力へのPC基板配線は短くして遮蔽し、外部容量性チャネル間クロストークを防止します。パッケージの隣接ピン間容量は0.16pFです。信号源抵抗を小さくするか信号源容量を大きくすると、外部容量性結合クロストークを低減するのに役立ちます。また、シングルエンドの入力駆動回路も、外部クロストーク分離性能を高めます。これは、逆極性側の各入力ピンがグランドまたは低インピーダンスのDC電圧源に接続されており、チャネル間のシールドとして機能するからです。

入力オーバードライブの許容範囲

いずれかのチャネルでアナログ入力を最大10mAで駆動してV_{CC}より高い電圧にしても、他のチャネルの変換結果には影響しません。このオーバードライブ電流の約70%はV_{CC}ピンから流れ出し、残りの30%はV_{EE}から流れ出します。V_{EE}から流れ出すこの電流により、V_{CC} – V_{EE}間の電圧降下に伴う熱が発生するので、全電力損失の絶対最大定格が500mWであることを考慮する必要があります。アナログ入力をV_{EE}より低い電圧にすると、他のチャネルの変換結果が損なわれることがあります。この製品は、入力電圧がV_{EE}より低くなるか、V_{CC}より高くなった場合でも、ラッチアップを生じることなしに最大100mAの入力電流を処理することができます。

入力をV_{CC}より高くするかV_{EE}より低くした場合、これらのピンを駆動する外部電源からは通常と逆方向の電流が流れることに注意してください。

アプリケーション情報

入力フィルタリング

真の高インピーダンス・アナログ入力は、多種多様なパッシブ/アクティブ・シグナル・コンディショニング・フィルタに対応することができます。バッファ付きA/Dコンバータ入力のアナログ帯域幅は6MHzであり、外付けフィルタに関する帯域幅要件は特にありません。したがって、A/Dコンバータと無関係に外付け入力フィルタを最適化して、シグナルチェーンのノイズおよび干渉を低減することができます。共通フィルタ構成は、折り返し防止とノイズ低減の単純なRCフィルタであり、サンプリング周波数の半分の周波数にフィルタのポールがあります。例えば、図5に示すように、R = 1.33kΩおよびC = 680pFの場合は175kHzです。

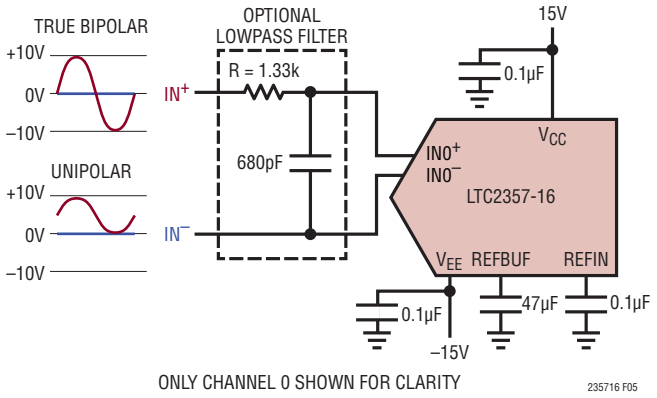


図5. シングルエンド入力信号のフィルタリング

RCフィルタのコンデンサと抵抗は歪みを大きくする可能性があるので、これらの部品は高品質のものを使用します。NPO/COGタイプやシルバー・マイカ・タイプの誘電体コンデンサは優れた直線性を示します。表面実装カーボン抵抗は、自己発熱や半田工程で生じる損傷により歪みを生じることがあります。表面実装金属皮膜抵抗は、この2つの問題に対してはるかに耐性があります。

任意のアナログ入力信号と完全差動アナログ入力信号

LTC2357-16は同相入力電圧範囲が広くCMRRが高いので、各チャネルのIN^+ピンおよびIN^-ピンを互いに任意の関係で振ることができます。ただし、各ピンの電圧が(V_{EE} + 4V) ～ (V_{CC} – 4V)の範囲内に収まることが条件です。LTC2357-16は、この機能によってさまざまな振幅の信号を入力することができるので、シグナルチェーンの設計が簡単になります。

図6bに示す2トーン・テストは、LTC2357-16の任意の入力駆動能力を示しています。このテストでは、IN^+には–7dBFS、2kHzのシングルエンド正弦波を入力し、IN^-には–7dBFS、3.1kHzのシングルエンド正弦波を入力して、同時に駆動します。合わせて、より一般的な任意の入力信号の場合と同様に、これらの信号が幅広い組み合わせの同相電圧と差動電圧にわたってアナログ入力を掃引します。また、これらの信号はスペクトル表現も単純です。同相電圧の影響を受けない理想的な差動コンバータは、これらの信号を正弦波周波数ごとに1つずつ、2つの–7dBFSスペクトラム・トーンとしてデジタル化します。図6bのFFTのグラフは、LTC2357-16の応答がこの理想に近づいていることと、IN^-に入力された3.1kHzの正弦波に対するコンバータの2次高調波歪み応答によってSFDRが121dBに制限されていることを示しています。

LTC2357-16は、広い入力同相電圧範囲にわたって任意の振幅の信号を入力可能で、しかもCMRRが高いので、アプリケーションの解決策を簡略化することができます。実際に、多くのセンサは、大きな同相信号の上に乗せて差動センサ電圧を発生させます。LTC2357-16を使用してこの種類の信号をデジタル化する1つの方法を図7aに示します。目的のセンサ信号に対するアンプ段の差動利得は約10V/Vですが、不要な同相信号はA/DコンバータのCMRRによって減衰されます。この回路では、A/Dコンバータの±5VのSoftSpanレンジを使用しています。この解決策のCMRR性能の測定結果を図7bに示します。この性能は、商品化されている最高の計装用アンプと比べて見劣りしません。この解決策のAC性能の測定結果を図7cに示します。

図8では、別のアプリケーション回路を示します。この回路では、LTC2357-16の2つのチャネルを使用して、検出抵抗を流れる双方向電流と電圧を広い同相電圧範囲にわたって同時に検出します。

アプリケーション情報

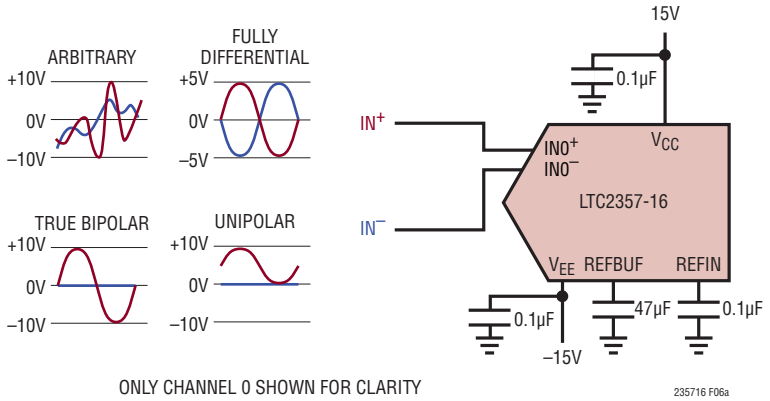


図6a. 任意の入力信号、完全な差動入力信号、真の両極性入力信号、および単極性入力信号

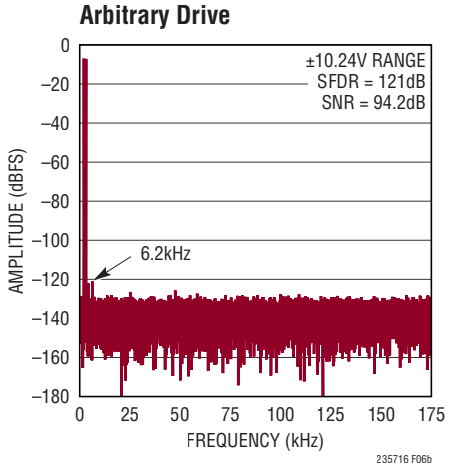


図6b. 2トーン・テスト。IN⁺ = –7dBFS、2kHzの正弦波、IN⁻ = –7dBFS、3.1kHzの正弦波、32kポイントのFFT、f_{SMPL} = 350ksps。回路は図6aに示す

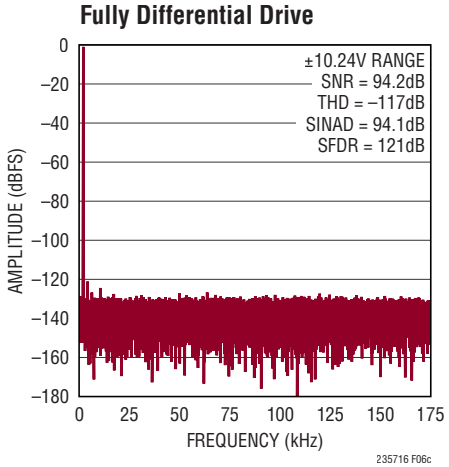


図6c. IN⁺/IN⁻ = –1dBFS、2kHzの完全差動正弦波、V_{CM} = 0V、32kポイントのFFT、f_{SMPL} = 350ksps。回路は図6aに示す

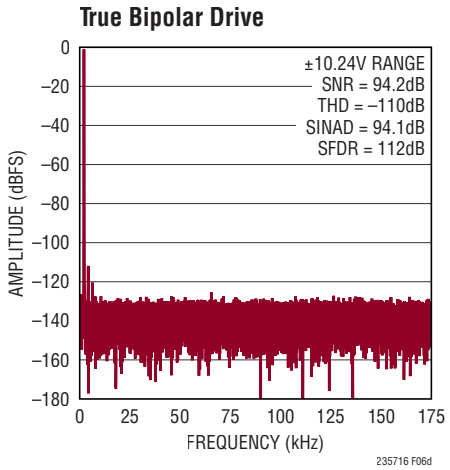


図6d. IN⁺ = –1dBFS、2kHzの真の両極性正弦波、IN⁻ = 0V、32kポイントのFFT、f_{SMPL} = 350ksps。回路は図6aに示す

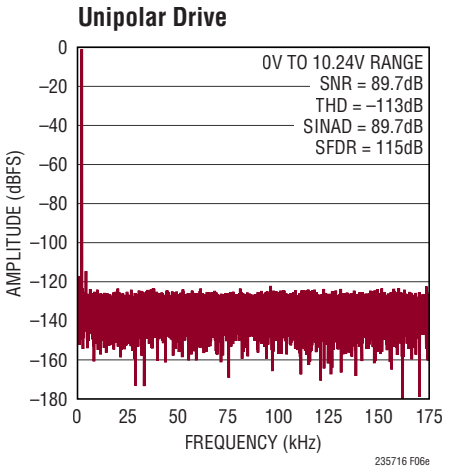


図6e. IN⁺ = –1dBFS、2kHzの単極性正弦波、IN⁻ = 0V、32kポイントのFFT、f_{SMPL} = 350ksps。回路は図6aに示す

アプリケーション情報

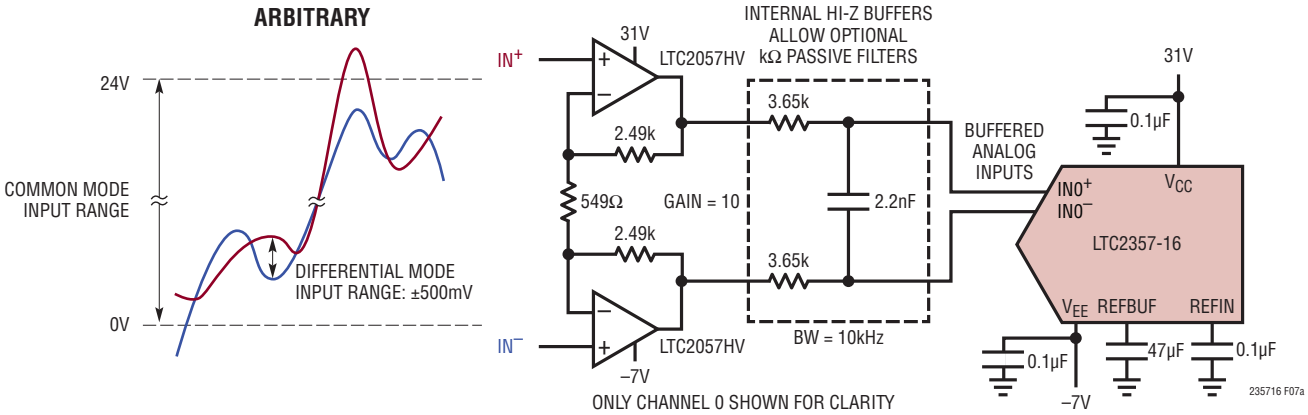


図7a. バッファ付きのアナログ入力を使用して広い同相電圧範囲にわたって利得10で差動信号を増幅

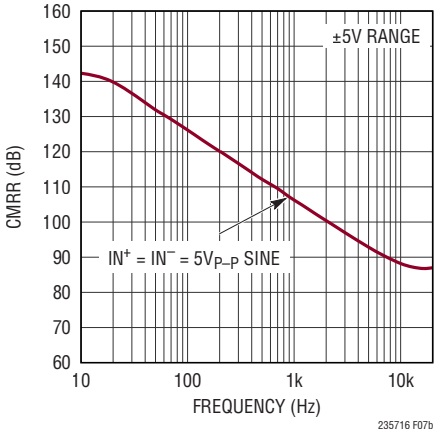


図7b. CMRRと入力周波数。回路は図7aに示す

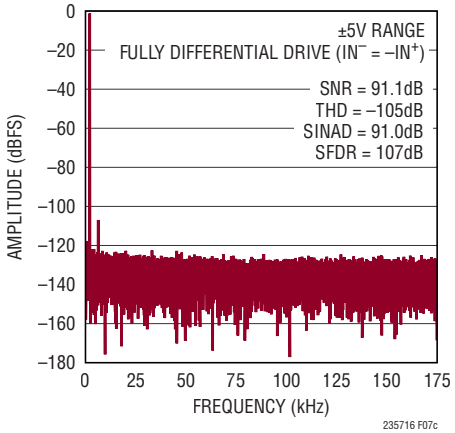
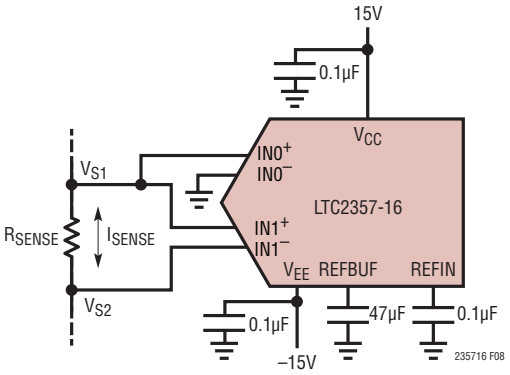


図7c. IN^+/IN^- = 450mV、200Hzの完全差動正弦波、0V ≤ V_{CM} ≤ 24V、32kポイントのFFT、f_{SMPL} = 350ksps。回路は図7a



ONLY CHANNELS 0 AND 1 SHOWN FOR CLARITY

$$I_{SENSE} = \frac{V_{S1} - V_{S2}}{R_{SENSE}} \quad \begin{matrix} -10.24V \le V_{S1} \le 10.24V \\ -10.24V \le V_{S2} \le 10.24V \end{matrix}$$

図8. 広い同相電圧範囲にわたって電圧(CH0)と電流(CH1)を同時に検出

アプリケーション情報

A/Dコンバータのリファレンス

前に表1bで示したように、LTC2357-16は3つのリファレンス構成をサポートしています。最初の構成では、内部バンドギャップ・リファレンスとリファレンス・バッファの両方を使用します。2番目の構成では、内部リファレンスを外部からオーバードライブしますが、内部バッファはそのまま使用して、外部リファレンスをA/Dコンバータの変換時のトランジェントから切り離します。この構成は、1つの高精度外部リファレンスを複数のA/Dコンバータで共有する場合に最適です。3番目の構成では、内部バッファをディスエーブルし、REFBUFピンを外部からオーバードライブします。

内部リファレンスと内部バッファ

LTC2357-16は、工場出荷時に2.048Vに調整された、低ノイズ、低ドリフト(最大20ppm/°C)の温度補償バンドギャップ・リファレンスを内蔵しています。リファレンス出力は20kΩの抵抗を介してREFINピンに接続されます。REFINピンは、図9aに示すように、内蔵リファレンス・バッファの入力として機能します。内部バンドギャップ・リファレンスを使用する場合は、0.1µFのセラミック・コンデンサをREFINピンの近くで接続して、このピンをGND(ピン20)にバイパスし、広帯域ノイズを除去します。リファレンス・バッファはV_{REFIN}を増幅して、REFBUFピンでコンバータのマスタ・リファレンス電圧$V_{REFBUF} = 2 \cdot V_{REFIN}$を生成します。内部バンドギャップ・リファレンスを使用する場合、公称4.096Vです。47µF以上のセラミック・コンデンサ(X7R、10V、1210サイズまたはX5R、10V、0805サイズ)をREFBUFピンの近くに接続し、このピンをGND(ピン20)にバイパスしてリファレンス・バッファを補償し、変換時のトランジェント電流を吸収して、ノイズを最小限に抑えます。

外部リファレンスと内部バッファ

更に高い精度や低ドリフトが必要な場合は、図9bに示すように、外部リファレンスによってREFINを簡単にオーバードライブすることができます。これは、20kΩの抵抗が内部バンドギャップ・リファレンス出力をREFINピンから切り離しているからです。REFINピンでの外部リファレンス電圧オーバードライブの有効な範囲は1.25V～2.2Vなので、コンバータのマスタ・リファレンス電圧V_{REFBUF}の範囲は2.5V～4.4Vになります。リニアテクノロジーでは、さまざまなアプリケーションの要求を満たすように設計された高性能リファレンスを取り揃えております。LTC6655-2.048は小型、低消費電力、高精度なの

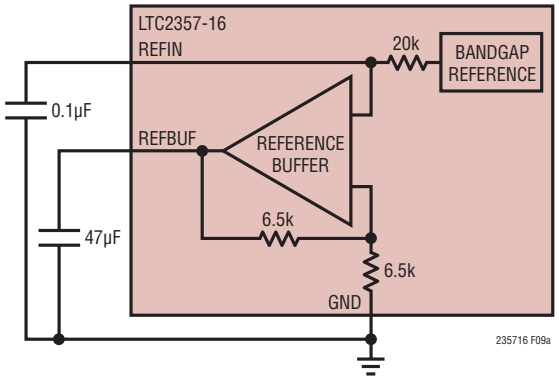


図9a. 内部リファレンスと内部バッファの構成

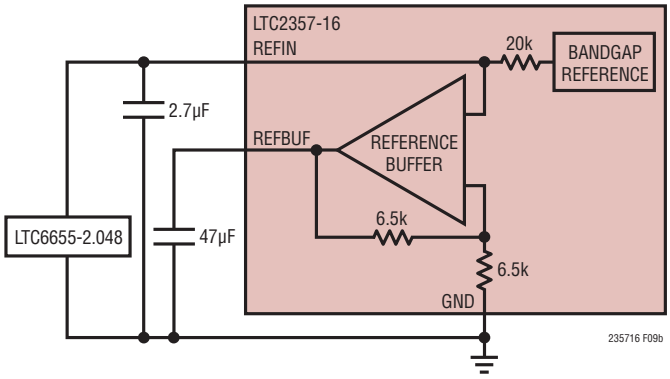


図9b. 外部リファレンスと内部バッファの構成

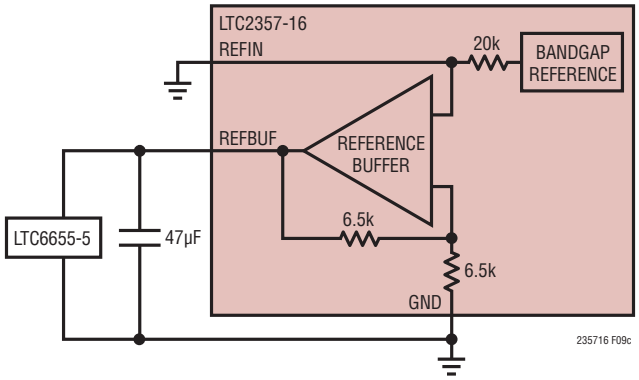


図9c. 外部リファレンスとディスエーブル状態の内部バッファの構成

アプリケーション情報

で、LTC2357-16と組み合わせて内部リファレンスのオーバードライブに使用するのに最適です。LTC6655-2.048は、高精度アプリケーション向けに0.025%（最大）の初期精度と2ppm/°C（最大）の温度係数を実現しています。LTC6655-2.048はHグレードの温度範囲で完全に規定されており、LTC2357-16の最大125°Cの広い温度範囲を補完します。2.7µF～100µFのセラミック・コンデンサをREFINピンの近くに配置して、LTC6655-2.048をバイパスすることを推奨します。

外部リファレンスとディスエーブル状態の内部バッファ

内部リファレンス・バッファは、V_{REFBUF} = 4.4V（最大）をサポートします。REFINをグランドに接続すると内部バッファをディスエーブルすることができるので、図9cに示すように、2.5V～5Vの外部リファレンス電圧を使用してREFBUFをオーバードライブすることができます。入力信号の振幅とSNRを最大にするには、外部5Vリファレンスを使用してREFBUFをオーバードライブします。リファレンス・バッファをディスエーブルした場合でも、バッファの帰還抵抗により、REFBUFピンには13kΩの負荷が加わります。LTC6655-5は、小型サイズ、精度、ドリフト、広い温度範囲の点でLTC6655-2.048と同じであり、LTC2357-16と併用した場合、標準で94.8dBのSNRを実現します。47µF以上のセラミック・コンデンサ（X7R、10V、1210サイズまたはX5R、10V、0805サイズ）をREFBUFピンの近くに接続してLTC6655-5をGND（ピン20）にバイパスし、変換時のトランジェント電流を吸収して、ノイズを最小限に抑えます。

各変換サイクル中に、LTC2357-16のREFBUFピンから電荷（Q_{CONV}）が流れます。短時間の尺度では、この電荷の大半はREFBUFの外付けバイパス・コンデンサによって供給されますが、長時間の尺度では、全ての電荷はリファレンス・バッファによって供給されるか、内部リファレンス・バッファがディスエーブルされている場合は外部リファレンスによって供給されます。この電荷の流れは$I_{REFBUF} = Q_{CONV} \cdot f_{SMPL}$と等価のDC電流に対応し、サンプリング・レートに比例します。図10に示すように、長時間のアイドル状態の後、集中的にサンプリングされるアプリケーションでは、I_{REFBUF}は短時間で約0.4mAから1.4mAに切り替わります（V_{REFBUF} = 5V、f_{SMPL} = 350ksps）。この電流ステップによって、外部リファレンスのトランジェント応答が始まります。V_{REFBUF}が正常値から逸脱すると、コンバータの精度に影響を与えるので、このトランジェント応答には注意する必要があります。外部リファレンスを使用してREFBUFをオーバードライブする場合は、高速セトリング特性のLTC6655リファレンス・ファミリを推奨します。

内部リファレンス・バッファのトランジェント応答

集中的なサンプリングを使用するアプリケーションで最高の性能を発揮するには、外部リファレンスと内部リファレンス・バッファの構成で使用します。内部リファレンス・バッファは、アイドル期間後の集中的な変換に応答するときにV_{REFBUF}の変化を最小限に抑える独自の設計を採用しています。図11では、LTC2357-16の集中的な変換の応答を、2つのリファレンス構成についてフルスケールに近い入力で比較しています。最初の構成では、内部リファレンス・バッファを使用し、LTC6655-2.048によってREFINを外部からオーバードライブするのに対して、2番目の構成では、内部リファレンス・バッファをディスエーブルし、外部のLTC6655-4.096を使用してREFBUFをオーバードライブしています。いずれの場合も、REFBUFは47µFのセラミック・コンデンサによってGNDにバイパスされます。

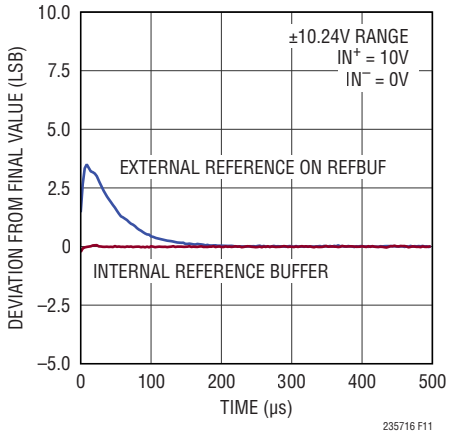


図11. LTC2357-16の集中的な変換の応答、f_{SMPL} = 350ksps

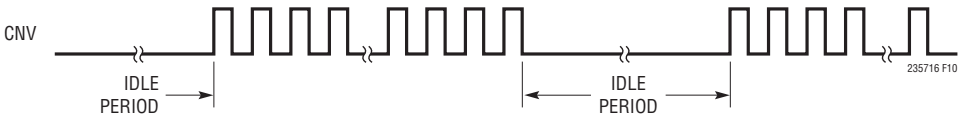


図10. 集中的なサンプリングを示すCNVの波形

アプリケーション情報

ダイナミック性能

A/Dコンバータの周波数応答、歪み、およびノイズを定格のスループットでテストするには、高速フーリエ変換(FFT)の手法を使用します。低歪みの正弦波を入力し、そのデジタル出力をFFTアルゴリズムを使用して解析することにより、基本波の外側の周波数に関してA/Dコンバータのスペクトラム成分を調べることができます。LTC2357-16では、AC歪みとノイズの両方の測定値について、保証されたテスト済みの制限値を示しています。

信号対ノイズ+歪み比(SINAD)

信号対ノイズ+歪み比(SINAD)は、基本入力周波数のRMS振幅とA/Dコンバータ出力での他の全ての周波数成分のRMS振幅の比です。出力の帯域は、サンプリング周波数の半分より低い周波数(DCを除く)に制限されます。図12は、2kHzの真の両極性入力信号を使用してサンプリング・レートが350kspsの場合、LTC2357-16が±10.24Vの範囲内でSINADの標準値である94.1dBを達成することを示します。

信号対ノイズ比(SNR)

信号対ノイズ比(SNR)は、基本入力周波数のRMS振幅と、1次から5次までの高調波およびDCを除く他の全ての周波数成分のRMS振幅との比です。図12は、2kHzの真の両極性入力信号を使用してサンプリング・レートが350kspsの場合、LTC2357-16が±10.24Vの範囲内でSNRの標準値である94.2dBを達成することを示します。

全高調波歪み(THD)

全高調波歪み(THD)は、入力信号の全ての高調波のRMS値の合計と基本波のRMS値との比です。帯域外高調波は、DCからサンプリング周波数の半分($f_{SMPL}/2$)までの周波数帯域で折り返し歪みを生じます。THDは次のように表されます。

$$THD = 20\log\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 \ldots V_N^2}}{V_1}$$

ここで、V_1は基本周波数のRMS振幅で、V_2～V_Nは2次～n次の各高調波の振幅です。図12は、2kHzの真の両極性入力信号を使用してサンプリング・レートが350kspsの場合、LTC2357-16が±10.24Vの範囲内でTHDの標準値である–110dB(N = 6)を達成することを示します。

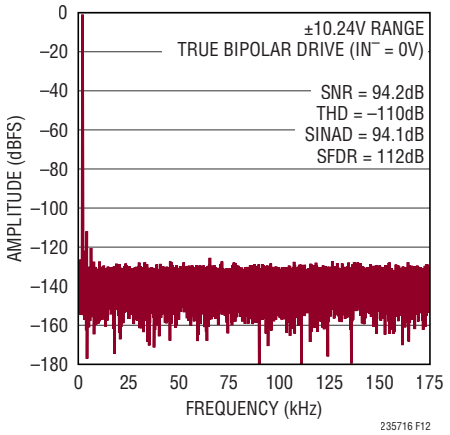


図12. 32kポイントのFFT、f_{SMPL} = 350ksps、f_{IN} = 2kHz

電源に関する検討事項

LTC2357-16には4つの電源が必要です。それは、正と負の高電圧電源(V_{CC}およびV_{EE})、5Vの主電源(V_{DD})、およびデジタル入出力(I/O)インタフェース電源(OV_{DD})です。電圧差の制限10V ≤ V_{CC} – V_{EE} ≤ 38Vを守っている限り、V_{CC}およびV_{EE}は、それぞれの許容動作範囲内の任意の値に個別にバイアスすることができます。これには、V_{EE}をグランドに直接接続することも含まれます。この機能により、LTC2357-16の同相入力電圧範囲は、特定のアプリケーション要件に合わせて調整することができます。柔軟性の高いOV_{DD}電源により、LTC2357-16は、2.5Vや3.3Vのシステムなど、1.8V～5Vで動作するCMOSロジックと通信することができます。LVDS I/Oモードを使用する場合、OV_{DD}の範囲は2.375V～5.25Vです。

電源シーケンシング

LTC2357-16には電源シーケンシングに関する特別な要件はありません。「絶対最大定格」のセクションに記載されている最大電圧の関係を遵守するよう注意する必要があります。LTC2357-16は、最初の電源投入時、およびV_{DD}が2Vより低くなったときに必ずA/Dコンバータ(LTC2357-16)をリセットするパワーオン・リセット(POR)回路を内蔵しています。電源電圧が公称の電源電圧範囲内に戻ると、POR回路はA/Dコンバータを再度初期化します。初期化の期間が確実に終了するように、PORイベント後10ms以上経過するまでは変換を開始しないようにします。内部リファレンス・バッファを使用する場合は、バッファが起動してREFBUFのバイパス・コンデンサを再充電するまでに200msを見込んでおきます。これらの時点より前に変換を開始すると、結果は無効になります。

アプリケーション情報

タイミングと制御

CNVのタイミング

LTC2357-16のサンプリングと変換は、CNVによって制御されます。CNVの立ち上がりエッジでは、全チャネルのS/H回路がトラック・モードからホールド・モードに切り替わり、全チャネルの入力信号を同時にサンプリングして、変換を開始します。「リセットのタイミング」のセクションで説明するように、いったん変換が開始されると、A/Dコンバータをリセットしない限り、変換を途中で終了させることはできません。最適な性能を得るには、クリーンな低ジッタの信号でCNVを駆動し、CNVの立ち上がりエッジに到達するまでデータI/Oラインが遷移しないようにする必要があります。更に、チャネル間クロストークを最小限に抑えるため、CNVの立ち上がりエッジの前後100nsでは、アナログ入力のスルーレートが高くならないようにします。A/DコンバータのステータスはBUSY出力によって示されます。この出力は各変換の開始時に“L”から“H”へ遷移し、変換が完了するまで“H”のままです。CNVは、いったん“H”になって変換が始まったら、40ns～60ns後に“L”に戻すか、BUSYの立ち下がりエッジ後に“L”に戻して、内部変換処理中の外乱を最小限に抑える必要があります。低消費電力のナップ動作モードを活用するために必要なCNVのタイミングについては、「ナップ・モード」のセクションを参照してください。

内部変換クロック

LTC2357-16には、Nチャネルをイネーブルしている場合、550・N nsの最大変換時間を達成できるよう調整されている内部クロックがあります。最小データ収集時間は625nsであり、4つのチャネルを同時に変換する場合、外部調整なしに、350kspsのスループット性能が保証されています。また、最小収集時間は、サンプリング周波数(f_{SMPL})とイネーブル状態のチャネル数に応じて変動することにも注意してください。

ナップ・モード

LTC2357-16は、1回の変換完了後にナップ・モードに移行して、変換と変換の間の電力消費量を低減することができます。このモードではデバイスの回路の一部がオフになります。これにはアナログ入力信号のサンプリングに関連した回路も含まれます。ナップ・モードをイネーブルするには、図13に示すように、変換と変換の間CNVを“H”に保ちます。ナップ・モードに入った後に新しい変換を開始するには、CNVを“L”にして750ns以上保持し、その後再度“H”にします。ナップ・モードの使用時には、コンバータの収集時間(t_{ACQ})はCNVが“L”の時間(t_{CNVL})によって設定されます。

パワーダウン・モード

PDが“H”になるとLTC2357-16の電源は遮断され、その後の変換要求は無視されます。変換中に“H”になった場合、デバイスは変換が完了したら電源を遮断します。このモードでは、デバイスに流れる電流が少量のレギュレータ・スタンバイ電流だけなので、標準的な電力損失は0.56mWになります。パワーダウン・モードを終了するには、PDピンを“L”にしてから10ms以上待機し、その後、変換を開始します。内部リファレンス・バッファを使用する場合は、バッファが起動してREFBUFのバイパス・コンデンサを再充電するまでに200msを見込んでおきます。これらの時点より前に変換を開始すると、結果は無効になります。

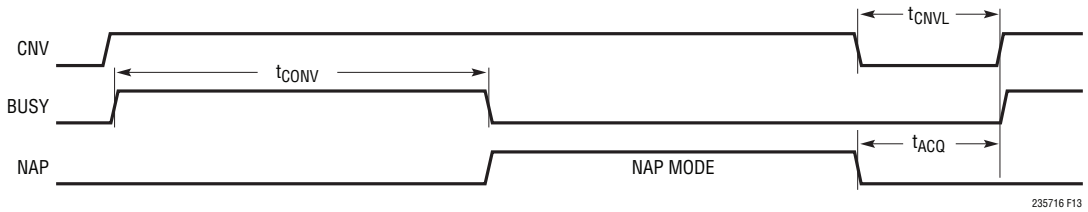


図13. LTC2357-16のナップ・モードのタイミング

アプリケーション情報

リセットのタイミング

LTC2357-16のグローバル・リセットは、パワーオン・リセットと同等であり、電源を入れ直さずに実行することができます。この機能が役立つのは、システム全体の状態を既知の同期値にリセットすることが必要なシステムレベルの事態から回復する場合です。グローバル・リセットを開始するには、図14に示すように、PDを2回“H”にして、その間は変換を行わないようにします。リセットはPDの2番目の立ち上がりエッジで作動し、内部タイマに基づいて非同期で終了します。リセットによって全てのシリアル・データ出力レジスタがクリアされ、内部SoftSpan構成レジスタは全てのチャネルがSoftSpan 7のデフォルト状態に戻ります。変換中にリセットが作動すると、変換は直ちに停止します。PDが“H”に切り替わることに関連付けられている通常のパワーダウン動作は、リセットによる影響を受けません。PDが“L”になったら、変換を開始する前に10ms以上待機します。内部リファレンス・バッファを使用する場合は、バッファが起動してREFBUFのバイパス・コンデンサを再充電するまでに200msを見込んでおきます。これらの時点より前に変換を開始すると、結果は無効になります。

電力損失とサンプリング周波数

ナップ・モードを使用すると、LTC2357-16の電力損失は、図15に示すように、サンプリング周波数が低下するにつれて減少します。このように電力損失の平均値が減少するのは、ナップ・モードの間はLTC2357-16の回路の一部がオフし、サンプリング周波数(f_{SMPL})が減少するにつれて、一時休止状態で時間を費やす変換サイクル(t_{CYC})の割合が増加するからです。

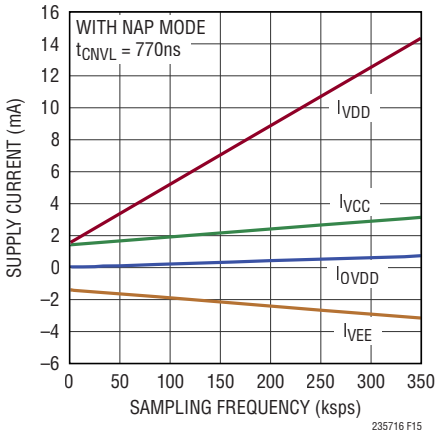


図15. LTC2357-16の電力損失はサンプリング周波数の低下とともに減少

デジタル・インタフェース

LTC2357-16はCMOSシリアル・インタフェースとLVDSシリアル・インタフェースを備えており、LVDS/$\overline{\text{CMOS}}$ピンを使用して選択することができます。柔軟性の高いOV_{DD}電源により、LTC2357-16は、2.5Vや3.3Vのシステムなど、1.8V～5Vで動作する全てのCMOSロジックと通信することができる一方で、LVDSインタフェースは低ノイズのデジタル設計をサポートします。CMOSモードでは、アプリケーションはシリアル・データ出力の1～4レーンを使用することができ、ユーザーはバス幅およびデータ・スループットを最適化できます。これらのI/Oインタフェース・オプションを合わせて、LTC2357-16は、従来のマイクロコントローラとも、最新のFPGAとも、同様に適切に通信することができます。

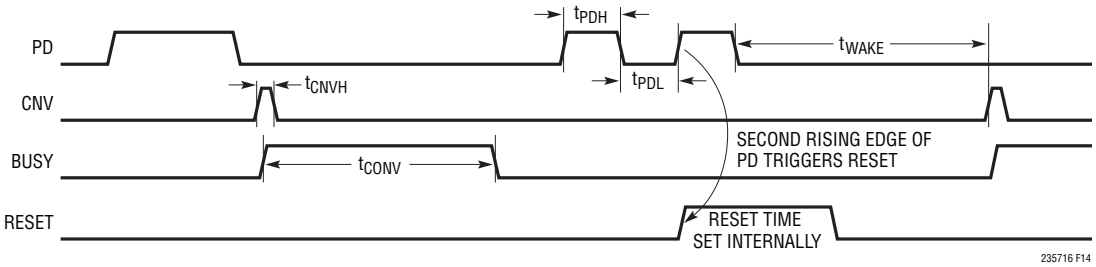


図14. LTC2357-16のリセットのタイミング

アプリケーション情報

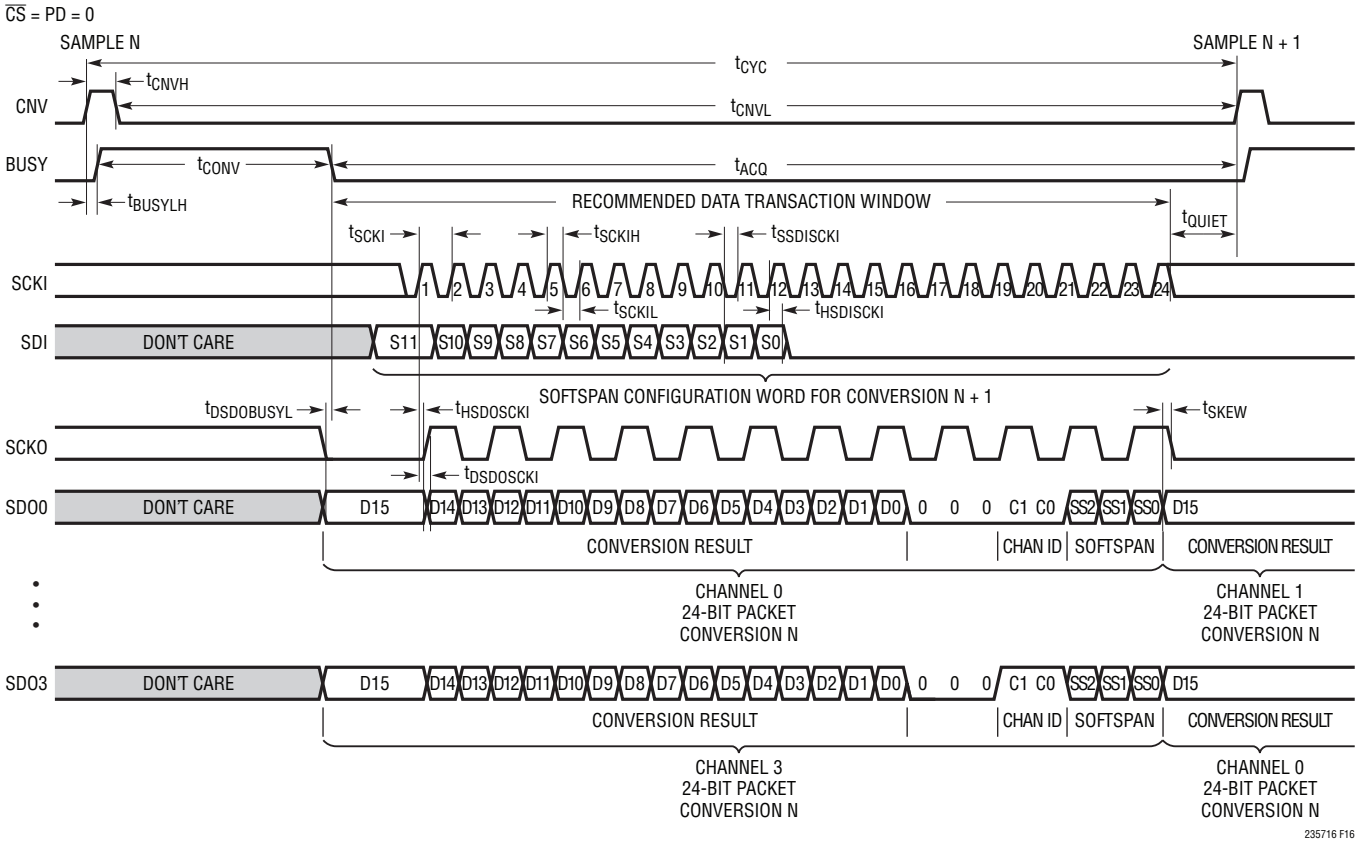


図16. シリアルCMOS I/Oモード

シリアルCMOS I/Oモード

図16に示すように、CMOS I/Oモードでは、シリアル・データ・バスは、シリアル・クロック入力(SCKI)、シリアル・データ入力(SDI)、シリアル・クロック出力(SCKO)、およびシリアル・データ出力の4つのレーン(SDO0～SDO3)で構成されます。LTC2357-16との通信は、このバスを介して、事前に定義されたデータ・トランザクション期間中に行われます。この期間内に、デバイスは次の変換用の12ビットSoftSpan構成ワードをSDIで受け取り、直前の変換による変換結果およびチャネル構成情報を収容した24ビットのパケットをSDO0～SDO3から出力します。LTC2357-16の起動またはリセットの10ms後、およびBUSYの立ち下がりエッジでの各変換の終了時に、新しいデータ・トランザクション期間が開始されます。推奨の使用事例では、図16に示すように、次の変換を開始する前にt_{QUIET}の最小時間である20nsの余裕をみてデータ・トランザクションを完了する必要があります。新しいSoftSpan構成ワードを受け付けるのはこの推奨データ・トランザクション期間内だけですが、SoftSpanの変更は直ちに有効になり、次の変換を開始するまでのアナログ入力セトリング時間を長くする必要はありません。次の変換を開始後であっても変換データを読み出すことは可能ですが、そうすると変換精度が低下するので推奨しません。

BUSYの立ち下がりエッジと新しいデータ・トランザクション期間開始の直前に、SCKOは強制的に“L”になり、SDO0～SDO3は、それぞれアナログ入力チャネル0～3の最新の変換結果によって更新されます。SCKIの立ち上がりエッジでは、変換結果とアナログ入力チャネル構成情報がクロックに同期してSDO0～SDO3で逐次出力されます。更に、SCKIの立ち上がりエッジはSCKOが遷移するトリガとなり、この遷移はSDO0～SDO3のデータとスキューが一致します。生成されるSCKO周波数は、SCKIの周波数の1/2になります。SCKIの立ち上がりエッジでは、SDIに入力されたSoftSpan構成ワー

アプリケーション情報

ドもラッチされ、内部12ビットSoftSpan構成レジスタの設定に使用されます。詳細については、「CMOS I/Oモードでの SoftSpan構成レジスタのプログラミング」のセクションを参照してください。CMOS I/Oモードでは、SCKIは“H”または“L”でアイドル状態になることができます。図17に示すように、CMOSバスは$\overline{CS}$が“L”になるとイネーブルされ、$\overline{CS}$が“H”になるとディスエーブルされて高インピーダンス状態になるので、複数のデバイス間で共有することができます。

SDO0～SDO3のデータは24ビットのパケットにまとめられます。その構成は16ビットの変換結果、3つの0、2ビットのアナログ・チャネルID、3ビットのSoftSpanコードと続き、全てMSBを先頭にして出力されます。図16および図17で示唆しているように、各SDOレーンは、全てのアナログ入力チャネルについて、これらのパケットを順次、交互に出力します。例えば、SDO0での最初の24ビット・パケット出力は、アナログ入力チャネル0に対応し、その後のパケットはチャネル1、2、および3に対応します。その後、SDO0でのデータ出力は折り返してチャネル0に戻り、このパターンが無期限に繰り返されます。他のSDOレーンも同様な循環パターンに従いますが、各レーンに現れる最初のパケットは関連のアナログ入力チャネルに対応することだけが異なります。

LTC2357-16と標準のSPIバスを接続する場合は、レシーバの出力データをSCKIの立ち上がりエッジで取り込みます。この場合、SCKOは使用されません。また、この場合には、複数のSDOレーンも通常は役に立ちません。LTC2357-16をFPGAやCPLDと接続するなど、他のアプリケーションでは、SCKOの立ち上がりエッジおよび立ち下がりエッジを使用して、SDO0～SDO3でのシリアル出力データをダブル・データ・レート（DDR）方式により取り込むことができます。SCKOを使用してデータを取り込むと、温度や電源電圧による遅延時間の変動に対する耐性が向上します。

4レーン全体でのシリアルCMOS出力データの捕捉

表2に示すように、最初のパケット（合計24 SCKIサイクル）を4つのシリアル・データ出力レーンSDO0～SDO3全てから捕捉することによって、41MHzのSCKI周波数で1チャネル当たり350kspsの最大スループットを実現できます。この構成では、2ビットのアナログ・チャネルIDおよび3ビットのSoftSpanコードが不要な場合、わずか16 SCKIサイクルを使用して全てのチャネルから変換結果を捕捉することもできます。複数レーンでのデータの取り込みが最も適しているのは、通常はFPGAまたはCPLD取り込みハードウェアと組み合わせて使用する場合ですが、アプリケーション固有のその他の事例にも役立つことがあります。

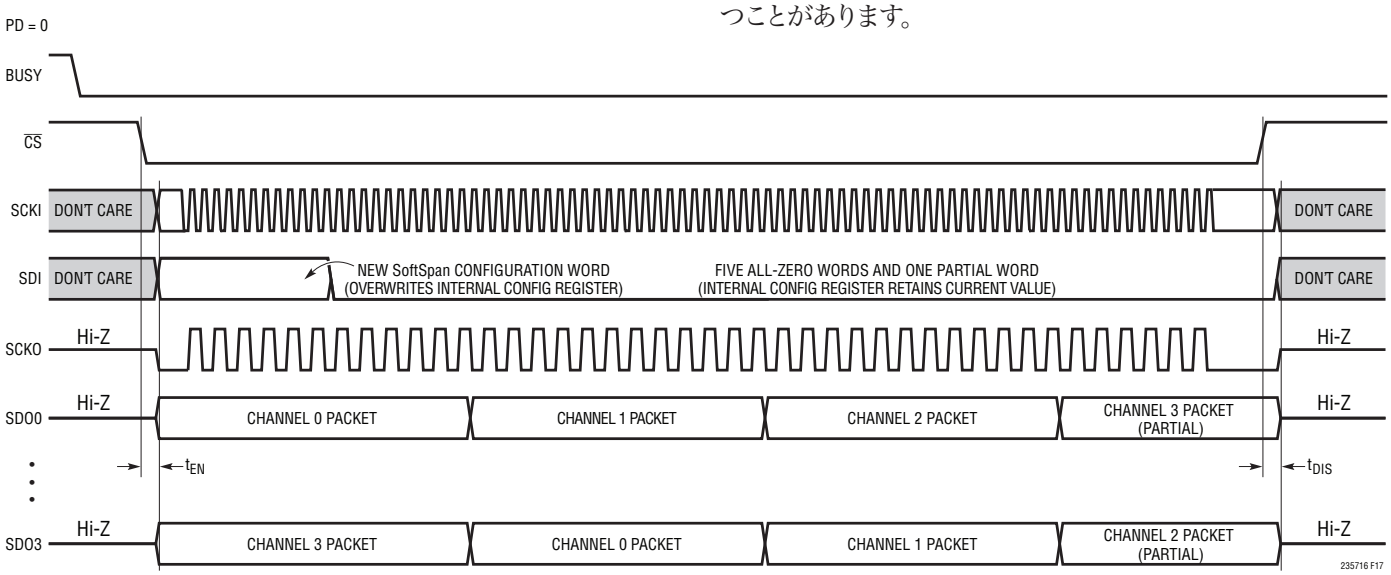


図17. 内部SoftSpan構成レジスタの動作。$\overline{CS}$に対するシリアルCMOSバスの応答

アプリケーション情報

4レーン未満でのシリアルCMOS出力データの捕捉

4レーン全体でのシリアル・データの捕捉に対応できないアプリケーションは、LTC2357-16を再構成することなく、より少ないレーンを使用できます。例えば、最初の2つのパケット(合計48 SCKIサイクル)をSDO0およびSDO2から捕捉すると、2つの出力レーンを使用して、アナログ入力チャネル0と1、および2と3のデータがそれぞれ得られます。1つのレーンのみに対応できる場合、最初の4つのパケット(合計96 SCKIサイクル)をSDO0から捕捉すると、全てのアナログ入力チャネルのデータが得られます。表2に示すように、4レーンおよび2レーンの場合には、それぞれ41MHzおよび81MHzのSCKI周波数で350ksps/チャネルの最大スループットを達成することができますが、1レーンの場合にはCMOS I/Oモードでの SCKI周波数が最大100MHzなので、スループットは350ksps/チャネルより低い値に制限されます。最後に、レーン数とデータ取り込みに使用するレーンを選択するときには、前述した特定の事例に限定されるわけではないことに注意してください。アプリケーションによっては、他の方法を選択した方が適している場合があります。

CMOS I/OモードでのSoftSpan構成レジスタのプログラミング

内部12ビットSoftSpan構成レジスタは、LTC2357-16の全てのアナログ入力チャネルについて、SoftSpan範囲を制御します。デバイスの起動後またはリセット後、このレジスタのデフォルトの状態は全て1であり、各チャネルはSoftSpan 7、つまり±2.5 • V_{REFBUF}の範囲内で変換するよう構成されます(表1a参照)。このレジスタの状態を変更するには、図16に示すデータ・トランザクション期間中に新しい12ビットのSoftSpan構成ワードをSDIに入力します。新しいSoftSpan構成ワードを受け付けるのはこの推奨データ・トランザクション期間内だけですが、SoftSpanの変更は直ちに有効になり、次の変換を開始するまでのアナログ入力セトリング時間を長くする必要はありません。1つのチャネルのSoftSpanコードをSS[2:0] = 000に設定すると、そのチャネルは直ちにディスエーブルされ、それに対応してt_{CONV}が次の変換時に短くなります。同様に、直前にディスエーブルしたチャネルをイネーブルする場合、次の変換を開始する前のアナログ入力セトリング時間を長くする必要はありません。シリアルSoftSpan構成ワード、内部SoftSpan構成レジスタ、および各チャネルの3ビットSoftSpanコードの間の対応付けを図18に示します。

表2. 4つのチャネルをイネーブルした共通出力バス構成でさまざまなスループットを実現するために必要なSCKI周波数。網掛けの項目は所定の構成では達成できないスループットを表す。f_{SCKI} = (SCKIサイクル数)/($t_{ACQ(MIN)}$ − t_{QUIET})を使用して計算

I/Oモード	SDOのレーン数	SCKIのサイクル数	次のスループットを達成するために必要なf_{SCKI}(MHz)		
			350ksps/チャネル (t_{ACQ} = 625ns)	175ksps/チャネル (t_{ACQ} = 3480ns)	88ksps/チャネル (t_{ACQ} = 9190ns)
CMOS	4	16	27	5	2
	4	24	41	7	3
	2	48	81	14	6
	1	96	Not Achievable	28	11
LVDS	1	48	81(162Mbps)	14(28Mbps)	6(12Mbps)

アプリケーション情報

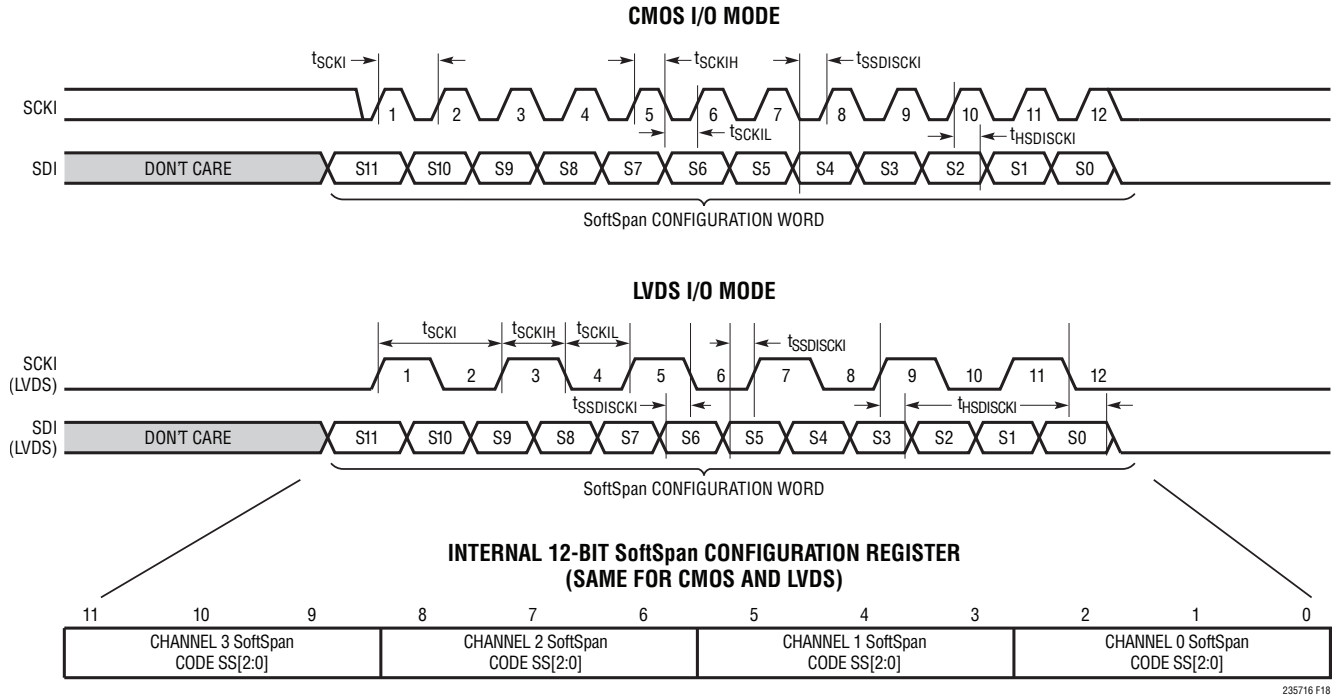


図18. シリアルSoftSpan構成ワード、内部SoftSpan構成レジスタ、および各アナログ入力チャネルのSoftSpanコードの間の対応付け

データ・トランザクション期間中に得られるSCKIの立ち上がりエッジが12回未満の場合、SDIで受け取った不完全なワードは無視され、SoftSpan構成レジスタは更新されません。SCKIの立ち上がりエッジがちょうど12回の場合は、受け取ったSoftSpan構成ワードS[11:0]と一致するようにSoftSpan構成レジスタが更新されます。S[11:0]が全てゼロの場合は、この動作の例外が発生します。この場合にはSoftSpan構成レジスタが更新されないので、アプリケーションがSDIを“L”のアイドル状態にすることにより、現在のSoftSpan構成状態を維持することができます。データ・トランザクション期間中に得られるSCKIの立ち上がりエッジが12回より多い場合は、前述したように、SDIで受け取った完全な12ビット・ワードがそれぞれ新しいSoftSpan構成ワードとして解釈され、SoftSpan構成レジスタに適用されます。不完全なワードは無視されます。

通常、アプリケーションは図16および図17に示す方法でSoftSpan構成レジスタを更新します。BUSYの立ち下がりエッジで新しいデータ・トランザクション期間が始まった後、最初の12回のSCKIサイクル中に12ビットのSoftSpan構成ワードをSDIに入力します。この新しいワードにより、SCKIの12番目の立ち上がりエッジの後に内部構成レジスタの内容が上書きされます。その後は、データ・トランザクション期間の残りの時間SDIを“L”に保持することにより、適用されるSCKIサイクル数の増加に関係なく、レジスタはその内容を保持します。データ・トランザクション期間全体にわたってSDIを“L”に保持することにより、適用されるSCKIサイクルの数に関係なく、SoftSpanの設定を複数の変換にわたって維持することができます。

シリアルLVDS I/Oモード

LVDS I/Oモードでは、正と負の信号対（$LVDS^+/LVDS^-$）と、（$LVDS^+ - LVDS^-$）の形で差動で符号化したビットを使用して情報を転送します。これらの信号は、通常は特性インピーダンスが100Ωの差動伝送線路を使用して転送されます。ロジックの1と0は、公称ではそれぞれ差動電圧+350mVおよび−350mVで表現されます。理解しやすくするため、LVDSのタイミング図とLVDSインタフェースに関する全ての説明では、物理値表記ではなく、ロジック表記を採用しています。

アプリケーション情報

図19に示すように、LVDS I/Oモードでのシリアル・データ・バスの構成は、シリアル・クロック差動入力(SCKI)、シリアル・データ差動入力(SDI)、シリアル・クロック差動出力(SCKO)、およびシリアル・データ差動出力(SDO)です。LTC2357-16との通信は、このバスを介して、事前に定義されたデータ・トランザクション期間中に行われます。この期間内に、デバイスは次の変換用の12ビットSoftSpan構成ワードをSDIで受け取り、直前の変換による変換結果およびチャネル構成情報を収容した24ビットのパケットをSDOから出力します。LTC2357-16の起動またはリセットの10ms後、およびBUSYの立ち下がりエッジでの各変換の終了時に、新しいデータ・トランザクション期間が開始されます。推奨の使用事例では、図19に示すように、次の変換を開始する前にt_{QUIET}の最小時間である20nsの余裕をみてデータ・トランザクションを完了する必要があります。新しいSoftSpan構成ワードを受け付けるのはこの推奨データ・トランザクション期間内だけですが、SoftSpanの変更は直ちに有効になり、次の変換を開始するまでのアナログ入力セトリング時間を長くする必要はありません。次の変換を開始後であっても変換データを読み出すことは可能ですが、そうすると変換精度が低下するので推奨しません。

BUSYの立ち下がりエッジと新しいデータ・トランザクション期間開始の直前に、SDOはアナログ入力チャネル0の最新の変換結果によって更新されます。SCKIの立ち上がりエッジと立ち下がりエッジの両方で、変換結果とアナログ入力チャネル構成情報がクロックに同期してSDOから逐次出力されます。また、SCKIはSCKOからもエコー出力され、SDOでのデータとスキューが一致しています。可能な場合には必ず、SCKOの立ち上がりエッジおよび立ち下がりエッジを使用して、SDOでのDDRシリアル出力データを取り込むことを推奨します。これにより、電源や温度による遅延時間の変動に対する耐性が最も高くなるからです。また、SCKIの立ち上がりエッジと立ち下がりエッジでは、SDIに入力されたSoftSpan構成ワードもラッチされます。この構成ワードは、内部の12ビットSoftSpan構成レジスタをプログラムするのに使用されます。詳細については、「LVDS I/OモードでのSoftSpan構成レジスタのプログラミング」のセクションを参照してください。図20に示すように、LVDSバスは$\overline{CS}$が“L”になるとイネーブルされ、$\overline{CS}$が“H”になるとディスエーブルされて高インピーダンス状態になるので、複数のデバイス間で共有することができます。LVDSでは信号処理が高速なので、LVDSバスの共有は慎重に検討す

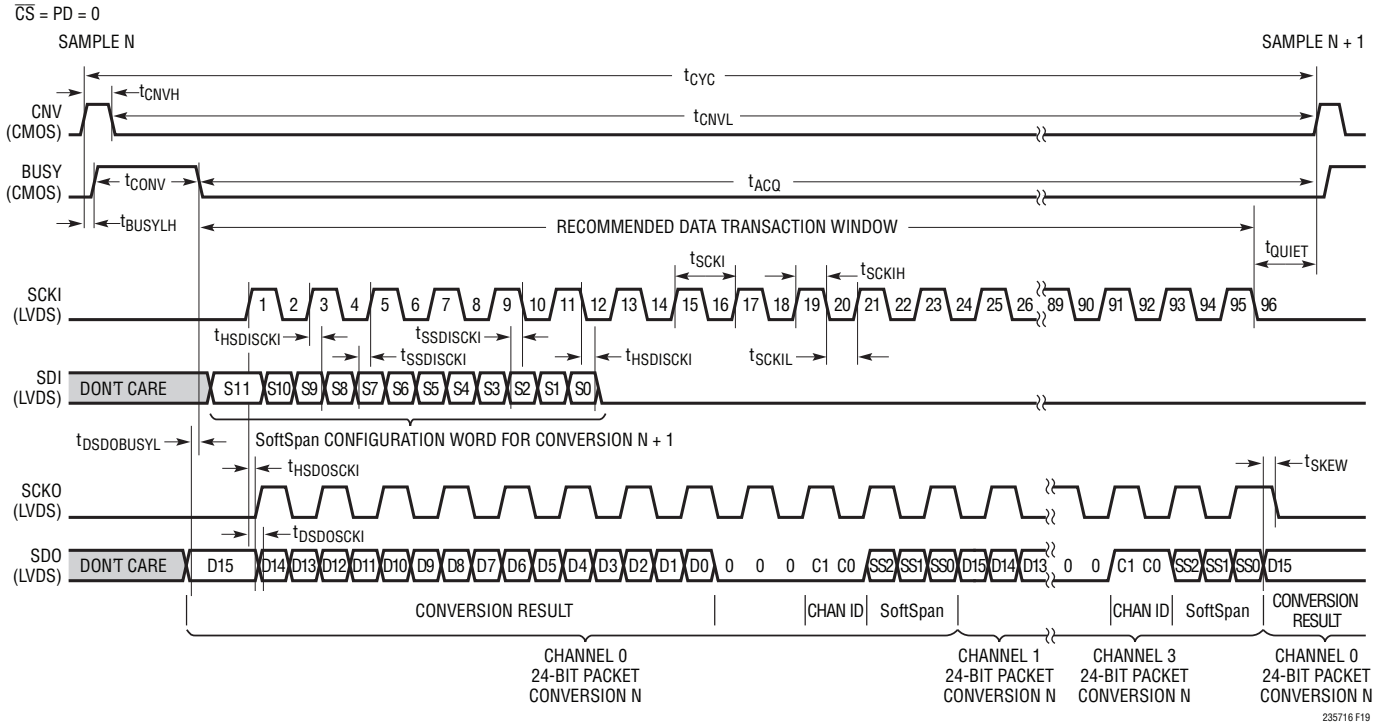


図19. シリアルLVDS I/Oモード

アプリケーション情報

る必要があります。共有バスによる伝送線路の制約により、実現可能な最大のバス・クロック速度が制限されることがあります。LVDSの入力は$\overline{CS}$が“L”のとき100Ωの差動抵抗で終端されますが、出力はレシーバ(FPGA)に100Ωの抵抗を接続することによって差動で終端する必要があります。LVDS I/Oモードでは、$\overline{CS}$の遷移時も含めてSCKIを“L”のアイドル状態にする必要があります。

SDOのデータは24ビットのパケットにまとめられます。その構成は16ビットの変換結果、3つの0、2ビットのアナログ・チャネルID、3ビットのSoftSpanコードと続き、全てMSBを先頭にして出力されます。図19および図20で示唆しているように、SDOは、全てのアナログ入力チャネルについて、これらのパケットを順次、交互に出力します。例えば、SDOでの最初の24ビット・パケット出力は、アナログ入力チャネル0に対応し、その後のパケットはチャネル1、2、および3に対応します。その後、SDOでのデータ出力は折り返してチャネル0に戻り、このパターンが無期限に繰り返されます。

シリアルLVDS出力データの取り込み

表2に示すように、SDOから4パケット(合計48 SCKIサイクル)のDDRデータを取り込むことにより、81MHzのSCKI周波数で350ksps/チャネルの最大スループットを達成することができます。LTC2357-16は、最大250MHzのLVDS SCKI周波数をサポートしています。

LVDS I/OモードでのSoftSpan構成レジスタのプログラミング

内部12ビットSoftSpan構成レジスタは、LTC2357-16の全てのアナログ入力チャネルについて、SoftSpan範囲を制御します。デバイスの起動後またはリセット後、このレジスタのデフォルトの状態は全て1であり、各チャネルはSoftSpan 7、つまり±2.5 • V_{REFBUF}の範囲内で変換するよう構成されます(表1a参照)。このレジスタの状態を変更するには、図19に示すデータ・トランザクション期間中に新しい12ビットのSoftSpan構成ワードをSDIに入力します。新しいSoftSpan構成ワードを受け付けるのはこの推奨データ・トランザクション期間内だけですが、SoftSpanの変更は直ちに有効になり、次の変換を開始するまでのアナログ入力セトリング時間を長くする必要はありません。1つのチャネルのSoftSpanコードをSS[2:0] = 000に設定すると、そのチャネルは直ちにディスエーブルされ、それに対応してt_{CONV}が次の変換時に短くなります。同様に、直前にディスエーブルしたチャネルをイネーブルする場合、次の変換を開始する前のアナログ入力セトリング時間を長くする必要はありません。シリアルSoftSpan構成ワード、内部SoftSpan構成レジスタ、および各チャネルの3ビットSoftSpanコードの間の対応付けを図18に示します。

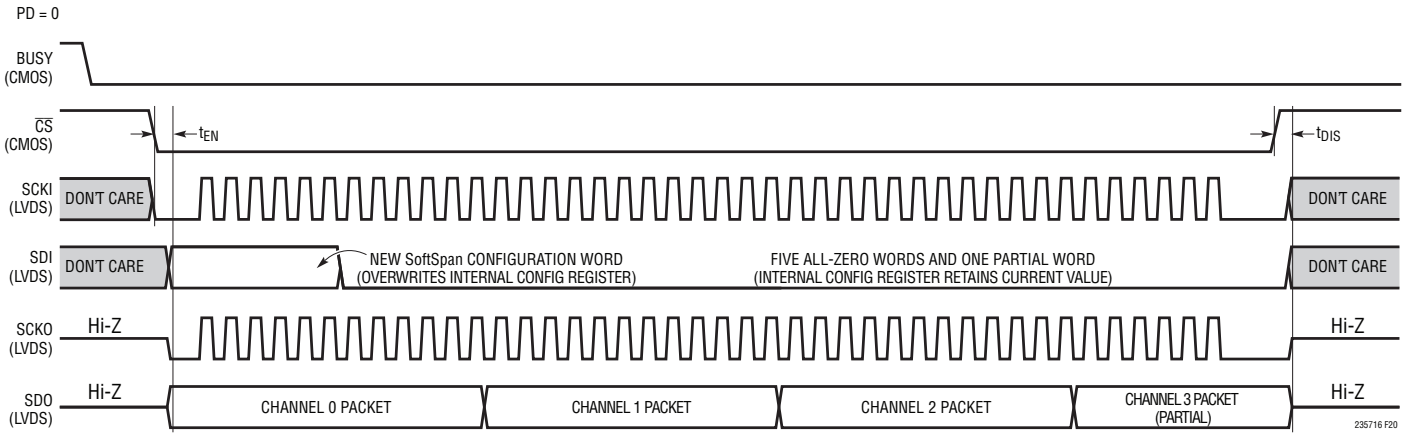


図20. 内部SoftSpan構成レジスタの動作。$\overline{CS}$に対するシリアルLVDSバスの応答

アプリケーション情報

データ・トランザクション期間中に得られるSCKIの(立ち上がりおよび立ち下がり)エッジが12回未満の場合、SDIで受け取った不完全なワードは無視され、SoftSpan構成レジスタは更新されません。SCKIのエッジがちょうど12回の場合は、受け取ったSoftSpan構成ワードS[11:0]と一致するようにSoftSpan構成レジスタが更新されます。S[11:0]が全てゼロの場合は、この動作の例外が発生します。この場合にはSoftSpan構成レジスタが更新されないので、アプリケーションがSDIを“L”のアイドル状態にすることにより、現在のSoftSpan構成状態を維持することができます。データ・トランザクション期間中に得られるSCKIのエッジが12回より多い場合は、前述したように、SDIで受け取った完全な12ビット・ワードがそれぞれ新しいSoftSpan構成ワードとして解釈され、SoftSpan構成レジスタに適用されます。不完全なワードは無視されます。

通常、アプリケーションは、図19および20に示す方法でSoftSpan構成レジスタを更新します。BUSYの立ち下がりエッジで新しいデータ・トランザクション期間が開始された後に、最初の12 SCKIサイクルの間に、ユーザーは6ビットDDR SoftSpan構成ワードをSDIに入力します。この新しいワードにより、SCKIの6番目の立ち下がりエッジの後に内部構成レジスタの内容が上書きされます。その後は、データ・トランザクション期間の残りの時間SDIを“L”に保持することにより、適用されるSCKIサイクル数の増加に関係なく、レジスタはその内容を保持します。データ・トランザクション期間全体にわたってSDIを“L”に保持することにより、適用されるSCKIサイクルの数に関係なく、SoftSpanの設定を複数の変換にわたって維持することができます。

基板レイアウト

LTC2357-16から最大限の性能を引き出すには、4層のプリント回路基板(PCB)を推奨します。PCBのレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・クロックやデジタル信号は、アナログ信号に沿って配線したり、ADCの下に配線したりしないように注意してください。また、REFBUFとGND(ピン20)の間のバイパス・コンデンサ帰還ループの長さを最小限に抑え、CNVの立ち上がりエッジを乱す可能性のある信号の近くにCNVの配線を引き回さないようにしてください。

電源のバイパス・コンデンサは、電源ピンにできるだけ近づけて配置します。A/Dコンバータを低ノイズで動作させるには、これらのバイパス・コンデンサに低インピーダンスの共通帰線を使用することが不可欠です。このためには、切れ目のない単一のグランド・プレーンを推奨します。可能な場合は、グランドを使用してアナログ入力トレースを遮蔽してください。

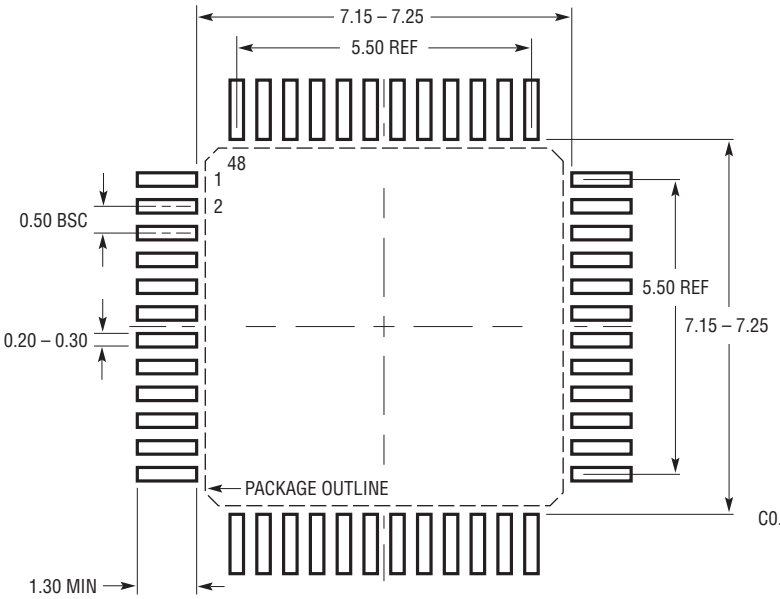
リファレンスの設計

図面やPCBレイアウトなど、このコンバータのリファレンス設計を詳細に調べる場合は、DC2365(LTC2357-16の評価キット)を参照してください。

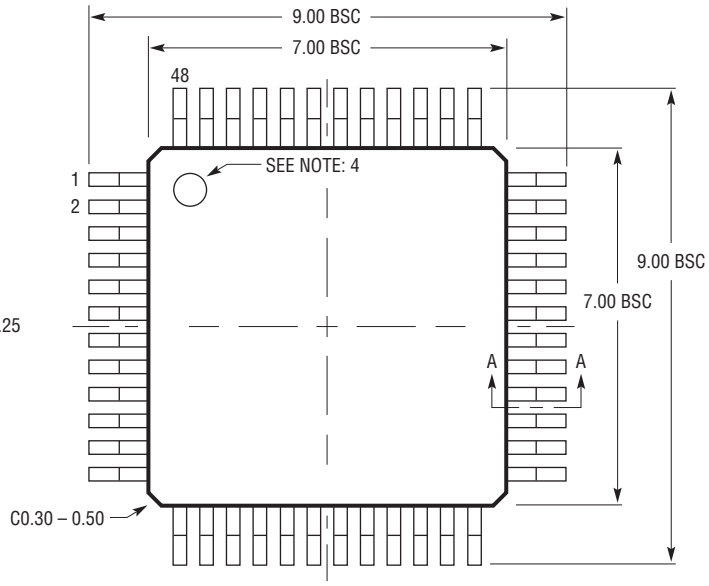
パッケージ

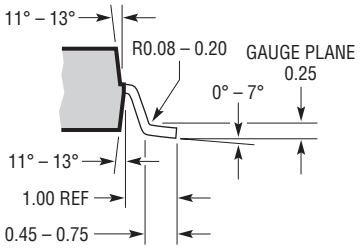
最新のパッケージ図は、http://www.linear-tech.co.jp/product/LTC2357-16#packaging を参照してください。

LX Package
48-Lead Plastic LQFP (7mm × 7mm)
(Reference LTC DWG # 05-08-1760 Rev A)

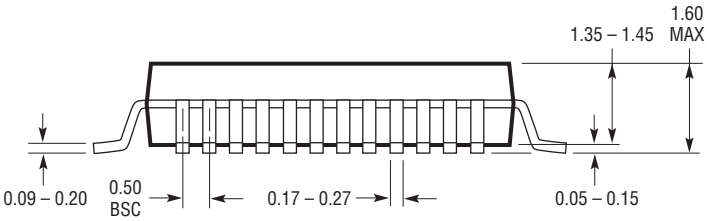


RECOMMENDED SOLDER PAD LAYOUT
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED

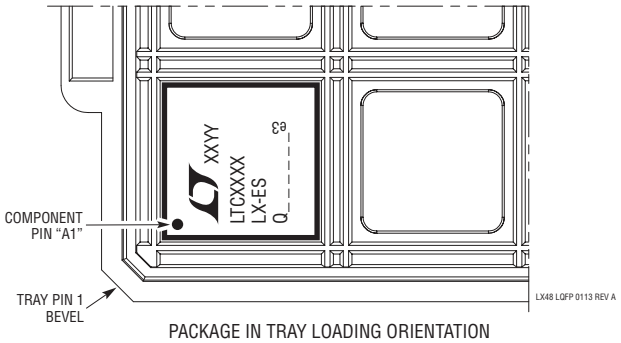




SECTION A – A



注記：
1. パッケージ寸法は JEDEC #MS-026 のパッケージ外形に適合
2. 寸法はミリメートル
3. 寸法にはモールドのバリを含まない。
   モールドのバリは(もしあれば)各サイドで 0.25mm を超えないこと
4. ピン 1 の識別マークはモールドのくぼみ、直径 0.50mm
5. 図は実寸とは異なる

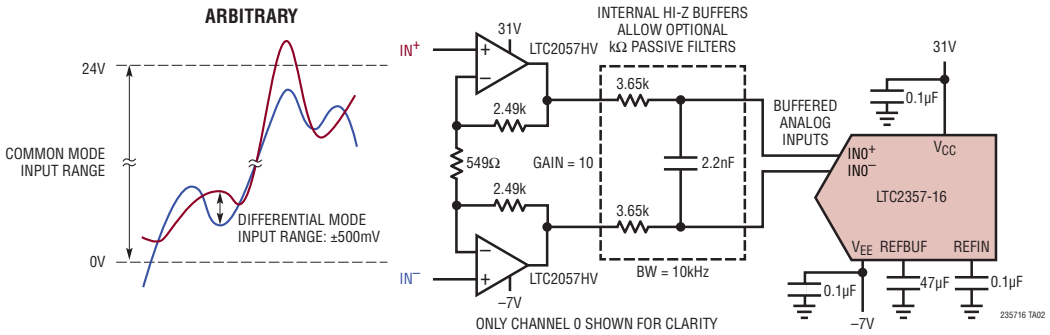


PACKAGE IN TRAY LOADING ORIENTATION

アナログ・デバイセズは、提供する情報が正確で信頼できるものであることに万全を期していますが、その利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズの特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。

標準的応用例

バッファ付きのアナログ入力を使用して広い同相電圧範囲にわたって利得10で差動信号を増幅



関連製品

製品番号	説明	注釈
A/Dコンバータ		
LTC2358-18/LTC2358-16	バッファ付き18/16ビット、200ksps/チャネル、8チャネル同時サンプリング、INLが±3.5LSB/±1LSBのA/Dコンバータ	同相電圧範囲が30V_{P-P}のバッファ付き±10.24V SoftSpan入力、SNR：96dB/94dB、シリアルCMOSおよびLVDS I/O、7mm×7mm LQFP-48パッケージ
LTC2333-18/LTC2333-16	18/16ビット、800ksps、8チャネル多重化、INL：±3LSB/±1LSB、シリアルA/Dコンバータ	同相電圧範囲の広いバッファ付き±10.24V SoftSpan入力、SNR：97dB/94dB、シリアルCMOSおよびLVDS I/O、7mm×7mm LQFP-48パッケージ
LTC2344-18/LTC2344-16	18/16ビット、400ksps/チャネル、4チャネル同時サンプリング、INL：±4LSB/±1.25LSB、シリアルA/Dコンバータ	入力同相電圧範囲の広い±4.096V SoftSpan入力、SNR：95dB/93dB、シリアルCMOSおよびLVDS I/O、7mm×7mm QFN-32パッケージ
LTC2345-18/LTC2345-16	18/16ビット、200ksps/チャネル、8チャネル同時サンプリング、INL：±5LSB/±1.25LSB、シリアルA/Dコンバータ	入力同相電圧範囲の広い±4.096V SoftSpan入力、SNR：92dB/91dB、シリアルCMOSおよびLVDS I/O、7mm×7mm QFN-48パッケージ
LTC2378-20/LTC2377-20/LTC2376-20	INLが±0.5ppmの20ビット、1Msps/500ksps/250ksps、シリアル、低消費電力A/Dコンバータ	2.5V電源、±5V完全差動入力、SNR：104dB、MSOP-16および4mm×3mm DFN-16パッケージ
LTC2338-18/LTC2337-18/LTC2336-18	18ビット、1Msps/500ksps/250kspsシリアル、低消費電力A/Dコンバータ	5V電源、±10.24V完全差動入力、SNR：100dB、MSOP-16パッケージ
LTC2328-18/LTC2327-18/LTC2326-18	18ビット、1Msps/500ksps/250kspsシリアル、低消費電力A/Dコンバータ	5V電源、±10.24V疑似差動入力、SNR：95dB、MSOP-16パッケージ
LTC2373-18/LTC2372-18	18ビット、1Msps/500ksps、8チャネル、シリアルA/Dコンバータ	5V電源、8チャネル・マルチプレクサ内蔵、構成可能な入力範囲、SNR：100dB、DGC、5mm×5mm QFN-32パッケージ
LTC2379-18/LTC2378-18/LTC2377-18/LTC2376-18	18ビット、1.6Msps/1Msps/500ksps/250ksps、シリアル、低消費電力A/Dコンバータ	2.5V電源、差動入力、SNR：101.2dB、入力範囲：±5V、DGC、MSOP-16および4mm×3mm DFN-16パッケージのピン互換ファミリ
LTC2380-16/LTC2378-16/LTC2377-16/LTC2376-16	16ビット、2Msps/1Msps/500ksps/250ksps、シリアル、低消費電力A/Dコンバータ	2.5V電源、差動入力、SNR：96.2dB、入力範囲：±5V、DGC、MSOP-16および4mm×3mm DFN-16パッケージのピン互換ファミリ
LTC2389-18/LTC2389-16	18/16ビット、2.5Msps、パラレル/シリアルA/Dコンバータ	5V電源、ピンで設定可能な入力範囲、SNR：99.8dB/96dB、パラレルまたはシリアルI/O、7mm×7mm LQFP-48およびQFN-48パッケージ
LTC2387-18/LTC2387-16	18/16ビット、15Msps SAR A/Dコンバータ	5V電源、差動入力、SNR：95.7dB/93.8dB、5mm×5mm QFNパッケージ
LTC1859/LTC1858/LTC1857	16/14/12ビット、8チャネル、100ksps、シリアルA/Dコンバータ	±10V、SoftSpan、シングルエンド入力または差動入力、5V単電源、SSOP-28パッケージ
D/Aコンバータ		
LTC2756/LTC2757	18ビット、シリアル/パラレル電流出力SoftSpan D/Aコンバータ	INL/DNL：±1LSB、ソフトウェアで選択可能な範囲、SSOP-28/7mm×7mm LQFP-48パッケージ
LTC2668	16チャネル16/12ビット±10V電圧出力SoftSpan D/Aコンバータ	INL：±4LSB、高精度のリファレンス：10ppm/°C（最大）、6mm×6mm QFN-40パッケージ
リファレンス		
LTC6655	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	5V/2.5V/2.048V/1.25V、2ppm/°C、ピーク・トゥ・ピーク・ノイズ：0.25ppm、MSOP-8パッケージ
LT6657	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	5V/3V/2.5V、1.5ppm/°C、ピーク・トゥ・ピーク・ノイズ：0.5ppm、MSOP-8パッケージ
アンプ		
LTC2057/LTC2057HV	高電圧、低ノイズのゼロドリフト・オペアンプ	入力オフセット電圧（最大）：4.5µV、電源電圧範囲：4.75V～60V
LT6020	デュアル、マイクロパワー、5V/µs、レール・トゥ・レール・オペアンプ	入力オフセット電圧（最大）：30µV、電源電流（最大）：100µA/アンプ
LT1354/LT1355/LT1356	シングル/デュアル/クワッド、1mA、12MHz、400V/µsオペアンプ	優れたDC精度、あらゆる容量性負荷を接続しても安定

© ANALOG DEVICES, INC. 2017