シャットダウン付き 6チャネル、14ビット、1.5Msps 同時サンプリングADC

特長

- **同時にサンプリングされる6つの差動入力を備えた 1.5Msps ADC**
- **チャネル当りのスループット：250ksps**
- **SINAD：75dB**
- **低消費電力：16.5mW**
- **単一3V電源動作**
- 外部リファレンスを使用してオーバードライブ可能な 2.5Vバンドギャップ・リファレンスを内蔵
- 3線SPI互換シリアル・インタフェース
- CONVでトリガされる内部変換
- スリープ（12μW）シャットダウン・モード
- ナップ（4.5mW）シャットダウン・モード
- 0V～2.5Vのユニポーラ または±1.25Vのバイポーラ差動入力範囲
- 同相除去比：83dB
- 小型32ピン（5mm×5mm）QFNパッケージ

アプリケーション

- 多相電力測定
- 多相モータ制御
- データ収集システム
- 無停電電源

、LT、LTCおよびLTMはリニアテクノロジー社の登録商標です。
他の全ての商標はそれぞれの所有者に所有権があります。
6084440、6522187を含む米国特許によって保護されています。

概要

LTC®2351-14は、同時にサンプリングされる6つの差動入力を備えた14ビット、1.5Msps ADCです。このデバイスは、単一3V電源で消費電流がわずか5.5mAで、小型32ピン(5mm × 5mm) QFNパッケージで供給されます。スリープ・シャットダウン・モードでは、消費電力を12μWまで低減します。低消費電力、小型パッケージのLTC2351-14は、携帯アプリケーションに適しています。

LTC2351-14はCONV信号の立上りエッジで同時にサンプリングされる6つの個別の差動入力を備えています。これら6つのサンプリングされた入力は250ksps/チャネルのレートで変換されます。

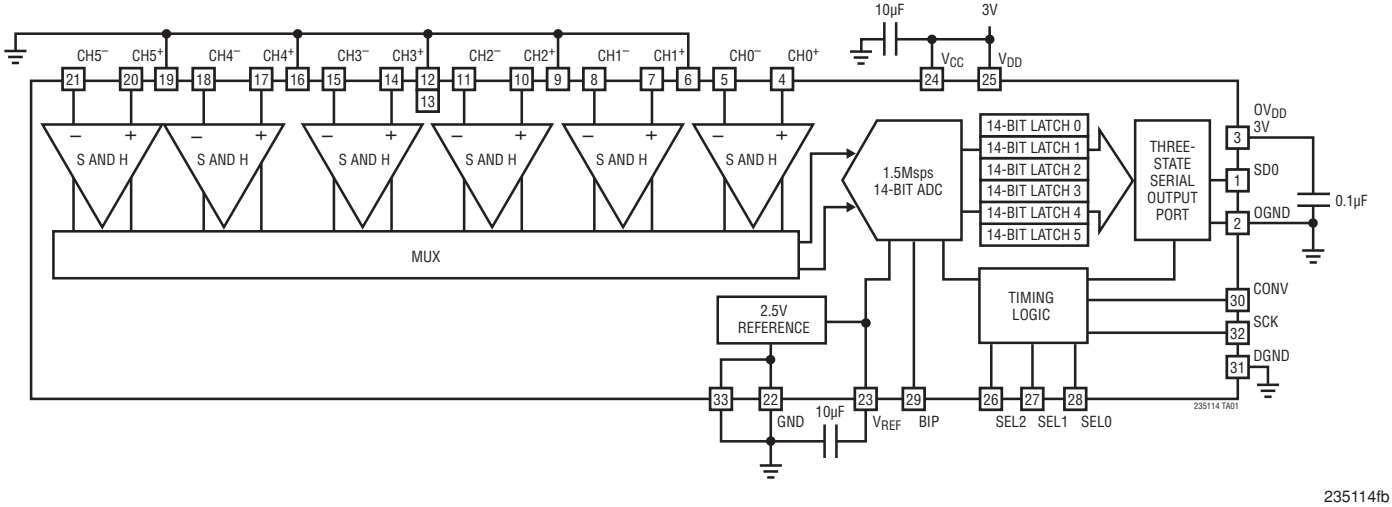
83dBの同相除去比により、ソースから差動で信号を測定することによってグランド・ループや同相ノイズを排除できます。

このデバイスは、BIPピンの状態に応じて、0V～2.5Vのユニポーラ入力または±1.25Vのバイポーラ入力を差動変換します。差動入力範囲が維持されている間は、どのアナログ入力もレール・トゥ・レールでの振幅が可能です。

SEL2、SEL1、SEL0入力のロジック状態に応じて、変換シーケンスを短縮して5つ以下のチャネル数での変換を行うことができます。

シリアル・インタフェースが6つの変換結果を96クロックで送出するので、標準シリアル・インタフェースと互換性があります。

ブロック図

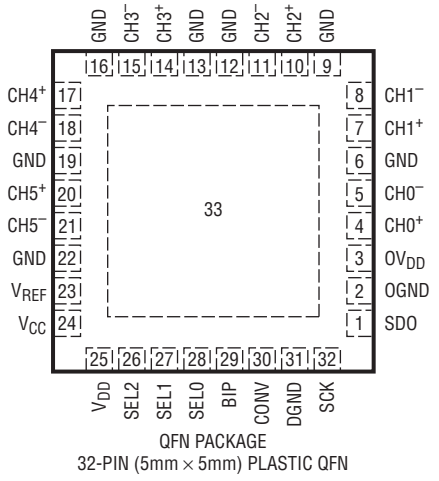


絶対最大定格

(Note 1、2)

電源電圧(V_{DD}、V_{CC}、OV_{DD}) 4V
アナログ入力とV_{REF}入力の電圧
(Note 3).....–0.3V～(V_{DD}+0.3V)
デジタル入力電圧 .....–0.3V～(V_{DD}+0.3V)
デジタル出力電圧 .....–0.3V～(V_{DD}+0.3V)
消費電力.....100mW
動作温度範囲
LTC2351C-14 .....0°C～70°C
LTC2351I-14 .....–40°C～85°C
LTC2351H-14.....–40°C～125°C
保存温度範囲.....–65°C～150°C

ピン配置



QFN PACKAGE
32-PIN (5mm × 5mm) PLASTIC QFN

T_{JMAX} = 150°C, θ_{JA} = 34°C/W
EXPOSED PAD (PIN 33) IS GND, MUST BE SOLDERED TO PCB

発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2351CUH-14#PBF	LTC2351CUH-14#TRPBF	235114	32-Pin (5mm × 5mm) Plastic QFN	0°C to 70°C
LTC2351IUH-14#PBF	LTC2351IUH-14#TRPBF	235114	32-Pin (5mm × 5mm) Plastic QFN	–40°C to 85°C
LTC2351HUH-14#PBF	LTC2351HUH-14#TRPBF	235114	32-Pin (5mm × 5mm) Plastic QFN	–40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。 *温度グレードは出荷時のコンテナのラベルで識別されます。

鉛フリー仕様の製品マーキングの詳細については、http://www.linear-tech.co.jp/leadfree/ をご覧ください。
テープアンドリールの仕様の詳細については、http://www.linear-tech.co.jp/tapeandreel/ をご覧ください。

コンバータの特性

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25°Cでの値。内部リファレンス使用、V_{DD} = V_{CC} = 3V。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)		●	14			Bits
Integral Linearity Error	(Note 5)	●	–3	±1	3	LSB
Offset Error	(Note 4) LTC2351H-14	● ●	–4.5 –5	±1 ±1	4.5 5	mV mV
Offset Match from CH0 to CH5			–3	±0.5	3	mV
Range Error	(Note 4)	●	–12	±2	12	mV
Range Match from CH0 to CH5			–5	±1	5	mV
Range Tempco	Internal Reference (Note 4) External Reference			±15 ±1		ppm/°C ppm/°C

アナログ入力

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25℃での値。内部リファレンス使用、V_{DD} = V_{CC} = 3V。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN}	Analog Differential Input Range (Notes 3, 8, 9)	2.7V ≤ V_{DD} ≤ 3.6V, Unipolar 2.7V ≤ V_{DD} ≤ 3.6V, Bipolar			0 to 2.5 ±1.25		V V
V_{CM}	Analog Common Mode + Differential Input Range	(Note 8)			0 to V_{DD}		V
I_{IN}	Analog Input Leakage Current		●			1	μA
C_{IN}	Analog Input Capacitance				13		pF
t_{ACQ}	Sample-and-Hold Acquisition Time	(Note 6)	●			39	ns
t_{AP}	Sample-and-Hold Aperture Delay Time				1		ns
t_{JITTER}	Sample-and-Hold Aperture Delay Time Jitter				0.3		ps
t_{SK}	Channel to Channel Aperture Skew				200		ps
CMRR	Analog Input Common Mode Rejection Ratio	f_{IN} = 100kHz, V_{IN} = 0V to 3V f_{IN} = 10MHz, V_{IN} = 0V to 3V			–83 –67		dB dB

ダイナミック精度

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25℃での値。内部リファレンス使用、V_{DD} = V_{CC} = 3V。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
SINAD	Signal-to-Noise Plus Distortion Ratio	100kHz Input Signal 300kHz Input Signal 100kHz Input Signal (LTC2351H-14)	● ●	71 70	75 75 75		dB dB dB
THD	Total Harmonic Distortion	100kHz First 5 Harmonics 300kHz First 5 Harmonics 100kHz First 5 Harmonics (LTC2351H-14)	● ●	–80 –79	–90 –86 –89		dB dB dB
SFDR	Spurious Free Dynamic Range	100kHz Input Signal 300kHz Input Signal			90 86		dB dB
IMD	Intermodulation Distortion	0.625V_{P-P}, 833kHz into $CH0^+$, 0.625V_{P-P}, 841kHz into $CH0^-$ Bipolar Mode. Also Applicable to Other Channels			–80		dB
	Code-to-Code Transition Noise	V_{REF} = 2.5V (Note 17)			0.7		LSB_{RMS}
	Full Power Bandwidth	V_{IN} = 2.5V_{P-P}, SDO = 11585LSB_{P-P} (–3dBFS) (Note 15)			50		MHz
	Full Linear Bandwidth	S/(N + D) ≥ 68dB, Bipolar Differential Input			5		MHz

内蔵リファレンス特性 T_A = 25℃。V_{DD} = V_{CC} = 3V。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{REF} Output Voltage	I_{OUT} = 0			2.5		V
V_{REF} Output Tempco				15		ppm/°C
V_{REF} Line Regulation	V_{DD} = 2.7V to 3.6V, V_{REF} = 2.5V			600		μV/V
V_{REF} Output Resistance	Load Current = 0.5mA			0.2		Ω
V_{REF} Settling Time	Ext C_{REF} = 10μF			2		ms
External V_{REF} Input Range			2.55		V_{DD}	V

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25℃での値。V_{DD} = V_{CC} = 3V。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage	V_{DD} = 3.3V	●	2.4			V
V_{IL}	Low Level Input Voltage	V_{DD} = 2.7V	●			0.6	V

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25°Cでの値。V_{DD} = V_{CC} = 3V。

I_{IN}	Digital Input Current	V_{IN} = 0V to V_{DD}	●			±10	μA
C_{IN}	Digital Input Capacitance				5		pF
V_{OH}	High Level Output Voltage	V_{DD} = 3V, I_{OUT} = –200μA	●	2.5	2.9		V
V_{OL}	Low Level Output Voltage	V_{DD} = 2.7V, I_{OUT}= 160μA V_{DD} = 2.7V, I_{OUT} = 1.6mA	 ●		0.05	 0.4	V V
I_{OZ}	Hi-Z Output Leakage D_{OUT}	V_{OUT} = 0V and V_{DD}	●			±10	μA
C_{OZ}	Hi-Z Output Capacitance D_{OUT}				1		pF
I_{SOURCE}	Output Short-Circuit Source Current	V_{OUT} = 0V, V_{DD} = 3V			20		mA
I_{SINK}	Output Short-Circuit Sink Current	V_{OUT} = V_{DD} = 3V			15		mA

電源要件

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25°Cでの値。V_{DD} = V_{CC} = 3V。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{DD}, V_{CC}	Supply Voltage			2.7	3	3.6	V
I_{DD} + I_{CC}	Supply Current	Active Mode, f_{SAMPLE} = 1.5Msps Nap Mode Active Mode, f_{SAMPLE} = 1.5Msps (LTC2351H-14) Nap Mode (LTC2351H-14) Sleep Mode	● ● ● ● 		5.5 1.5 6 1.8 4	8 2 9 2.5 15	mA mA mA mA μA
P_D	Power Dissipation	Active Mode with SCK, f_{SAMPLE} = 1.5Msps			16.5		mW

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25°Cでの値。V_{DD} = 3V。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$f_{SAMPLE(MAX)}$	Maximum Sampling Rate per Channel (Conversion Rate)		●	250			kHz
$t_{THROUGHPUT}$	Minimum Sampling Period (Conversion + Acquisiton Period)		●			4	μs
t_{SCK}	Clock Period	(Note 16)	●	40		10000	ns
t_{CONV}	Conversion Time	(Notes 6, 17)		96			SCLK cycles
t_1	Minimum High or Low SCLK Pulse Width	(Note 6)		2			ns
t_2	CONV to SCK Setup Time	(Notes 6, 10)		3		10000	ns
t_3	SCK Before CONV	(Note 6)		0			ns
t_4	Minimum High or Low CONV Pulse Width	(Note 6)		4			ns
t_5	SCK↑ to Sample Mode	(Note 6)		4			ns
t_6	CONV↑ to Hold Mode	(Notes 6, 11)		1.2			ns
t_7	96th SCK↑ to CONV↑ Interval (Affects Acquisition Period)	(Notes 6, 7, 13)		45			ns
t_8	Minimum Delay from SCK to Valid Bits 0 Through 11	(Notes 6, 12)				8	ns
t_9	SCK↑ to Hi-Z at SDO	(Notes 6, 12)				6	ns
t_{10}	Previous SDO Bit Remains Valid After SCK	(Notes 6, 12)		2			ns
t_{11}	V_{REF} Settling Time After Sleep-to-Wake Transition	(Notes 6, 14)			2		ms

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: 全ての電圧値はグランドGNDを基準にしている。

Note 3: これらのピンをGNDより低くするかV_{DD}より高くすると、内部のダイオードによってクランプされる。この製品はラッチアップを生じることなしに、GNDより低いか、またはV_{DD}より高い電圧で100mAを超える入力電流を処理することができる。

Note 4: オフセットと範囲の規格値は、$CH0^-$～$CH5^-$を接地し、内部2.5Vリファレンスを使用したシングルエンドの$CH0^+$入力～$CH5^+$入力に適用される。

タイミング特性

Note 5：積分直線性は外部の2.55Vリファレンスを使ってテストされ、伝達曲線の実際のエンドポイントを通る直線からのコードの偏差として定義されている。偏差は量子化帯域の中心から測定される。直線性はCH0についてだけテストされる。

Note 6：設計によって保証されており、テストされない。

Note 7：推奨動作条件。

Note 8：アナログ入力範囲はCHx^+とCHx^-の間の電圧差に対して定義されている。x = 0～5。

Note 9：CHx^+とCHx^-の絶対電圧はこの範囲内になければならない。

Note 10：3ns未満を許容できれば、データは1クロック・サイクル後に出力される。クロックを定格速度で動作させるとき、SCKよりも半クロック前にCONVが立ち上がるのが最良である。

Note 11：アパーチャ遅延とは異なる。アパーチャ遅延(1ns)は、サンプル・ホールドによる2.2nsの遅延とCONVからホールド・モードまでの1.2nsの遅延の差である。

Note 12：SCKの立上りエッジにより、出力データがストレージ・ラッチに捕捉されることが保証されている。

Note 13：入力信号を取得する期間は96番目の立上りクロックによって開始され、CONVの立上りエッジによって終了する。

Note 14：内部リファレンスは、SCKが1サイクル以上で、容量性負荷が10μFのとき、スリープ・モードから復帰した後2msでセトリングする。

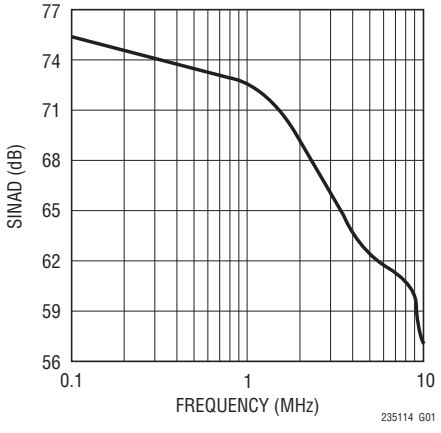
Note 15：フルパワー帯域幅は2.5V_{P-P}の入力正弦波に対して出力コード振幅が3dB低下する周波数である。

Note 16：最大クロック周期により、変換時のアナログ性能が保証される。出力データは任意の長いクロック周期で読み出すことができる。

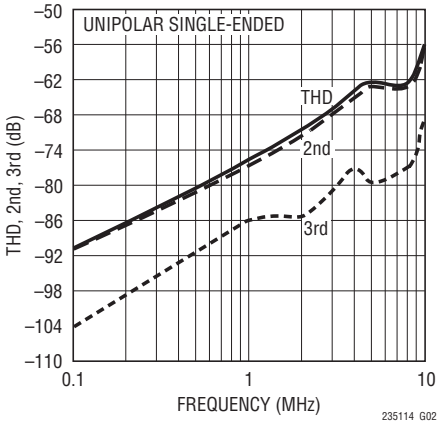
Note 17：変換プロセスはイネーブルされた各チャネルで16クロックを要し、6チャネル全てでは最大96クロックを要する。

標準的性能特性 V_{DD} = 3V、T_A = 25℃

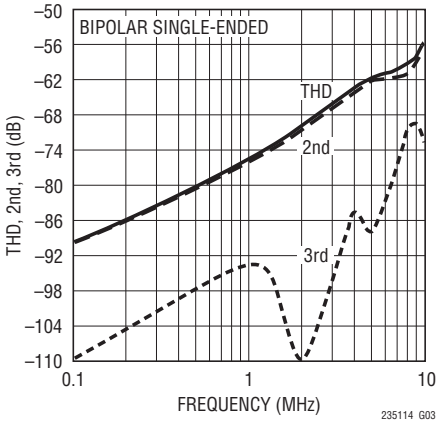
SINADと入力周波数



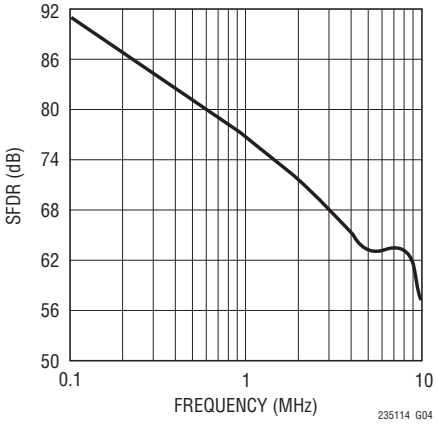
THD、2次および3次と入力周波数



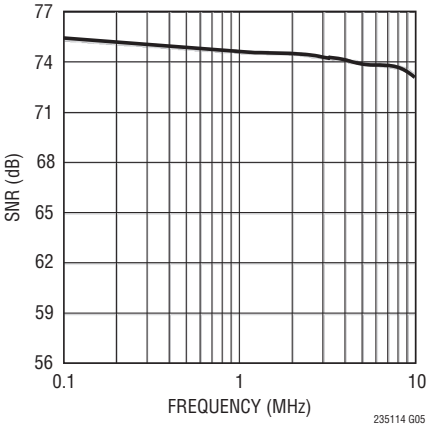
THD、2次および3次と入力周波数



SFDRと入力周波数

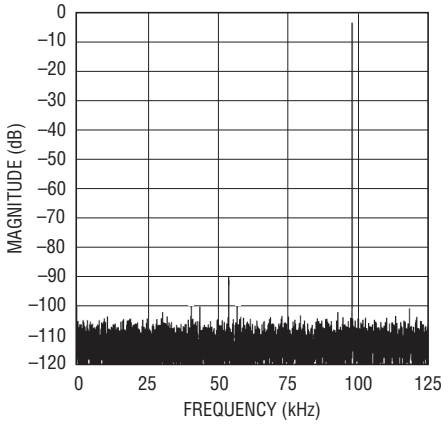


SNRと入力周波数

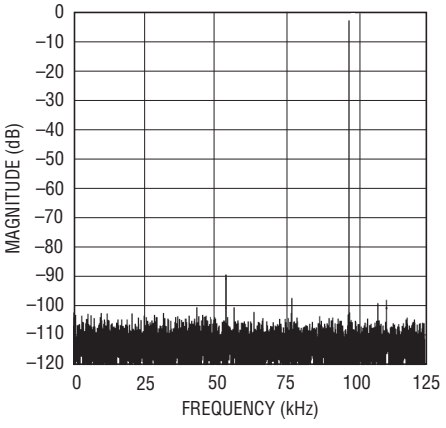


標準的性能特性 V_{DD} = 3V、T_A = 25℃

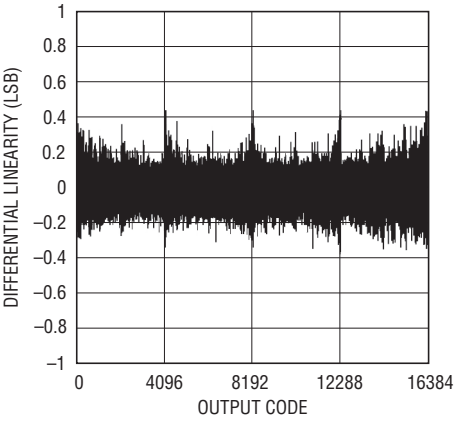
100kHzユニポーラ正弦波の8192ポイントのFFTプロット



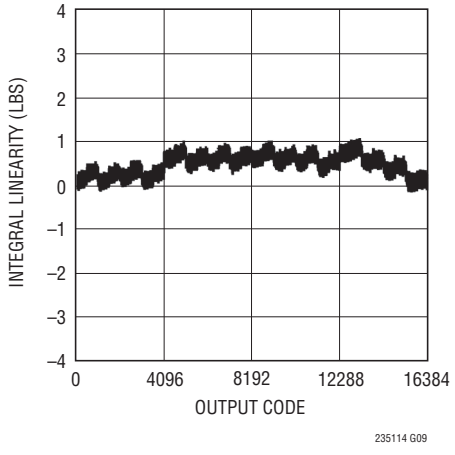
100kHzバイポーラ正弦波の8192ポイントのFFTプロット



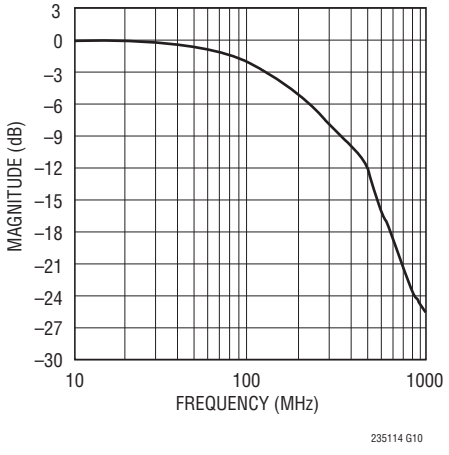
微分直線性と出力コード、ユニポーラ・モード



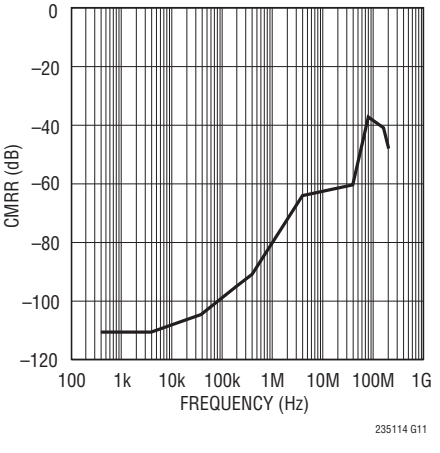
積分直線性と出力コード、ユニポーラ・モード



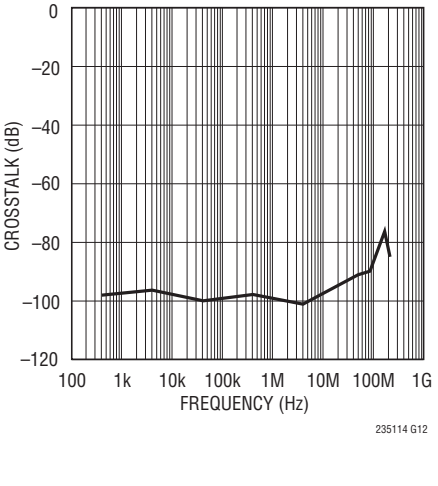
フルスケール信号応答



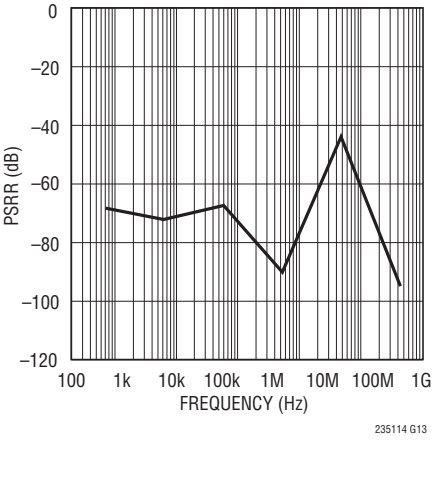
CMRRと周波数



クロストークと周波数



PSRRと周波数



ピン機能

SDO(ピン1)：スリーステートのシリアル・データ出力。6組の出力データ・ワードのそれぞれは、前の変換開始時の6本のアナログ入力チャネルを出力します。CH0のデータが最初に出力され、CH5のデータが最後に出力されます。各データ・ワードはMSBを先頭にして出力されます。

OGND(ピン2)：SDO電流のグランド・リターン。しっかりとしたグランド・プレーンに接続します。

OV_{DD}(ピン3)：SDOピンの電源。OV_{DD}はV_{DD}より300mV以上高くしてはならないので、低い電圧にして低電圧のロジック・ファミリとインタフェースさせることができます。SDOが無負荷で“H”状態の場合、OV_{DD}の電位になります。

$CH0^+$(ピン4)：チャネル0の非反転入力。$CH0^+$は$CH0^-$に対して完全に差動で動作し、差動振幅は0V～2.5V、または±1.25V、絶対入力範囲は0V～V_{DD}です。

$CH0^-$(ピン5)：チャネル0の反転入力。$CH0^-$は$CH0^+$に対して完全に差動で動作し、差動振幅は−2.5V～0V、または±1.25V、絶対入力範囲は0V～V_{DD}です。

GND(ピン6、9、12、13、16、19)：アナログ・グランド。これらのグランド・ピンはデバイスの下のしっかりとしたグランド・プレーンに直接接続する必要があります。アナログ信号電流はこれらの接続点を通って流れます。

$CH1^+$(ピン7)：チャネル1の非反転入力。$CH1^+$は$CH1^-$に対して完全に差動で動作し、差動振幅は0V～2.5V、または±1.25V、絶対入力範囲は0V～V_{DD}です。

$CH1^-$(ピン8)：チャネル1の反転入力。$CH1^-$は$CH1^+$に対して完全に差動で動作し、差動振幅は−2.5V～0V、または±1.25V、絶対入力範囲は0V～V_{DD}です。

$CH2^+$(ピン10)：チャネル2の非反転入力。$CH2^+$は$CH2^-$に対して完全に差動で動作し、差動振幅は0V～2.5V、または±1.25V、絶対入力範囲は0V～V_{DD}です。

$CH2^-$(ピン11)：チャネル2の反転入力。$CH2^-$は$CH2^+$に対して完全に差動で動作し、差動振幅は−2.5V～0V、または±1.25V、絶対入力範囲は0V～V_{DD}です。

$CH3^+$(ピン14)：チャネル3の非反転入力。$CH3^+$は$CH3^-$に対して完全に差動で動作し、差動振幅は0V～2.5V、または±1.25V、絶対入力範囲は0V～V_{DD}です。

$CH3^-$(ピン15)：チャネル3の反転入力。$CH3^-$は$CH3^+$に対して完全に差動で動作し、差動振幅は−2.5V～0V、または±1.25V、絶対入力範囲は0V～V_{DD}です。

$CH4^+$(ピン17)：チャネル4の非反転入力。$CH4^+$は$CH4^-$に対して完全に差動で動作し、差動振幅は0V～2.5V、または±1.25V、絶対入力範囲は0V～V_{DD}です。

$CH4^-$(ピン18)：チャネル4の反転入力。$CH4^-$は$CH4^+$に対して完全に差動で動作し、差動振幅は−2.5V～0V、または±1.25V、絶対入力範囲は0V～V_{DD}です。

$CH5^+$(ピン20)：チャネル5の非反転入力。$CH5^+$は$CH5^-$に対して完全に差動で動作し、差動振幅は0V～2.5V、または±1.25V、絶対入力範囲は0V～V_{DD}です。

$CH5^-$(ピン21)：チャネル5の反転入力。$CH5^-$は$CH5^+$に対して完全に差動で動作し、差動振幅は−2.5V～0V、または±1.25V、絶対入力範囲は0V～V_{DD}です。

GND(ピン22)：リファレンス用アナログ・グランド。アナログ・グランドはデバイスの下のしっかりとしたグランド・プレーンに直接接続する必要があります。アナログ信号電流はこの接続点を通って流れます。10μFのリファレンス・バイパス・コンデンサはこのパッドに戻します。

V_{REF}(ピン23)：2.5Vの内部リファレンス。10μFのセラミック・コンデンサ(または0.1μFのセラミック・コンデンサと並列接続した10μFのタンタル・コンデンサ)を使ってGNDおよびしっかりとしたアナログ・グランド・プレーンにバイパスします。2.55V～V_{DD}、V_{CC}の外部リファレンス電圧によってオーバードライブすることができます。

V_{CC}(ピン24)：アナログ3V正電源。このピンはアナログ部分に3Vを供給します。0.1μFのセラミック・コンデンサと並列接続した10μFのセラミック・コンデンサ(または10μFのタンタル・コンデンサ)を使ってしっかりとしたアナログ・グランド・プレーンにバイパスします。0.1μFのバイパス・コンデンサはできるだけピン24に近づけて配置するよう注意してください。ピン24はピン25に接続する必要があります。

ピン機能

V_{DD}（ピン25）：デジタル3V正電源。このピンはロジック部分に3Vを供給します。10μFのセラミック・コンデンサ（または0.1μFのセラミック・コンデンサと並列接続した10μFのタンタル・コンデンサ）を使ってDGNDピンおよびしっかりとしたアナログ・グランド・プレーンにバイパスします。内部のデジタル出力信号電流がこのピンを通って流れることに留意してください。0.1μFのバイパス・コンデンサはできるだけピン25に近づけて配置するよう注意してください。ピン25はピン24に接続する必要があります。

SEL2（ピン26）：変換されるチャネル数を制御する最上位ビット。SEL1とSEL0との組み合わせで000に設定することによって、最初のチャネル（CH0）のみが変換に選択されます。SELxを増加させると、追加のチャネル（CH0～CH5）が変換に選択されます。101、110、111では、6チャネル全てが変換に選択されます。変換の間および次の変換のデータ読出しの間、固定状態に保つ必要があります。

SEL1（ピン27）：変換されるチャネル数を制御する中位ビット。SEL0とSEL2との組み合わせで000に設定することによって、最初のチャネル（CH0）のみが変換に選択されます。SELxを増加させると、追加のチャネルが変換に選択されます。101、110、111では、6チャネル（CH0～CH5）全てが変換に選択されます。変換の間および次の変換のデータ読出しの間、固定状態に保つ必要があります。

SEL0（ピン28）：変換されるチャネル数を制御する最下位ビット。SEL1とSEL2との組み合わせで000に設定することによって、最初のチャネル（CH0）のみが変換に選択されます。SELxを増加させると、追加のチャネルが変換に選択されます。101、110、111では、6チャネル（CH0～CH5）全てが変換に選択されます。変換の間および次の変換のデータ読出しの間、固定状態に保つ必要があります。

BIP（ピン29）：バイポーラ/ユニポーラ・モード。入力差動範囲はBIPが“L”では0V～2.5Vで、BIPが“H”では±1.25です。変換の間および次の変換のデータ読出しの間、固定状態に保つ必要があります。変換と変換の間でBIPを切り替える場合、次の変換が開始される前に十分な収集時間を確保する必要があります。出力データは、バイポーラ・モードでは2の補数形式、ユニポーラ・モードではストレート・バイナリ形式です。

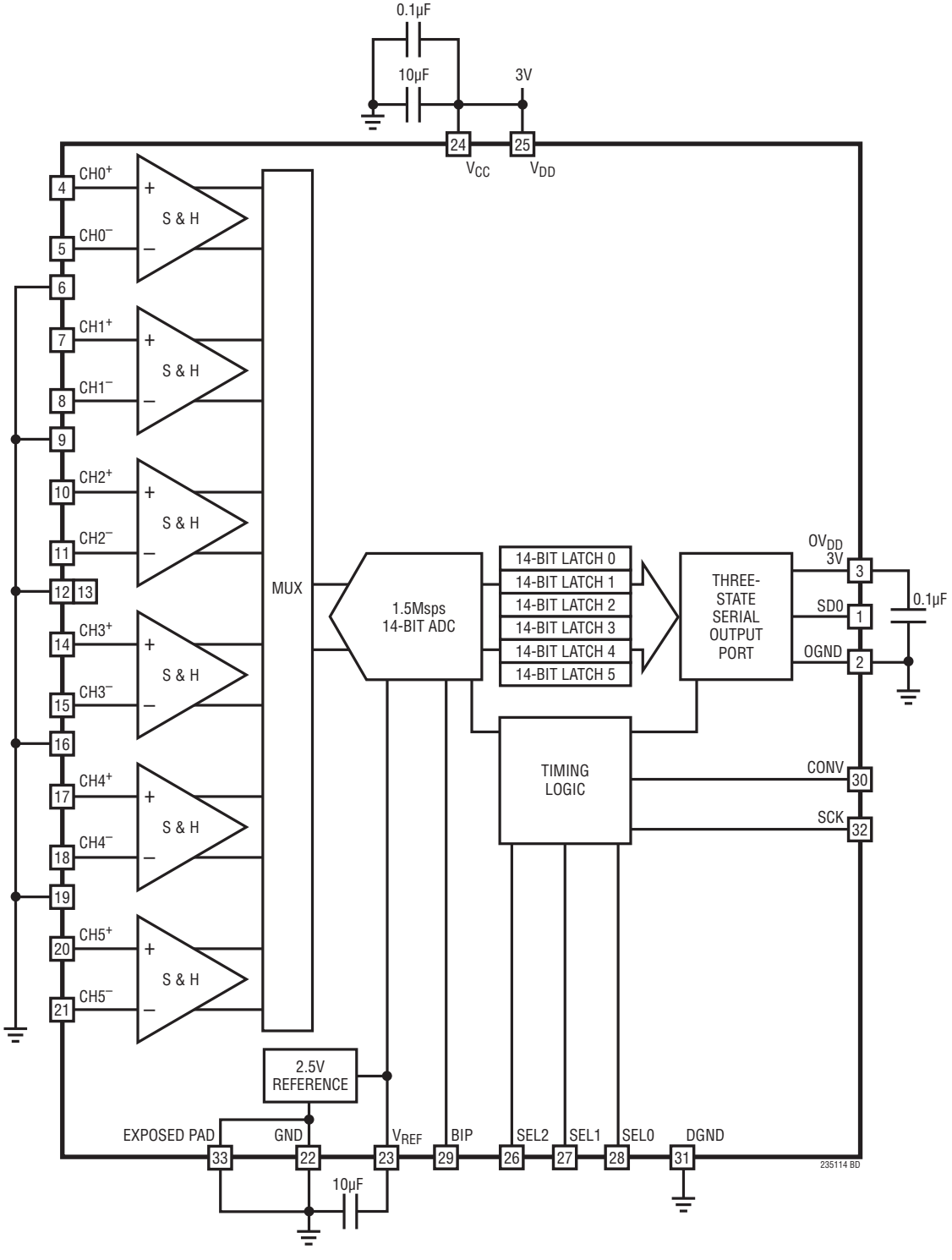
CONV（ピン30）：変換開始。6つのアナログ入力信号をホールドし、立上りエッジで変換を開始します。SCKが“H”または“L”に固定された状態で2つのCONVパルスを印加すると、ナップ・モードが開始されます。SCKが“H”または“L”に固定された状態で4つ以上のCONVパルスを印加すると、スリープ・モードが開始されます。

DGND（ピン31）：デジタル・グランド。このグランド・ピンはしっかりとしたグランド・プレーンに直接接続する必要があります。デジタル入力信号電流はこのピンを通って流れます。

SCK（ピン32）：外部クロック入力。立上りエッジで変換プロセスを進ませ、SD0（ピン1）の出力データを順に配列します。1つ以上のSCKパルスでスリープまたはナップの省電力モードから復帰します。SELx（ピン26、27、28）によってアクティブになった各チャネルには16クロック・サイクルが必要で、6チャネル全ての変換と読出しには最大で合計96サイクルが必要です。

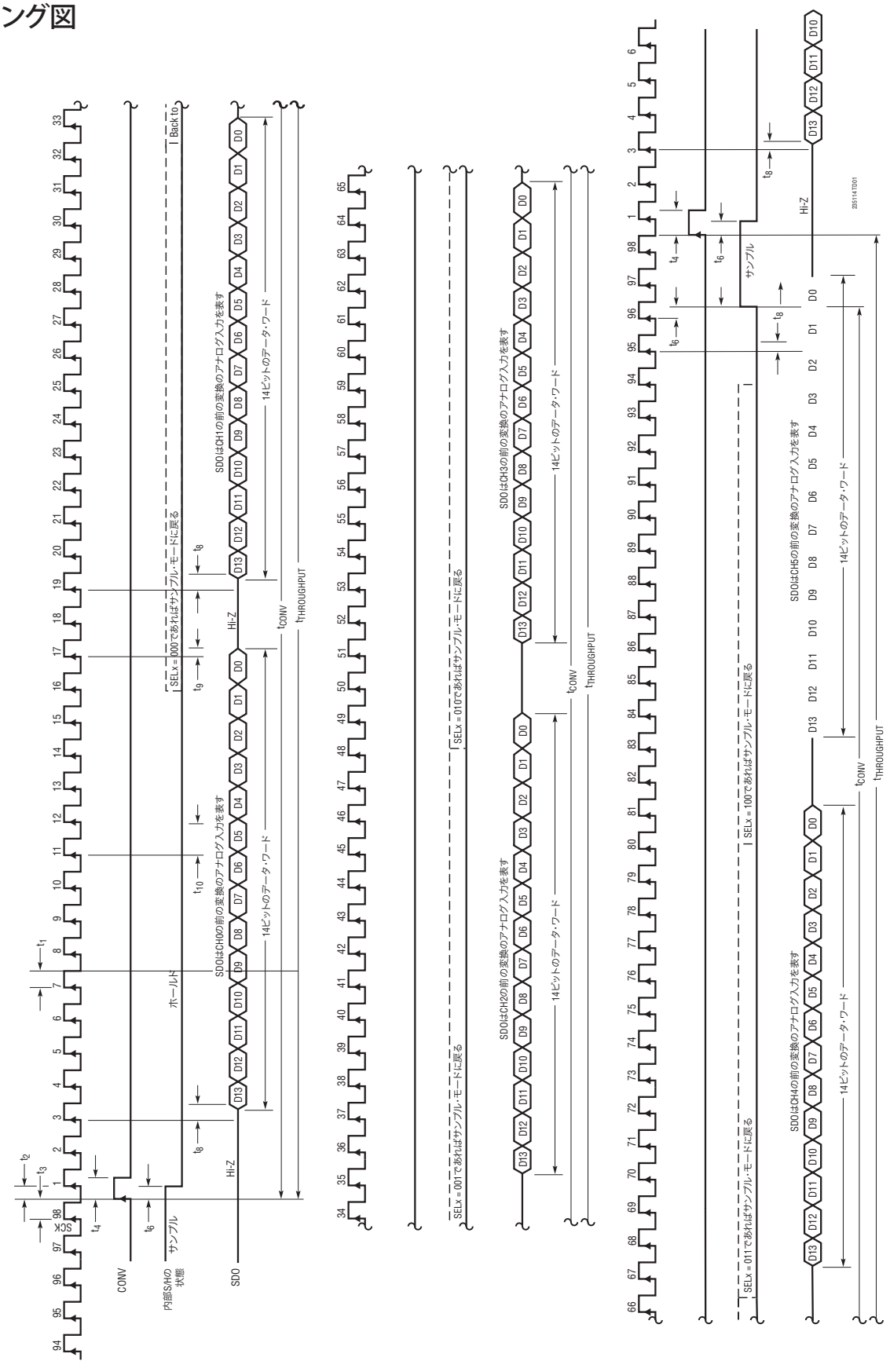
露出パッド（ピン33）：GND。しっかりとしたグランド・プレーンに直接接続する必要があります。

タイミング図


0.1µF
10µF
3V
24
25
VCC
VDD
CH0+
CH0–
CH1+
CH1–
CH2+
CH2–
CH3+
CH3–
CH4+
CH4–
CH5+
CH5–
S & H
MUX
1.5Msps
14-BIT ADC
14-BIT LATCH 0
14-BIT LATCH 1
14-BIT LATCH 2
14-BIT LATCH 3
14-BIT LATCH 4
14-BIT LATCH 5
THREE-
STATE
SERIAL
OUTPUT
PORT
OVDD
3V
SDO
OGND
0.1µF
TIMING
LOGIC
CONV
SCK
2.5V
REFERENCE
EXPOSED PAD
GND
VREF
BIP
SEL2
SEL1
SEL0
DGND
10µF
235114 BD

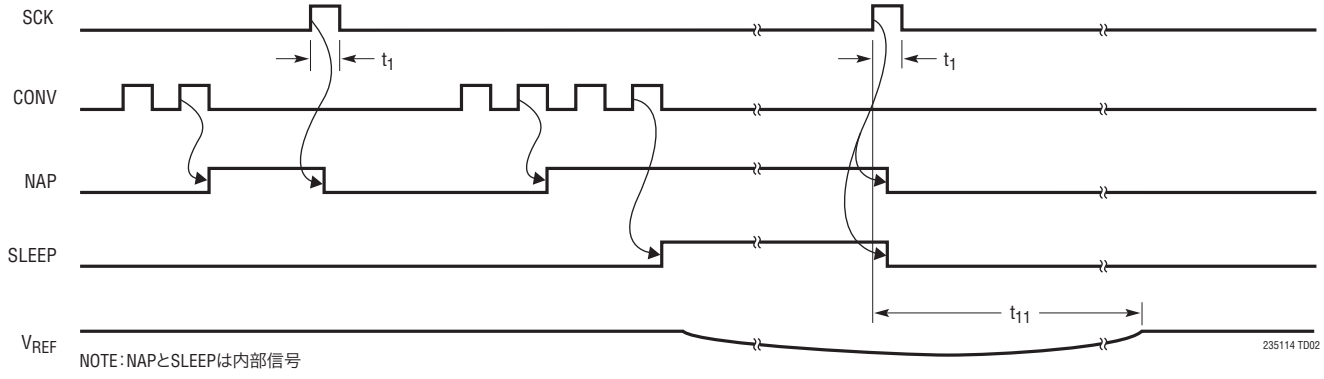
タイミング図

LTC2351-14のタイミング図



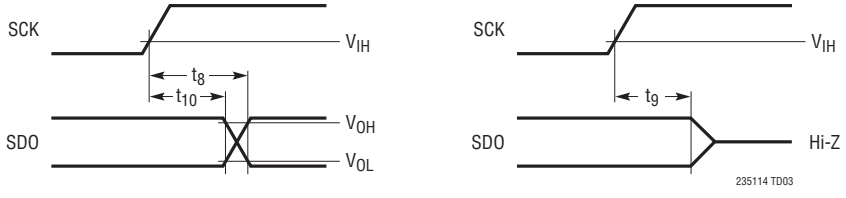
タイミング図

ナップ・モードとスリープ・モードの波形



NOTE：NAPとSLEEPは内部信号

SCKからSDOへの遅延



アプリケーション情報

変換されるチャネル数の選択（SEL2、SEL1、SEL0）

これら3つの制御ピンによって、変換されるチャネル数が選択されます。000に設定することによって、最初のチャネル（CH0）のみが変換に選択されます。SELxを増加させると、追加のチャネルが（6チャネルまで）変換に選択されます。101、110、111では、6チャネル全てが変換に選択されます。これらのピンは、変換の間および次の変換のデータ読出しの間、固定状態に保つ必要があります。変換と変換の間にモードを変更するとき、特定のチャネルの出力データはそのチャネルが再度変換されるまでは変化せずに保たれることに注意してください。たとえば、SELx = 011として4つのチャネル（CH0、CH1、CH2、CH3）を順に変換し、これらのチャネルが変換された後、SELxを001に変更してCH0とCH1だけを変換します。表1を参照してください。2つのチャネルの最初の組の変換の間、前の4つのチャネルのグループの一部として変換された同じ2つのチャネルからデータを読み出すことができます。その後、4つ以上のチャネルを変換して、4つのチャネルの最初の組で変換されたCH2とCH3の未読データを読み返すことができます。通常、これらのピンは、特定のアプリケーション用に正しいチャネル数をイネーブルするように結線されています。変換当りの少ないチャネル数を変換するように選択すると、それらのチャネルのスループットが速くなります。たとえば、チャネル数が6の場合、250ksps/chで変換することができますが、チャネル数を3にすると、500ksps/chで変換できるようになります。

バイポーラ/ユニポーラ・モード

CHxの入力差動ペアのそれぞれの入力電圧範囲は、BIPが“L”のときユニポーラで0V～2.5V、BIPが“H”のときバイポーラで±1.25Vです。このピンは、変換の間および次の変換のデータ読出しの間、固定状態に保つ必要があります。変換と変換の間でBIPを切り替える場合、次の変換が開始される前に十分な収集時間を確保する必要があります。バイポーラからユニポーラまたはユニポーラからバイポーラへモードを変更した後でも、MSBを反転してこれらの変換されたモードのチャネルを読み出すことによって、新しいモードのチャネルの最初の組を読み出すことができます。

アナログ入力のドライブ

LTC2351-14の差動アナログ入力は、差動入力またはシングルエンド入力（つまりCH0$^-$入力を接地）としてドライブすることができます。6つの差動アナログ入力ペア（CH0$^+$とCH0$^-$、CH1$^+$とCH1$^-$、CH2$^+$とCH2$^-$、CH3$^+$とCH3$^-$、CH4$^+$とCH4$^-$およびCH5$^+$とCH5$^-$）の12のアナログ入力の全てが同時にサンプリングされます。各入力ペアの両方の入力に共通な不要信号はすべてサンプル・ホールド回路の同相除去によって低減されます。入力には、変換終了時点でサンプル・ホールド・コンデンサを充電する間、小さな電流スパイクが流れるだけです。変換時、アナログ入力には小さなリーク電流だけが流れます。ドライブ回路のソース・インピーダンスが小さい場合、

表1. 変換シーケンス制御（「収集」は全チャネルの同時サンプリングを表す；CHxは該当チャネルの変換を表す）

SEL2	SEL1	SEL0	チャネルの収集と変換のシーケンス
0	0	0	収集、CH0、収集、CH0...
0	0	1	収集、CH0、CH1、収集、CH0、CH1...
0	1	0	収集、CH0、CH1、CH2、収集、CH0、CH1、CH2...
0	1	1	収集、CH0、CH1、CH2、CH3、収集、CH0、CH1、CH2、CH3...
1	0	0	収集、CH0、CH1、CH2、CH3、CH4、収集、CH0、CH1、CH2、CH3、CH4...
1	0	1	収集、CH0、CH1、CH2、CH3、CH4、CH5、収集、CH0、CH1、CH2、CH3、CH4、CH5...
1	1	0	収集、CH0、CH1、CH2、CH3、CH4、CH5、収集、CH0、CH1、CH2、CH3、CH4、CH5...
1	1	1	収集、CH0、CH1、CH2、CH3、CH4、CH5、収集、CH0、CH1、CH2、CH3、CH4、CH5...

アプリケーション情報

LTC2351-14の入力を直接ドライブすることができます。ソース・インピーダンスが増加するにつれ、収集時間も増加します。大きいソース・インピーダンスでの収集時間を最小限に抑えるには、バッファ・アンプを使用する必要があります。主な要件として、アナログ入力をドライブするアンプは小電流スパイクの後、次の変換が開始される前にセトリングする必要があります（セトリングに割り当てる時間は最大スループット・レートの場合、少なくとも39nsが必要です）。入力アンプの選択時には、アンプによって追加されるノイズと高調波歪みの大きさについても考慮してください。

入力アンプの選択

いくつかの要件を考慮すれば、入力アンプの選択は容易です。まず、サンプリング・コンデンサの充電によって生じる、アンプから見た電圧スパイクの大きさを制限するには、閉ループ帯域幅周波数での出力インピーダンスが小さい（100Ω未満）アンプを選択します。たとえば、アンプが利得1で使われており、そのユニティゲイン帯域幅が50MHzであれば、50MHzでの出力インピーダンスは100Ω未満でなければなりません。2番目の要件として、最大スループットでの小信号の十分なセトリングを確保するために、閉ループ帯域幅は40MHzより大きくなければなりません。低速のオペアンプが使用される場合、変換と変換の間隔を大きくすることによって、セトリング時間を長くすることができます。LTC2351-14のドライブに最適なオペアンプはアプリケーションに依存します。一般に、アプリケーションは2つに分類されます。ダイナミックな仕様が最も重要なACアプリケーションと、DC精度やセトリング時間が最も重要な時間領域のアプリケーションです。LTC2351-14をドライブするのに適したオペアンプが以下のリストにまとめてあります。より詳細な情報は、リニアテクノロジーのデータブックおよびWebサイトwww.linear-tech.co.jpで入手できます。

LTC1566-1：低ノイズの2.3MHz連続時間ローパス・フィルタ。

LT®1630：デュアル30MHzレール・トゥ・レール電圧帰還アンプ。2.7V～±15V電源。非常に高いA_{VOL}、500μVのオフセット、4Vの振幅で0.5LSBへのセトリングが520ns。THDとノイズが40kHzまで−93dB、320kHzまで1LSB未満（A_V = 1、1kΩに対して$2V_{P-P}$、V_S = 5V）なので、レール・トゥ・レール動作が望ましいACアプリケーション（1/3ナイキストまで）に最適。クワッド・バージョンがLT1631として供給されている。

LT1632：デュアル45MHzレール・トゥ・レール電圧帰還アンプ。2.7V～±15V電源。非常に高いA_{VOL}、1.5mVのオフセット、4Vの振幅で0.5LSBへのセトリングが400ns。単一5V電源のアプリケーションに適している。THDとノイズが40kHzまで−93dB、800kHzまで1LSB未満（A_V = 1、1kΩに対して$2V_{P-P}$、V_S = 5V）なので、レール・トゥ・レール動作が望ましいACアプリケーションに最適。クワッド・バージョンがLT1633として供給されている。

LT1801：80MHz GBWP、500kHzで−75dBc、2mA/アンプ、8.5nV/√Hz。

LT1806/LT1807：325MHz GBWP、5MHzで−80dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、10mA/アンプ、3.5nV/√Hz。

LT1810：180MHz GBWP、5MHzで−90dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、15mA/アンプ、16nV/√Hz。

LT1818/LT1819：400MHz、2500V/μs、9mAシングル/デュアル電圧モード・オペアンプ。

LT6200：165MHz GBWP、1MHzで−85dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、15mA/アンプ、0.95nV/√Hz。

LT6203：100MHz GBWP、1MHzで−80dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、3mA/アンプ、1.9nV/√Hz。

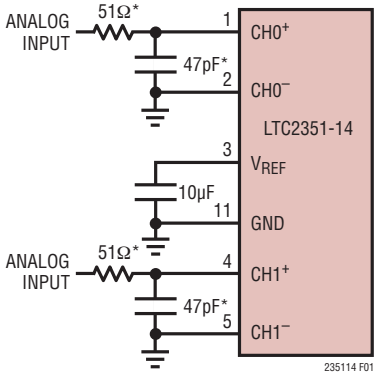
LT6600：アンプ/フィルタ、差動入出力、10MHzのカットオフ周波数。

アプリケーション情報

入力フィルタ処理とソース・インピーダンス

入力アンプと他の回路のノイズと歪みがLTC2351-14のノイズと歪みに加わるので、それらについて考慮する必要があります。サンプル・ホールド回路の小信号帯域幅は50MHzです。アナログ入力に存在するすべてのノイズや歪み積は、この帯域幅全体にわたって加算されます。ノイズの多い入力回路はアナログ入力の前でフィルタ処理する必要があります。多くのアプリケーションでは、シンプルな1ポールのRCフィルタで十分です。たとえば、図1には$CH0^+$からグランドに接続した47pFのコンデンサと51Ωのソース抵抗が示されており、正味入力帯域幅を30MHzに制限します。47pFのコンデンサは入力のサンプル・ホールドのための蓄電コンデンサとしても機能して、サンプリング・グリッチに敏感な回路からADCの入力を絶縁します。これらの部品は歪みを大きくする可能性があるので、高品質のコンデンサと抵抗を使用します。NPOやシルバーマイカ・タイプの誘電体コンデンサは優れた直線性を備えています。表面実装カーボン抵抗は自己発熱や半田工程で生じる損傷により歪みを生じることがあります。表面実装金属皮膜抵抗は両方の問題に対してはるかに耐性があります。振幅の大きな不要信号の周波数が所期の信号周波数に近接している場合、マルチ・ポールのフィルタが必要です。

大きな外部ソース抵抗を13pFの入力コンデンサと組み合わせると、定格50MHzの入力帯域幅を減少させ、収集時間が39nsより長くなります。



*アパーチャ・スキューの劣化を避けるには、厳密な許容差が必要

図1. RC入力フィルタ

入力範囲

LTC2351-14のアナログ入力は単一電源で完全に差動でドライブすることができます。差動振幅が、BIP（ピン29）が“L”のとき2.5Vを、“H”のとき±1.25Vを超えない限り、どちらの入力もV_{CC}まで振幅することができます。0V～2.5Vの範囲は、単一電源のアプリケーションでのシングルエンド入力の用途にも最適です。入力の同相範囲はグランドから電源電圧V_{CC}に達します。任意の入力ペアCH^+とCH^-の差が2.5V（ユニポーラ）または1.25V（バイポーラ）を超えると、出力コードは正のフルスケールに固定され、この差が0V（ユニポーラ）または–1.25V（バイポーラ）を下回ると、出力コードは負のフルスケールに固定されます。

内部リファレンス

LTC2351-14には温度補償されたバンドギャップ・リファレンスが内蔵されており、2.5Vの正確な入力スパンを得るため、製造時に2.5Vに調整されています。リファレンス・アンプの出力V_{REF}（ピン23）はコンデンサでグランドにバイパスする必要があります。リファレンス・アンプは1µF以上のコンデンサで安定します。最良のノイズ性能を得るには、0.1µFのセラミック・コンデンサと並列に接続した10µFのセラミック・コンデンサまたは10µFのタンタル・コンデンサを推奨します。図2に示されているように、V_{REF}ピンは外部のリファレンスでオーバードライブすることができます。外部リファレンスの電圧は、内部リファレンスのオープンドレインPチャネル出力の2.5Vより高くする必要があります。外部リファレンスの推奨範囲は2.55V～V_{DD}です。2.55Vの外部リファレンスには0.75mAのDC消費負荷電流および変換時の最大3mAが流れます。

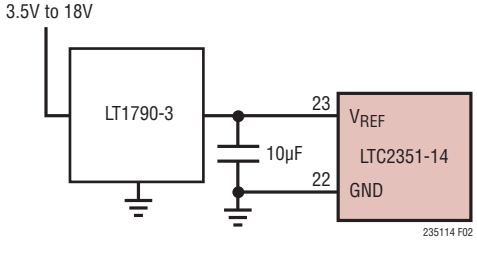


図2. 外部リファレンス

アプリケーション情報

入力スパンとリファレンス電圧

差動入力範囲のユニポーラ電圧スパンは、リファレンスのバッファ出力V_{REF}（ピン23）の電圧とグランドの電圧の差に等しくなります。内部リファレンスを使用している場合、ADCの差動入力範囲は0V～2.5Vです。内部のADCはこれら2つのノードを基準にしています。この関係は外部リファレンスについても同様です。

差動入力

ADCはどの入力ペアの同相電圧にも依存せずに、常にCH^+からCH^-を差し引いた値を変換します。同相除去は高い周波数でも有効です（図3を参照）。唯一の要件は両方の入力がグランドを下回ることも、V_{DD}を超えることもないことです。

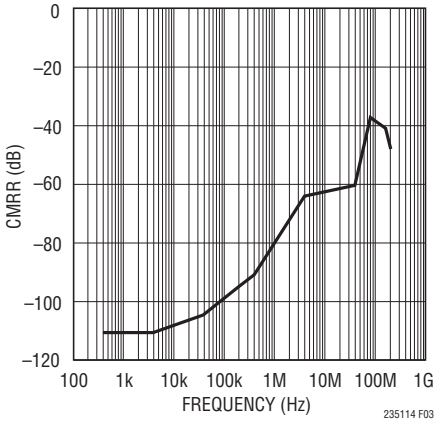


図3. CMRRと周波数

積分非直線性誤差（INL）と微分非直線性誤差（DNL）は通常、同相電圧に依存しません。ただし、オフセット誤差は変化します。DCのCMRRは標準で–90dBよりすぐれています。

LTC2351-14のユニポーラ・モード（BIP = “L”）での理想的な入力/出力特性を図4に示します。コードの遷移は、隣接する整数のLSB値の中間（つまり、0.5LSB、1.5LSB、2.5LSB、FS–1.5LSB）で生じます。LTC2351-14の場合、出力コードは1LSB = 2.5V/16384 = 153μVのストレート・バイナリです。LTC2351-14の白色ガウスノイズは0.7LSB RMSです。

LTC2351-14のバイポーラ・モード（BIP = “H”）での理想的な入力/出力特性を図5に示します。コードの遷移は、隣接する整数のLSB値の中間（つまり、0.5LSB、1.5LSB、2.5LSB、FS–1.5LSB）で生じます。LTC2351-14の場合、出力コードは1LSB = 2.5V/16384 = 153μVの2の補数です。LTC2351-14の白色ガウスノイズは0.7LSB RMSです。

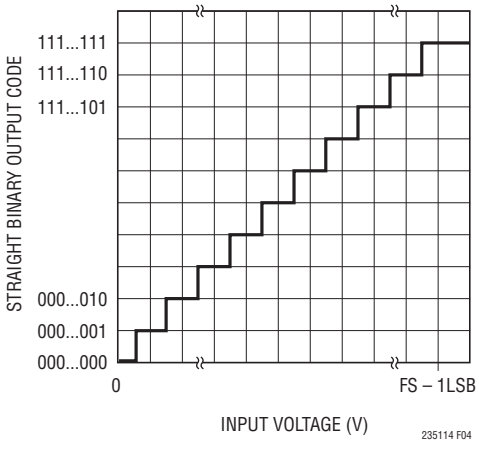


図4. LTC2351-14のユニポーラ・モード (BIP = “L”)での伝達特性

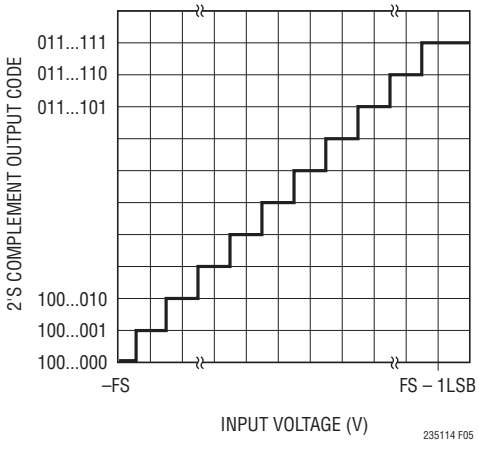


図5. LTC2351-14のバイポーラ・モード (BIP = “H”)での伝達特性

アプリケーション情報

パワーダウン・モード

起動すると、LTC2351-14はアクティブ状態に初期化され、変換の準備ができます。ナップ・モードとスリープ・モードの波形はLTC2351-14のパワーダウン・モードを示しています。SCK入力とCONV入力によりパワーダウン・モードが制御されます(「タイミング図」を参照)。CONVに2つの立ち上がりエッジが印加されると(その間にSCKの立上りエッジが入り込むことなく)、LTC2351-14はナップ・モードになり、消費電力は15mWから3.3mWまで低下します。ナップ・モードでは内部リファレンスに電力が供給されたままです。さらに1つ以上のSCKの立上りエッジが印加されるとLTC2351-14は即座に復帰し、CONVは1クロック以内に正確な変換を開始することができます。CONVに4つの立ち上がりエッジが印加されると(その間にSCKの立上りエッジが入り込むことなく)、LTC2351-14はスリープ・モードになり、消費電力は16.5mWから12μWまで低下します。SCKに1つ以上の立上りエッジが印加されると、LTC2351-14は復帰し、動作を再開します。内部リファレンス(V_{REF})は10μFの負荷ではスルーしてセトリングするまで2msかかります。スリープ・モードを頻繁に使うと、出力データの精度が低下します。低速の変換では、ナップ・モードとスリープ・モードを使って消費電力を大幅に減らすことができます。

デジタル・インタフェース

LTC2351-14には3線SPI(シリアル・ペリフェラル・インタフェース)が備わっています。SCKとCONVの入力およびSDO出力にはこのインタフェースが実装されています。ロジック振幅がV_{DD}を超えなければ、SCK入力とCONV入力は3Vロジックの振幅を許容するのでTTL互換です。3つのシリアル・ポートの信号の詳細について、以下に説明します。

変換開始入力(CONV)

CONVの立上りエッジで変換が開始されますが、それ以降のCONVの立上りエッジは、SCKに96の立上りエッジが印加されるまで、LTC2351-14によって無視されます。CONVのデューティ・サイクルは、プロセッサのシリアル・ポートのフレーム同期信号として使うために任意に選択することができます。CONVを生成するシンプルな方法として、LTC2351-14をドライブするためにSCK 1個分の幅のパルスをつくり、この信号をバッファしてプロセッサのシリアル・ポートのフレーム同期入力をドライブします。LTC2351-14のCONV入力を最初にドライブして、変換開始時にCONVによってトリガされたサンプル・ホールドが遷移する間、デジタル・ノイズの影響を避けるのが良い方法です。CONV信号の“L”の部分の幅を15nsより広くして、CONVの立上りエッジでサンプル・ホールドがホールド・モードになる直前にADCのフロントエンドにグリッチが生じるのを防ぐのも良い方法です。

CONV入力のジッタの最小化

100kHzを超える振幅の大きな正弦波がサンプリングされる高速アプリケーションでは、CONV信号のジッタをできるだけ小さくする(10ps以下)ことが必要です。普通の水晶クロック・モジュールの方形波出力は通常、この要件を満たします。難しいのは、システム内の他のデジタル回路からのジッタの影響を受けることなしに、この水晶クロックからCONV信号を生成することです。水晶クロックからCONV入力までの信号経路内のクロック分配器やゲートは、システムの他の部分と同じ集積回路を共有すべきではありません。SCK入力とCONV入力は、シリアル・ポート・インタフェースをドライブするのに使われるデジタル・バッファで最初にドライブします。また、DSP内のマスタ・クロックは、たとえDSPの水晶から直接供給されていても、既にジッタで劣化している可能性があることにも注意してください。高速プロセッサ・クロックの別の問題として、多くの場合、低コストで低速の水晶(10MHzなど)を使って、高速ではあるもののジッタが大きいフェーズロック・ループのシステム・クロック(40MHzなど)を生成していることがあげられます。これらのPLLで生成された高速クロックのジッタは数ナノ秒に達することがあります。DSPポートで生成したフレーム同期信号を使う場合、この信号にはDSPのマスタ・クロックと同じジッタが含まれることに注意してください。

RF信号発生器などの低ジッタ信号源からの出力をレベルシフトして方形波にする回路を20ページの「標準的応用例」の図に示します。1個のDタイプのフリップフロップを使って、LTC2351-14へのCONV信号を生成します。マスタ・クロック信号をタイミング調整することによって、制御デバイス(DSP、FPGAなど)によって生じるクロック・ジッタを除去します。インバータとフリップフロップはともにアナログ部品として扱う必要があるので、クリーンなアナログ電源から電力を供給します。

シリアル・クロック入力(SCK)

SCKの立上りエッジにより変換プロセスが進行し、同時にSDOデータ・ストリームの各ビットが更新されます。CONVが立ち上がった後、SCKの3番目の立上りエッジにより、最大6組の14データ・ビットがMSBを先頭にして送出されます。シンプルな手法として、LTC2351-14をドライブするSCKを最初に生成してから、必要な個数のインバータを使ってこの信号をバッファし、プロセッサのシリアル・ポートのシリアル・クロック入力

アプリケーション情報

をドライブします。クロックの立下りエッジを使ってデータをシリアル・データ出力(SDO)からプロセッサのシリアル・ポートにラッチします。14ビットのシリアル・データは、フレーム同期ごとに96クロック以上を使って6組の16ビット・ワードとして受信されます。SEL0〜SEL2によって5つ以下のチャネルを選択して変換する場合、アナログ入力を変換して次の変換パルスの後に変換データを読み出すのに、1チャネル当たり16クロックが必要です。LTC2351-14のSCK入力を最初にドライブして、内部高速コンパレータによって内部でビットの比較判定が行われる間のデジタル・ノイズの影響を避けるのが良い方法です。CONV入力とは異なり、入力信号が既にサンプリングされて一定に保たれているので、SCK入力はジッタに対して敏感ではありません。

シリアル・データ出力(SDO)

起動時に、SDO出力は自動的にハイ・インピーダンス状態にリセットされます。SDO出力は新たに変換が開始されるまでハイ・インピーダンス状態に留まります。CONVの立上りエッジで変換が開始されてからSCKの3番目の立上りエッジの後、SDOから出力データ・ストリームの最大6組の14ビットが送出されます。6組以下の14ビット・ワードは、ハイ・インピーダンス・モードの2つのドントケア・ビットと2クロック・サイクルによって分離されます。SCKから有効なSDOまでの遅延の規格値に注意してください。SDOはSCKの次の立上りエッジまで有効であることが常に保証されています。16〜96ビットの出力データ・ストリームは、ほとんどのプロセッサの16ビットまたは32ビットのシリアル・ポートと互換性があります。

ボードのレイアウトとバイパス

高分解能や高速のA/Dコンバータにはワイヤラップ・ボードは推奨できません。LTC2351-14から最高性能を引き出すには、グランド・プレーンを備えたプリント回路基板が必要です。プリント回路基板のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ分離します。とくに、どのデジタル・トラックもアナログ信号トラックに沿って配置しないように注意します。入力間に最適な位相の整合が必要な場合、6本の入力チャネルの12本の入力線の長さを整合させます。ただし、6本の入力チャネルへの入力線の各ペアはグランド・トレースによって分離し、チャネル間の高周波クロストークを防ぎます。

このデータシートの最初のページの「ブロック図」に示されているように、V_{CC}、V_{DD}およびV_{REF}の各ピンには高品質のタンタルやセラミックのバイパス・コンデンサを使います。最適な性能を得るには、V_{CC}、V_{DD}およびV_{REF}の各ピンに10μFの表面実装タンタル・コンデンサと0.1μFのセラミック・コンデンサを組み合わせて使うことを推奨します。代わりに、X5RやX7Rなどの10μFセラミック・チップ・コンデンサを使うこともできます。これらのコンデンサはできるだけピンに近づけて配置する必要があります。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くします。V_{CC}とV_{DD}のバイパス・コンデンサはグランド・プレーンに戻し、V_{REF}のバイパス・コンデンサはピン22に戻します。V_{CC}とV_{DD}の0.1μFバイパス・コンデンサはピン24とピン25にできるだけ近づけて配置するように注意してください。

システムの推奨グランド接続を図6に示します。アナログ回路の全てのグランドはLTC2351-14の露出パッドのところで終端します。ノイズの無い動作を実現するため、LTC2351-14から電源へのグランド・リターンは低インピーダンスにします。32ピンのQFNパッケージの露出パッドは内部でグランド・パッドにも接続されています。露出パッドはグランド接続のインダクタンスを減らすためPCボードに半田付けします。全てのグランド・ピン(GND、DGND、OGND)はLTC2351-14の下の同じグランド・プレーンに直接接続する必要があります。

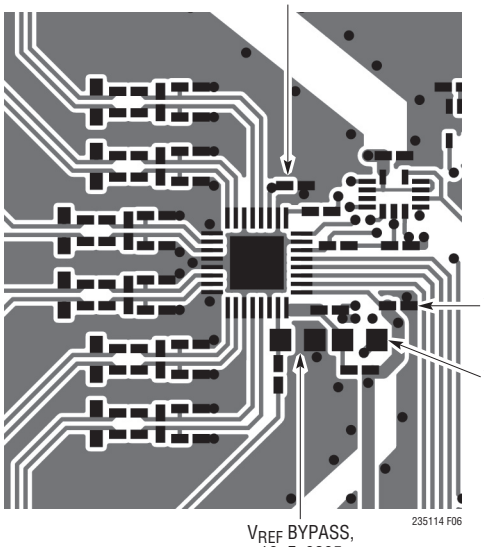


図6. 推奨レイアウト

アプリケーション情報

TMS320C54xとのハードウェア・インタフェース

LTC2351-14はシリアル出力のADCで、そのインタフェースは高速デジタル信号プロセッサ（DSP）のバッファ付き高速シリアル・ポート用に設計されています。TMS320C54Xを使ったこのインタフェースの例を図7に示します。

TMS320C54Xのバッファ付きシリアル・ポートはメモリの2kBセグメントに直接アクセスします。ADCのシリアル・データは、LTC2351-14の最大1.5Mspsの変換レートで、2つの交互に切り替わる1kBセグメントにリアルタイムで収集することができます。DSPのアセンブリ・コードにより、外部の立上りパルスを受け入れるBFSRピンのフレーム同期モードが設定され、外部の立上りエッジを使うクロックを受け入れるBCLKRピンのシリアル・クロック・モードが設定されます。LTC2351-14への信号の劣化を防ぐため、LTC2351-14の近くにバッファを追加して、DSPへの長いトラックをドライブすることができます。標準的なシステム・ボードを横断するにはこの構成で十分ですが、非常に長い伝送ラインの特性インピーダンスを整合させるには、バッファ出力のソース抵抗とDSPの終端抵抗が必要になるかもしれません。SDOの伝送ラインを終端する必要があれば、まずその伝送路を2個の74ACxxゲートを使ってバッファします。DSPポートのTTLスレッショルドの入力は、LTC2351-14に使われる3Vの振幅に適正に対応します。

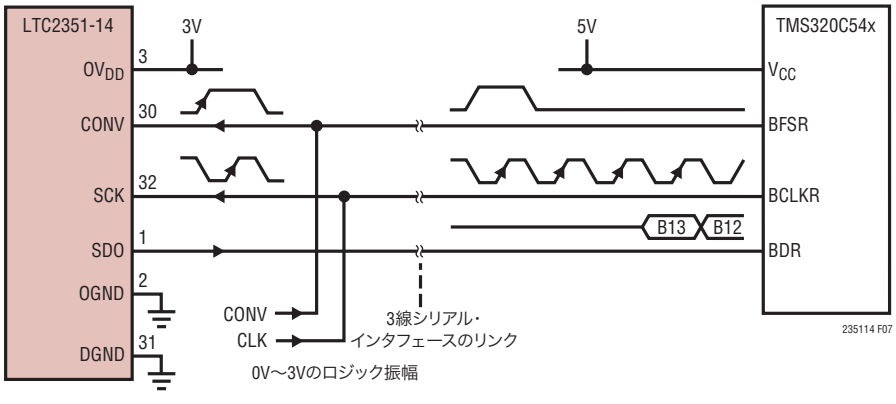
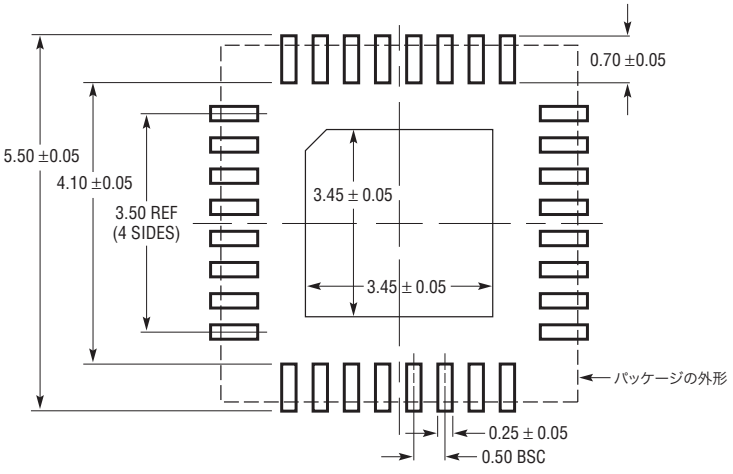


図7. TMS320C54xとのDSPシリアル・インタフェース

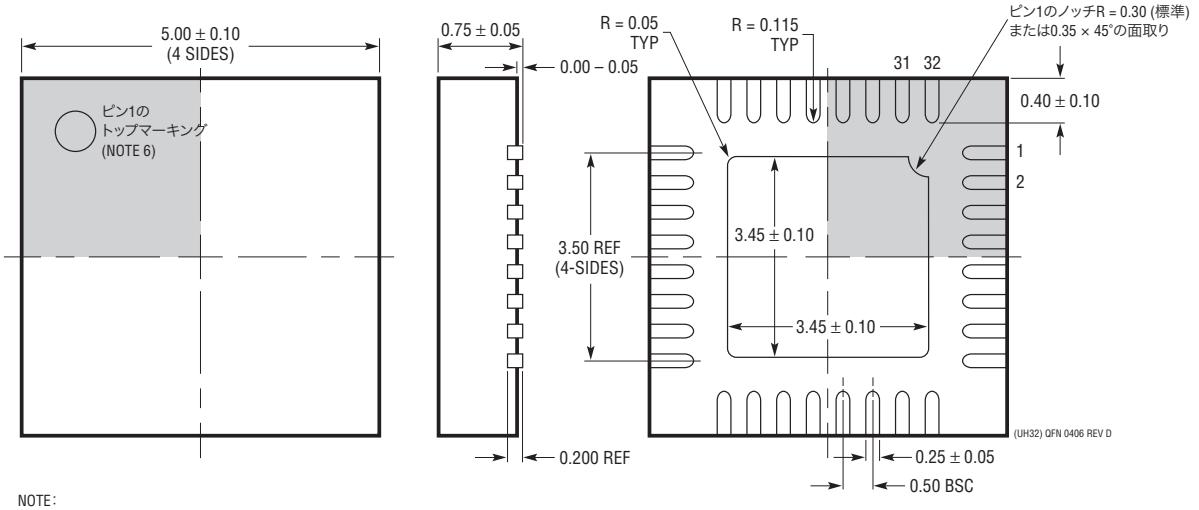
パッケージ

UHパッケージ
32ピン・プラスチックQFN (5mm × 5mm)
(Reference LTC DWG # 05-08-169)



推奨半田パッド・レイアウト
半田付けされない領域には半田マスクを使用する

底面図—露出パッド

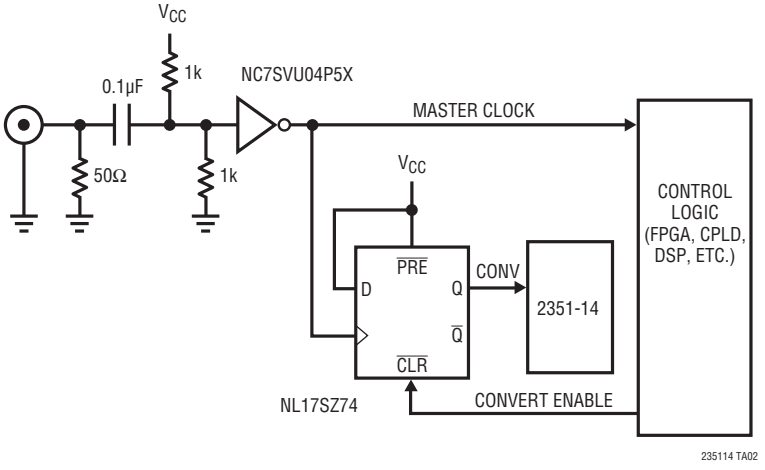


NOTE:
1. 図はJEDECパッケージ・アウトラインMO-220の
   バリエーションWHHD-(X)に含めるよう提案されている(承認待ち)
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
   モールドのバリは(もしあれば)各サイドで0.20mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

LINEAR TECHNOLOGY
リニアテクノロジー・コーポレーションがここで提供する情報は正確かつ信頼できるものと考えておりますが、その使用に関する責務は一切負いません。また、ここに記載された回路結線と既存特許とのいかなる関連についても一切関知いたしません。なお、日本語の資料はあくまでも参考資料です。訂正、変更、改版に追従していない場合があります。最終的な確認は必ず最新の英語版データシートでお願いいたします。

標準的応用例

クロックの方形波生成/レベルシフト回路およびタイミング調節フリップフロップを使った、RF正弦波発生器付き低ジッタ・クロック・タイミング



関連製品

製品番号	説明	注釈
ADCs		
LTC1402	12ビット、2.2MspsシリアルADC	5Vまたは±5V電源、4.096Vまたは±2.5Vのスパン
LTC1403/LTC1403A	12/14ビット、2.8MspsシリアルADC	3V、15mW、ユニポーラ入力、MSOPパッケージ
LTC1403-1/LTC1403A-1	12/14ビット、2.8MspsシリアルADC	3V、15mW、バイポーラ入力、MSOPパッケージ
LTC1405	12ビット、5MspsパラレルADC	5V、選択可能なスパン、115mW
LTC1407/LTC1407A	12/14ビット、3Msps同時サンプリングADC	3V、14mW、2チャネルのユニポーラ入力範囲
LTC1407-1/LTC1407A-1	12/14ビット、3Msps同時サンプリングADC	3V、14mW、2チャネルのバイポーラ入力範囲
LTC1411	14ビット、2.5MspsパラレルADC	5V、選択可能なスパン、SINAD: 80dB
LTC1412	12ビット、3MspsパラレルADC	±5V電源、±2.5Vスパン、SINAD: 72dB
LTC1420	12ビット、10MspsパラレルADC	5V、選択可能なスパン、SINAD: 72dB
LTC1608	16ビット、500kspsパラレルADC	±5V電源、±2.5Vスパン、SINAD: 90dB
LTC1609	16ビット、250kspsシリアルADC	5Vに設定可能なバイポーラ入力/ユニポーラ入力
LTC1864/LTC1865 LTC1864L/LTC1865L	16ビット、250ksps、1チャネル/2チャネルのシリアルADC	5Vまたは3V (Lバージョン)、マイクロパワー、MSOPパッケージ
DACs		
LTC1592	16ビット、シリアルSoftSpan™ I_{OUT} DAC	INL/DNL: ±1LSB、ソフトウェアで選択可能なスパン
LTC1666/LTC1667 LTC1668	12/14/16ビット、50Msps DAC	SFDR: 87dB、セトリング時間: 20ns
リファレンス		
LT1460-2.5	マイクロパワー・シリーズの電圧リファレンス	初期精度: 0.10%、ドリフト: 10ppm
LT1461-2.5	高精度電圧リファレンス	初期精度: 0.04%、ドリフト: 3ppm
LT1790-2.5	マイクロパワー・シリアル・リファレンス(SOT-23)	初期精度: 0.05%、ドリフト: 10ppm

SoftSpanはリニアテクノロジー社の商標です。

リニアテクノロジー株式会社
〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F
TEL 03-5226-7291• FAX 03-5226-0268 • www.linear-tech.co.jp

LT 0409 REV B • PRINTED IN JAPAN

© LINEAR TECHNOLOGY CORPORATION 2007