

シャットダウン付き 6チャンネル、12ビット、1.5Msps 同時サンプリングADC

特長

- 同時にサンプリングされる6つの差動入力を用意した
1.5Msps ADC
- チャンネル当りのスループット: 250ksps
- SINAD: 72dB
- 低消費電力: 16.5mW
- 単一3V電源動作
- 外部リファレンスを使用してオーバードライブ可能な
2.5Vバンドギャップ・リファレンスを内蔵
- 3線SPI互換シリアル・インタフェース
- CONVでトリガされる内部変換
- スリープ(12μW)シャットダウン・モード
- ナップ(4.5mW)シャットダウン・モード
- 0V~2.5Vのユニポーラまたは±1.25Vの
バイポーラ差動入力範囲
- 同相除去比: 83dB
- 小型32ピン(5mm×5mm) QFNパッケージ

アプリケーション

- 多相電力測定
- 多相モータ制御
- データ収集システム
- 無停電電源

LT, LT, LTCおよびLTMはリニアテクノロジー社の登録商標です。
他の全ての商標はそれぞれの所有者に所有権があります。
6084440, 6522187を含む米国特許によって保護されています。

概要

LTC®2351-12は、同時にサンプリングされる6つの差動入力を用意した12ビット、1.5Msps ADCです。このデバイスは、単一3V電源で消費電流がわずか5.5mAで、小型32ピン(5mm×5mm) QFNパッケージで供給されます。スリープ・シャットダウン・モードでは、消費電力を12μWに低減します。低消費電力、小型パッケージのLTC2351-12は、携帯アプリケーションに適しています。

LTC2351-12はCONV信号の立上りエッジで同時にサンプリングされる6つの個別の差動入力を用意しています。これら6つのサンプリングされた入力は250ksps/チャンネルのレートで変換されます。

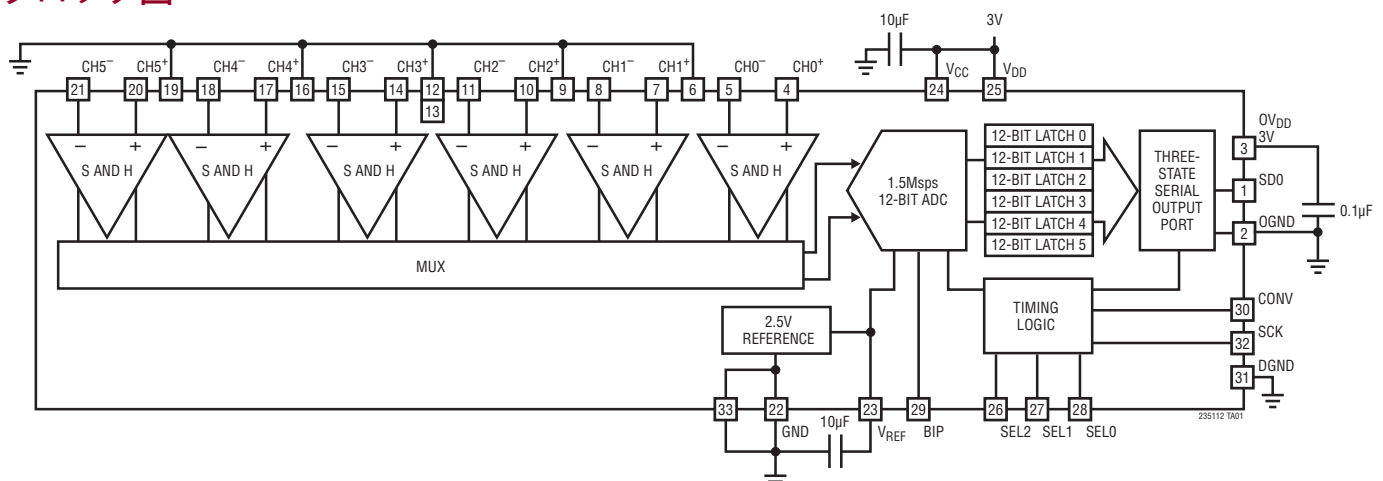
83dBの同相除去比により、ソースから差動で信号を測定することによってグラウンド・ループや同相ノイズを排除できます。

このデバイスは、BIPピンの状態に応じて、0V~2.5Vのユニポーラ入力または±1.25Vのバイポーラ入力を差動変換します。差動入力範囲が維持されている間は、どのアナログ入力もレール・トゥ・レールで振幅できます。

SEL2、SEL1、SEL0入力のロジック状態に応じて、5つ以下のチャンネルは変換シーケンスを短縮して変換することができます。

シリアル・インタフェースによって96クロックで6つの変換結果を送出するので、標準シリアル・インタフェースと互換性があります。

ブロック図



LTC2351-12

絶対最大定格

(Note 1, 2)

電源電圧 (V_{DD} , V_{CC} , OV_{DD}) 4V

アナログ入力と V_{REF} 入力の電圧

(Note 3)..... $-0.3V \sim (V_{DD} + 0.3V)$

デジタル入力電圧 $-0.3V \sim (V_{DD} + 0.3V)$

デジタル出力電圧 $-0.3V \sim (V_{DD} + 0.3V)$

消費電力 100mW

動作温度範囲

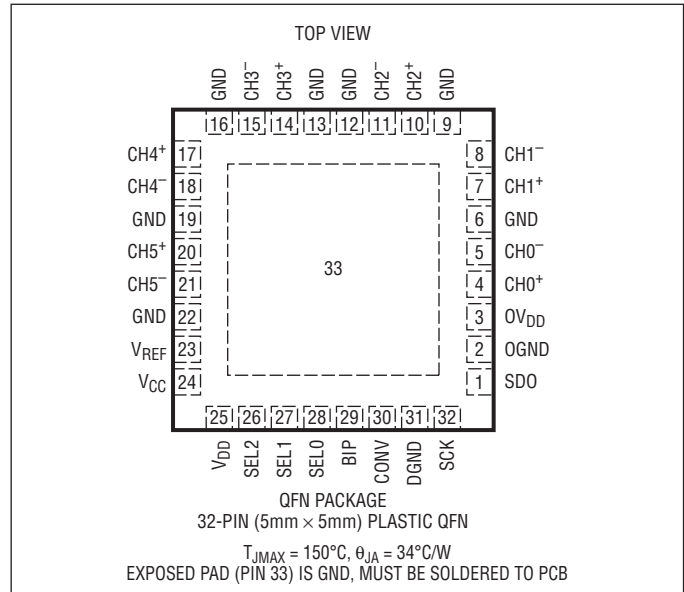
LTC2351C-12 $0^{\circ}C \sim 70^{\circ}C$

LTC2351I-12 $-40^{\circ}C \sim 85^{\circ}C$

LTC2351H-12 $-40^{\circ}C \sim 125^{\circ}C$

保存温度範囲..... $-65^{\circ}C \sim 150^{\circ}C$

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2351CUH-12#PBF	LTC2351CUH-12#TRPBF	235112	32-Pin (5mm × 5mm) Plastic QFN	$0^{\circ}C$ to $70^{\circ}C$
LTC2351IUH-12#PBF	LTC2351IUH-12#TRPBF	235112	32-Pin (5mm × 5mm) Plastic QFN	$-40^{\circ}C$ to $85^{\circ}C$
LTC2351HUH-12#PBF	LTC2351HUH-12#TRPBF	235112	32-Pin (5mm × 5mm) Plastic QFN	$-40^{\circ}C$ to $125^{\circ}C$

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。
非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

コンバータ特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^{\circ}C$ での値。内部リファレンス使用、 $V_{DD} = V_{CC} = 3V$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)	●	12			Bits
Integral Linearity Error	(Note 5) ●	-1	± 0.25	1	LSB
Offset Error	(Note 4) ●	-4.5	± 1	4.5	mV
	LTC2351H-12 ●	-5	± 1	5	mV
Offset Match from CH0 to CH5		-3	± 0.5	3	mV
Range Error	(Note 4) ●	-12	± 2	12	mV
Range Match from CH0 to CH5		-5	± 1	5	mV
Range Tempco	Internal Reference (Note 4)		± 15		ppm/ $^{\circ}C$
	External Reference		± 1		ppm/ $^{\circ}C$

アナログ入力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。内部リファレンス使用、 $V_{DD} = V_{CC} = 3V$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Analog Differential Input Range (Notes 3, 8, 9)	$2.7V \leq V_{DD} \leq 3.6V$, Unipolar $2.7V \leq V_{DD} \leq 3.6V$, Bipolar		0 to 2.5 ± 1.25		V V
V_{CM}	Analog Common Mode + Differential Input Range	(Note 8)		0 to V_{DD}		V
I_{IN}	Analog Input Leakage Current		●		1	μA
C_{IN}	Analog Input Capacitance			13		pF
t_{ACQ}	Sample-and-Hold Acquisition Time	(Note 6)	●		39	ns
t_{AP}	Sample-and-Hold Aperture Delay Time			1		ns
t_{JITTER}	Sample-and-Hold Aperture Delay Time Jitter			0.3		ps
t_{SK}	Channel to Channel Aperture Skew			200		ps
CMRR	Analog Input Common Mode Rejection Ratio	$f_{IN} = 100\text{kHz}$, $V_{IN} = 0V$ to $3V$ $f_{IN} = 10\text{MHz}$, $V_{IN} = 0V$ to $3V$		-83 -67		dB dB

ダイナミック精度

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。内部リファレンス使用、 $V_{DD} = V_{CC} = 3V$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SINAD	Signal-to-Noise Plus Distortion Ratio	100kHz Input Signal	●	69	72	dB
		300kHz Input Signal			71	dB
		100kHz Input Signal (LTC2351H-12)	●	68	72	dB
THD	Total Harmonic Distortion	100kHz First 5 Harmonics	●	-80	-90	dB
		300kHz First 5 Harmonics			-85	dB
		100kHz First 5 Harmonics (LTC2351H-12)	●	-79	-89	dB
SFDR	Spurious Free Dynamic Range	100kHz Input Signal			90	dB
		300kHz Input Signal			85	dB
IMD	Intermodulation Distortion	0.625V _{P-P} , 833kHz into CH0 ⁺ , 0.625V _{P-P} , 841kHz into CH0 ⁻ Bipolar Mode. Also Applicable to Other Channels			-80	dB
	Code-to-Code Transition Noise	$V_{REF} = 2.5V$ (Note 17)			0.2	LSB _{RMS}
	Full Power Bandwidth	$V_{IN} = 2.5V_{P-P}$, SDO = 11585LSB _{P-P} (-3dBFS) (Note 15)			50	MHz
	Full Linear Bandwidth	$S/(N + D) \geq 68\text{dB}$, Bipolar Differential Input			5	MHz

内蔵リファレンス特性 $T_A = 25^\circ\text{C}$ 。 $V_{DD} = V_{CC} = 3V$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{REF} Output Voltage	$I_{OUT} = 0$		2.5		V
V_{REF} Output Tempco			15		ppm/ $^\circ\text{C}$
V_{REF} Line Regulation	$V_{DD} = 2.7V$ to $3.6V$, $V_{REF} = 2.5V$		600		$\mu\text{V/V}$
V_{REF} Output Resistance	Load Current = 0.5mA		0.2		Ω
V_{REF} Settling Time	Ext $C_{REF} = 10\mu\text{F}$		2		ms
External V_{REF} Input Range		2.55		V_{DD}	V

LTC2351-12

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V_{DD} = V_{CC} = 3\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage	$V_{DD} = 3.3\text{V}$	●	2.4		V
V_{IL}	Low Level Input Voltage	$V_{DD} = 2.7\text{V}$	●		0.6	V
I_{IN}	Digital Input Current	$V_{IN} = 0\text{V to } V_{DD}$	●		± 10	μA
C_{IN}	Digital Input Capacitance			5		pF
V_{OH}	High Level Output Voltage	$V_{DD} = 3\text{V}, I_{OUT} = -200\mu\text{A}$	●	2.5	2.9	V
V_{OL}	Low Level Output Voltage	$V_{DD} = 2.7\text{V}, I_{OUT} = 160\mu\text{A}$ $V_{DD} = 2.7\text{V}, I_{OUT} = 1.6\text{mA}$	●	0.05	0.4	V V
I_{OZ}	Hi-Z Output Leakage D_{OUT}	$V_{OUT} = 0\text{V and } V_{DD}$	●		± 10	μA
C_{OZ}	Hi-Z Output Capacitance D_{OUT}			1		pF
I_{SOURCE}	Output Short-Circuit Source Current	$V_{OUT} = 0\text{V}, V_{DD} = 3\text{V}$		20		mA
I_{SINK}	Output Short-Circuit Sink Current	$V_{OUT} = V_{DD} = 3\text{V}$		15		mA

電源条件

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。内部リファレンス使用、 $V_{DD} = V_{CC} = 3\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{DD}, V_{CC}	Supply Voltage		2.7	3.0	3.6	V
$I_{DD} + I_{CC}$	Supply Current	Active Mode, $f_{SAMPLE} = 1.5\text{MSPS}$ Active Mode, $f_{SAMPLE} = 1.5\text{MSPS}$ (LTC2351H-12) Nap Mode Nap Mode (LTC2351H-12) Sleep Mode	● ● ● ●	5.5 6 1.5 1.8 4.0	8 9 2 2.5 15	mA mA mA mA μA
P_D	Power Dissipation	Active Mode with SCK, $f_{SAMPLE} = 1.5\text{MSPS}$		16.5		mW

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V_{DD} = 3\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$f_{SAMPLE(MAX)}$	Maximum Sampling Rate per Channel (Conversion Rate)		●	250		kHz
$t_{THROUGHPUT}$	Minimum Sampling Period (Conversion + Acquisition Period)		●		4	μs
t_{SCK}	Clock Period	(Note 16)	●	40	10000	ns
t_{CONV}	Conversion Time	(Notes 6, 17)		96		SCLK cycles
t_1	Minimum High or Low SCLK Pulse Width	(Note 6)		2		ns
t_2	CONV to SCK Setup Time	(Notes 6, 10)		3	10000	ns
t_3	SCK Before CONV	(Note 6)		0		ns
t_4	Minimum High or Low CONV Pulse Width	(Note 6)		4		ns
t_5	SCK↑ to Sample Mode	(Note 6)		4		ns
t_6	CONV↑ to Hold Mode	(Notes 6, 11)		1.2		ns
t_7	96th SCK↑ to CONV↑ Interval (Affects Acquisition Period)	(Notes 6, 7, 13)		45		ns
t_8	Minimum Delay from SCK to Valid Bits 0 Through 11	(Notes 6, 12)			8	ns

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V_{DD} = 3V$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_g	SCK $\uparrow$ to Hi-Z at SDO	(Notes 6, 12)			6	ns
t_{10}	Previous SDO Bit Remains Valid After SCK	(Notes 6, 12)	2			ns
t_{11}	V_{REF} Settling Time After Sleep-to-Wake Transition	(Notes 6, 14)		2		ms

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: 全ての電圧値はグラウンドGNDを基準にしている。

Note 3: これらのピンがGNDより下に引き下げられるか、または V_{DD} より上に引き上げられると、内部のダイオードによってクランプされる。この製品はラッチアップを生じることなしに、GNDより低い、または V_{DD} より高い電圧で100mAを超える入力電流を処理することができる。

Note 4: オフセットと範囲の規格値は、CH0 $^-$ ～CH5 $^-$ を接地し、内部2.5Vリファレンスを使用した状態で、シングルエンドのCH0 $^+$ 入力～CH5 $^+$ 入力に適用される。

Note 5: 積分直線性は外部の2.55Vリファレンスを使ってテストされ、伝達曲線の実際のエンドポイントを通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。直線性はCH0についてだけテストされる。

Note 6: 設計によって保証されているが、テストされない。

Note 7: 推奨動作条件。

Note 8: アナログ入力範囲はCHx $^+$ とCHx $^-$ の間の電圧差に対して定義されている。x = 0～5。

Note 9: CHx $^+$ とCHx $^-$ の絶対電圧はこの範囲内になければならない。

Note 10: 3ns未満を許容できれば、出力データは1クロック・サイクル後に現れる。クロックを定格速度で動作させるとき、SCKよりも半クロック前にCONVが立ち上がるのが最良である。

Note 11: アパーチャ遅延とは異なる。アパーチャ遅延(1ns)はサンプル&ホールドを通る2.2nsの遅延とCONVからホールド・モードまでの1.2nsの遅延の差である。

Note 12: SCKの立上りエッジにより、出力データがストレージ・ラッチに捕捉されることが保証されている。

Note 13: 入力信号を取得する期間は96番目の立上りクロックによって開始され、CONVの立上りエッジによって終了する。

Note 14: 内部リファレンスは、SCKが1サイクル以上与えられ、容量負荷が10 μF のとき、スリープ・モードから覚醒した後2msでセトリングする。

Note 15: フルパワー帯域幅は2.5V $_{p-p}$ の入力正弦波に対して出力コード振幅が3dB低下する周波数である。

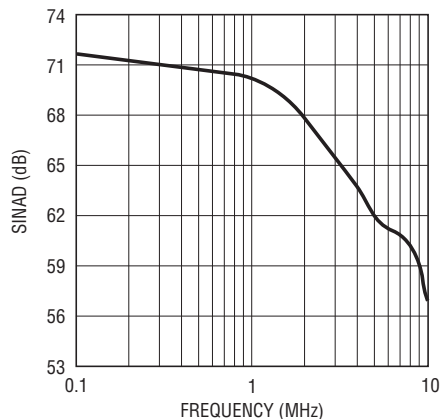
Note 16: 最大クロック周期により、変換時のアナログ性能が保証される。出力データは任意の長いクロック周期で読み出すことができる。

Note 17: イネーブルされているチャンネル毎に変換過程は16クロックを要し、6チャンネル全部では最大96クロックを要する。

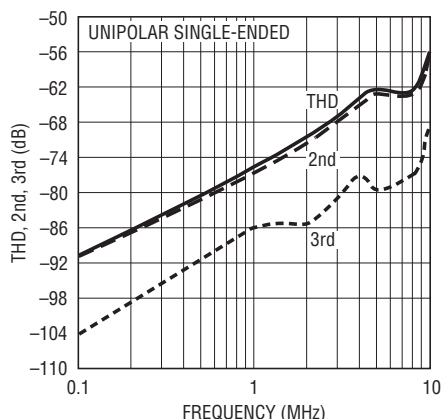
LTC2351-12

標準的性能特性 $V_{DD} = 3V$ 、 $T_A = 25^\circ C$

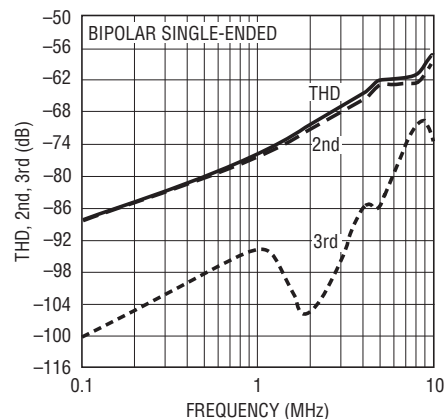
SINADと入力周波数



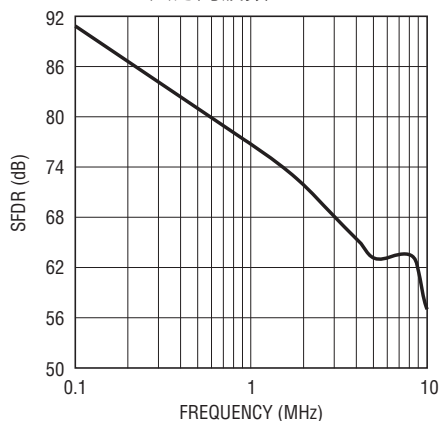
THD、2次および3次と入力周波数



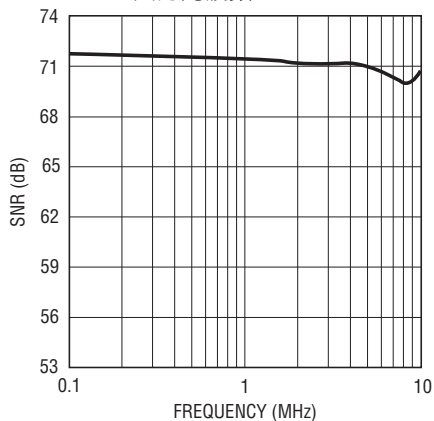
THD、2次および3次と入力周波数



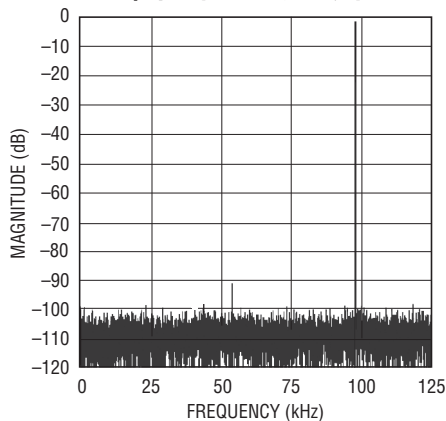
SFDRと入力周波数



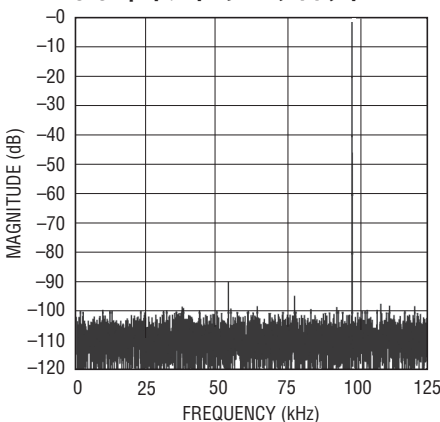
SNRと入力周波数



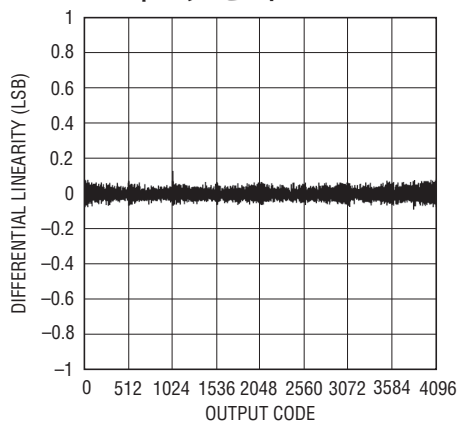
100kHzユニポーラ正弦波の
8192ポイントのFFTプロット



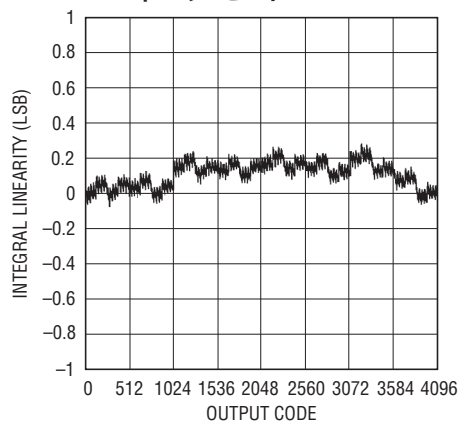
100kHzバイポーラ正弦波の
8192ポイントのFFTプロット



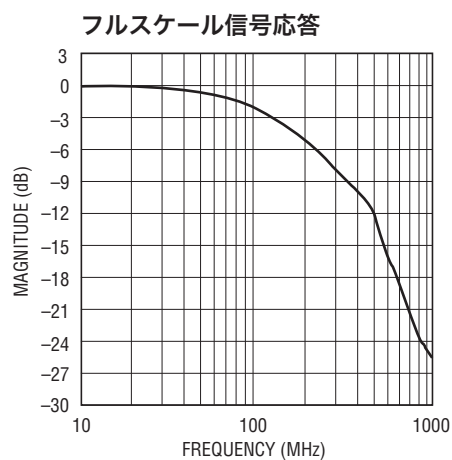
微分直線性と出力コード、
ユニポーラ・モード



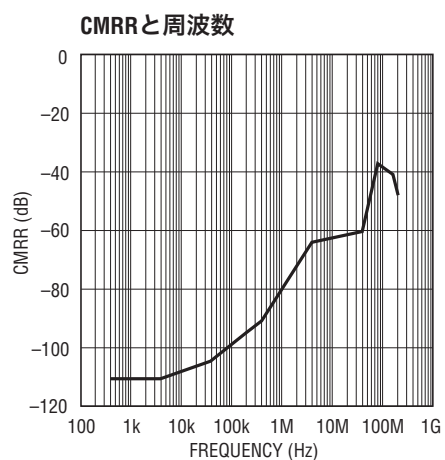
積分直線性と出力コード、
ユニポーラ・モード



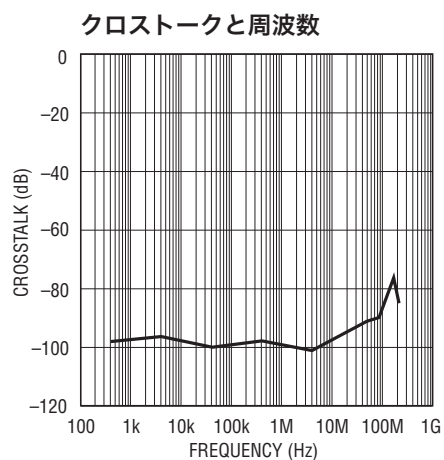
235112fa

標準的性能特性 $V_{DD} = 3V$, $T_A = 25^\circ C$ 

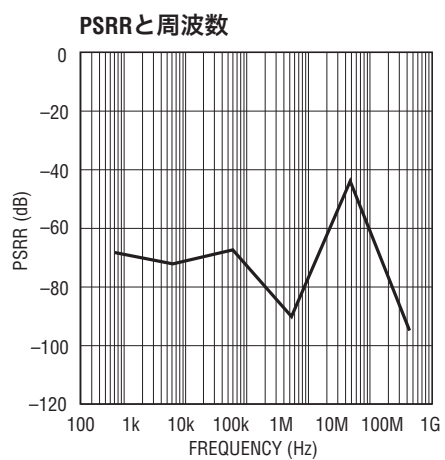
235112 G10



235112 G11



235112 G12



235112 G13

ピン機能

SDO (ピン1): スリーステートのシリアル・データ出力。6個の出力データ・ワードの各組は前の変換の開始点の6本のアナログ入力チャンネルを表します。CH0のデータが最初に出力され、CH5のデータが最後に出力されます。各データ・ワードはMSBが最初に出力されます。

OGND (ピン2): SDO電流のグラウンド・リターン。切れ目のないグラウンド・プレーンに接続します。

OV_{DD} (ピン3): SDOピンの電源。OV_{DD}はV_{DD}を300mV以上超えてはならず、低電圧ロジック・ファミリーとインタフェースするため低い電圧に下げることができます。負荷なしのSDOの“H”状態はOV_{DD}の電位になります。

CH0⁺ (ピン4): 非反転のチャンネル0。CH0⁺はCH0⁻に関して完全に差動として動作し、差動振幅は0V～2.5V、または±1.25V、絶対入力範囲は0～V_{DD}です。

CH0⁻ (ピン5): 反転のチャンネル0。CH0⁻はCH0⁺に関して完全に差動として動作し、差動振幅は-2.5V～0V、または±1.25V、絶対入力範囲は0～V_{DD}です。

GND (ピン6、9、12、13、16、19): アナログ・グラウンド。これらのグラウンド・ピンはデバイスの下の切れ目のないグラウンド・プレーンに直接接続する必要があります。アナログ信号電流はこれらの接続を通して流れます。

CH1⁺ (ピン7): 非反転のチャンネル1。CH1⁺はCH1⁻に関して完全に差動として動作し、差動振幅は0V～2.5V、または±1.25V、絶対入力範囲は0～V_{DD}です。

CH1⁻ (ピン8): 反転のチャンネル1。CH1⁻はCH1⁺に関して完全に差動として動作し、差動振幅は-2.5V～0V、または±1.25V、絶対入力範囲は0～V_{DD}です。

CH2⁺ (ピン10): 非反転のチャンネル2。CH2⁺はCH2⁻に関して完全に差動として動作し、差動振幅は0V～2.5V、または±1.25V、絶対入力範囲は0～V_{DD}です。

CH2⁻ (ピン11): 反転のチャンネル2。CH2⁻はCH2⁺に関して完全に差動として動作し、差動振幅は-2.5V～0V、または±1.25V、絶対入力範囲は0～V_{DD}です。

CH3⁺ (ピン14): 非反転のチャンネル3。CH3⁺はCH3⁻に関して完全に差動として動作し、差動振幅は0V～2.5V、または±1.25V、絶対入力範囲は0～V_{DD}です。

CH3⁻ (ピン15): 反転のチャンネル3。CH3⁻はCH3⁺に関して完全に差動として動作し、差動振幅は-2.5V～0V、または±1.25V、絶対入力範囲は0～V_{DD}です。

CH4⁺ (ピン17): 非反転のチャンネル4。CH4⁺はCH4⁻に関して完全に差動として動作し、差動振幅は0V～2.5V、または±1.25V、絶対入力範囲は0～V_{DD}です。

CH4⁻ (ピン18): 反転のチャンネル4。CH4⁻はCH4⁺に関して完全に差動として動作し、差動振幅は-2.5V～0V、または±1.25V、絶対入力範囲は0～V_{DD}です。

CH5⁺ (ピン20): 非反転のチャンネル5。CH5⁺はCH5⁻に関して完全に差動として動作し、差動振幅は0V～2.5V、または±1.25V、絶対入力範囲は0～V_{DD}です。

CH5⁻ (ピン21): 反転のチャンネル5。CH5⁻はCH5⁺に関して完全に差動として動作し、差動振幅は-2.5V～0V、または±1.25V、絶対入力範囲は0～V_{DD}です。

GND (ピン22): 基準のためのアナログ・グラウンド。アナログ・グラウンドはデバイスの下の切れ目のないグラウンド・プレーンに直接接続する必要があります。アナログ信号電流はこの接続を通して流れます。10μFリファレンス・バイパス・コンデンサはこのパッドに戻します。

V_{REF} (ピン23): 2.5Vの内部リファレンス。10μFのセラミック・コンデンサ(または0.1μFのセラミック・コンデンサに並列接続した10μFのタンタル・コンデンサ)を使ってGNDおよび切れ目の無いアナログ・グラウンド・プレーンにバイパスします。2.55V～V_{DD}、V_{CC}の外部リファレンス電圧によってオーバードライブすることができます。

V_{CC} (ピン24): 3V正アナログ電源。このピンは3Vをアナログ・セクションに供給します。10μFのセラミック・コンデンサ(または0.1μFのセラミック・コンデンサに並列接続した10μFのタンタル・コンデンサ)を使って切れ目の無いアナログ・グラウンド・プレーンにバイパスします。0.1μFのバイパス・コンデンサはできるだけピン24に近づけて配置するよう注意してください。ピン24はピン25に接続する必要があります。

ピン機能

V_{DD} (ピン25) : 3V正デジタル電源。このピンは3Vをロジック・セクションに供給します。10μFのセラミック・コンデンサ(または0.1μFのセラミック・コンデンサに並列接続した10μFのタンタル・コンデンサ)を使ってDGNDピンおよび切れ目の無いアナログ・グランド・プレーンにバイパスします。内部のデジタル出力信号電流がこのピンを通して流れることに留意してください。0.1μFのバイパス・コンデンサはできるだけピン25に近づけて配置するよう注意してください。ピン25はピン24に接続する必要があります。

SEL2 (ピン26) : 変換されるチャンネル数を制御する最上位ビット。SEL1およびSEL0と組み合わせて、000は変換に1番目のチャンネル(CH0)だけを選択します。SEL_xを1ずつ増加させると追加のチャンネル(CH0~CH5)が変換に選択されます。101、110または111は6チャンネル全てを変換に選択します。変換の間およびデータ読出しのための後続の変換の間、固定状態に保つ必要があります。

SEL1 (ピン27) : 変換されるチャンネル数を制御する中位ビット。SEL0およびSEL2と組み合わせて、000は変換に1番目のチャンネル(CH0)だけを選択します。SEL_xを1ずつ増加させると追加のチャンネルが変換に選択されます。101、110または111は6チャンネル(CH0~CH5)全てを変換に選択します。変換の間およびデータ読出しのための後続の変換の間、固定状態に保つ必要があります。

SEL0 (ピン28) : 変換されるチャンネル数を制御する最下位ビット。SEL1およびSEL2と組み合わせて、000は変換に1番目のチャンネル(CH0)だけを選択します。SEL_xを1ずつ増加させると追加のチャンネルが変換に選択されます。101、110または111は6チャンネル(CH0~CH5)全てを変換に選択します。変換の間およびデータ読出しのための後続の変換の間、固定状態に保つ必要があります。

BIP (ピン29) : バイポーラ/ユニポーラ・モード。BIPが“L”のとき入力差動範囲は0V~2.5V、BIPが“H”のとき±1.25V。変換の間およびデータ読出しのための後続の変換の間、固定状態に保つ必要があります。変換と変換の間にBIPを変えるときは次の変換を開始する前に全収集時間を与える必要があります。出力データはバイポーラ・モードでは2の補数形式、ユニポーラ・モードではストレート・バイナリ形式です。

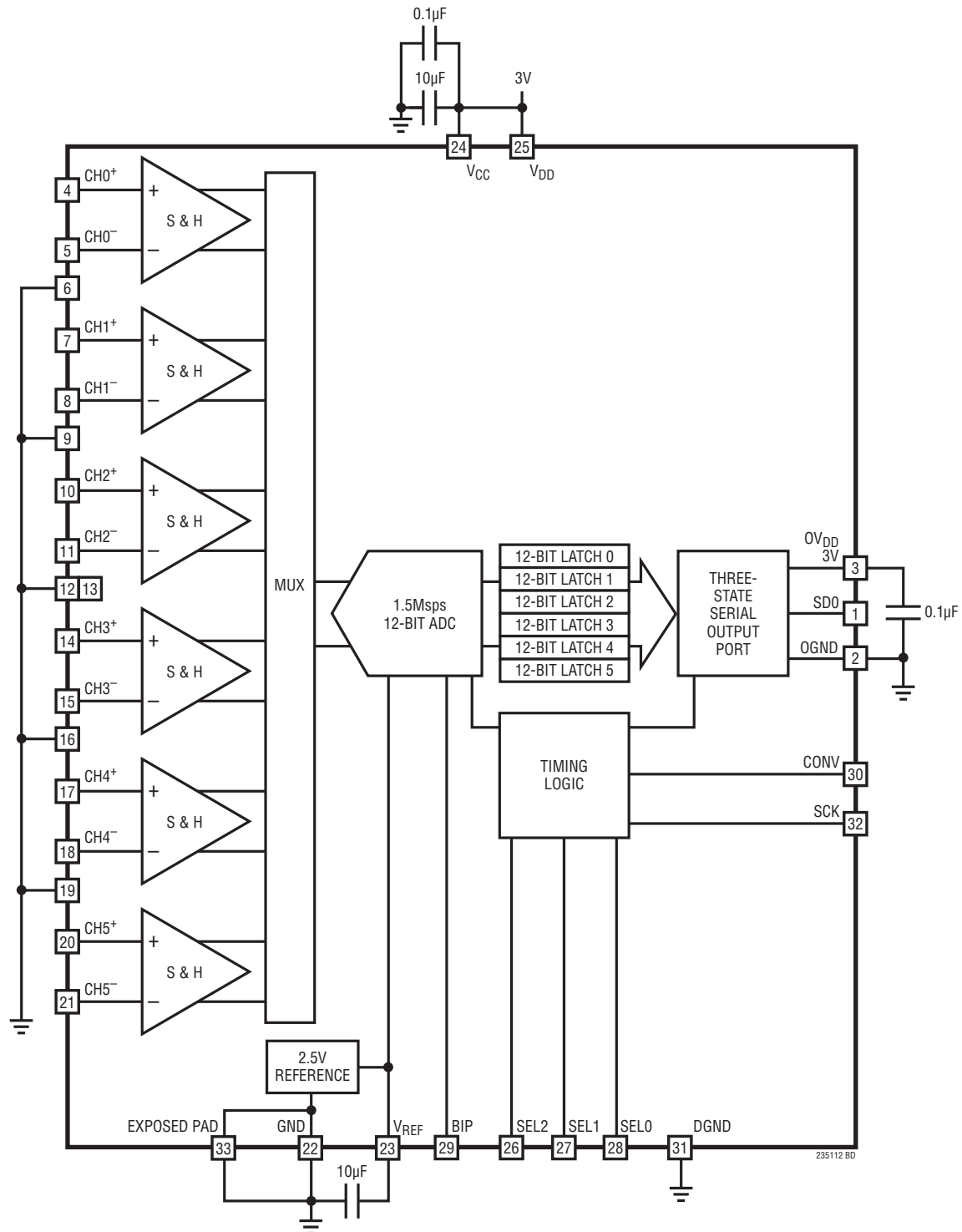
CONV (ピン30) : 変換スタート。6つのアナログ入力信号をホールドし、立上りエッジで変換を開始します。SCKが“H”または“L”に固定された状態でCONVパルスを2パルス与えるとナップ・モードが開始されます。SCKが“H”または“L”に固定された状態で4つ以上のCONVパルスを与えるとスリープ・モードが開始されます。

DGND (ピン31) : デジタル・グランド。このグランド・ピンは切れ目の無いグランド・プレーンに直接接続する必要があります。デジタル入力信号電流はこのピンを通して流れます。

SCK (ピン32) : 外部クロック入力。立上りエッジで変換過程を進ませ、SDO (ピン1) の出力データを順に配列します。1つ以上のSCKパルスでスリープまたはナップの省電力モードから覚醒させます。SEL_x (ピン26、27、28) によって有効になった各チャンネルには16クロック・サイクルが必要で、6チャンネル全ての変換と読出しには最大で合計96クロック・サイクルが必要です。

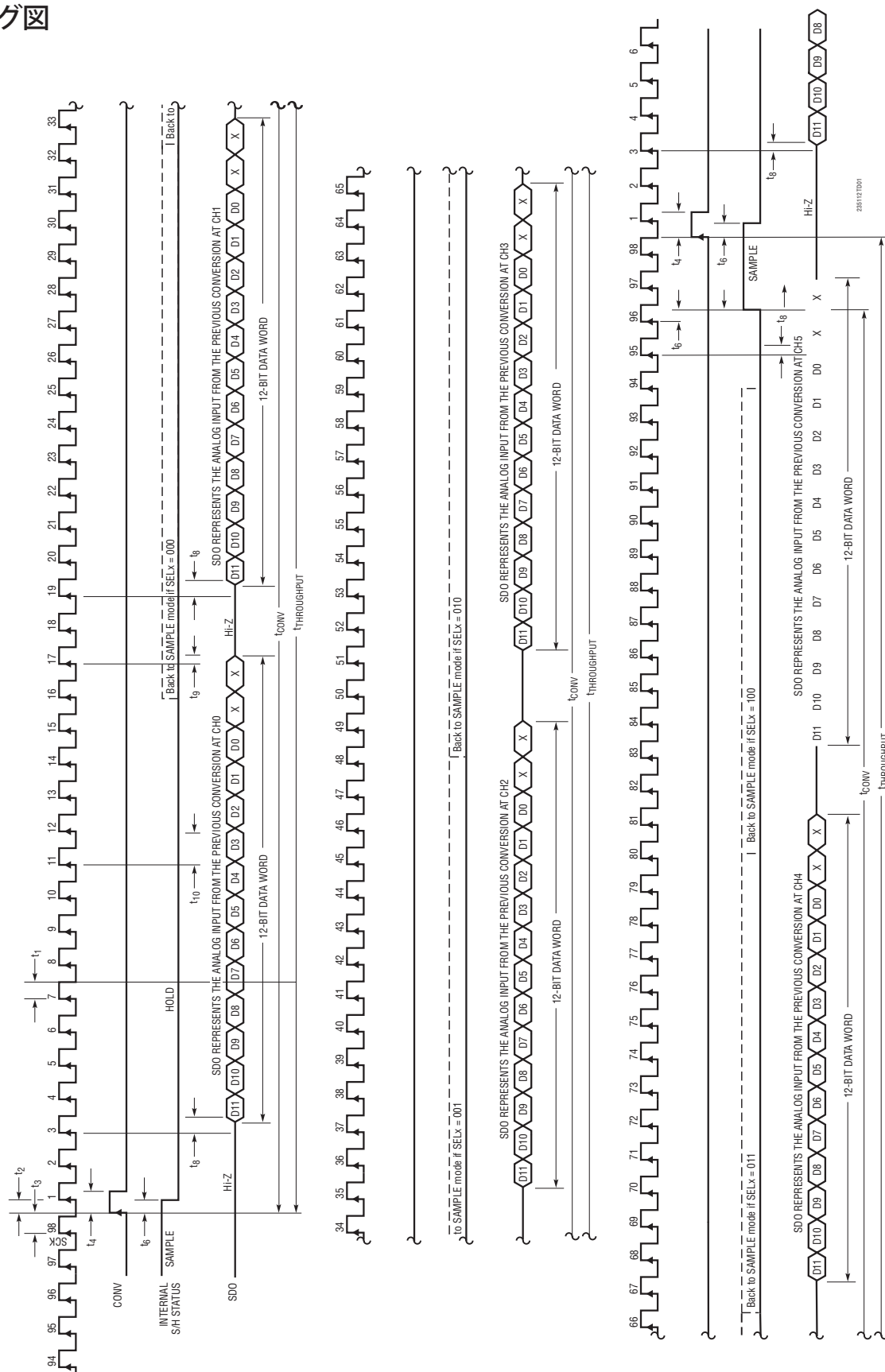
露出パッド (ピン33) : GND。切れ目の無いグランド・プレーンに直接接続する必要があります。

ブロック図



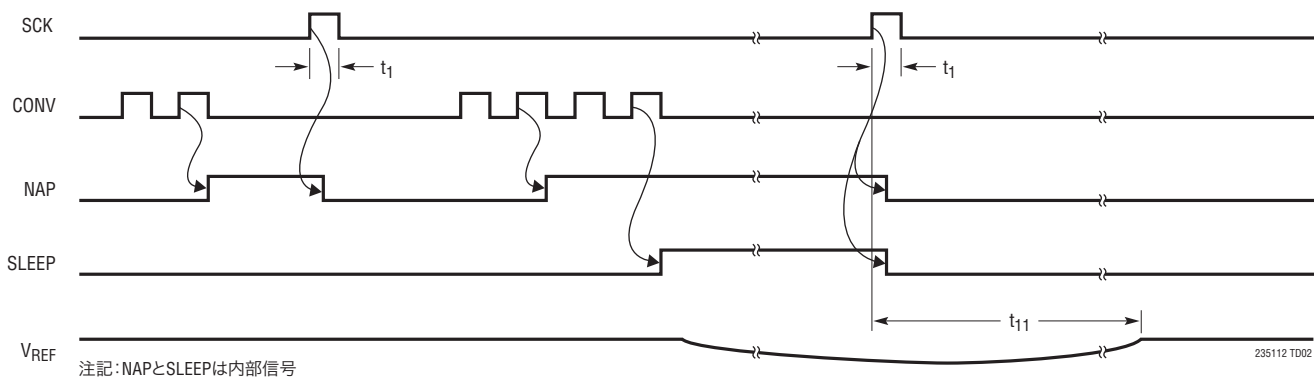
タイミング図

LTC2351-12のタイミング図

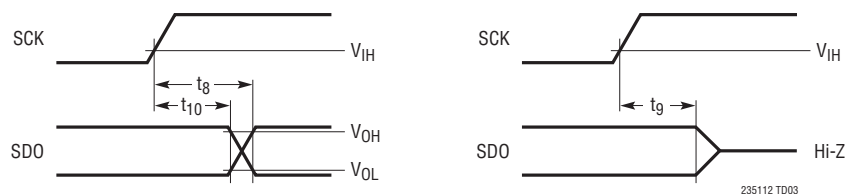


タイミング図

ナップ・モードとスリープ・モードの波形



SCKからSD0への遅延



アプリケーション情報

変換されるチャンネル数の選択 (SEL2, SEL1, SEL0)

これら3つの制御ピンは変換されるチャンネル数を選択します。000は変換のために1番目のチャンネル (CH0) だけを選択します。SELxを1ずつ増加させると、変換のために追加のチャンネルが(6チャンネルまで)選択されます。101、110または111は6チャンネル全てを変換のために選択します。これらのピンは、変換の間およびデータ読出しのための後続の変換の間、固定状態に保つ必要があります。変換と変換の間にモードを変更するとき、特定のチャンネルの出力データはそのチャンネルが再度変換されるまでは変化せずに保たれることに注意してください。たとえば、SELx = 011として4つのチャンネル (CH0、CH1、CH2、CH3) を順に変換し、これらのチャンネルが変換された後、SELxを001に変更してCH0とCH1だけを変換します。表1を参照してください。2つのチャンネルの最初の組の変換の間、前の4つのチャンネルの組の一部として変換された同じ2つのチャンネルからデータを読み出すことができます。その後、4つ以上のチャンネルを変換して、4つのチャンネルの最初の組の変換されたデータで読み出されていないCH2とCH3のデータを読み出すことができます。これらのピンは、特定のアプリケーション向けに正しいチャンネル数をイネーブルするように多くの場合固定配線されています。変換当たり少ないチャンネル数を変換するように選択すると、それらのチャンネルのスループットが速くなります。たとえば、6つのチャンネルは250ksps/chで変換することができますが、3つのチャンネルは500ksps/chで変換することができます。

バイポーラ/ユニポーラ・モード

CHx入力差動ペアのそれぞれの入力電圧範囲は、BIPが“L”のときユニポーラで0V～2.5V、BIPが“H”のときバイポーラで±1.25Vです。このピンは、変換の間およびデータ読出しのための後続の変換の間、固定状態に保つ必要があります。変換と変換の間にBIPを変えるときは次の変換を開始する前に全収集時間を与える必要があります。モードをBIPOLARからUNIPOLAR、またはUNIPOLARからBIPOLARに変更した後、これらのチャンネルをそれらが変換されたときのモードで読み出すようにMSBを反転させることにより、新しいモードでも依然として最初のチャンネルの組を読み出すことができます。

アナログ入力のドライブ

LTC2351-12の差動アナログ入力、差動で、またはシングルエンド入力 (つまりCH0⁻入力は接地) としてドライブすることができます。6つの差動アナログ入力ペア (CH0⁺とCH0⁻、CH1⁺とCH1⁻、CH2⁺とCH2⁻、CH3⁺とCH3⁻、CH4⁺とCH4⁻およびCH5⁺とCH5⁻) の12のアナログ入力の全てが同時にサンプリングされます。各入力ペアの両方の入力に共通な不要の信号はすべてサンプル&ホールド回路の同相除去によって減少します。入力には変換終了時点にサンプル&ホールドのコンデンサを充電する小さな電流スパイクが流れるだけです。変換時、アナログ入力には小さなリーク電流だけが流れます。

表1. 変換シーケンス制御 (「収集」は全チャンネルの同時サンプリングを表す; CHxは該当チャンネルの変換を表す)

SEL2	SEL1	SEL0	チャンネルの収集と変換のシーケンス
0	0	0	acquire, CH0, acquire, CH0...
0	0	1	acquire, CH0, CH1, acquire, CH0, CH1...
0	1	0	acquire, CH0, CH1, CH2, acquire, CH0, CH1, CH2...
0	1	1	acquire, CH0, CH1, CH2, CH3, acquire, CH0, CH1, CH2, CH3...
1	0	0	acquire, CH0, CH1, CH2, CH3, CH4, acquire, CH0, CH1, CH2, CH3, CH4...
1	0	1	acquire, CH0, CH1, CH2, CH3, CH4, CH5, acquire, CH0, CH1, CH2, CH3, CH4, CH5...
1	1	0	acquire, CH0, CH1, CH2, CH3, CH4, CH5, acquire, CH0, CH1, CH2, CH3, CH4, CH5...
1	1	1	acquire, CH0, CH1, CH2, CH3, CH4, CH5, acquire, CH0, CH1, CH2, CH3, CH4, CH5...

アプリケーション情報

ドライブ回路のソース・インピーダンスが低い場合、LTC2351-12の入力を直接ドライブすることができます。ソース・インピーダンスが増加するにつれ、収集時間も増加します。高いソース・インピーダンスで収集時間を最小限に抑えるには、バッファ・アンプを使用する必要があります。主要な条件として、アナログ入力をドライブするアンプは小電流スパイクの後、次の変換が開始される前にセトリグする必要があります（セトリグに許される時間は最大スループットの場合少なくとも39nsが必要です）。入力アンプの選択時には、アンプによって追加されるノイズの大きさと高調波歪みについても考慮してください。

入力アンプの選択

いくつかの必要条件を考慮に入れば、入力アンプの選択は簡単です。まず、サンプリング・コンデンサの充電によって生じる、アンプから見た電圧スパイクの大きさを制限するには、閉ループ帯域幅周波数で出力インピーダンスが低い（100Ω未満）アンプを選択します。たとえば、利得を1にしてアンプが使われており、そのユニティゲイン帯域幅が50MHzであれば、50MHzでの出力インピーダンスは100Ω未満でなければなりません。2番目の必要条件として、最大スループットでの小信号のセトリグを適切に保つため、閉ループ帯域幅は40MHzより大きくなければなりません。遅いオペアンプが使用される場合、変換と変換の間の時間間隔を伸ばして、セトリグのための時間を長くすることができます。LTC2351-12のドライブに最適なオペアンプはアプリケーションに依存します。一般に、アプリケーションは2つに分類されます。ダイナミックな仕様が最も重要なACアプリケーションと、DC精度やセトリグ時間が最も重要な時間領域のアプリケーションです。LTC2351-12をドライブするのに適したオペアンプが次のリストにまとめられています。（詳細な情報がリニアテクノロジー社のデータブックとウェブサイトwww.linear.comで与えられています。）

LTC1566-1: 低ノイズの2.3MHz連続時間ローパス・フィルタ。

LT[®]1630: デュアル30MHzレール・トゥ・レール電圧FBアンプ。2.7V～±15V電源。非常に高い A_{VOL} 、500μVのオフセット、4Vの振幅で0.5LSBへのセトリグが520ns。40kHzまでTHDとノイズが-93dBで、320kHzまで1LSB未満（ $A_V = 1$ 、1kΩに対して $2V_{P-P}$ 、 $V_S = 5V$ ）なので、レール・トゥ・レール動作が望ましいACアプリケーション（1/3ナイキストまで）に最適。クワッド・バージョンがLT1631として供給されている。

LT1632: デュアル45MHzレール・トゥ・レール電圧FBアンプ。2.7V～±15V電源。非常に高い A_{VOL} 、1.5mVのオフセット、4Vの振幅で0.5LSBへのセトリグが400ns。単一5V電源のアプリケーションに適している。40kHzまでTHDとノイズが-93dBで、800kHzまで1LSB未満（ $A_V = 1$ 、1kΩに対して $2V_{P-P}$ 、 $V_S = 5V$ ）なので、レール・トゥ・レール動作が望ましいACアプリケーションに最適。クワッド・バージョンがLT1633として供給されている。

LT1801: 80MHz GBWP、500kHzで-75dBc、2mA/アンプ、 $8.5nV/\sqrt{Hz}$ 。

LT1806/LT1807: 325MHz GBWP、5MHzで-80dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、10mA/アンプ、 $3.5nV/\sqrt{Hz}$ 。

LT1810: 180MHz GBWP、5MHzで-90dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、15mA/アンプ、 $16nV/\sqrt{Hz}$ 。

LT1818/LT1819: 400MHz、2500V/μs、9mAシングル/デュアル電圧モード・オペアンプ

LT6200: 165MHz GBWP、1MHzで-85dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、15mA/アンプ、 $0.95nV/\sqrt{Hz}$ 。

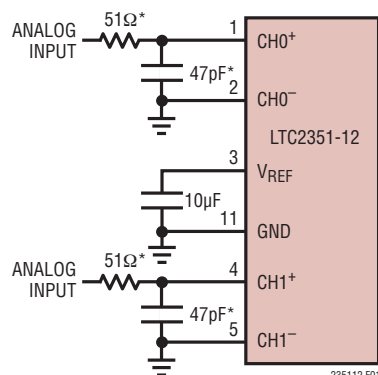
LT6203: 100MHz GBWP、1MHzで-80dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、3mA/アンプ、 $1.9nV/\sqrt{Hz}$ 。

LT6600: アンプ/フィルタ、差動入出力、10MHzのカットオフ周波数。

入力フィルタ処理とソース・インピーダンス

入力のアンプと他の回路のノイズと歪みがLTC2351-12のノイズと歪みに加わるので、それらについて考慮する必要があります。サンプル&ホールド回路の小信号帯域幅は50MHzです。アナログ入力に存在するノイズまたは歪み積もこの帯域幅全体にわたって合算されます。ノイズの多い入力回路はアナログ入力の前でフィルタ処理する必要があります。多くのアプリケーションでは簡単な1ポールのRCフィルタで十分です。た

アプリケーション情報



* アパーチャ・スキューの劣化を避けるには、厳格な許容差が必要

図1. RC入力フィルタ

たとえば、図1には、 $CH0^+$ からグランドに接続した47pFのコンデンサと51Ωのソース抵抗が示されており、正味入力帯域幅を30MHzに制限します。47pFのコンデンサは入力サンプル&ホールドのための蓄電コンデンサとしても機能して、サンプリング・グリッチに敏感な回路からADCの入力を絶縁します。これらの部品は歪みを大きくする可能性がありますので、高品質のコンデンサと抵抗を使ってください。NPOやシルバーマイカ・タイプの誘電体コンデンサは優れた直線性を備えています。表面実装カーボン抵抗は自己発熱や半田工程で生じる損傷により歪みを生じることがあります。表面実装金属皮膜抵抗は両方の問題に対してはるかに耐性があります。振幅の大きな不要な信号の周波数が望みの信号周波数に近接している場合、マルチ・ポールのフィルタが必要です。

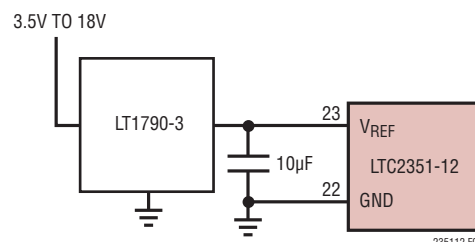
高い外部ソース抵抗が13pFの入力コンデンサと組み合わせると、定格50MHzの入力帯域幅を減少させ、収集時間が39nsより長くなります。

入力範囲

LTC2351-12のアナログ入力は単一電源で完全に差動でドライブすることができます。BIP (ピン29) が“L”のとき差動振幅が2.5Vを超えなければ、またはBIP (ピン29) が“H”のとき $\pm 1.25V$ を超えなければ、どちらの入力も V_{CC} まで振幅することができます。0V～2.5Vの範囲は単一電源のアプリケーションでシングルエンド入力の用途にも最適です。入力の同相範囲はグランドから電源電圧 V_{CC} に達します。任意の入力ペア CH^+ と CH^- の差が2.5V (ユニポーラ) または1.25V (バイポーラ) を超えると、出力コードは正のフルスケールに固定され、この差が0V (ユニポーラ) または-1.25V (バイポーラ) より下になると、出力コードは負のフルスケールに固定されます。

内部リファレンス

LTC2351-12には温度補償されたバンドギャップ・リファレンスが内蔵されており、正確に2.5Vの入力スパンを得るため製造時に2.5Vに調整されています。リファレンス・アンプの出力 V_{REF} (ピン23) はコンデンサでグランドにバイパスする必要があります。リファレンス・アンプは1μF以上のコンデンサで安定化されます。最良のノイズ性能を得るには、0.1μFのセラミック・コンデンサに並列に接続した10μFのセラミック・コンデンサまたは10μFのタンタル・コンデンサを推奨します。図2に示されているように、 V_{REF} ピンは外部のリファレンスでオーバードライブすることができます。外部リファレンスの推奨範囲は2.55V～ V_{DD} です。2.55Vの外部リファレンスには0.75mAのDC消費負荷電流および変換時の最大3mAが流れます。

図2. 外部リファレンスによる V_{REF} ピンのオーバードライブ

入力スパンとリファレンス電圧

差動入力範囲のユニポーラ電圧スパンは、リファレンスのバッファ出力 V_{REF} (ピン23) の電圧とグランドの電圧の差に等しくなります。内部リファレンスを使っているとき、ADCの差動入力範囲は0V～2.5Vです。内部のADCはこれら2つのノードを基準にしています。この関係は外部リファレンスにも当てはまります。

差動入力

ADCはどの入力ペアの同相電圧にも依存せずに、常に CH^+ から CH^- を差し引いた差を変換します。同相除去は高い周波数でも有効です (図3を参照)。唯一の条件は両方の入力がグランドより下にも、 V_{DD} より上にもならないことです。

アプリケーション情報

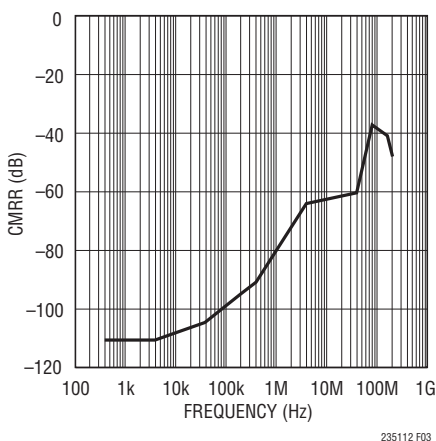


図3. CMRRと周波数

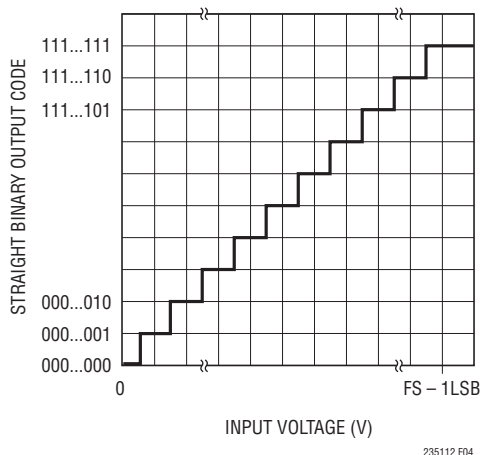


図4. ユニポーラ・モード (BIP = “L”) の LTC2351-12の伝達特性

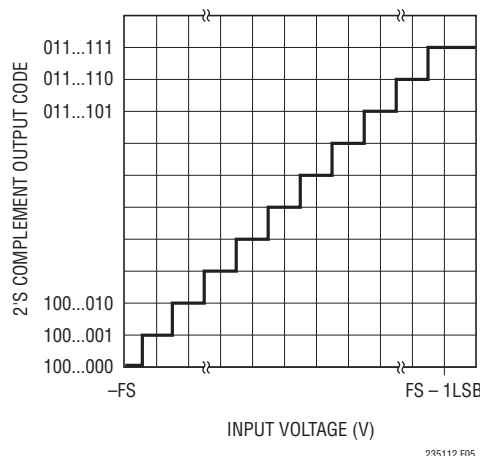


図5. バイポーラ・モード (BIP = “H”) の LTC2351-12の伝達特性

積分非直線性誤差 (INL) と微分非直線性誤差 (DNL) は大体において同相電圧に依存しません。ただし、オフセット誤差は変化します。DCのCMRRは標準で-90dBよりすぐれています。

ユニポーラ・モード (BIP = “L”) のLTC2351-12の理想的な入力/出力特性を図4に示します。コードの遷移は、隣接する整数のLSB値の間 (つまり、0.5LSB、1.5LSB、2.5LSB、FS-1.5LSB) で生じます。出力コードはストレート・バイナリで、LTC2351-12の場合 $1\text{LSB} = 2.5\text{V}/4096 = 610\mu\text{V}$ です。LTC2351-12の白色ガウスノイズは0.2LSB RMSです。

バイポーラ・モード (BIP = “H”) のLTC2351-12の理想的な入力/出力特性を図5に示します。コードの遷移は、隣接する整数のLSB値の間 (つまり、0.5LSB、1.5LSB、2.5LSB、FS-1.5LSB) で生じます。出力コードは2の補数で、LTC2351-12の場合 $1\text{LSB} = 2.5\text{V}/4096 = 610\mu\text{V}$ です。LTC2351-12の白色ガウスノイズは0.2LSB RMSです。

パワーダウン・モード

起動すると、LTC2351-12はアクティブ状態に初期化され、変換の準備ができます。ナップ・モードとスリープ・モードの波形はLTC2351-12のパワーダウン・モードを示しています。SCK入力とCONV入力はパワーダウン・モードを制御します (タイミング図を参照)。CONVに2つの立上りエッジが与えられると (その間にSCKの立上りエッジが入り込むことなく)、LTC2351-12はナップ・モードになり、電力消費は16.5mWから4.5mWに低下します。ナップ・モードでは内部リファレンスに電力が与えられたままです。さらに1つ以上のSCKの立上りエッジが与えられるとLTC2351-12はすぐ覚醒し、CONVは1クロック以内に正確な変換を開始することができます。CONVに4つの立上りエッジが与えられると (その間にSCKの立上りエッジが入り込むことなく)、LTC2351-12はスリープ・モードになり、電力消費は16.5mWから12μWに低下します。SCKに1つ以上の立上りエッジが与えられるとLTC2351-12は覚醒し、動作を再開します。内部リファレンス (V_{REF}) は10μFの負荷ではスルーしてセットリングするまで2msかかります。スリープ・モードを頻繁に使うと、出力データの精度が損なわれます。低速の変換では、ナップ・モードとスリープ・モードを使って電力消費を大幅に減らすことができることに注意してください。

アプリケーション情報

デジタル・インタフェース

LTC2351-12には3線SPI(シリアル・ペリフェラル・インタフェース)インタフェースが備わっています。SCKとCONVの入力およびSDO出力にはこのインタフェースが実装されています。ロジック振幅が V_{DD} を超えなければ、SCK入力とCONV入力は3Vロジックの振幅を受け入れ、TTL互換です。3つのシリアル・ポートの信号の詳細について、以下説明します。

変換開始入力(CONV)

CONVの立上りエッジで変換が開始されますが、それ以降のCONVの立上りエッジは、SCKに96の立上りエッジが与えられるまで、LTC2351-12によって無視されます。CONVのデューティ・サイクルは、プロセッサのシリアル・ポートのフレーム同期信号として使うために任意に選択することができます。CONVを発生させる簡単な方法として、LTC2351-12をドライブするためにSCK1個分の幅のパルスをつくり、この信号をバッファしてプロセッサのシリアル・ポートのフレーム同期入力をドライブします。LTC2351-12のCONV入力を最初にドライブして、変換開始時にCONVによってトリガされたサンプル&ホールドが遷移する間デジタル・ノイズの影響を避けるのが良いやり方です。CONV信号の“L”の部分の幅を15nsより広くして、CONVの立上りエッジでサンプル&ホールドがホールド・モードになる直前にADCのフロントエンドにグリッチが生じるのを防ぐのも良いやり方です。

CONV入力のジッタの最小化

100kHzを超える振幅の大きな正弦波がサンプリングされる高速アプリケーションでは、CONV信号のジッタをできるだけ小さくする(10ps以下)ことが必要です。普通の水素クロック・モジュールの方形波出力は通常この条件を満たします。難しいのは、システム内の他のデジタル回路からのジッタの影響を受けることなしに、この水素クロックからCONV信号を発生させることです。水素クロックからCONV入力までの信号経路内のクロック・ドライバやゲートは、システムの他の部分と同じ集積回路を共有すべきではありません。SCK入力とCONV入力は、シリアル・ポート・インタフェースをドライブするのに使われるデジタル・バッファで最初にドライブします。また、DSP内のマスタ・クロックは、たとえそれがDSPの水素から直接きていても、既にジッタで劣化している可能性があることにも注意してください。高速プロセッサ・クロックの別の問題として、多くの場合、低コストで低速の水素(すなわち、10MHz)を使って、高速だがジッタの大きなフェーズロック・ループのシステム・クロック(すなわち、40MHz)を発生させていることです。これらのPLLで発生させた高速クロックのジッタは数ナノ秒に達することが

あります。DSPポートで発生させたフレーム同期信号を使う場合、この信号にはDSPのマスタ・クロックと同じジッタがあることに注意してください。

RF信号発生器や他の低ジッタ信号源からの出力をレベルシフトして方形波にする回路を20ページの標準的応用例の図に示します。Dタイプのフリップ・フロップが1個使われており、LTC2351-12へのCONV信号を発生させます。マスタ・クロック信号のタイミングを変えて、制御デバイス(DSP、FPGAなど)によって生じるクロック・ジッタを除去します。インバータとフリップ・フロップの両方ともアナログ部品として扱う必要があります、クリーンなアナログ電源から給電します。

シリアル・クロック入力(SCK)

SCKの立上りエッジにより変換過程が進行し、同時にSDOデータ・ストリームの各ビットが更新されます。CONVが立ち上がった後、SCKの3番目の立上りエッジにより、最大6組までの12データ・ビットがMSBを先頭にして送出されます。簡単な方法として、LTC2351-12をドライブするSCKを最初に発生させてから、必要な個数のインバータを使ってこの信号をバッファして、プロセッサのシリアル・ポートのシリアル・クロック入力をドライブします。クロックの立下りエッジを使ってデータをシリアル・データ出力(SDO)からプロセッサのシリアル・ポートにラッチします。12ビットのシリアル・データは、フレーム同期ごとに96クロック以上を使って6個の16ビット・ワードとして受け取られます。変換のためにSEL0～SEL2によって6チャンネルより少ないチャンネルが選択されると、アナログ入力を変換し、その結果得られるデータを次の変換パルスの後に読み出すのに、チャンネル当たり16クロックが必要です。LTC2351-12のSCK入力を最初にドライブして、内部高速コンパレータによって内部でビットの比較結果が定まるまでデジタル・ノイズの影響を避けるのが良いやり方です。CONV入力とは異なり、入力信号が既にサンプリングされて一定に保たれているので、SCK入力はジッタに対して敏感ではありません。

シリアル・データ出力(SDO)

起動すると、SDO出力は自動的に高インピーダンス状態にリセットされます。SDO出力は新たに変換が開始されるまで高インピーダンス状態に留まります。CONVの立上りエッジで変換が開始された後、SCKの3番目の立上りエッジの後、SDOから出力データ・ストリームの最大6組までの12ビットが送出されます。6個以下の12ビット・ワードは、高インピーダンス・モードの2つのドントケア・ビットと2クロック・サイクルによって分離されます。SCKから有効なSDOまでの遅延の規格値に注意し

アプリケーション情報

ください。SDOはSCKの次の立上りエッジまで有効であることが常に保証されています。16～96ビットの出力データ・ストリームは、ほとんどのプロセッサの16ビットまたは32ビットのシリアル・ポートと互換性があります。

ボードのレイアウトとバイパス

高分解能や高速のA/Dコンバータにはワイヤラップ・ボードは推奨できません。LTC2351-12から最良の性能を引き出すには、グラウンド・プレーンを備えたプリント回路基板が必要です。プリント回路基板のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ分離します。とくに、どのデジタル・トラックもアナログ信号トラックの脇に沿って配置しないように注意します。入力間に最適な位相の整合が必要な場合、6本の入力チャンネルの12本の入力線の長さを整合させます。ただし、6本の入力チャンネルへの入力線の各ペアはグラウンド・トレースによって分離し、チャンネル間の高周波クロストークを防ぎます。

このデータシートの最初のページのブロック図に示されているように、V_{CC}、V_{DD}およびV_{REF}の各ピンには高品質のタンタルまたはセラミックのバイパス・コンデンサを使います。最適動作を実現するには、V_{CC}、V_{DD}およびV_{REF}の各ピンに10μFの表面実装タンタル・コンデンサと0.1μFのセラミック・コンデンサを組み合わせることを推奨します。代わりに、X5Rや

X7Rなどの10μFセラミック・チップ・コンデンサを使うこともできます。これらのコンデンサはできるだけピンに近づけて配置する必要があります。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くします。V_{CC}とV_{DD}のバイパス・コンデンサはグラウンド・プレーンに戻し、V_{REF}のバイパス・コンデンサはピン22に戻します。V_{CC}とV_{DD}の0.1μFバイパス・コンデンサはピン24とピン25にできるだけ近づけて配置するように注意してください。

システムの推奨グラウンド接続を図6に示します。アナログ回路の全てのグラウンドはLTC2351-12の露出パッドのところで終端します。ノイズの無い動作を実現するため、LTC2351-12から電源へのグラウンド・リターンは低インピーダンスにします。32ピンのQFNパッケージの露出パッドは内部でグラウンド・パッドにも接続されています。露出パッドはグラウンド接続のインダクタンスを減らすためPCボードに半田付けします。全てのグラウンド・ピン(GND、DGND、OGND)はLTC2351-12の下と同じグラウンド・プレーンに直接接続する必要があります。

TMS320C54xとのハードウェア・インタフェース

LTC2351-12はシリアル出力のADCで、そのインタフェースは高速デジタル信号プロセッサ(DSP)のバッファされた高速シリアル・ポート向けに設計されています。TMS320C54xを使ったこのインタフェースの例を図7に示します。

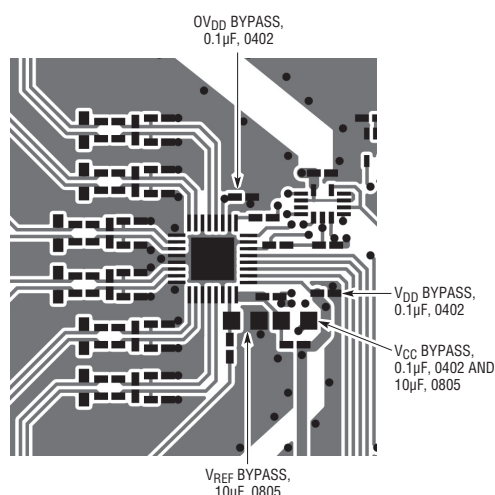


図6. 推奨レイアウト

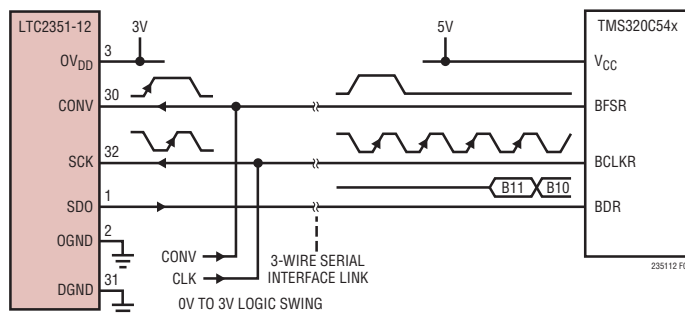


図7. TMS320C54xへのDSPシリアル・インタフェース

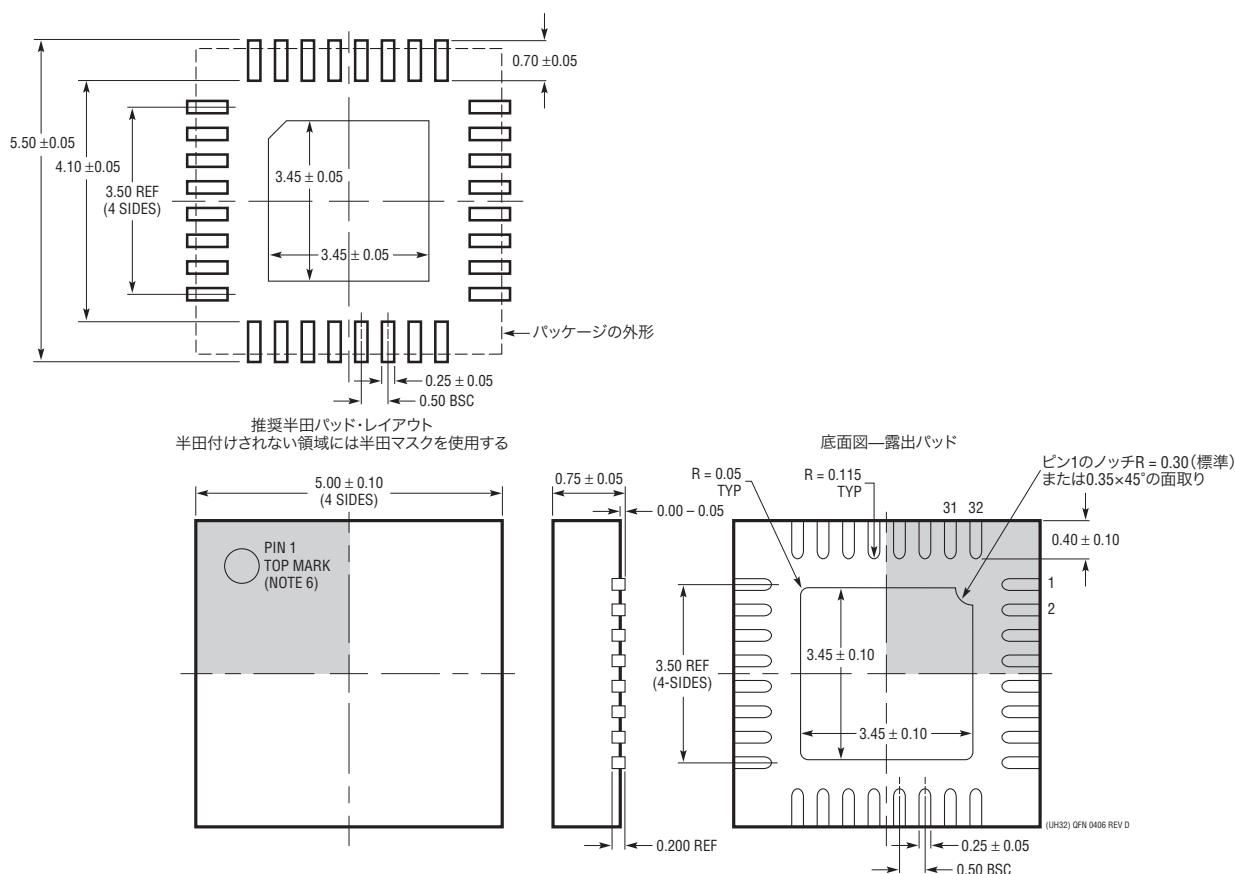
アプリケーション情報

TMS320C54xのバッファ付きシリアル・ポートはメモリの2kBセグメントに直接アクセスします。ADCのシリアル・データは、LTC2351-12の最大1.5Mspsの変換レートで、2つの交互に切り替わる1kBセグメントにリアルタイムで集めることができます。DSPのアセンブリ・コードにより、外部の立上りパルスを受け入れるようにBFSRピンのフレーム同期モードが設定され、外部の立上りエッジを使うクロックを受け入れるようにBCLKRピンのシリアル・クロックが設定されます。LTC2351-12への信号の劣化を防ぐため、LTC2351-12の近くにバッファ

を追加して、DSPへの長いトラックをドライブすることができます。標準的なシステム・ボードを横断するにはこの構成で適切ですが、非常に長い伝送ラインの特性インピーダンスを整合させるには、バッファ出力のソース抵抗とDSPの終端抵抗が必要になるかもしれません。SDOの伝送ラインを終端する必要がある場合は、まずその伝送路を2個の74ACxxゲートを使ってバッファします。DSPポートのTTLスレッシュホールドの入力は、LTC2351-12に使われる3Vの振幅に正しく応答します。

パッケージ

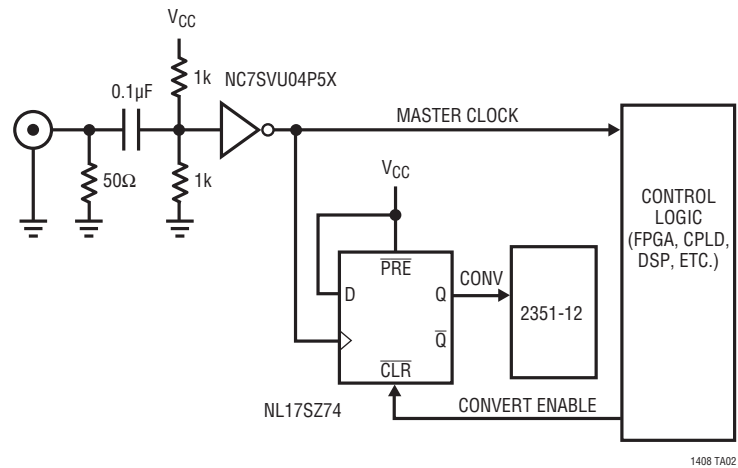
UHパッケージ
32ピン・プラスチックQFN (5mm×5mm)
(Reference LTC DWG # 05-08-1693)



LTC2351-12

標準的応用例

クロックの方形波生成/レベルシフト回路およびタイミング調節フリップ・フロップを使った、
RF正弦波発生器付き低ジッタ・クロック・タイミング



関連製品

製品番号	説明	注釈
ADCs		
LTC1402	12ビット、2.2MspsシリアルADC	5Vまたは±5V電源、4.096Vまたは±2.5Vのスパン
LTC1403/LTC1403A	12/14ビット、2.8MspsシリアルADC	3V、15mW、ユニポーラ入力、MSOPパッケージ
LTC1403-1/LTC1403A-1	12/14ビット、2.8MspsシリアルADC	3V、15mW、バイポーラ入力、MSOPパッケージ
LTC1405	12ビット、5MspsパラレルADC	5V、選択可能なスパン、115mW
LTC1407/LTC1407A	12/14ビット、3Msps同時サンプリングADC	3V、14mW、2チャンネルのユニポーラ入力範囲
LTC1407-1/LTC1407A-1	12/14ビット、3Msps同時サンプリングADC	3V、14mW、2チャンネルのバイポーラ入力範囲
LTC1411	14ビット、2.5MspsパラレルADC	5V、選択可能なスパン、SINAD: 80dB
LTC1412	12ビット、3MspsパラレルADC	±5V電源、±2.5Vスパン、SINAD: 72dB
LTC1420	12ビット、10MspsパラレルADC	5V、選択可能なスパン、SINAD: 72dB
LTC1608	16ビット、500kspsパラレルADC	±5V電源、±2.5Vスパン、SINAD: 90dB
LTC1609	16ビット、250kspsシリアルADC	5Vに構成設定可能なバイポーラ入力/ユニポーラ入力
LTC1864/LTC1865 LTC1864L/LTC1865L	16ビット、250ksps、1チャンネル/2チャンネルのシリアルADC	5Vまたは3V (Lバージョン)、マイクロパワー、MSOPパッケージ
DACs		
LTC1592	16ビット、シリアルSoftSpan™ I _{OUT} DAC	INL/DNL: ±1LSB、ソフトウェアで選択可能なスパン
LTC1666/LTC1667/ LTC1668	12/14/16ビット、50Msps DAC	SFDR: 87dB、セトリング時間: 20ns
リファレンス		
LT1460-2.5	マイクロパワー・シリーズの電圧リファレンス	初期精度: 0.10%、ドリフト: 10ppm
LT1461-2.5	高精度電圧リファレンス	初期精度: 0.04%、ドリフト: 3ppm
LT1790-2.5	マイクロパワー・シリーズ・リファレンス (SOT-23)	初期精度: 0.05%、ドリフト: 10ppm

SoftSpanはリニアテクノロジー社の商標です。

235112fa