

入力同相電圧範囲の広い オクタール、16ビット、200ksps 差動 SoftSpan A/D コンバータ

特長

- 各チャンネルのスループット: 200ksps
- 8つの同時サンプリング・チャンネル
- INL (最大): $\pm 1.25\text{LSB}$
- 欠落コードのない16ビットを保証
- 同相電圧範囲の広い差動入力
- チャンネルごとの SoftSpan 入力電圧レンジ:
 $\pm 4.096\text{V}$, $0\text{V} \sim 4.096\text{V}$, $\pm 2.048\text{V}$, $0\text{V} \sim 2.048\text{V}$
 $\pm 5\text{V}$, $0\text{V} \sim 5\text{V}$, $\pm 2.5\text{V}$, $0\text{V} \sim 2.5\text{V}$
- シングル・コンバージョンの SNR: 91dB (標準)
- THD: -113dB (標準, $f_{\text{IN}} = 2\text{kHz}$)
- CMRR: 102dB (標準, $f_{\text{IN}} = 200\text{Hz}$)
- レール・トゥ・レールの入力オーバードライブ耐性
- 125°C までの動作を保証
- リファレンスとバッファを内蔵 (4.096V)
- SPI CMOS (1.8V ~ 5V) と LVDS のシリアル I/O
- 内部変換クロック、サイクル待ち時間なし
- 電力損失: 81mW (標準)
- 48ピン (7mm x 7mm) QFN パッケージ

アプリケーション

- プログラマブル・ロジック・コントローラ
- 産業用プロセス制御
- 医療用画像処理
- 高速データ収集

概要

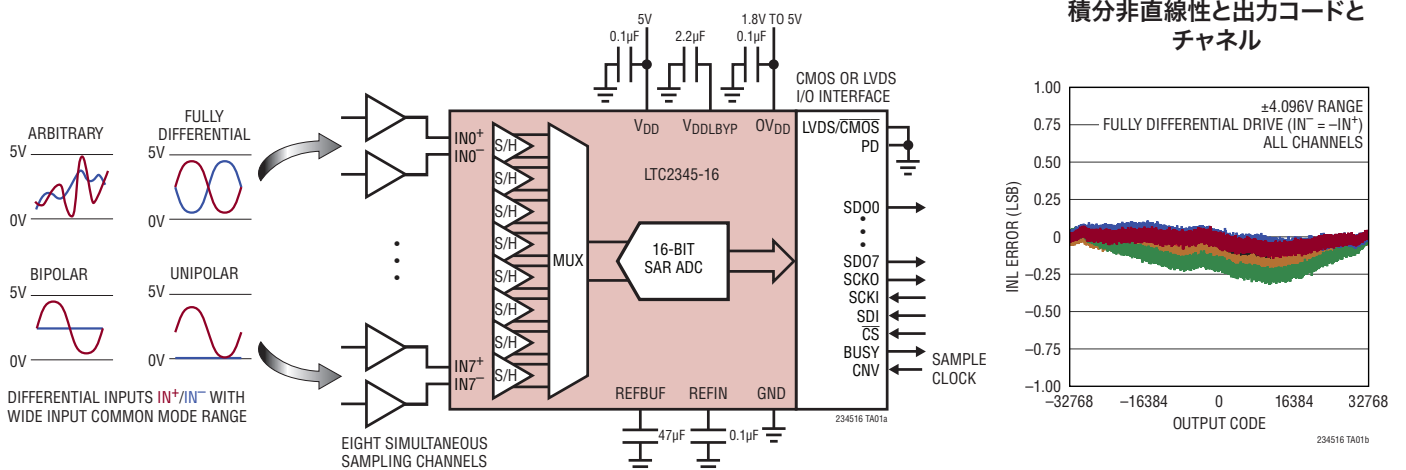
LTC[®]2345-16は、差動入力で入力同相電圧範囲の広い、16ビット、低ノイズ、8チャンネル、同時サンプリング逐次比較レジスタ (SAR) A/D コンバータです。5V 低電圧電源から動作でき、内蔵のリファレンスとバッファを使用できる、この SoftSpan[™] A/D コンバータの各チャンネルは、変換ごとに、 $\pm 4.096\text{V}$ 、 $0\text{V} \sim 4.096\text{V}$ 、 $\pm 2.048\text{V}$ 、または $0\text{V} \sim 2.048\text{V}$ の信号を入力できるよう、個別に設定できます。また、チャンネルを個別にディスエーブルして他のチャンネルのスループットを上げることがもできます。

LTC2345-16のアナログ入力は入力同相電圧範囲が広く CMRR が 102dB であり、さまざまな信号を A/D コンバータで直接デジタル化できるため、信号チェーンの設計を簡素化できます。このような入力信号の柔軟性と $\pm 1.25\text{LSB}$ の INL、欠落コードのない16ビットの分解能、91dB の SNR を有する LTC2345-16 は、広いダイナミック・レンジが要求されるさまざまな用途に最適です。

LTC2345-16には、ピンで選択可能な SPI CMOS (1.8V ~ 5V) と LVDS のシリアル・インタフェースが用意されています。CMOS モード時は使用する出力データ・レーン数を 1 ~ 8 個の間で調整できるため、バス幅とデータ・スループットを最適化できます。

LT、LT、LTC、LTM、Linear Technology および Linear のロゴはリニアテクノロジー社の登録商標です。SoftSpan はリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。7705765、7961132、8319673 を含む米国特許によって保護されています。その他にも出願中の特許があります。

標準的応用例



電气的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

記号	パラメータ	条件		最小値	標準値	最大値	単位
V_{IN+}	Absolute Input Range ($IN0^+$ to $IN7^+$)	(Note 6)	●	0		V_{DD}	V
V_{IN-}	Absolute Input Range ($IN0^-$ to $IN7^-$)	(Note 6)	●	0		V_{DD}	V
$V_{IN+} - V_{IN-}$	Input Differential Voltage Range	SoftSpan 7: $\pm V_{REFBUF}$ Range (Note 6)	●	$-V_{REFBUF}$		V_{REFBUF}	V
		SoftSpan 6: $\pm V_{REFBUF}/1.024$ Range (Note 6)	●	$-V_{REFBUF}/1.024$		$V_{REFBUF}/1.024$	V
		SoftSpan 5: 0V to V_{REFBUF} Range (Note 6)	●	0		V_{REFBUF}	V
		SoftSpan 4: 0V to $V_{REFBUF}/1.024$ Range (Note 6)	●	0		$V_{REFBUF}/1.024$	V
		SoftSpan 3: $\pm 0.5 \cdot V_{REFBUF}$ Range (Note 6)	●	$-0.5 \cdot V_{REFBUF}$		$0.5 \cdot V_{REFBUF}$	V
		SoftSpan 2: $\pm 0.5 \cdot V_{REFBUF}/1.024$ Range (Note 6)	●	$-0.5 \cdot V_{REFBUF}/1.024$		$0.5 \cdot V_{REFBUF}/1.024$	V
		SoftSpan 1: 0V to $0.5 \cdot V_{REFBUF}$ Range (Note 6)	●	0		$0.5 \cdot V_{REFBUF}$	V
V_{CM}	Input Common Mode Voltage Range	(Note 6)	●	0		V_{DD}	V
$V_{IN+} - V_{IN-}$	Input Differential Overdrive Tolerance	(Note 7)	●	$-V_{DD}$		V_{DD}	V
I_{IN}	Analog Input Leakage Current		●	-1		1	μA
C_{IN}	Analog Input Capacitance	Sample Mode			50		pF
		Hold Mode			10		pF
CMRR	Input Common Mode Rejection Ratio	$V_{IN+} = V_{IN-} = 3.6V_{P-P}$ 200Hz Sine	●	84	102		dB
V_{IHCNV}	CNV High Level Input Voltage		●	1.3			V
V_{ILCNV}	CNV Low Level Input Voltage		●			0.5	V
I_{INCNV}	CNV Input Current	$V_{IN} = 0V$ to V_{DD}	●	-10		10	μA

コンバータ特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 8)

記号	パラメータ	条件		最小値	標準値	最大値	単位
	Resolution		●	16			Bits
	No Missing Codes		●	16			Bits
	Transition Noise	SoftSpans 7 and 6: $\pm 4.096V$ and $\pm 4V$ Ranges			0.63		LSB _{RMS}
		SoftSpans 5 and 4: 0V to 4.096V and 0V to 4V Ranges			1.2		LSB _{RMS}
		SoftSpans 3 and 2: $\pm 2.048V$ and $\pm 2V$ Ranges			1.2		LSB _{RMS}
		SoftSpan 1: 0V to 2.048V Range			2.3		LSB _{RMS}
INL	Integral Linearity Error	(Note 9)	●	-1.25	± 0.50	1.25	LSB
DNL	Differential Linearity Error	(Note 10)	●	-0.9	± 0.20	0.9	LSB
ZSE	Zero-Scale Error	(Note 11)	●	-750	± 65	750	μV
	Zero-Scale Error Drift				± 2		$\mu\text{V}/^\circ\text{C}$
FSE	Full-Scale Error	(Note 11)	●	-0.13	± 0.025	0.13	%FS
	Full-Scale Error Drift				± 2.5		ppm/ $^\circ\text{C}$

ダイナミック精度

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 8、12)

記号	パラメータ	条件		最小値	標準値	最大値	単位
SINAD	Signal-to-(Noise + Distortion) Ratio	SoftSpans 7 and 6: $\pm 4.096\text{V}$ and $\pm 4\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	87.2	91.0		dB
		SoftSpans 5 and 4: 0V to 4.096V and 0V to 4V Ranges, $f_{IN} = 2\text{kHz}$	●	81.3	85.6		dB
		SoftSpans 3 and 2: $\pm 2.048\text{V}$ and $\pm 2\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	81.4	85.8		dB
		SoftSpan 1: 0V to 2.048V Range, $f_{IN} = 2\text{kHz}$	●	75.7	80.0		dB
SNR	Signal-to-Noise Ratio	SoftSpans 7 and 6: $\pm 4.096\text{V}$ and $\pm 4\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	87.3	91.0		dB
		SoftSpans 5 and 4: 0V to 4.096V and 0V to 4V Ranges, $f_{IN} = 2\text{kHz}$	●	81.5	85.6		dB
		SoftSpans 3 and 2: $\pm 2.048\text{V}$ and $\pm 2\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	81.6	85.8		dB
		SoftSpan 1: 0V to 2.048V Range, $f_{IN} = 2\text{kHz}$	●	75.8	80.0		dB
THD	Total Harmonic Distortion	SoftSpans 7 and 6: $\pm 4.096\text{V}$ and $\pm 4\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●		-113	-99	dB
		SoftSpans 5 and 4: 0V to 4.096V and 0V to 4V Ranges, $f_{IN} = 2\text{kHz}$	●		-111	-95	dB
		SoftSpans 3 and 2: $\pm 2.048\text{V}$ and $\pm 2\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●		-110	-96	dB
		SoftSpan 1: 0V to 2.048V Range, $f_{IN} = 2\text{kHz}$	●		-108	-95	dB
SFDR	Spurious Free Dynamic Range	SoftSpans 7 and 6: $\pm 4.096\text{V}$ and $\pm 4\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	99	114		dB
		SoftSpans 5 and 4: 0V to 4.096V and 0V to 4V Ranges, $f_{IN} = 2\text{kHz}$	●	95	113		dB
		SoftSpans 3 and 2: ± 2.048 and $\pm 2\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	96	112		dB
		SoftSpan 1: 0V to 2.048V Range, $f_{IN} = 2\text{kHz}$	●	96	109		dB
	Channel-to-Channel Crosstalk	One Channel Converting $3.6\text{V}_{\text{P-P}}$ 200Hz Sine in $\pm 2.048\text{V}$ Range, Crosstalk to All Other Channels			-107		dB
	-3dB Input Bandwidth			31			MHz
	Aperture Delay			1			ns
	Aperture Delay Matching			150			ps
	Aperture Jitter			3			ps _{RMS}
	Transient Response	Full-Scale Step, 0.005% Settling			200		ns

内部リファレンスの特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 8)

記号	パラメータ	条件		最小値	標準値	最大値	単位
V_{REFIN}	Internal Reference Output Voltage			2.043	2.048	2.053	V
	Internal Reference Temperature Coefficient	(Note 13)	●		5	20	ppm/ $^\circ\text{C}$
	Internal Reference Line Regulation	$V_{\text{DD}} = 4.75\text{V}$ to 5.25V			0.1		mV/V
	Internal Reference Output Impedance				20		k Ω
V_{REFIN}	REFIN Voltage Range	REFIN Overdriven (Note 6)		1.25		2.2	V

リファレンス・バッファ特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 8)。

記号	パラメータ	条件	最小値	標準値	最大値	単位
V_{REFBUF}	Reference Buffer Output Voltage	REFIN Overdriven, $V_{\text{REFIN}} = 2.048\text{V}$	● 4.091	4.096	4.101	V
	REFBUF Voltage Range	REFBUF Overdriven (Notes 6, 14)	● 2.5		5	V
	REFBUF Input Impedance	$V_{\text{REFIN}} = 0\text{V}$, Buffer Disabled		13		k Ω
I_{REFBUF}	REFBUF Load Current	$V_{\text{REFBUF}} = 5\text{V}$, 8 Channels Enabled (Notes 14, 15) $V_{\text{REFBUF}} = 5\text{V}$, Acquisition Mode (Note 14)	●	1.5 0.39	1.9	mA mA

デジタル入力とデジタル出力

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 8)

記号	パラメータ	条件	最小値	標準値	最大値	単位
CMOS デジタル入力とデジタル出力						
V_{IH}	High Level Input Voltage		● $0.8 \cdot OV_{\text{DD}}$			V
V_{IL}	Low Level Input Voltage		●		$0.2 \cdot OV_{\text{DD}}$	V
I_{IN}	Digital Input Current	$V_{\text{IN}} = 0\text{V}$ to OV_{DD}	● -10		10	μA
C_{IN}	Digital Input Capacitance			5		pF
V_{OH}	High Level Output Voltage	$I_{\text{OUT}} = -500\mu\text{A}$	● $OV_{\text{DD}} - 0.2$			V
V_{OL}	Low Level Output Voltage	$I_{\text{OUT}} = 500\mu\text{A}$	●		0.2	V
I_{OZ}	Hi-Z Output Leakage Current	$V_{\text{OUT}} = 0\text{V}$ to OV_{DD}	● -10		10	μA
I_{SOURCE}	Output Source Current	$V_{\text{OUT}} = 0\text{V}$		-50		mA
I_{SINK}	Output Sink Current	$V_{\text{OUT}} = OV_{\text{DD}}$		50		mA
LVDS デジタル入力とデジタル出力						
V_{ID}	Differential Input Voltage		● 200	350	600	mV
R_{ID}	On-Chip Input Termination Resistance	$\overline{\text{CS}} = 0\text{V}$, $V_{\text{ICM}} = 1.2\text{V}$ $\overline{\text{CS}} = OV_{\text{DD}}$	● 80	106 10	130	Ω M Ω
V_{ICM}	Common-Mode Input Voltage		● 0.3	1.2	2.2	V
I_{ICM}	Common-Mode Input Current	$V_{\text{IN}+} = V_{\text{IN}-} = 0\text{V}$ to OV_{DD}	● -10		10	μA
V_{OD}	Differential Output Voltage	$R_{\text{L}} = 100\Omega$ Differential Termination	● 275	350	425	mV
V_{OCM}	Common-Mode Output Voltage	$R_{\text{L}} = 100\Omega$ Differential Termination	● 1.1	1.2	1.3	V
I_{OZ}	Hi-Z Output Leakage Current	$V_{\text{OUT}} = 0\text{V}$ to OV_{DD}	● -10		10	μA

LTC2345-16

電源要件

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 8)

記号	パラメータ	条件	最小値	標準値	最大値	単位
CMOS I/O Mode						
V_{DD}	Supply Voltage		● 4.75	5.00	5.25	V
OV_{DD}	Supply Voltage		● 1.71		5.25	V
I_{VDD}	Supply Current	200ksps Sample Rate, 8 Channels Enabled	●	15.3	17.6	mA
		200ksps Sample Rate, 8 Channels Enabled, $V_{REFBUF} = 5\text{V}$ (Note 14)	●	13.7	15.8	mA
		Acquisition Mode	●	1.3	2.1	mA
		Power Down Mode (C-Grade and I-Grade)	●	65	225	μA
		Power Down Mode (H-Grade)	●	65	500	μA
I_{OVDD}	Supply Current	200ksps Sample Rate, 8 Channels Enabled ($C_L = 25\text{pF}$)	●	1.8	2.6	mA
		Acquisition Mode	●	1	20	μA
		Power Down Mode	●	1	20	μA
P_D	Power Dissipation	200ksps Sample Rate, 8 Channels Enabled	●	81	95	mW
		Acquisition Mode	●	6.5	11	mW
		Power Down Mode (C-Grade and I-Grade)	●	0.33	1.2	mW
		Power Down Mode (H-Grade)	●	0.33	2.6	mW

LVDS I/O Mode

記号	パラメータ	条件	最小値	標準値	最大値	単位
V_{DD}	Supply Voltage		● 4.75	5.00	5.25	V
OV_{DD}	Supply Voltage		● 2.375		5.25	V
I_{VDD}	Supply Current	200ksps Sample Rate, 8 Channels Enabled	●	17.9	20.6	mA
		200ksps Sample Rate, 8 Channels Enabled, $V_{REFBUF} = 5\text{V}$ (Note 14)	●	16.2	18.6	mA
		Acquisition Mode	●	2.8	3.8	mA
		Power Down Mode (C-Grade and I-Grade)	●	65	225	μA
		Power Down Mode (H-Grade)	●	65	500	μA
I_{OVDD}	Supply Current	200ksps Sample Rate, 8 Channels Enabled ($R_L = 100\Omega$)	●	7	8.5	mA
		Acquisition or ($R_L = 100\Omega$)	●	7	8.0	mA
		Power Down Mode	●	1	20	μA
P_D	Power Dissipation	200ksps Sample Rate, 8 Channels Enabled	●	107	125	mW
		Acquisition Mode	●	32	39	mW
		Power Down Mode (C-Grade and I-Grade)	●	0.33	1.2	mW
		Power Down Mode (H-Grade)	●	0.33	2.6	mW

A/Dコンバータのタイミング特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 8)

記号	パラメータ	条件	最小値	標準値	最大値	単位
f_{SMPL}	Maximum Sampling Frequency	8 Channels Enabled	●		200	ksps
		7 Channels Enabled	●		225	ksps
		6 Channels Enabled	●		266	ksps
		5 Channels Enabled	●		300	ksps
		4 Channels Enabled	●		375	ksps
		3 Channels Enabled	●		450	ksps
		2 Channels Enabled	●		625	ksps
		1 Channel Enabled	●		1000	ksps
t_{CYC}	Time Between Conversions	8 Channels Enabled, $f_{SMPL} = 200\text{ksps}$	●	5000		ns
		7 Channels Enabled, $f_{SMPL} = 225\text{ksps}$	●	4444		ns
		6 Channels Enabled, $f_{SMPL} = 266\text{ksps}$	●	3750		ns
		5 Channels Enabled, $f_{SMPL} = 300\text{ksps}$	●	3333		ns
		4 Channels Enabled, $f_{SMPL} = 375\text{ksps}$	●	2666		ns
		3 Channels Enabled, $f_{SMPL} = 450\text{ksps}$	●	2222		ns
		2 Channels Enabled, $f_{SMPL} = 625\text{ksps}$	●	1600		ns
		1 Channel Enabled, $f_{SMPL} = 1000\text{ksps}$	●	1000		ns

234516f

A/Dコンバータのタイミング特性

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: すべての電圧値はグラウンドを基準にしている。

Note 3: V_{DDLBP} は内蔵電圧レギュレータの出力であり、「ピン機能」のセクションに示すようにこのピンをGNDにバイパスする場合は必ず2.2 μ Fのセラミック・コンデンサに接続すること。いかなる外部回路にも、このピンを接続しないでください。

Note 4: これらのピンの電圧をグラウンドより低くするか、 V_{DD} ピンまたは $0V_{DD}$ ピンの電圧より高くすると、内部のダイオードによってクランプされる。この製品は、これらのピンの電圧がグラウンドより低くなるか、 V_{DD} ピンまたは $0V_{DD}$ ピンの電圧より高くなった場合でも、ラッチアップを生じることなく最大100mAまでの入力電流に対応できる。

Note 5: 注記がない限り、 $V_{DD} = 5V$ 。

Note 6: 推奨動作条件。

Note 7: いずれかのチャンネルでこれらの限界値を超えた場合は、他のチャンネルの変換結果が信頼できなくなる可能性があります。デバイスの信頼性に関わるピンの電圧限界値については、絶対最大定格の項を参照。

Note 8: 注記がない限り、 $V_{DD} = 5V$ 、 $0V_{DD} = 2.5V$ 、 $f_{SAMPL} = 200$ ksps、内部リファレンスとバッファ、SoftSpanレンジ7と6では完全差動入力信号駆動、SoftSpanレンジ3と2では双極性入力信号駆動、SoftSpanレンジ5、4、1では単極性入力信号駆動。

Note 9: 積分非直線性は、実際の伝達曲線の端点を通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 10: 設計によって保証されており、テストされない。

Note 11: 双極性 SoftSpanレンジ7、6、3、2の場合の双極性ゼロスケール誤差は、出力コードが0000 0000 0000 0000と1111 1111 1111 1111の間を往復しているときに、-0.5LSBから測定されたオフセット電圧である。これらのSoftSpanレンジの場合のフルスケール誤差は、最初と最後のコード遷移の理想値からのワーストケースの偏差であり、オフセット誤差の影響を含む。単極性 SoftSpanレンジ5、4、1の場合のゼロスケール誤差は、出力コードが0000 0000 0000 0000と0000 0000 0000 0001の間を往復しているときに、0.5LSBから測定されたオフセット電圧である。これらのSoftSpanレンジの場合のフルスケール誤差は、最後のコード遷移の理想値からのワーストケースの偏差であり、オフセット誤差の影響を含む。

Note 12: dB単位で示すすべての仕様値は、対応するSoftSpan入力レンジのクロストークを除去した分のフルスケール値である。クロストークを含む値は、クロストーク含有信号振幅という。

Note 13: 温度係数は出力電圧の最大変化を規定温度範囲で割って計算される。

Note 14: REFBUFをオーバードライブする場合は、REFIN = 0Vに設定して内部リファレンス・バッファをディスエーブルしなければならない。

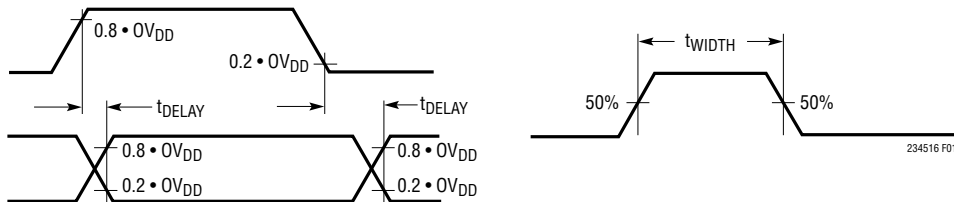
Note 15: I_{REFBUF} は、サンプリング・レートとアクティブなチャンネルの数に比例して変化する。

Note 16: パラメータは $0V_{DD} = 1.71V$ 、 $0V_{DD} = 2.5V$ 、および $0V_{DD} = 5.25V$ でテストされ、保証されている。

Note 17: t_{SCK1} の周期が最小10nsであるため、立ち上がりで捕捉する場合は最大100MHzのシフト・クロック周波数が可能である。

Note 18: LVDS差動入力ペアの場合、 $V_{ICM} = 1.2V$ 、 $V_{ID} = 350$ mV。

CMOSのタイミング特性



LVDSのタイミング特性(差動)

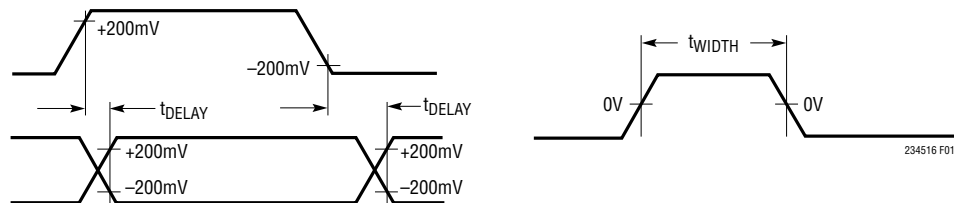
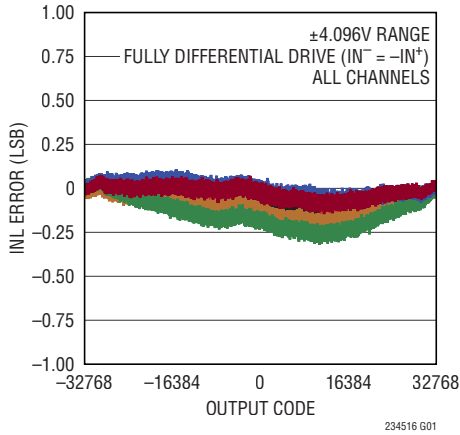


図1. タイミング仕様の電圧レベル

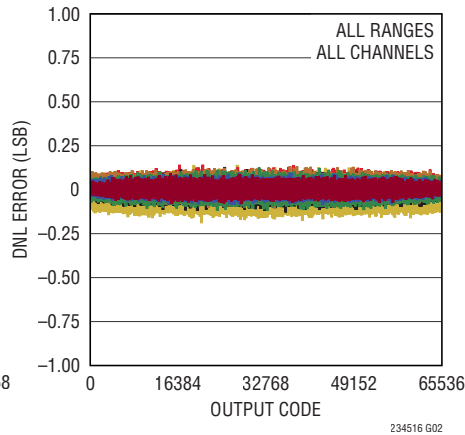
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $0V_{DD} = 2.5\text{V}$ 、内部リファレンスとバッファ ($V_{REFBUF} = 4.096\text{V}$)、 $f_{SAMPL} = 200\text{kpsps}$ 。

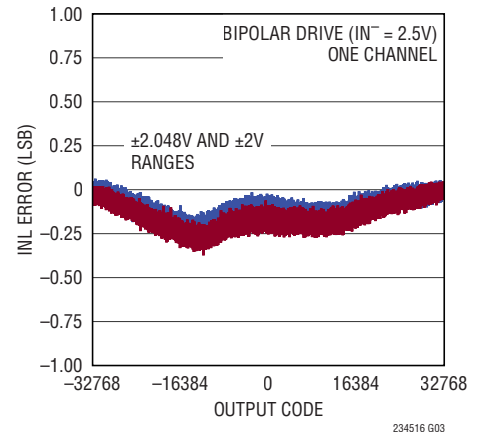
積分非直線性と出力コードとチャンネル



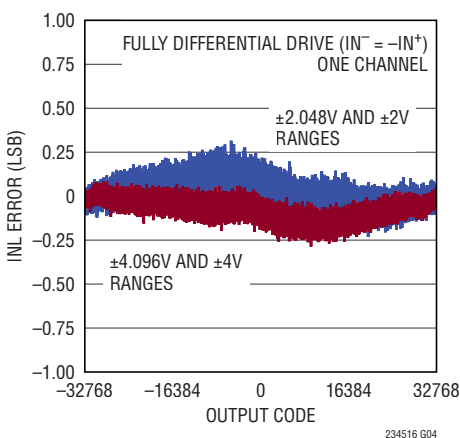
差分非直線性と出力コードとチャンネル



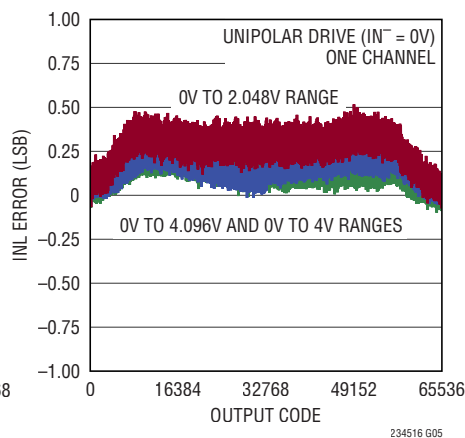
積分非直線性と出力コードとレンジ



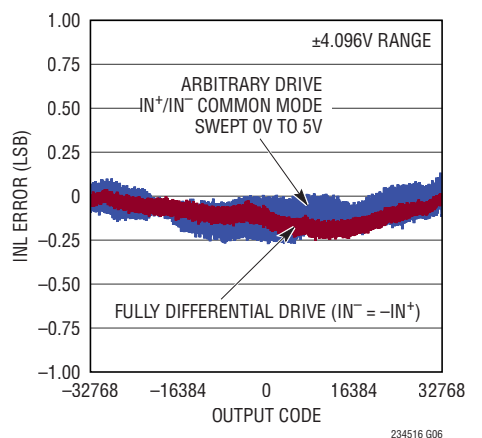
積分非直線性と出力コードとレンジ



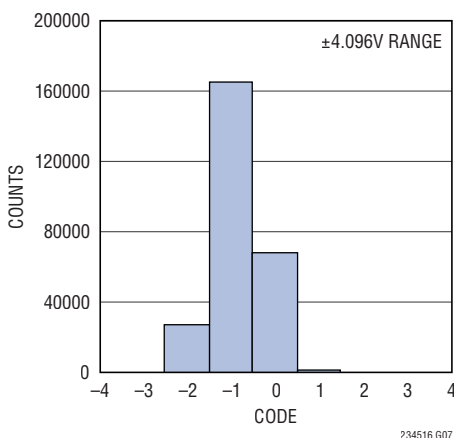
積分非直線性と出力コードとレンジ



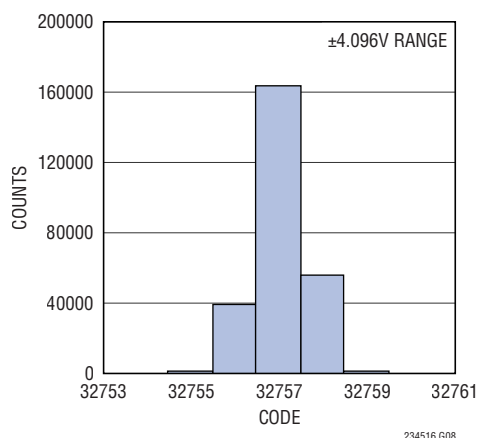
積分非直線性と出力コード



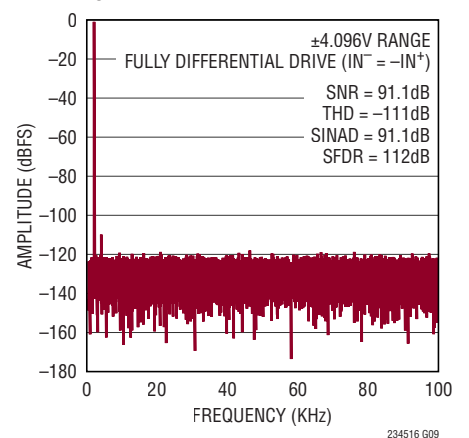
DC ヒストグラム (ゼロスケール)



DC ヒストグラム (フルスケール付近)



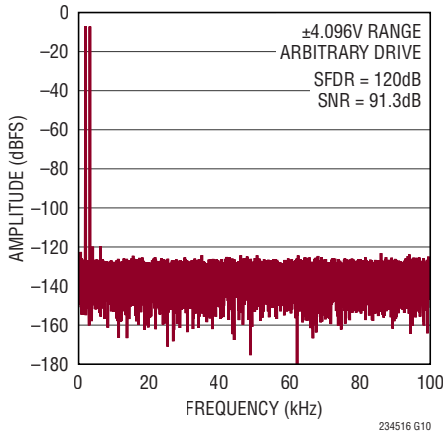
32k ポイントの FFT、 $f_{SAMPL} = 200\text{kHz}$ 、 $f_{IN} = 2\text{kHz}$



標準的性能特性

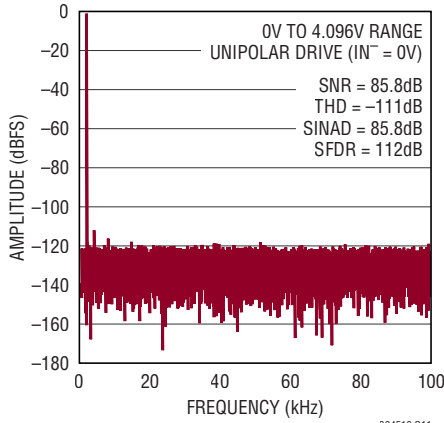
注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、内部リファレンスとバッファ ($V_{REFBUF} = 4.096\text{V}$)、 $f_{SAMPL} = 200\text{ksps}$ 。

32kポイントの任意ツートーン FFT
 $f_{SAMPL} = 200\text{kHz}$ 、 $IN^+ = -7\text{dBFS}$ 2kHz
 正弦波、 $IN^- = -7\text{dBFS}$ 3.1kHz 正弦波



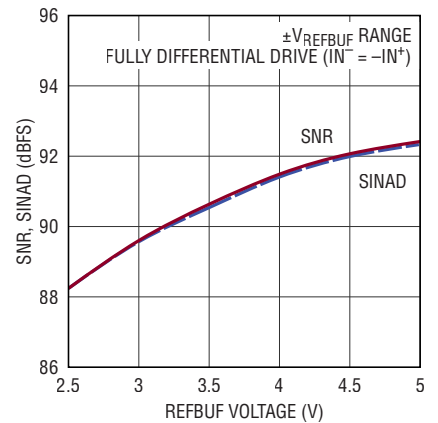
234516 G10

32kポイントのFFT $f_{SAMPL} = 200\text{kHz}$ 、
 $f_{IN} = 2\text{kHz}$



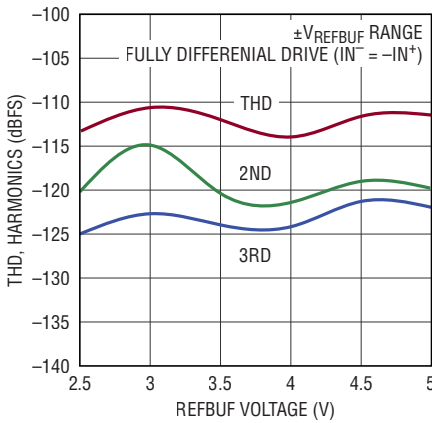
234516 G11

SNRおよびSINADと V_{REFBUF} 、
 $f_{IN} = 2\text{kHz}$



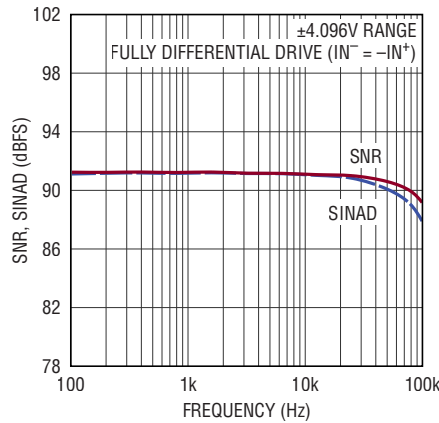
234516 G12

THDおよび高調波と V_{REFBUF} 、
 $f_{IN} = 2\text{kHz}$



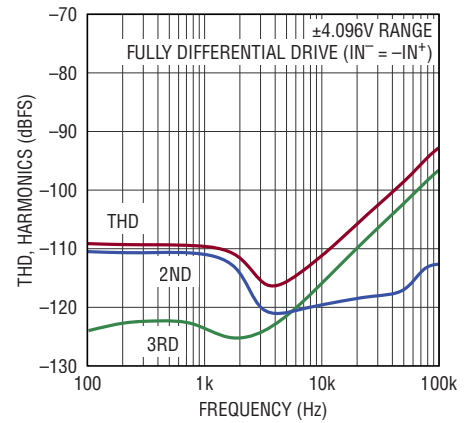
234516 G13

SNRおよびSINADと入力周波数



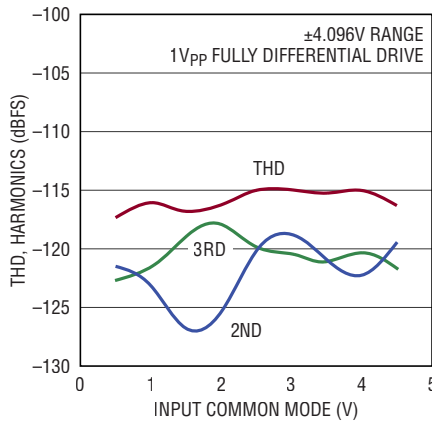
234516 G14

THDおよび高調波と入力周波数



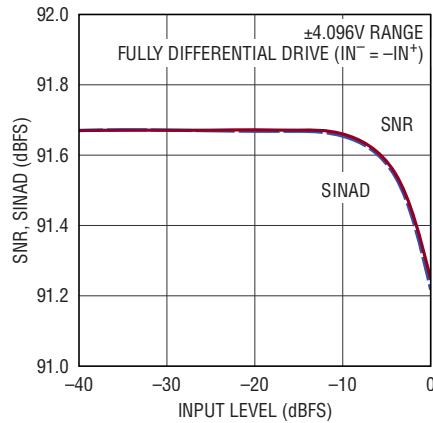
234516 G15

THDおよび高調波と入力同相電圧、
 $f_{IN} = 2\text{kHz}$



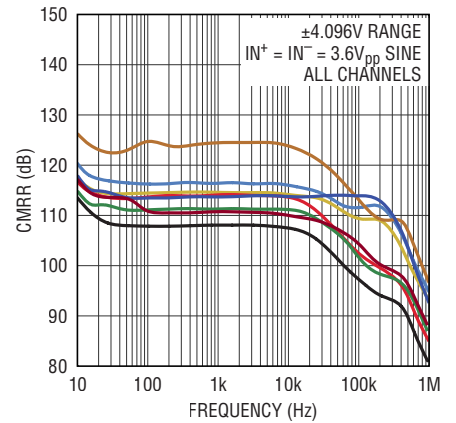
234516 G16

SNRおよびSINADと入力レベル、
 $f_{IN} = 2\text{kHz}$



234516 G17

CMRRと入力周波数および
 チャンネル

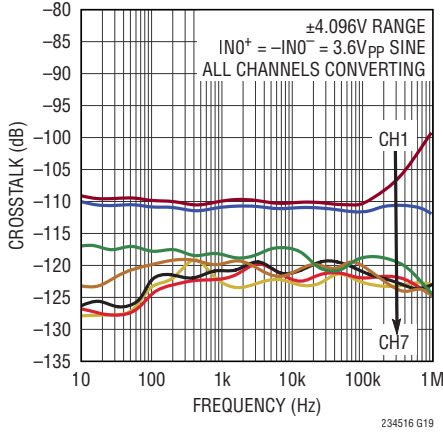


234516 G18

標準的性能特性

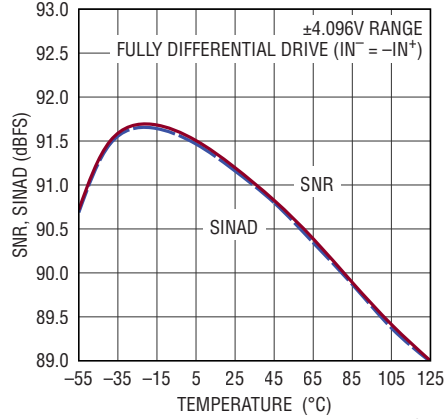
注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、内部リファレンスとバッファ ($V_{REFBUF} = 4.096\text{V}$)、 $f_{SAMPL} = 200\text{ksps}$ 。

クロストークと入力周波数およびチャンネル



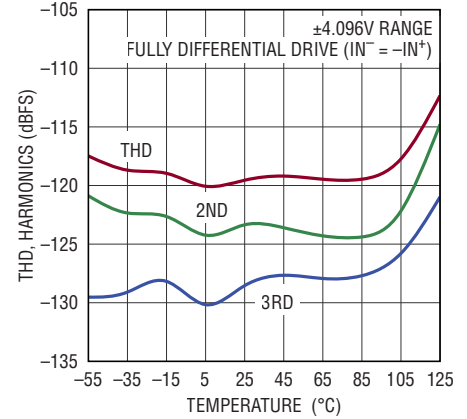
234516 G19

SNR および SINAD と温度、 $f_{IN} = 2\text{kHz}$



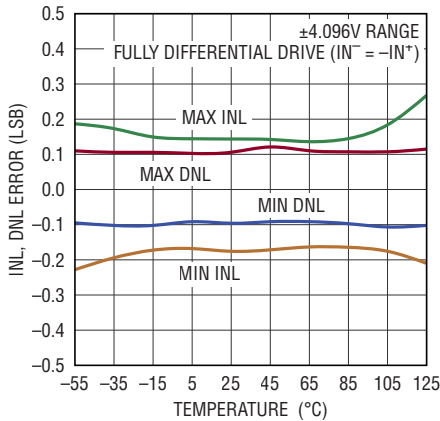
234516 G20

THD および高調波と温度、 $f_{IN} = 2\text{kHz}$



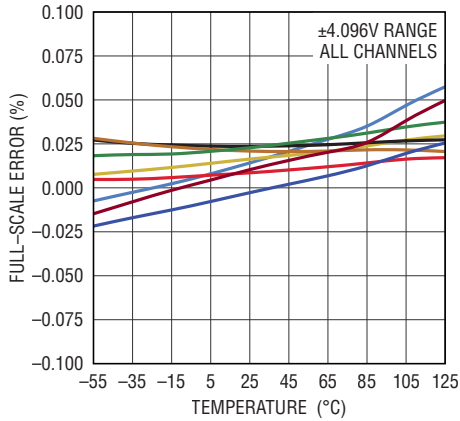
234516 G21

INL、DNL と温度



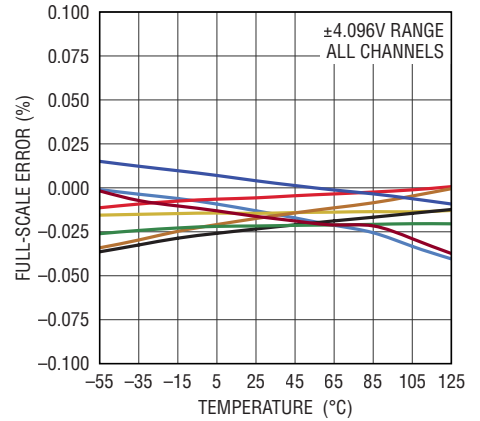
234516 G22

正のフルスケール誤差と温度およびチャンネル



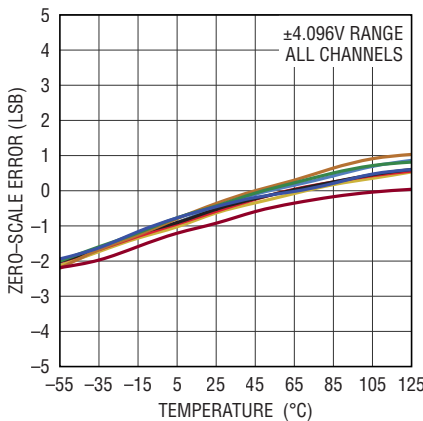
234516 G23

負のフルスケール誤差と温度およびチャンネル



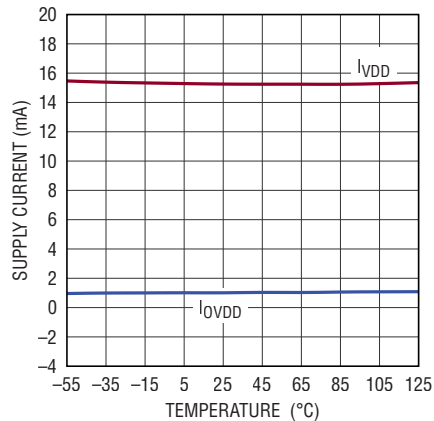
234516 G24

ゼロスケール誤差と温度およびチャンネル



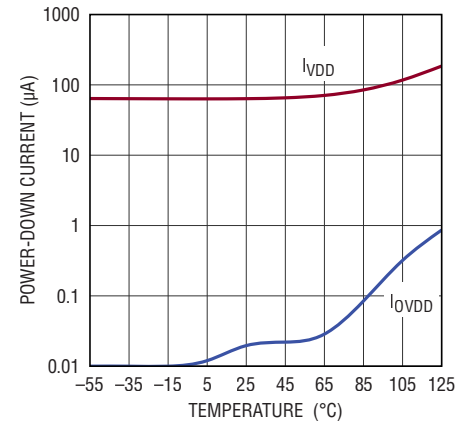
234516 G25

電源電流と温度



234516 G26

パワーダウン時電流と温度



234516 G27

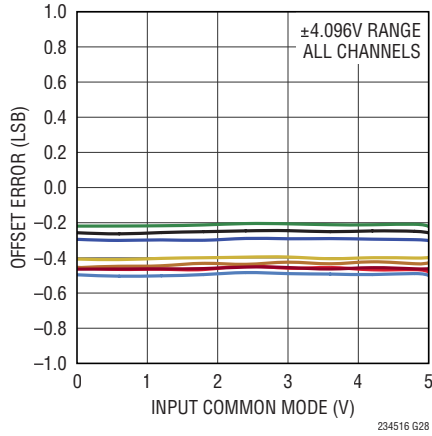
234516f

LTC2345-16

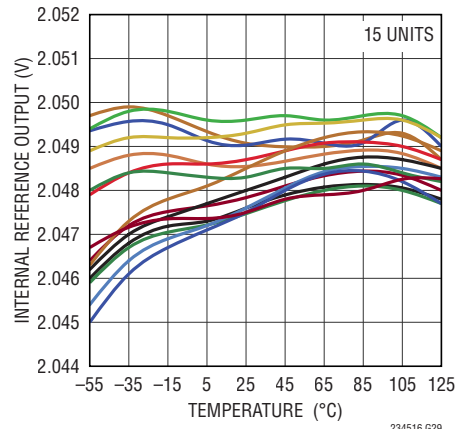
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、内部リファレンスとバッファ ($V_{REFBUF} = 4.096\text{V}$)、 $f_{SAMPL} = 200\text{ksps}$ 。

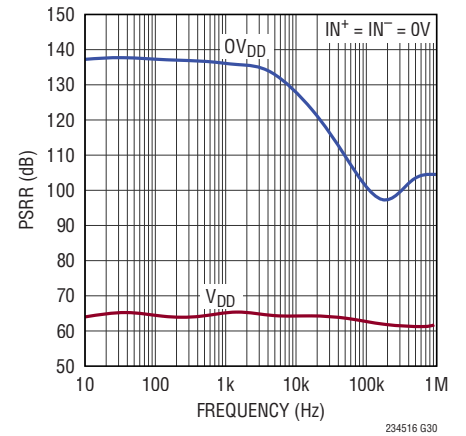
オフセット誤差と入力同相電圧
およびチャンネル



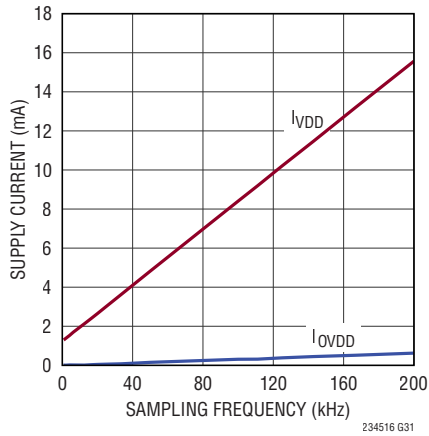
内部リファレンス出力と温度



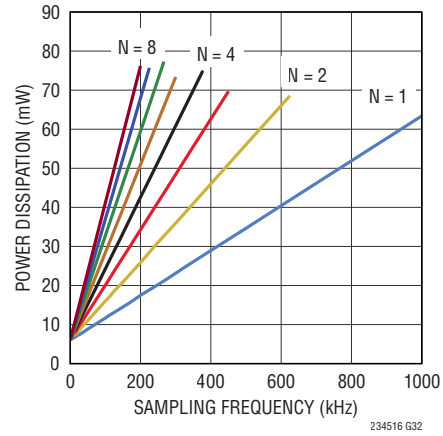
PSRRと周波数



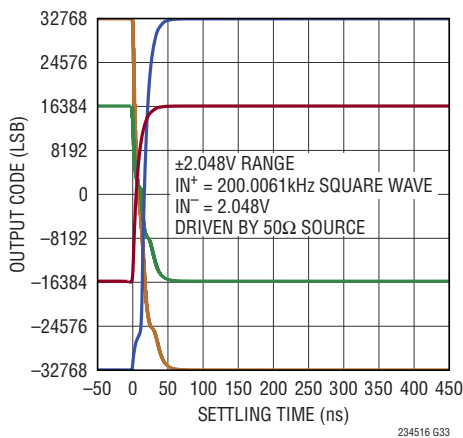
電源電流とサンプリング・レート



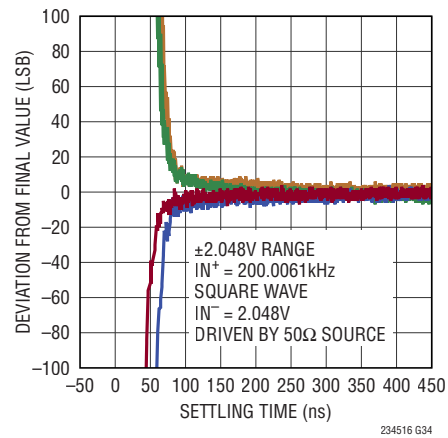
電力損失とサンプリング・レートおよび
イネーブルされているチャンネル数 N



ステップ応答
(大信号セトリング時間)



ステップ応答
(ファイン・セトリング時間)



234516f

ピン機能

すべてのデジタルI/Oモードで同じピン

IN0⁺ ~ IN7⁺, IN0⁻ ~ IN7⁻ (ピン1、2、3、4、5、6、7、8、9、10、11、12、13、14、47、48) : 正と負のアナログ入力、チャンネル0~7。コンバータはすべてのチャンネルの ($V_{IN+} - V_{IN-}$) を同時にサンプリングし、デジタル化します。これらの入力は、入力同相電圧範囲が広く ($0V \leq V_{CM} \leq V_{DD}$)、同相信号除去比が高いため、さまざまな信号の範囲に対応できます。フルスケール入力範囲は、チャンネルの SoftSpan 設定により決まります。

GND (ピン15、16、17、18、20、30、41、44、45、46、49) : グランド。すべてのGNDピンを、切れ目のないグランド・プレーンに接続してください。

REFIN (ピン19) : バンドギャップ・リファレンス出力/リファレンス・バッファ入力。内蔵のバンドギャップ・リファレンスはこのピンに公称2.048Vを出力します。内部リファレンス・バッファは、 V_{REFIN} をコンバータのマスタ・リファレンス電圧 $V_{REFBUF} = 2 \cdot V_{REFIN}$ まで増幅してREFBUFピンに出力します。内部リファレンスを使用する場合は、バンドギャップ出力ノイズを除去するため、0.1 μ Fのセラミック・コンデンサを使用してREFINをピンの近くでGND (ピン20) にバイパスします。さらに高い精度が必要な場合は、外部リファレンスによって1.25V~2.2Vの範囲でREFINをオーバードライブします。

REFBUF (ピン21) : 内部リファレンス・バッファの出力。内部リファレンス・バッファは、 V_{REFIN} を増幅してコンバータのマスタ・リファレンス電圧 $V_{REFBUF} = 2 \cdot V_{REFIN}$ をこのピンに出力します。内部バンドギャップ・リファレンスを使用する場合は、このピンの公称電圧は4.096Vです。REFBUFは、47 μ Fのセラミック・コンデンサを使用してピンの近くでGND (ピン20) にバイパスします。内部リファレンス・バッファをディスエーブルするには、REFINのバッファ入力をグランド接続します。バッファをディスエーブルする場合は、外部リファレンス電圧を使用して2.5V~5Vの範囲でREFBUFをオーバードライブします。内部リファレンス・バッファを使用する場合は、REFBUFに接続されるすべての外部回路の負荷を10 μ A未満に制限してください。外部回路への V_{REFBUF} は、高入力インピーダンス・アンプを使用してバッファすることを推奨します。

PD (ピン22) : パワーダウン入力。このピンが“H”になるとLTC2345-16はパワーダウンされ、その後の変換要求は無視されます。変換中にこの状態になった場合は、変換が完了した時点でデバイスがパワーダウン・モードになります。変換が行われていない間にこのピンを2回“H”にすると、パワーオン・リセット時と同様な内部グローバル・リセットが開始されます。ロジック・レベルは OV_{DD} によって決まります。

LVDS/CMOS (ピン23) : I/Oモードの選択。LVDS I/Oモードを選択する場合はこのピンを OV_{DD} に接続し、CMOS I/Oモードを選択する場合はこのピンを接地します。ロジック・レベルは OV_{DD} によって決まります。

CNV (ピン24) : 変換開始入力。このピンの立ち上がりエッジで、内部のサンプル・アンド・ホールド回路がホールド・モードになり、新たに変換が開始されます。CNVは \overline{CS} でゲート制御されていないため、シリアルI/Oバスの状態に関係なく変換を開始できます。

BUSY (ピン38) : ビジー出力。BUSY信号は、現在変換処理中であることを示します。このピンは各変換の開始時に“L”から“H”に遷移し、変換が完了するまで“H”のままとなります。ロジック・レベルは OV_{DD} によって決まります。

V_{DDL}BYP (ピン40) : 2.5Vの内部レギュレータのバイパス・ピン。このピンの電圧は、内部レギュレータを介して V_{DD} から生成されます。このピンは、2.2 μ Fのセラミック・コンデンサを使用してピンの近くでGNDにバイパスする必要があります。いかなる外部回路にも、このピンを接続しないでください。

V_{DD} (ピン42、43) : 5V電源。 V_{DD} の範囲は4.75V~5.25Vです。ピン42と43を接続し、共有の0.1 μ Fのセラミック・コンデンサを使用して、 V_{DD} システムをピンに近い位置でGNDにバイパスします。

ピン機能

CMOS I/O モード

SD00～SD07 (ピン 25、26、27、28、33、34、35、および 36) : CMOS シリアル・データ出力、チャンネル 0～7。SCKI の各立ち上がりエッジで、最新の変換結果とチャンネル設定情報が SDO ピンに出力されます。出力データの形式については、「デジタル・インタフェース」の項を参照してください。使用しない SDO 出力ピンには何も接続しないでください。ロジック・レベルは OV_{DD} によって決まります。

SCKI (ピン 29) : CMOS シリアル・クロック入力。SCKI は、シリアル I/O クロックで駆動してください。SCKI の立ち上がりエッジで SDI のシリアル・データがラッチされ、シリアル・データが SDO0～SDO7 に出力されます。標準的な SPI バス動作の場合は、SCKI の立ち上がりエッジでレシーバの出力データを捕捉してください。SCKI は、“H”でも“L”でもアイドル状態にできます。ロジック・レベルは OV_{DD} によって決まります。

OV_{DD} (ピン 31) : I/O インタフェースの電源。CMOS I/O モード時、 OV_{DD} の範囲は 1.71V～5.25V です。 OV_{DD} は、0.1 μ F のセラミック・コンデンサを使用してピンの近くで GND (ピン 30) にバイパスします。

SCKO (ピン 32) : CMOS シリアル・クロック出力。SCKI の立ち上がりエッジは、SDO0～SDO7 のシリアル出力データ・ストリームにスキュー・マッチングされる SCKO の遷移をトリガします。その結果、SCKO の周波数は SCK の 1/2 になります。SCKO の立ち上がりエッジと立ち下がりエッジを使用すると、レシーバ (FPGA) の SDO データを 2 倍のデータ・レート (DDR) で捕捉できます。標準的な SPI バス動作の場合は、SCKO は使用せず、未接続のままにしておいてください。SCKO は、BUSY の立ち下がりエッジで強制的に“L”になります。ロジック・レベルは OV_{DD} によって決まります。

SDI (ピン 37) : CMOS シリアル・データ入力。このピンは、SCKI の立ち上がりエッジでラッチされた、必要に応じた 24 ビットの SoftSpan 設定ワード (表 1a を参照) で駆動してください。すべてのチャンネルを SoftSpan 7 のみで動作するように設定する場合は、SDI を OV_{DD} に接続します。ロジック・レベルは OV_{DD} によって決まります。

\overline{CS} (ピン 39) : チップ・セレクト入力。シリアル・データ I/O バスは \overline{CS} ピンが“L”になるとイネーブルされ、 \overline{CS} ピンが“H”になるとディスエーブルされ高インピーダンスになります。 \overline{CS} は、外部シフト・クロック SCKI をゲート制御することもできます。ロジック・レベルは OV_{DD} によって決まります。

LVDS I/O モード

SD00、SD07、SDI (ピン 25、36、37) : CMOS シリアル・データの入出力。LVDS I/O モード時、これらのピンは高インピーダンスになります。

SDI⁺、SDI⁻ (ピン 26、27) : LVDS の正負のシリアル・データ入力。SDI⁺/SDI⁻ は、SCKI⁺/SCKI⁻ の立ち上がりエッジと立ち下がりエッジの両方でラッチされた、必要に応じた 24 ビットの SoftSpan 設定ワード (表 1a を参照) で差動駆動してください。SDI⁺/SDI⁻ 入力のペアは、 $\overline{CS} = 0$ のときは 100 Ω の差動抵抗で内部的に終端されます。

SCKI⁺、SCKI⁻ (ピン 28、29) : LVDS の正負のシリアル・クロック入力。SCKI⁺/SCKI⁻ は、シリアル I/O クロックで差動駆動してください。SCKI⁺/SCKI⁻ の立ち上がりエッジと立ち下がりエッジで SDI⁺/SDI⁻ のシリアル・データがラッチされ、シリアル・データが SDO⁺/SDO⁻ に出力されます。 \overline{CS} の遷移時などには、SCKI⁺/SCKI⁻ を“L”でアイドル状態に保持してください。SCKI⁺/SCKI⁻ 入力のペアは、 $\overline{CS} = 0$ のときは 100 Ω の差動抵抗で内部的に終端されます。

OV_{DD} (ピン 31) : I/O インタフェースの電源。LVDS I/O モード時、 OV_{DD} の範囲は 2.375V～5.25V です。 OV_{DD} は、0.1 μ F のセラミック・コンデンサを使用してピンの近くで GND (ピン 30) にバイパスします。

SCKO⁺、SCKO⁻ (ピン 32、33) : LVDS の正負のシリアル・クロック出力。SCKO⁺/SCKO⁻ は、SCKI⁺/SCKI⁻ に入力され SDO⁺/SDO⁻ のシリアル・データ・ストリームとスキュー・マッチングされたシリアル I/O クロックのコピーを出力します。SCKO⁺/SCKO⁻ の立ち上がりエッジと立ち下がりエッジを使用すると、レシーバ (FPGA) の SDO⁺/SDO⁻ データを捕捉できます。SCKO⁺/SCKO⁻ 出力のペアは、レシーバ (FPGA) で 100 Ω の抵抗を使用して差動で終端する必要があります。

SDO⁺、SDO⁻ (ピン 34、35) : LVDS の正負のシリアル・データ出力。SCKI⁺/SCKI⁻ の立ち上がりエッジと立ち下がりエッジの両方で、最新の変換結果とチャンネル設定情報が SDO⁺/SDO⁻ に出力されます。動作はチャンネル 0 から実行されます。SDO⁺/SDO⁻ 出力のペアは、レシーバ (FPGA) で 100 Ω の抵抗を使用して差動で終端する必要があります。

\overline{CS} (ピン 39) : チップ・セレクト入力。シリアル・データ I/O バスは \overline{CS} ピンが“L”になるとイネーブルされ、 \overline{CS} ピンが“H”になるとディスエーブルされ高インピーダンスになります。 \overline{CS} は、外部シフト・クロック SCKI⁺/SCKI⁻ をゲート制御することもできます。 \overline{CS} が“H”のときは、SCKI⁺/SCKI⁻ と SDI⁺/SDI⁻ の入力ペアの内部 100 Ω 差動終端抵抗がディスエーブルされます。ロジック・レベルは OV_{DD} によって決まります。

設定値一覧表

表 1a. SoftSpan 設定値一覧表。この表と表 1b を使用して、必要なアナログ入力レンジに応じて、各チャンネルに使用する個々の SoftSpan のバイナリ・コード SS[2:0] を選択してください。複数の SoftSpan コードを組み合わせて 24 ビットの SoftSpan 設定ワード S[23:0] を作成します。図 19 のように、シリアル・インタフェースを使用して LTC2345-16 に SoftSpan 設定ワードを書き込みます。

バイナリ SoftSpan コード SS[2:0]	アナログ入力電圧レンジ	フルスケール電圧範囲	変換結果のバイナリ形式
111	$\pm V_{REFBUF}$	$2 \cdot V_{REFBUF}$	Two's Complement
110	$\pm V_{REFBUF}/1.024$	$2 \cdot V_{REFBUF}/1.024$	Two's Complement
101	0V to V_{REFBUF}	V_{REFBUF}	Straight Binary
100	0V to $V_{REFBUF}/1.024$	$V_{REFBUF}/1.024$	Straight Binary
011	$\pm 0.5 \cdot V_{REFBUF}$	V_{REFBUF}	Two's Complement
010	$\pm 0.5 \cdot V_{REFBUF}/1.024$	$V_{REFBUF}/1.024$	Two's Complement
001	0V to $0.5 \cdot V_{REFBUF}$	$0.5 \cdot V_{REFBUF}$	Straight Binary
000	Channel 1 Disabled.	Channel Disabled	すべてゼロ

表 1b. リファレンス設定値一覧表。LTC2345-16 では、リファレンスを以下の 3 種類のいずれかに設定できます。アナログ入力範囲のスケールとコンバータのマスタ・リファレンス電圧、 V_{REFBUF}

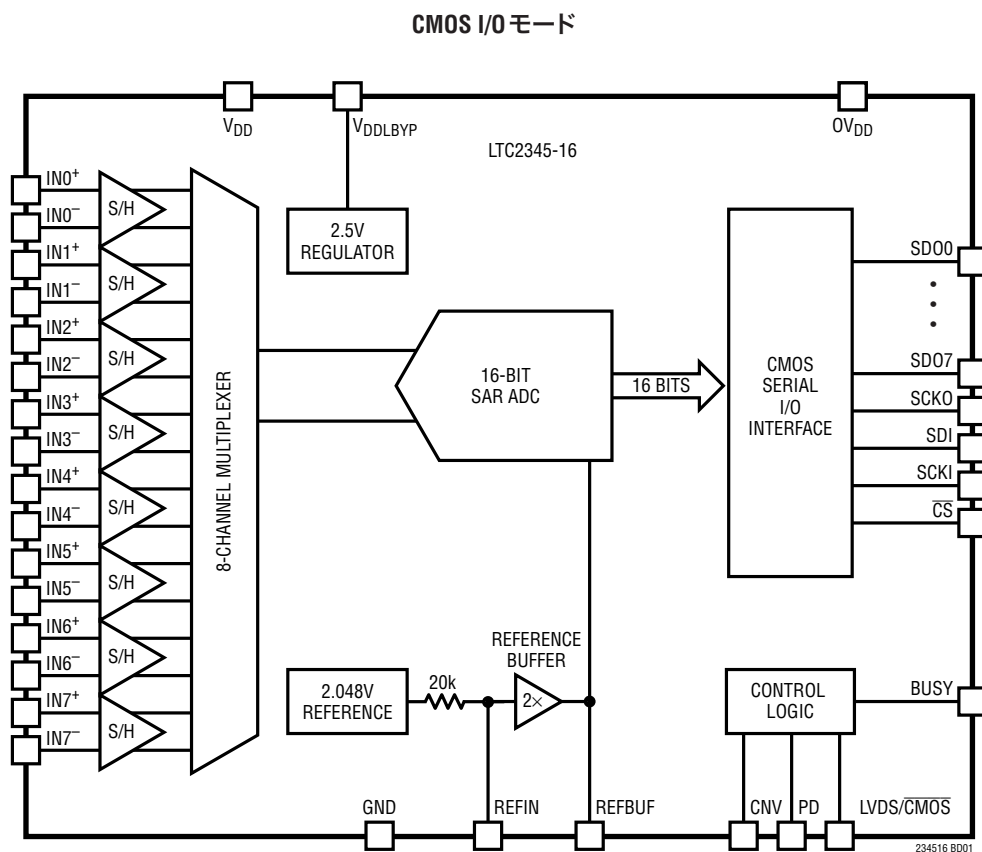
リファレンス設定値	V_{REFIN}	V_{REFBUF}	バイナリ SoftSpan コード SS[2:0]	アナログ入力電圧レンジ
内部リファレンスと内部バッファ	2.048V	4.096V	111	$\pm 4.096V$
			110	$\pm 4V$
			101	0V to 4.096V
			100	0V to 4V
			011	$\pm 2.048V$
			010	$\pm 2V$
			001	0V to 2.048V
外部リファレンスと内部バッファ (REFIN ピンを外部で オーバードライブ)	1.25V (Min Value)	2.5V	111	$\pm 2.5V$
			110	$\pm 2.441V$
			101	0V to 2.5V
			100	0V to 2.441V
			011	$\pm 1.25V$
			010	$\pm 1.221V$
			001	0V to 1.25V
	2.2V (Max Value)	4.4V	111	$\pm 4.4V$
			110	$\pm 4.297V$
			101	0V to 4.4V
			100	0V to 4.297V
			011	$\pm 2.2V$
			010	$\pm 2.148V$
			001	0V to 2.2V

設定値一覧表

表 1b リファレンス設定値一覧表(続き)。LTC2345-16では、リファレンスを以下の3種類のいずれかに設定できます。アナログ入力範囲のスケールとコンバータのマスタ・リファレンス電圧、 V_{REFBUF}

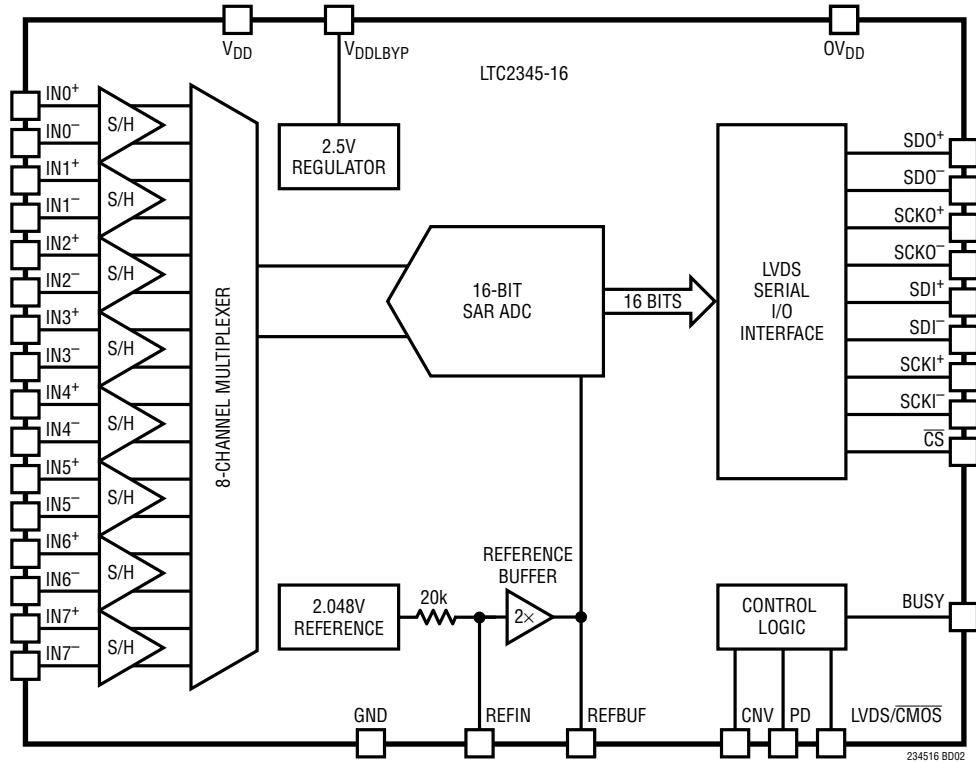
リファレンス設定値	V_{REFIN}	V_{REFBUF}	バイナリ SoftSpan コード SS[2:0]	アナログ入力電圧レンジ
外部リファレンス、バッファなし (REFBUFピンを外部で オーバードライブ、 REFINピンを接地)	0V	2.5V (Min Value)	111	±2.5V
			110	±2.441V
			101	0V to 2.5V
			100	0V to 2.441V
			011	±1.25V
			010	±1.221V
			001	0V to 1.25V
	0V	5V (Max Value)	111	±5V
			110	±4.883V
			101	0V to 5V
			100	0V to 4.883V
			011	±2.5V
			010	±2.441V
			001	0V to 2.5V

機能ブロック図



機能ブロック図

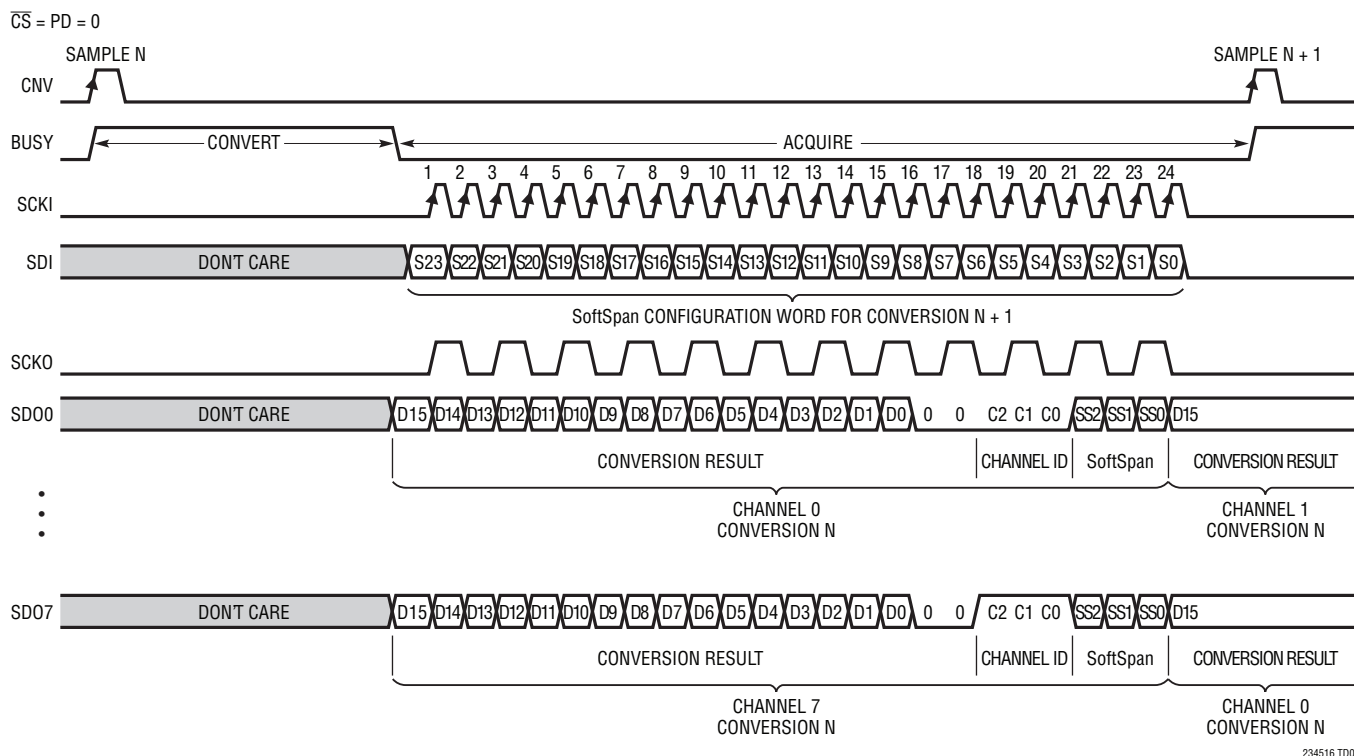
LVDS I/O モード



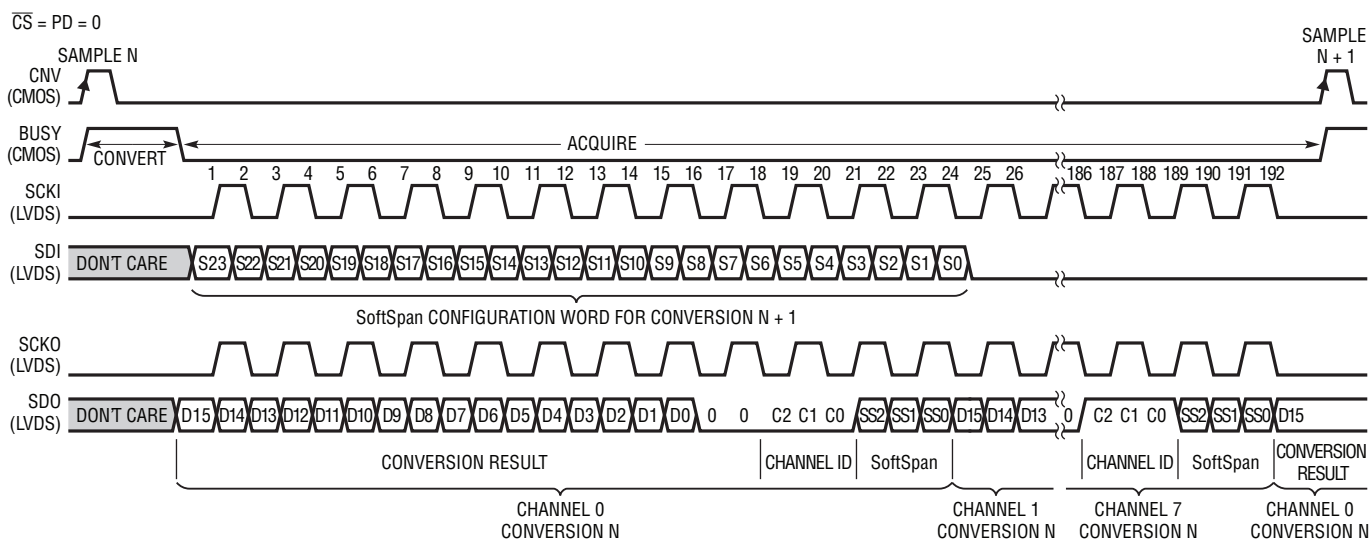
234516 BD02

タイミング図

CMOS I/O モード



LVDS I/O モード



アプリケーション情報

概要

LTC2345-16は、差動入力で入力同相電圧範囲の広い、16ビット、低ノイズ、8チャンネル、同時サンプリング逐次比較レジスタ(SAR) A/Dコンバータです。低ドリフトの内蔵リファレンスとバッファ (V_{REFBUF} = 公称4.096V)を使用できる、このSoftSpan A/Dコンバータの各チャンネルは、変換ごとに、 $\pm 4.096V$ 、 $0V \sim 4.096V$ 、 $\pm 2.048V$ 、または $0V \sim 2.048V$ の信号を入力できるよう、個別に設定できます。外部5Vリファレンスを使用すると、入力信号範囲を最大 $\pm 5V$ まで拡大できます。また、チャンネルを個別にディスエーブルして他のチャンネルのスループットを上げることもできます。

LTC2345-16のアナログ入力は入力同相電圧範囲が広くCMRRが大きい(標準で102dB、 $V_{IN+} = V_{IN-} = 3.6V_{PP}$ 200Hz 正弦波)ため、さまざまな信号をA/Dコンバータで直接デジタル化でき、信号チェーンの設計を簡素化できます。このような入力信号の柔軟性と $\pm 1.25LSB$ のINL、欠落コードのない16ビットの分解能、91dBのSNRを有するLTC2345-16は、広いダイナミック・レンジが要求されるさまざまな用途に最適です。

LTC2345-16には、ピンで選択可能なSPI CMOS (1.8V \sim 5V)とLVDSのシリアル・インタフェースが用意されており、旧型のマイクロコントローラとも最新のFGPAとも同等に通信できます。CMOSモード時はアプリケーションが使用するシリアル出力データ・レーン数を1 \sim 8個の間で調整できるため、バス幅とデータ・スループットを最適化できます。通常、LTC2345-16で、各チャンネルのスループットが200kspsの条件で8つのアナログ入力チャンネルを同時に変換するときの消費電力は、81mWです。オプションのパワーダウン・モードを使用すると、非動作時の消費電力をさらに低減できます。

コンバータの動作

LTC2345-16は2つの段階で動作します。収集段階では、各チャンネルのサンプル・アンド・ホールド(S/H)回路のサンプリング・コンデンサが対応するアナログ入力ピンに接続され、差動アナログ入力電圧($V_{IN+} - V_{IN-}$)に追従します。CNVピンの立ち上がりエッジで、すべてのチャンネルのサンプル・アンド・ホールド回路がトラック・モードからホールド・モードになり、すべてのチャンネルの入力信号を同時にサンプリングして変換を開始します。変換段階では、同時に1つずつ、各チャンネルのサンプリング・コンデンサが16ビットの電荷再分配型コンデンサD/Aコンバータ(CDAC)に接続されます。CDACは逐次比較アルゴリズムにより逐次制御され、差動コンパレータを使用して、サンプリングされた入力電圧を、チャンネルのSoftSpanフルスケール範囲のバイナリ加重した分数(例： $V_{FSR}/2$ 、 $V_{FSR}/4$... $V_{FSR}/65536$)と、効率的に比較します。この処理の終了時、CDACの出力はチャンネルのサンプリングされたアナログ入力を近似する値になります。こうしてすべてのチャンネルが変換されると、A/Dコンバータの制御ロジックが各チャンネルから16ビットのデジタル出力コードを準備して、シリアル転送に備えます。

伝達関数

LTC2345-16は、各チャンネルのフルスケールの電圧範囲を 2^{16} レベルにデジタル化します。表1a、1bのように、A/Dコンバータのマスタ・リファレンス電圧 V_{REFBUF} とチャンネルのSoftSpan設定により、入力電圧レンジ、フルスケール範囲、LSBのサイズ、変換結果のバイナリ形式が決まります。たとえば、内部リファレンスとバッファ (V_{REFBUF} = 公称値4.096V)を使用し、SoftSpan 7でチャンネルが $\pm 4.096V$ の双極性アナログ入力電圧レンジに対応するように設定する場合は、フルスケール範囲8.192V、LSB 125 μV になります。その他のSoftSpan設定とリファレンス電圧を使用して、より広範囲の双極性、単極性の入力を変換することもできます。変換結果は、双極性SoftSpanレンジの場合はすべて2の補数のバイナリ形式で出力され、単極性SoftSpanレンジの場合はすべてストレート・バイナリ形式で出力されます。理想的な2の補数の伝達関数を図2に、理想的なストレート・バイナリの伝達関数を図3に示します。

アプリケーション情報

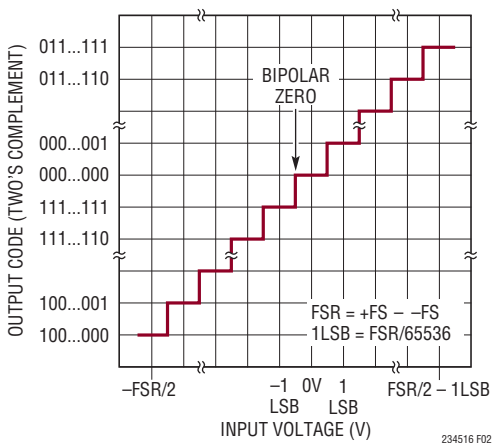


図2. LTC2345-16の2の補数の伝達関数

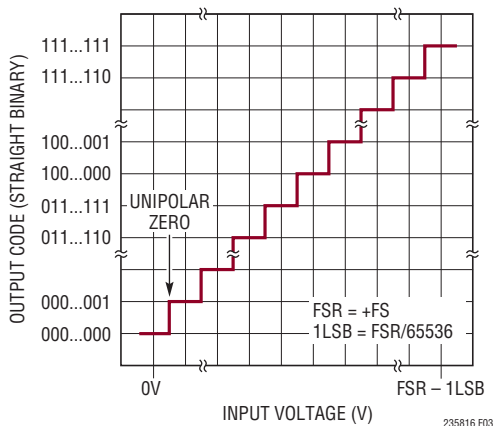


図3. LTC2345-16のストレート・バイナリ伝達関数

アナログ入力

LTC2345-16の各チャンネルは、A/Dコンバータの同相信号除去比(CMRR)が高いため両入力ピンに共通な不要な信号を抑制して、広い同相入力電圧範囲にわたってアナログ入力ピン間の電圧差($V_{IN+} - V_{IN-}$)を同時にサンプリングできます。同相入力電圧範囲が広くCMRRが高いため、各ピンの電圧がグランドと V_{DD} の間の範囲に保たれた場合は、アナログ入力 IN^+/IN^- が相互に自由な関係で振れることができます。このユニークな特長を備えたLTC2345-16は、疑似差動の単極性信号、疑似差動の双極性信号、完全差動信号などの従来型のアナログ入力信号を含むさまざまな信号の範囲に対応でき、信号チェーンの設計を簡素化できます。

すべてのSoftSpanレンジで、各チャンネルのアナログ入力を、図4に示す等価回路によりモデル化できます。収集動作開始時、40pFのサンプリング・コンデンサ(C_{IN})は、それぞれのオン抵抗が約130 Ω (R_{IN})のサンプリング・スイッチを介してアナログ入力ピン IN^+/IN^- に接続されます。収集開始時の両方のサンプリング・コンデンサの初期電圧は、前回の交換からサンプリングされた同相電圧($V_{IN+} + V_{IN-}$)/2とほぼ同じ値になります。 IN^+ と IN^- に接続される外部回路は、収集動作周期の間にサンプリング・コンデンサが初期電圧から新たな入力ピン電圧になるときに、ソースまたはシンクとして、 R_{IN} に電流を流す必要があります。変換時やパワーダウン・モード時にアナログ入力に流れるのはわずかな漏れ電流だけです。入力のダイオードはESD保護機能を果たします。

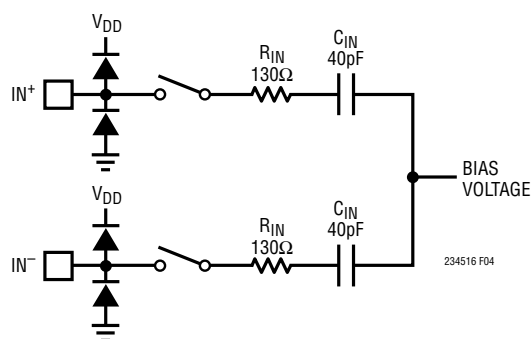


図4. 差動アナログ入力の等価回路(図は1つのチャンネルを示す)

アプリケーション情報

両極性 SoftSpan 入力電圧レンジ

チャンネルを SoftSpan レンジ 7、6、3、または 2 に設定した場合、表 1a のように、LTC2345-16 は、それぞれ $\pm V_{REFBUF}$ 、 $\pm V_{REFBUF}/1.024$ 、 $\pm 0.5 \cdot V_{REFBUF}$ 、または $\pm 0.5 \cdot V_{REFBUF}/1.024$ の双極性レンジ上で差動アナログ入力電圧 ($V_{IN+} - V_{IN-}$) をデジタル化します。これらの SoftSpan レンジは、 IN^+ と IN^- が相互に上下に振れるような入力信号をデジタル化する場合に役立ちます。典型的な例としては、同相電圧 ($V_{IN+} + V_{IN-}$) / 2 を中心にして相互の位相差が 180 度の状態で IN^+ と IN^- が駆動される場合や、 IN^- で駆動されてリファレンス・レベルの上下に振れる疑似差動の双極性の入力信号の場合などがあります。選択されている SoftSpan レンジに関わらず、 IN^+/IN^- アナログ入力の同相入力電圧範囲が広く CMRR が高いため、各ピンの電圧がグラウンドと V_{DD} の間の範囲に保たれた場合は、これらのアナログ入力が相互に自由な関係で振れることができます。すべての双極性 SoftSpan レンジで出力データは 2 の補数形式です。

単極性 SoftSpan 入力電圧レンジ

チャンネルを SoftSpan レンジ 5、4、または 1 に設定した場合、表 1a のように、LTC2345-16 は、それぞれ $0V \sim V_{REFBUF}$ 、 $0V \sim V_{REFBUF}/1.024$ 、または $0V \sim 0.5 \cdot V_{REFBUF}$ の単極性レンジ上で差動アナログ入力電圧 ($V_{IN+} - V_{IN-}$) をデジタル化します。これらの SoftSpan レンジは、 IN^+ が IN^- より大きい値に保たれるような入力信号をデジタル化する場合に役立ちます。典型的な例としては、 IN^+ が IN^- で駆動されて基準となるグラウンド・レベルより大きい範囲で振れるような疑似差動単極性入力信号の場合などがあります。選択されている SoftSpan レンジに関わらず、 IN^+/IN^- アナログ入力の同相電圧範囲が広く CMRR が高いため、各ピンの電圧がグラウンドと V_{DD} の間の範囲に保たれた場合は、これらのアナログ入力が相互に自由な関係で振れることができます。すべての単極性 SoftSpan レンジで出力データはストレート・バイナリ形式です。

入力駆動回路

収集周期の間に、収集開始時の各チャンネルのサンプリング・コンデンサの初期電圧が新たな入力ピン電圧に遷移して収束する必要があります。 IN^+ と IN^- に接続される外部回路は、このセトリング動作時に、ソースまたはシンクとして、 R_{IN} に電流を流す必要があります。LTC2345-16 のサンプリング回路網の RC 時定数が 5.2ns であるため、フルスケール・ステップへの 16 ビットのセトリング時間は、約 $11 \cdot (R_{IN} \cdot C_{IN}) = 57ns$ になります。アナログ入力ピンに接続されている外部回路自身のインピーダンスとセトリング時間のため、全体のセトリングに要する時間は長くなります。低インピーダンスの信号源は、利得誤差なく LTC2345-16 の入力を直接駆動できますが、高インピーダンスの信号源は、収集時に十分にセトリングを行え A/D コンバータの直線性と歪み性能を最適化できるよう、バッファする必要があります。DC 入力信号の場合でも、サンプリング・コンデンサの電圧が、収集開始時のアナログ入力ピンの電圧とは異なるため、セトリング時間に配慮することは重要です。

ほとんどの用途では、バッファ・アンプを使用して LTC2345-16 のアナログ入力を駆動する必要があります。バッファ・アンプは出力インピーダンスが低いいため、収集段階でアナログ信号の高速セトリングが可能です。また、バッファ・アンプは、収集開始時に信号源とアナログ入力での電荷の流れを切り離します。

入力のフィルタリング

入力のバッファ・アンプやその他のサポート回路のノイズと歪みは、A/D コンバータのノイズと歪みに上乗せされるため、これらを考慮する必要があります。ノイズの多い入力信号は、ノイズを最小限に抑えるため、バッファ・アンプの前で帯域幅の小さいフィルタによりフィルタ処理する必要があります。多くのアプリケーションでは、図 5 に示す簡単な 1 ポールの RC ローパス・フィルタで十分です。

バッファの出力部では、オン抵抗 (R_{IN}) 130 Ω のサンプリング・スイッチと 40pF サンプリング・コンデンサ (C_{IN}) で形成されたローパス RC フィルタ回路網が、各チャンネルの入力帯域幅を 31MHz に制限します。この帯域幅は十分高速であり、収集時に十分な遷移収束時間を確保できるだけでなくドライバの広帯域ノイズを同時にフィルタ処理できます。この帯域幅での SNR の低下を最小限に抑えられるよう、ノイズ密度の小さいバッファ・アンプを選択する必要があります。フィルタ回路網をバッファの出力と A/D コンバータの入力間に追加して、バッファに対するノイズの影響を最小限に抑えると同時に、A/D コンバータの収集時のトランジェント電圧によるバッファへの妨

アプリケーション情報

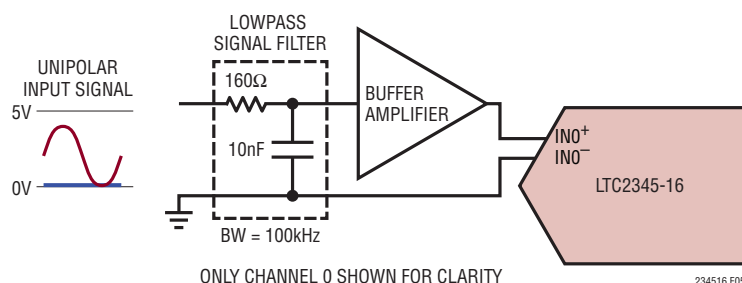


図5. 入力フィルタリング機能を有する単極性信号チェーン

害電圧を減らすこともできます。多くのアプリケーションでは、簡単な1ポールのローパスRCフィルタで十分です。ただし、セトリングが不十分だとINLとTHDの性能が制限されることがあるため、A/Dコンバータの収集時間(t_{ACQ})内にアナログ入力を16ビット分解能まで完全にセトリングさせることができるように、このフィルタのRC時定数を十分に小さくすることが重要です。また、サンプリング周波数(f_{SMPL})とイネーブルされているチャンネルの数によって最短収集時間が異なることに注意してください。

RCフィルタのコンデンサと抵抗は歪みを大きくする可能性があるため、これらの部品は高品質のものを使用します。NPO/COGタイプやシルバマイカ・タイプの誘電体のコンデンサは優れた直線性を示します。表面実装型カーボン抵抗は、半田付け工程で生じる損傷および自己発熱により歪みが生じることがあります。表面実装型金属皮膜抵抗は、この2つの問題に対してはるかに耐性があります。

任意の入力信号と完全差動アナログ入力信号のバッファリング

LTC2345-16は同相入力電圧範囲が広くCMRRが高いため、各ピンの電圧がグラウンドと V_{DD} の間の範囲に保たれた場合は、各チャンネルの IN^+ 、 IN^- ピンが相互に自由な関係で振れる

ことができます。このユニークな特長を備えたLTC2345-16は、さまざまな信号の範囲に対応でき、信号チェーンの設計を簡素化できます。多くのアプリケーションでは、チャンネルの IN^+ 、 IN^- ピンを直接既存の信号チェーン回路に接続しても、A/Dコンバータの収集時間(t_{ACQ})内にチャンネルのサンプリング回路網が16ビット分解能のレベルまで収束できません。このような場合は、図6aのように、信号源とA/Dコンバータ入力ピンの間に2つの単位利得バッファを挿入することを推奨します。この回路での使用を推奨するいくつかのアンプとローパス・フィルタの組み合わせを、表2に示します。LT6237は、高速セトリング特性、優れた直線性、低オフセットを兼ね備えた上に、 $1.1nV/\sqrt{Hz}$ の入力換算ノイズ密度を実現しており、図6b～6eのFFTのグラフで示すように、A/Dコンバータのデータシートに示すSNRとTHDの規格値をすべて満たすことができます。SNR性能が多少低くても良いようなアプリケーションの場合は、より消費電力の少ないLT6234でLTC2345-16を駆動できます。LT6234は、高速セトリング特性、優れた直線性、低オフセットを兼ね備えた上に、 $1.9nV/\sqrt{Hz}$ の入力換算ノイズ密度を実現しており、 40.2Ω と $1nF$ からなるフィルタを使用した場合、LT6237に比したSNRの低下をわずか $0.3dB$ に抑えながらLTC2345-16を駆動できます。表2のように、LT6237は、ローパス・フィルタなしの状態で使用しても、広帯域ノイズの増加に起因するSNRの低下を $1dB$ 以下に抑えられます。

図6aおよび9に示すバッファ回路に推奨するアンプとフィルタの組み合わせ。図6aの回路を使用して測定したAC性能、完全差動入力駆動の場合のレンジは $\pm 4.096V$ 、双極性入力駆動の場合のレンジは $\pm 2.048V$

アンプ	$R_{SET}(\Omega)$	$C_{FILT}(nF)$	入力信号の駆動	SNR (dB)	THD (dB)	SINAD (dB)	SFDR (dB)
½ LT6237	40.2	1	FULLY DIFFERENTIAL	91.0	-114	91.0	115
½ LT6234	40.2	1	FULLY DIFFERENTIAL	90.7	-114	90.7	115
½ LT6237	40.2	1	BIPOLAR	85.8	-110	85.8	112
½ LT6234	40.2	1	BIPOLAR	85.5	-110	85.5	112
½ LT6237	0	0	BIPOLAR	85.4	-110	85.4	112
½ LT6234	0	0	BIPOLAR	82.1	-108	82.1	110

234516f

アプリケーション情報

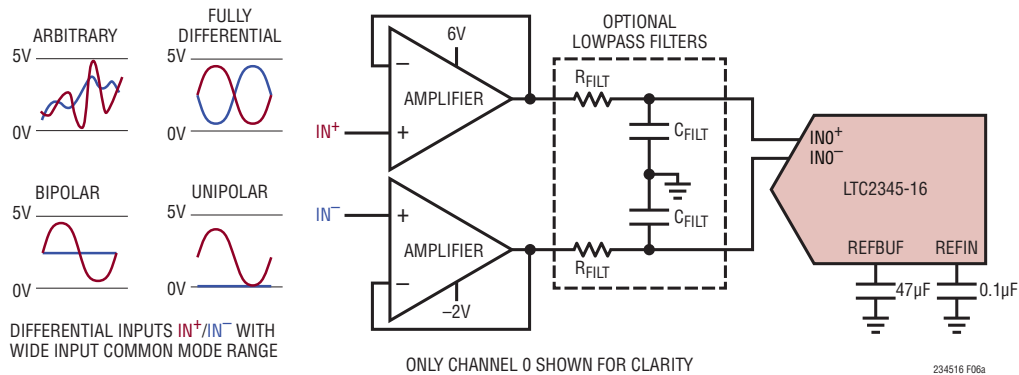


図 6a. 任意の信号、完全差動信号、双極性信号、単極性信号のバッファリング。推奨するアンプとフィルタの組み合わせについては表 2 を参照

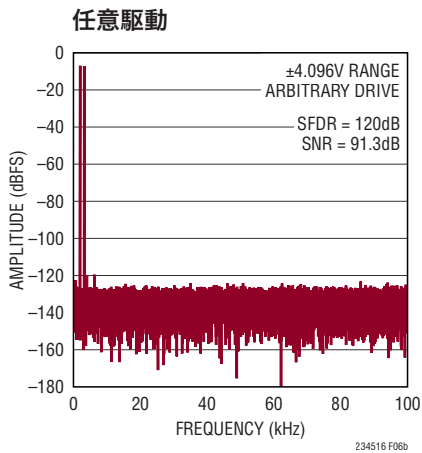


図 6b. ツートーン・テスト。 $IN^+ = -7\text{dBFS}$ 2kHz 正弦波、 $IN^- = -7\text{dBFS}$ 3.1kHz 正弦波、同相電圧 = 2.5V、32k ポイントの FFT、 $f_{\text{SMPL}} = 200\text{ksps}$ 。図 6a の回路と LT6237 アンプ、 $R_{\text{FILT}} = 40.2\Omega$ 、 $C_{\text{FILT}} = 1\text{nF}$

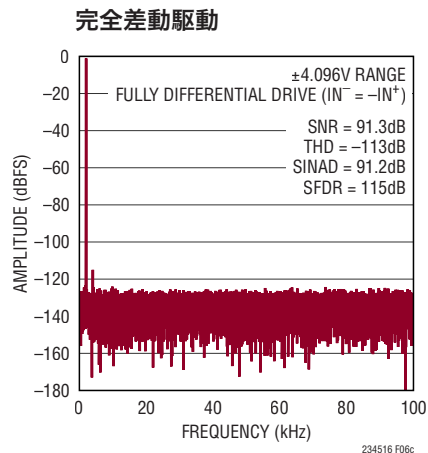


図 6c. $IN^+/IN^- = -1\text{dBFS}$ 2kHz の完全差動正弦波、同相電圧 = 2.5V、32k ポイントの FFT、 $f_{\text{SMPL}} = 200\text{ksps}$ 。図 6a の回路と LT6237 アンプ、 $R_{\text{FILT}} = 40.2\Omega$ 、 $C_{\text{FILT}} = 1\text{nF}$

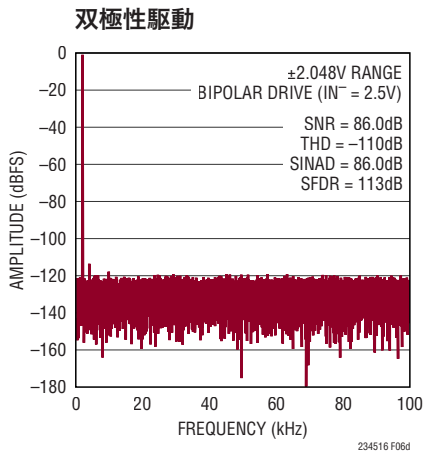


図 6d. $IN^+ = -1\text{dBFS}$ 2kHz の双極性正弦波、 $IN^- = 2.5\text{V}$ 、32k ポイントの FFT、 $f_{\text{SMPL}} = 200\text{ksps}$ 。図 6a の回路と LT6237 アンプ、 $R_{\text{FILT}} = 40.2\Omega$ 、 $C_{\text{FILT}} = 1\text{nF}$

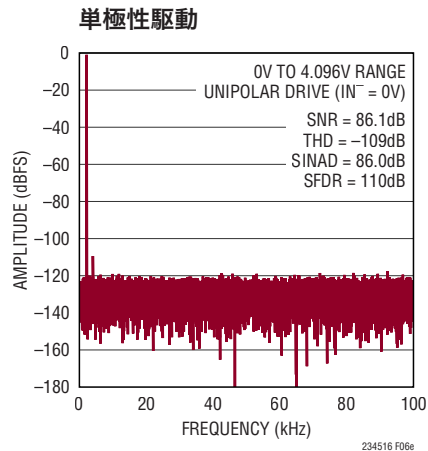


図 6e. $IN^+ = -1\text{dBFS}$ 2kHz の単極性正弦波、 $IN^- = 0\text{V}$ 、32k ポイントの FFT、 $f_{\text{SMPL}} = 200\text{ksps}$ 。図 6a の回路と LT6237 アンプ、 $R_{\text{FILT}} = 40.2\Omega$ 、 $C_{\text{FILT}} = 1\text{nF}$

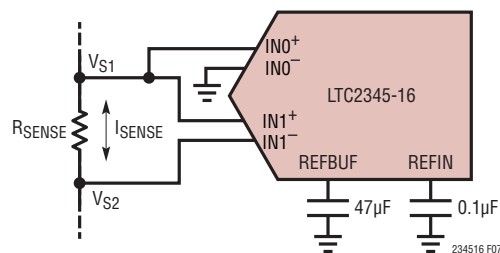
アプリケーション情報

図6bに示すツートーン・テストでは、LTC2345-16の入力の任意駆動性能が分かります。このテストでは、 -7dBFS 2kHzのシングルエンド正弦波で IN^+ を、 -7dBFS 3.1kHzのシングルエンド正弦波で IN^- を、同時に駆動します。これらの信号は、より一般的な任意の入力信号の場合と同様に、同相電圧と差動電圧の組み合わせによりアナログ入力を広範囲に変化させます。また、これらの信号は、スペクトル表現も単純です。同相的な影響を受けない理想的な差動コンバータの場合、この信号は、それぞれが1つの正弦波周波数に対応する2つの -7dBFS のスペクトル・トーンとしてデジタル化されます。図6bのFFTのグラフはLTC2345-16の応答を示すものであり、 IN^- の2kHzの正弦波に対する第2高調波歪み応答によりSFDRが120dBに抑えられ、このコンバータの理想的な性能に近くなっています。

LTC2345-16は、広い入力同相電圧範囲の任意の信号変化に高いCMRRで対応できるため、さまざまなアプリケーションに容易に対応できます。LTC2345-16によりこのような信号をデジタル化する1つの方法を、図7に示します。LTC2345-16の2つのチャンネルで、測定用抵抗器により、広い同相電圧範囲にわたる電圧と双方向の電流を同時に測定しています。この種のアプリケーションの多くは外部回路のインピーダンスが十分に小さいため、バッファを使用しなくてもA/Dコンバータのサンプリング回路網で完全に収束できます。

LTC2345-16の同相入力電圧範囲に V_{DD} が含まれるため、図8aに示す回路では、1つの5V電源で負荷電流(I_{LOAD})を増幅して測定できます。図8bは、負荷であるLTC3207 LEDドライバへの電源電流の、ステップ状の過渡的な変化を示します。LTC6252電源でこの回路を使用した場合の測定可能電流範囲は50mA～450mAに制限されることに注意してください。

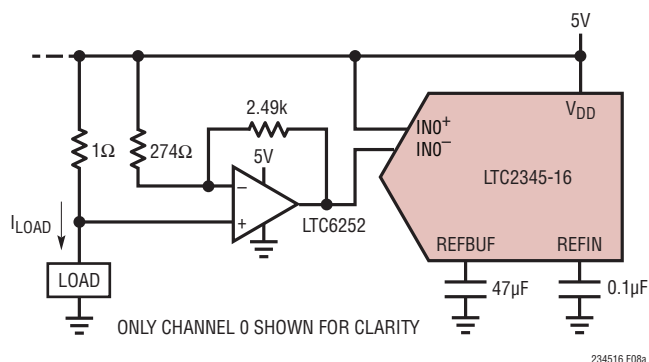
図9aは、より一般的な、入力信号増幅方法を示します。アンプ段では、必要なセンサ信号が約10V/Vの差動利得で増幅され、不必要な同相信号はA/DコンバータのCMRRにより除去されます。図9bは、この回路のCMRRの測定値であり、最も一般的な市販の計装用アンプと同様な性能を示します。



ONLY CHANNELS 0 AND 1 SHOWN FOR CLARITY

$$I_{\text{SENSE}} = \frac{V_{\text{S1}} - V_{\text{S2}}}{R_{\text{SENSE}}} \quad \begin{array}{l} 0\text{V} \leq V_{\text{S1}} \leq 5\text{V} \\ 0\text{V} \leq V_{\text{S2}} \leq 5\text{V} \end{array}$$

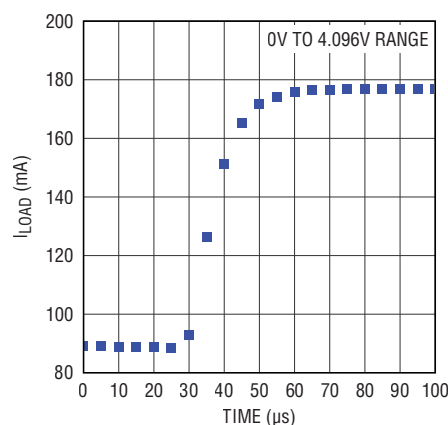
図7. 広い同相電圧範囲で電圧(CH0)と電流(CH1)を同時に検出



ONLY CHANNEL 0 SHOWN FOR CLARITY

234516 F08a

図8a. 増幅機能により1つの5V電源で50mA～450mAの電流を検出



234516 F08b

図8b. LTC3207 LEDドライバを負荷とした図8aの回路での電源電流のステップ状の過渡的な変化

アプリケーション情報

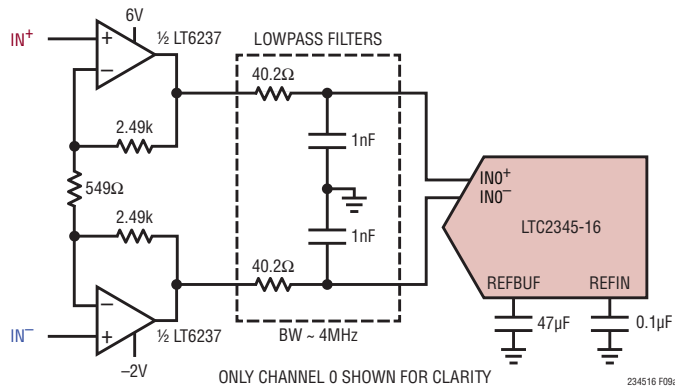


図 9a. 高い CMRR で差動信号をデジタル化

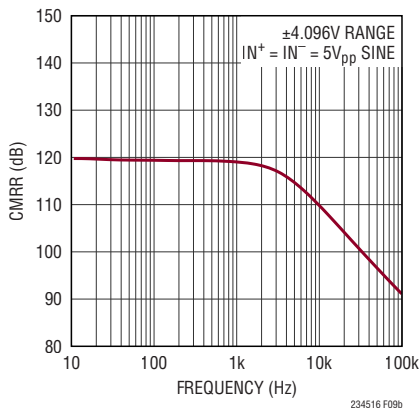


図 9b. CMRR と入力周波数。回路は図 9a

シングルエンドのアナログ入力信号のバッファリング

図 6a の回路はシングルエンドの入力信号をバッファリングできますが、シングルエンドの信号のリファレンス・レベルのインピーダンスが本質的に小さくバッファリングが不要な場合は図 10 の回路の方が適しています。この回路では、1つのドライバとローパス・フィルタが不要になるため、部品点数と消費電力を減らし、ドライバのノイズに起因する SNR の低下を抑えることができます。表 2 で推奨されているドライバとフィルタの組み合わせを使用した場合、シングルエンド入力信号を有するこの回路でも、図 6a の回路と同等の性能が得られます。

A/D コンバータのリファレンス

前出の表 1b のように、LTC2345-16 では、リファレンスを以下の 3 種類のいずれかに設定できます。第 1 の設定では、内部バンドギャップ・リファレンスとリファレンス・バッファの両方を使用します。第 2 の設定では、外部的に内部リファレンスをオーバードライブしますが内部バッファは状態が保持され、外部リファレンスを A/D コンバータの変換状態の遷移から隔離します。この設定は、複数の A/D コンバータで 1 つの高精度外部リファレンスを共有する場合に理想的です。第 3 の設定では、内部バッファをディスエーブルし、REFBUF ピンを外部的にオーバードライブします。

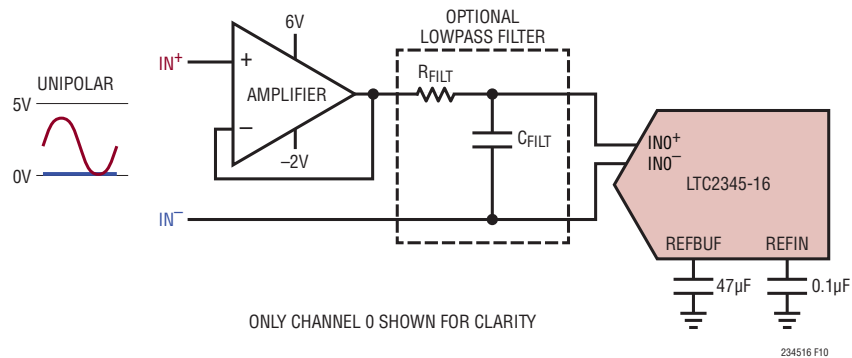


図 10. シングルエンド入力信号のバッファリング。推奨するアンプとフィルタの組み合わせについては表 2 を参照

アプリケーション情報

内部リファレンスと内部バッファ

LTC2345-16は、工場出荷時に2.048Vに調整された、オンチップ、低ノイズ、低ドリフト(最大20ppm/°C)、温度補償バンドギャップ・リファレンスを内蔵しています。リファレンスの出力は図11aのように20kΩの抵抗器を介してREFINピンに接続され、内蔵のリファレンス・バッファへの入力となります。内部バンドギャップ・リファレンスを使用する場合は、広帯域ノイズをフィルタ処理するため、0.1μFのセラミック・コンデンサを使用してREFINピンをピンの近くでGND(ピン20)にバイパスする必要があります。リファレンス・バッファは、 V_{REFIN} を増幅してコンバータのマスタ・リファレンス電圧 $V_{REFBUF} = 2 \cdot V_{REFIN}$ をREFBUFピンに出力します。内部バンドギャップ・リファレンスを使用する場合、このピンの公称電圧は4.096Vです。リファレンス・バッファを補償し、変換時の過渡電流を吸収してノイズを最小限に抑えるため、少なくとも1つの47μFのセラミック・コンデンサ(X7R、10V、1210サイズ、またはX5R、10V、0805サイズ)を使用してREFBUFをピンの近くでGND(ピン20)にバイパスする必要があります。

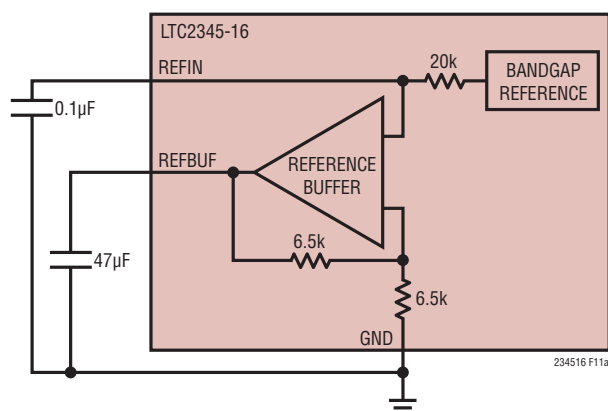


図11a. 内部リファレンスと内部バッファの構成

外部リファレンスと内部バッファ

内部バンドギャップ・リファレンスの出力が20kΩの抵抗器によりREFINピンから分離されているため、さらに高い精度や低いドリフトが要求される場合は、図11bのように、外部リファレンスによりREFINを容易にオーバードライブできます。REFINピンでの外部リファレンス電圧オーバードライブの有効範囲は1.25V～2.2Vであるため、コンバータのマスタ・リファレンス電圧 V_{REFBUF} は2.5V～4.4Vになります。リニアテクノロジーでは、さまざまなアプリケーションの要求を満たすように設計された高性能リファレンスを取り揃えております。LTC6655-2.048は小型、低消費電力、高精度であるため、LTC2345-16と組み合わせて内部リファレンスのオーバードライブに使用するのに最適です。LTC6655-2.048は、高精度アプリケーション向けに0.025% (最大)の初期精度と2ppm/°C (最大)の温度係数を実現しています。LTC6655-2.048はHグレードの温度範囲で完全に規定されており、LTC2345-16の最大125°Cの拡張温度範囲での動作を補完します。2.7μF～100μFのセラミック・コンデンサをREFINピンの近くに配置して、LTC6655-2.048をバイパスすることを推奨します。

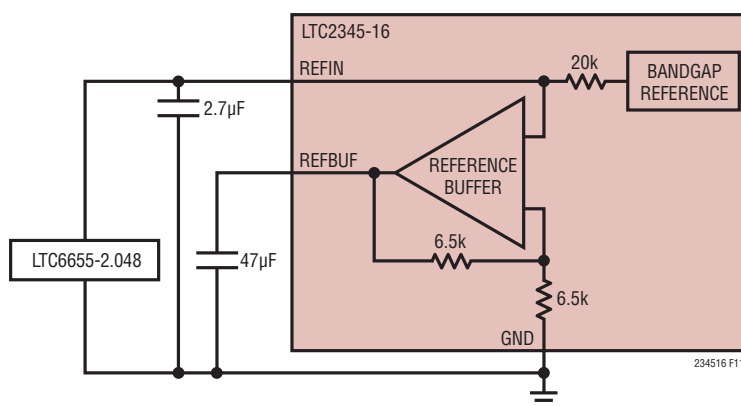


図11b. 外部リファレンスと内部バッファの構成

234516f

アプリケーション情報

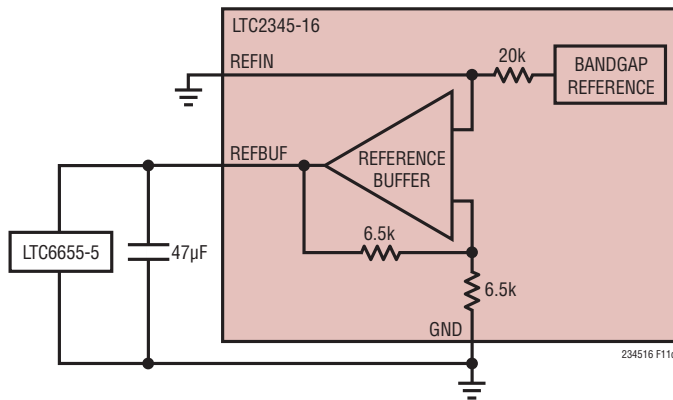


図 11c. 外部リファレンスとディスエーブルされた内部バッファの構成

外部リファレンスとディスエーブルされた内部バッファ

内部リファレンス・バッファは、最大で $V_{REFBUF} = 4.4V$ まで対応できます。図 11c のように REFIN を接地して内部バッファをディスエーブルすると、2.5V ~ 5V の範囲の外部リファレンス電圧で REFBUF をオーバードライブできます。外部 5V リファレンスを使用して REFBUF をオーバードライブすると、最大限の入力信号範囲と SNR を実現できます。リファレンス・バッファをディスエーブルした状態でも、バッファ・フィードバック抵抗器群により REFBUF ピンの負荷は 13kΩ になります。LTC6655-5 は、LTC6655-2.048 と同様に小型、高精度、低ド

リフトで、拡張温度範囲に対応し、LTC2345-16 とペアで使用した場合、92dB の標準 SNR を実現します。変換時の過渡電流吸収してノイズを最小限に抑えるため、少なくとも 1 つの 47µF のセラミック・コンデンサ (X7R、10V、1210 サイズ、または X5R、10V、0805 サイズ) を使用して LTC6655-5 を REFBUF ピンの近くで GND (ピン 20) にバイパスする必要があります。

各変換サイクル中に、LTC2345-16 コンバータには REFBUF ピンから電荷 (Q_{CONV}) が流れます。短時間の場合、この電荷の大部分が外部 REFBUF バイパス・コンデンサから供給されますが、比較的長時間の場合は、すべての電荷がリファレンス・バッファから (内部リファレンス・バッファがディスエーブルされている場合は外部リファレンスから) 供給されます。この流入電荷は、DC 電流 $I_{REFBUF} = Q_{CONV} \cdot f_{SMPL}$ と一致し、サンプリング・レートに比例します。図 12 に示すように、長時間のアイドル状態の後、集中的にサンプリングされるアプリケーションでは、 I_{REFBUF} は短時間で約 0.4mA から 1.5mA になります ($V_{REFBUF} = 5V$ 、 $f_{SMPL} = 200kHz$)。この電流のステップにより、外部リファレンスのトランジェント応答がトリガされます。 V_{REFBUF} の誤差はコンバータの精度に影響を与えるため、このトランジェント応答には注意が必要です。外部リファレンスを使用して REFBUF をオーバードライブする場合は、高速でセトリングする LTC6655 ファミリのリファレンスの使用を推奨します。

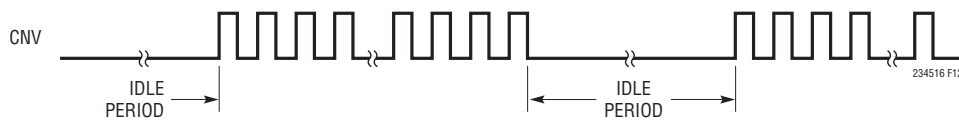


図 12. 集中的なサンプリングを示す CNV の波形

アプリケーション情報

内部リファレンス・バッファのトランジェント応答

集中的なサンプリングを使用するアプリケーションで最高の性能を実現するためには、外部リファレンスと内部リファレンス・バッファを使用するように設定する必要があります。内部リファレンス・バッファは、アイドル期間後に集中的な変換が行われる際の V_{REFBUF} の変化を最小限に抑えられるよう、専用に設計されています。リファレンスの設定が異なる2つの場合について、入力がフルスケール近くにまでなるときの LTC2345-16 の集中的な変換の応答を比較したのが、図 13 です。第 1 の設定では内部リファレンス・バッファを使用し LTC6655-2.048 により外部的に $REFIN$ をオーバードライブしているのに対し、第 2 の設定では内部リファレンス・バッファをディスエーブルし外部の LTC6655-4.096 により $REFBUF$ をオーバードライブしています。どちらの場合も、 $REFBUF$ は、47 μ F のセラミック・コンデンサで GND にバイパスしています。

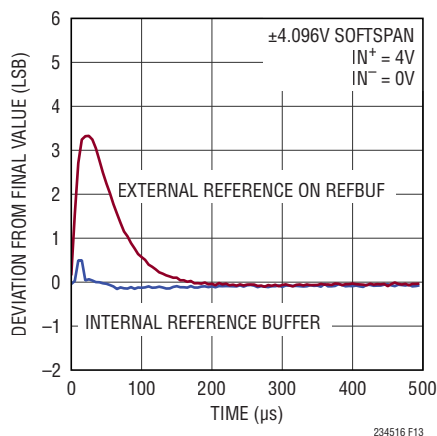


図 13. LTC2345-16 の集中的な変換の応答、 $f_{SAMPL} = 200\text{kps}$

ダイナミック性能

A/D コンバータの周波数応答、歪み、およびノイズを定格スループットでテストするには、高速フーリエ変換 (FFT) の手法が使われます。低歪みの正弦波を入力し、そのデジタル出力を FFT アルゴリズムを使って解析することにより、基本波の外側の周波数に関して ADC のスペクトル成分を調べることができます。LTC2345-16 では、AC 歪みとノイズの測定値について、いずれも保証されたテスト済みの限界値を示しています。

信号対ノイズ+歪み比 (SINAD)

信号対ノイズ+歪み比 (SINAD) は、基本入力周波数の RMS 振幅と A/D コンバータ出力に含まれる他のすべての周波数成分の RMS 振幅の比です。出力の帯域は、サンプリング周波数の 1/2 未満に制限されています (DC は除く)。図 14 は、LTC2345-16 が、2kHz の完全差動入力信号で、サンプリング・レート 200kHz のとき、 $\pm 4.096\text{V}$ の範囲で SINAD 標準値 91.1dB を実現していることを示します。

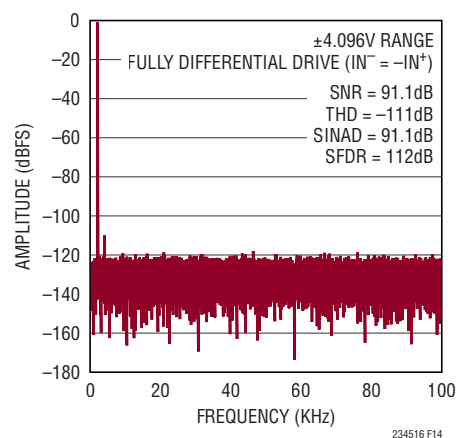


図 14. 32k ポイントの FFT ($f_{SAMPL} = 200\text{kps}$, $f_{IN} = 2\text{kHz}$)

信号対ノイズ比 (SNR)

信号対ノイズ比 (SNR) は、基本入力周波数の RMS 振幅と、最初の 5 つの高調波と DC を除く他のすべての周波数成分の RMS 振幅の比です。図 14 は、LTC2345-16 が、2kHz の完全差動入力信号で、サンプリング・レート 200kHz のとき、 $\pm 4.096\text{V}$ の範囲で SNR 標準値 91.1dB を実現していることを示します。

全高調波歪み (THD)

全高調波歪み (THD) は、入力信号のすべての高調波の RMS 値の合計と基本波の RMS 値との比です。帯域外高調波は、DC とサンプリング周波数の半分 ($f_{SAMPL}/2$) の間の周波数帯域で折り返しエラーを生じます。THD は次のように表されます。

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 \dots V_N^2}}{V_1}$$

ただし、 V_1 は基本周波数の振幅の RMS 振幅、 $V_2 \sim V_N$ は 2 次～ n 次の各高調波の振幅です。図 14 は、LTC2345-16 が、2kHz の完全差動入力信号で、サンプリング・レート 200kHz のとき、 $\pm 4.096\text{V}$ の範囲で THD 標準値 -111dB ($N = 6$) を実現していることを示します。

アプリケーション情報

電源に関する検討事項

LTC2345-16には2つの電源ピンがあります。1つはメインの5V電源(V_{DD})で、もう1つはデジタル入出力インタフェース電源(OV_{DD})です。LTC2345-16は OV_{DD} 電源の柔軟性が高いため、2.5Vシステムや3.3Vシステムなど、1.8V～5Vで動作するCMOSロジックと通信できます。LVDS I/Oモードを使用する場合、 OV_{DD} の範囲は2.375V～5.25Vです。

電源シーケンシング

LTC2345-16には電源シーケンシングに関する特別な要件はありません。「絶対最大定格」のセクションに記載されている最大電圧の関係を遵守するよう注意する必要があります。LTC2335-16は、最初の電源投入時、および V_{DD} が2Vより低くなったときに必ずA/Dコンバータ(LTC2345-16)をリセットするパワーオン・リセット(POR)回路を内蔵しています。電源電圧が公称の電源電圧範囲内に戻ると、POR回路はA/Dコンバータを再度初期化します。初期化の期間が確実に終了するように、PORイベントの10ms後までは変換を開始しないようにします。内部リファレンス・バッファを使用する場合は、バッファがオンになりREFBUFバイパス・コンデンサを再充電できるよう、200msの時間を確保してください。この時点より前に変換を開始すると、結果が無効になります。

タイミングと制御

CNVのタイミング

LTC2345-16のサンプリングと変換はCNVによって制御されます。CNVの立ち上がりエッジで、すべてのチャンネルのサンプル・アンド・ホールド回路がトラック・モードからホールド・モードになり、すべてのチャンネルの入力信号を同時にサンプリングして変換を開始します。変換開始後は、「リセットのタイミング」のセクションで説明するように、A/Dコンバータをリセットする以外の方法で早期に変換を終了させることはできません。最適な性能を得るには、クリーンな低ジッタの信号でCNVを駆動し、データI/Oラインの遷移がCNVの立ち上がりエッジに至るのを避ける必要があります。また、チャンネル間のクロストークを最小限に抑えるためには、CNVの立ち上がりエッジの前後の100nsの間中はアナログ入力が高スループートにならないようにする必要があります。コンバータのステータス

はBUSY出力でわかります。BUSY出力は各変換の開始時に“L”から“H”に遷移し、変換が完了するまで“H”に保たれます。内部での変換処理中の外部的障害を最小限に抑えるため、CNVを“H”にして変換を開始されてから40ns～60ns後、またはBUSYの立ち下がりエッジ後に、CNVを“L”に戻す必要があります。BUSYの立ち下がりエッジ後にCNVを“L”に戻す場合は、次に“H”になるまでに少なくとも420nsは“L”に保つ必要があります。これは、CNVが“L”である時間(t_{CNVL})によりコンバータの収集時間(t_{ACQ})が決まるためです。

内部変換クロック

LTC2345-16には、N個のチャンネルをイネーブルした状態で $555 \cdot N - 35$ nsの最大変換時間を達成するように調整されている内部クロックがあります。8つのチャンネルを同時に変換する場合の最小データ収集時間は565nsであり、外部調整なしに、200kspsのスループット性能が保証されています。

パワーダウン・モード

PDピンが“H”になるとLTC2345-16はパワーダウンされ、その後の変換要求は無視されます。変換中にこの状態になった場合は、変換が完了した時点でデバイスがパワーダウン・モードになります。このモードでは、わずかなレギュレータ・スタンバイ電流しかデバイスに流れないため、消費電力は標準値で0.33mWとなります。パワーダウン・モードを終了する場合は、PDピンを“L”にして10ms以上保持すると変換処理が開始されます。内部リファレンス・バッファを使用する場合は、バッファがオンになりREFBUFバイパス・コンデンサを再充電できるよう、200msの時間を確保してください。この時点より前に変換を開始すると、結果が無効になります。

リセットのタイミング

LTC2345-16では、電源をオン/オフせずに、パワーオン・リセットの場合と同様なグローバル・リセットを実行できます。この機能は、システム・レベルのイベント後にシステム全体の状態を既知の同期値に復帰させる場合に役立ちます。グローバル・リセットを実行するには、図15のように、間で変換が行われないタイミングでPDを2回“H”にします。PDの2回目の立ち上がりエッジでリセット・イベントがトリガされ、内部タイマにより非同期的に終了します。リセットを行うと、すべてのシリア

アプリケーション情報

ル・データ出力レジスタがクリアされ、内部 SoftSpan 設定レジスタは、すべてのチャンネルが SoftSpan 7 であるデフォルト状態に復帰します。変換中にリセットがトリガされると、変換が直ちに停止します。PD を“H”にする通常のパワーダウン動作は、リセットの影響を受けません。PD ピンを“L”にして 10ms 以上保持すると変換処理が開始されます。内部リファレンス・バッファを使用する場合は、バッファがオンになり REFBUF バイパス・コンデンサを再充電できるよう、200ms の時間を確保してください。この時点より前に変換を開始すると、結果が無効になります。

自動ナップ・モード

LTC2345-16 は変換完了後自動的にナップ・モードに移行し、CNV の立ち上がりエッジで新しい変換が開始されると完全に起動します。自動ナップ・モードを使用すると、LTC2345-16 の電力損失は、図 16 に示すように、サンプリング周波数が低下するにつれて減少します。このように電力損失の平均値が減少するのは、ナップ・モードの間は LTC2345-16 の回路の一部がオフになり、一時休止状態で経過する変換サイクル (t_{CYC}) の割合が、サンプリング周波数 (f_{SMPL}) が減少するにつれて増加するからです。

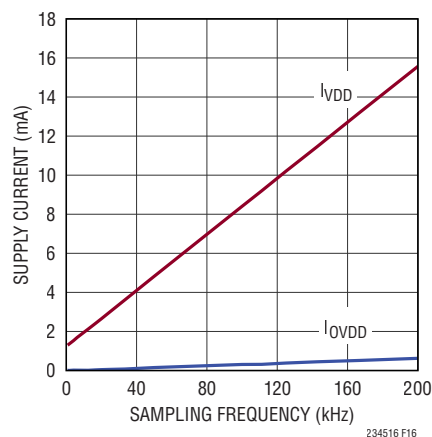


図 16. LTC2345-16 の電力損失はサンプリング周波数の低下とともに減少

デジタル・インタフェース

LTC2345-16 は CMOS と LVDS のシリアル・インタフェースを装備しており、LVDS/CMOS ピンで選択できます。LTC2345-16 は OV_{DD} 電源の柔軟性が高いため、2.5V システムや 3.3V システムなど、1.8V ~ 5V で動作する CMOS ロジックと通信でき、LVDS インタフェースは低ノイズなデジタル設計をサポートします。CMOS モード時はアプリケーションがシリアル・データ出力のレーン 1 ~ 8 を使用できるため、バス幅とデータ・スループットを最適化できます。また、このような I/O インタフェース・オプションがあるため、LTC2345-16 は、旧型のマイクロコントローラとも最新の FGPA とも同等に通信できます。

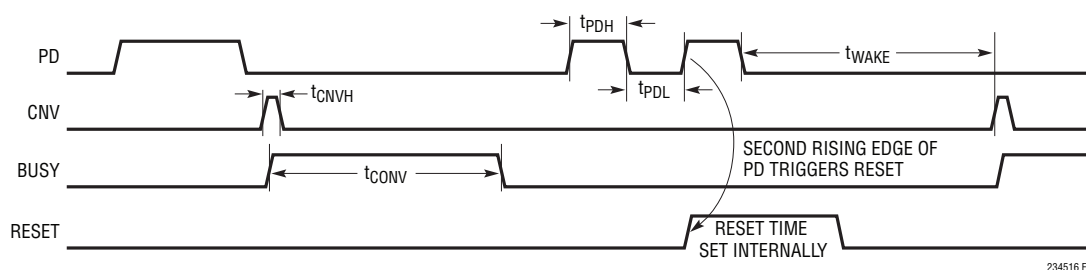


図 15. LTC2345-16 のリセットのタイミング

アプリケーション情報

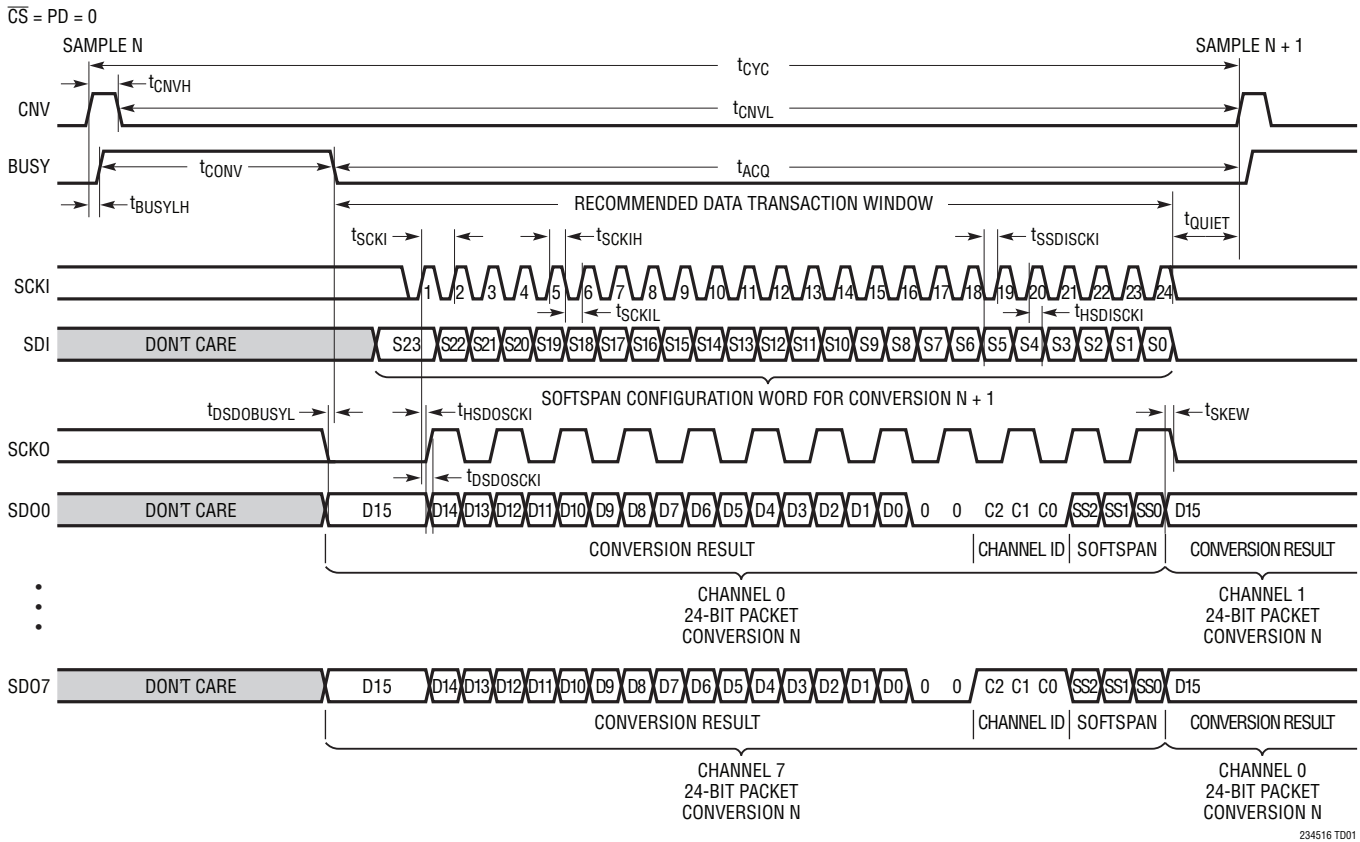


図 17. シリアル CMOS I/O モード

シリアル CMOS I/O モード

図 17 のように、CMOS I/O モードでは、シリアル・データバスは、シリアル・クロック入力 SCKI、シリアル・データ入力 SDI、シリアル・クロック出力 SCKO、8 レーンのシリアル・データ出力 SDO0 ~ SDO7 から構成されます。LTC2345-16 との通信は、このバス上で、あらかじめ定義されたデータ処理時間ウィンドウ内に行われます。このウィンドウ内で、デバイスは、次の変換用の 24 ビット SoftSpan 設定ワードを SDI で受信し、直近の変換の結果とチャンネル設定情報を含む 24 ビットの packets を SDO0 ~ SDO7 に出力します。LTC2345-16 の電源投入またはリセットの 10ms 後、および各変換の最後の BUSY の立ち下がりエッジで、新しいデータ処理ウィンドウ期間になります。推奨使用例では、図 17 のように、次の変換の開始より少なくとも 20ns 以上の時間 (t_{QUIET}) だけ前には、データ処理が完了している必要があります。新しい SoftSpan 設定ワードが受信されるのはこの推奨データ処理ウィンドウの時間内ですが、SoftSpan の変更は直ちに有効になり、次の変換開始前に必要なアナログ入力セトリング時間が長くなることはありません。

次の変換の開始後でも変換データを読み込むことはできませんが、変換精度が低下するため、この方法はお勧めしません。

BUSY の立ち下がりエッジで新しいデータ処理ウィンドウ期間になる直前に、SCKO は強制的に“L”になり、SDO0 ~ SDO7 はそれぞれに対応するアナログ入力チャンネル 0 ~ 7 での最新の交換結果に更新されます。SCKI の立ち上がりエッジで、変換結果とアナログ入力チャンネル設定情報がクロックに従って SDO0 ~ SDO7 にシリアル出力され、SDO0 ~ SDO7 のデータにスキュー・マッチングされる SCKO の遷移がトリガされます。その結果、SCKO の周波数は SCK の 1/2 になります。また、SCKI の立ち上がりエッジでは、SDI に送られた SoftSpan 設定ワードもラッチされ、これらの設定ワードを使用して、24 ビットの内部 SoftSpan 設定レジスタがプログラムされます。詳しくは、「CMOS I/O モード時の SoftSpan 設定レジスタのプログラミング」のセクションを参照してください。CMOS I/O モードでは、SCKI を、“H”でも“L”でもアイドル状態にできます。図 18 のように、CMOS バスは、CS ピンが“L”になるとイネーブルされ、CS ピンが“H”になるとディスエーブルされ

アプリケーション情報

て高インピーダンスになるため、複数のデバイスでバスを共有できます。

SDO0～SDO7のデータの形式は24ビットの packets であり、16ビットの変換結果と、それに続く2つの埋め込み用のゼロ、3ビットのアナログ・チャンネルID、3ビットのSoftSpan コードから構成され、すべての項目はMSBが先頭になる形で表現されます。図17および18のように、各SDOのレーンには、すべてのアナログ入力チャンネルに対応するこれらの packets が、順番に循環的に出力されます。たとえば、SDO0に出力される最初の24ビットの packets 出力はアナログ入力チャンネル0に対応し、続けてチャンネル1～7に対応する packets が出力されていきます。次に、SDO0のデータ出力はチャンネル0にラップバックし、このパターンが無期限に繰り返されます。他のSDOレーンも同様な循環パターンに従って動作しますが、各レーンで最初に現れる最初の packets が、関連付けられているアナログ入力チャンネルに対応することだけが異なります。

LTC2345-16を標準的なSPIバスとインターフェースさせる場合は、SCKIの立ち上がりエッジでレシーバの出力データを捕捉してください。この場合、SCKOは使用されません。また、この場合は通常、複数のSDOレーンを使用することもできません。LTC2345-16をFPGAやCPLDとインターフェースさせるような他のアプリケーションの場合は、SCKOの立ち上がりエッジと立ち下がりエッジを使用して、SDO0～SDO7のシリアル出力データを2倍のデータ・レート(DDR)で捕捉できます。SCKOを使用してデータを捕捉すると、温度や電源に起因する遅延時間の変動に対する耐性が高くなります。

8つの全レーンでのシリアルCMOS出力データの捕捉

表3のように、SDO0～SDO7の8つのシリアル・データ出力レーンすべてから最初の packets (合計で24回のSCKIサイクル)を捕捉することにより、各チャンネルごとに45MHzのSCKI周波数で200kspsの最大スループットを実現できます。また、この構成では、3ビットのアナログ・チャンネルIDと3ビットのSoftSpanコードが不要でありデバイスのSoftSpan設定が変更されていない場合は、わずか16回のSCKIサイクルで、すべてのチャンネルから変換結果を捕捉することができます。複数のレーンを使用したデータの捕捉は通常、取り込みハードウェアがFPGAまたはCPLDの場合に最適ですが、他のアプリケーションでも条件によっては効果的な場合があります。

8つ未満のレーンでのシリアルCMOS出力データの捕捉

8つの全レーンでのシリアル・データ捕捉に対応できないアプリケーションの場合は、LTC2345-16の設定を変更しなくても、使用するレーン数を減らすことができます。たとえば、SDO0、SDO2、SDO4、SDO6から最初の2つの packets (合計SCKIサイクル数は48)を捕捉する場合は、出力4つの出力レーンを使用して、それぞれアナログ入力チャンネル0と1、2と3、4と5、6と7に対応するデータが得られます。同様に、SDO0とSDO4から最初の4つの packets (合計SCKIサイクル数は96)を捕捉する場合は、2つの出力レーンを使用して、それぞれアナログ入力チャンネル0～3、4～7に対応するデータが得られます。1つのレーンにしか対応できず、SDO0から最初の8つの packets (合計SCKIサイクル数は192)を捕捉する場合は、すべての

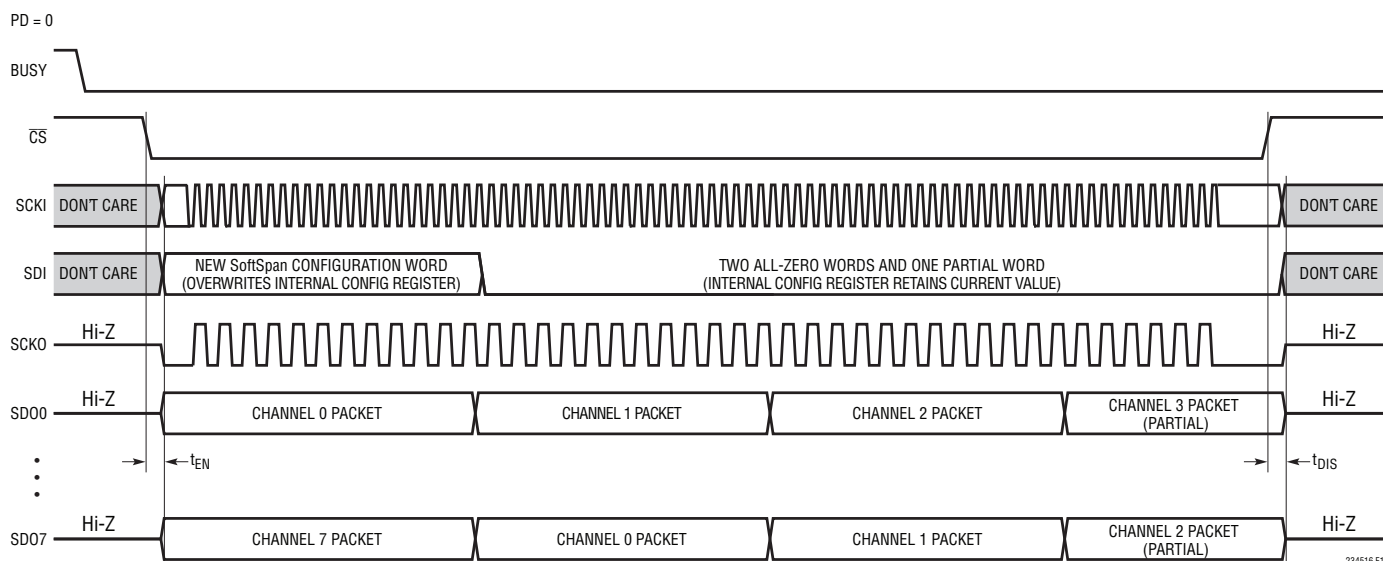


図18. 内部SoftSpan設定レジスタの動作。CSに対するシリアルCMOSバスの応答

234516f

アプリケーション情報

アナログ入力チャンネルに対応するデータが得られます。表3のように、4つのレーンを使用する場合は、SCKI周波数90MHzで最大200kpsps/チャンネルのスループットを実現できますが、2つまたは1つのレーンしか使用しない場合は、CMOSの最大SCKI周波数が100MHzという限界があるため、スループットが200kpsps/チャンネル未満に制約されてしまいます。データの捕捉に使用するレーン、および使用するレーンの総数の選択については、上記の特殊な例に限定されるものではないことに注意してください。個々のアプリケーションによっては、他の方法を選択した方が良好な結果が得られる場合もあります。

CMOS I/O モード時の SoftSpan 設定レジスタのプログラミング

24ビットの内部 SoftSpan 設定レジスタは、LTC2345-16のすべてのアナログ入力チャンネルの SoftSpan レンジを制御します。デバイスの電源投入後やりリセット後のデフォルト状態では、このレジスタはすべてが1になり、SoftSpan 7、± VREFBUF の範囲で変換処理を行うように、各チャンネルが設定されます(表1aを参照)。このレジスタの状態を変更するには、図17のように、データ処理ウィンドウの期間中に新しい24ビットの SoftSpan 設定ワードをSDIに書き込みます。新しい SoftSpan 設定ワードが受信されるのはこの推奨データ処理ウィンドウの時間内ですが、SoftSpanの変更は直ちに有効になり、次の変換開始前に必要なアナログ入力セトリング時間が長くなることはありません。チャンネルの SoftSpan コードをSS[2:0] = 000に設定すると、チャンネルが直ちにディスエーブルされ、次の変換では設定に応じて t_{CONV} が短くなります。同様に、前にディスエーブルしたチャンネルをイネーブルしても、次の変換の開始前のアナログ入力のセトリング時間が長くなることはありません。シリアル SoftSpan 設定ワード、内部 SoftSpan 設定レジスタ、各チャンネルの3ビットの SoftSpan コードの間の対応を、図19に示します。

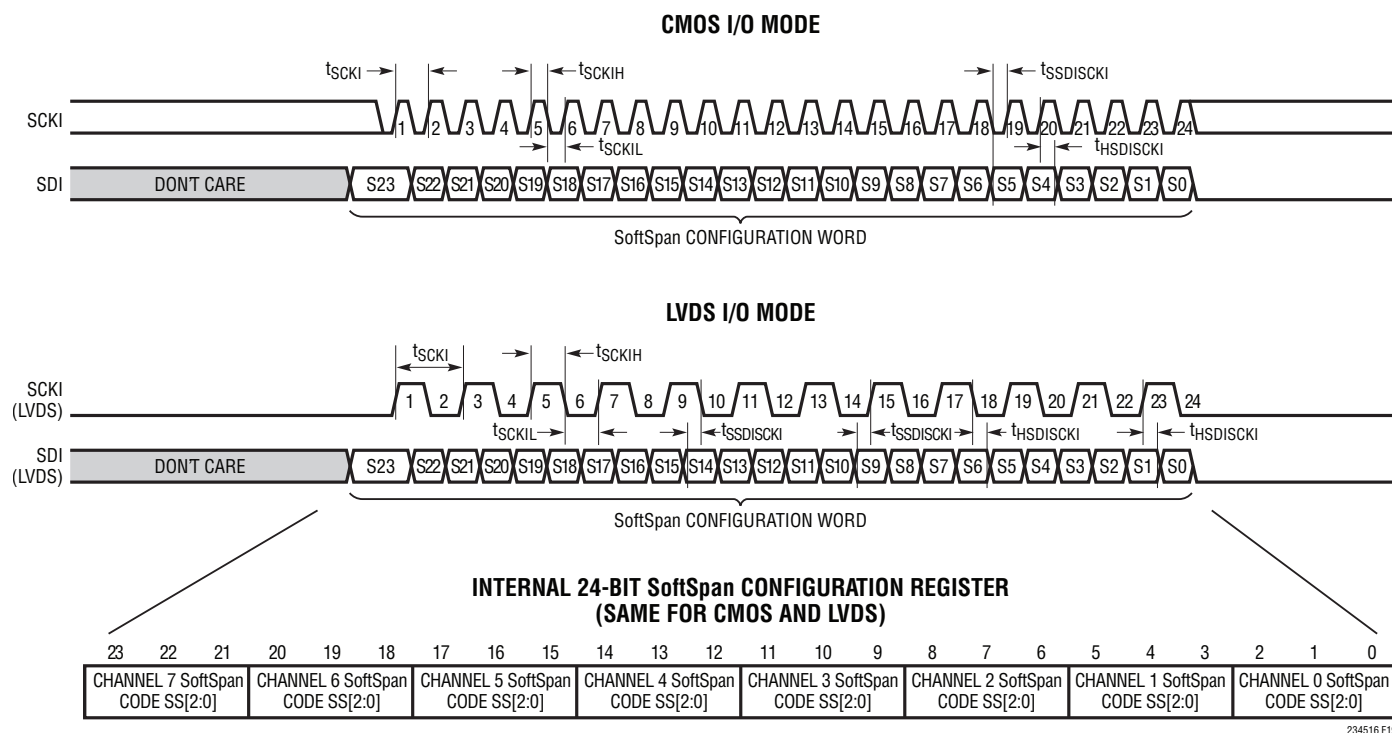
データ処理ウィンドウの期間中に与えたSCKI立ち上がりエッジの数が24未満の場合、SDIで受信した部分的な設定ワードは無視され、SoftSpan設定レジスタは更新されません。正確に24回のSCKI立ち上がりエッジを与えた場合は、受信したSoftSpan設定ワードS[23:0]に応じてSoftSpan設定レジスタが更新されます。ただし、S[23:0]がすべてゼロである場合は例外的な動作が発生します。この場合は、SoftSpan設定レジスタが更新されず、アプリケーションは、SDIを“L”でアイドリングさせることで現在のSoftSpan設定を保持できます。データ処理ウィンドウの期間中に与えたSCKI立ち上がりエッジの数が24を超える場合は、SDIで受信した24ビットの完全なそれぞれの制御ワードが新しいSoftSpan設定ワードと見なされ、前述のようにSoftSpan設定レジスタに適用されます。部分的な設定ワードは無視されます。

通常、アプリケーションは、図17、18のようにSoftSpan設定レジスタを更新します。BUSYの立ち下がりエッジで新しいデータ処理ウィンドウの期間に入った後の最初の24回のSCKIサイクル中に、24ビットのSoftSpan設定ワードをSDIに書き込みます。24回目のSCKI立ち上がりエッジの後、この新しい設定ワードが内部設定レジスタに上書きされます。この後は、さらにSCKIサイクルが加えられてもレジスタの内容が保持されるよう、データ処理ウィンドウの残りの時間中はSDIを“L”に保ちます。データ処理ウィンドウの期間全体にわたってSDIを“L”に保持すると、加えられたSCKIサイクルの数に関係なく、複数回の変換に対してSoftSpanの設定を保持できます。

一般的な出力バス構成で8つのチャンネルをイネーブルした状態でさまざまなスループットを実現するのに必要なSCKI周波数。網かけの項目は、その設定ではスループットを実現できないことを示す。 $f_{SCKI} = (\text{SCKIサイクル数}) / (t_{ACQ,MIN} - t_{QUIET})$ により計算

I/Oモード	SDOレーン数	SCKIサイクル数	各スループットの実現に必要な f_{SCKI} (MHz)		
			200kpsps/チャンネル ($t_{ACQ} = 565\text{ns}$)	100kpsps/チャンネル ($t_{ACQ} = 565\text{ns}$)	50kpsps/チャンネル ($t_{ACQ} = 15565\text{ns}$)
CMOS	8	16	30	3	2
	8	24	45	5	2
	4	48	90	9	4
	2	96	Not Achievable	18	7
	1	192	Not Achievable	35	13
LVDS	1	96	180 (360Mbps)	18 (36Mbps)	7 (14Mbps)

アプリケーション情報



234516 F19

図19. シリアルSoftSpan設定ワード、内部SoftSpan設定レジスタ、各アナログ入力チャネルの3ビットのSoftSpanコードの間の対応

シリアルLVDS I/Oモード

LVDS I/Oモードでは、正負の信号ペア(LVDS⁺/LVDS⁻)と、差動的にコード化されたビット(LVDS⁺ - LVDS⁻)を使用して、情報が送信されます。通常、これらの信号は、特性インピーダンス100Ωの差動伝送線路を使用して送られます。通常、ロジック1と0は、それぞれ差動電圧+350mV、-350mVにより表現されます。分かりやすくするため、すべてのLVDSタイミング図とインタフェースについての説明には、物理的な値でなく論理値を使用しています。

図20のように、LVDS I/Oモードの場合、シリアル・データバスは、シリアル・クロック差動入力SCKI、シリアル・データ差動入力SDI、シリアル・クロック差動出力SCKO、シリアル・データ差動出力SDOから構成されます。LTC2345-16との通信は、このバス上で、あらかじめ定義されたデータ処理時間ウィンドウ内に行われます。このウィンドウ内で、デバイスは、次の変換用の24ビットSoftSpan設定ワードをSDIで受信し、直近

の変換の結果とチャネル設定情報を含む24ビットの packets をSDOに出力します。LTC2345-16の電源投入またはリセットの10ms後、および各変換の最後のBUSYの立ち下がりエッジで、新しいデータ処理ウィンドウ期間になります。推奨使用例では、図20のように、次の変換の開始より少なくとも20ns以上の時間(t_{QUIET})だけ前には、データ処理が完了している必要があります。新しいSoftSpan設定ワードが受信されるのはこの推奨データ処理ウィンドウの時間内ですが、SoftSpanの変更は直ちに有効になり、次の変換開始前に必要なアナログ入力セトリング時間が長くなることはありません。次の変換の開始後でも変換データを読み込むことはできますが、変換精度が低下するため、この方法はお勧めしません。

BUSYの立ち下がりエッジで新しいデータ処理ウィンドウ期間になる直前に、SDOはアナログ入力チャネル0で得られた最新の交換結果に更新されます。SCKIの立ち上がりエッジと立ち下がりエッジの両方で、変換結果とアナログ入力チャ

アプリケーション情報

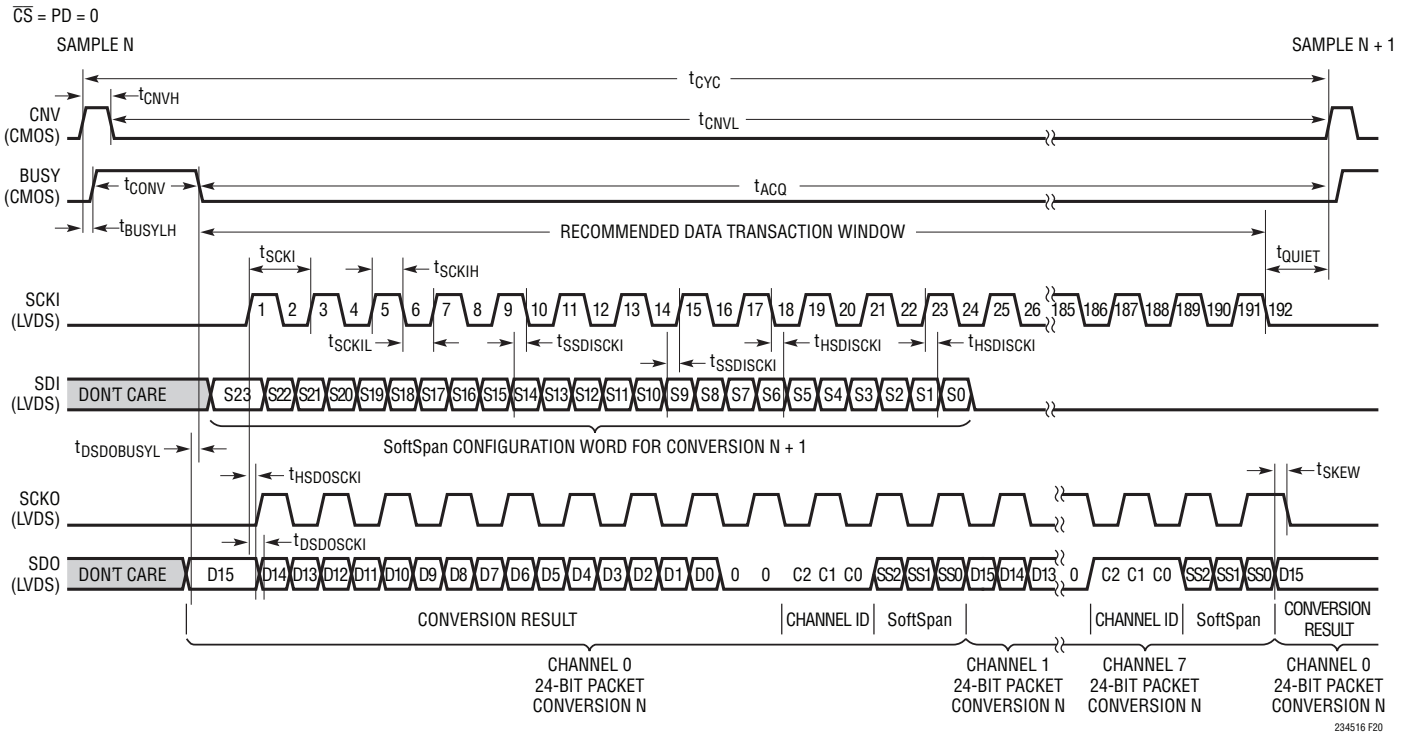


図20. シリアルLVDS I/Oモード

ネル設定情報がクロックに従ってSDOにシリアル出力されます。また、SCKIはSCKOにもエコーされ、SDOのデータにスキュー・マッチングされます。可能な場合は必ず、SCKOの立ち上がりエッジと立ち下がりエッジを使用してSDOのDDRシリアル出力データを捕捉することを推奨します。これにより、電源や温度に起因する遅延時間の変化への耐性を最適化できるためです。また、SCKIの立ち上がりエッジと立ち下がりエッジでは、SDIに送られたSoftSpan設定ワードもラッチされ、これらの設定ワードを使用して、24ビットの内部SoftSpan設定レジスタがプログラムされます。詳しくは、「LVDS I/Oモード時のSoftSpan設定レジスタのプログラミング」のセクションを参照してください。図21のように、LVDSバスは、 \overline{CS} ピンが“L”になるとイネーブルされ、 \overline{CS} ピンが“H”になるとディスエーブルされて高インピーダンスになるため、複数のデバイスでバスを共有できます。LVDSでの信号伝達は高速性に関するため、LVDSバスの共有については慎重に考慮する必要があります。共有バスに起因する伝送線路の限界のため、達成可能な最大バス・クロック速度が制約される可能性もあります。

$\overline{CS} = 0$ のとき、LVDS 入力 は 100Ω の差動抵抗で内部的に終端処理されますが、出力はレシーバ(FPGA)で100Ωの抵抗により差動で終端処理する必要があります。CSの遷移時など、LVDS I/OモードではSCKIが“L”でアイドル状態になっていなければなりません。

SDOのデータの形式は24ビットの packets であり、16ビットの変換結果と、それに続く2つの埋め込み用のゼロ、3ビットのアナログ・チャンネルID、3ビットのSoftSpanコードから構成され、すべての項目はMSBが先頭になる形で表現されます。図20および21のように、SDOには、すべてのアナログ入力チャンネルに対応するこれらの packets が、順番に循環的に出力されます。たとえば、SDOに出力される最初の24ビットの packets 出力はアナログ入力チャンネル0に対応し、続けてチャンネル1～7に対応する packets が出力されていきます。次に、SDOのデータ出力はチャンネル0にラップバックし、このパターンが無期限に繰り返されます。

アプリケーション情報

シリアルLVDS出力データの捕捉

表3のように、SDOでDDRの8つのパケット(合計で96回のSCKIサイクル)を捕捉することにより、180MHzのSCKI周波数で200kpsps/チャンネルの最大スループットを実現できます。LTC2345-16は、250MHzまでのLVDS SCKI周波数に対応できます。

LVDS I/Oモード時のSoftSpan設定レジスタのプログラミング

24ビットの内部SoftSpan設定レジスタは、LTC2345-16のすべてのアナログ入力チャンネルのSoftSpanレンジを制御します。デバイスの電源投入後やりセット後のデフォルト状態では、このレジスタはすべてが1になり、SoftSpan 7、 $\pm V_{REFBUF}$ の範囲で変換処理を行うように、各チャンネルが設定されます(表1aを参照)。このレジスタの状態を変更するには、図20のように、データ処理ウィンドウの期間中に新しい24ビットのSoftSpan設定ワードをSDIに書き込みます。新しいSoftSpan設定ワードが受信されるのはこの推奨データ処理ウィンドウの時間内ですが、SoftSpanの変更は直ちに有効になり、次の変換開始前に必要なアナログ入力セトリング時間が長くなることはありません。チャンネルのSoftSpanコードをSS[2:0] = 000に設定すると、チャンネルが直ちにディスエーブルされ、次の変換では設定に応じて t_{CONV} が短くなります。同様に、前にディスエーブルしたチャンネルをイネーブルしても、次の変換の開始前のアナログ入力のセトリング時間が長くなることはありません。シリアルSoftSpan設定ワード、内部SoftSpan設定レジスタ、各チャンネルの3ビットのSoftSpanコードの間の対応を、図19に示します。

データ処理ウィンドウの期間中に与えたSCKIエッジ(立ち上がりと立ち下がり)の数が24未満の場合、SDIで受信した部分的な設定ワードは無視され、SoftSpan設定レジスタは更新されません。正確に24回のSCKIエッジを与えた場合は、受信したSoftSpan設定ワードS[23:0]に応じてSoftSpan設定レジスタが更新されます。ただし、S[23:0]がすべてゼロである場合は例外的な動作が発生します。この場合は、SoftSpan設定レジスタが更新されず、アプリケーションは、SDIを“L”でアイドリングさせることで現在のSoftSpan設定を保持できます。データ処理ウィンドウの期間中に与えたSCKIエッジの数が24を超える場合は、SDIで受信した24ビットの完全なそれぞれの制御ワードが新しいSoftSpan設定ワードと見なされ、前述のようにSoftSpan設定レジスタに適用されます。部分的な設定ワードは無視されます。

通常、アプリケーションは、図20、21のようにSoftSpan設定レジスタを更新します。BUSYの立ち下がりエッジで新しいデータ処理ウィンドウの期間に入った後の最初の12回のSCKIサイクル中に、24ビットのDDR SoftSpan設定ワードをSDIに書き込みます。12回目のSCKI立ち下がりエッジの後、この新しい設定ワードが内部設定レジスタに上書きされます。この後は、さらにSCKIサイクルが加えられてもレジスタの内容が保持されるよう、データ処理ウィンドウの残りの時間中はSDIを“L”に保ちます。データ処理ウィンドウの期間全体にわたってSDIを“L”に保持すると、加えられたSCKIサイクルの数に関係なく、複数回の変換に対してSoftSpanの設定を保持できます。

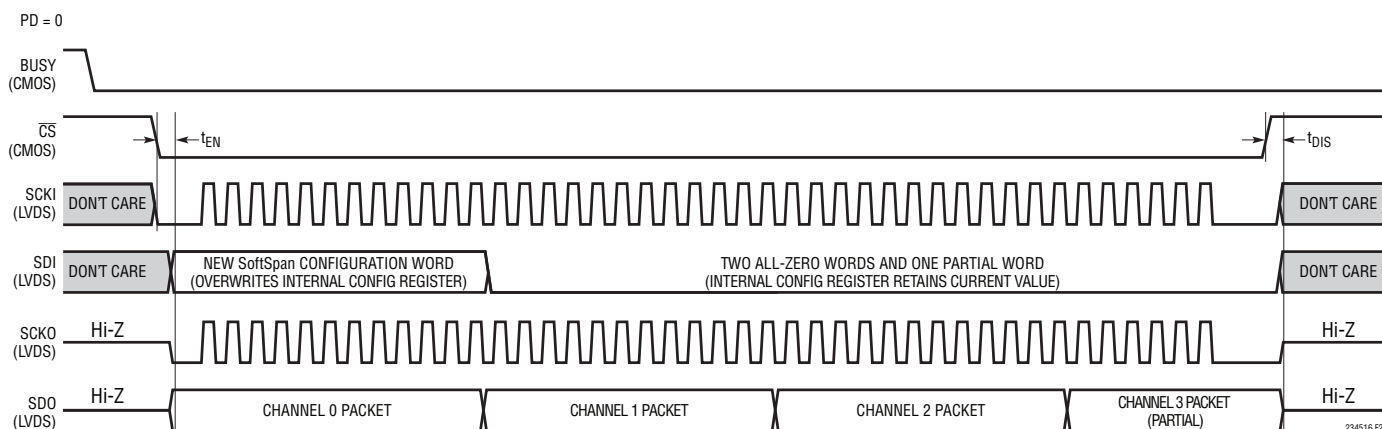


図21. 内部SoftSpan設定レジスタの動作。CSに対するシリアルLVDSバスの応答

234516f

基板のレイアウト

LTC2345-16から最大限の性能を引き出すには、4層プリント回路基板(PCB)を推奨します。PCBのレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・クロックやデジタル信号を、アナログ信号の近くに配線したり、A/Dコンバータの下に配線したりしないように注意する必要があります。REFBUFからGND(ピン20)へのバイパス・コンデンサのリターン・ループの長さは、最小限に抑えてください。また、CNVを信号の近くに配線することは、立ち上がりエッジの妨げになる可能性があるため避けてください。

電源のバイパス・コンデンサは、できる限り電源ピンの近くに配置してください。A/Dコンバータを低ノイズで動作させるには、これらのバイパス・コンデンサに低インピーダンスの共通帰線を使用することが不可欠です。そのためには、切れ目のない単一のグラウンド・プレーンを推奨します。できれば、グラウンドを使用してアナログ入力のトレースを遮蔽してください。

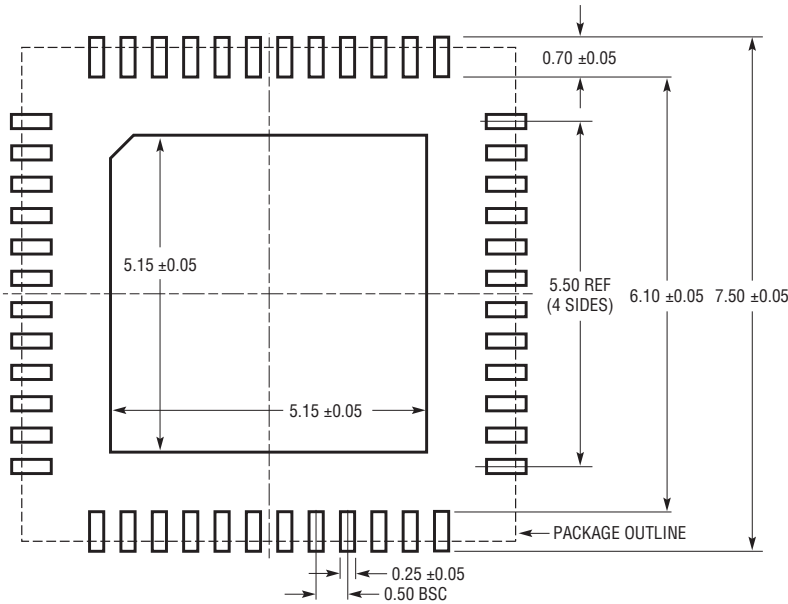
リファレンスの設計

図面やPCBレイアウトなど、このコンバータのリファレンスの設計に関する詳細は、LTC2345-16評価キット [DC2326A](#) を参照してください。

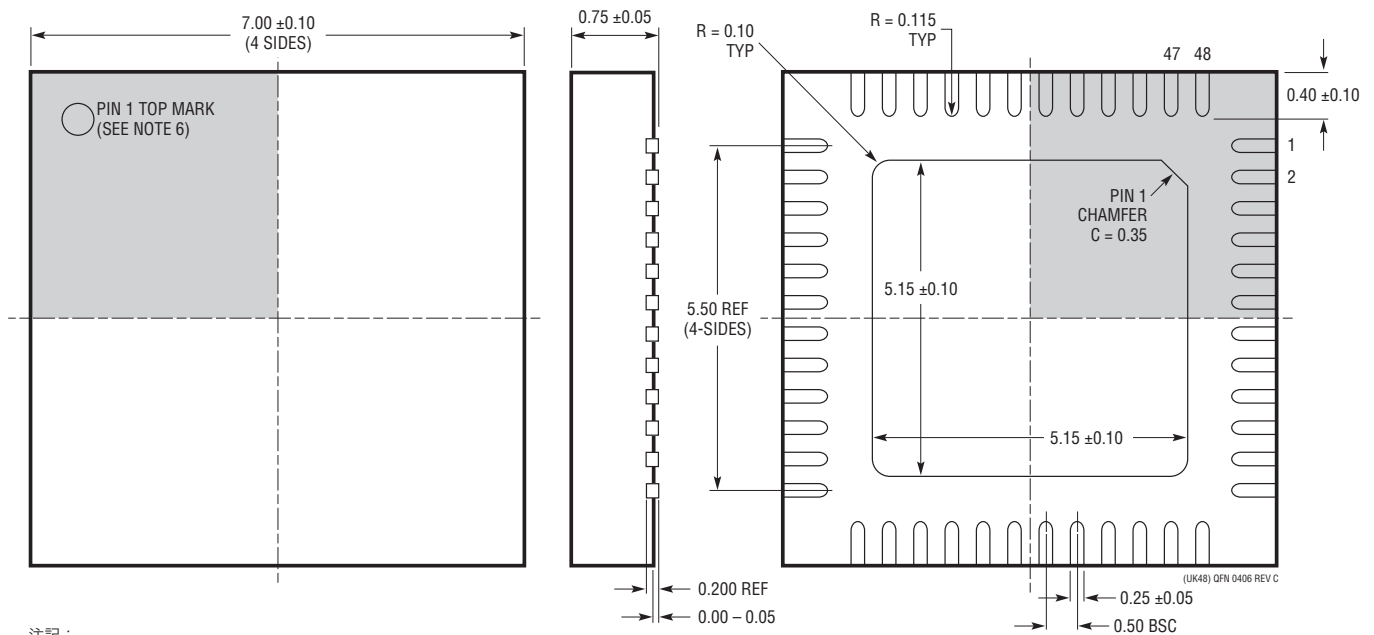
パッケージ寸法

最新のパッケージ図面については、<http://www.linear-tech.co.jp/product/LTC2345-16#packaging> を参照してください。

UK Package
48-Lead Plastic QFN (7mm × 7mm)
 (Reference LTC DWG # 05-08-1704 Rev C)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



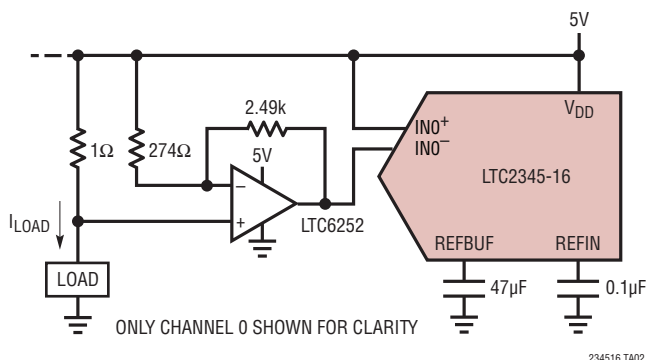
- 注記:
1. 図面はJEDECのパッケージ外形MO-220のバリエーション (WKKD-2) に適合
 2. 図は実寸とは異なる
 3. 全ての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは (もしあれば) 各サイドで0.20mmを超えないこと
 5. 露出パッドは半田メッキとする
 6. 灰色の部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

BOTTOM VIEW—EXPOSED PAD

(UK48) QFN 0406 REV C

標準的応用例

増幅機能によりレールから電流を検出



関連製品

製品番号	概要	注釈
A/D コンバータ		
LTC2345-18	18-Bit, 200ksps, 8-Channel Simultaneous Sampling, ± 5 LSB INL, Serial ADC	5V Supply, SoftSpan Inputs with Wide Common Mode Range, 91.8dB SNR, Serial CMOS and LVDS I/O, 7mm \times 7mm QFN-48 Package
LTC2348-18/LTC2348-16	18-/16-Bit, 200ksps, 8-Channel Simultaneous Sampling, $\pm 3/\pm 1$ LSB INL, Serial ADC	± 10.24 V SoftSpan Inputs with Wide Common Mode Range, 97/94dB SNR, Serial CMOS and LVDS I/O, 7mm \times 7mm LQFP-48 Package
LTC2378-20/LTC2377-20/ LTC2376-20	20-Bit, 1Msps/500ksps/250ksps, ± 0.5 ppm INL Serial, Low Power ADC	2.5V Supply, ± 5 V Fully Differential Input, 104dB SNR, MSOP-16 and 4mm \times 3mm DFN-16 Packages
LTC2338-18/LTC2337-18/ LTC2336-18	18-Bit, 1Msps/500ksps/250ksps, Serial, Low Power ADC	5V Supply, ± 10.24 V Fully Differential Input, 100dB SNR, MSOP-16 Package
LTC2328-18/LTC2327-18/ LTC2326-18	18-Bit, 1Msps/500ksps/250ksps, Serial, Low Power ADC	5V Supply, ± 10.24 V Pseudo-Differential Input, 95dB SNR, MSOP-16 Package
LTC2373-18/LTC2372-18	18-Bit, 1Msps/500ksps, 8-Channel, Serial ADC	5V Supply, 8 Channel Multiplexed, Configurable Input Range, 100dB SNR, DGC, 5mm \times 5mm QFN-32 Package
LTC2379-18/LTC2378-18/ LTC2377-18/LTC2376-18	18-Bit, 1.6Msps/1Msps/500ksps/250ksps, Serial, Low Power ADC	2.5V Supply, Differential Input, 101.2dB SNR, ± 5 V Input Range, DGC, Pin Compatible Family in MSOP-16 and 4mm \times 3mm DFN-16 Packages
LTC2380-16/LTC2378-16/ LTC2377-16/LTC2376-16	16-Bit, 2Msps/1Msps/500ksps/250ksps, Serial, Low Power ADC	2.5V Supply, Differential Input, 96.2dB SNR, ± 5 V Input Range, DGC, Pin Compatible Family in MSOP-16 and 4mm \times 3mm DFN-16 Packages
LTC2389-18/LTC2389-16	18-Bit/16-Bit, 2.5Msps, Parallel/Serial ADC	5V Supply, Pin-Configurable Input Range, 99.8dB/96dB SNR, Parallel or Serial I/O 7mm \times 7mm LQFP-48 and QFN-48 Packages
LTC1859/LTC1858/LTC1857	16-/14-/12-Bit, 8-Channel, 100ksps, Serial ADC	± 10 V, SoftSpan, Single-Ended or Differential Inputs, Single 5V Supply, SSOP-28 Package
LTC1606/LTC1605	16-Bit, 250ksps/100ksps, Parallel ADC	± 10 V Input, 5V Supply, 75mW/55mW, SSOP-28 and SO-28 Packages
D/A コンバータ		
LTC2756/LTC2757	18-Bit, Serial/Parallel I_{OUT} SoftSpan DAC	± 1 LSB INL/DNL, Software-Selectable Ranges, SSOP-28/7mm \times 7mm LQFP-48 Package
LTC2668	16-Channel 16-/12-Bit ± 10 V V_{OUT} SoftSpan DACs	± 4 LSB INL, Precision Reference 10ppm/ $^{\circ}$ C Max, 6mm \times 6mm QFN-40 Package
リファレンス		
LTC6655	Precision Low Drift Low Noise Buffered Reference	5V/2.5V/2.048V/1.25V, 2ppm/ $^{\circ}$ C, 0.25ppm Peak-to-Peak Noise, MSOP-8 Package
LTC6652	Precision Low Drift Low Noise Buffered Reference	5V/2.5V/2.048V/1.25V, 5ppm/ $^{\circ}$ C, 2.1ppm Peak-to-Peak Noise, MSOP-8 Package
アンプ		
LT6236/LT6237/LT6238	Single/Dual/Quad Operational Amplifier with Low Wideband Noise	215MHz, 3.5mA/Amplifier, 1.1nV/ $\sqrt{\text{Hz}}$
LT6233/LT6234/LT6235	Single/Dual/Quad Low Noise Rail-to-Rail Output Op Amps	60MHz, 1.2mA, 1.2nV/ $\sqrt{\text{Hz}}$, 15V/ μ s, 0.5mV
LTC6252/LTC6253/LTC6254	720MHz, 3.5mA Power Efficient Rail-to-Rail I/O Op Amp	720MHz GBW, Unity Gain Stable, Low Noise

234516f