

# 入力同相電圧範囲の広い 18ビット、1Msps、8チャンネル、±10.24V差動入力 SoftSpan A/Dコンバータ

## 特長

- スループット: 1Msps
- INL(最大): ±3LSB(±10.24Vレンジ)
- 欠落コードのない18ビットを保証
- 同相電圧範囲の広い差動入力
- 入力レンジを選択可能な8チャンネルSoftSpanマルチプレクサ
  - ±10.24V、0V～10.24V、±5.12V、0V～5.12V
  - ±12.5V、0V～12.5V、±6.25V、0V～6.25V
- シングル・コンバージョンのSNR: 96.7dB(標準)
- THD: -109dB(標準、 $f_{IN} = 2\text{kHz}$ )
- CMRR: 118dB、アクティブ・クロストーク: 125dB(標準)
- レール・トゥ・レールの入力オーバードライブ耐性
- 遅延のない制御が可能なプログラマブル・シーケンサ
- 125°Cまでの動作を保証
- リファレンスとバッファを内蔵(4.096V)
- SPI CMOS(1.8V～5V)とLVDSのシリアルI/O
- パイプライン遅延なし、サイクル待ち時間なし
- 電力損失: 180mW(標準)
- 48ピン(7mm×7mm)LQFPパッケージ

## アプリケーション

- プログラマブル・ロジック・コントローラ
- 産業用プロセス制御
- 電源システムの監視
- テストと測定

## 概要

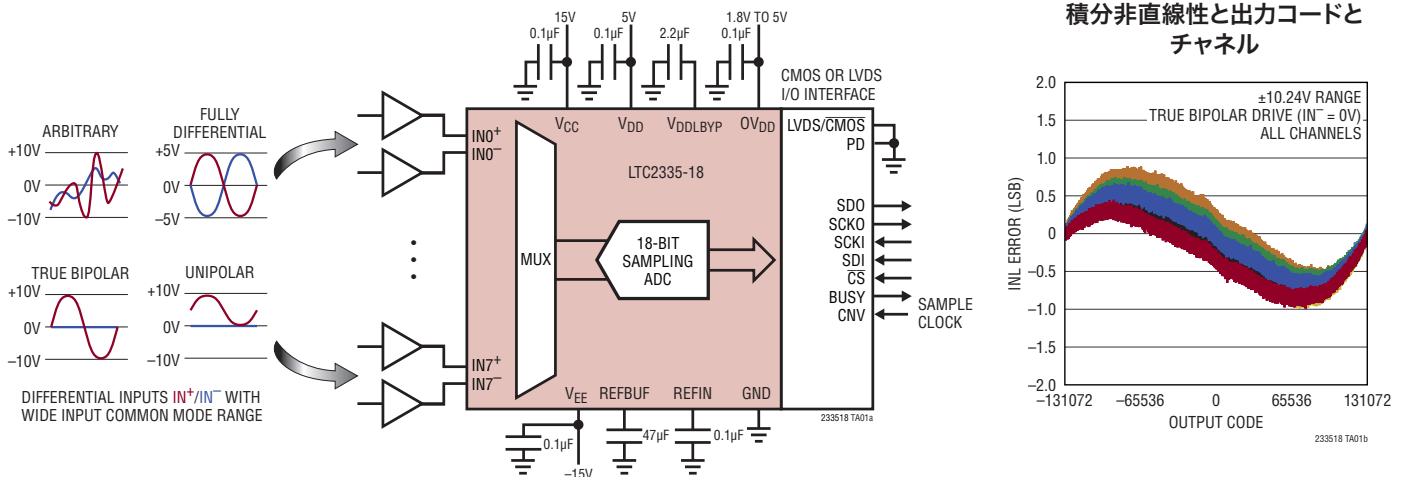
LTC<sup>®</sup>2335-18は、差動入力で入力同相電圧範囲の広い、18ビット、低ノイズ、8チャンネル、マルチプレクサ逐次比較レジスタ(SAR) A/Dコンバータです。5V低電圧電源から高電圧電源まで柔軟に対応して動作でき、内蔵のリファレンスとバッファを使用できる、このSoftSpan<sup>™</sup> A/Dコンバータは、変換ごとに任意のチャンネルで、±10.24V、0V～10.24V、±5.12V、または0V～5.12Vの信号を入力できるように設定できます。また、ユーザが操作しなくてもチャンネルやレンジを順次切り替えて循環動作させるようにA/Dコンバータをプログラムすることもできます。

LTC2335-18のアナログ入力は入力同相電圧範囲が広くCMRRが118dBであり、さまざまな信号をA/Dコンバータで直接デジタル化できるため、信号チェーンの設計を簡素化できます。このような入力信号の柔軟性と±3LSBのINL、欠落コードのない18ビットの分解能、96.7dBのSNRを有するLTC2335-18は、広いダイナミック・レンジが要求されるさまざまな高電圧用途に最適です。

LTC2335-18には、ピンで選択可能なSPI CMOS(1.8V～5V)とLVDSのシリアル・インタフェースが用意されています。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。SoftSpanはリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。7705765、7961132、8319673を含む米国特許によって保護されています。その他にも出願中の特許があります。

## 標準的応用例



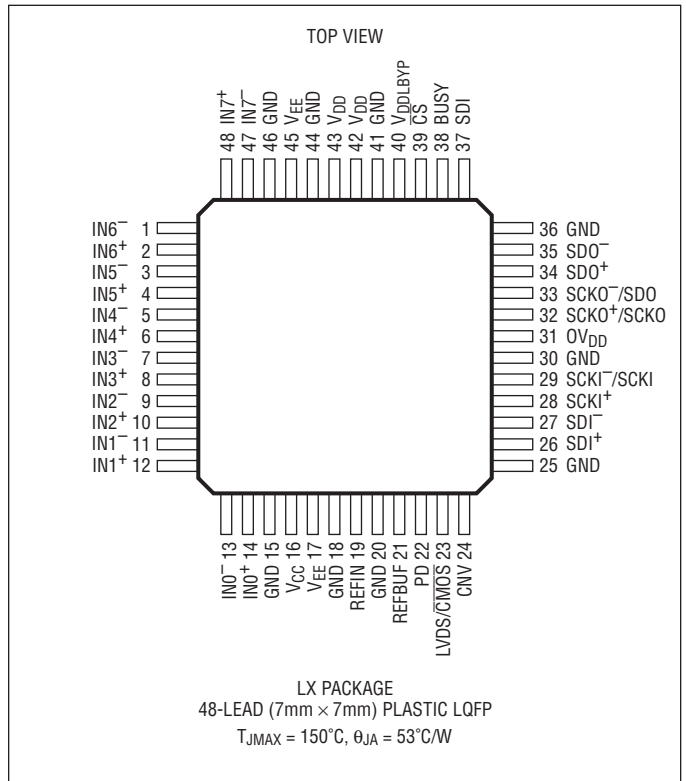
# LTC2335-18

## 絶対最大定格

(Note 1, 2)

電源電圧 ( $V_{CC}$ )	.....	-0.3V ~ ( $V_{EE} + 40V$ )
電源電圧 ( $V_{EE}$ )	.....	-17.4V ~ 0.3V
電源電圧差 ( $V_{CC} - V_{EE}$ )	.....	40V
電源電圧 ( $V_{DD}$ )	.....	6V
電源電圧 ( $OV_{DD}$ )	.....	6V
内蔵の安定化電源をバイパス ( $V_{DDLBY}$ ) (Note 3)		
アナログ入力電圧		
$IN0^+ \sim IN7^+$ 、		
$IN0^- \sim IN7^-$ (Note 4)	.....	( $V_{EE} - 0.3V$ ) ~ ( $V_{CC} + 0.3V$ )
REFIN	.....	-0.3V ~ 2.8V
REFBUF、CNV (Note 5)	.....	-0.3V ~ ( $V_{DD} + 0.3V$ )
デジタル入力電圧 (Note 5)	.....	(-0.3V) ~ ( $OV_{DD} + 0.3V$ )
デジタル出力電圧 (Note 5)	.....	(-0.3V) ~ ( $OV_{DD} + 0.3V$ )
電力損失	.....	500mW
動作温度範囲		
LTC2335C	.....	0°C ~ 70°C
LTC2335I	.....	-40°C ~ 85°C
LTC2335H	.....	-40°C ~ 125°C
保存温度範囲	.....	-65°C ~ 150°C

## ピン配置



## 発注情報

鉛フリー仕様	トレイ	製品マーキング*	パッケージ	温度範囲
LTC2335CLX-18#PBF	LTC2335CLX-18#PBF	LTC2335LX-18	48-Lead (7mm×7mm) Plastic LQFP	0°C ~ 70°C
LTC2335ILX-18#PBF	LTC2335ILX-18#PBF	LTC2335LX-18	48-Lead (7mm×7mm) Plastic LQFP	-40°C to 85°C
LTC2335HLX-18#PBF	LTC2335HLX-18#PBF	LTC2335LX-18	48-Lead (7mm×7mm) Plastic LQFP	-40°C to 125°C

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。\* 温度グレードは出荷時のコンテナのラベルで識別されます。  
鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

## 電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値 (Note 6)。

記号	パラメータ	条件		最小値	標準値	最大値	単位
$V_{IN+}$	Absolute Input Range ( $IN0^+$ to $IN7^+$ )	(Note 7)	●	$V_{EE}$		$V_{CC} - 4$	V
$V_{IN-}$	Absolute Input Range ( $IN0^-$ to $IN7^-$ )	(Note 7)	●	$V_{EE}$		$V_{CC} - 4$	V
$V_{IN+} - V_{IN-}$	Input Differential Voltage Range	SoftSpan 7: $\pm 2.5 \cdot V_{REFBUF}$ Range (Note 7)	●	$-2.5 \cdot V_{REFBUF}$		$2.5 \cdot V_{REFBUF}$	V
		SoftSpan 6: $\pm 2.5 \cdot V_{REFBUF}/1.024$ Range (Note 7)	●	$-2.5 \cdot V_{REFBUF}/1.024$		$2.5 \cdot V_{REFBUF}/1.024$	V
		SoftSpan 5: 0V to $2.5 \cdot V_{REFBUF}$ Range (Note 7)	●	0		$2.5 \cdot V_{REFBUF}$	V
		SoftSpan 4: 0V to $2.5 \cdot V_{REFBUF}/1.024$ Range (Note 7)	●	0		$2.5 \cdot V_{REFBUF}/1.024$	V
		SoftSpan 3: $\pm 1.25 \cdot V_{REFBUF}$ Range (Note 7)	●	$-1.25 \cdot V_{REFBUF}$		$1.25 \cdot V_{REFBUF}$	V
		SoftSpan 2: $\pm 1.25 \cdot V_{REFBUF}/1.024$ Range (Note 7)	●	$-1.25 \cdot V_{REFBUF}/1.024$		$1.25 \cdot V_{REFBUF}/1.024$	V
		SoftSpan 1: 0V to $1.25 \cdot V_{REFBUF}$ Range (Note 7)	●	0		$1.25 \cdot V_{REFBUF}$	V
SoftSpan 0: 0V to $1.25 \cdot V_{REFBUF}/1.024$ Range (Note 7)	●	0		$1.25 \cdot V_{REFBUF}/1.024$	V		
$V_{CM}$	Input Common Mode Voltage Range	(Note 7)	●	$V_{EE}$		$V_{CC} - 4$	V
$V_{IN+} - V_{IN-}$	Input Differential Overdrive Tolerance	(Note 8)	●	$-(V_{CC} - V_{EE})$		$(V_{CC} - V_{EE})$	V
$I_{IN}$	Analog Input Leakage Current		●	-1		1	$\mu\text{A}$
$C_{IN}$	Analog Input Capacitance	Sample Mode			50		pF
		Hold Mode			10		pF
CMRR	Input Common Mode Rejection Ratio	$V_{IN+} = V_{IN-} = 18\text{V}_{P-P}$ 200Hz Sine	●	100	118		dB
$V_{IHCNV}$	CNV High Level Input Voltage		●	1.3			V
$V_{ILCNV}$	CNV Low Level Input Voltage		●			0.5	V
$I_{INCNV}$	CNV Input Current	$V_{IN} = 0\text{V}$ to $V_{DD}$	●	-10		10	$\mu\text{A}$

## コンバータ特性

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 9)

記号	パラメータ	条件		最小値	標準値	最大値	単位
	Resolution		●	18			Bits
	No Missing Codes		●	18			Bits
	Transition Noise	SoftSpans 7 and 6: $\pm 10.24\text{V}$ and $\pm 10\text{V}$ Ranges			1.3		LSBRMS
		SoftSpans 5 and 4: 0V to $10.24\text{V}$ and 0V to $10\text{V}$ Ranges			2.6		LSBRMS
		SoftSpans 3 and 2: $\pm 5.12\text{V}$ and $\pm 5\text{V}$ Ranges				2.0	LSBRMS
		SoftSpans 1 and 0: 0V to $5.12\text{V}$ and 0V to $5\text{V}$ Ranges				4.0	LSBRMS
INL	Integral Linearity Error	SoftSpans 7 and 6: $\pm 10.24\text{V}$ and $\pm 10\text{V}$ Ranges (Note 10)	●	-3	$\pm 1$	3	LSB
		SoftSpans 5 and 4: 0V to $10.24\text{V}$ and 0V to $10\text{V}$ Ranges (Note 10)	●	-4	$\pm 1.5$	4	LSB
		SoftSpans 3 and 2: $\pm 5.12\text{V}$ and $\pm 5\text{V}$ Ranges (Note 10)	●	-2.5	$\pm 0.75 \pm$	2.5	LSB LSB
		SoftSpans 1 and 0: 0V to $5.12\text{V}$ and 0V to $5\text{V}$ Ranges (Note 10)	●	-2.5	0.75	2.5	LSB LSB
DNL	Differential Linearity Error	(Note 11)	●	-0.9	$\pm 0.2$	0.9	LSB
ZSE	Zero-Scale Error	(Note 12)	●	-550	$\pm 80$	550	$\mu\text{V}$
	Zero-Scale Error Drift				$\pm 2$		$\mu\text{V}/^\circ\text{C}$
FSE	Full-Scale Error	(Note 12)	●	-0.1	$\pm 0.025$	0.1	%FS
	Full-Scale Error Drift				$\pm 2.5$		ppm/ $^\circ\text{C}$

## ダイナミック精度

● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 9、13)

記号	パラメータ	条件		最小値	標準値	最大値	単位
SINAD	Signal-to-(Noise + Distortion) Ratio	SoftSpans 7 and 6: $\pm 10.24\text{V}$ and $\pm 10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	93.0	96.5		dB
		SoftSpans 5 and 4: $0\text{V}$ to $10.24\text{V}$ and $0\text{V}$ to $10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	87.6	90.6		dB
		SoftSpans 3 and 2: $\pm 5.12\text{V}$ and $\pm 5\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	90.0	93.2		dB
		SoftSpans 1 and 0: $0\text{V}$ to $5.12\text{V}$ Range $0\text{V}$ to $5\text{V}$ Range	●	84.2	87.3		dB
SNR	Signal-to-Noise Ratio	1111 7 1111 6: $\pm 10.24\text{V}$ and $\pm 10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	93.7	96.7		dB
		SoftSpans 5 and 4: $0\text{V}$ to $10.24\text{V}$ and $0\text{V}$ to $10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	87.7	90.7		dB
		SoftSpans 3 and 2: $\pm 5.12\text{V}$ and $\pm 5\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	90.2	93.2		dB
		SoftSpans 1 and 0: $0\text{V}$ to $5.12\text{V}$ and $0\text{V}$ to $5\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	84.3	87.3		dB
THD	Total Harmonic Distortion	1111 7 1111 6: $\pm 10.24\text{V}$ and $\pm 10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●		-109	-101	dB
		SoftSpans 5 and 4: $0\text{V}$ to $10.24\text{V}$ and $0\text{V}$ to $10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●		-111	-99	dB
		SoftSpans 3 and 2: $\pm 5.12\text{V}$ and $\pm 5\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●		-113	-104	dB
		SoftSpans 1 and 0: $0\text{V}$ to $5.12\text{V}$ Range $0\text{V}$ to $5\text{V}$ Range	●		-114	-103	dB
SFDR	Spurious Free Dynamic Range	1111 7 1111 6: $\pm 10.24\text{V}$ and $\pm 10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	101	110		dB
		SoftSpans 5 and 4: $0\text{V}$ to $10.24\text{V}$ and $0\text{V}$ to $10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	99	112		dB
		SoftSpans 3 and 2: $\pm 5.12\text{V}$ and $\pm 5\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	105	114		dB
		SoftSpans 1 and 0: $0\text{V}$ to $5.12\text{V}$ Range $0\text{V}$ to $5\text{V}$ Range	●	105	115		dB
	Channel-to-Channel Active Crosstalk	Alternating Conversions with $18\text{V}_{P-P}$ $200\text{Hz}$ Sine in $\pm 10.24\text{V}$ Range, Crosstalk to Any Other Channel			-125		dB
	-3dB Input Bandwidth			7			MHz
	Aperture Delay			1			ns
	Aperture Delay Matching			150			ps
	Aperture Jitter			3			ps <sub>RMS</sub>
	Transient Response	Full-Scale Step, 0.005% Settling			360		ns

## 内部リファレンスの特性

● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 9)

記号	パラメータ	条件		最小値	標準値	最大値	単位
$V_{REFIN}$	Internal Reference Output Voltage			2.043	2.048	2.053	V
	Internal Reference Temperature Coefficient	(Note 14)	●		5	20	ppm/ $^\circ\text{C}$
	Internal Reference Line Regulation	$V_{DD} = 4.75\text{V}$ to $5.25\text{V}$			0.1		mV/V
	Internal Reference Output Impedance				20		k $\Omega$
$V_{REFIN}$	REFIN Voltage Range	REFIN Overdriven (Note 7)		1.25		2.2	V

## リファレンス・バッファ特性

● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値 (Note 9)。

記号	パラメータ	条件		最小値	標準値	最大値	単位
$V_{\text{REFBUF}}$	Reference Buffer Output Voltage	REFIN Overdriven, $V_{\text{REFIN}} = 2.048\text{V}$	●	4.091	4.096	4.101	V
	REFBUF Voltage Range	REFBUF Overdriven (Notes 7, 15)	●	2.5		5	V
	REFBUF Input Impedance	$V_{\text{REFIN}} = 0\text{V}$ , Buffer Disabled			13		k $\Omega$
$I_{\text{REFBUF}}$	REFBUF Load Current	$V_{\text{REFBUF}} = 5\text{V}$ , (Notes 15, 16) $V_{\text{REFBUF}} = 5\text{V}$ , Acquisition or Nap Mode (Note 15)	●		1.1 0.39	1.4	mA mA

## デジタル入力とデジタル出力

● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 9)

記号	パラメータ	条件		最小値	標準値	最大値	単位
<b>CMOS デジタル入力とデジタル出力</b>							
$V_{\text{IH}}$	High Level Input Voltage		●	$0.8 \cdot OV_{\text{DD}}$			V
$V_{\text{IL}}$	Low Level Input Voltage		●			$0.2 \cdot OV_{\text{DD}}$	V
$I_{\text{IN}}$	Digital Input Current	$V_{\text{IN}} = 0\text{V}$ to $OV_{\text{DD}}$	●	-10		10	$\mu\text{A}$
$C_{\text{IN}}$	Digital Input Capacitance				5		pF
$V_{\text{OH}}$	High Level Output Voltage	$I_{\text{OUT}} = -500\mu\text{A}$	●	$OV_{\text{DD}} - 0.2$			V
$V_{\text{OL}}$	Low Level Output Voltage	$I_{\text{OUT}} = 500\mu\text{A}$	●			0.2	V
$I_{\text{OZ}}$	Hi-Z Output Leakage Current	$V_{\text{OUT}} = 0\text{V}$ to $OV_{\text{DD}}$	●	-10		10	$\mu\text{A}$
$I_{\text{SOURCE}}$	Output Source Current	$V_{\text{OUT}} = 0\text{V}$			-50		mA
$I_{\text{SINK}}$	Output Sink Current	$V_{\text{OUT}} = OV_{\text{DD}}$			50		mA
<b>LVDS デジタル入力とデジタル出力</b>							
$V_{\text{ID}}$	Differential Input Voltage		●	200	350	600	mV
$R_{\text{ID}}$	On-Chip Input Termination Resistance	$\overline{\text{CS}} = 0\text{V}$ , $V_{\text{ICM}} = 1.2\text{V}$ $\overline{\text{CS}} = OV_{\text{DD}}$	●	90	106 10	125	$\Omega$ M $\Omega$
$V_{\text{ICM}}$	Common-Mode Input Voltage		●	0.3	1.2	2.2	V
$I_{\text{ICM}}$	Common-Mode Input Current	$V_{\text{IN}+} = V_{\text{IN}-} = 0\text{V}$ to $OV_{\text{DD}}$	●	-10		10	$\mu\text{A}$
$V_{\text{OD}}$	Differential Output Voltage	$R_{\text{L}} = 100\Omega$ Differential Termination	●	275	350	425	mV
$V_{\text{OCM}}$	Common-Mode Output Voltage	$R_{\text{L}} = 100\Omega$ Differential Termination	●	1.1	1.2	1.3	V
$I_{\text{OZ}}$	Hi-Z Output Leakage Current	$V_{\text{OUT}} = 0\text{V}$ to $OV_{\text{DD}}$	●	-10		10	$\mu\text{A}$

# LTC2335-18

## 電源要件

● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 9)

記号	パラメータ	条件		最小値	標準値	最大値	単位
V <sub>CC</sub>	Supply Voltage		●	0		38	V
V <sub>EE</sub>	Supply Voltage		●	-16.5		0	V
V <sub>CC</sub> - V <sub>EE</sub>	Supply Voltage Difference		●	10		38	V
V <sub>DD</sub>	Supply Voltage		●	4.75	5.00	5.25	V
I <sub>VCC</sub>	Supply Current	1Msps Sample Rate	●		3.5	4.3	mA
		Acquisition Mode	●		3.8	4.5	mA
		Nap Mode	●		0.7	0.9	μA
		Power Down Mode	●		1	15	μA
I <sub>VEE</sub>	Supply Current	1Msps Sample Rate	●	-5.1	-4.0		mA
		Acquisition Mode	●	-4.9	-4.0		mA
		Nap Mode	●	-1.1	-0.8		mA
		Power Down Mode	●	-15	-1		μA

## CMOS I/O モード

OV <sub>DD</sub>	Supply Voltage		●	1.71		5.25	V
I <sub>VDD</sub>	Supply Current	1Msps Sample Rate	●		12.6	14.5	mA
		1Msps Sample Rate, V <sub>REFBUF</sub> = 5V (Note 15)	●		11.3	13.0	mA
		Acquisition Mode	●		1.6	2.1	mA
		Nap Mode	●		1.4	1.9	mA
		Power Down Mode (C-Grade and I-Grade)	●		65	175	μA
		Power Down Mode (H-Grade)	●		65	450	μA
I <sub>OVDD</sub>	Supply Current	1Msps Sample Rate (C <sub>L</sub> = 25pF)	●		2.6	4.2	mA
		Acquisition or Nap Mode	●		1	20	μA
		Power Down Mode	●		1	20	μA
P <sub>D</sub>	Power Dissipation	1Msps Sample Rate	●		182	224	mW
		Acquisition Mode	●		125	152	mW
		Nap Mode	●		30	40	mW
		Power Down Mode (C-Grade and I-Grade)	●		0.36	1.4	mW
		Power Down Mode (H-Grade)	●		0.36	2.8	mW

## LVDS I/O モード

OV <sub>DD</sub>	Supply Voltage		●	2.375		5.25	V
I <sub>VDD</sub>	Supply Current	1Msps Sample Rate	●		14.8	17.1	mA
		1Msps Sample Rate, V <sub>REFBUF</sub> = 5V (Note 15)	●		13.8	15.9	mA
		Acquisition Mode	●		3.2	3.8	mA
		Nap Mode	●		3.0	3.7	mA
		Power Down Mode (C-Grade and I-Grade)	●		65	175	μA
		Power Down Mode (H-Grade)	●		65	450	μA
I <sub>OVDD</sub>	Supply Current	1Msps Sample Rate, (R <sub>L</sub> = 100Ω)	●		7	8.5	mA
		Acquisition or Nap Mode (R <sub>L</sub> = 100Ω)	●		7	8.0	mA
		Power Down Mode	●		1	20	μA
P <sub>D</sub>	Power Dissipation	1Msps Sample Rate	●		204	248	mW
		Acquisition Mode	●		151	180	mW
		Nap Mode	●		55	69	mW
		Power Down Mode (C-Grade and I-Grade)	●		0.36	1.4	mW
		Power Down Mode (H-Grade)	●		0.36	2.8	mW

## A/Dコンバータのタイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 9)

記号	パラメータ	条件	●	最小値	標準値	最大値	単位
$f_{\text{SMPL}}$	Maximum Sampling Frequency		●			1	Msp/s
$t_{\text{CYC}}$	Time Between Conversions		●	1			$\mu\text{s}$
$t_{\text{CONV}}$	Conversion Time		●	450	500	550	ns
$t_{\text{ACQ}}$	Acquisition Time	$(t_{\text{ACQ}} = t_{\text{CYC}} - t_{\text{CONV}} - t_{\text{BUSY}})$	●	420	480		ns
$t_{\text{CNVH}}$	CNV High Time		●	40			ns
$t_{\text{CNVL}}$	CNV Low Time		●	420			ns
$t_{\text{BUSY}}^{\text{LH}}$	CNV $\uparrow$ to BUSY Delay	$C_L = 25\text{pF}$	●			30	ns
$t_{\text{QUIET}}$	Digital I/O Quiet Time from CNV $\uparrow$		●	20			ns
$t_{\text{PDH}}$	PD High Time		●	40			ns
$t_{\text{PDL}}$	PD Low Time		●	40			ns
$t_{\text{WAKE}}$	REFBUF Wake-Up Time	$C_{\text{REFBUF}} = 47\mu\text{F}$ , $C_{\text{REFIN}} = 0.1\mu\text{F}$			200		ms

## CMOS I/Oモード

$t_{\text{WL-SCKI}}$	SCKI Period	(Note 17, 18)	●	10			ns
$t_{\text{SCKIH}}$	SCKI High Time		●	4			ns
$t_{\text{SCKIL}}$	SCKI Low Time		●	4			ns
$t_{\text{SSDISCKI}}$	SDI Setup Time from SCKI $\uparrow$	(Note 17)	●	2			ns
$t_{\text{HSDISCKI}}$	SDI Hold Time from SCKI $\uparrow$	(Note 17)	●	1			ns
$t_{\text{DSDOSCKI}}$	SDO Data Valid Delay from SCKI $\uparrow$	$C_L = 25\text{pF}$ (Note 17)	●			7.5	ns
$t_{\text{HSDOSCKI}}$	SDO Remains Valid Delay from SCKI $\uparrow$	$C_L = 25\text{pF}$ (Note 17)	●	1.5			ns
$t_{\text{SKEW}}$	SDO to SCKO Skew	(Note 17)	●	-1	0	1	ns
$t_{\text{DSDOBUSYL}}$	SDO Data Valid Delay from BUSY $\downarrow$	$C_L = 25\text{pF}$ (Note 17)	●	0			ns
$t_{\text{EN}}$	Bus Enable Time After $\overline{\text{CS}}\downarrow$	(Note 17)	●			15	ns
$t_{\text{DIS}}$	Bus Relinquish Time After $\overline{\text{CS}}\uparrow$	(Note 17)	●			15	ns

## LVDS I/Oモード

$t_{\text{WL-SCKI}}$	SCKI Period	(Note 19)	●	4			ns
$t_{\text{SCKIH}}$	SCKI High Time	(Note 19)	●	1.5			ns
$t_{\text{SCKIL}}$	SCKI Low Time	(Note 19)	●	1.5			ns
$t_{\text{SSDISCKI}}$	SDI Setup Time from SCKI	(Note 11, 19)	●	1.2			ns
$t_{\text{HSDISCKI}}$	SDI Hold Time from SCKI	(Note 11, 19)	●	-0.2			ns
$t_{\text{WL-SCKI}}$	SDO Data Valid Delay from SCKI	(Note 11, 19)	●			6	ns
$t_{\text{HSDOSCKI}}$	SDO Remains Valid Delay from SCKI	(Note 11, 19)	●	1			ns
$t_{\text{SKEW}}$	SDO to SCKO Skew	(Note 11)	●	-0.4	0	0.4	ns
$t_{\text{DSDOBUSYL}}$	SDO Data Valid Delay from BUSY $\downarrow$	(Note 11)	●	0			ns
$t_{\text{EN}}$	Bus Enable Time After $\overline{\text{CS}}\downarrow$		●			50	ns
$t_{\text{DIS}}$	Bus Relinquish Time After $\overline{\text{CS}}\uparrow$		●			15	ns

## A/Dコンバータのタイミング特性

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

**Note 2:** すべての電圧値はグラウンドを基準にしている。

**Note 3:**  $V_{DDLBP}$  は内蔵電圧レギュレータの出力であり、「ピン機能」のセクションに示すようにこのピンをGNDにバイパスする場合は必ず2.2 $\mu$ Fのセラミック・コンデンサに接続すること。いかなる外部回路にも、このピンを接続しないでください。

**Note 4:** これらのピンの電圧を $V_{EE}$ より低くするか、 $V_{CC}$ より高くすると、その電圧は内部のダイオードによってクランプされる。この製品は、電圧が $V_{EE}$ より低くなるか、 $V_{CC}$ より高くなっても、ラッチアップを生じることなく最大100mAまでの入力電流に対応できる。

**Note 5:** これらのピンの電圧をグラウンドより低くするか、 $V_{DD}$ ピンまたは $0V_{DD}$ ピンの電圧より高くすると、内部のダイオードによってクランプされる。この製品は、これらのピンの電圧がグラウンドより低くなるか、 $V_{DD}$ ピンまたは $0V_{DD}$ ピンの電圧より高くなった場合でも、ラッチアップを生じることなく最大100mAまでの入力電流に対応できる。

**Note 6:** 注記がない限り、 $-16.5V \leq V_{EE} \leq 0V$ ,  $0V \leq V_{CC} \leq 38V$ ,  $10V \leq (V_{CC} - V_{EE}) \leq 38V$ ,  $V_{DD} = 5V$ 。

**Note 7:** 推奨動作条件。

**Note 8:** デバイスの信頼性に関するピンの電圧限界値については、絶対最大定格の項を参照。

**Note 9:** 注記がない限り、 $V_{CC} = 15V$ ,  $V_{EE} = -15V$ ,  $V_{DD} = 5V$ ,  $0V_{DD} = 2.5V$ ,  $f_{SAMPL} = 1Msps$ 、内部リファレンスとバッファ、双極性SoftSpanレンジ内の真の双極性入力信号駆動、単極性SoftSpanレンジ内の単極性入力信号駆動。

**Note 10:** 積分非直線性は、実際の伝達曲線の端点を通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

**Note 11:** 設計によって保証されており、テストされない。

**Note 12:** 双極性SoftSpanレンジ7、6、3、2の場合の双極性ゼロスケール誤差は、出力コードが00 0000 0000 0000 0000と11 1111 1111 1111 1111の間を往復しているときに、 $-0.5LSB$ から測定されたオフセット電圧である。これらのSoftSpanレンジの場合のフルスケール誤差は、最初と最後のコード遷移の理想値からのワーストケースの偏差であり、オフセット誤差の影響を含む。単極性SoftSpanレンジ5、4、1、0の場合のゼロスケール誤差は、出力コードが00 0000 0000 0000 0000と00 0000 0000 0000 0001の間を往復しているときに、 $0.5LSB$ から測定されたオフセット電圧である。これらのSoftSpanレンジの場合のフルスケール誤差は、最後のコード遷移の理想値からのワーストケースの偏差であり、オフセット誤差の影響を含む。

**Note 13:** dB単位で示すすべての仕様値は、対応するSoftSpan入力レンジのクロストークを除去した分のフルスケール値である。クロストークを含む値は、クロストーク含有信号振幅という。

**Note 14:** 温度係数は出力電圧の最大変化を規定温度範囲で割って計算される。

**Note 15:** REFBUFをオーバードライブする場合は、 $REFIN = 0V$ に設定して内部リファレンス・バッファをディスエーブルしなければならない。

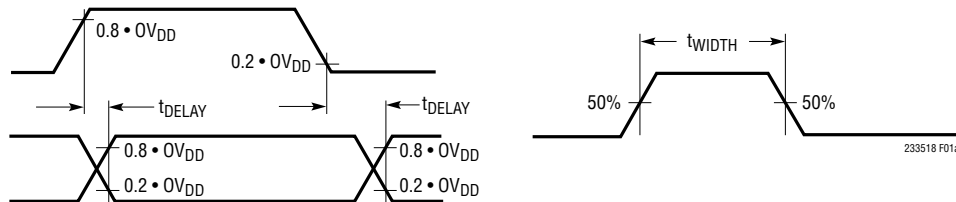
**Note 16:**  $I_{REFBUF}$  はサンプリング・レートに比例して変化する。

**Note 17:** パラメータは $0V_{DD} = 1.71V$ ,  $0V_{DD} = 2.5V$ , および $0V_{DD} = 5.25V$ でテストされ、保証されている。

**Note 18:**  $t_{SCK1}$ の周期が最小10nsであるため、立ち上がりで捕捉する場合は最大100MHzのソフト・クロック周波数が可能である。

**Note 19:** LVDS差動入力ペアの場合、 $V_{ICM} = 1.2V$ ,  $V_{ID} = 350mV$ 。

### CMOSのタイミング特性



### LVDSのタイミング特性(差動)

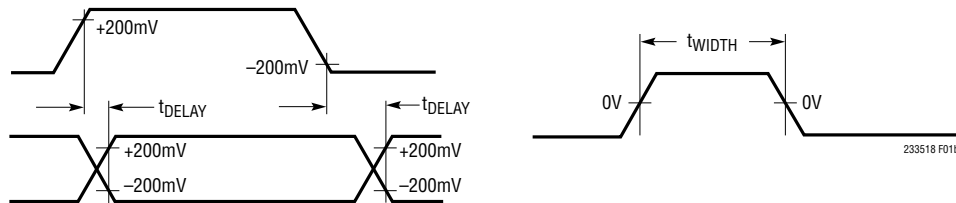
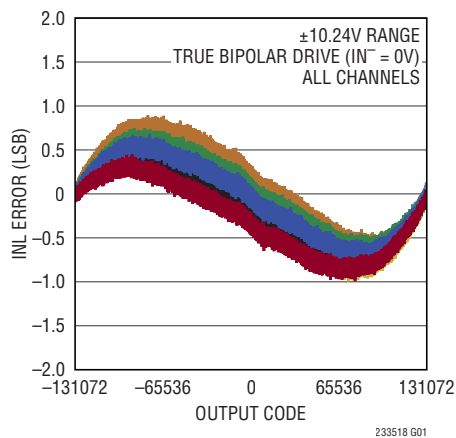


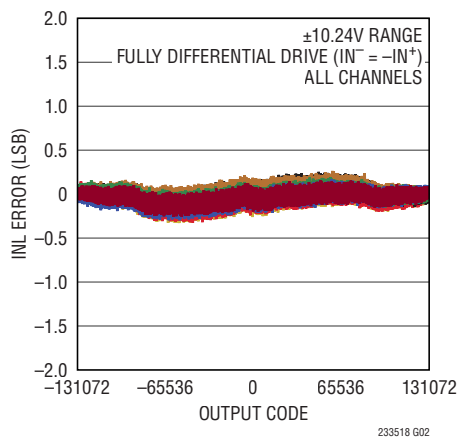
図1. タイミング仕様の電圧レベル

**標準的性能特性** 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = +15\text{V}$ 、 $V_{EE} = -15\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $0V_{DD} = 2.5\text{V}$ 、内部リファレンスとバッファ ( $V_{REFBUF} = 4.096\text{V}$ )、 $f_{SAMPL} = 1\text{MSPS}$ 。

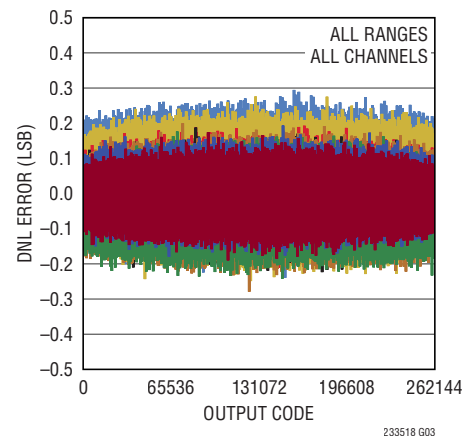
積分非直線性と  
出力コードとチャンネル



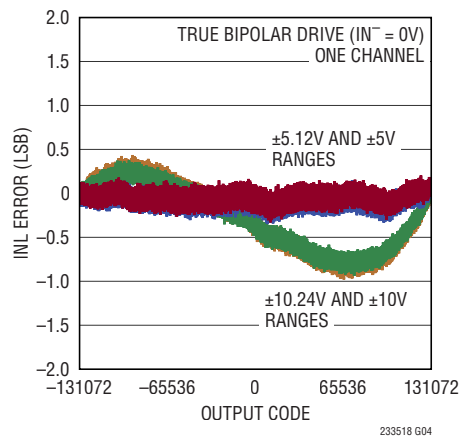
積分非直線性と  
出力コードとチャンネル



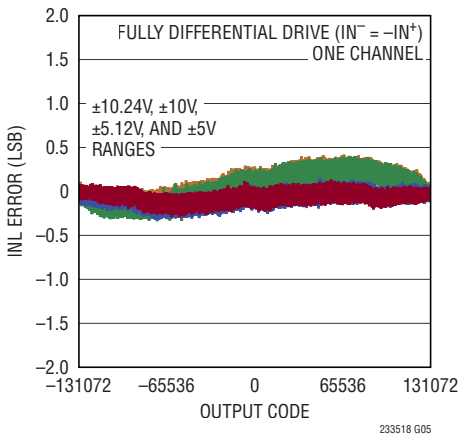
差分非直線性と  
出力コードとレンジ



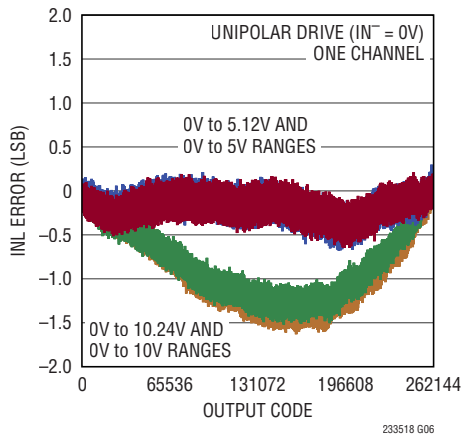
積分非直線性と  
出力コードとレンジ



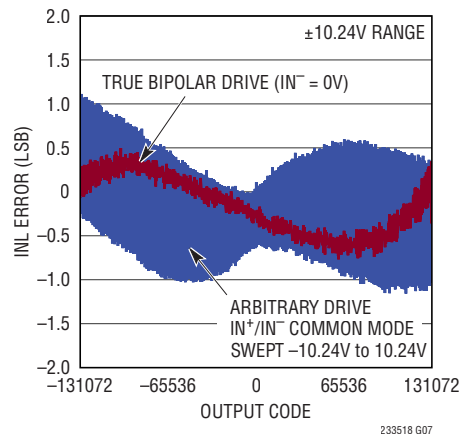
積分非直線性と  
出力コードとレンジ



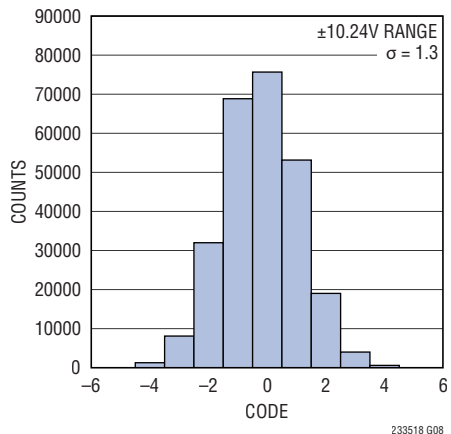
積分非直線性と  
出力コードとレンジ



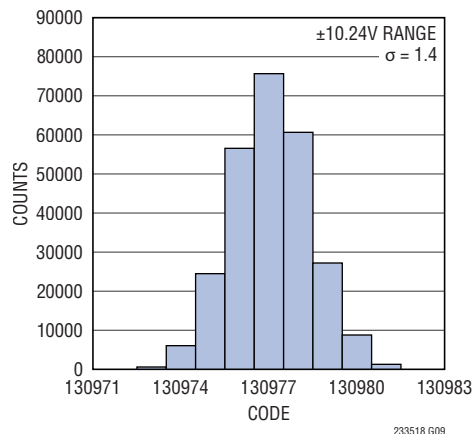
積分非直線性と出力コード



DC ヒストグラム (ゼロスケール)

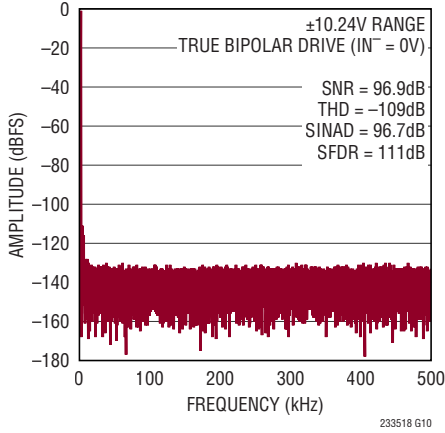


DC ヒストグラム (フルスケール付近)

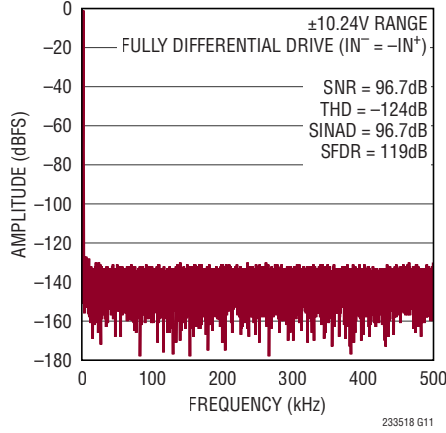


**標準的性能特性** 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = +15\text{V}$ 、 $V_{EE} = -15\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $0V_{DD} = 2.5\text{V}$ 、内部リファレンスとバッファ ( $V_{REFBUF} = 4.096\text{V}$ )、 $f_{SAMPL} = 1\text{MSPS}$ 。

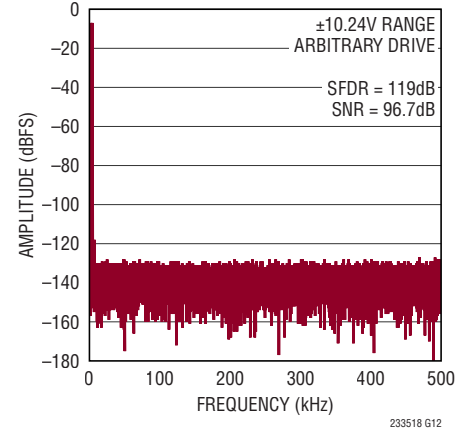
32kポイントのFFT、 $f_{SAMPL} = 1\text{MSPS}$ 、 $f_{IN} = 2\text{kHz}$



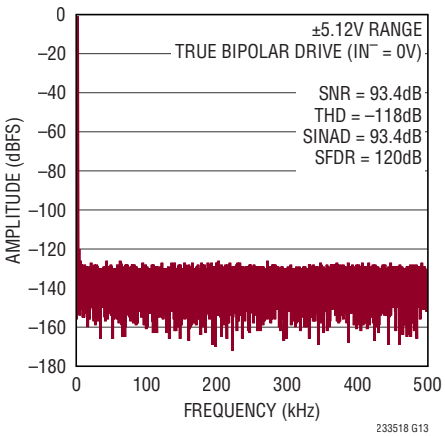
32kポイントのFFT、 $f_{SAMPL} = 1\text{MSPS}$ 、 $f_{IN} = 2\text{kHz}$



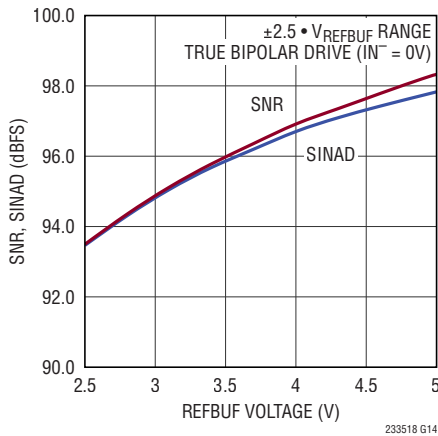
32kポイントの任意ツートーンFFT  
 $f_{SAMPL} = 1\text{MSPS}$ 、 $IN^+ = -7\text{dBFS } 2\text{kHz}$   
正弦波、 $IN^- = -7\text{dBFS } 3.1\text{kHz}$  正弦波



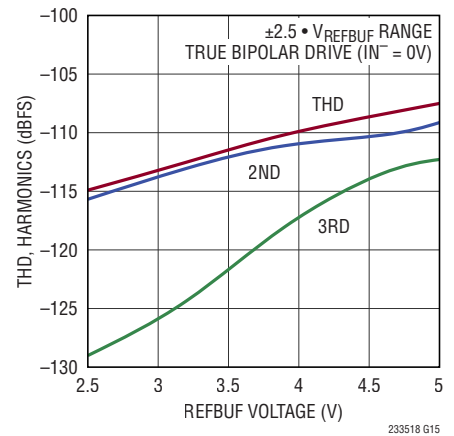
32kポイントのFFT、 $f_{SAMPL} = 1\text{MSPS}$ 、 $f_{IN} = 2\text{kHz}$



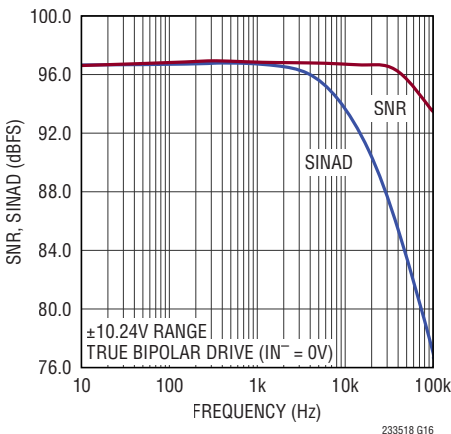
SNRおよびSINADと $V_{REFBUF}$ 、 $f_{IN} = 2\text{kHz}$



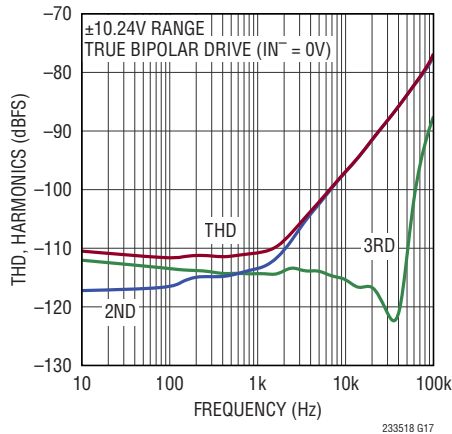
THDおよび高調波と $V_{REFBUF}$ 、 $f_{IN} = 2\text{kHz}$



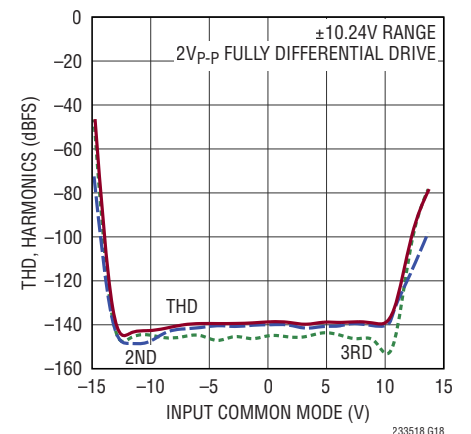
SNRおよびSINADと入力周波数



THDおよび高調波と入力周波数

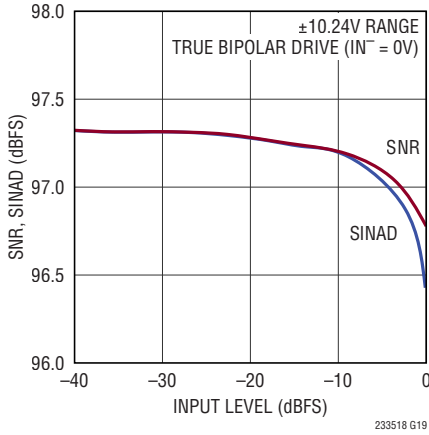


THDおよび高調波と入力同相電圧、 $f_{IN} = 2\text{kHz}$



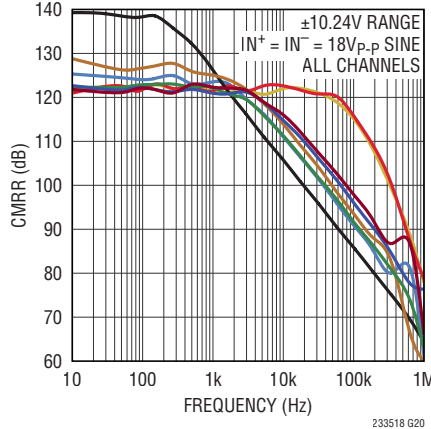
**標準的性能特性** 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = +15\text{V}$ 、 $V_{EE} = -15\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $0V_{DD} = 2.5\text{V}$ 、内部リファレンスとバッファ ( $V_{REFBUF} = 4.096\text{V}$ )、 $f_{SAMPL} = 1\text{Mpsps}$ 。

**SNR および SINAD と入力レベル、 $f_{IN} = 2\text{kHz}$**



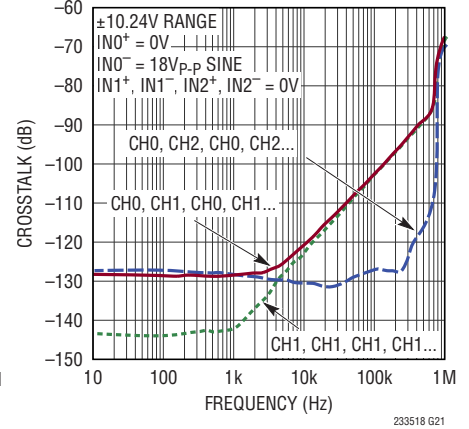
233518 G19

**CMRR と入力周波数 およびチャンネル**



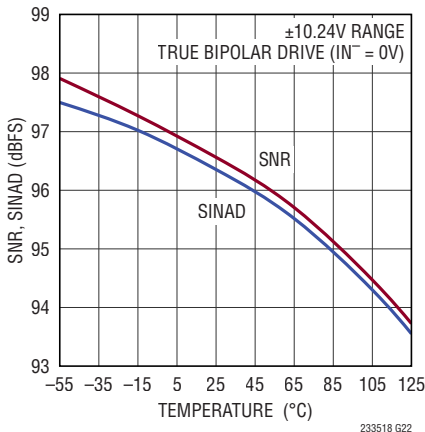
233518 G20

**クロストークと入力周波数 および変換シーケンス**



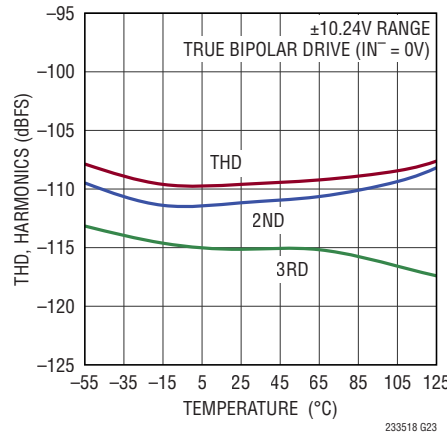
233518 G21

**SNR および SINAD と温度、 $f_{IN} = 2\text{kHz}$**



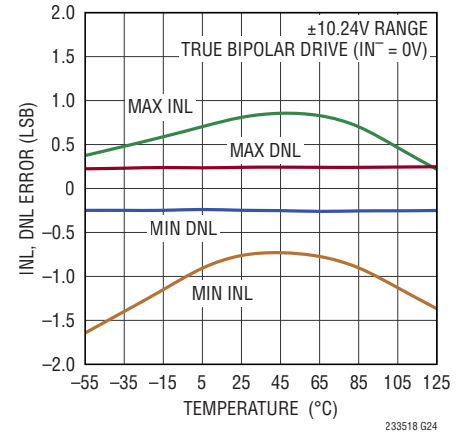
233518 G22

**THD および高調波と温度、 $f_{IN} = 2\text{kHz}$**



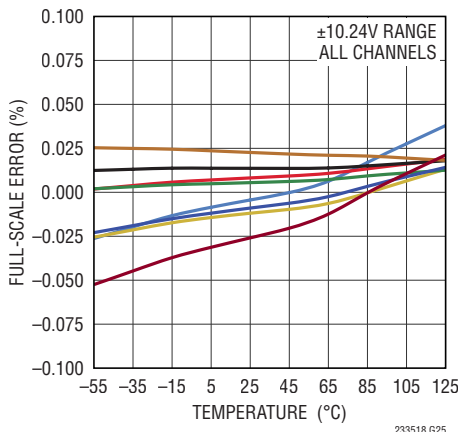
233518 G23

**INL, DNL と温度**



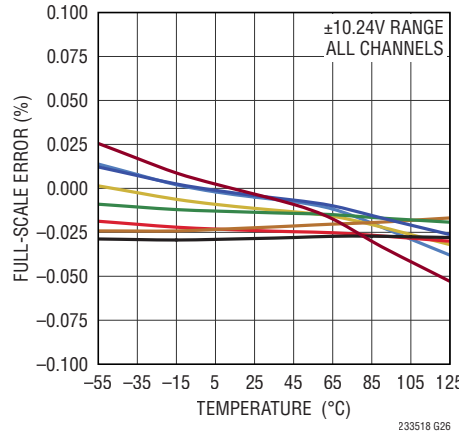
233518 G24

**正のフルスケール誤差と温度およびチャンネル**



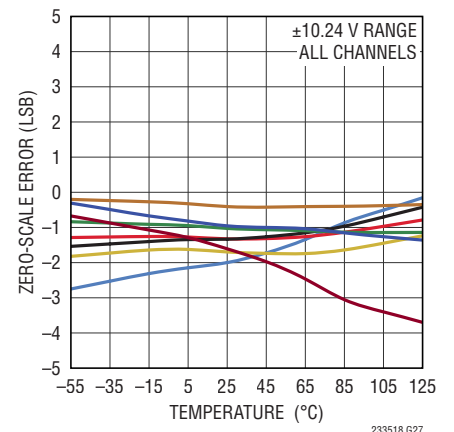
233518 G25

**負のフルスケール誤差と温度およびチャンネル**



233518 G26

**ゼロスケール誤差と温度およびチャンネル**

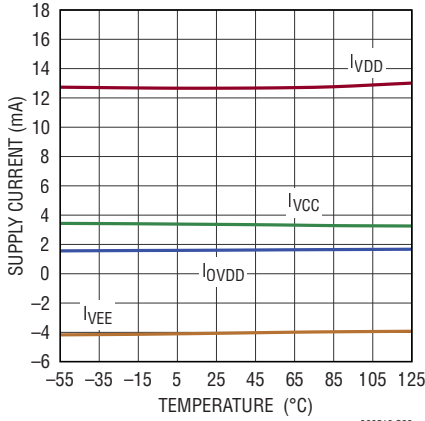


233518 G27

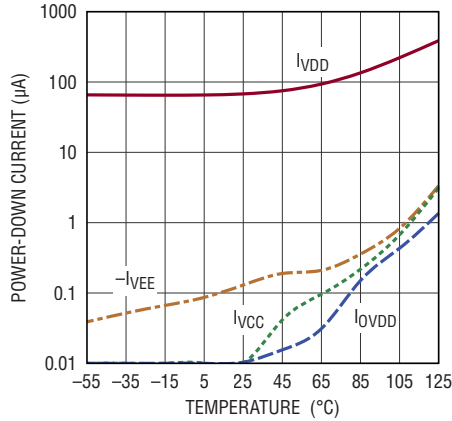
# LTC2335-18

**標準的性能特性** 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = +15\text{V}$ 、 $V_{EE} = -15\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、内部リファレンスとバッファ ( $V_{REFBUF} = 4.096\text{V}$ )、 $f_{SAMPL} = 1\text{MSPS}$ 。

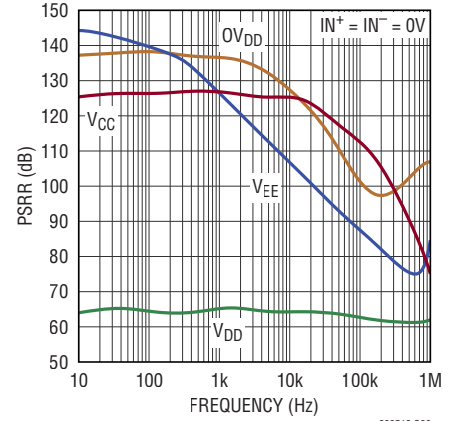
電源電流と温度



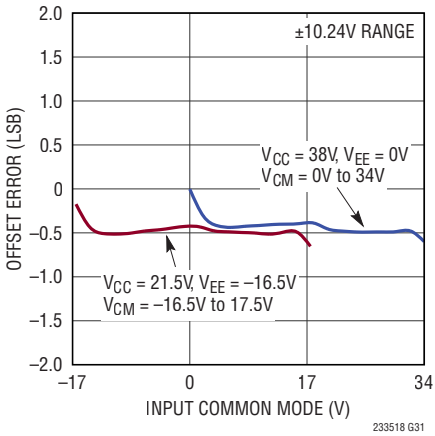
パワーダウン時電流と温度



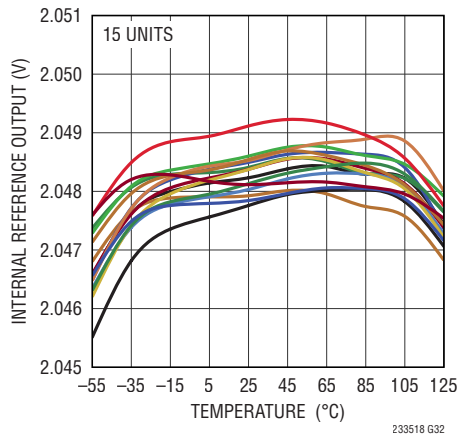
PSRRと周波数



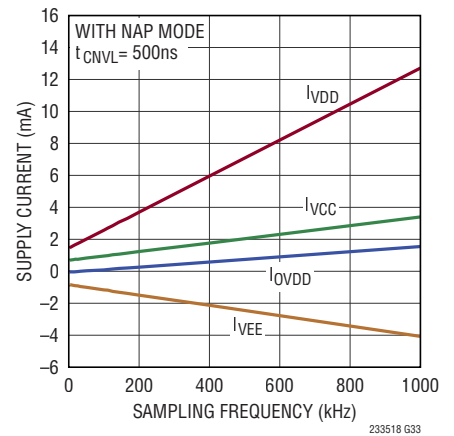
オフセット誤差と入力同相電圧



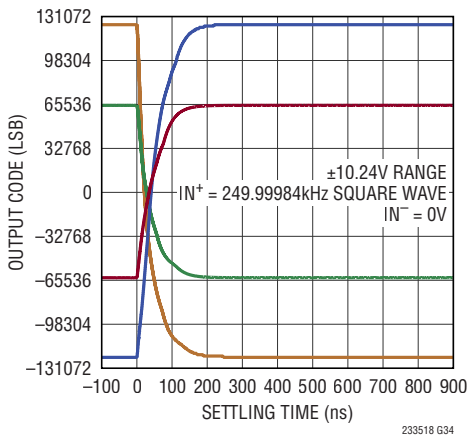
内部リファレンス出力と温度



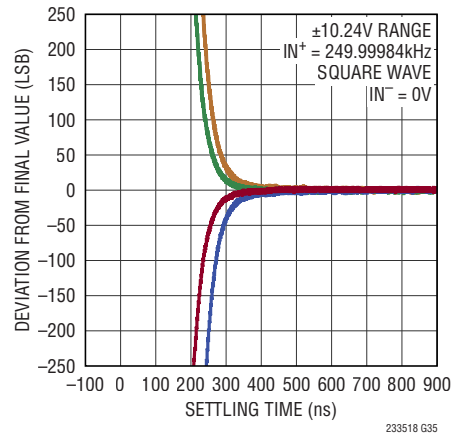
電源電流とサンプリング・レート



ステップ応答  
(大信号セトリング時間)



ステップ応答  
(ファイン・セトリング時間)



## ピン機能

### すべてのデジタルI/Oモードで同じピン

**IN0<sup>+</sup> ~ IN7<sup>+</sup>, IN0<sup>-</sup> ~ IN7<sup>-</sup> (ピン1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 47, 48)** : 正と負のアナログ入力、チャンネル0~7。コンバータは選択されているチャンネルの( $V_{IN+} - V_{IN-}$ )をサンプリングし、デジタル化します。これらの入力は、入力同相電圧範囲が広く( $V_{EE} \leq V_{CM} \leq V_{CC} - 4V$ )、同相信号除去比が高いため、さまざまな信号の範囲に対応できます。フルスケール入力範囲は、選択されているSoftSpan設定により決まります。

**GND (ピン15, 18, 20, 25, 30, 36, 41, 44, 46)** : グランド。すべてのGNDピンを、切れ目のないグランド・プレーンに接続してください。

**V<sub>CC</sub> (ピン16)** : 正の高電圧電源。V<sub>CC</sub>の範囲は、GNDに対して0V ~ 38V、V<sub>EE</sub>に対して10V ~ 38Vです。V<sub>CC</sub>は、0.1μFのセラミック・コンデンサを使用してピンの近くでGNDにバイパスします。V<sub>CC</sub>をGNDに短絡させるアプリケーションの場合は、このコンデンサを省略できます。

**V<sub>EE</sub> (ピン17, 45)** : 負の高電圧電源。V<sub>EE</sub>の範囲は、GNDに対して0V ~ -16.5V、V<sub>CC</sub>に対して-10V ~ -38Vです。ピン17と45を接続し、0.1μFのセラミック・コンデンサを使用して、V<sub>EE</sub>システムをピン17に近い位置でGNDにバイパスします。V<sub>EE</sub>をGNDに短絡させるアプリケーションの場合は、このコンデンサを省略できます。

**REFIN (ピン19)** : バンドギャップ・リファレンス出力/リファレンス・バッファ入力。内蔵のバンドギャップ・リファレンスはこのピンに公称2.048Vを出力します。内部リファレンス・バッファは、V<sub>REFIN</sub>をコンバータのマスタ・リファレンス電圧V<sub>REFBUF</sub> = 2 • V<sub>REFIN</sub>まで増幅してREFBUFピンに出力します。内部リファレンスを使用する場合は、バンドギャップ出力ノイズを除去するため、0.1μFのセラミック・コンデンサを使用してREFINをピンの近くでGND (ピン20)にバイパスします。さらに高い精度が必要な場合は、外部リファレンスによって1.25V ~ 2.2Vの範囲でREFINをオーバードライブします。

**REFBUF (ピン21)** : 内部リファレンス・バッファの出力。内部リファレンス・バッファは、V<sub>REFIN</sub>を増幅してコンバータのマスタ・リファレンス電圧V<sub>REFBUF</sub> = 2 • V<sub>REFIN</sub>をこのピンに出力します。内部バンドギャップ・リファレンスを使用する場合、このピンの公称電圧は4.096Vです。REFBUFは、47μFのセラミック・コンデンサを使用してピンの近くでGND (ピン20)にバ

イパスします。内部リファレンス・バッファをディスエーブルするには、REFINのバッファ入力をグランド接続します。バッファをディスエーブルする場合は、外部リファレンス電圧を使用して2.5V ~ 5Vの範囲でREFBUFをオーバードライブします。内部リファレンス・バッファを使用する場合は、REFBUFに接続されるすべての外部回路の負荷を10μA未満に制限してください。外部回路へのV<sub>REFBUF</sub>は、高入力インピーダンス・アンプを使用してバッファすることを推奨します。

**PD (ピン22)** : パワーダウン入力。このピンが“H”になるとLTC2335-18はパワーダウンされ、その後の変換要求は無視されます。変換中にこの状態になった場合は、変換が完了した時点でデバイスがパワーダウン・モードになります。変換が行われていない間にこのピンを2回“H”にすると、パワーオン・リセット時と同様な内部グローバル・リセットが開始されます。ロジック・レベルはOV<sub>DD</sub>によって決まります。

**LVDS/CMOS (ピン23)** : I/Oモードの選択。LVDS I/Oモードを選択する場合はこのピンをOV<sub>DD</sub>に接続し、CMOS I/Oモードを選択する場合はこのピンを接地します。ロジック・レベルはOV<sub>DD</sub>によって決まります。

**CNV (ピン24)** : 変換開始入力。このピンの立ち上がりエッジで、内部のサンプル・アンド・ホールド回路がホールド・モードになり、新たに変換が開始されます。CNVはCSでゲート制御されていないため、シリアルI/Oバスの状態に関係なく変換を開始できます。

**BUSY (ピン38)** : ビジー出力。BUSY信号は、現在変換処理中であることを示します。このピンは各変換の開始時に“L”から“H”に遷移し、変換が完了するまで“H”のままとなります。ロジック・レベルはOV<sub>DD</sub>によって決まります。

**V<sub>DDL</sub>BYP (ピン40)** : 2.5Vの内部レギュレータのバイパス・ピン。このピンの電圧は、内部レギュレータを介してV<sub>DD</sub>から生成されます。このピンは、2.2μFのセラミック・コンデンサを使用してピンの近くでGNDにバイパスする必要があります。いかなる外部回路にも、このピンを接続しないでください。

**V<sub>DD</sub> (ピン42, 43)** : 5V電源。V<sub>DD</sub>の範囲は4.75V ~ 5.25Vです。ピン42と43を接続し、共有の0.1μFのセラミック・コンデンサを使用して、V<sub>DD</sub>システムをピンに近い位置でGNDにバイパスします。

## ピン機能

## CMOS I/O モード

**SDI<sup>+</sup>、SDI<sup>-</sup>、SCKI<sup>+</sup>、SDO<sup>+</sup>、SDO<sup>-</sup> (ピン 26、27、28、34、35) :** LVDS 入力と出力。CMOS I/O モード時、これらのピンは高インピーダンスになります。

**SCKI (ピン 29) :** CMOS シリアル・クロック入力。SCKI は、シリアル I/O クロックで駆動してください。SCKI の立ち上がりエッジで SDI のシリアル・データがラッチされ、シリアル・データが SDO に出力されます。標準的な SPI バス動作の場合は、SCKI の立ち上がりエッジでレシーバの出力データを捕捉してください。SCKI は、“H”でも“L”でもアイドリング状態にできます。ロジック・レベルは  $OV_{DD}$  によって決まります。

**$OV_{DD}$  (ピン 31) :** I/O インタフェースの電源。CMOS I/O モード時、 $OV_{DD}$  の範囲は 1.71V ~ 5.25V です。 $OV_{DD}$  は、0.1 $\mu$ F のセラミック・コンデンサを使用してピンの近くで GND (ピン 30) にバイパスします。

**SCKO (ピン 32) :** CMOS シリアル・クロック出力。SCKI の立ち上がりエッジは、SDO のシリアル出力データ・ストリームにスキュー・マッチングされる SCKO の遷移をトリガします。その結果、SCKO の周波数は SCK の 1/2 になります。SCKO の立ち上がりエッジと立ち下がりエッジを使用すると、レシーバ (FPGA) の SDO データを 2 倍のデータ・レート (DDR) で捕捉できます。標準的な SPI バス動作の場合は、SCKO は使用せず、未接続のままにしておいてください。SCKO は、BUSY の立ち下がりエッジで強制的に“L”になります。ロジック・レベルは  $OV_{DD}$  によって決まります。

**SDO (ピン 33) :** CMOS シリアル・データ出力。SCKI の各立ち上がりエッジで、最新の変換結果とチャネル設定情報が SDO ピンに出力されます。出力データの形式については、「デジタル・インタフェース」の項を参照してください。ロジック・レベルは  $OV_{DD}$  によって決まります。

**SDI (ピン 37) :** CMOS シリアル・データ入力。このピンは、SCKI の立ち上がりエッジでラッチされた、必要に応じたマルチプレクサ制御ワード (表 1a を参照) で駆動してください。前にプログラムしたシーケンスに従って次の変換を設定する場合は、SDI を“L”に保持して SCKI にクロックを与えます。ロジック・レベルは  $OV_{DD}$  によって決まります。

**$\overline{CS}$  (ピン 39) :** チップ・セレクト入力。シリアル・データ I/O バスは  $\overline{CS}$  ピンが“L”になるとイネーブルされ、 $\overline{CS}$  ピンが“H”になるとディスエーブルされ高インピーダンスになります。 $\overline{CS}$  は、外部シフト・クロック SCKI をゲート制御することもできます。ロジック・レベルは  $OV_{DD}$  によって決まります。

## LVDS I/O モード

**SDI<sup>+</sup>、SDI<sup>-</sup> (ピン 26、27) :** LVDS の正負のシリアル・データ入力。SDI<sup>+</sup>/SDI<sup>-</sup> は、SCKI<sup>+</sup>/SCKI<sup>-</sup> の立ち上がりエッジと立ち下がりエッジでの両方でラッチされた、必要に応じたマルチプレクサ制御ワード (表 1a を参照) で差動駆動してください。SDI<sup>+</sup>/SDI<sup>-</sup> 入力のペアは、 $\overline{CS}$  が“L”のときは 100 $\Omega$  の差動抵抗で内部的に終端されます。

**SCKI<sup>+</sup>、SCKI<sup>-</sup> (ピン 28、29) :** LVDS の正負のシリアル・クロック入力。SCKI<sup>+</sup>/SCKI<sup>-</sup> は、シリアル I/O クロックで差動駆動してください。SCKI<sup>+</sup>/SCKI<sup>-</sup> の立ち上がりエッジと立ち下がりエッジで SDI<sup>+</sup>/SDI<sup>-</sup> のシリアル・データがラッチされ、シリアル・データが SDO<sup>+</sup>/SDO<sup>-</sup> に出力されます。 $\overline{CS}$  の遷移時などには、SCKI<sup>+</sup>/SCKI<sup>-</sup> を“L”でアイドリング状態に保持してください。SCKI<sup>+</sup>/SCKI<sup>-</sup> 入力のペアは、 $\overline{CS}$  が“L”のときは 100 $\Omega$  の差動抵抗で内部的に終端されます。

**$OV_{DD}$  (ピン 31) :** I/O インタフェースの電源。LVDS I/O モード時、 $OV_{DD}$  の範囲は 2.375V ~ 5.25V です。 $OV_{DD}$  は、0.1 $\mu$ F のセラミック・コンデンサを使用してピンの近くで GND (ピン 30) にバイパスします。

**SCKO<sup>+</sup>、SCKO<sup>-</sup> (ピン 32、33) :** LVDS の正負のシリアル・クロック出力。SCKO<sup>+</sup>/SCKO<sup>-</sup> は、SCKI<sup>+</sup>/SCKI<sup>-</sup> に入力され SDO<sup>+</sup>/SDO<sup>-</sup> のシリアル・データ・ストリームとスキュー・マッチングされたシリアル I/O クロックのコピーを出力します。SCKO<sup>+</sup>/SCKO<sup>-</sup> の立ち上がりエッジと立ち下がりエッジを使用すると、レシーバ (FPGA) の SDO<sup>+</sup>/SDO<sup>-</sup> データを捕捉できます。SCKO<sup>+</sup>/SCKO<sup>-</sup> 出力のペアは、レシーバ (FPGA) で 100 $\Omega$  の抵抗を使用して差動で終端する必要があります。

**SDO<sup>+</sup>、SDO<sup>-</sup> (ピン 34、35) :** LVDS の正負のシリアル・データ出力。SCKI<sup>+</sup>/SCKI<sup>-</sup> の立ち上がりエッジと立ち下がりエッジでの両方で、最新の変換結果とチャネル設定情報が SDO<sup>+</sup>/SDO<sup>-</sup> に出力されます。SDO<sup>+</sup>/SDO<sup>-</sup> 出力のペアは、レシーバ (FPGA) で 100 $\Omega$  の抵抗を使用して差動で終端する必要があります。

**SDI (ピン 37) :** CMOS シリアル・データ入力。LVDS I/O モード時、このピンは高インピーダンスになります。

**$\overline{CS}$  (ピン 39) :** チップ・セレクト入力。シリアル・データ I/O バスは  $\overline{CS}$  ピンが“L”になるとイネーブルされ、 $\overline{CS}$  ピンが“H”になるとディスエーブルされ高インピーダンスになります。 $\overline{CS}$  は、外部シフト・クロック SCKI<sup>+</sup>/SCKI<sup>-</sup> をゲート制御することもできます。 $\overline{CS}$  が“H”のときは、SCKI<sup>+</sup>/SCKI<sup>-</sup> と SDI<sup>+</sup>/SDI<sup>-</sup> の入力ペアの内部 100 $\Omega$  差動終端抵抗がディスエーブルされます。ロジック・レベルは  $OV_{DD}$  によって決まります。

## 設定値一覧表

表 1a. SoftSpan 設定値一覧表。この表と表 1b を使用して、必要なアナログ入力レンジに応じて、SoftSpan のバイナリ・コード SS[2:0] を選択してください。マルチプレクサ制御ワード C[7:0] は、マルチプレクサ・ワード・ヘッダ (10)、バイナリ・チャンネル番号、SoftSpan コードから形成されます。シリアル・インタフェースを使用して、図 17 ~ 20 のように LTC2335-18 のシーケンサを設定します。

バイナリ SoftSpan コード SS[2:0]	アナログ入力電圧レンジ	フルスケール電圧範囲	変換結果のバイナリ形式
111	$\pm 2.5 \cdot V_{REFBUF}$	$5 \cdot V_{REFBUF}$	Two's Complement
110	$\pm 2.5 \cdot V_{REFBUF}/1.024$	$5 \cdot V_{REFBUF}/1.024$	Two's Complement
101	0V to $2.5 \cdot V_{REFBUF}$	$2.5 \cdot V_{REFBUF}$	Straight Binary
100	0V to $2.5 \cdot V_{REFBUF}/1.024$	$2.5 \cdot V_{REFBUF}/1.024$	Straight Binary
011	$\pm 1.25 \cdot V_{REFBUF}$	$2.5 \cdot V_{REFBUF}$	Two's Complement
010	$\pm 1.25 \cdot V_{REFBUF}/1.024$	$2.5 \cdot V_{REFBUF}/1.024$	Two's Complement
001	0V to $1.25 \cdot V_{REFBUF}$	$1.25 \cdot V_{REFBUF}$	Straight Binary
000	0V to $1.25 \cdot V_{REFBUF}/1.024$	$1.25 \cdot V_{REFBUF}/1.024$	Straight Binary

表 1b. リファレンス設定値一覧表。LTC2335-18 では、リファレンスを以下の 3 種類のいずれかに設定できます。アナログ入力範囲のスケールとコンバータのマスタ・リファレンス電圧、 $V_{REFBUF}$

リファレンス設定値	$V_{REFIN}$	$V_{REFBUF}$	バイナリ SoftSpan コード SS[2:0]	アナログ入力電圧レンジ
内部リファレンスと内部バッファ	2.048V	4.096V	111	$\pm 10.24V$
			110	$\pm 10V$
			101	0V to 10.24V
			100	0V to 10V
			011	$\pm 5.12V$
			010	$\pm 5V$
			001	0V to 5.12V
			000	0V to 5V
外部リファレンスと内部バッファ (REFIN ピンを外部で オーバードライブ)	1.25V (Min Value)	2.5V	111	$\pm 6.25V$
			110	$\pm 6.104V$
			101	0V to 6.25V
			100	0V to 6.104V
			011	$\pm 3.125V$
			010	$\pm 3.052V$
			001	0V to 3.125V
			000	0V to 3.052V
	2.2V (Max Value)	4.4V	111	$\pm 11V$
			110	$\pm 10.742V$
			101	0V to 11V
			100	0V to 10.742V
			011	$\pm 5.5V$
			010	$\pm 5.371V$
			001	0V to 5.5V
			000	0V to 5.371V

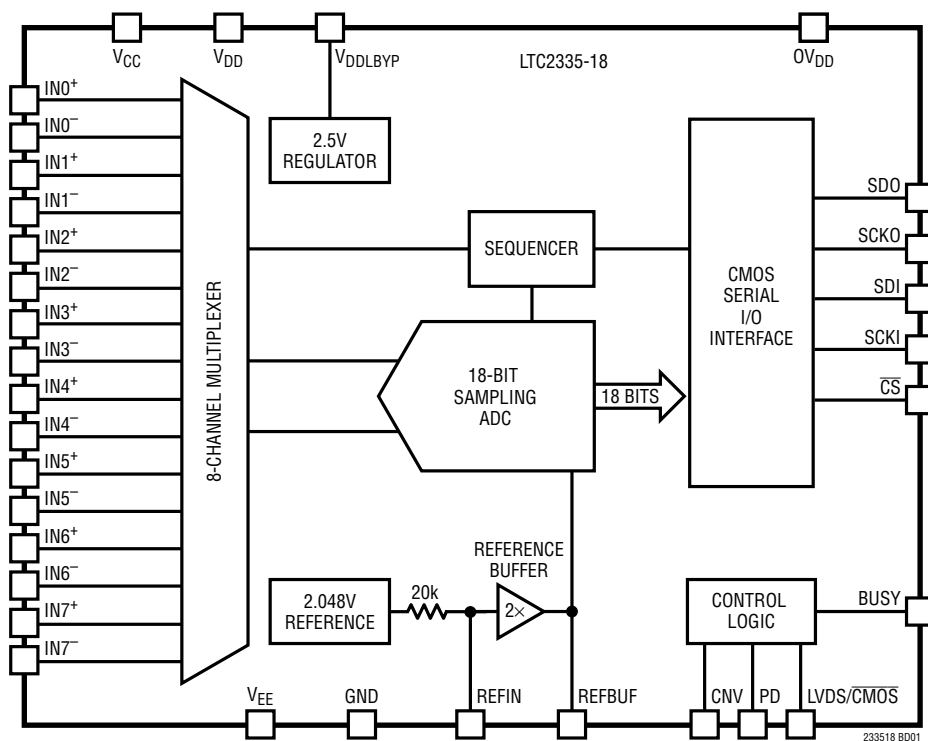
## Configuration Tables

表 1b リファレンス設定値一覧表(続き)。LTC2335-18では、リファレンスを以下の3種類のいずれかに設定できます。  
アナログ入力範囲のスケールとコンバータのマスターリファレンス電圧、 $V_{REFBUF}$

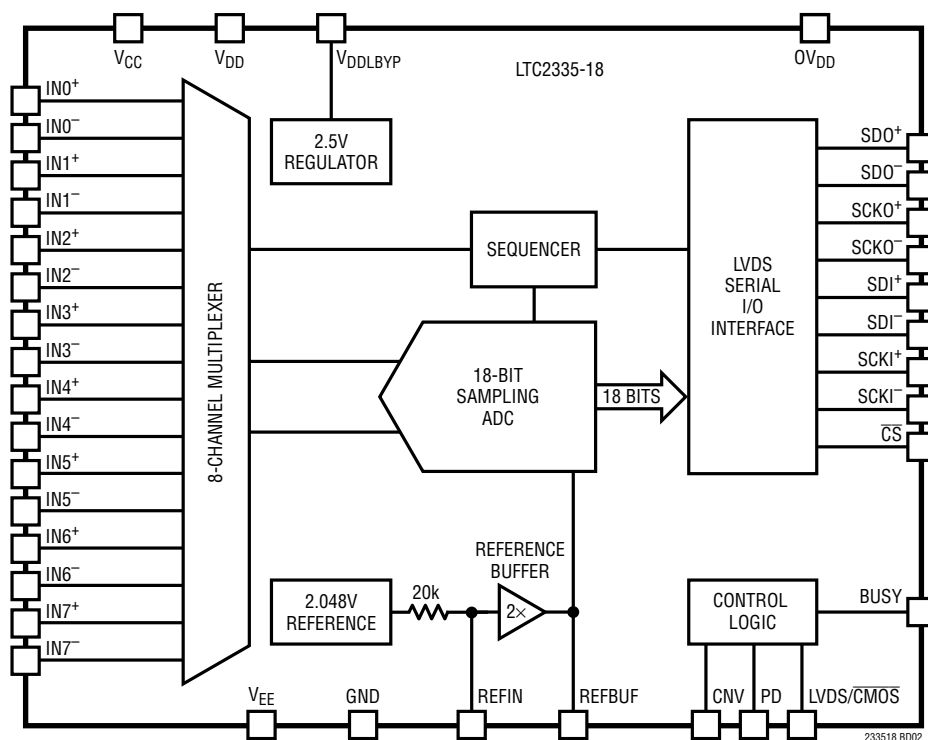
リファレンス設定値	$V_{REFIN}$	$V_{REFBUF}$	バイナリ SoftSpan コード SS[2:0]	アナログ入力電圧レンジ
外部リファレンス、バッファなし (REFBUFピンを外部で オーバードライブ、 REFINピンを接地)	0V	2.5V (Min Value)	111	±6.25V
			110	±6.104V
			101	0V to 6.25V
			100	0V to 6.104V
			011	±3.125V
			010	±3.052V
			001	0V to 3.125V
			000	0V to 3.052V
	0V	5V (Max Value)	111	±12.5V
			110	±12.207V
			101	0V to 12.5V
			100	0V to 12.207V
			011	±6.25V
			010	±6.104V
			001	0V to 6.25V
			000	0V to 6.104V

機能ブロック図

CMOS I/Oモード

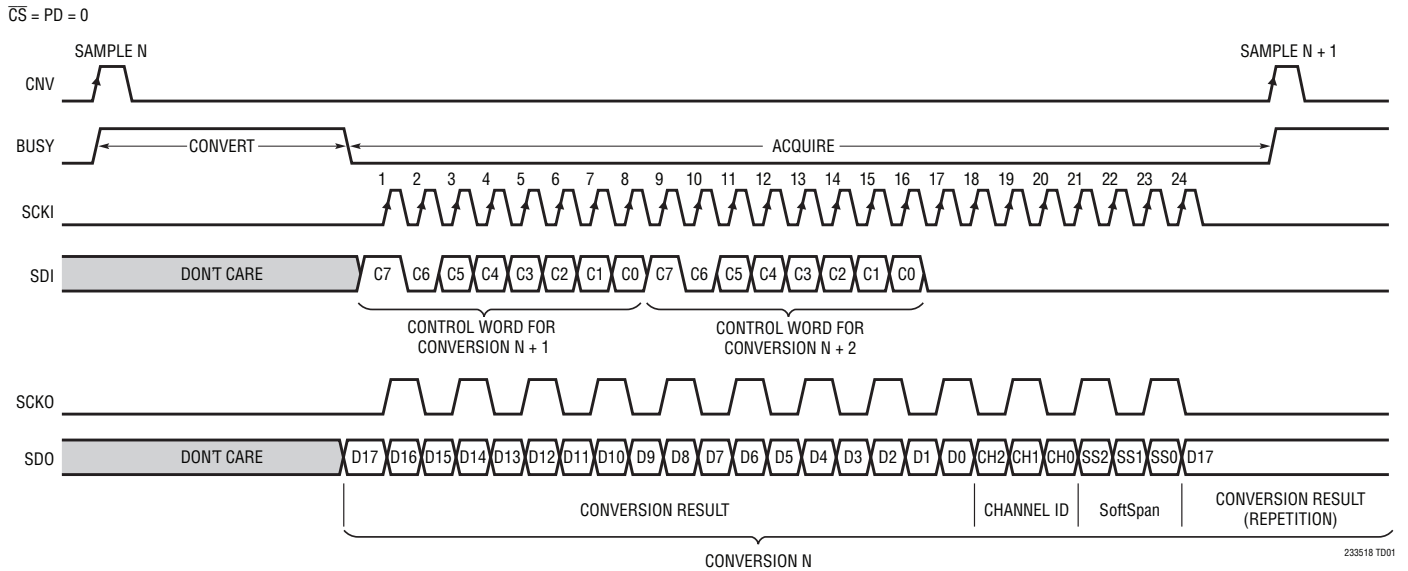


LVDS I/Oモード

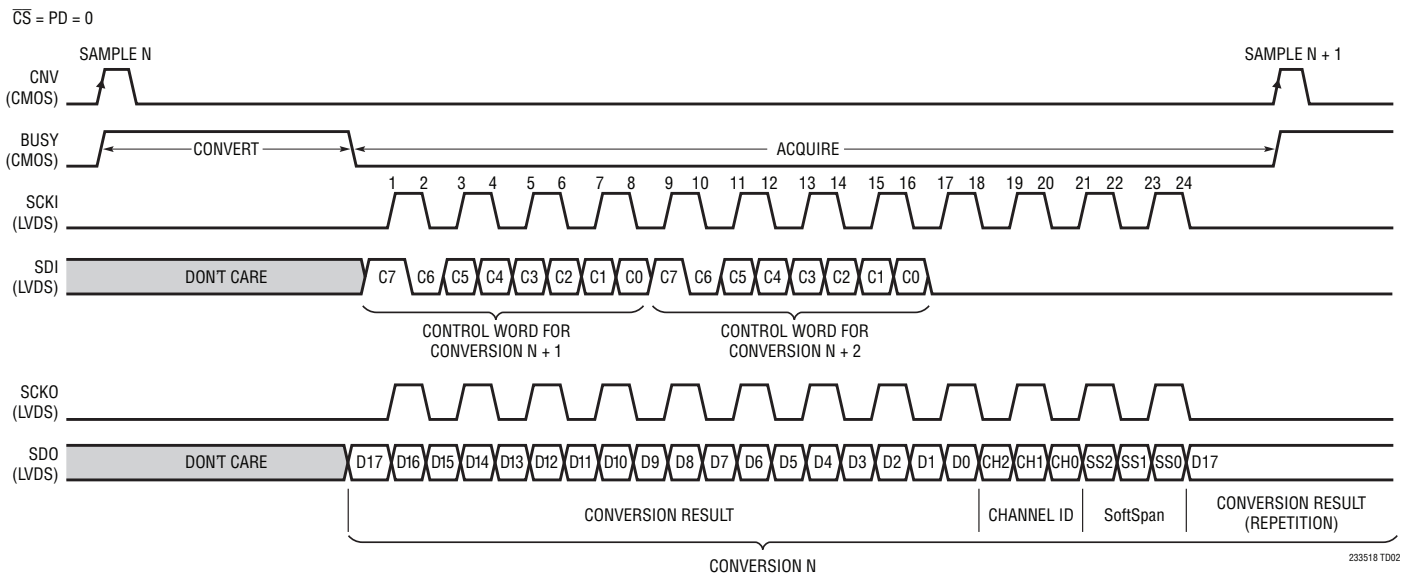


## タイミング図

### CMOS I/O モード



### LVDS I/O モード



## アプリケーション情報

### 概要

LTC2335-18は、差動入力で入力同相電圧範囲の広い、18ビット、低ノイズ、8チャンネル、マルチプレクサ逐次比較レジスタ (SAR) A/D コンバータです。このA/D コンバータは、5Vの低電圧から公称 $\pm 15V$ の高電圧まで柔軟に、対応して動作できます。低ドリフトの内蔵リファレンスとバッファ ( $V_{REFBUF}$  = 公称4.096V)を使用できる、このSoftSpan A/D コンバータは、変換ごとに任意のチャンネルで、 $\pm 10.24V$ 、 $0V \sim 10.24V$ 、 $\pm 5.12V$ 、または $0V \sim 5.12V$ の信号を入力できるよう構成できます。また、ユーザが操作しなくてもチャンネルやレンジを順次切り替えて循環動作させるようにA/D コンバータをプログラムすることもできます。外部5Vリファレンスを使用すると、入力信号範囲を最大 $\pm 12.5V$ まで拡大できます。

LTC2335-18のアナログ入力は入力同相電圧範囲が広くCMRRが大きい(標準で118dB、 $I_{IN+} = V_{IN-} = 18V_{P-P}$  200Hz正弦波)ため、さまざまな信号をA/D コンバータで直接デジタル化でき、信号チェーンの設計を簡素化できます。絶対同相入力電圧の範囲は、高電圧電源の選択により決まり、グラウンドを中心に非対称にバイアスでき、正または負の電源をグラウンドに直接接続することもできます。このような入力信号の柔軟性と $\pm 3LSB$ のINL、欠落コードのない18ビットの分解能、96.7dBのSNRを有するLTC2335-18は、広いダイナミック・レンジが要求されるさまざまな高電圧用途に最適です。

LTC2335-18には、ピンで選択可能なSPI CMOS (1.8V $\sim$ 5V)とLVDSのシリアル・インタフェースが用意されており、旧型のマイクロコントローラとも最新のFGPAとも同等に通信できます。通常、1Mspsのスループットで変換するときのLTC2335-18の消費電力は180mWです。オプションのナップ・モードとパワーダウン・モードを使用すると、非動作時の消費電力をさらに低減できます。

### コンバータの動作

LTC2335-18は2つの段階で動作します。収集段階では、各チャンネルのサンプリング・コンデンサが対応するアナログ入力ピンに接続され、差動アナログ入力電圧 ( $V_{IN+} - V_{IN-}$ ) に追従します。CNVピンの立ち上がりエッジで、サンプル・アンド・ホールド回路がトラック・モードからホールド・モードになり、入力信号をサンプリングして変換を開始します。変換段階では、選択されたチャンネルのサンプリング・コンデンサが18ビッ

トの電荷再分配型コンデンサD/Aコンバータ(CDAC)に接続されます。CDACは逐次比較アルゴリズムにより逐次制御され、差動コンパレータを使用して、サンプリングされた入力電圧を、チャンネルのSoftSpanフルスケール範囲のバイナリ加重した分数(例： $V_{FSR}/2$ 、 $V_{FSR}/4 \dots V_{FSR}/262144$ )と、効率的に比較します。この処理の終了時、CDACの出力はチャンネルのサンプリングされたアナログ入力を近似する値になります。その後、A/Dコンバータの制御ロジックが18ビットのデジタル出力コードを準備して、シリアル転送に備えます。

### 伝達関数

LTC2335-18は、フルスケールの電圧範囲を $2^{18}$ レベルにデジタル化します。表1a、1bのように、A/Dコンバータのマスタ・リファレンス電圧 $V_{REFBUF}$ と選択したSoftSpan設定により、入力電圧レンジ、フルスケール範囲、LSBのサイズ、変換結果のバイナリ形式が決まります。たとえば、たとえば、内部リファレンスとバッファ ( $V_{REFBUF}$  = 公称値4.096V)を使用し、SoftSpan 7でチャンネルが $\pm 10.24V$ の双極性アナログ入力電圧レンジに対応するように設定する場合は、フルスケール範囲20.48V、LSB 78.125 $\mu V$ になります。その他のSoftSpan設定とリファレンス電圧を使用して、より広範囲の双極性、単極性の入力を変換することもできます。変換結果は、双極性SoftSpanレンジの場合はすべて2の補数のバイナリ形式で出力され、単極性SoftSpanレンジの場合はすべてストレート・バイナリ形式で出力されます。理想的な2の補数の伝達関数を図2に、理想的なストレート・バイナリの伝達関数を図3に示します。

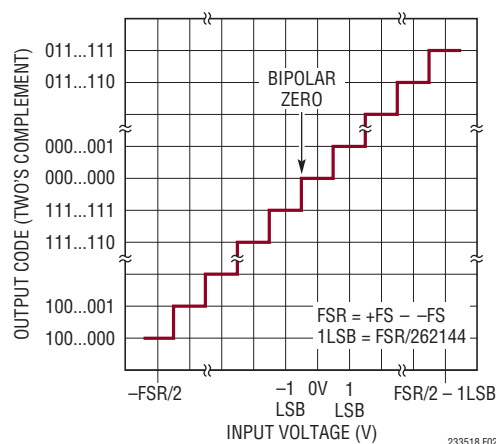


図2. LTC2335-18の2の補数の伝達関数

## アプリケーション情報

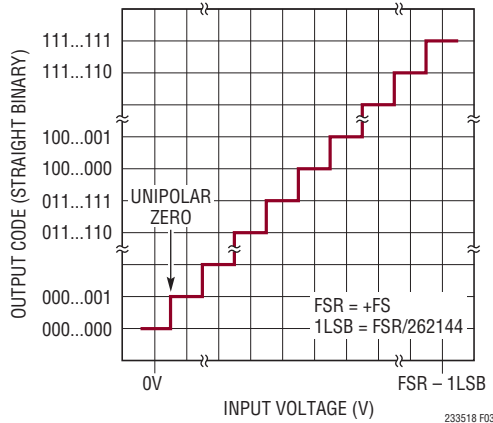


図3. LTC2335-18のストレート・バイナリ伝達関数

### アナログ入力

LTC2335-18は、A/Dコンバータの同相信号除去比(CMRR)が高いため両入力ピンに共通な不要な信号を抑制して、広い同相入力電圧範囲にわたってアナログ入力ピン間の電圧差( $V_{IN+} - V_{IN-}$ )をサンプリングできます。同相入力電圧範囲が広くCMRRが高いため、各ピンの電圧が( $V_{CC} - 4V$ ) ~  $V_{EE}$ の範囲内に保たれた場合は、アナログ入力 $IN^+/IN^-$ が相互に自由な関係で振れることができます。このユニークな特長を備えたLTC2335-18は、疑似差動の単極性信号、疑似差動の真の双極性信号、完全差動信号などの従来型のアナログ入力信号を含むさまざまな信号の範囲に対応でき、信号チェーンの設計を簡素化できます。

高圧電源で動作範囲が広いため、入力同相電圧の柔軟性が高くなります。電圧差の限界値( $10V \leq V_{CC} - V_{EE} \leq 38V$ )の条件が守られている限り、 $V_{CC}$ と $V_{EE}$ をそれぞれの許容動作範囲内の任意の値に個別にバイアスでき、いずれかの電源を直接グランドに接続することもできます。LTC2335-18は、同相入力電圧範囲がこのような特長を備えているため、個々のアプリケーションの条件に合わせて対応できます。

すべてのSoftSpanレンジで、各チャンネルのアナログ入力を、図4に示す等価回路によりモデル化できます。収集動作開始時、40pFのサンプリング・コンデンサ( $C_{IN}$ )は、それぞれのオン抵抗が約600Ω( $R_{IN}$ )のサンプリング・スイッチを介してアナログ入力ピン $IN^+/IN^-$ に接続されます。この動作がすべてのチャンネルで行われるため、LTC2335-18は、マルチプレクサの設定に関するユーザーの変更要求に瞬時に応答でき、余計なセトリング時間が掛かりません。

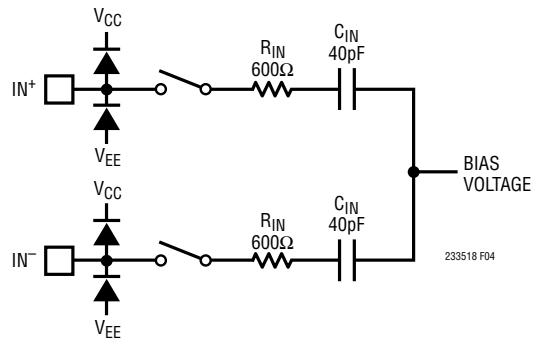


図4. 差動アナログ入力の等価回路(図は1つのチャンネルを示す)

変換直後のチャンネルの両方のコンデンサの初期電圧は、前回の変換からサンプリングされた同相電圧( $(V_{IN+} + V_{IN-})/2$ )とほぼ同じ値になります。その他のチャンネルのコンデンサの電圧は、前回の変換の開始時の、対応する $IN^+/IN^-$ の電圧とほぼ同じになります。 $IN^+$ と $IN^-$ に接続される外部回路は、収集動作周期の間にサンプリング・コンデンサが初期電圧から新たな入力ピン電圧になるときに、ソースまたはシンクとして、 $R_{IN}$ に電流を流す必要があります。変換時や、ナップ・モード時、パワーダウン・モード時にアナログ入力に流れるのはわずかな漏れ電流だけです。入力のダイオードはESD保護機能を果たします。

## アプリケーション情報

### 両極性 SoftSpan 入力電圧レンジ

変換処理を SoftSpan レンジ 7、6、3、または 2 に設定した場合、表 1a のように、LTC2335-18 は、それぞれ  $\pm 2.5 \cdot V_{REFBUF}$ 、 $\pm 2.5 \cdot V_{REFBUF}/1.024$ 、 $\pm 1.25 \cdot V_{REFBUF}$ 、または  $\pm 1.25 \cdot V_{REFBUF}/1.024$  の双極性レンジ上で差動アナログ入力電圧 ( $V_{IN+} - V_{IN-}$ ) をデジタル化します。これらの SoftSpan レンジは、 $IN^+$  と  $IN^-$  が相互に上下に振れるような入力信号をデジタル化する場合に役立ちます。典型的な例としては、同相電圧 ( $V_{IN+} + V_{IN-}$ ) / 2 を中心にして相互の位相差が 180 度の状態で  $IN^+$  と  $IN^-$  が駆動される場合や、 $IN^-$  で駆動されて基準となるグランド・レベルの上下に振れる疑似差動の真の双極性の入力信号の場合などがあります。選択されている SoftSpan レンジに関わらず、 $IN^+/IN^-$  アナログ入力の同相入力電圧範囲が広く CMRR が高いため、各ピンの電圧が ( $V_{CC} - 4V$ ) と  $V_{EE}$  の範囲内に保たれた場合は、これらのアナログ入力が相互に自由な関係で振れることができます。すべての双極性 SoftSpan レンジで出力データは 2 の補数形式です。

### 単極性 SoftSpan 入力電圧レンジ

変換処理を SoftSpan レンジ 5、4、または 1 に設定した場合、表 1a のように、LTC2335-18 は、それぞれ  $0V \sim 2.5 \cdot V_{REFBUF}$ 、 $0V \sim 2.5 \cdot V_{REFBUF}/1.024$ 、 $0V \sim 1.25 \cdot V_{REFBUF}$ 、または  $0V \sim 1.25 \cdot V_{REFBUF}/1.024$  の単極性レンジ上で差動アナログ入力電圧 ( $V_{IN+} - V_{IN-}$ ) をデジタル化します。これらの SoftSpan レンジは、 $IN^+$  が  $IN^-$  より大きい値に保たれるような入力信号をデジタル化する場合に役立ちます。典型的な例としては、 $IN^+$  が  $IN^-$  で駆動されて基準となるグランド・レベルより大きい範囲で振れるような疑似差動単極性入力信号の場合などがあります。選択されている SoftSpan レンジに関わらず、 $IN^+/IN^-$  アナログ入力の同相入力電圧範囲が広く CMRR が高いため、各ピンの電圧が ( $V_{CC} - 4V$ )  $\sim V_{EE}$  の範囲内に保たれた場合は、これらのアナログ入力が相互に自由な関係で振れることができます。すべての単極性 SoftSpan レンジで出力データはストレート・バイナリ形式です。

### 入力駆動回路

収集周期の間に、収集開始時の各チャンネルのサンプリング・コンデンサの初期電圧が新たな入力ピン電圧に遷移して収束する必要があります。 $IN^+$  と  $IN^-$  に接続される外部回路は、このセトリング動作時に、ソースまたはシンクとして、 $R_{IN}$  に電流を流す必要があります。LTC2335-18 のサンプリング回路網の RC 時定数が 24ns であるため、フルスケール・ステップへの 18 ビットのセトリング時間は、約  $13 \cdot (R_{IN} \cdot C_{IN}) = 312ns$  になります。アナログ入力ピンに接続されている外部回路自身のインピーダンスとセトリング時間のため、全体のセトリングに要する時間は長くなります。低インピーダンスの信号源は、利得誤差なく LTC2335-18 の入力を直接駆動できますが、高インピーダンスの信号源は、収集時に十分にセトリングを行え A/D コンバータの直線性と歪み性能を最適化できるよう、バッファする必要があります。DC 入力信号の場合でも、サンプリング・コンデンサの電圧が、収集開始時のアナログ入力ピンの電圧とは異なるため、セトリング時間に配慮することは重要です。

ほとんどの用途では、バッファ・アンプを使用して LTC2335-18 のアナログ入力を駆動する必要があります。バッファ・アンプは出力インピーダンスが低いため、収集段階でアナログ信号の高速セトリングが可能です。また、バッファ・アンプは、収集開始時に信号源とアナログ入力での電荷の流れを切り離します。

### 入力のフィルタリング

入力のバッファ・アンプやその他のサポート回路のノイズと歪みは、A/D コンバータのノイズと歪みに上乘せられるため、これらを考慮する必要があります。ノイズの多い入力信号は、ノイズを最小限に抑えるため、バッファ・アンプの前で帯域幅の小さいフィルタによりフィルタ処理する必要があります。多くのアプリケーションでは、図 5 に示す簡単な 1 ポールの RC ローパス・フィルタで十分です。

バッファの出力部では、オン抵抗 ( $R_{IN}$ ) 600 $\Omega$  のサンプリング・スイッチと 40pF サンプリング・コンデンサ ( $C_{IN}$ ) で形成されたローパス RC フィルタ回路網が、各チャンネルの入力帯域幅を 7MHz に制限します。この帯域幅は十分高速であり、収集時に十分な遷移収束時間を確保できるだけでなくドライバの広帯域ノイズをフィルタ処理できます。この帯域幅での SNR の低下を最小限に抑えられるよう、ノイズ密度の小さいバッファ・アンプを選択する必要があります。バッファに起因するノイズをさらに小さくするため、バッファの出力と A/D コンバータの入力の間に付加的なフィルタ回路網を設けることもできます。

## アプリケーション情報

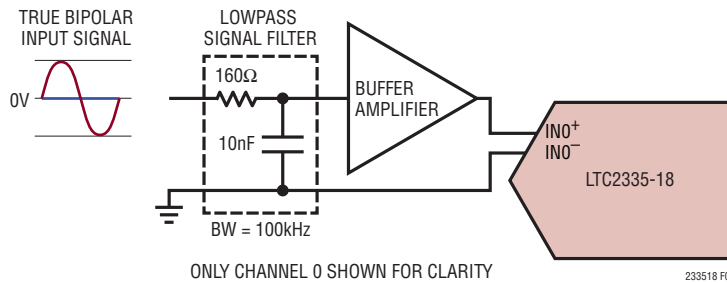


図5. 入力フィルタリング機能を有する真の双極性信号チェーン

多くのアプリケーションでは、簡単な1ポールのローパスRCフィルタで十分です。

このフィルタはバッファ・アンプと影響し合い、入力の収束時間が長くなります。収束が不十分だとINLとTHDの性能が制限される可能性があるため、A/Dコンバータの収集時間( $t_{ACQ}$ )内に入力が18ビット分解能のレベルまで収束することが重要です。

RCフィルタのコンデンサと抵抗は歪みを大きくする可能性があるため、これらの部品は高品質のものを使用します。NPO/COGタイプやシルバーマイカ・タイプの誘電体のコンデンサは優れた直線性を示します。表面実装型カーボン抵抗は、半田付け工程で生じる損傷および自己発熱により歪みが生じることがあります。表面実装型金属皮膜抵抗は、この2つの問題に対してはるかに耐性があります。

### 任意の入力信号と完全差動アナログ入力信号のバッファリング

LTC2335-18は同相入力電圧範囲が広くCMRRが高いため、各ピンの電圧が( $V_{CC} - 4V$ ) ~  $V_{EE}$ の範囲内に保たれた場合は、各チャンネルの $IN^+$ 、 $IN^-$ ピンが相互に自由な関係で振れることができます。このユニークな特長を備えたLTC2335-18は、

さまざまな信号の範囲に対応でき、信号チェーンの設計を簡素化できます。多くのアプリケーションでは、チャンネルの $IN^+$ 、 $IN^-$ ピンを直接既存の信号チェーン回路に接続しても、A/Dコンバータの収集時間( $t_{ACQ}$ )内にチャンネルのサンプリング回路網が18ビット分解能のレベルまで収束できません。このような場合は、図6aのように、信号源とA/Dコンバータ入力ピン間に2つの単位利得バッファを挿入することを推奨します。この回路での使用を推奨するいくつかのアンプとローパス・フィルタの組み合わせを、表2に示します。

LT1358は、高速セトリング特性、優れた直線性、低入力換算ノイズ密度を兼ね備え、図6b~6eのFFTのグラフに示すように、ローパス・フィルタと共に使用すると、A/Dコンバータのデータシートに示されたSNRとTHDのすべての仕様値に近付けることができます。LT1358は、フィルタなしの状態で使用しても、広帯域ノイズに起因するSNRの低下を0.3dBに抑えられます。LT1469は、SNRの低下を0.8dBに抑えつつ、DC精度、THD、直線性に関するA/Dコンバータの仕様値を完全に満足します。また、LT1355は、より少ない消費電力で、THDとSNRの性能をバランス良く実現します。LT1469とLT1355は、420nsという最小限の $t_{ACQ}$ で使用した場合でも、ローパス・フィルタに起因する速度低下がありません。

表2. 図6aおよび9に示すバッファ回路に推奨するアンプとフィルタの組み合わせ。図6aの回路を使用し±10.24Vの範囲で測定したAC性能

アンプ	$R_{SET}$ ( $\Omega$ )	$C_{FILT}$ (pF)	入力信号の駆動	SNR (dB)	THD (dB)	SINAD (dB)	SFDR (dB)
½ LT1358	100	270	FULLY DIFFERENTIAL	96.8	-120	96.8	120
½ LT1469	0	0	FULLY DIFFERENTIAL	96.0	-124	96.0	120
½ LT1358	100	270	TRUE BIPOLAR	96.8	-107	96.4	108
½ LT1358	0	0	TRUE BIPOLAR	96.5	-108	96.2	110
½ LT1469	0	0	TRUE BIPOLAR	96.0	-109	95.8	110
½ LT1355	0	0	TRUE BIPOLAR	96.2	-106	95.9	109

233518f

アプリケーション情報

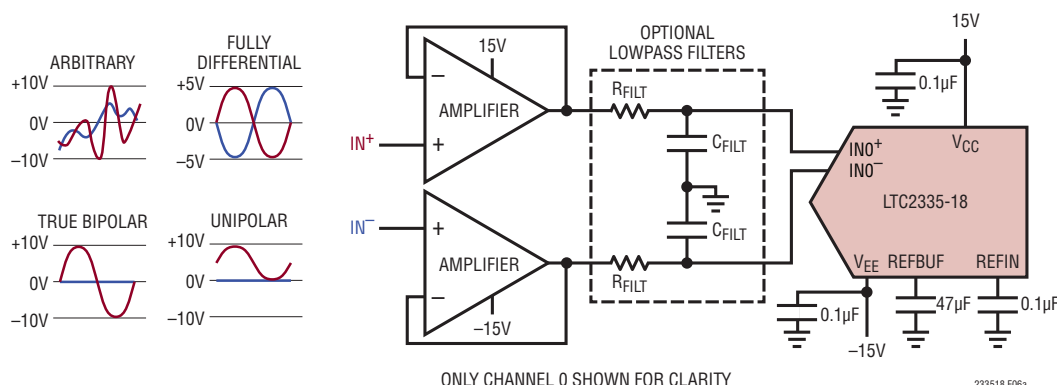


図6a. 任意の信号、完全差動信号、真の双極性信号、単極性信号のバッファリング。推奨するアンプとフィルタの組み合わせについては表2を参照。

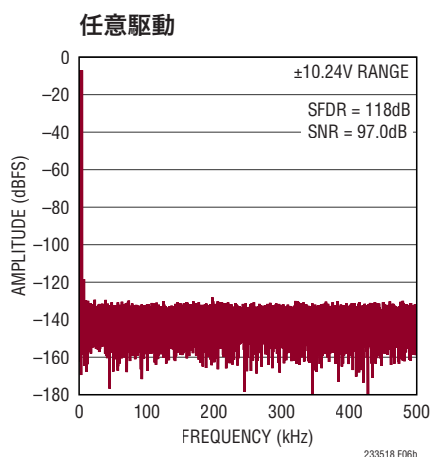


図6b. ツートン・テスト。IN<sup>+</sup> = -7dBFS 2kHz正弦波、IN<sup>-</sup> = -7dBFS 3.1kHz正弦波、32kポイントのFFT、f<sub>SAMPL</sub> = 1Msps。図6aの回路とLT1358アンプ、R<sub>FILT</sub> = 100Ω、C<sub>FILT</sub> = 270pF

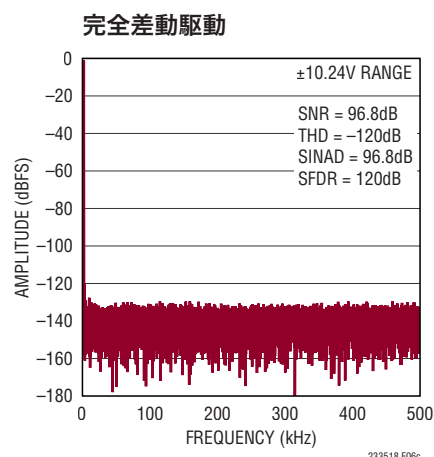


図6c. IN<sup>+</sup>/IN<sup>-</sup> = -1dBFS 2kHzの完全差動正弦波、V<sub>CM</sub> = 0V、32kポイントのFFT、f<sub>SAMPL</sub> = 1Msps。図6aの回路とLT1358アンプ、R<sub>FILT</sub> = 100Ω、C<sub>FILT</sub> = 270pF

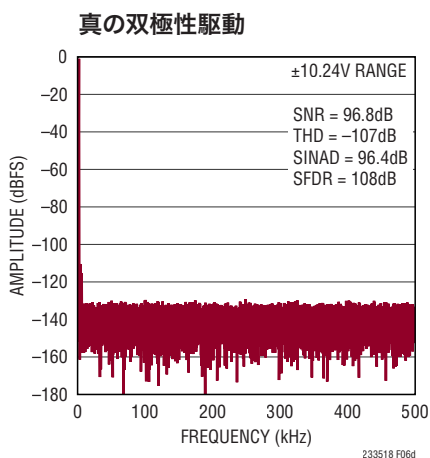


図6d. IN<sup>+</sup> = -1dBFS 2kHzの真の双極性正弦波、IN<sup>-</sup> = 0V、32kポイントのFFT、f<sub>SAMPL</sub> = 1Msps。図6aの回路とLT1358アンプ、R<sub>FILT</sub> = 100Ω、C<sub>FILT</sub> = 270pF

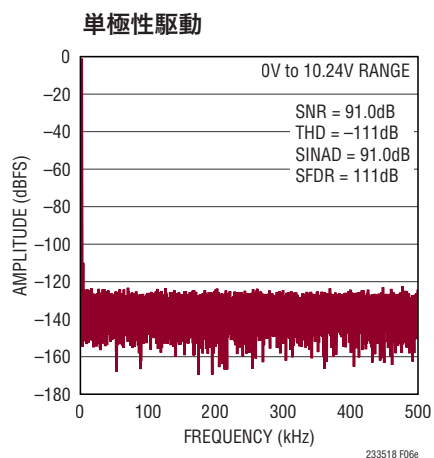


図6e. IN<sup>+</sup> = -1dBFS 2kHzの単極性正弦波、IN<sup>-</sup> = 0V、32kポイントのFFT、f<sub>SAMPL</sub> = 1Msps。図6aの回路とLT1358アンプ、R<sub>FILT</sub> = 100Ω、C<sub>FILT</sub> = 270pF

## アプリケーション情報

図6bに示すツートーン・テストでは、LTC2335-18の入力の任意駆動性能が分かります。このテストでは、 $-7\text{dBFS}$  2kHzのシングルエンド正弦波で $\text{IN}^+$ を、 $-7\text{dBFS}$  3.1kHzのシングルエンド正弦波で $\text{IN}^-$ を、同時に駆動します。これらの信号は、より一般的な任意の入力信号の場合と同様に、同相電圧と差動電圧の組み合わせによりアナログ入力を広範囲に変化させます。また、これらの信号は、スペクトル表現も単純です。同相的な影響を受けない理想的な差動コンバータの場合、この信号は、それぞれが1つの正弦波周波数に対応する2つの $-7\text{dBFS}$ のスペクトル・トーンとしてデジタル化されます。図6bのFFTのグラフはLTC2335-18の応答を示すものであり、 $\text{IN}^-$ の3.1kHzの正弦波に対する第2高調波歪み応答によりSFDRが118dBに抑えられ、このコンバータの理想的な性能に近くなっています。

LTC2335-18は、広い入力同相電圧範囲の任意の信号変化に高いCMRRで対応できるため、さまざまなアプリケーションに容易に対応できます。実際に、多くのセンサで得られる差動センサ電圧は大きな同相信号の上に乗っています。LTC2335-18によりこのような信号をデジタル化する1つの方法を、図7aに示します。アンプ段では、必要なセンサ信号が約 $10\text{V/V}$ の差動利得で増幅され、不必要な同相信号はA/DコンバータのCMRRにより除去されます。この回路では、A/Dコンバータの $\pm 5\text{V}$ のSoftSpanレンジを使用しています。図7bは、この回路のCMRRの測定値であり、最も一般的な市販の計装用アンプと同様な性能を示します。図7cは、この回路のAC性能の測定値です。

図8に示す別の回路の例では、LTC2335-18の2つのチャンネルを使用して、測定用抵抗器で、広い同相電圧範囲にわたる電圧と双方向の電流を測定しています。この種の多くのアプリケーションでは外部回路のインピーダンスが十分に小さいため、バッファを使用しなくてもA/Dコンバータのサンプリング回路網が完全に収束できます。

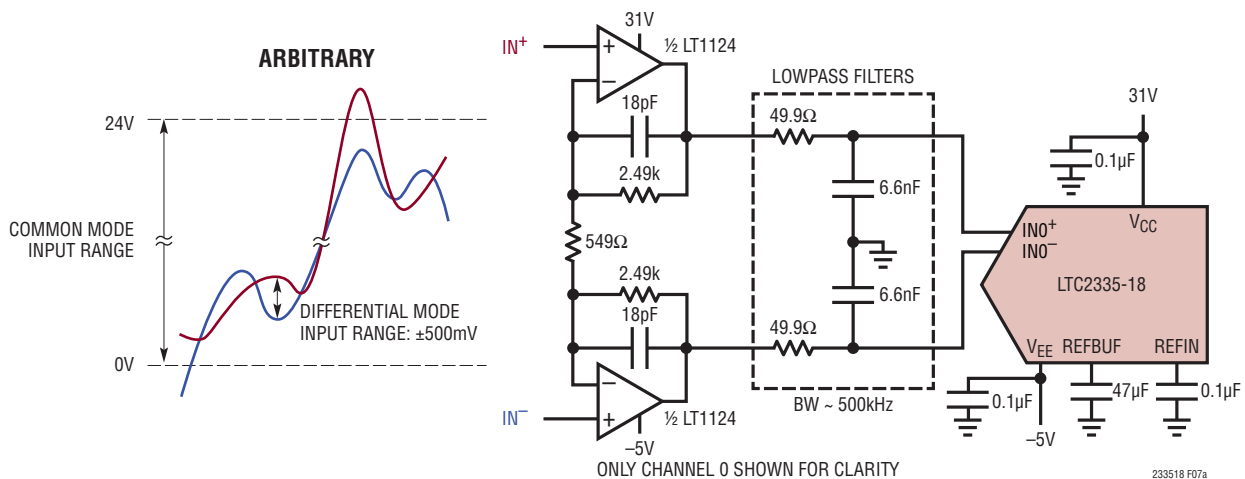


図7a. 広い同相電圧範囲で差動信号をデジタル化

アプリケーション情報

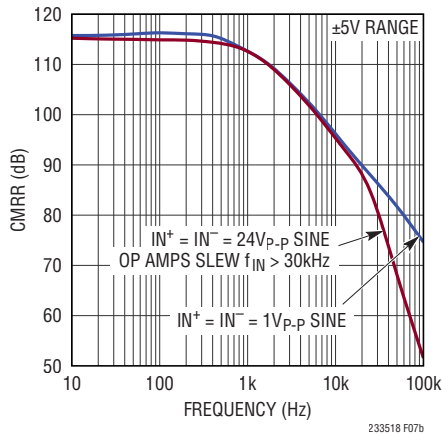


図7b. CMRRと入力周波数。回路は図7a

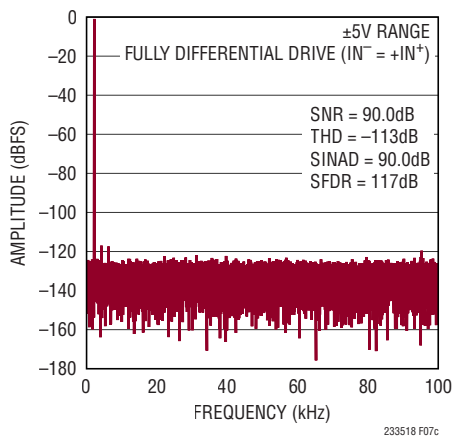
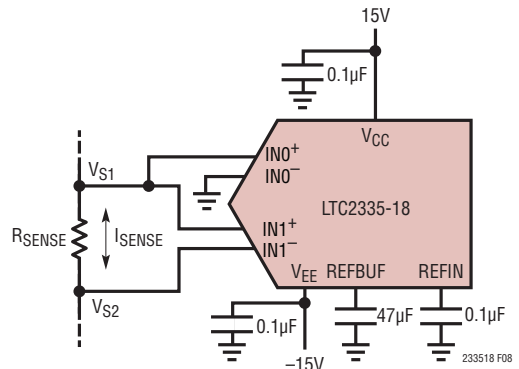


図7c.  $IN^+/IN^- = 450\text{mV}$  2kHz 完全差動正弦波、 $0\text{V} \leq V_{CM} \leq 24\text{V}$ 、32kポイントのFFT、 $f_{SMPL} = 200\text{kpsps}$ 。回路は図7a



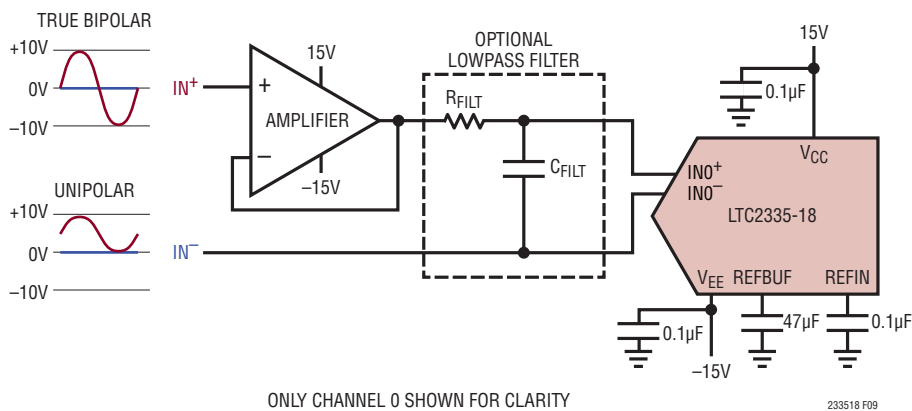
ONLY CHANNELS 0 AND 1 SHOWN FOR CLARITY

$$I_{SENSE} = \frac{V_{S1} - V_{S2}}{R_{SENSE}} \quad \begin{matrix} -10.24\text{V} \leq V_{S1} \leq 10.24\text{V} \\ -10.24\text{V} \leq V_{S2} \leq 10.24\text{V} \end{matrix}$$

図8. 広い同相電圧範囲で電圧(CH0)と電流(CH1)を検出

シングルエンドのアナログ入力信号のバッファリング

図6aの回路はシングルエンドの入力信号をバッファリングできますが、シングルエンドの信号のリファレンス・レベルのインピーダンスが本質的に小さくバッファリングが不要な場合は図9の回路の方が適しています。この回路では、1つのドライバとローパス・フィルタが不要になるため、部品点数と消費電力を減らし、ドライバのノイズに起因するSNRの低下を抑えることができます。表2で推奨されているドライバとフィルタの組み合わせを使用した場合、シングルエンド入力信号を有するこの回路でも、図6aの回路と同等の性能が得られます。



ONLY CHANNEL 0 SHOWN FOR CLARITY

図9. シングルエンド入力信号のバッファリング。推奨するアンプとフィルタの組み合わせについては表2を参照

## アプリケーション情報

### A/Dコンバータのリファレンス

前出の表1bのように、LTC2335-18では、リファレンスを以下の3種類のいずれかに設定できます。第1の設定では、内部バンドギャップ・リファレンスとリファレンス・バッファの両方を使用します。第2の設定では、外部的に内部リファレンスをオーバードライブしますが内部バッファは状態が保持され、外部リファレンスをA/Dコンバータの変換状態の遷移から隔離します。この設定は、複数のA/Dコンバータで1つの高精度外部リファレンスを共有する場合に理想的です。第3の設定では、内部バッファをディスエーブルし、REFBUFピンを外部的にオーバードライブします。

### 内部リファレンスと内部バッファ

LTC2335-18は、工場出荷時に2.048Vに調整された、オンチップ、低ノイズ、低ドリフト(最大20ppm/°C)、温度補償バンドギャップ・リファレンスを内蔵しています。リファレンスの出力は図10aのように20kΩの抵抗器を介してREFINピンに接続され、内蔵のリファレンス・バッファへの入力となります。内部バンドギャップ・リファレンスを使用する場合は、広帯域ノイズをフィルタ処理するため、0.1μFのセラミック・コンデンサを使用してREFINピンをピンの近くでGND(ピン20)にバイパスする必要があります。リファレンス・バッファは、 $V_{REFIN}$ を増幅してコンバータのマスタ・リファレンス電圧  $V_{REFBUF} = 2 \cdot V_{REFIN}$  をREFBUFピンに出力します。内部バンドギャップ・リファレンスを使用する場合、このピンの公称電圧は4.096Vです。リファレンス・バッファを補償し、変換時の過渡電流を吸収してノイズを最小限に抑えるため、少なくとも1つの47μFのセラミック・コンデンサ(X7R、10V、1210サイズ、またはX5R、10V、0805サイズ)を使用してREFBUFをピンの近くでGND(ピン20)にバイパスする必要があります。

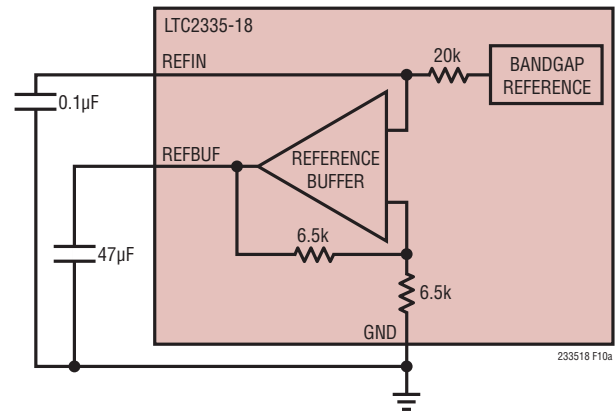


図10a. 内部リファレンスと内部バッファの構成

### 外部リファレンスと内部バッファ

内部バンドギャップ・リファレンスの出力が20kΩの抵抗器によりREFINピンから分離されているため、さらに高い精度や低いドリフトが要求される場合は、図10bのように、外部リファレンスによりREFINを容易にオーバードライブできます。REFINピンでの外部リファレンス電圧オーバードライブの有効範囲は1.25V~2.2Vであるため、コンバータのマスタ・リファレンス電圧  $V_{REFBUF}$  は2.5V~4.4Vになります。リニアテクノロジーでは、さまざまなアプリケーションの要求を満たすように設計された高性能リファレンスを取り揃えております。LTC6655-2.048は小型、低消費電力、高精度であるため、LTC2335-18と組み合わせて内部リファレンスのオーバードライブに使用するのに最適です。LTC6655-2.048は、高精度アプリケーション向けに0.025%(最大)の初期精度と2ppm/°C(最大)の温度係数を実現しています。LTC6655-2.048はHグレードの温度

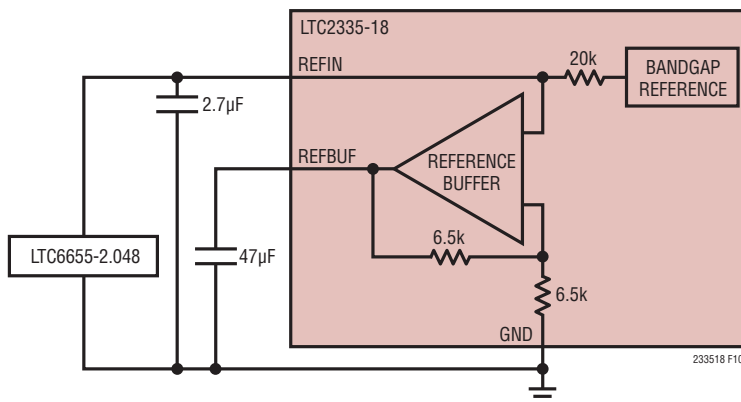


図10b. 外部リファレンスと内部バッファの構成

## アプリケーション情報

範囲で完全に規定されており、LTC2335-18の最大125°Cの拡張温度範囲での動作を補完します。2.7 $\mu$ F~100 $\mu$ Fのセラミック・コンデンサをREFINピンの近くに配置して、LTC6655-2.048をバイパスすることを推奨します。

### 外部リファレンスとディスエーブルされた内部バッファ

内部リファレンス・バッファは、最大で $V_{REFBUF} = 4.4V$ まで対応できます。図10cのようにREFINを接地して内部バッファをディスエーブルすると、2.5V~5Vの範囲の外部リファレンス電圧でREFBUFをオーバードライブできます。外部5Vリファレンスを使用してREFBUFをオーバードライブすると、最大限の入力信号範囲とSNRを実現できます。リファレンス・バッファをディスエーブルした状態でも、バッファ・フィードバック抵抗器群によりREFBUFピンの負荷は13k $\Omega$ になります。LTC6655-5は、LTC6655-2.048と同様に小型、高精度、低ドリフトで、拡張温度範囲に対応し、LTC2335-18とペアで使用した場合、98.3dBの標準SNRを実現します。変換時の過渡電流吸収してノイズを最小限に抑えるため、少なくとも1つの47 $\mu$ Fのセラミック・コンデンサ(X7R、10V、1210サイズ、またはX5R、10V、0805サイズ)を使用してLTC6655-5をREFBUFピンの近くでGND(ピン20)にバイパスする必要があります。

各変換サイクル中に、LTC2335-18コンバータにはREFBUFピンから電荷( $Q_{CONV}$ )が流れます。短時間の場合は、この電荷の大部分が外部REFBUFバイパス・コンデンサから供給されますが、比較的長時間の場合は、すべての電荷がリファレンス・バッファから(内部リファレンス・バッファがディスエーブルされている場合は外部リファレンスから)供給されます。この流入電荷は、DC電流 $I_{REFBUF} = Q_{CONV} \cdot f_{SMPL}$ と一致し、サンプリング・レートに比例します。図11に示すように、長時間のアイドル状態の後、集中的にサンプリングされるアプリケーションでは、 $I_{REFBUF}$ は短時間で約0.4mAから1.1mAになり

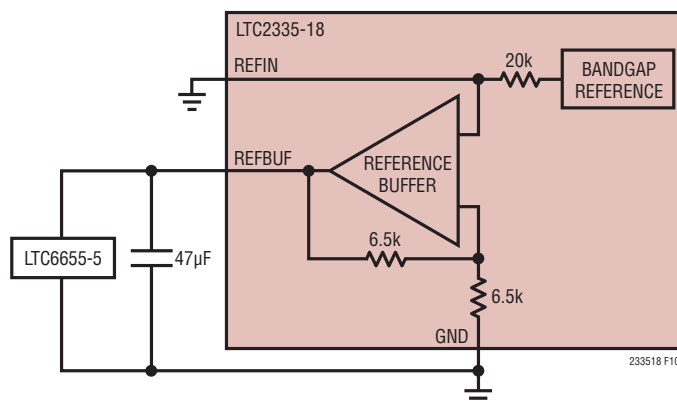


図10c. 外部リファレンスとディスエーブルされた内部バッファの構成

ます( $V_{REFBUF} = 5V$ ,  $f_{SMPL} = 1Msps$ )。この電流のステップにより、外部リファレンスのトランジェント応答がトリガされます。 $V_{REFBUF}$ の誤差はコンバータの精度に影響を与えるため、このトランジェント応答には注意が必要です。外部リファレンスを使用してREFBUFをオーバードライブする場合は、高速でセトリングするLTC6655ファミリのリファレンスの使用を推奨します。

### 内部リファレンス・バッファのトランジェント応答

集中的なサンプリングを使用するアプリケーションで最高の性能を実現するためには、外部リファレンスと内部リファレンス・バッファを使用するように設定する必要があります。内部リファレンス・バッファは、アイドル期間後に集中的な変換が行われる際の $V_{REFBUF}$ の変化を最小限に抑えられるよう、専用に設計されています。リファレンスの設定が異なる2つの場合について、入力がフルスケール近くまでなるときの



図11. 集中的なサンプリングを示すCNVの波形

## アプリケーション情報

LTC2335-18の集中的な変換の応答を比較したのが、図12です。第1の設定では内部リファレンス・バッファを使用しLTC6655-2.048により外部的にREFINをオーバードライブしているのに対し、第2の設定では内部リファレンス・バッファをディスエーブルし外部のLTC6655-4.096によりREFBUFをオーバードライブしています。どちらの場合も、REFBUFは、47 $\mu$ Fのセラミック・コンデンサでGNDにバイパスしています。

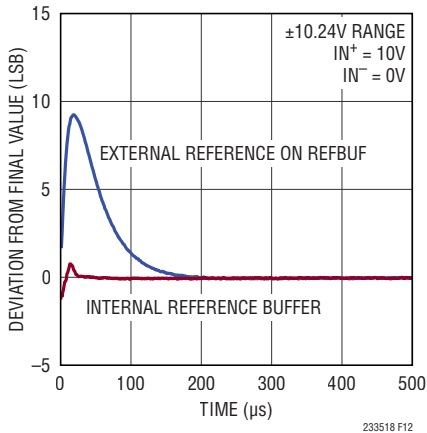


図12. LTC2335-18の集中的な変換の応答、  
f<sub>SMPL</sub> = 1Msps

### ダイナミック性能

A/Dコンバータの周波数応答、歪み、およびノイズを定格スループットでテストするには、高速フーリエ変換(FFT)の手法が使われます。低歪みの正弦波を入力し、そのデジタル出力をFFTアルゴリズムを使って解析することにより、基本波の外側の周波数に関してADCのスペクトル成分を調べることができます。LTC2335-18では、AC歪みとノイズの測定値について、いずれも保証されたテスト済みの限界値を示しています。

### 信号対ノイズ+歪み比(SINAD)

信号対ノイズ+歪み比(SINAD)は、基本入力周波数のRMS振幅とA/Dコンバータ出力に含まれる他のすべての周波数成分のRMS振幅の比です。出力の帯域は、サンプリング周波数の1/2未満に制限されています(DCは除く)。図13は、LTC2335-18が、2kHzの真の双極性入力信号で、サンプリング・レート1Mspsのとき、±10.24Vの範囲でSINAD標準値96.7dBを実現していることを示します。

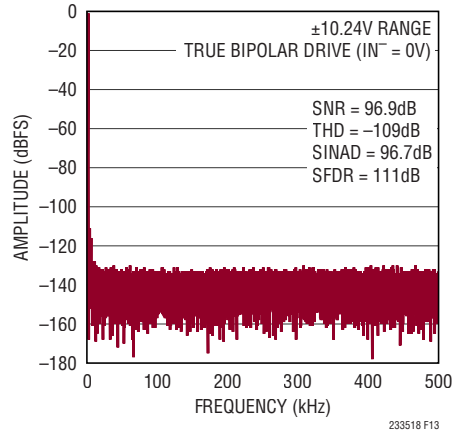


図13. 32kポイントのFFT (f<sub>SMPL</sub> = 1Msps, f<sub>IN</sub> = 2kHz)

### 信号対ノイズ比(SNR)

信号対ノイズ比(SNR)は、基本入力周波数のRMS振幅と、最初の5つの高調波とDCを除く他のすべての周波数成分のRMS振幅の比です。図13は、LTC2335-18が、2kHzの真の双極性入力信号で、サンプリング・レート1Mspsのとき、±10.24Vの範囲でSNR標準値96.9dBを実現していることを示します。

### 全高調波歪み(THD)

全高調波歪み(THD)は、入力信号のすべての高調波のRMS値の合計と基本波のRMS値との比です。帯域外高調波は、DCとサンプリング周波数の半分(f<sub>SMPL</sub>/2)の間の周波数帯域で折り返しエラーを生じます。THDは次のように表されます。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 \dots V_N^2}}{V_1}$$

ただし、V<sub>1</sub>は基本周波数の振幅のRMS振幅、V<sub>2</sub>～V<sub>N</sub>は2次～n次の各高調波の振幅です。図13は、LTC2335-18が、2kHzの真の双極性入力信号で、サンプリング・レート1Mspsのとき、±10.24Vの範囲でTHD標準値-109dB (N = 6)を実現していることを示します。

## アプリケーション情報

### 電源に関する検討事項

LTC2335-18には、4つの電源ピン、すなわち、正負の高電圧電源( $V_{CC}$ と $V_{EE}$ )、メインの5V電源( $V_{DD}$ )、デジタル入出力(I/O)インタフェース用電源( $OV_{DD}$ )があります。電圧差の限界値( $10V \leq V_{CC} - V_{EE} \leq 38V$ )の条件が守られている限り、 $V_{CC}$ と $V_{EE}$ をそれぞれの許容動作範囲内の任意の値に個別にバイアスでき、いずれかの電源を直接グランドに接続することもできます。LTC2335-18は、同相入力電圧範囲がこのような特長を備えているため、個々のアプリケーションの条件に合わせて対応できます。LTC2335-18は $OV_{DD}$ 電源の柔軟性が高いため、2.5Vシステムや3.3Vシステムなど、1.8V~5Vで動作するCMOSロジックと通信できます。LVDS I/Oモードを使用する場合、 $OV_{DD}$ の範囲は2.375V~5.25Vです。

### 電源シーケンシング

LTC2335-18には電源シーケンシングに関する特別な要件はありません。「絶対最大定格」のセクションに記載されている最大電圧の関係を遵守するよう注意する必要があります。LTC2335-18は、最初の電源投入時、および $V_{DD}$ が2Vより低くなったときに必ずA/Dコンバータ(LTC2335-18)をリセットするパワーオン・リセット(POR)回路を内蔵しています。電源電圧が公称の電源電圧範囲内に戻ると、POR回路はA/Dコンバータを再度初期化します。初期化の期間が確実に終了するように、PORイベントの10ms後までは変換を開始しないようにします。内部リファレンス・バッファを使用する場合は、バッファがオンになりREFBUFバイパス・コンデンサを再充電できるよう、200msの時間を確保してください。この時点より前に変換を開始すると、結果が無効になります。

### タイミングと制御

#### CNVのタイミング

LTC2335-18のサンプリングと変換はCNVによって制御されます。CNVの立ち上がりエッジで、サンプル・アンド・ホールド回路がトラック・モードからホールド・モードになり、入力信号をサンプリングして変換を開始します。変換開始後は、「リセットのタイミング」のセクションで説明するように、A/Dコンバータをリセットする以外の方法で早期に変換を終了させることはできません。最適な性能を得るには、クリーンな低ジッタの信号でCNVを駆動し、データI/Oラインの遷移がCNVの立ち上がりエッジに至るのを避ける必要があります。また、最高のクロストーク性能を実現するためには、CNVの立ち上がりエッジの前後の100nsの期間中はアナログ入力が高スループレートにならないようにする必要があります。コンバータのステータスはBUSY出力でわかります。BUSY出力は各変換の開始時に“L”から“H”に遷移し、変換が完了するまで“H”に保たれます。内部での変換処理中の外部的障害を最小限に抑えるため、CNVを“H”にして変換を開始されてから40ns~60ns後、またはBUSYの立ち下がりエッジ後に、CNVを“L”に戻す必要があります。低消費電力のナップ・モード動作を活用するために必要なCNVのタイミングについては、「ナップ・モード」のセクションを参照してください。

#### 内部変換クロック

LTC2335-18には、550nsの最大変換時間を達成するように調整されている内部クロックがあります。最小データ収集時間は420nsであり、外部調整なしに、1Mspsのスループット性能が保証されています。LTC2335-18はマルチプレクスA/Dコンバータであり、1つのCNVエッジで1つのチャネルを変換します。1つの変換処理には最短で1 $\mu$ sの時間がかかります。したがって、N個のチャネル(N = 1~8)をスキャンする場合の所要時間は最短でもN $\mu$ sであり、チャネルごとのスループットは最大で1/N Msps/chとなります。

## アプリケーション情報

### ナップ・モード

LTC2335-18は、1回の変換完了後にナップ・モードに移行して、変換と変換の間の電力消費量を低減することができます。このモードではデバイスの回路の一部がオフになりますが、アナログ入力信号のサンプリングに関連する回路も含まれます。ナップ・モードをイネーブルするには、図14に示すように、変換と変換の間、CNVピンを“H”に保ちます。ナップ・モードに入った後に新しい変換を開始するには、CNVピンを“L”にして420ns以上保持し、その後再度“H”にします。ナップ・モード使用時のコンバータの収集時間( $t_{CNVL}$ )は、CNVの“L”の時間( $t_{CNVL}$ )で設定されます。

### パワーダウン・モード

PDピンが“H”になるとLTC2335-18はパワーダウンされ、その後の変換要求は無視されます。変換中にこの状態になった場合は、変換が完了した時点でデバイスがパワーダウン・モードになります。このモードでは、わずかなレギュレータ・スタンバイ電流しかデバイスに流れないため、電力損失は標準値で0.36mWとなります。パワーダウン・モードを終了する場合は、PDピンを“L”にして10ms以上保持すると変換処理が開始されます。内部リファレンス・バッファを使用する場合は、バッファがオンになりREFBUFバイパス・コンデンサを再充電できるよう、200msの時間を確保してください。この時点より前に変換を開始すると、結果が無効になります。

### リセットのタイミング

LTC2335-18では、電源をオン/オフせずに、パワーオン・リセットの場合と同様なグローバル・リセットを実行できます。この機能は、システム・レベルのイベント後にシステム全体の状態を既知の同期値に復帰させる場合に役立ちます。グローバル・リセットを実行するには、図15のように、間で変換が行われないタイミングでPDを2回“H”にします。PDの2回目の立ち上がりエッジでリセット・イベントがトリガされ、内部タイマにより非同期的に終了します。リセットを行うと、すべてのシリアル・データ出力レジスタがクリアされ、内部シーケンサでは変換チャンネル0～7が順番にデフォルト状態のSoftSpanレンジ7に復帰します。変換中にリセットがトリガされると、変換が直ちに停止します。PDを“H”にする通常のパワーダウン動作は、リセットの影響を受けません。PDピンを“L”にして10ms以上保持すると変換処理が開始されます。内部リファレンス・バッファを使用する場合は、バッファがオンになりREFBUFバイパス・コンデンサを再充電できるよう、200msの時間を確保してください。この時点より前に変換を開始すると、結果が無効になります。

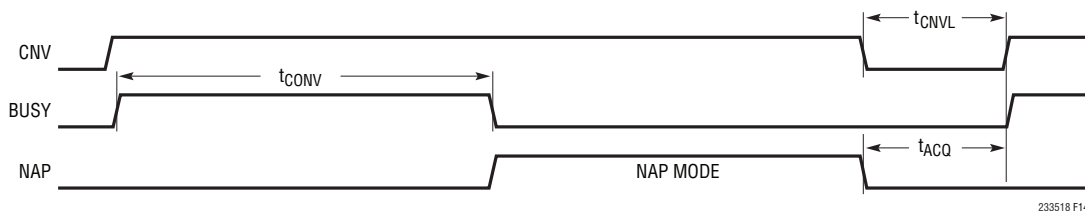


図14. LTC2335-18のナップ・モードのタイミング

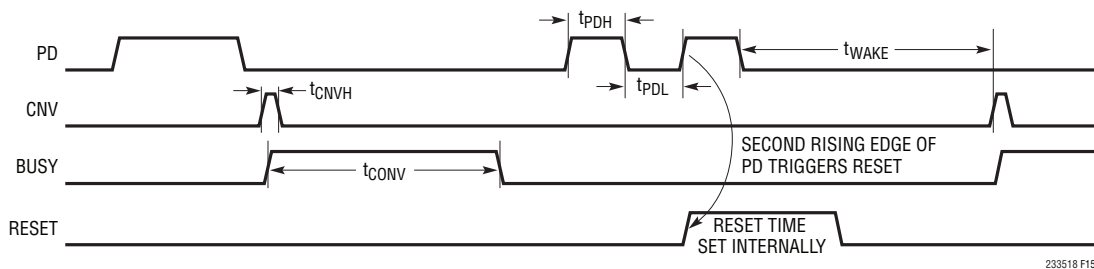


図15. LTC2335-18のリセットのタイミング

## アプリケーション情報

### 電力損失とサンプリング周波数

ナップ・モードを使用すると、LTC2335-18の電力損失は、図16に示すように、サンプリング周波数が低下するにつれて減少します。このように電力損失の平均値が減少するのは、ナップ・モードの間はLTC2335-18の回路の一部がオフになり、一時休止状態で経過する変換サイクル( $t_{CYC}$ )の割合が、サンプリング周波数( $f_{SMPL}$ )が減少するにつれて増加するからです。

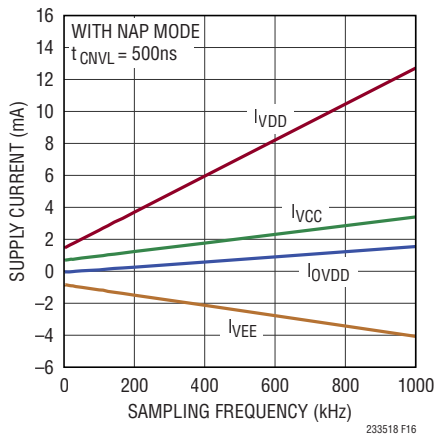


図16. LTC2335-18の電力損失はサンプリング周波数の低下とともに減少

### デジタル・インタフェース

LTC2335-18はCMOSとLVDSのシリアル・インタフェースを装備しており、LVDS/CMOSピンで選択できます。LTC2335-18はOV<sub>DD</sub>電源の柔軟性が高いため、2.5Vシステムや3.3Vシステムなど、1.8V～5Vで動作するCMOSロジックと通信でき、LVDSインタフェースは低ノイズなデジタル設計をサポートします。また、このようなI/Oインタフェース・オプションがあるため、LTC2335-18は、旧型のマイクロコントローラとも最新のFGPAとも同等に通信できます。

### シリアルCMOS I/Oモード

図17のように、CMOS I/Oモードでは、シリアル・データバスは、シリアル・クロック入力SCKI、シリアル・データ入力SDI、シリアル・クロック出力SCKO、シリアル・データ出力SDOから構成されます。LTC2335-18との通信は、このバス上で、あらかじめ定義されたデータ処理時間ウィンドウ内に行われます。このウィンドウ内で、デバイスはSDIで制御ワードを受信して次の変換に使用するSoftSpanレンジとチャンネルを設定し、シーケンサをプログラムし、直近の変換の結果と設定情報を含む24ビットの packets をSDOに出力します。

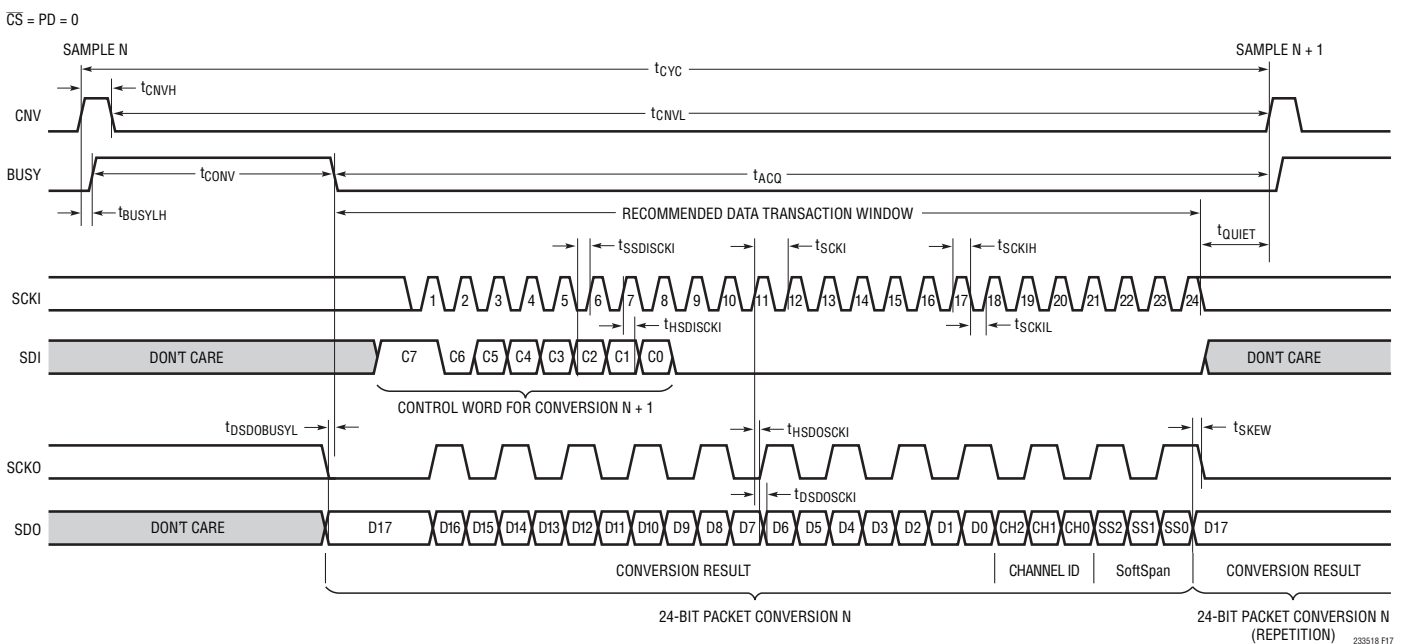


図17. シリアルCMOS I/Oモード、変換ごとの直接的な設定

## アプリケーション情報

LTC2335-18の電源投入またはリセットの10ms後、および各変換の最後のBUSYの立ち下がりエッジで、新しいデータ処理ウィンドウ期間になります。図17のように、次の変換の開始より少なくとも20ns以上の時間( $t_{\text{QUIET}}$ )だけ前には、データ処理が完了している必要があります。新しい制御ワードが受信されるのはこの推奨データ処理ウィンドウの時間内だけですが、設定変更は直ちに有効になり、次の変換開始前に必要なアナログ入力セトリング時間が長くなることはありません。

BUSYの立ち下がりエッジで新しいデータ処理ウィンドウ期間になる直前に、SCKOは強制的に“L”になり、SDOは直前に完了した変換による最新の結果に更新されます。SCKIの立ち上がりエッジで、変換結果とアナログ入力チャンネル設定情報がクロックに従ってSDOにシリアル出力され、SDOのデータにスキュー・マッチングされるSCKOの遷移がトリガされます。その結果、SCKOの周波数はSCKの1/2になります。

また、SCKIの立ち上がりエッジでは、SDIに送られた制御ワードもラッチされ、この制御ワードを使用して、次の変換用のSoftSpanレンジとチャンネルが設定され、シーケンスがプログラムされます。詳しくは「マルチプレクサとSoftSpanレンジの設定」のセクションを参照してください。CMOS I/Oモードでは、SCKIを、“H”でも“L”でもアイドル状態にできます。図18のように、CMOSバスは、 $\overline{\text{CS}}$ ピンが“L”になるとイネーブルされ、 $\overline{\text{CS}}$ ピンが“H”になるとディスエーブルされて高インピーダンスになるため、複数のデバイスでバスを共有できます。

SDOのデータの形式は24ビットの packets であり、18ビット変換結果と、3ビットのアナログ・チャンネルID、3ビットのSoftSpanコードから構成され、すべての項目はMSBが先頭になる形で表現されます。図17、18のように、24個を超えるSCKIクロックを与えると、24ビットの packets がSDOに繰り返し出力され続けます。

LTC2335-18を標準的なSPIバスとインタフェースさせる場合は、SCKIの立ち上がりエッジでレシーバの出力データを捕捉してください。この場合、SCKOは使用されません。LTC2335-18をFPGAやCPLDとインタフェースさせるような他のアプリケーションの場合は、SCKOの立ち上がりエッジと立ち下がりエッジを使用して、SDOのシリアル出力データを2倍のデータレート(DDR)で捕捉できます。SCKOを使用してデータを捕捉すると、温度や電源に起因する遅延時間の変動に対する耐性が高くなります。

LTC2335-18では、1MSPSで変換を行う場合、400ns以上のデータ転送ウィンドウ( $t_{\text{ACQ}} - t_{\text{QUIET}}$ )を確保できます。したがって、変換結果とチャンネルIDとSoftSpanのすべてを含む24ビット・ packets を読み込む必要があるアプリケーションの場合、SCKIに使用可能な最低周波数は60MHzです。変換結果だけを読み込めばよいアプリケーションの場合は、18個のSCKIパルスを与えるだけでよいので、SCKIに使用可能な最低周波数は45MHzとなります。LTC2335-18は、100MHzまでのCMOS SCKI周波数に対応できます。

### CMOS I/Oモード時のマルチプレクサとSoftSpanレンジの設定

電源投入時とリセット後に、LTC2335-18は、SoftSpanレンジ7でチャンネル0~7を順番に変換するデフォルト設定になります。この設定を変更する必要がない場合は、SDIを“L”のままにしておいてください。

LTC2335-18のマルチプレクサとSoftSpanレンジは、アプリケーションでの必要性に応じ2つの方法で操作できます。必要なチャンネル・シーケンスとSoftSpanレンジが事前に分かっている場合は、LTC2335-18の内蔵シーケンスで16件までの設定からなるシーケンスをプログラムでき、ユーザが介入しなくてもこれらの設定に従って循環的に動作します。一方、最高度の柔軟性が要求される場合は、LTC2335-18を直接操作することもできます。その場合は、シーケンスの各変換データに、以降の変換に使用すべきチャンネルとSoftSpanレンジを上書きします。この設定変更を行っても、遅延時間やセトリング時間が長くなったり、デジタルI/Oの間接処理が増えることはありません。

### シーケンスの使用法

LTC2335-18の内蔵シーケンスを使用するには、最初に、以下のように必要に応じ最大16件までの設定のシーケンスをプログラムします。各設定では、1つの変換に使用すべきチャンネル番号とSoftSpanレンジを指定します。LTC2335-18は、最初の設定を最初の変換に、第2の設定を第2の変換に、... というように、プログラムしたシーケンスの最後に達するまで順番に設定を適用していき、最後に達した後は先頭に戻ってサイクルを繰り返します。

アプリケーション情報

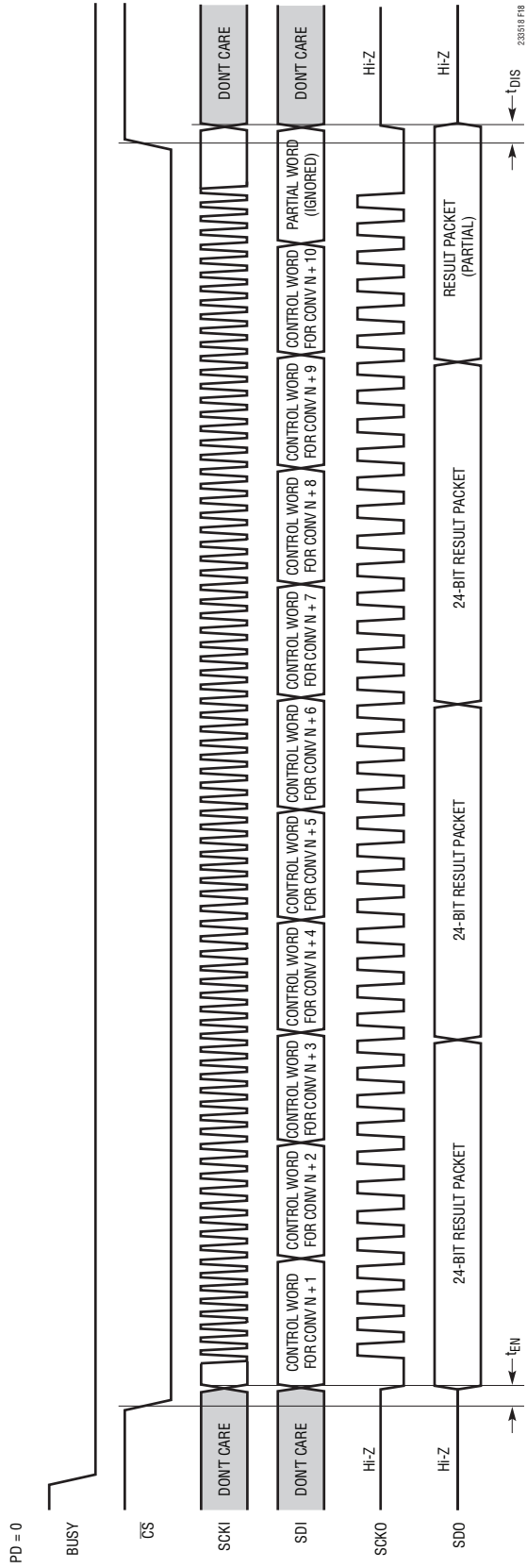


図 18.10 回の変換からなるシーケンスの場合のシーケンサのプログラムのCS に対するシリアル CMOS バスの応答

## アプリケーション情報

図 17、18 のように、各データ処理ウィンドウで、クロックに従って一連の 8 ビット制御ワードを SDI に入力してシーケンサをプログラムできます。各制御ワードで、チャンネル番号と SoftSpan レンジを指定します。最大 16 件までの一連の変換設定をシーケンサにプログラムするには、1 回のデータ処理中に必要な変換処理の順序に従って、対応する各制御ワードを書き込みます。16 番目の有効な制御ワードより後の制御ワードは、無視されます。

制御ワードの形式を、次の表に示します。

C[7]	C[6]	C[5]	C[4]	C[3]	C[2]	C[1]	C[0]
V	0	CH[2]	CH[1]	CH[0]	SS[2]	SS[1]	SS[0]

V ビット (C[7]) は、この制御ワードが LTC2335-18 で有効な制御ワードと見なされるか否かを指定します。V = 0 である制御ワードはすべて無効と見なされ無視されます (ただし、無効な制御ワードの後でも有効な制御ワードは受け付けられます)。V = 1 である制御ワードは、受け取った順にシーケンサに追加されていきます。C[6] ビットは将来の使用に備えた予備ビットであるため、0 に設定します。CH[2:0] (C[5:3]) ビットはバイナリ値 0 ~ 7 であり、変換すべきチャンネルを指定します。SS[2:0] (C[2:0]) ビットは、表 1 のように変換に必要な SoftSpan レンジを指定します。

次の変換処理が開始されると、シーケンサのプログラミングは終了します。この時点で処理が完了していない制御ワードはすべて、無効であると見なされ、破棄されます。1 つまたは複数の有効な制御ワードを指定するとシーケンサは新しいシーケンスで完全に上書きされますが、その時点で開始されていた変換処理では前に指定されていた設定が使用されます。

データ処理ウィンドウの期間内に有効な制御ワードが指定されなかった場合、シーケンサのプログラムは変更されず、ポインタはプログラムされていたサイクル内の次の項目に進み、次の変換が設定されます。

したがって、一度シーケンサをプログラムした後、以降のデータ処理中は SDI を “L” に保持すれば、プログラムされた設定のシーケンスに従って、サイクルが連続的に実行されていきます。

### 変換ごとの直接的な設定

シーケンサの特殊なケースとして、変換ごとに LTC2335-18 のマルチプレクサと SoftSpan レンジを直接操作することもできます。遅延時間が発生したり、セトリグ時間が長くなったり、デジタル I/O の間接処理が増えることはありません。このような直接的な形で本製品を使用する方法は簡単で、図 17 のように、データ処理中に SDI に 1 つの制御ワードを書き込み、以降の変換に使用するチャンネル番号と SoftSpan レンジを指定するだけです。

変換 N+1 で使用するチャンネルと SoftSpan レンジが、変換 N の結果を確認する前に分かっている場合は、クロックに従って最初の 8 ビットを読み出しながら対応する制御ワードを SDI に書き込んだ後、SDI を “L” に保持します。この特殊な使用例を図 17 に示します。変換データを読み込むまで必要な設定が分からない場合は、クロックに従って 24 ビットのデータを読み出しながら SDI に 24 個のゼロを書き込みます。こうすると、これらの制御ワードの V ビットが 0 になって無視されるためです。設定すべき内容が決まったら、クロックに従ってさらに 8 ビットを SDI に書き込み、変換 N+1 に使用する設定を指定します。

### シリアル LVDS I/O モード

LVDS I/O モードでは、正負の信号ペア (LVDS<sup>+</sup>/LVDS<sup>-</sup>) と、差動的にコード化されたビット (LVDS<sup>+</sup> - LVDS<sup>-</sup>) を使用して、情報が送信されます。通常、これらの信号は、特性インピーダンス 100Ω の差動伝送線路を使用して送られます。通常、ロジック 1 と 0 は、それぞれ差動電圧 +350mV、-350mV により表現されます。分かりやすくするため、すべての LVDS タイミング図とインタフェースについての説明には、物理的な値でなく論理値を使用しています。

図 19 のように、LVDS I/O モードの場合、シリアル・データバスは、シリアル・クロック差動入力 SCKI、シリアル・データ差動入力 SDI、シリアル・クロック差動出力 SCKO、シリアル・データ差動出力 SDO から構成されます。LTC2335-18 との通信は、このバス上で、あらかじめ定義されたデータ処理時間ウィンドウ内に行われます。このウィンドウ内で、デバイスは SDI で制御ワードを受信して次の変換に使用する SoftSpan レンジとチャンネルを設定し、シーケンサをプログラムし、直近の変換の結果と設定情報を含む 24 ビットの packets を SDO に出力します。

## アプリケーション情報

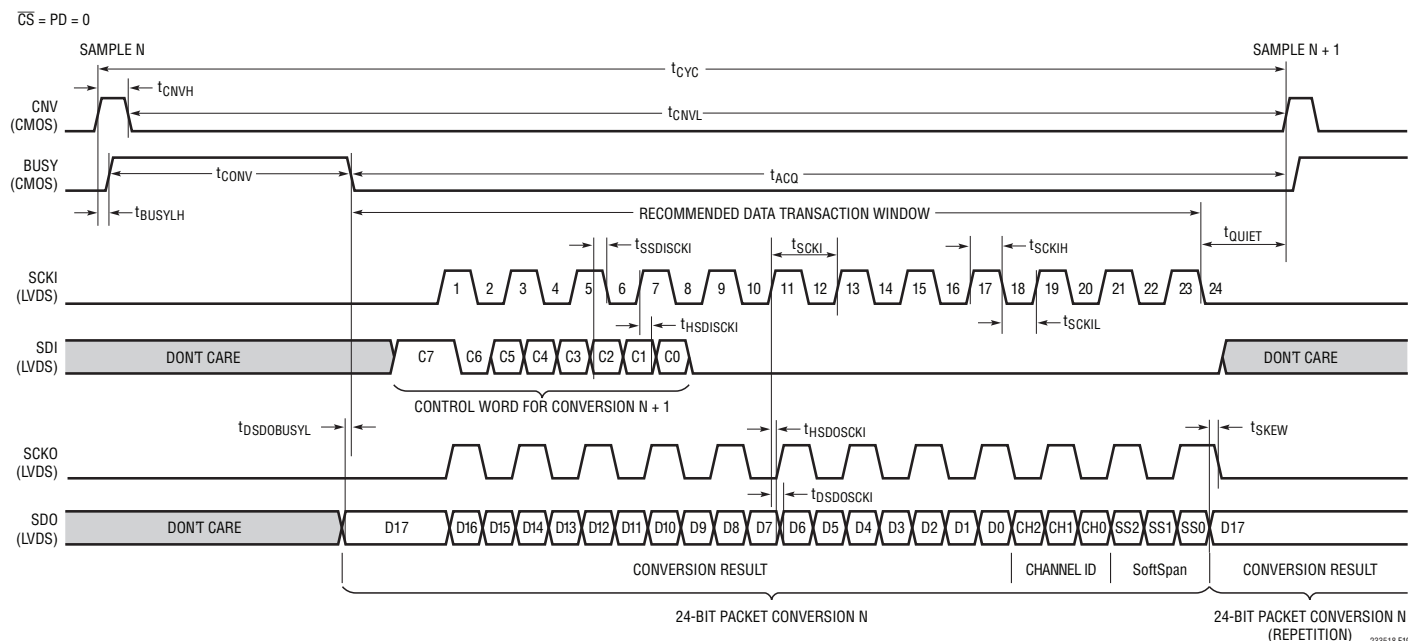


図19. シリアルLVDS I/Oモード、変換ごとの直接的な設定

LTC2335-18の電源投入またはリセットの10ms後、および各変換の最後のBUSYの立ち下がりエッジで、新しいデータ処理ウィンドウ期間になります。図19のように、次の変換の開始より少なくとも20ns以上の時間( $t_{QUIET}$ )だけ前には、データ処理が完了している必要があります。新しい制御ワードが受信されるのはこの推奨データ処理ウィンドウの時間内ですが、設定変更は直ちに有効になり、次の変換開始前に必要なアナログ入力セットリング時間が長くなることはありません。

BUSYの立ち下がりエッジで新しいデータ処理ウィンドウ期間になる直前に、SDOは直前に完了した変換による最新の結果に更新されます。SCKIの立ち上がりエッジと立ち上がりエッジの両方で、変換結果とアナログ入力チャンネル設定情報がクロックに従ってSDOにシリアル出力されます。また、SCKIはSCKOにもエコーされ、SDOのデータにスキュー・マッチングされます。可能な場合は必ず、SCKOの立ち上がりエッジと立ち下がりエッジを使用してSDOのDDRシリアル出力データを捕捉することを推奨します。これにより、電源や温度に起因する遅延時間の変化への耐性を最適化できるためです。

また、SCKIの立ち上がりエッジと立ち下がりエッジでは、SDIに送られた制御ワードもラッチされ、この制御ワードを使用して、次の変換用のSoftSpanレンジとチャンネルが設定され、シーケンサがプログラムされます。詳しくは、「LVDS I/Oモード時のマルチプレクサとSoftSpanレンジの設定」のセクションを参照してください。図20のように、LVDSバスは、CSピンが“L”になるとイネーブルされ、CSピンが“H”になるとディスエーブルされて高インピーダンスになるため、複数のデバイスでバスを共有できます。LVDSでの信号伝達は高速性に関係することが多いため、LVDSバスの共有については慎重に考慮する必要があります。共有バスに起因する伝送線路の限界のため、達成可能な最大バス・クロック速度が制約される可能性もあります。CSが“L”のとき、LVDS入力は100Ωの差動抵抗で内部的に終端処理されますが、出力はレシーバ(FPGA)で100Ωの抵抗により差動で終端処理する必要があります。CSの遷移時など、LVDS I/OモードではSCKIが“L”でアイドル状態になっていなければなりません。

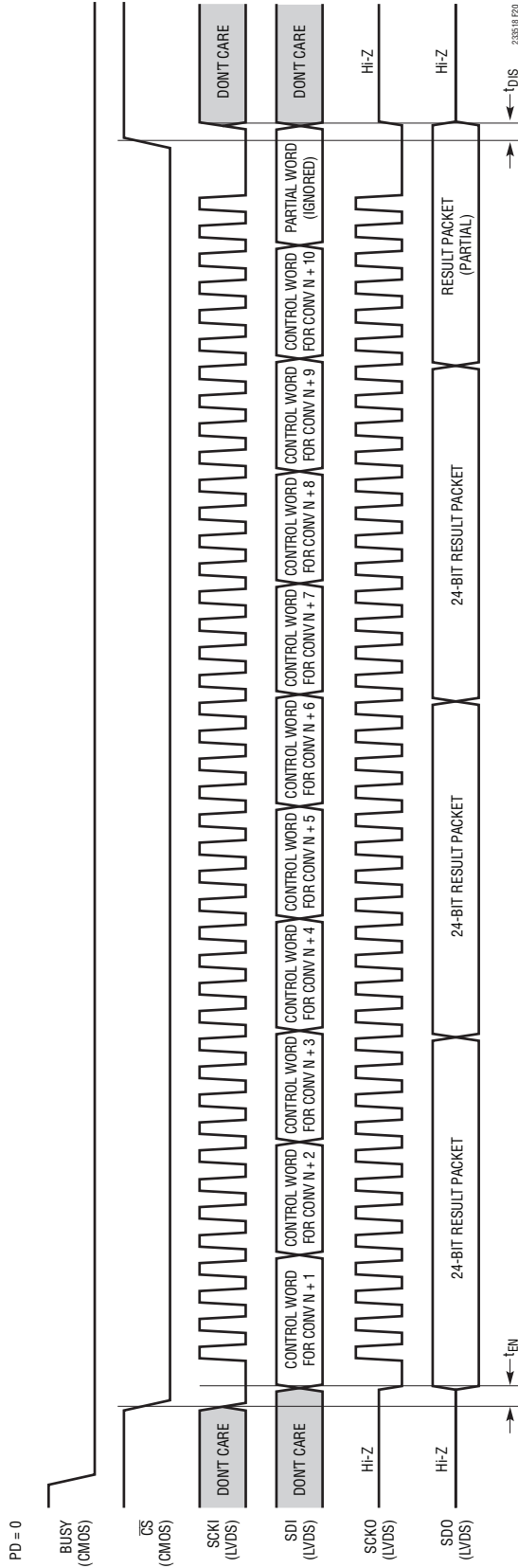


図 20. 10 回の変換からなるシーケンスの場合のシーケンサのプログラムの CS に対するシリアル LVDS バスの応答

## アプリケーション情報

SDOのデータの形式は24ビットのパケットであり、18ビット変換結果と、3ビットのアナログ・チャンネルID、3ビットのSoftSpanコードから構成され、すべての項目はMSBが先頭になる形で表現されます。図19、20のように、24個を超えるSCKIクロックを与えると、24ビットのパケットがSDOに繰り返し出力され続けます。

LTC2335-18では、1Mspsで変換を行う場合、400ns以上のデータ転送ウィンドウ( $t_{ACQ} - t_{QUIET}$ )を確保できます。したがって、変換結果とチャンネルIDとSoftSpanのすべてを含む24ビット・パケットを読み込む必要があるアプリケーションの場合、SCKIに使用可能な最低周波数は30MHz (60Mbps)です。変換結果だけを読み込めばよいアプリケーションの場合は、18個のSCKIエッジを与えるだけで良いため、SCKIに使用可能な最低周波数は22.5MHz (45Mbps)となります。LTC2335-18は、250MHz (500Mbps)までのLVDS SCKI周波数に対応できます。

### LVDS I/O モード時のマルチプレクサとSoftSpanレンジの設定

電源投入時とリセット後に、LTC2335-18は、SoftSpanレンジ7でチャンネル0~7を順番に変換するデフォルト設定になります。この設定を変更する必要がある場合は、SDIをLVDSの“L”レベルに保持してください。

LTC2335-18のマルチプレクサとSoftSpanレンジは、アプリケーションでの必要性に応じ2つの方法で操作できます。必要なチャンネル・シーケンスとSoftSpanレンジが事前に分かっている場合は、LTC2335-18の内蔵シーケンサで16件までの設定からなるシーケンスをプログラムでき、ユーザが介入しなくともこれらの設定に従って循環的に動作します。一方、最高度の柔軟性が要求される場合は、LTC2335-18を直接操作することもできます。その場合は、シーケンサの各変換データに、以降の変換に使用すべきチャンネルとSoftSpanレンジを上書きします。この設定変更を行っても、遅延時間やセトリング時間が長くなったり、デジタルI/Oの間接処理が増えることはありません。

### シーケンサの使用法

LTC2335-18の内蔵シーケンサを使用するには、最初に、以下のように必要に応じ最大16件までの設定のシーケンスをプログラムします。各設定では、1つの変換に使用すべきチャンネル番号とSoftSpanレンジを指定します。LTC2335-18は、最初の設定を最初の変換に、第2の設定を第2の変換に、...というように、プログラムしたシーケンスの最後に達するまで順番に設定を適用していき、最後に達した後は先頭に戻ってサイクルを繰り返します。

図19、20のように、各データ処理ウィンドウで、クロックに従って一連の8ビット制御ワードをSDIに入力してシーケンサをプログラムできます。各制御ワードで、チャンネル番号とSoftSpanレンジを指定します。最大16件までの一連の変換設定をシーケンサにプログラムするには、1回のデータ処理中に必要な変換処理の順序に従って、対応する各制御ワードを書き込みます。16番目の有効な制御ワードより後の制御ワードは、無視されます。

制御ワードの形式を、次の表に示します。

C[7]	C[6]	C[5]	C[4]	C[3]	C[2]	C[1]	C[0]
V	0	CH[2]	CH[1]	CH[0]	SS[2]	SS[1]	SS[0]

Vビット(C[7])は、この制御ワードがLTC2335-18で有効な制御ワードと見なされるか否かを指定します。V = 0である制御ワードはすべて無効と見なされ無視されます(ただし、無効な制御ワードの後でも有効な制御ワードは受け付けられます)。V = 1である制御ワードは、受け取った順にシーケンサに追加されていきます。C[6]ビットは将来の使用に備えた予備ビットであるため、0に設定します。CH[2:0] (C[5:3]) ビットはバイナリ値0~7であり、変換すべきチャンネルを指定します。SS[2:0] (C[2:0]) ビットは、表1のように変換に必要なSoftSpanレンジを指定します。

次の変換処理が開始されると、シーケンサのプログラミングは終了します。この時点で処理が完了していない制御ワードはすべて、無効であると見なされ、破棄されます。1つまたは複数の有効な制御ワードを指定するとシーケンサは新しいシーケンスで完全に上書きされますが、その時点で開始されていた変換処理では前に指定されていた設定が使用されます。

## アプリケーション情報

データ処理ウィンドウの期間内に有効な制御ワードが指定されなかった場合、シーケンサのプログラムは変更されず、ポインタはプログラムされていたサイクル内の次の項目に進み、次の変換が設定されます。

したがって、一度シーケンサをプログラムした後、以降のデータ処理中はSDIをLVDSの“L”レベルに保持すれば、プログラムされた設定のシーケンスに従って、サイクルが連続的に実行されていきます。

### 変換ごとの直接的な設定

シーケンサの特殊なケースとして、変換ごとにLTC2335-18のマルチプレクサとSoftSpanレンジを直接操作することもできます。遅延時間が発生したり、セトリング時間が長くなったり、デジタルI/Oの間接処理が増えることはありません。このような直接的な形で本製品を使用する方法は簡単で、図19のよ

うに、データ処理中にSDIに1つの制御ワードを書き込み、以降の変換に使用するチャンネル番号とSoftSpanレンジを指定するだけです。

変換N+1で使用するチャンネルとSoftSpanレンジが、変換Nの結果を確認する前に分かっている場合は、クロックに従って最初の8ビットを読み出しながら対応する制御ワードをSDIに書き込んだ後、SDIをLVDSの“L”レベルに保持します。この特殊な使用例を図19に示します。変換データを読み込むまで必要な設定が分からない場合は、クロックに従って24ビットのデータを読み出しながらSDIに24個のゼロを書き込みます。こうすると、これらの制御ワードのVビットが0になって無視されるためです。設定すべき内容が決まったら、クロックに従ってさらに8ビットをSDIに書き込み、変換N+1に使用する設定を指定します。

## 基板のレイアウト

LTC2335-18から最大限の性能を引き出すには、4層プリント回路基板(PCB)を推奨します。PCBのレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・クロックやデジタル信号を、アナログ信号の近くに配線したり、A/Dコンバータの下に配線したりしないように注意する必要があります。REFBUFからGND(ピン20)へのバイパス・コンデンサのリターン・ループの長さは、最小限に抑えてください。また、CNVを信号の近くに配線することは、立ち上がりエッジの妨げになる可能性があるため避けてください。

電源のバイパス・コンデンサは、できる限り電源ピンの近くに配置してください。A/Dコンバータを低ノイズで動作させるには、これらのバイパス・コンデンサに低インピーダンスの共通帰線を使用することが不可欠です。そのためには、切れ目のない単一のグラウンド・プレーンを推奨します。できれば、グラウンドを使用してアナログ入力のトレースを遮蔽してください。

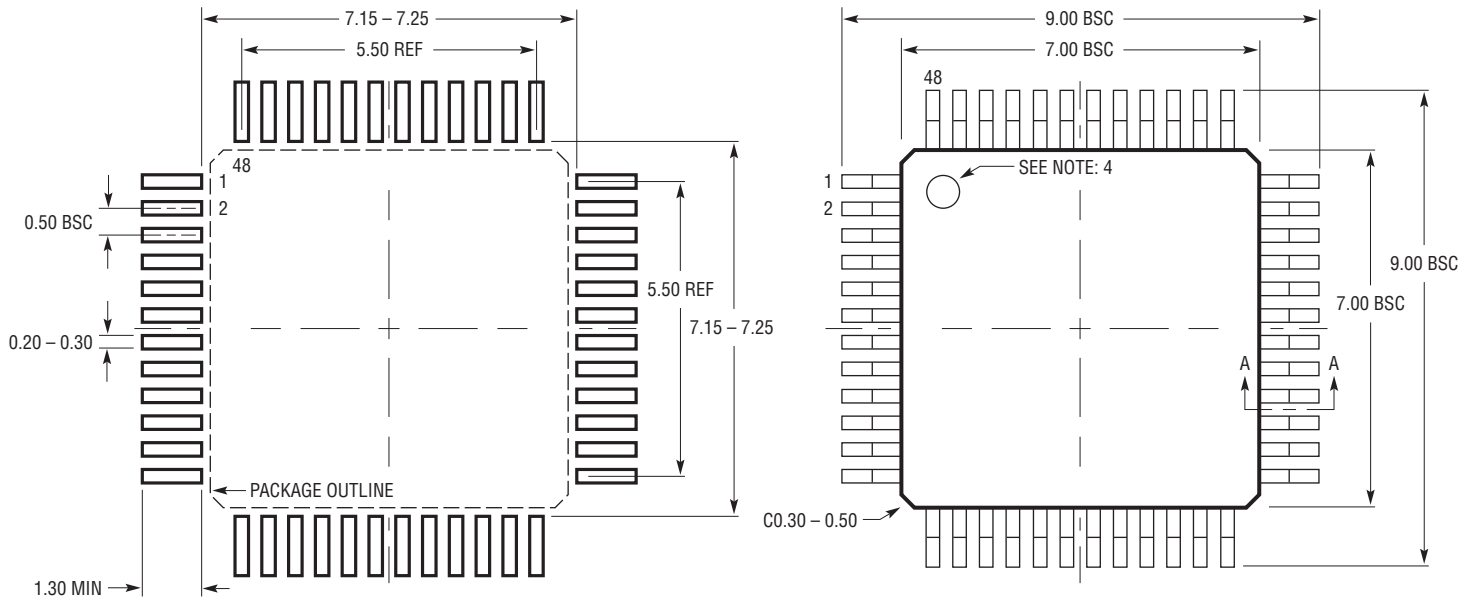
### リファレンスの設計

図面やPCBレイアウトなど、このコンバータのリファレンスの設計に関する詳細は、LTC2335-18評価キット [DC2412A](#) を参照してください。

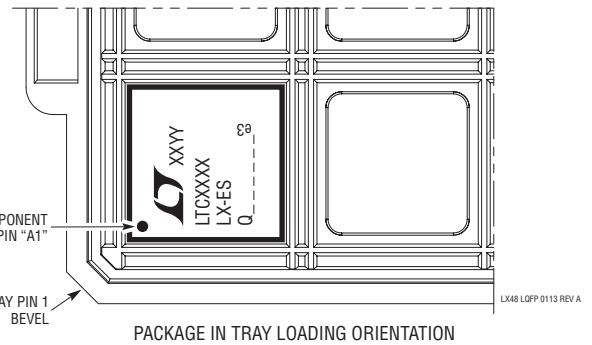
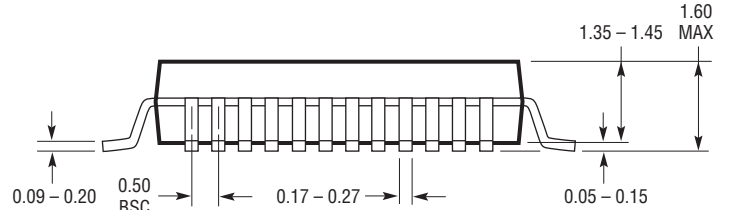
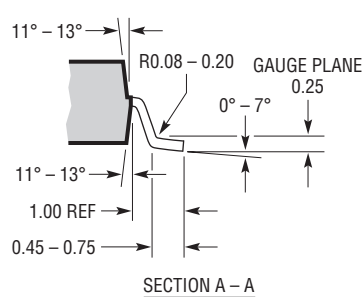
パッケージ寸法

最新のパッケージ図面については、<http://www.linear-tech.co.jp/product/LTC2335-18#packaging> を参照してください。

**LX Package**  
**48-Lead Plastic LQFP (7mm × 7mm)**  
 (Reference LTC DWG # 05-08-1760 Rev A)



RECOMMENDED SOLDER PAD LAYOUT  
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



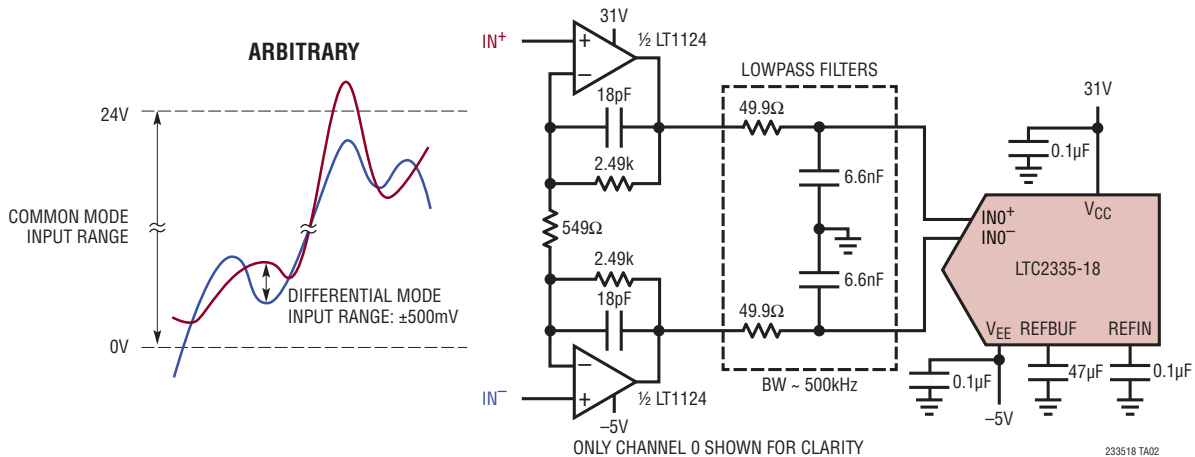
注記:

1. パッケージ寸法は JEDEC #MS-026 のパッケージ外形に適合
2. 寸法はミリメートル
3. 寸法にはモールドのバリを含まないモールドのバリは(もしあれば)各サイドで 0.25mm を超えないこと
4. ピン 1 の識別マークはモールドのくぼみ、直径 0.50mm
5. 図は実寸とは異なる

# LTC2335-18

## 標準的応用例

### 広い同相電圧範囲で差動信号をデジタル化



## 関連製品

製品番号	概要	注釈
<b>A/Dコンバータ</b>		
<a href="#">LTC2348-18/LTC2348-16</a>	18-/16-Bit, 200ksps, 8-Channel Simultaneous Sampling, ±3/±1LSB INL, Serial ADC	±10.24V SoftSpan Inputs with Wide Common Mode Range, 97/94dB SNR, Serial CMOS and LVDS I/O, 7mm × 7mm LQFP-48 Package
<a href="#">LTC2378-20/LTC2377-20/LTC2376-20</a>	20-Bit, 1Msps/500ksps/250ksps, ±0.5ppm INL Serial, Low Power ADC	2.5V Supply, ±5V Fully Differential Input, 104dB SNR, MSOP-16 and 4mm × 3mm DFN-16 Packages
<a href="#">LTC2338-18/LTC2337-18/LTC2336-18</a>	18-Bit, 1Msps/500ksps/250ksps, Serial, Low Power ADC	5V Supply, ±10.24V Fully Differential Input, 100dB SNR, MSOP-16 Package
<a href="#">LTC2328-18/LTC2327-18/LTC2326-18</a>	18-Bit, 1Msps/500ksps/250ksps, Serial, Low Power ADC	5V Supply, ±10.24V Pseudo-Differential Input, 95dB SNR, MSOP-16 Package
<a href="#">LTC2373-18/LTC2372-18</a>	18-Bit, 1Msps/500ksps, 8-Channel, Serial ADC	5V Supply, 8 Channel Multiplexed, Configurable Input Range, 100dB SNR, DGC, 5mm × 5mm QFN-32 Package
<a href="#">LTC2379-18/LTC2378-18/LTC2377-18/LTC2376-18</a>	18-Bit, 1.6Msps/1Msps/500ksps/250ksps, Serial, Low Power ADC	2.5V Supply, Differential Input, 101.2dB SNR, ±5V Input Range, DGC, Pin Compatible Family in MSOP-16 and 4mm × 3mm DFN-16 Packages
<a href="#">LTC2380-16/LTC2378-16/LTC2377-16/LTC2376-16</a>	16-Bit, 2Msps/1Msps/500ksps/250ksps, Serial, Low Power ADC	2.5V Supply, Differential Input, 96.2dB SNR, ±5V Input Range, DGC, Pin Compatible Family in MSOP-16 and 4mm × 3mm DFN-16 Packages
<a href="#">LTC2387-18</a>	18-Bit, 15Msps, ±3LSB INL, Serial SAR ADC	±4.096V Fully Differential Input, 96dB SNR, Serial LVDS I/O, 5mm × 5mm QFN-32 Package
<a href="#">LTC1859/LTC1858/LTC1857</a>	16-/14-/12-Bit, 8-Channel, 100ksps, Serial ADC	±10V, SoftSpan, Single-Ended or Differential Inputs, Single 5V Supply, SSOP-28 Package
<a href="#">LTC1609</a>	16-Bit, 200ksps Serial ADC	±10V, Configurable Unipolar/Bipolar Input, Single 5V Supply, SSOP-28 and SO-20 Packages
<a href="#">LTC1606/LTC1605</a>	16-Bit, 250ksps/100ksps, Parallel ADC	
<b>D/Aコンバータ</b>		
<a href="#">LTC2756/LTC2757</a>	18-Bit, Serial/Parallel I <sub>OUT</sub> SoftSpan DAC	±1LSB INL/DNL, Software-Selectable Ranges, SSOP-28/7mm × 7mm LQFP-48 Package
<a href="#">LTC2668</a>	16-Channel 16-/12-Bit ±10V V <sub>OUT</sub> SoftSpan DACs	±4LSB INL, Precision Reference 10ppm/°C Max, 6mm × 6mm QFN-40 Package
<b>リファレンス</b>		
<a href="#">LTC6655</a>	Precision Low Drift Low Noise Buffered Reference	5V/2.5V/2.048V/1.25V, 2ppm/°C, 0.25ppm Peak-to-Peak Noise, MSOP-8 Package
<a href="#">LTC6652</a>	Precision Low Drift Low Noise Buffered Reference	5V/2.5V/2.048V/1.25V, 5ppm/°C, 2.1ppm Peak-to-Peak Noise, MSOP-8 Package
<b>アンプ</b>		
<a href="#">LT1468/LT1469</a>	Single/Dual 90MHz, 22V/μs, 16-Bit Accurate Op Amp	Low Input Offset: 75μV/125μV
<a href="#">LT1354/LT1355/LT1356</a>	Single/Dual/Quad 1mA, 12MHz, 400V/μs Op Amp	Good DC Precision, Stable with All Capacitive Loads
<a href="#">LT1357/LT1358/LT1359</a>	Single/Dual/Quad 2mA, 25MHz, 800V/μs Op Amp	Good DC Precision, Stable with All Capacitive Loads

233518f