

特長

- スループット・レート: 5MSPS/チャンネル
- 4チャンネル同時サンプリング
- 欠落コードのない16ビットを保証
- 入力同相電圧範囲の広い差動入力: 8V_{P-P}
- SNR: 標準 82dB ($f_{IN} = 2.2\text{MHz}$)
- THD: 標準 -88dB ($f_{IN} = 2.2\text{MHz}$)
- 125°Cまでの動作を保証
- 3.3Vまたは5V単電源
- 低ドリフト(最大20ppm/°C)の2.048Vまたは4.096V内部リファレンス
- I/O(入出力)の電圧範囲: 1.8V~2.5V
- SPI互換のシリアルI/O: CMOSまたはLVDS
- 電力損失: 40mW/チャンネル(標準)
- 小型52ピン(7mm×8mm)QFNパッケージ

アプリケーション

- 高速データ収集システム
- 通信
- 光通信
- 多相モータ制御

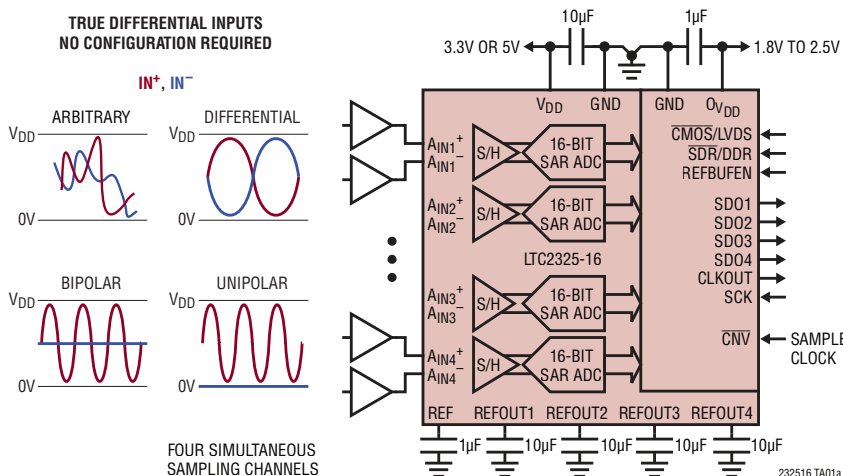
概要

LTC[®]2325-16は、差動入力で入力同相電圧範囲の広い低ノイズ、高速クワッド16ビット逐次比較レジスタ(SAR)A/Dコンバータです。LTC2325-16は3.3Vまたは5V単電源で動作し、差動入力範囲が8V_{P-P}なので、広いダイナミックレンジと高い同相電圧除去比が要求されるアプリケーションに最適です。LTC2325-16は、±2LSBのINL(標準)、16ビット分解能で欠落コードなし、82dBのSNRを実現します。

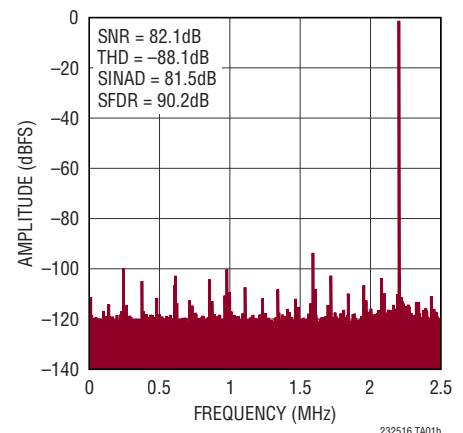
LTC2325-16は、低ドリフト(最大20ppm/°C)の2.048Vまたは4.096V温度補償リファレンスを内蔵しています。LTC2325-16は、CMOSまたはLVDSをサポートするSPI互換の高速シリアル・インタフェースも内蔵しています。LTC2325-16はスループットが5MSPS/チャンネルと高速で待ち時間がないので、多種多様な高速アプリケーションに最適です。LTC2325-16の消費電力はわずか40mW/チャンネルであり、非活動期間中の消費電力をさらに節減するため消費電力を90μWまで低減するナップ・モードとスリープ・モードを備えています。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。ThinSOTはリニアテクノロジー社の商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



32kポイントのFFT $f_{SAMPL} = 5\text{MSPS}$ 、 $f_{IN} = 2.2\text{MHz}$



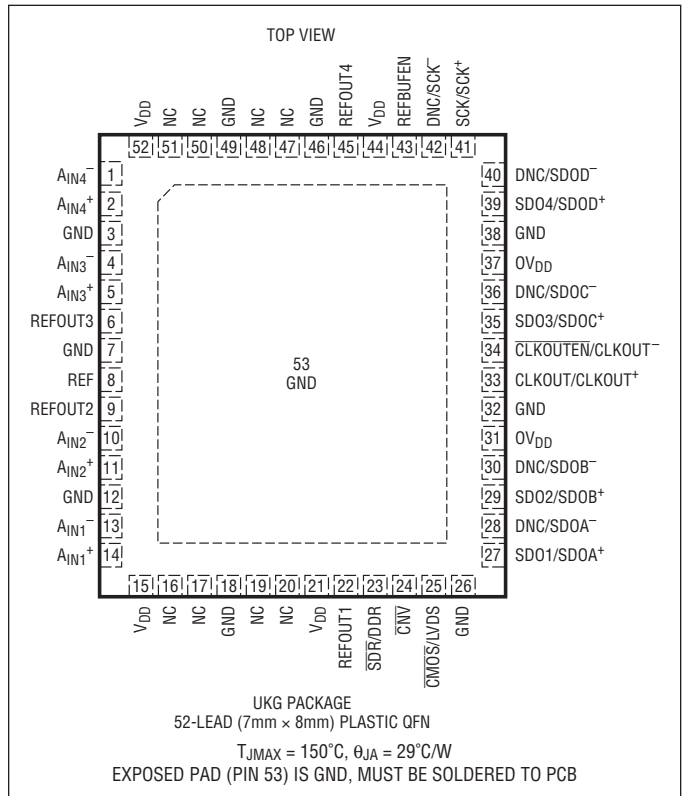
LTC2325-16

絶対最大定格

(Note 1, 2)

電源電圧 (V_{DD})	6V
電源電圧 (OV_{DD})	3V
アナログ入力電圧		
A_{IN+} , A_{IN-} (Note 3)	$-0.3V \sim (V_{DD} + 0.3V)$
REFOUT1, 2, 3, 4	$-0.3V \sim (V_{DD} + 0.3V)$
\overline{CNV}	$-0.3V \sim (OV_{DD} + 0.3V)$
デジタル入力電圧		
(Note 3)	$(GND - 0.3V) \sim (OV_{DD} + 0.3V)$
デジタル出力電圧		
(Note 3)	$(GND - 0.3V) \sim (OV_{DD} + 0.3V)$
動作温度範囲		
LTC2325C	$0^{\circ}C \sim 70^{\circ}C$
LTC2325I	$-40^{\circ}C \sim 85^{\circ}C$
LTC2325H	$-40^{\circ}C \sim 125^{\circ}C$
保存温度範囲	$-65^{\circ}C \sim 150^{\circ}C$

ピン配置



発注情報 <http://www.linear-tech.co.jp/product/LTC2325-16#orderinfo>

無鉛仕上げ	テープ・アンド・リール	製品マーキング*	パッケージ	温度範囲
LTC2325CUKG-16#PBF	LTC2325CUKG-16#TRPBF	2325UKG-16	52-Lead (7mmx8mm) Plastic QFN	$0^{\circ}C$ to $70^{\circ}C$
LTC2325IUKG-16#PBF	LTC2325IUKG-16#TRPBF	2325UKG-16	52-Lead (7mmx8mm) Plastic QFN	$-40^{\circ}C$ to $85^{\circ}C$
LTC2325HUKG-16#PBF	LTC2325HUKG-16#TRPBF	2325UKG-16	52-Lead (7mmx8mm) Plastic QFN	$-40^{\circ}C$ to $125^{\circ}C$

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

一部のパッケージは、#TRMPBF接尾部を付けることにより、指定の販売経路を通じて500個入りのリールで供給可能です。

電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN+}	Absolute Input Range (A_{IN+} to A_{IN-})	(Note 5)	●	0		V_{DD}	V
V_{IN-}	Absolute Input Range (A_{IN+} to A_{IN-})	(Note 5)	●	0		V_{DD}	V
$V_{IN+} - V_{IN-}$	Input Differential Voltage Range	$V_{IN} = V_{IN+} - V_{IN-}$	●	-REFOUT1,2,3,4		REFOUT1,2,3,4	V
V_{CM}	Common Mode Input Range	$V_{CM} = (V_{IN+} + V_{IN-})/2$	●	0		V_{DD}	V
I_{IN}	Analog Input DC Leakage Current		●	-1		1	μA
C_{IN}	Analog Input Capacitance				10		pF
CMRR	Input Common Mode Rejection Ratio	$f_{IN} = 2.2\text{MHz}$			102		dB
V_{IHCNV}	\overline{CNV} High Level Input Voltage		●	1.5			V
V_{ILCNV}	\overline{CNV} Low Level Input Voltage		●			0.5	V
I_{INCNV}	\overline{CNV} Input Current		●	-10		10	μA

コンバータ特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	Resolution		●	16			Bits
	No Missing Codes		●	16			Bits
	Transition Noise				1.5		LSB_{RMS}
INL	Integral Linearity Error	(Note 6)	●	-9	± 2	9	LSB
DNL	Differential Linearity Error		●	-0.99	± 0.4	0.99	LSB
BZE	Bipolar Zero-Scale Error	(Note 7)	●	-12	0	12	LSB
	Bipolar Zero-Scale Error Drift				0.01		$\text{LSB}/^\circ\text{C}$
FSE	Bipolar Full-Scale Error	$V_{\text{REFOUT}1,2,3,4} = 4.096\text{V}$ (REFBUFEN Grounded) (Note 7)	●	-30		30	LSB
	Bipolar Full-Scale Error Drift	$V_{\text{REFOUT}1,2,3,4} = 4.096\text{V}$ (REFBUFEN Grounded)			15		$\text{ppm}/^\circ\text{C}$

LTC2325-16

ダイナミック精度

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。また、 $A_{IN} = -1\text{dBFS}$ (Note 4、8)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
SINAD	Signal-to-(Noise + Distortion) Ratio	$f_{IN} = 2.2\text{MHz}$, $V_{REFOUT1,2,3,4} = 4.096\text{V}$, Internal Reference	●	76	81		dB
		$f_{IN} = 2.2\text{MHz}$, $V_{REFOUT1,2,3,4} = 5\text{V}$, External Reference			81		dB
SNR	Signal-to-Noise Ratio	$f_{IN} = 2.2\text{MHz}$, $V_{REFOUT1,2,3,4} = 4.096\text{V}$, Internal Reference	●	77.5	82		dB
		$f_{IN} = 2.2\text{MHz}$, $V_{REFOUT1,2,3,4} = 5\text{V}$, External Reference			82.5		dB
THD	Total Harmonic Distortion	$f_{IN} = 2.2\text{MHz}$, $V_{REFOUT1,2,3,4} = 4.096\text{V}$, Internal Reference	●		-90	-80	dB
		$f_{IN} = 2.2\text{MHz}$, $V_{REFOUT1,2,3,4} = 5\text{V}$, External Reference			-91		dB
SFDR	Spurious Free Dynamic Range	$f_{IN} = 2.2\text{MHz}$, $V_{REFOUT1,2,3,4} = 4.096\text{V}$, Internal Reference	●	78	93		dB
		$f_{IN} = 2.2\text{MHz}$, $V_{REFOUT1,2,3,4} = 5\text{V}$, External Reference			93		dB
	-3dB Input Bandwidth			95			MHz
	Aperture Delay			500			ps
	Aperture Delay Matching			500			ps
	Aperture Jitter			1			psRMS
	Transient Response	Full-Scale Step			3		ns

内部リファレンスの特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$V_{REFOUT1,2,3,4}$	Internal Reference Output Voltage	$4.75\text{V} < V_{DD} < 5.25\text{V}$	●	4.078	4.096	4.115	V
		$3.13\text{V} < V_{DD} < 3.47\text{V}$	●	2.034	2.048	2.064	V
	V_{REF} Temperature Coefficient	(Note 14)	●		3	20	ppm/ $^\circ\text{C}$
	REFOUT1,2,3,4 Output Impedance				0.25		Ω
	$V_{REFOUT1,2,3,4}$ Line Regulation	$4.75\text{V} < V_{DD} < 5.25\text{V}$			0.3		mV/V
$I_{REFOUT1,2,3,4}$	External Reference Current	REFBUFEN = 0V REFOUT1,2,3,4 = 4.096V REFOUT1,2,3,4 = 2.048V (Notes 9, 10)			385 204		μA μA

デジタル入力とデジタル出力

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
CMOS デジタル入力とデジタル出力		CMOS/LVDS = GND					
V_{IH}	High Level Input Voltage		●	$0.8 \cdot OV_{DD}$		V	
V_{IL}	Low Level Input Voltage		●		$0.2 \cdot OV_{DD}$	V	
I_{IN}	Digital Input Current	$V_{IN} = 0V$ to OV_{DD}	●	-10	10	μA	
C_{IN}	Digital Input Capacitance			5		pF	
V_{OH}	High Level Output Voltage	$I_O = -500 \mu\text{A}$	●	$OV_{DD} - 0.2$		V	
V_{OL}	Low Level Output Voltage	$I_O = 500 \mu\text{A}$	●		0.2	V	
I_{OZ}	Hi-Z Output Leakage Current	$V_{OUT} = 0V$ to OV_{DD}	●	-10	10	μA	
I_{SOURCE}	Output Source Current	$V_{OUT} = 0V$		-10		mA	
I_{SINK}	Output Sink Current	$V_{OUT} = OV_{DD}$		10		mA	
LVDS デジタル入力とデジタル出力		CMOS/LVDS = OV_{DD}					
V_{ID}	LVDS Differential Input Voltage	100 Ω Differential Termination $OV_{DD} = 2.5V$	●	240	600	mV	
V_{IS}	LVDS Common Mode Input Voltage	100 Ω Differential Termination $OV_{DD} = 2.5V$	●	1	1.45	V	
V_{OD}	LVDS Differential Output Voltage	100 Ω Differential Termination $OV_{DD} = 2.5V$	●	220	350	600	mV
V_{OS}	LVDS Common Mode Output Voltage	100 Ω Differential Termination $OV_{DD} = 2.5V$	●	0.85	1.2	1.4	V
V_{OD_LP}	Low Power LVDS Differential Output Voltage	100 Ω Differential Termination $OV_{DD} = 2.5V$	●	100	200	350	mV
V_{OS_LP}	Low Power LVDS Common Mode Output Voltage	100 Ω Differential Termination $OV_{DD} = 2.5V$	●	0.85	1.2	1.4	V

LTC2325-16

電源要件

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V _{DD}	Supply Voltage	5V Operation	●	4.75		5.25	V
		3.3V Operation	●	3.13		3.47	V
I _{VDD}	Supply Current	5Msps Sample Rate (I _{N+} = I _{N-} = 0V)	●		31	44.5	mA
CMOS I/O モード $\overline{\text{CMOS/LVDS}} = \text{GND}$							
OV _{DD}	Supply Voltage		●	1.71		2.63	V
IO _{VDD}	Supply Current	5Msps Sample Rate (C _L = 5pF)	●		4.4	15.5	mA
I _{NAP}	Nap Mode Current	Conversion Done (I _{VDD})	●		5.3	6.4	mA
I _{SLEEP}	Sleep Mode Current	Sleep Mode (I _{VDD} + IO _{VDD})	●		20	90	μA
P _{D_3.3V}	Power Dissipation	V _{DD} = 3.3V, 5Msps Sample Rate	●		102	181	mW
		Nap Mode	●		18	21.1	mW
		Sleep Mode	●		20	28.8	μW
P _{D_5V}	Power Dissipation	V _{DD} = 5V, 5Msps Sample Rate	●		162	261	mW
		Nap Mode	●		27	32	mW
		Sleep Mode	●		90	424	μW
LVDS I/O モード $\overline{\text{CMOS/LVDS}} = \text{OV}_{\text{DD}}, \text{OV}_{\text{DD}} = 2.5\text{V}$							
OV _{DD}	Supply Voltage		●	2.37		2.63	V
IO _{VDD}	Supply Current	5Msps Sample Rate (C _L = 5pF, R _L = 100Ω)	●		26	31.5	mA
I _{NAP}	Nap Mode Current	Conversion Done (I _{VDD})	●		5.3	6.4	mA
I _{SLEEP}	Sleep Mode Current	Sleep Mode (I _{VDD} + IO _{VDD})	●		20	90	μA
P _{D_3.3V}	Power Dissipation	V _{DD} = 3.3V, 5Msps Sample Rate	●		151	218	mW
		Nap Mode	●		52	58.6	mW
		Sleep Mode	●		80	288	μW
P _{D_5V}	Power Dissipation	V _{DD} = 5V, 5Msps Sample Rate	●		214	301	mW
		Nap Mode	●		91	69.2	mW
		Sleep Mode	●		90	424	μW

A/Dコンバータのタイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
f _{SAMPL}	Maximum Sampling Frequency		●			5	Msps
t _{CYC}	Time Between Conversions	(Note 11) t _{CYC} = t _{CNVH} + t _{CONV}	●	0.2		1000	μs
t _{CONV}	Conversion Time		●			170	ns
t _{CNVH}	CNV High Time		●	30			ns
t _{ACQUISITION}	Sampling Aperture	(Note 11) t _{ACQUISITION} = t _{CYC} - t _{CONV}			28		ns
t _{WAKE}	REFOUT1,2,3,4 Wake-Up Time	C _{REFOUT1,2,3,4} = 10μF			50		ms
CMOS I/O モード、SDR、CMOS/LVDS = GND、SDR/DDR = GND							
t _{SCK}	SCK Period	(Note 13)	●	9.1			ns
t _{SCKH}	SCK High Time		●	4.1			ns
t _{SCKL}	SCK Low Time		●	4.1			ns
t _{HSDO_SDR}	SDO Data Remains Valid Delay from CLKOUT↓	C _L = 5pF (Note 12)	●	0		1.5	ns
t _{DSCKCLKOUT}	SCK to CLKOUT Delay	(Note 12)	●	2		4.5	ns

232516f

A/Dコンバータのタイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$t_{DCNVSDOZ}$	Bus Relinquish Time After $\overline{CNV}\uparrow$	(Note 11)	●		3	ns
$t_{DCNVSDOV}$	SDO Valid Delay from $\overline{CNV}\downarrow$	(Note 11)	●		3	ns
$t_{DCKHCNVH}$	SCK Delay Time to $\overline{CNV}\uparrow$	(Note 11)	●	0		ns
CMOS I/O モード、DDR、$\overline{CMOS}/LVDS = GND$、$\overline{SDR}/DDR = OV_{DD}$						
t_{SCK}	SCK Period		●	18.2		ns
t_{SCKH}	SCK High Time		●	8.2		ns
t_{SCKL}	SCK Low Time		●	8.2		ns
t_{HSDO_DDR}	SDO Data Remains Valid Delay from CLKOUT \downarrow	$C_L = 5\text{pF}$ (Note 12)	●	0	1.5	ns
$t_{DCKCLKOUT}$	SCK to CLKOUT Delay	(Note 12)	●	2	4.5	ns
$t_{DCNVSDOZ}$	Bus Relinquish Time After $\overline{CNV}\uparrow$	(Note 11)	●		3	ns
$t_{DCNVSDOV}$	SDO Valid Delay from $\overline{CNV}\downarrow$	(Note 11)	●		3	ns
$t_{DCKHCNVH}$	SCK Delay Time to $\overline{CNV}\uparrow$	(Note 11)	●	0		ns
LVDS I/O モード、\overline{SDR}、$\overline{CMOS}/LVDS = OV_{DD}$、$\overline{SDR}/DDR = GND$						
t_{SCK}	SCK Period		●	9.1		ns
t_{SCKH}	SCK High Time		●	4.1		ns
t_{SCKL}	SCK Low Time		●	4.1		ns
t_{HSDO_SDR}	SDO Data Remains Valid Delay from CLKOUT \downarrow	$C_L = 5\text{pF}$ (Note 12)	●	0	1.5	ns
$t_{DCKCLKOUT}$	SCK to CLKOUT Delay	(Note 12)	●	2	4	ns
$t_{DCKHCNVH}$	SCK Delay Time to $\overline{CNV}\uparrow$	(Note 11)	●	0		ns
LVDS I/O モード、DDR、$\overline{CMOS}/LVDS = OV_{DD}$、$\overline{SDR}/DDR = OV_{DD}$						
t_{SCK}	SCK Period		●	18.2		ns
t_{SCKH}	SCK High Time		●	8.2		ns
t_{SCKL}	SCK Low Time		●	8.2		ns
t_{HSDO_DDR}	SDO Data Remains Valid Delay from CLKOUT \downarrow	$C_L = 5\text{pF}$ (Note 12)	●	0	1.5	ns
$t_{DCKCLKOUT}$	SCK to CLKOUT Delay	(Note 12)	●	2	4	ns
$t_{DCKHCNVH}$	SCK Delay Time to $\overline{CNV}\uparrow$	(Note 11)	●	0		ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的の損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: すべての電圧値はGNDを基準にしている。

Note 3: これらのピンの電圧をGNDより低くするか、 V_{DD} または OV_{DD} の電圧より高くすると、内部のダイオードによってクランプされる。この製品は、これらのピンの電圧がGNDより低くなるか、 V_{DD} ピンまたは OV_{DD} ピンの電圧より高くなった場合でも、ラッチアップを生じることなく最大100mAの入力電流を処理できる。

Note 4: $V_{DD} = 5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、REFOUT1, 2, 3, 4 = 4.096V、 $f_{SAMPL} = 5\text{MHz}$ 。

Note 5: 推奨動作条件。

Note 6: 積分非直線性は、実際の伝達曲線の端点を通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: 両極性のゼロ点誤差は、出力コードが0000 0000 0000 0000と1111 1111 1111 1111の間を往復しているときに、 -0.5LSB から測定されたオフセット電圧である。フルスケールの両極性誤差は、最初と最後の理想的なコード遷移からの $-FS$ または $+FS$ の未調整偏差の最悪値であり、オフセット誤差の影響が含まれる。

Note 8: dB表示の全ての規格値は、REF = 4.096Vでの $\pm 4.096\text{V}$ のフルスケール入力を基準にしている。

Note 9: REFOUT1, 2, 3, 4をオーバードライブする場合は、REFBUFEN = 0Vに設定して内部リファレンス・バッファをオフにする必要がある。

Note 10: $f_{SAMPL} = 5\text{MHz}$ 。I_{REFOUT1, 2, 3, 4}はサンプル・レートに比例して変化する。

Note 11: 設計によって保証されているが、テストされない。

Note 12: パラメータは $OV_{DD} = 1.71\text{V}$ および $OV_{DD} = 2.5\text{V}$ でテストされ、保証されている。

Note 13: t_{SCK} は9.1nsなので、立ち上がりエッジで取り込む場合は最大105MHzのシフト・クロック周波数が可能である。

Note 14: 温度係数は出力電圧の最大変化を規定温度範囲で割って計算される。

Note 15: \overline{CNV} は、低ジッタのデジタル信号源により、標準では OV_{DD} ロジック・レベルで駆動される。

A/Dコンバータのタイミング特性

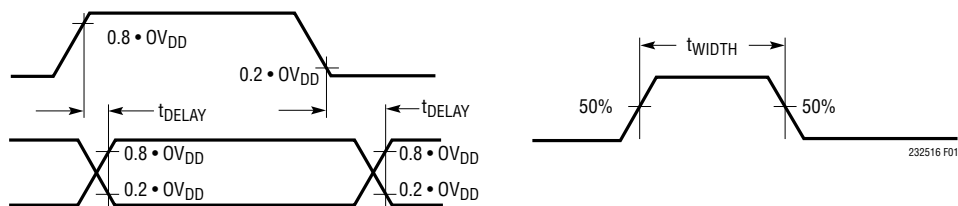
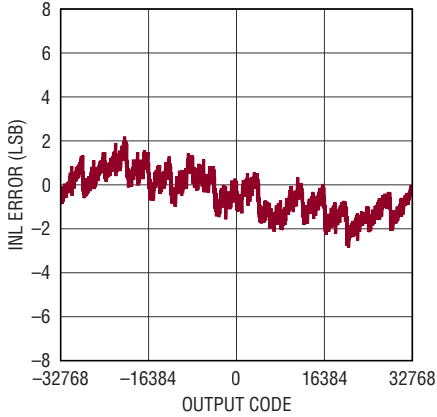


図1. タイミング仕様の電圧レベル

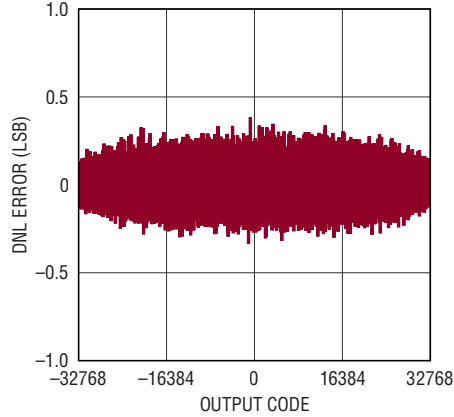
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、 $\text{REFOUT1, 2, 3, 4} = 4.096\text{V}$ 、 $f_{\text{SAMPL}} = 5\text{Msps}$ 。

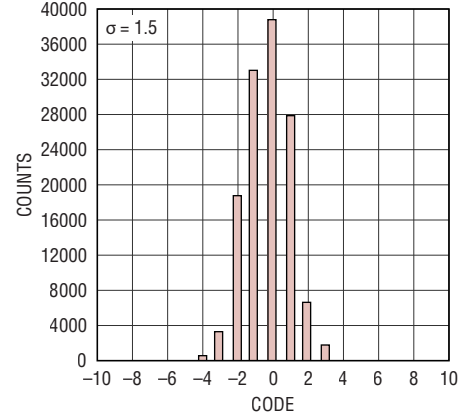
積分非直線性と出力コード



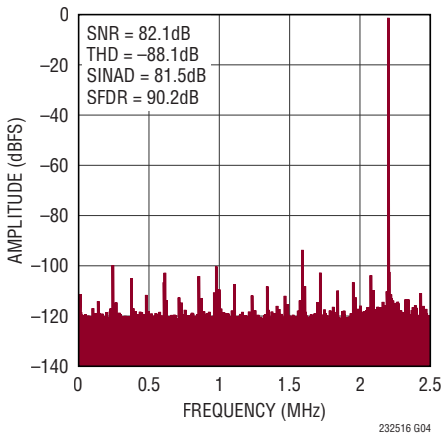
微分非直線性と出力コード



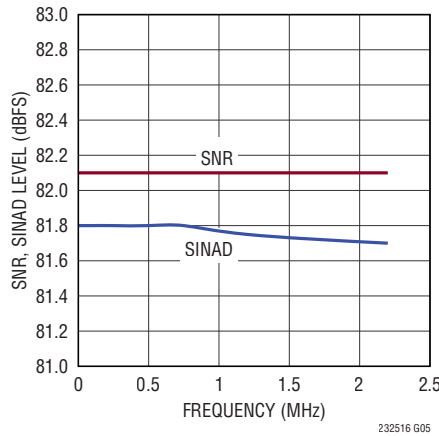
DCのヒストグラム



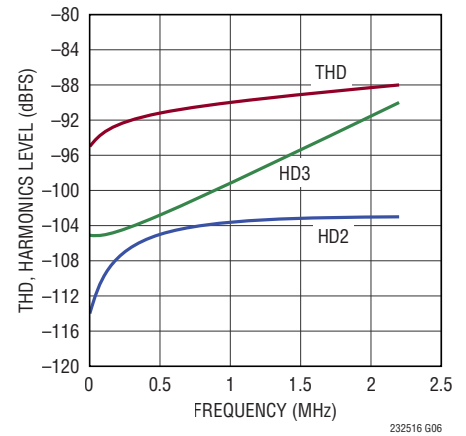
32kポイントのFFT $f_{\text{SAMPL}} = 5\text{Msps}$ 、 $f_{\text{IN}} = 2.2\text{MHz}$



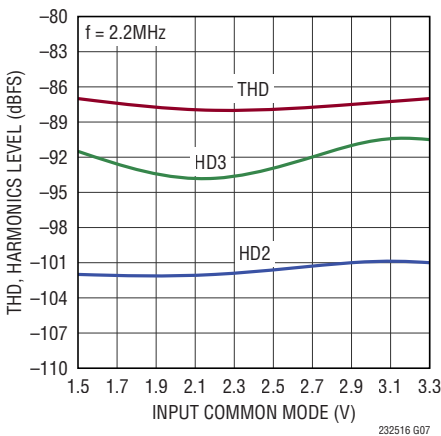
SNR、SINADと入力周波数 (1kHz ~ 2.2MHz)



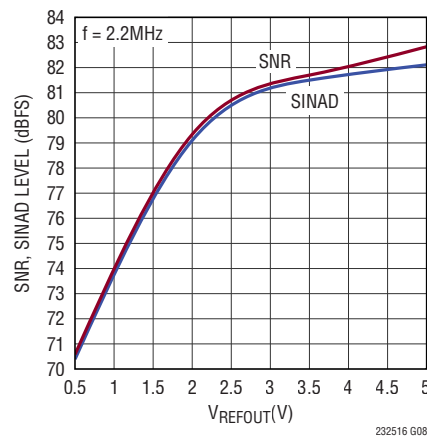
THD、高調波と入力周波数 (1kHz ~ 2.2MHz)



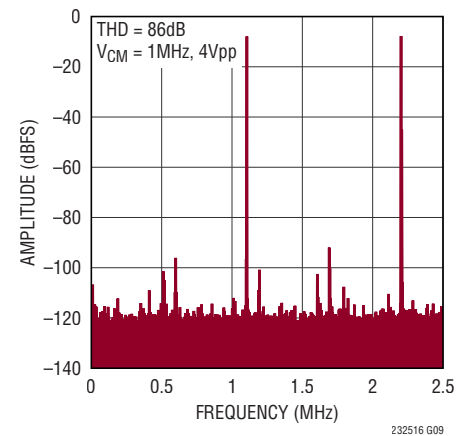
THD、高調波と入力同相電圧



SNR、SINADとリファレンス電圧、 $f_{\text{IN}} = 2.2\text{MHz}$



32kポイントのFFT、IMD、 $f_{\text{SAMPL}} = 5\text{Msps}$ 、 $A_{\text{IN}^+} = 1.2\text{MHz}$ 、 $A_{\text{IN}^-} = 2.2\text{MHz}$

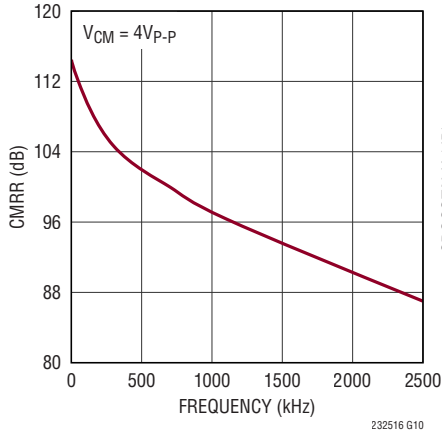


LTC2325-16

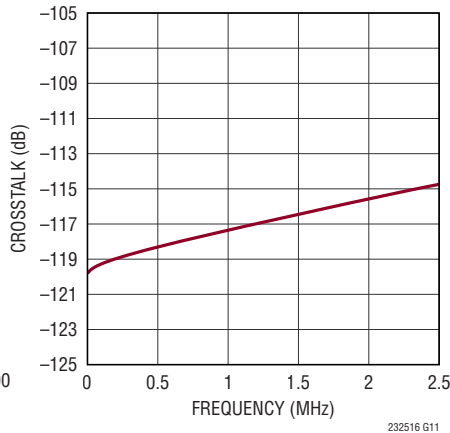
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、 $REF_{OUT1, 2, 3, 4} = 4.096\text{V}$ 、 $f_{SAMPL} = 5\text{Msps}$ 。

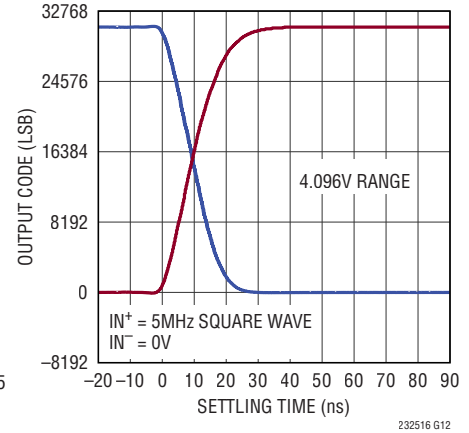
CMRRと入力周波数



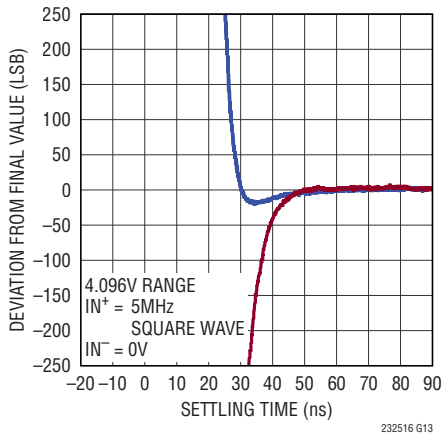
クロストークと入力周波数



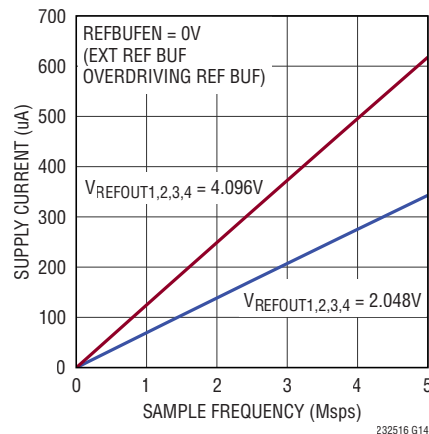
ステップ応答
(大信号のセトリング)



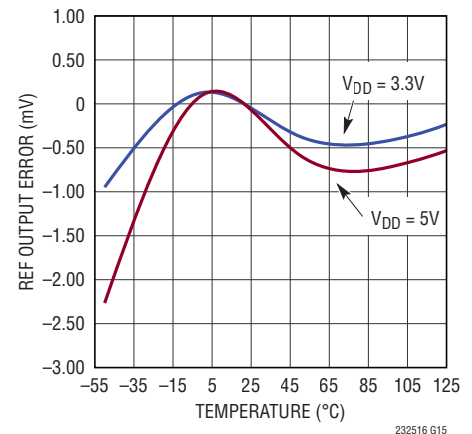
ステップ応答
(微調整領域のセトリング)



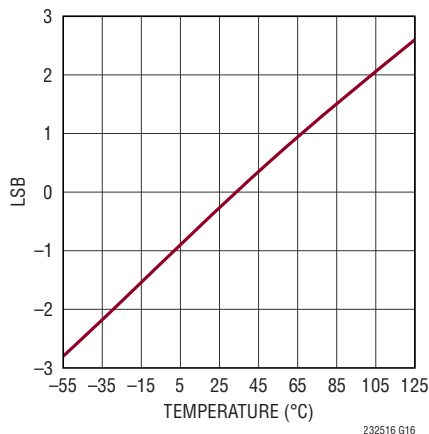
外部リファレンス時の電源電流と
サンプリング周波数



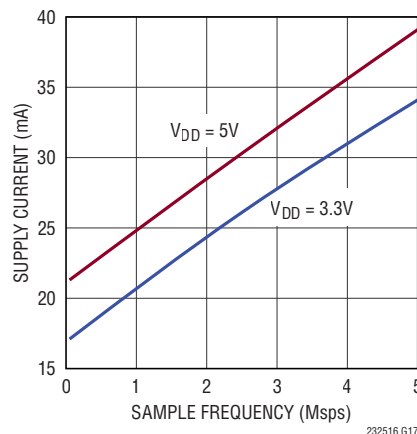
REF出力と温度



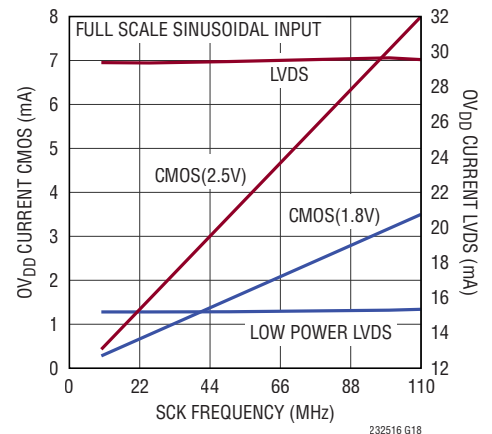
オフセット誤差と温度



電源電流とサンプリング周波数



OV_{DD} の電流とSCKの周波数、
 $C_{LOAD} = 10\text{pF}$



ピン機能

ピンは全てのデジタルI/Oモードで同一

AIN4⁺、AIN4⁻ (ピン2、1) : アナログ差動入力ピン。フルスケール範囲(AIN4⁺ – AIN4⁻)はREFOUT4の正負の電圧です。これらのピンを駆動できる電圧範囲はV_{DD}からGNDまでです。

GND (ピン3、7、12、18、26、32、38、46、49) : グランド。これらのピンと露出パッド(53ピン)は切れ目のないグラウンド・プレーンに直接接続する必要があります。

AIN3⁺、AIN3⁻ (ピン5、4) : アナログ差動入力ピン。フルスケール範囲(AIN3⁺ – AIN3⁻)はREFOUT3の正負の電圧です。これらのピンを駆動できる電圧範囲はV_{DD}からGNDまでです。

REFOUT3 (ピン6) : リファレンス・バッファ3の出力。内蔵バッファはこのピンに公称4.096Vを出力します。このピンはGNDピンを基準にしており、10μF(X5R、0805サイズ)のセラミック・コンデンサを使ってこのピンの近くでデカップリングします。このピンを駆動する内部バッファをディスエーブルするには、REFBUFENピンをグラウンドに接続します。バッファがディスエーブルされている場合、外部リファレンスは1.25V～5Vの範囲でこのピンを駆動できます。

REF (ピン8) : 4.096Vの共通のリファレンス出力。1μFの低ESRセラミック・コンデンサを使ってGNDにデカップリングします。単一の外部リファレンスを使用してオーバードライブし、ADCコア1～4の共通リファレンスを設定することができます。

REFOUT2 (ピン9) : リファレンス・バッファ2の出力。内蔵バッファはこのピンに公称4.096Vを出力します。このピンはGNDピンを基準にしており、10μF(X5R、0805サイズ)のセラミック・コンデンサを使ってこのピンの近くでデカップリングします。このピンを駆動する内部バッファをディスエーブルするには、REFBUFENピンをグラウンドに接続します。バッファがディスエーブルされている場合、外部リファレンスは1.25V～5Vの範囲でこのピンを駆動できます。

AIN2⁺、AIN2⁻ (ピン11、10) : アナログ差動入力ピン。フルスケール範囲(AIN2⁺ – AIN2⁻)はREFOUT2の正負の電圧です。これらのピンを駆動できる電圧範囲はV_{DD}からGNDまでです。

AIN1⁺、AIN1⁻ (ピン14、13) : アナログ差動入力ピン。フルスケール範囲(AIN1⁺ – AIN1⁻)はREFOUT1の正負の電圧です。これらのピンを駆動できる電圧範囲はV_{DD}からGNDまでです。

V_{DD} (ピン15、21、44、52) : 電源。V_{DD}は、10μFのセラミック・コンデンサと0.1μFのセラミック・コンデンサをデバイスの近くに配置してGNDにバイパスします。V_{DD}ピンは互いに短絡し、同じ電源で駆動してください。

REFOUT1 (ピン22) : リファレンス・バッファ1の出力。内蔵バッファはこのピンに公称4.096Vを出力します。このピンはGNDピンを基準にしており、10μF(X5R、0805サイズ)のセラミック・コンデンサを使ってこのピンの近くでデカップリングします。このピンを駆動する内部バッファをディスエーブルするには、REFBUFENピンをグラウンドに接続します。バッファがディスエーブルされている場合、外部リファレンスは1.25V～5Vの範囲でこのピンを駆動できます。

SDR/DDR (ピン23) : ダブル・データ・レートの入力。SCKとCLKOUTの周波数を制御します。GNDに接続すると、SCKの立ち下がりがエッジで各シリアル・データ出力がシフトします(シングル・データ・レート、SDR)。OV_{DD}に接続すると、SCKの各エッジでシリアル・データ出力がシフトします(ダブル・データ・レート、DDR)。CLKOUTは、両方のピン状態に対応するため、SCKを遅延させた信号になります。

CMV (ピン24) : 変換入力。このピンが“H”のときは、サンプリング段階が設定されます。このピンを“L”にすると、変換段階が開始され、出力データはクロックに同期して出力されます。この入力には低ジッタのパルスでOV_{DD}レベルにする必要があります。このピンはCMOS/LVDSピンの影響は受けません。

CMOS/LVDS (ピン25) : I/Oモードの選択。CMOSモードをイネーブルするにはこのピンを接地し、LVDSモードをイネーブルするにはOV_{DD}に接続します。低消費電力のLVDSモードをイネーブルするには、このピンをフロート状態にします。

OV_{DD} (ピン31、37) : I/Oインタフェースのデジタル電源。OV_{DD}の電圧範囲は1.71V～2.63Vです。この電源は公称値がホストのインタフェースと同じ電源電圧に設定します(CMOS: 1.8Vまたは2.5V、LVDS: 2.5V)。0.1μFのコンデンサを接続してOV_{DD}をGND(ピン32および38)にバイパスします。

REFBUFEN (ピン43) : リファレンス・バッファ出力のイネーブル・ピン。内部リファレンスを使用する場合は、V_{DD}に接続します。REFOUT1～4の内部バッファをディスエーブルして外部リファレンス電圧を使用するには、グラウンドに接続します。このピンにはV_{DD}との間に500kのプルアップ抵抗が内蔵されています。

REFOUT4 (ピン45) : リファレンス・バッファ4の出力。内蔵バッファはこのピンに公称4.096Vを出力します。このピンはGNDピンを基準にしており、10μF(X5R、0805サイズ)のセラミック・コンデンサを使ってこのピンの近くでデカップリングします。このピンを駆動する内部バッファをディスエーブルするには、REFBUFENピンをグラウンドに接続します。バッファがディスエーブルされている場合、外部リファレンスは1.25V～5Vの範囲でこのピンを駆動できます。

露出パッド (ピン53) : グランド。このパッドはグラウンドに半田付けします。

ピン機能

CMOS データ出力オプション (CMOS/LVDS = “L”)

SD01 (ピン27) : ADC チャンネル1のCMOSシリアル・データ出力。変換結果は、SDRモードではSCKの立ち下がりエッジごとに、DDRモードではSCKのエッジごとに、MSBを先頭にシフトして出力されます。16ビットの変換データをSD01から読み込むには、SCKのエッジがSDRモードでは16回、DDRモードでは8回必要です。

SD02 (ピン29) : ADC チャンネル2のCMOSシリアル・データ出力。変換結果は、SDRモードではSCKの立ち下がりエッジごとに、DDRモードではSCKのエッジごとに、MSBを先頭にシフトして出力されます。16ビットの変換データをSD02から読み込むには、SCKのエッジがSDRモードでは16回、DDRモードでは8回必要です。

SD03 (ピン35) : ADC チャンネル3のCMOSシリアル・データ出力。変換結果は、SDRモードではSCKの立ち下がりエッジごとに、DDRモードではSCKのエッジごとに、MSBを先頭にシフトして出力されます。16ビットの変換データをSD03から読み込むには、SCKのエッジがSDRモードでは16回、DDRモードでは8回必要です。

SD04 (ピン39) : ADC チャンネル4のCMOSシリアル・データ出力。変換結果は、SDRモードではSCKの立ち下がりエッジごとに、DDRモードではSCKのエッジごとに、MSBを先頭にシフトして出力されます。16ビットの変換データをSD04から読み込むには、SCKのエッジがSDRモードでは16回、DDRモードでは8回必要です。

CLKOUT (ピン33) : シリアル・データ・クロック出力。CLKOUTは、SDO出力をレシーバ(FPGA)でラッチするために、スキューの整合したクロックを出力します。ロジック・レベルは OV_{DD} によって決まります。このピンは、SCKの入力を短時間の遅延後にエコー出力します。

CLKOUTEN (ピン34) : ピン34を OV_{DD} に接続することにより、CLKOUTをディスエーブルして消費電力を若干低減することができます。CLKOUTを使用する場合は、このピンをグラウンドに接続します。

SCK (ピン41) : シリアル・データ・クロック入力。SDRモード(DDR = “L”)では、このクロックの立ち下がりエッジにより、変換結果はMSBを先頭にシフトしてSDOピンに出力されます。DDRモード(SDR/DDR = “H”)では、このクロックの各エッジにより、変換結果はMSBを先頭にシフトしてSDOピンに出力されます。ロジック・レベルは OV_{DD} によって決まります。

DNC (ピン28、30、36、40、42) : CMOSモードでは、このピンは接続しないでください。

LVDS データ出力オプション (CMOS/LVDS = “H”またはフロート)

SD0A⁺、SD0A⁻ (ピン27、28) : ADC チャンネル1のLVDSシリアル・データ出力。変換結果は、SDRモードではSCKの立ち下がりエッジごとに、DDRモードではSCKのエッジごとに、チャンネル1のMSBを先頭にシフトして出力されます。16ビットの変換データをSD0Aから読み込むには、SCKのエッジがSDRモードでは16回、DDRモードでは8回必要です。レシーバ(FPGA)では100Ωの抵抗を使用して終端します。

SD0B⁺、SD0B⁻ (ピン29、30) : ADC チャンネル2のLVDSシリアル・データ出力。変換結果は、SDRモードではSCKの立ち下がりエッジごとに、DDRモードではSCKのエッジごとに、チャンネル2のMSBを先頭にシフトして出力されます。16ビットの変換データをSD0Bから読み込むには、SCKのエッジがSDRモードでは16回、DDRモードでは8回必要です。レシーバ(FPGA)では100Ωの抵抗を使用して終端します。

CLKOUT⁺、CLKOUT⁻ (ピン33、34) : シリアル・データ・クロック出力。CLKOUTは、SDO出力をレシーバでラッチするために、スキューの整合したクロックを出力します。これらのピンは、SCKの入力を短時間の遅延後にエコー出力します。これらのピンは、レシーバ(FPGA)に100Ωの抵抗を外付けすることによって差動で終端する必要があります。

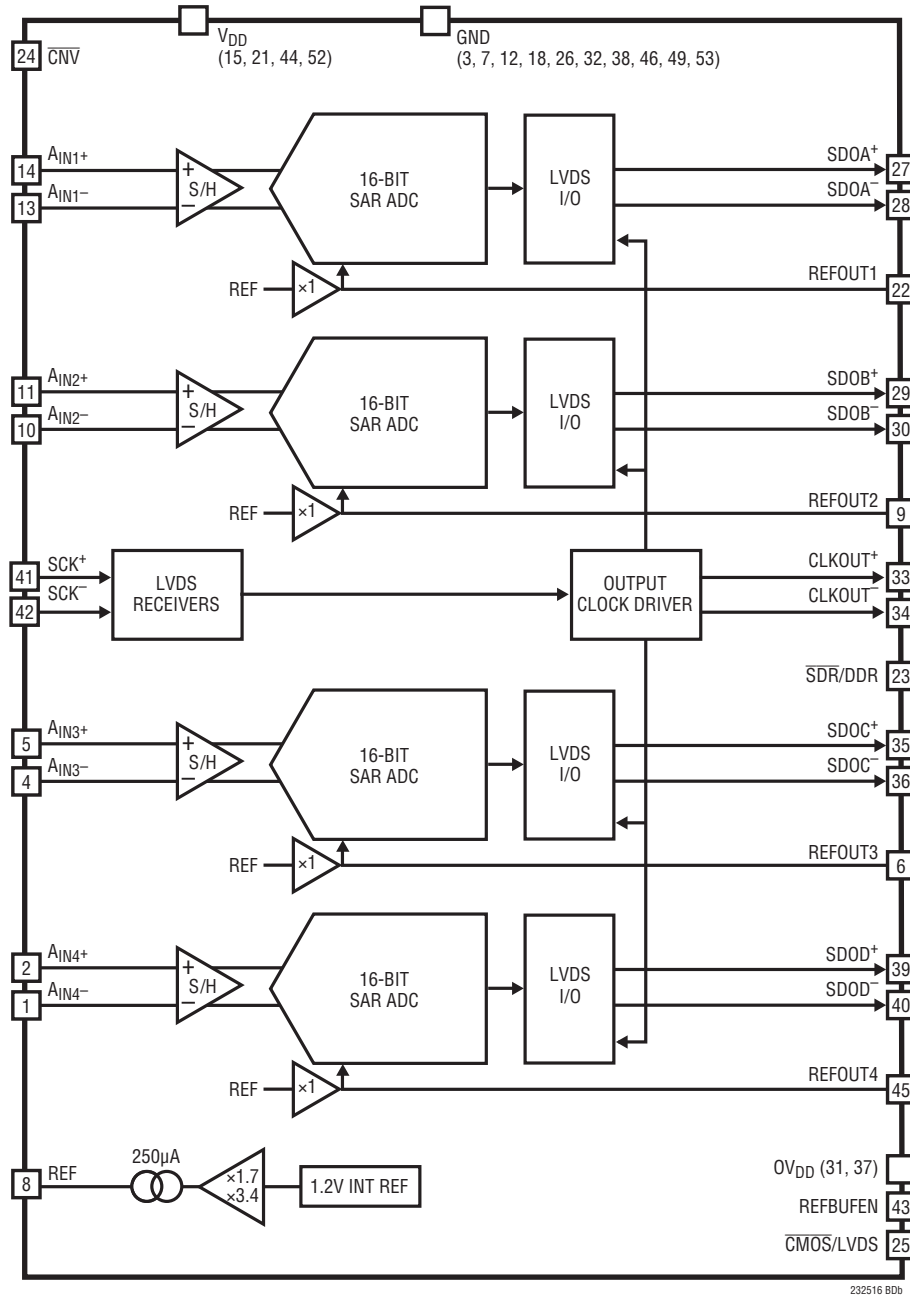
SD0C⁺、SD0C⁻ (ピン35、36) : ADC チャンネル3のLVDSシリアル・データ出力。変換結果は、SDRモードではSCKの立ち下がりエッジごとに、DDRモードではSCKのエッジごとに、チャンネル3のMSBを先頭にシフトして出力されます。16ビットの変換データをSD0Aから読み込むには、SCKのエッジがSDRモードでは16回、DDRモードでは8回必要です。レシーバ(FPGA)では100Ωの抵抗を使用して終端します。

SD0D⁺、SD0D⁻ (ピン39、40) : ADC チャンネル4のLVDSシリアル・データ出力。変換結果は、SDRモードではSCKの立ち下がりエッジごとに、DDRモードではSCKのエッジごとに、チャンネル4のMSBを先頭にシフトして出力されます。16ビットの変換データをSD0Aから読み込むには、SCKのエッジがSDRモードでは16回、DDRモードでは8回必要です。レシーバ(FPGA)では100Ωの抵抗を使用して終端します。

SCK⁺、SCK⁻ (ピン41、42) : シリアル・データ・クロック入力。SDRモード(SDR/DDR = “L”)では、このクロックの立ち下がりエッジにより、変換結果はMSBを先頭にシフトしてSDOピンに出力されます。DDRモード(SDR/DDR = “H”)では、このクロックの各エッジにより、変換結果はMSBを先頭にシフトしてSDOピンに出力されます。これらのピンは、レシーバ(ADC)に100Ωの抵抗を外付けすることによって差動で終端する必要があります。

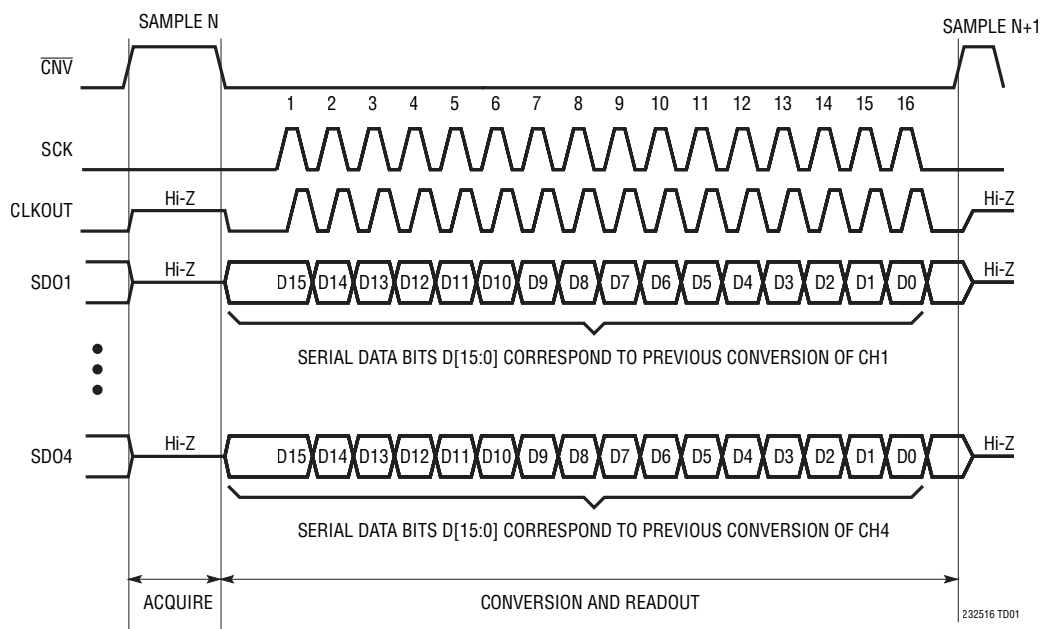
機能ブロック図

LVDS IOモード

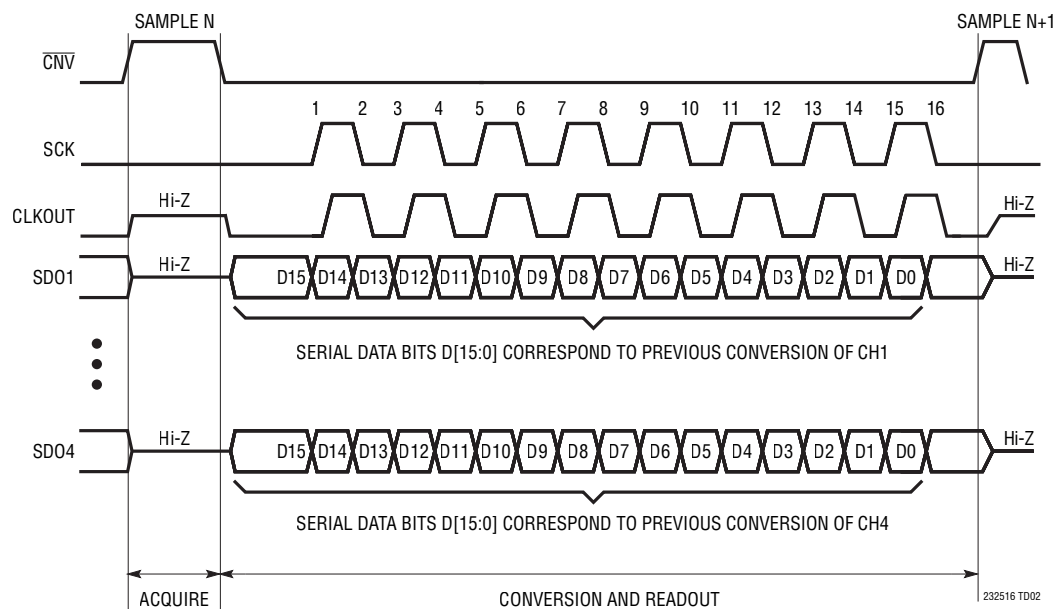


タイミング図

SDRモード、CMOS

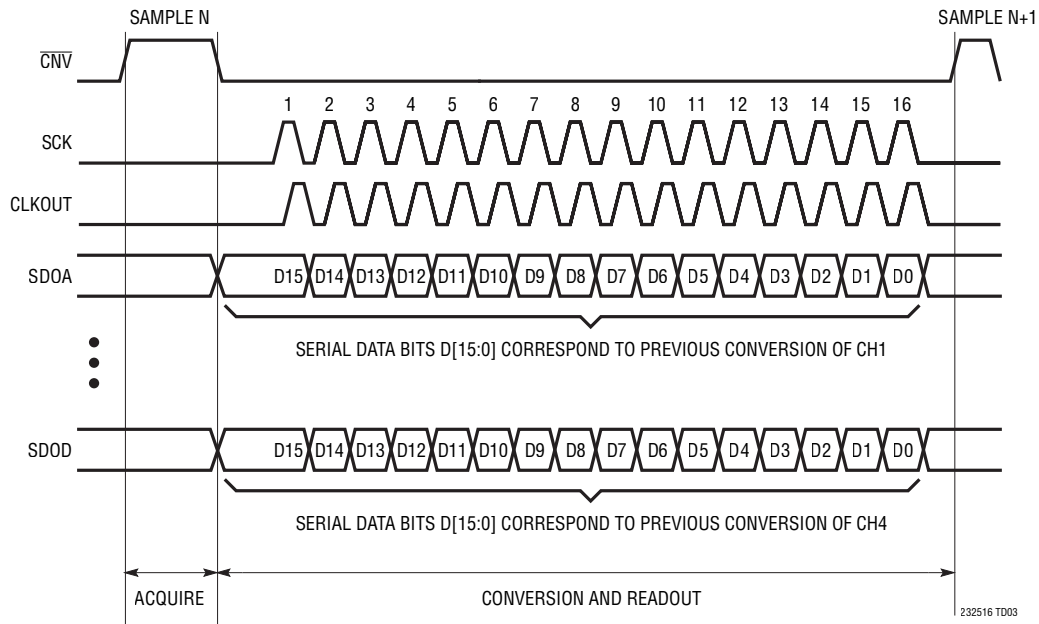


DDRモード、CMOS

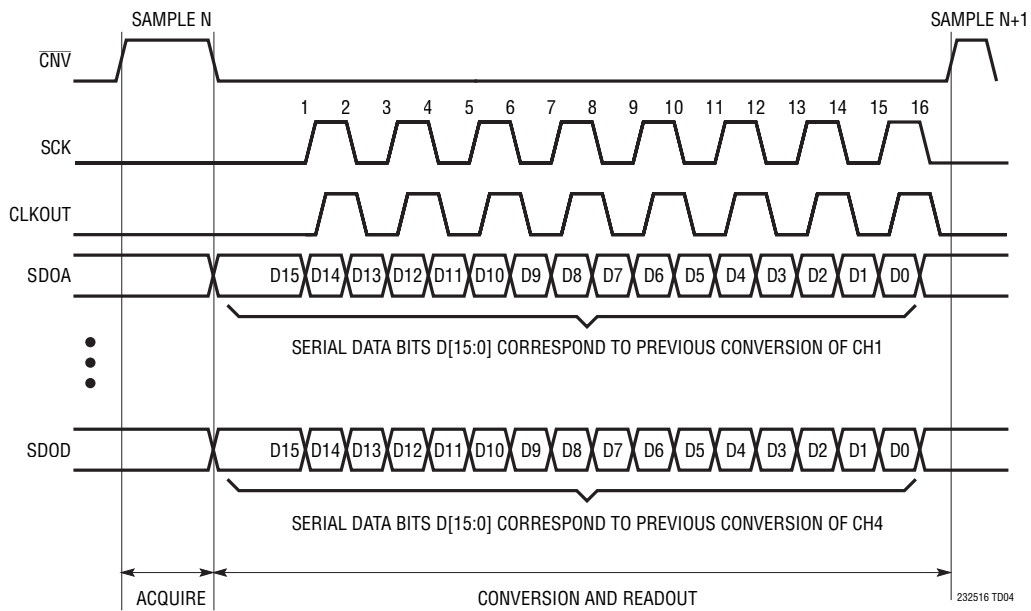


タイミング図

SDRモード、LVDS



DDRモード、LVDS



アプリケーション情報

概要

LTC2325-16は、差動入力で入力同相電圧範囲の広い低ノイズ、高速16ビットのデュアル逐次比較レジスタ(SAR) A/Dコンバータです。LTC2325-16は3.3Vまたは5V単電源で動作し、差動入力範囲が4V_{P-P}または8V_{P-P}なので、広いダイナミックレンジが要求されるアプリケーションに最適です。LTC2325-16は、±2LSBのINL(標準)、16ビット分解能で欠落コードなし、82dBのSNRを実現します。

LTC2325-16は、リファレンス・バッファと低ドリフト(最大20ppm/°C)の4.096V温度補償リファレンスを内蔵しています。LTC2325-16は、CMOSまたはLVDSをサポートするSPI互換の高速シリアル・インタフェースも内蔵しています。LTC2325-16はスループットが5MSPS/チャンネルと高速で待ち時間が1サイクルなので、多種多様な高速アプリケーションに最適です。LTC2325-16の消費電力は、わずか40mW/チャンネルです。また、ナップ・モードとスリープ・モードを備えているので、LTC2325-16の消費電力は非活動期間中にはさらに節減されます。

コンバータの動作

LTC2325-16は2段階で動作します。収集段階では、図3に示すように、サンプル・コンデンサがアナログ入力ピンA_{IN+}およびA_{IN-}に接続されて、差動アナログ入力電圧をサンプリングします。C_{NV}ピンの立ち下がりエッジにより変換が開始されます。変換段階では、16ビットのCDACが逐次比較アルゴリズムを通じて逐次制御され、差動コンパレータを使用してサンプル入力とリファレンス電圧の2進重み付け分数(例: V_{REFOUT}/2, V_{REFOUT}/4 ... V_{REFOUT}/32768)を効率的に比較します。変換の最後には、CDACの出力はサンプリングされたアナログ入力に近づきます。その後、A/Dコンバータの制御口

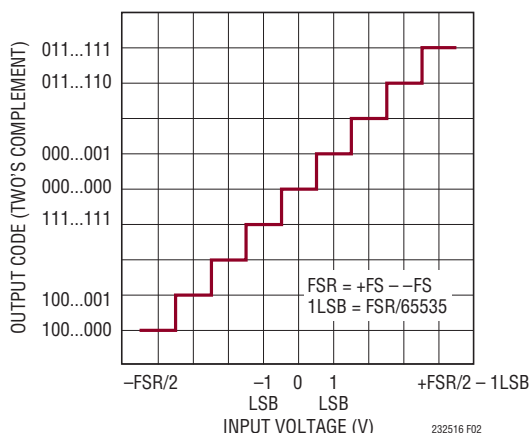


図2. LTC2325-16の伝達関数

ジックが16ビットのデジタル出力コードを準備して、シリアル転送に備えます。

伝達関数

LTC2325-16はREFOUT1、2、3、4の2倍のフルスケール電圧を2¹⁶レベルにデジタル化するので、REF = 4.096VではLSBの大きさは125μVになります。理想的な伝達特性を図2に示します。出力データは2の補数形式です。

アナログ入力

LTC2325-16の差動入力は、構成しなくても多種多様なアナログ信号を変換できる優れた柔軟性を備えています。LTC2325-16は、A_{IN+}ピンとA_{IN-}ピンの間の差電圧をデジタル化する一方で、広い同相入力範囲をサポートしています。アナログ入力信号がV_{DD}~GNDの範囲内にとどまる場合には、信号間の関係を互いに自由なものにすることができます。LTC2325-16は、単極性/両極性の疑似差動、完全差動など、種類がさらに制限されたアナログ入力信号を構成の必要なくデジタル化できます。

LTC2325-16のアナログ入力は、図3に示す等価回路でモデル化できます。入力のバック・トゥ・バック・ダイオードは、ESD保護を提供するクランプを構成します。収集段階では、サンプリング・コンデンサによる10pF(C_{IN})とサンプリング・スイッチのオン抵抗による約15Ω(R_{ON})が入力に直列に接続されます。両方の入力に共通する不要な信号は、ADCサンプリング回路の同相除去特性によって減少します。収集中にC_{IN}コンデンサを充電するときには、ADCコアの入力に少量の電流スパイクが流れます。

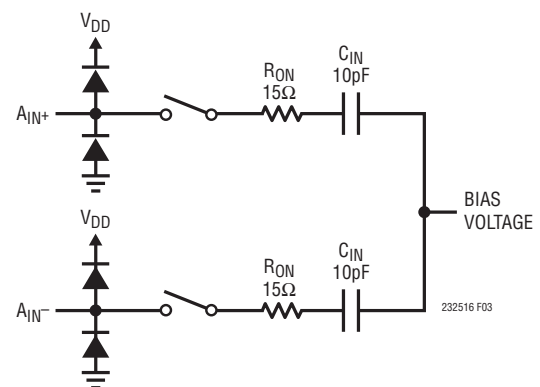


図3. LTC2325-16の差動アナログ入力の等価回路

アプリケーション情報

シングルエンド信号

シングルエンド信号はLTC2325-16によって直接デジタル化できます。同相信号除去性能が向上するように、これらの信号は疑似差動式に検出します。主要なアナログ信号のリファレンス信号(例: グランド検出信号)を別のA_{IN}ピンに接続することにより、2つの信号と同相のノイズまたは外乱はA/Dコンバータの高いCMRRによって除去されます。LTC2325-16は、その柔軟性により、疑似差動の単極性信号と両極性信号の両方に対応し、構成の必要はありません。入力同相範囲が広いので、アナログ入力の前段でのシグナル・コンディショニング回路の精度要件が緩和されます。

両極性の疑似差動入力電圧範囲

両極性の疑似差動構成とは、一方のアナログ入力を固定電圧(標準ではV_{REF}/2)で駆動し、信号をもう一方のA_{IN}ピンに入力することを意味します。この場合、アナログ入力の振幅範囲は固定入力電圧を中心に対称となるので、A/D変換の範囲がフルスケールの半分となる両極性の2の補数出力コードが得られます。この構成を図4に示し、対応する伝達関数を図5に示します。アナログ入力ピンの固定電圧は必ずしもV_{REF}/2に設定する必要はありませんが、V_{DD}レール範囲内のいずれかの電圧に設定することにより、代替入力がこの電圧を中心として対称に振れることができます。入力信号(A_{IN+} - A_{IN-})が±REFOUT1、2、3、4/2を超えて振れる場合、有効なコードはA/Dコンバータによって生成されるので、必要に応じてユーザがクランプする必要があります。

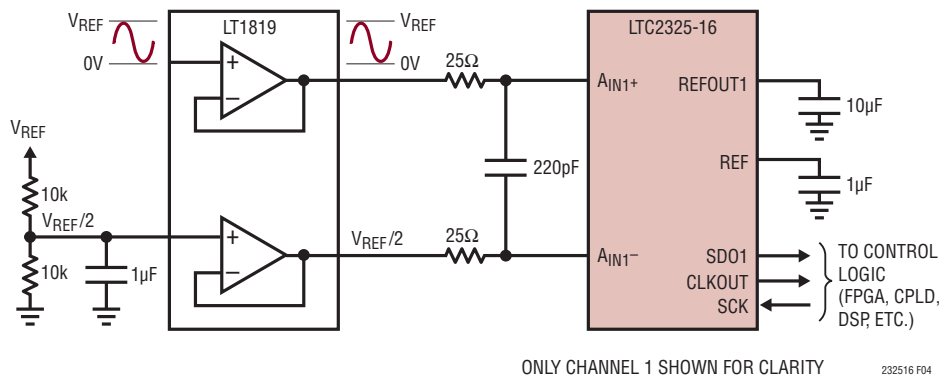


図4. 両極性疑似差動のアプリケーション回路

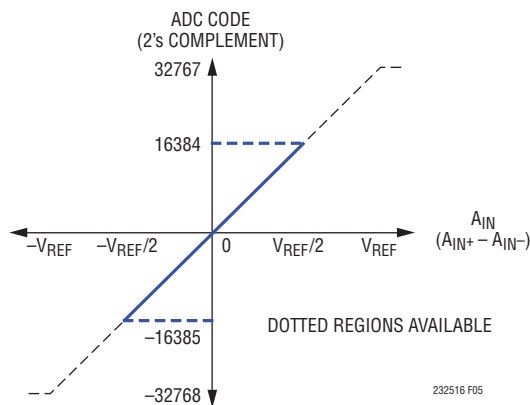


図5. 両極性疑似差動の伝達関数

アプリケーション情報

単極性の疑似差動入力電圧範囲

単極性の疑似差動構成とは、一方のアナログ入力をグラウンドで駆動し、信号をもう一方の A_{IN} ピンに入力することを意味します。この場合、アナログ入力の振幅範囲はグラウンドと V_{REF} の間になるので、A/D変換の範囲がフルスケールの半分と

なる単極性の2の補数出力コードが得られます。この構成を図6に示し、対応する伝達関数を図7に示します。入力信号 ($A_{IN+} - A_{IN-}$) が負側に振れる場合、有効なコードはA/Dコンバータによって生成されるので、必要に応じてユーザがクランプする必要があります。

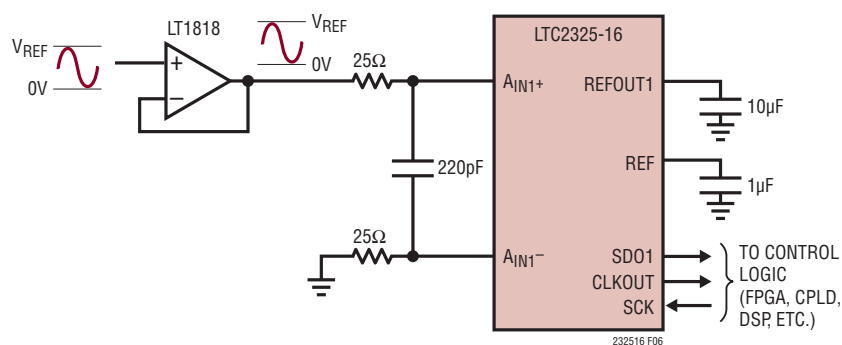


図6. 単極性疑似差動のアプリケーション回路

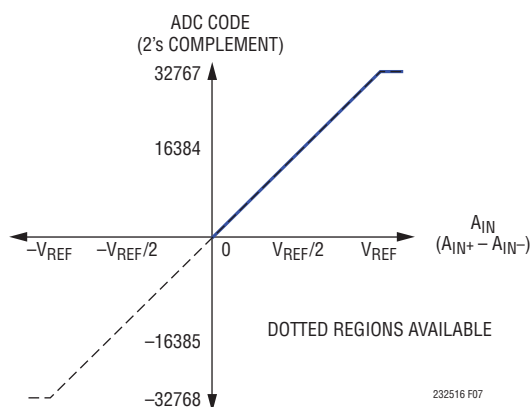


図7. 単極性疑似差動の伝達関数

アプリケーション情報

シングルエンドから差動への変換

前述したように、シングルエンド信号は直接デジタル化できませんが、より広いダイナミックレンジが求められる場合は、シングルエンドから差動への変換回路を使用することもできます。LTC2325-16の入力で差動信号を生成することにより、A/Dコンバータに入力される信号の振幅は最大になるので、実現可能なSNRが高くなります。

シングルエンドから差動への変換を行うには、図8に示すように、LT[®]1819高速デュアル・オペアンプの使用を推奨します。この場合、最初のアンプは単位利得のバッファとして構成されており、シングルエンド入力信号はこのアンプの高インピーダンス入力を直接駆動します。

完全差動入力

LTC2325-16の歪み性能を最大限に高めるため、図9に示すように、2つの単位利得バッファとして構成したLT1819アンプを介して完全差動信号を駆動することを推奨します。この回路により、データシートのTHD規格である-88dBを500kHzまでの入力周波数で完全に満たすことができます。完全差動入力信号の可能な範囲は、A/Dコンバータの最大フルスケール電

圧範囲で、 $\pm \text{REFOUT}1, 2, 3, 4$ までです。同相入力電圧の可能な範囲は、最大 V_{DD} までの全電源電圧範囲であり、入力信号の振幅により制限されます。完全差動構成を図10に示し、対応する伝達関数を図11に示します。

入力駆動回路

信号源が低インピーダンスの場合は、利得誤差を発生することなく、LTC2325-16の高インピーダンス入力を直接駆動できます。信号源が高インピーダンスの場合は、収集時のセトリング時間を最小にするためとA/Dコンバータの歪み性能を最適化するために、バッファを接続する必要があります。収集時にはA/Dコンバータの入力に電流スパイクが流れるので、DC入力であっても、セトリング時間の最小化が重要です。

最良の性能を得るには、バッファ・アンプを使用してLTC2325-16のアナログ入力を駆動する必要があります。バッファ・アンプは出力インピーダンスが低いので、利得誤差を最小限に抑えることと、収集段階ではアナログ信号の高速セトリングが可能です。また、バッファ・アンプは、収集時に少量の電流スパイクが流れるA/Dコンバータの入力を信号源から切り離す役割も果たします。

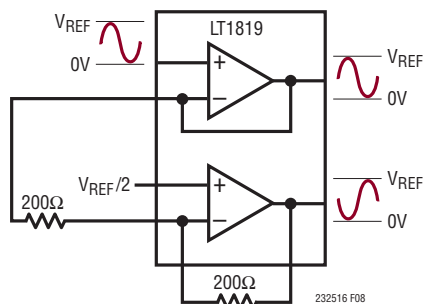


図8. シングルエンド入力/差動出力ドライバ

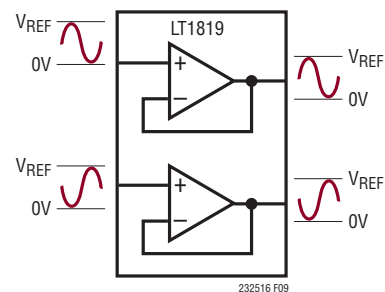


図9. 完全差動信号源のバッファとなるLT1819

アプリケーション情報

入力フィルタリング

バッファ・アンプと信号源のノイズと歪みは、A/Dコンバータのノイズと歪みに上乗せされるので、考慮する必要があります。入力信号にノイズが多い場合は、バッファ・アンプの入力の前に低帯域幅のフィルタを使ってノイズを最小限に抑えます。多くのアプリケーションでは、図12に示す簡単な1ポールのRCローパス・フィルタで十分です。

サンプリング・スイッチのオン抵抗 (R_{ON}) とサンプル・コンデンサ (C_{IN}) が第2のローパス・フィルタを構成し、ADCコアへの入力帯域幅を110MHzに制限します。ノイズ密度の低いバッファ・アンプを選択して、この帯域幅でのSNRの劣化を最小限に抑える必要があります。

RCフィルタのコンデンサと抵抗は歪みを大きくする可能性があります。これらの部品は高品質のものを使用します。NPOタイプやシルバー・マイカ・タイプの誘電体コンデンサは優れた直線性を示します。表面実装型カーボン抵抗は、半田付け工程で生じる損傷および自己発熱により歪みが生じることがあります。表面実装型金属皮膜抵抗は、この2つの問題に対してはるかに耐性があります。

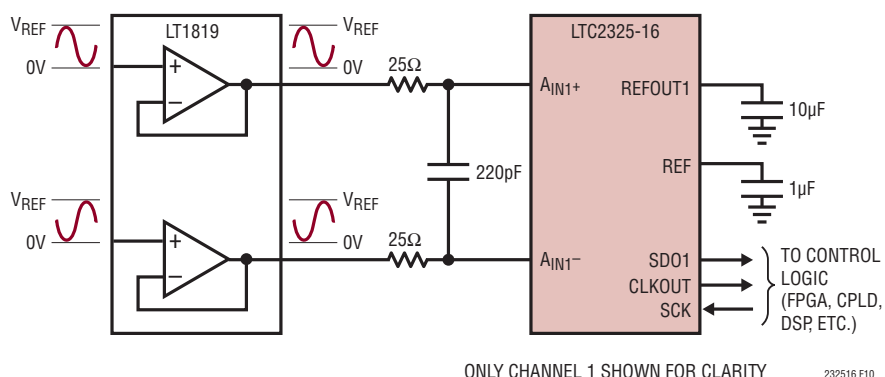


図10. 完全差動のアプリケーション回路

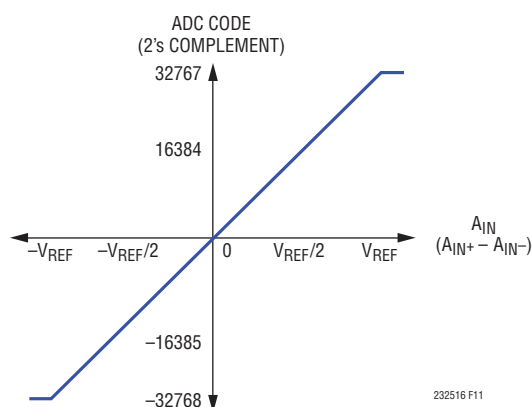


図11. 完全差動の伝達関数

アプリケーション情報

A/Dコンバータのリファレンス

内部リファレンス

LTC2325-16は、低ノイズ、低ドリフト(最大20ppm/°C)の温度補償バンドギャップ・リファレンスを内蔵しています。内部でバッファに接続されており、REF (ピン8)で使用することができます。リファレンス・バッファにより、内部リファレンスの電圧は、電源電圧 $V_{DD} = 5V$ の場合は4.096Vになり、 $V_{DD} = 3.3V$ の場合は2.048Vになります。また、REFピンは電流制限出力

(250 μ A)によって4つの内部リファレンス・バッファを駆動するので、電圧範囲が1.25V~5Vの外部リファレンスを使用して容易にオーバードライブすることができます。1 μ F (X5R、0805サイズ)のセラミック・コンデンサを接続してREFをGNDにバイパスし、リファレンス・バッファを補償してノイズを最小限に抑えます。1 μ Fのセラミック・コンデンサはLTC2325-16のパッケージにできるだけ近づけて、配線インダクタンスを最小限に抑えます。REFピンの電圧を外部回路に使用する場合は、外部にバッファを接続する必要があります。

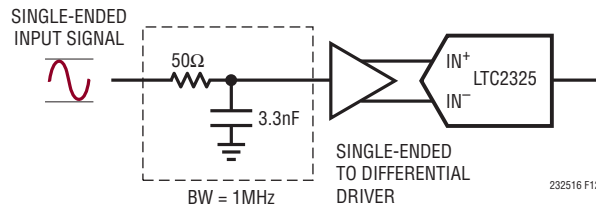


図12. 入力シグナルチェーン

表1. リファレンスの構成および範囲

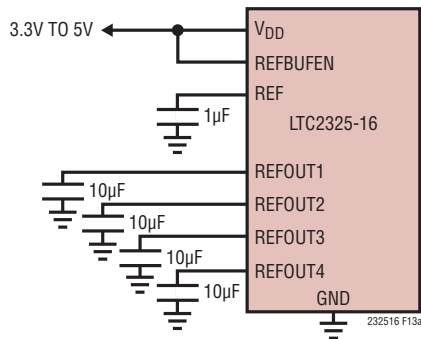
リファレンスの構成	V_{DD}	REFBUFEN	REFピン	REFOUT1、2、3、4 ピン	差動入力電圧範囲
内部リファレンスと内部バッファ	5V	5V	4.096V	4.096V	$\pm 4.096V$
	3.3V	3.3V	2.048V	2.048V	$\pm 2.048V$
共通の外部リファレンスと内部バッファ (REFピンを外部からオーバードライブ)	5V	5V	1.25V to 5V	1.25V~3.3V	$\pm 1.25V$ to $\pm 5V$
	3.3V	3.3V	1.25V to 5V	1.25V~3.3V	$\pm 1.25V$ to $\pm 3.3V$
外部リファレンス、REFバッファはディスエーブル状態	5V	0V	4.096V	1.25V to 5V	$\pm 1.25V$ to $\pm 5V$
	3.3V	0V	2.048V	1.25V to 3.3V	$\pm 1.25V$ to $\pm 3.3V$

アプリケーション情報

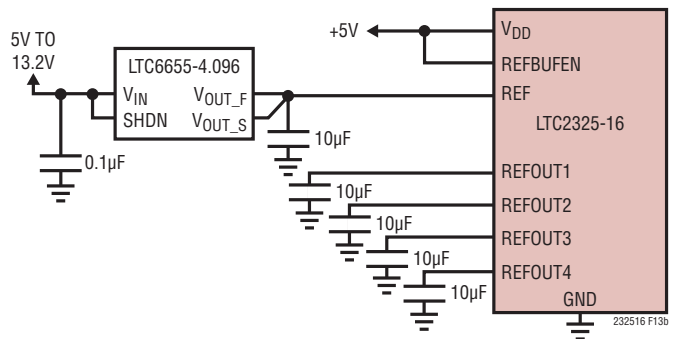
外部リファレンス

REFOUT1、2、3、4の内部バッファは、図13(c)に示すように、REFOUT1、2、3、4に外部リファレンスを接続して1.25V～5Vの範囲でオーバードライブすることもできます。そのためには、REFBUFENを接地してREFのバッファをディスエーブルする必要があります。REFのバッファがディスエーブルされると、55kの内部抵抗がREFOUT1、2、3、4ピンの負荷になります。入力信号振幅と対応するSNRをできるだけ大きくするため、REFOUTをオーバードライブする場合はLTC6655-5の

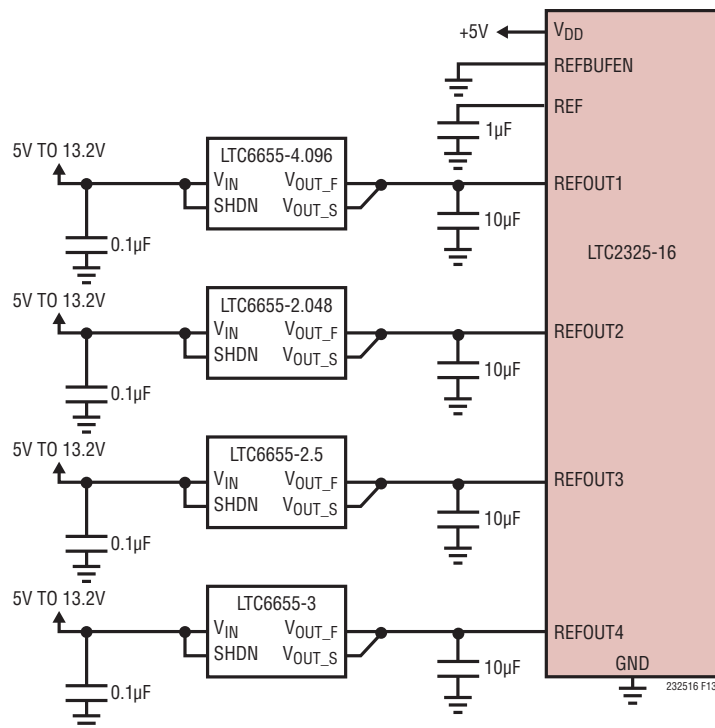
使用を推奨します。LTC6655-5は、LTC6655-4.096と同様に小型、高精度、低ドリフトで、拡張温度範囲に対応します。5Vリファレンスを使用することにより、SNRを高くすることができます。10 μ Fのセラミック・コンデンサ(X5R、0805サイズ)をREFOUT1、2、3、4の各ピンに近づけて接続し、LTC6655-5をバイパスすることを推奨します。REFBUFENをGNDに接続するときにREFピンの電圧をREFOUTリファレンスとして使用する場合は、外部にバッファを接続してください。



(13a) LTC2325-16の内部リファレンス回路



(13b) 共用の外部リファレンス回路を使用するLTC2325-16



(13c) 異なる外部リファレンス電圧を使用するLTC2325-16

図13. リファレンスの接続

アプリケーション情報

内部リファレンス・バッファのトランジェント応答

LTC2325-16のREFOUT1、2、3、4ピンには、各変換サイクルの間に外付けのバイパス・コンデンサから電荷(Q_{CONV})が引き寄せられます。内部リファレンス・バッファをオーバードライブする場合は、外部リファレンスが $I_{REF} = Q_{CONV}/t_{CYC}$ に等しいDC電流でこの全電荷を供給する必要があります。したがって、DC電流 $I_{REFOUT1,2,3,4}$ は、サンプリング・レートと出力コードにより異なります。図14に示すように、長時間のアイドル状態の後、集中的にサンプリングされるアプリケーションでは、 I_{REFBUF} は短時間で約75 μ Aから最大500 μ A (REFOUT = 5V、5Msps)になります。このDC電流のステップにより、外部リファレンスのトランジェント応答がトリガされます。REFOUTの電圧が正常値から逸脱すると、出力コードの精度に影響を与えるので、このトランジェント応答には注意が必要です。変換の待ち時間が1サイクルあるので、集中的なサンプリング期間の開始時には最初の変換結果が無効になります。外部リファレンスを使用してREFOUT1、2、3、4をオーバードライブする場合は、高速セトリング特性のLTC6655リファレンスを推奨します。

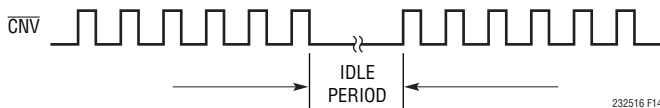


図14. 集中的なサンプリングを示すCNVの波形

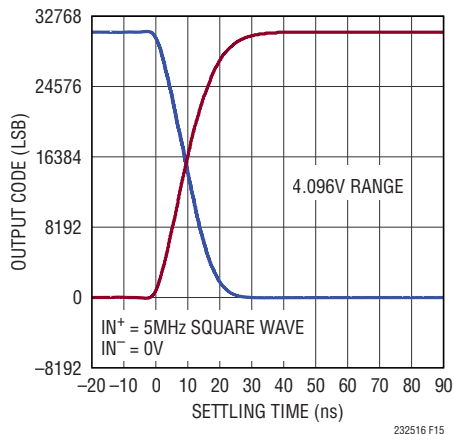


図15. LTC2325-16のトランジェント応答

ダイナミック性能

A/Dコンバータの周波数応答、歪み、およびノイズを定格のスループットでテストするには、高速フーリエ変換(FFT)の手法を使用します。低歪みの正弦波を入力し、そのデジタル出力をFFTアルゴリズムを使用して解析することにより、基本波の外側の周波数に関してA/Dコンバータのスペクトラム成分を調べることができます。LTC2325-16では、AC歪みとノイズの両方の測定値について、保証されたテスト済みの制限値を示しています。

信号対ノイズ+歪み比(SINAD)

信号対ノイズ+歪み比(SINAD)は、基本入力周波数のRMS振幅とA/Dコンバータ出力での他の全ての周波数成分のRMS振幅の比です。出力の帯域は、DCより高くサンプリング周波数の半分より低い周波数に制限されます。図16は、LTC2325-16が2.2MHzの入力、5MHzのサンプリング・レートで81dBの標準SINADを達成していることを示しています。

信号対ノイズ比(SNR)

信号対ノイズ比(SNR)は、基本入力周波数のRMS振幅と、1次から5次までの高調波とDCを除く他の全ての周波数成分のRMS振幅の比です。図16は、LTC2325-16が2.2MHzの入力、5MHzのサンプリング・レートで82dBの標準SNRを達成していることを示しています。

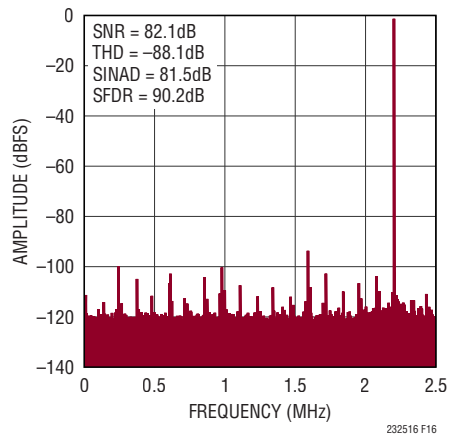


図16. LTC2325-16の32kポイントのFFT

アプリケーション情報

全高調波歪み (THD)

全高調波歪み (THD) は、入力信号の全ての高調波の RMS 値の合計と基本波の RMS 値との比です。帯域外高調波は、DC からサンプリング周波数の半分 ($f_{\text{SAMPL}}/2$) までの周波数帯域で折り返し歪みを生じます。THD は次のように表されます。

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}}{V_1}$$

ここで、 V_1 は基本周波数の RMS 振幅で、 $V_2 \sim V_N$ は 2 次～N 次の高調波の振幅です。

電源に関する検討事項

LTC2325-16 には 2 つの電源が必要です。1 つは 3.3V～5V の電源 (V_{DD}) で、もう 1 つはデジタル入力/出力インタフェース電源 (OV_{DD}) です。柔軟な OV_{DD} 電源により、LTC2325-16 は、1.8V～2.5V で動作する任意のデジタル・ロジックと通信することができます。入力/出力に LVDS を使用する場合は、 OV_{DD} 電源を 2.5V に設定する必要があります。

電源シーケンシング

LTC2325-16 には電源シーケンシングに関する特別な要件はありません。「絶対最大定格」のセクションに記載されている最大電圧の関係を遵守するよう注意する必要があります。LTC2325-16 は、最初の起動時、または電源電圧が 2V より低くなったとき必ず LTC2325-16 をリセットするパワーオン・リセット (POR) 回路を備えています。電源電圧が公称電源電圧範囲に戻ると、POR は A/D コンバータを再度初期化します。再初期化の期間が確実に終了するように、POR イベントの 10ms 後までは変換を開始しないようにします。この時点より前に変換を開始すると、結果は無効になります。

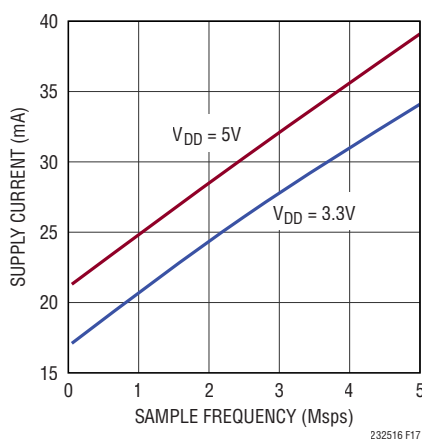


図 17. LTC2325-16 の電源電流とサンプリング・レート

アプリケーション情報

タイミングと制御

CNVのタイミング

LTC2325-16のサンプリングと変換は、 $\overline{\text{CNV}}$ によって制御されます。 $\overline{\text{CNV}}$ の立ち上がりエッジでサンプリングが開始され、立ち下がりエッジで変換処理と読み取り処理が開始されます。変換処理のタイミングはSCK入力クロックによって決まります。最適な性能を得るには、 $\overline{\text{CNV}}$ をノイズのない低ジッタの信号で駆動します。FPGAの $\overline{\text{CNV}}$ パルス発生源からの比較的大きなジッタの発生を抑制する推奨の実装回路をデータシート裏表紙の「標準的応用例」に示します。低ジッタの入力クロックは、 $\overline{\text{CNV}}$ 信号の立ち下がりエッジのタイミングを決定することに注意してください。 $\overline{\text{CNV}}$ の立ち上がりエッジのジッタは、性能に関してあまり重要ではありません。 $\overline{\text{CNV}}$ 信号の標準的なパルス幅は、変換レートが5Mspsのとき30nsで、立ち上がり時間と立ち下がり時間は1.5ns未満です。

SCKシリアル・データ・クロック入力

SDRモード($\overline{\text{SDR}}/\text{DDR}$ ピン23 = GND)では、このクロックの立ち下がりエッジにより、変換結果はMSBを先頭にシフトしてSDOピンに出力されます。5Mspsのスループットを実現するには、4つのSDO出力を全て使用して100MHzの外部クロックをSCKピンに入力する必要があります。DDRモード($\overline{\text{SDR}}/\text{DDR}$ ピン23 = OV_{DD})では、SCKの入力エッジごとに、変換結果がMSBを先頭にシフトしてSDOピンに出力されます。5Mspsのスループットを実現するには、SDO1～SDO4の5つの出力を全て使用して50MHzの外部クロックをSCKピンに入力する必要があります。

CLKOUTシリアル・データ・クロック出力

CLKOUT出力は、SDO出力をレシーバでラッチするために、スキューの整合したクロックを出力します。CLKOUT出力とSDO出力のタイミング・スキューは整合します。高スループットのアプリケーションでは、SCKの代わりにCLKOUTを使用してSDO出力を取り込むと、レシーバでのタイミング要件が緩

和されます。低スループット速度のアプリケーションでは、ピン34を OV_{DD} に接続すればCLKOUTをディスエーブルすることができます。

ナップ・モード/スリープ・モード

ナップ・モードは、後続の変換のために起動時の遅延を犠牲にせずに、電力を節減する方法です。スリープ・モードでは電力を大幅に節減できますが、リファレンスと電源システムを有効にするために起動時の遅延が生じます。LTC2325-16がナップ・モードに入るには、SCK信号を“H”または“L”に保持し、2つの $\overline{\text{CNV}}$ パルスを連続して入力する必要があります。これは、CMOSモードとLVDSモードの両方に当てはまります。ナップ状態が始まるのは、 $\overline{\text{CNV}}$ の2番目の立ち上がりエッジです。SCKの立ち上がりエッジが1回入力されるか、 $\overline{\text{CNV}}$ パルスが更に入力されるまで、ナップ状態は持続します。LTC2325-16は、SCKの立ち上がりエッジによって動作(最大電力)状態に戻ります。LTC2325-16は、ナップ・モードのときに、2つの追加パルスが入力されるとスリープ・モードになります。LTC2325-16をCMOS入出力動作に合わせて構成した場合は、SCKの立ち上がりエッジ1回で動作モードに戻ることができます。リファレンス・バッファが外付けのフィルタ・コンデンサを再充電できるようにするには、スリープ・モードの終了後に10msの遅延が必要です。LVDSモードでは、5番目の $\overline{\text{CNV}}$ パルスを入力すればスリープ・モードを終了することができます。5番目のパルスによってLTC2325-16は動作モードに戻り、その後さらにSCKパルスが入ると、デバイスはナップ・モードとスリープ・モードに戻らなくなります。5番目のSCKパルスは、CMOSモードでもスリープ・モードを終了する方法として機能します。SCKパルスがない期間に $\overline{\text{CNV}}$ パルスを繰り返し入力すると、LTC2325-16は動作モード、ナップ・モード、スリープ・モードの間を無期限に循環します。

スリープ・モードとナップ・モードに関するより詳細なタイミング情報については、図18、図19、図20、および図21のタイミング図を参照してください。

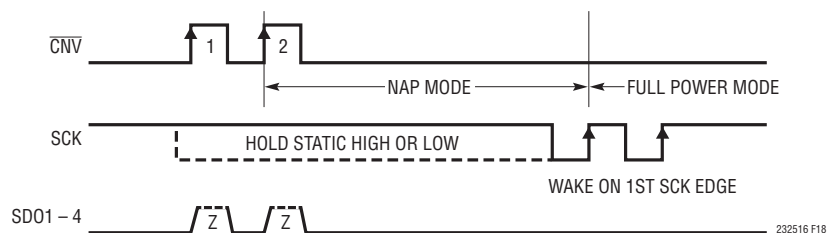


図18. CMOSモードおよびLVDSモードでのSCKを使用したナップ状態および起動

232516f

アプリケーション情報

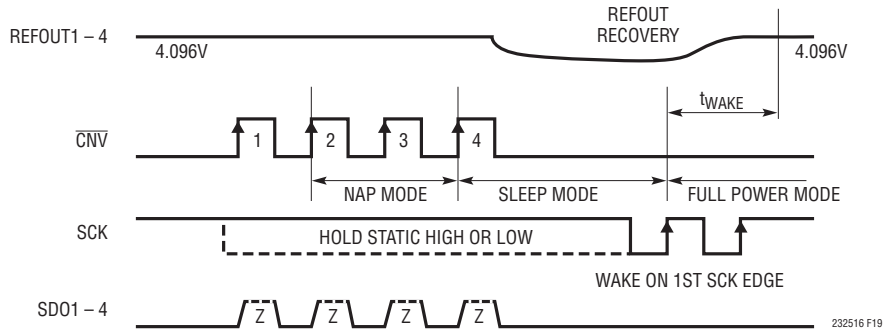


図19. CMOSモードでのSCKを使用したスリープ状態および起動

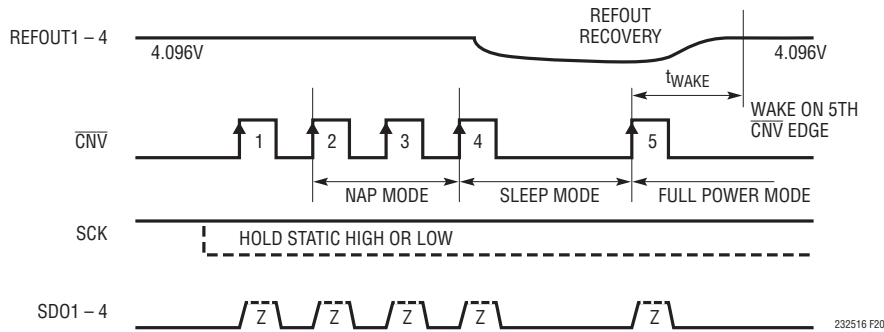


図20. LVDSモードおよびCMOSモードでのCNVを使用したスリープ状態および起動

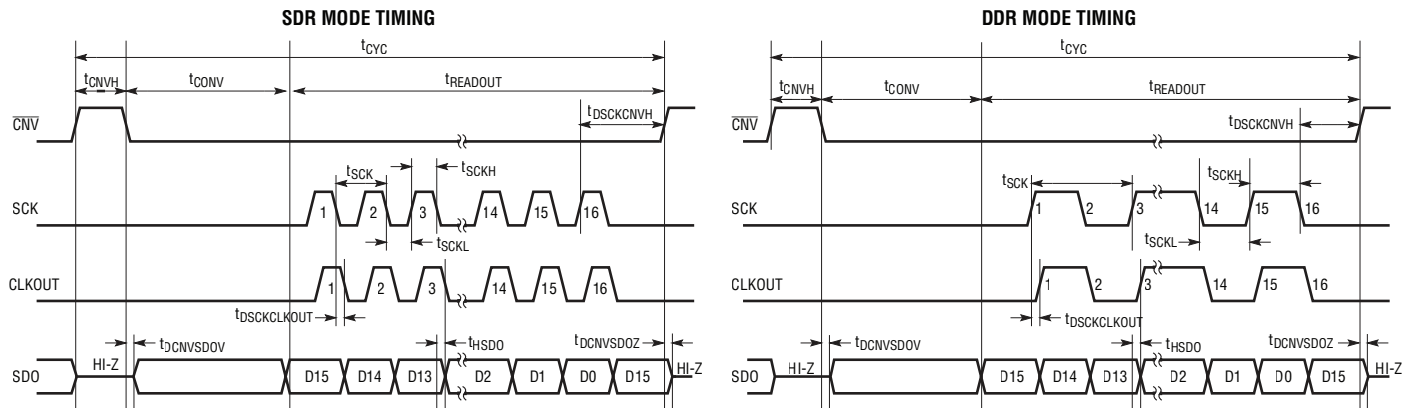


図21. LTC2325-16のタイミング図

アプリケーション情報

デジタル・インタフェース

LTC2325-16は、簡単で使いやすいシリアル・デジタル・インタフェースを特徴としています。柔軟なOV_{DD}電源により、LTC2325-16は、1.8V～2.5Vで動作する任意のデジタル・ロジックと通信することができます。LTC2325-16は、標準のCMOS SPIインタフェースのほかに、低ノイズのデジタル設計をサポートするオプションのLVDS SPIインタフェースを備えています。デジタル・インタフェース・モードを選択するには、 $\overline{\text{CMOS/LVDS}}$ ピンを使用します。SCK入力のクロックにより、変換結果はMSBを先頭にシフトしてSDOピンに出力されます。CLKOUTは、SDO出力をレシーバでラッチするために、スキューの整合したクロックを出力します。CLKOUT出力とSDO出力のタイミング・スキューは整合します。高スループットのアプリケーションでは、SCKの代わりにCLKOUTを使用してSDO出力を取り込むと、レシーバでのタイミング要件が緩和されます。CMOSモードでは、SDO1～SDO4ピンおよびCLKOUTピンを出力として使用します。SCKピンは入力として使用します。LVDSモードでは、SDOA⁺/SDOA⁻～SDOD⁺/SDOD⁻ピンおよびCLKOUT⁺/CLKOUT⁻ピンを差動出力として使用します。LVDSの各レーンには1チャンネル分のデータを出力します。SDOAはチャンネル1のデータを、SDOBはチャンネル2のデータを、SDOCはチャンネル3のデータを、SDODはチャンネル4のデータをそれぞれ出力します。これらのピンは、レシーバ(FPGA)に100Ωの抵抗を外付けすることによって差動で終端する必要があります。SCK⁺/SCK⁻ピンは差動入力であり、レシーバ(A/Dコンバータ)に100Ωの抵抗を外付けすることによって差動で終端する必要があります。

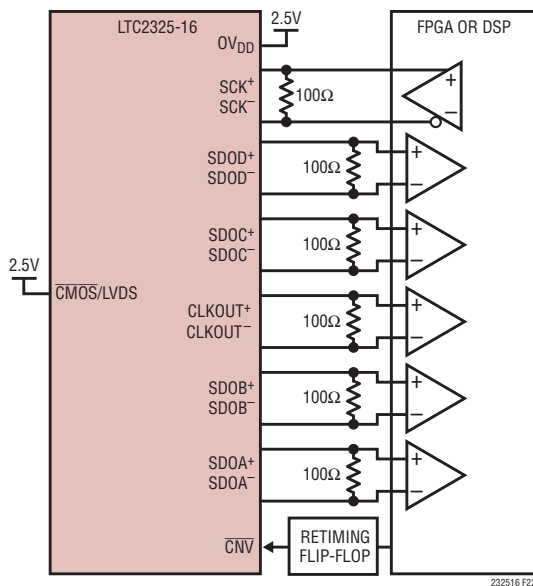


図 22. LVDS インタフェースを使用した LTC2325-16

SDR/DDR モード

LTC2325-16には、SDOピンから変換データを読み出す場合、SDR (シングル・データ・レート)モードとDDR (ダブル・データ・レート)モードがあります。どちらのモードでも、CLKOUTはSCKを遅延させた信号です。SDRモードでは、SCKの負のエッジごとに、変換データがシフトしてSDOピンから出力されます。DDRモードでは、SCK入力のエッジごとに、変換データがシフトして出力されます。DDRモードでは、必要なSCK周波数は、SDRモードで必要なSCK周波数の半分です。 $\overline{\text{SDR/DDR}}$ は、SDRモードに構成する場合はグランドに接続し、DDRモードに構成する場合はOV_{DD}に接続します。CLKOUT信号はSCK入力を遅延させた信号であり、SDOデータと位相が揃っています。SDRモードでは、図21に示すように、CLKOUTの立ち下がりエッジでSDOが遷移します。SDRモードでは、CLKOUTの立ち上がりエッジを使用してSDOデータをFPGAレジスタにラッチすることを推奨します。DDRモードでは、SCKの入力エッジごとにSDOが遷移します。DDRモードでは、CLKOUTの立ち上がりエッジと立ち下がりエッジを使用してSDOデータをFPGAレジスタにラッチすることを推奨します。CLKOUTとSDOデータは位相が揃っているので、DDRモードでは、FPGAの内部でSDO信号をデジタル的に遅延させて、セットアップと保持のタイミングに適切な余裕を持たせる必要があります。

基板レイアウト

LTC2325-16から最大限の性能を引き出すには、プリント回路基板を推奨します。プリント回路基板(PCB)のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・クロックやデジタル信号は、アナログ信号に隣接して配線したり、A/Dコンバータの下に配線したりしないように注意します。

電源のバイパス・コンデンサは、電源ピンにできるだけ近づけて配置します。A/Dコンバータを低ノイズで動作させるには、これらのバイパス・コンデンサに低インピーダンスの共通帰線を使用することが不可欠です。このためには、切れ目のない単一のグランド・プレーンを推奨します。可能な場合は、グランドを使用してアナログ入力トレースを遮蔽してください。

推奨レイアウト

図面やPCBレイアウトなど、このコンバータのリファレンスの設計を詳細に調べる場合は、[DC2395A](#) (LTC2325-16の評価キット)を参照してください。

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/product/LTC2325-16#packaging> を参照してください。

UKG Package
52-Lead Plastic QFN (7mm × 8mm)
 (Reference LTC DWG # 05-08-1729 Rev 0)

