

入力同相範囲の広い デュアル12ビット+符号、 2Msps 差動入力A/Dコンバータ 概要

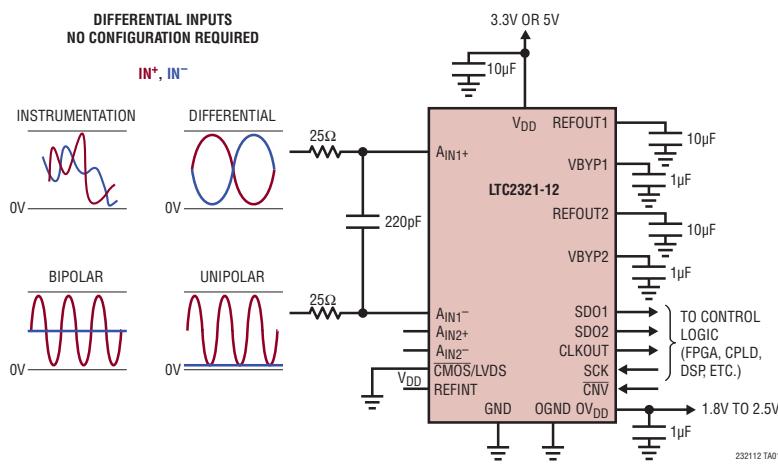
特長

- スループット・レート: 2Msps
- INL: ± 0.5 LSB (標準)
- 欠落コードのない12ビットを保証
- 入力同相範囲の広い差動入力: 8V_{p-p}
- SNR: 標準 73dB ($f_{IN} = 500$ kHz)
- THD: 標準 -85dB ($f_{IN} = 500$ kHz)
- 125°Cまでの動作を保証
- 3.3Vまたは5V 単電源
- 2.048Vまたは4.096Vの低ドリフト(最大20ppm/°C)
内部リファレンス
- I/O(入出力)の電圧範囲: 1.8V ~ 2.5V
- SPI互換シリアルI/O: CMOSまたはLVDS
- 電力損失: 30mW/チャネル(標準)
- 小型28ピン(4mm×5mm)QFNパッケージ

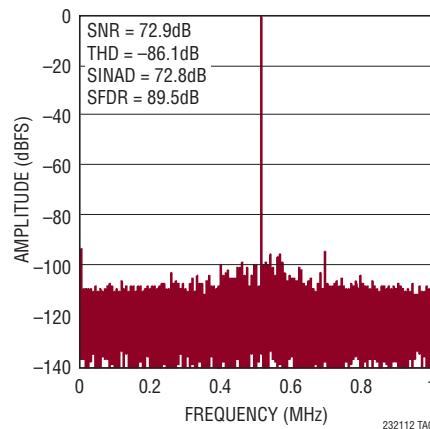
アプリケーション

- 高速データ収集システム
- 通信機器
- リモート・データ収集
- 画像処理
- 光通信
- 自動車
- 多相モータ制御

標準的応用例



32kポイントのFFT ($f_S = 2$ Msps, $f_{IN} = 500$ kHz)



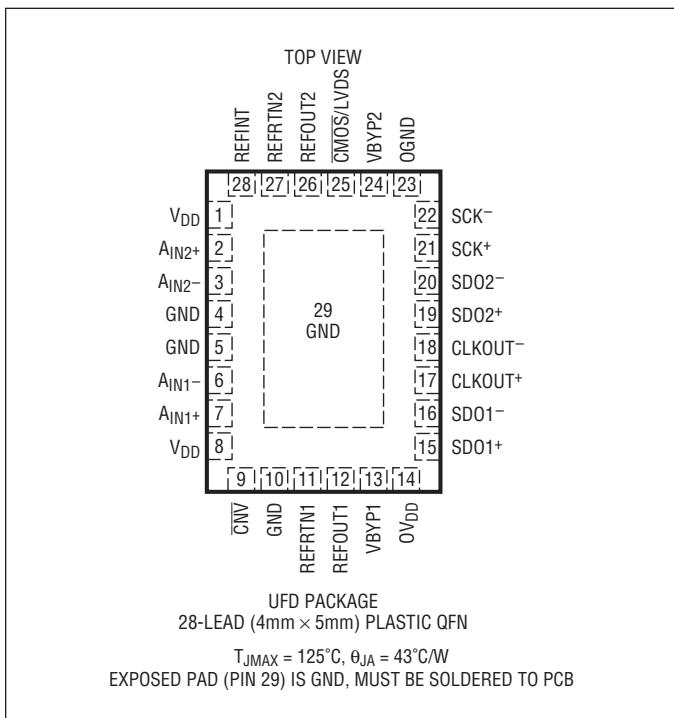
LTC2321-12

絶対最大定格

(Note 1, 2)

電源電圧 (V_{DD})	6V
電源電圧 ($0V_{DD}$)	3V
電源バイパス電圧 (V_{BYP1}, V_{BYP2})	3V
アナログ入力電圧	
A_{IN+}, A_{IN-} (Note 3)	-0.3V ~ ($V_{DD} + 0.3V$)
REFOUT1, 2	-0.3V ~ ($V_{DD} + 0.3V$)
CNV (Note 15)	-0.3V ~ ($V_{DD} + 0.3V$)
デジタル入力電圧	
(Note 3)	(GND - 0.3V) ~ (0 V_{DD} + 0.3V)
デジタル出力電圧	
(Note 3)	(GND - 0.3V) ~ (0 V_{DD} + 0.3V)
電力損失	200mW
動作温度範囲	
LTC2321C	0°C ~ 70°C
LTC2321I	-40°C ~ 85°C
LTC2321H	-40°C ~ 125°C
保存温度範囲	-65°C ~ 150°C

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2321CUFD-12#PBF	LTC2321CUFD-12#TRPBF	23212	28-Lead (4mm x 5mm) Plastic QFN	0°C to 70°C
LTC2321IUFDF-12#PBF	LTC2321IUFDF-12#TRPBF	23212	28-Lead (4mm x 5mm) Plastic QFN	-40°C to 85°C
LTC2321HUFDF-12#PBF	LTC2321HUFDF-12#TRPBF	23212	28-Lead (4mm x 5mm) Plastic QFN	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreel/> をご覧ください。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN+}	Absolute Input Range (A_{IN1+}, A_{IN2+})	(Note 5)	●	0	V_{DD}	V
V_{IN-}	Absolute Input Range (A_{IN1-}, A_{IN2-})	(Note 5)	●	0	V_{DD}	V
$V_{IN+} - V_{IN-}$	Input Differential Voltage Range	$V_{IN} = V_{IN+} - V_{IN-}$	●	-REFOUT1,2	REFOUT1,2	V
V_{CM}	Common Mode Input Range	$V_{IN} = (V_{IN+} + V_{IN-})/2$	●	0	V_{DD}	V
I_{IN}	Analog Input DC Leakage Current		●	-1	1	μA
C_{IN}	Analog Input Capacitance				10	pF
CMRR	Input Common Mode Rejection Ratio	$f_{IN} = 2.2\text{MHz}$			85	dB
I_{REFOUT}	External Reference Current	REFINT = 0V, REFOUT = 4.096V			310	μA

232112fa

コンバータ特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4、16)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
	Resolution		●	12		Bits	
	No Missing Codes		●	12		Bits	
	Transition Noise			0.4		LSBRMS	
INL	Integral Linearity Error	(Note 6)	●	-1	± 0.5	1	LSB
DNL	Differential Linearity Error		●	-0.99	± 0.4	0.99	LSB
BZE	Bipolar Zero-Scale Error	(Note 7)	●	-1.5	0	1.5	LSB
	Bipolar Zero-Scale Error Drift			0.0015			LSB/ $^\circ\text{C}$
FSE	Bipolar Full-Scale Error	$V_{\text{REFOUT}1,2} = 4.096\text{V}$ (REFINT Grounded) (Note 7)	●	-23	± 2	23	LSB
	Bipolar Full-Scale Error Drift	$V_{\text{REFOUT}1,2} = 4.096\text{V}$ (REFINT Grounded)		15			ppm/ $^\circ\text{C}$

ダイナミック精度

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{\text{IN}} = -1\text{dBFS}$ (Note 4、8)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
SINAD	Signal-to-(Noise + Distortion) Ratio	$f_{\text{IN}} = 500\text{kHz}$, $V_{\text{REFOUT}1,2} = 4.096\text{V}$, Internal Reference	●	69.5	72.8		dB
		$f_{\text{IN}} = 500\text{kHz}$, $V_{\text{REFOUT}1,2} = 5\text{V}$, External Reference		73			dB
SNR	Signal-to-Noise Ratio	$f_{\text{IN}} = 500\text{kHz}$, $V_{\text{REFOUT}1,2} = 4.096\text{V}$, Internal Reference	●	70	73		dB
		$f_{\text{IN}} = 500\text{kHz}$, $V_{\text{REFOUT}1,2} = 5\text{V}$, External Reference		73.5			dB
THD	Total Harmonic Distortion	$f_{\text{IN}} = 500\text{kHz}$, $V_{\text{REFOUT}1,2} = 4.096\text{V}$, Internal Reference	●	-85	-80		dB
		$f_{\text{IN}} = 500\text{kHz}$, $V_{\text{REFOUT}1,2} = 5\text{V}$, External Reference		-84			dB
SFDR	Spurious Free Dynamic Range	$f_{\text{IN}} = 500\text{kHz}$, $V_{\text{REFOUT}1,2} = 4.096\text{V}$, Internal Reference	●	78	88		dB
		$f_{\text{IN}} = 500\text{kHz}$, $V_{\text{REFOUT}1,2} = 5\text{V}$, External Reference		88			dB
	-3dB Input Linear Bandwidth			10			MHz
	Aperture Delay			500			ps
	Aperture Delay Matching			500			ps
	Aperture Jitter			1			psRMS
	Transient Response	Full-Scale Step		3			ns

内部リファレンスの特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値(Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{REFOUT1,2}$	Internal Reference Output Voltage	$4.75V < V_{DD} < 5.25V$ $3.13V < V_{DD} < 3.47V$	● ●	4.088 2.044	4.096 2.048	4.106 2.053	V
	V_{REFOUT} Temperature Coefficient	(Note 14)	●		3 20	ppm/ $^\circ\text{C}$	
	REFOUT1,2 Output Impedance				0.25	Ω	
	$V_{REFOUT1,2}$ Line Regulation	$V_{DD} = 4.75V \text{ to } 5.25V$			0.3	mV/V	

デジタル入力とデジタル出力

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値(Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{IH}	High Level Input Voltage		●	$0.8 \bullet 0V_{DD}$		V	
V_{IL}	Low Level Input Voltage		●		$0.2 \bullet 0V_{DD}$	V	
I_{IN}	Digital Input Current	$V_{IN} = 0V \text{ to } 0V_{DD}$	●	-10	10	μA	
C_{IN}	Digital Input Capacitance				5	pF	
V_{OH}	High Level Output Voltage	$I_O = -500\mu\text{A}$	●	$0V_{DD} - 0.2$		V	
V_{OL}	Low Level Output Voltage	$I_O = 500\mu\text{A}$	●		0.2	V	
I_{OZ}	Hi-Z Output Leakage Current	$V_{OUT} = 0V \text{ to } 0V_{DD}$	●	-10	10	μA	
I_{SOURCE}	Output Source Current	$V_{OUT} = 0V$			-10	mA	
I_{SINK}	Output Sink Current	$V_{OUT} = 0V_{DD}$			10	mA	
V_{ID}	LVDS Differential Input Voltage	100Ω Differential Termination, $0V_{DD} = 2.5V$	●	240	600	mV	
V_{IS}	LVDS Common Mode Input Voltage	100Ω Differential Termination, $0V_{DD} = 2.5V$	●	1	1.45	V	
V_{OD}	LVDS Differential Output Voltage	100Ω Differential Load, LVDS Mode, $0V_{DD} = 2.5V$	●	100	150	300	mV
V_{OS}	LVDS Common Mode Output Voltage	100Ω Differential Load, LVDS Mode, $0V_{DD} = 2.5V$	●	0.85	1.2	1.4	V
V_{OD_LP}	Low Power LVDS Differential Output Voltage	100Ω Differential Load, Low Power, LVDS Mode, $0V_{DD} = 2.5V$	●	75	100	250	mV
V_{OS_LP}	Low Power LVDS Common Mode Output Voltage	100Ω Differential Load, Low Power, LVDS Mode, $0V_{DD} = 2.5V$	●	0.9	1.2	1.4	V

電源要件

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値(Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{DD}	Supply Voltage	5V Operation 3.3V Operation	● ●	4.75 3.13	5.25 3.47		V
OV_{DD}	Supply Voltage		●	1.71	2.63		V
I_{VDD}	Supply Current	2Msps Sample Rate ($IN^+ = IN^- = 0V$)	●		11.8	15	mA
I_{OVDD}	Supply Current	2Msps Sample Rate ($C_L = 5\text{pF}$) 2Msps Sample Rate ($R_L = 100\Omega$)	CMOS Mode LVDS Mode	● ●	1.8 7.1	2 11	mA
I_{NAP}	Nap Mode Current	Conversion Done (I_{VDD})	●		2.55	5	mA
I_{SLEEP}	Sleep Mode Current	Sleep Mode ($I_{VDD} + I_{OVDD}$) Sleep Mode ($I_{VDD} + I_{OVDD}$)	CMOS Mode LVDS Mode	● ●	1 1	5 5	μA
$P_{D_3.3V}$	Power Dissipation	$V_{DD} = 3.3\text{V}$ 2Msps Sample Rate ($IN^+ = IN^- = 0V$) $V_{DD} = 3.3\text{V}$ 2Msps Sample Rate ($IN^+ = IN^- = 0V$)	CMOS Mode LVDS Mode		37 52	58 86	mW
	Nap Mode	$V_{DD} = 3.3\text{V}$ Conversion Done ($I_{VDD} + I_{OVDD}$) $V_{DD} = 3.3\text{V}$ Conversion Done ($I_{VDD} + I_{OVDD}$)	CMOS Mode LVDS Mode		7.8 26	13 41	mW
	Sleep Mode	$V_{DD} = 3.3\text{V}$ Sleep Mode ($I_{VDD} + I_{OVDD}$) $V_{DD} = 3.3\text{V}$ Sleep Mode ($I_{VDD} + I_{OVDD}$)	CMOS Mode LVDS Mode		5 5	16.5 16.5	μW
P_{D_5V}	Power Dissipation	$V_{DD} = 5\text{V}$ 2Msps Sample Rate ($IN^+ = IN^- = 0V$) $V_{DD} = 5\text{V}$ 2Msps Sample Rate ($IN^+ = IN^- = 0V$)	CMOS Mode LVDS Mode		60 77	80 102.5	mW
	Nap Mode	$V_{DD} = 5\text{V}$ Conversion Done ($I_{VDD} + I_{OVDD}$) $V_{DD} = 5\text{V}$ Conversion Done ($I_{VDD} + I_{OVDD}$)	CMOS Mode LVDS Mode		13 31	25 40	mW
	Sleep Mode	$V_{DD} = 5\text{V}$ Sleep Mode ($I_{VDD} + I_{OVDD}$) $V_{DD} = 5\text{V}$ Sleep Mode ($I_{VDD} + I_{OVDD}$)	CMOS Mode LVDS Mode		5 5	25 25	μW

ADCのタイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値(Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f_{SMPL}	Maximum Sampling Frequency			2		MspS
t_{CYC}	Time Between Conversions	(Note 11) $t_{CYC} = t_{CNVH} + t_{CONV} + t_{READOUT}$	●	500	1000000	ns
t_{CONV}	Conversion Time		●	220		ns
t_{CNVH}	\bar{CNV} High Time		●	30		ns
$t_{DSCKHNVH}$	SCK Delay Time to $\bar{CNV}\uparrow$	(Note 11)	●	0		ns
t_{SCK}	SCK Period	(Notes 12, 13)	●	15.6		ns
t_{SCKH}	SCK High Time		●	7		ns
t_{SCKL}	SCK Low Time		●	7		ns
$t_{DSCKCLKOUT}$	SCK to CLKOUT Delay	(Note 12)	●	2.8		ns
$t_{DCLKOUTSDOV}$	SDO Data Valid Delay from CLKOUT \downarrow	$C_L = 5\text{pF}$ (Note 12)	●		2.5	ns
t_{HSDO}	SDO Data Remains Valid Delay from CLKOUT \downarrow	$C_L = 5\text{pF}$ (Note 11)	●		2.5	ns
$t_{DCNVSDOV}$	SDO Data Valid Delay from $\bar{CNV}\downarrow$	$C_L = 5\text{pF}$ (Note 11)	●	2.5	3	ns
$t_{DCNVSDOZ}$	Bus Relinquish Time After $\bar{CNV}\uparrow$	(Note 11)	●		3	ns
t_{WAKE}	REFOUT1,2 Wake-Up Time	$C_{REFOUT1,2} = 10\mu\text{F}$			10	ms

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: 全ての電圧値はグランドを基準にしている。

Note 3: これらのピンの電圧をグランドより低くすると、 V_{DD} ピンまたは $0V_{DD}$ ピンの電圧より高くなると、内部のダイオードによってクランプされる。この製品は、これらのピンの電圧がグランドより低くなるか、 V_{DD} ピンまたは $0V_{DD}$ ピンの電圧より高くなった場合でも、ラッチアップを生じることなく最大100mAの入力電流を処理することができる。

Note 4: $V_{DD} = 5\text{V}$, $0V_{DD} = 2.5\text{V}$, REFOUT1,2 = 4.096V, $f_{SMPL} = 2\text{MHz}$ 。

Note 5: 推奨動作条件。

Note 6: 積分非直線性は、実際の伝達曲線のエンドポイントを通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: 両極性ゼロ誤差は、出力コードが0 0000 0000 0000と1 1111 1111 1111の間を往復しているときに、-0.5LSBから測定されたオフセット電圧である。両極性フルスケール誤差は、最初と最後のコードの理想的な遷移からの、-FSまたは+FSの未調整のワーストケースの変動で、オフセット誤差の影響が含まれる。

Note 8: dB表示の全ての規格値は、REFOUT = 4.096Vでフルスケール $\pm 4.096\text{V}$ の入力を基準にしている。

Note 9: REFOUT1,2をオーバードライブする場合は、REFINT = 0Vに設定して内部リファレンス・パッファをオフにしなければならない。

Note 10: $f_{SMPL} = 2\text{MHz}$, IREFBUFはサンプル・レートに比例して変化する。

Note 11: 設計によって保証されているが、テストされない。

Note 12: パラメータは $0V_{DD} = 1.71\text{V}$ および $0V_{DD} = 2.5\text{V}$ でテストされ、保証されている。

Note 13: 立ち上がりで捕捉する場合、最大15.6nsの t_{SCK} により最大64MHzのシフトクロック周波数が可能である。

Note 14: 温度係数は出力電圧の最大変化を規定温度範囲で割って計算される。

Note 15: \bar{CNV} は、低ジッタのデジタル電源から、通常は $0V_{DD}$ のロジック・レベルでドライブされる。この入力ピンは、少量の電流が流れるTTL型入力を備えている。

Note 16: 1LSB = $2 \cdot \text{REFOUT1,2}/2^{12}$

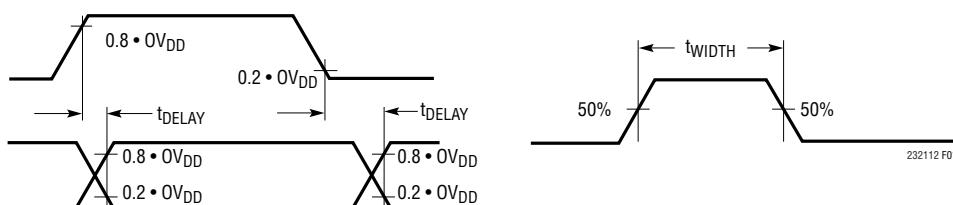
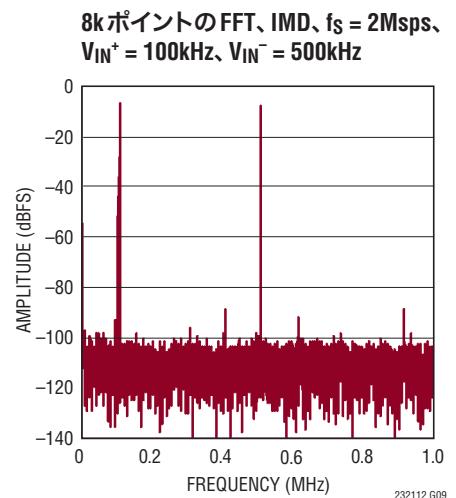
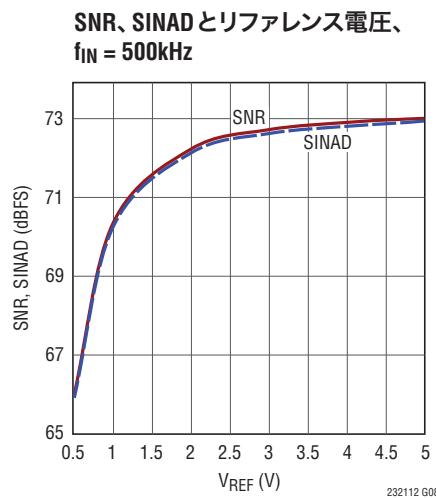
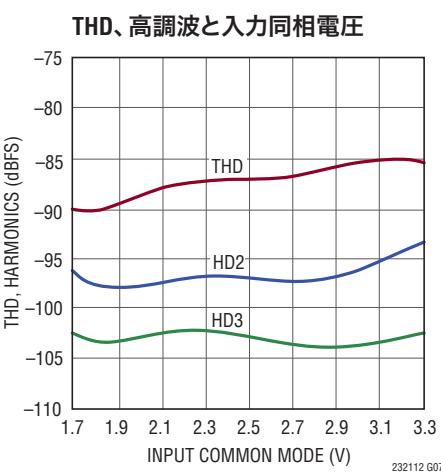
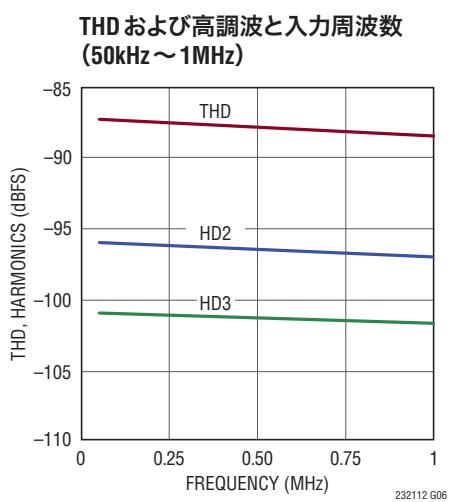
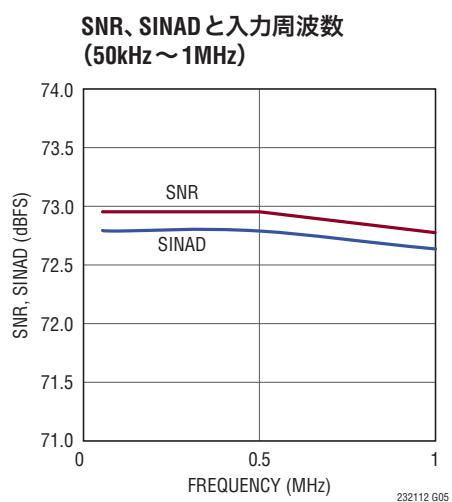
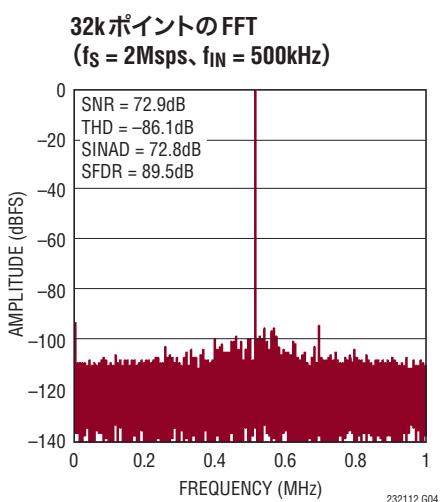
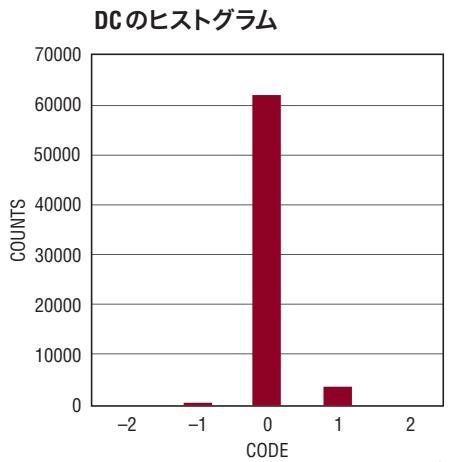
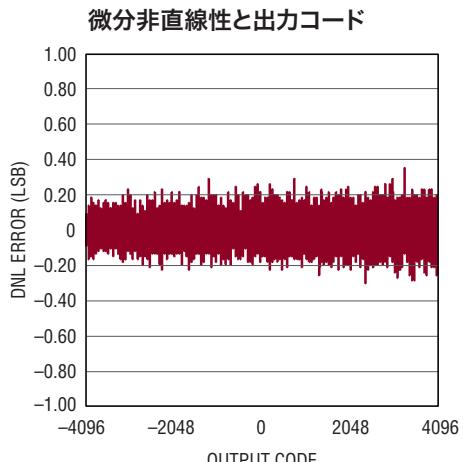
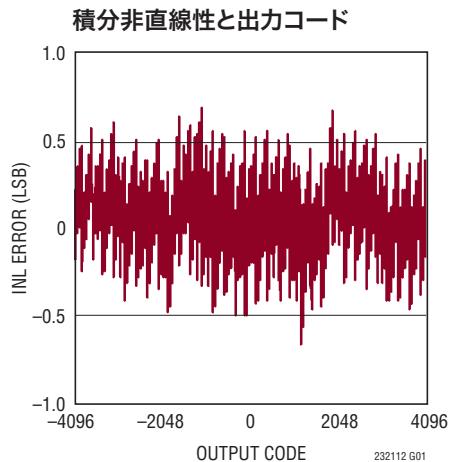


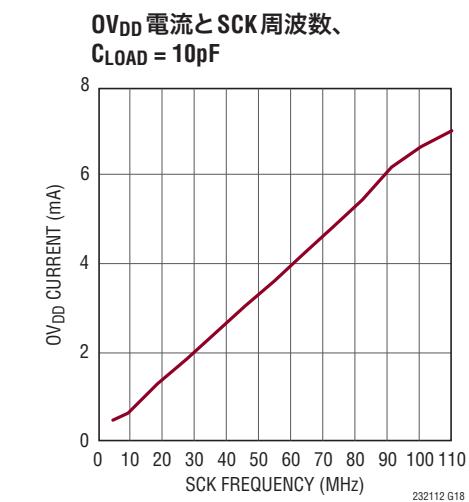
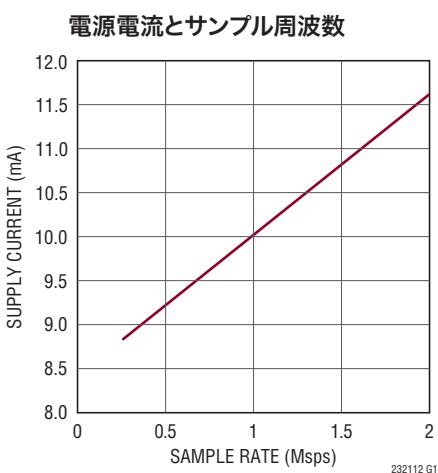
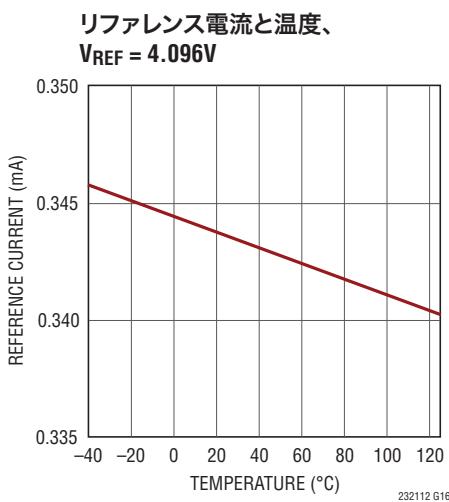
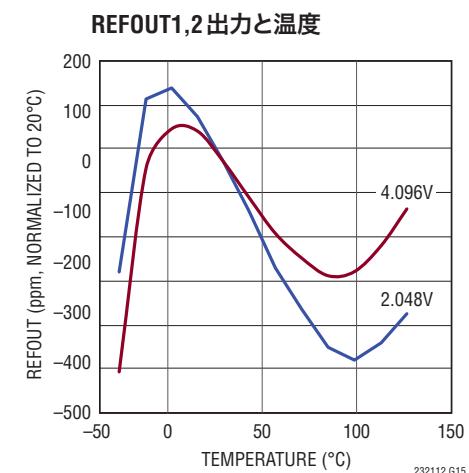
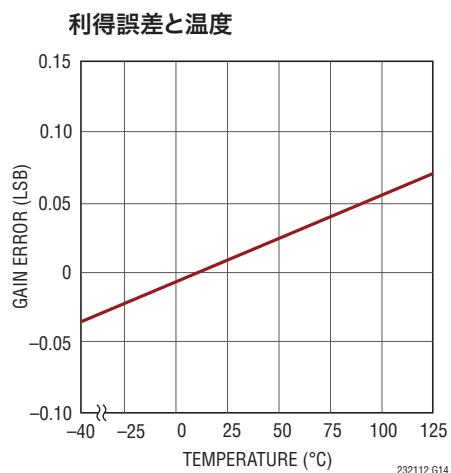
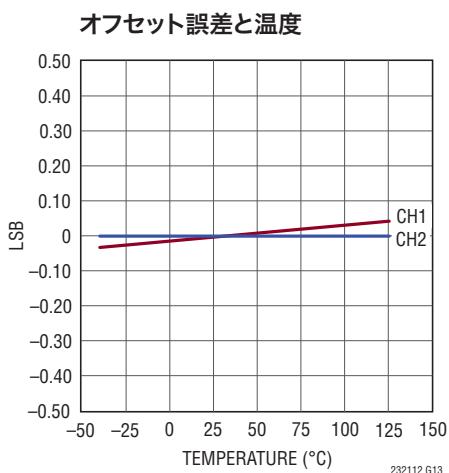
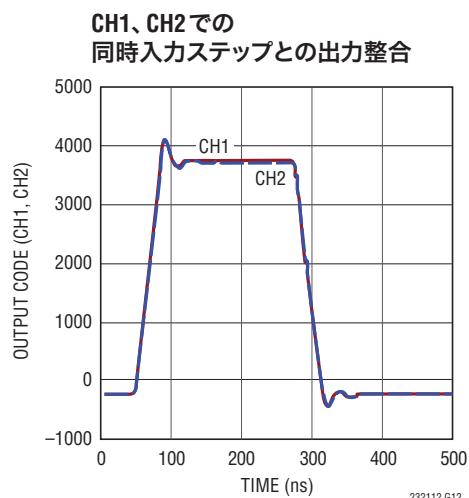
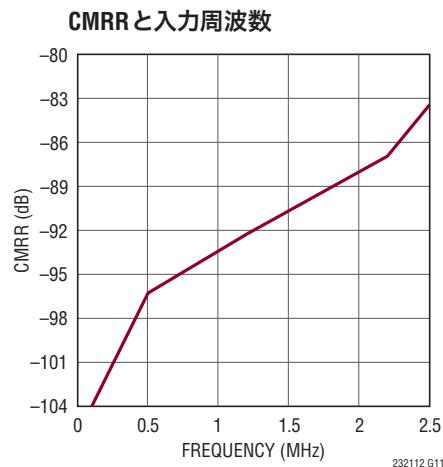
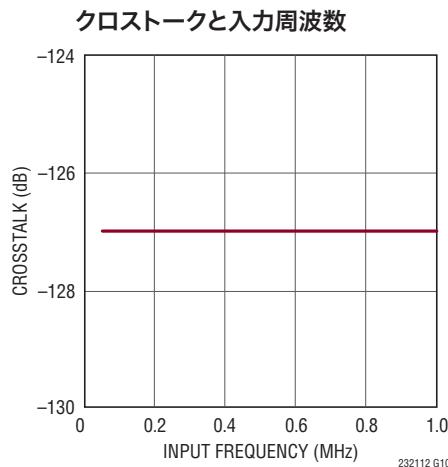
図1. タイミング仕様での電圧レベル

標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、 $\text{REFOUT1,2} = 4.096\text{V}$ 、 $f_{\text{SMPL}} = 2\text{Msps}$ 。(Note 16)

標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、 $\text{REFOUT1,2} = 4.096\text{V}$ 、 $f_{\text{SAMPL}} = 2\text{Msps}$ 。 (Note 16)



ピン機能

V_{DD}(ピン1、8): 電源。10μFと0.1μFのセラミック・コンデンサをデバイスの近くに接続して、V_{DD}をGNDにバイパスします。各V_{DD}ピンは、一緒に短絡して同じ電源からドライブする必要があります。

A_{IN2+}、A_{IN2-}(ピン2、3): アナログ差動入力ピン。フルスケール範囲(A_{IN2+} – A_{IN2-})は±REFOUT2の電圧です。これらのピンを、V_{DD}からGNDまでドライブできます。

GND(ピン4、5、10、29): グランド。これらのピンと露出パッド(ピン29)を、切れ目のないグランド・プレーンに直接接続する必要があります。

A_{IN1-}、A_{IN1+}(ピン6、7): アナログ差動入力ピン。フルスケール範囲(A_{IN1+} – A_{IN1-})は±REFOUT1の電圧です。これらのピンを、V_{DD}からGNDまでドライブできます。

CNV(ピン9): 変換入力。このピンは、“H”的ときにサンプリング・フェーズを定義します。このピンが“L”にドライブされると変換フェーズが開始され、出力データがクロックと同期して出力されます。この入力ピンは、通常はOV_{DD}のレベルの低ジッタ・パルスでドライブされるTTL型入力ですが、V_{DD}のレベルに制限されます。このピンは、CMOS/LVDSピンからの影響を受けません。

REFRTN1(ピン11): リファレンス・バッファ1出力のリターン。REFRTN1は、REFOUT1にバイパスします。REFRTN1ピンをグランド・プレーンに接続しないでください。

REFOUT1(ピン12): リファレンス・バッファ1出力。内蔵バッファはこのピンに公称4.096Vを出力します。このピンは、REFRTN1を基準にし、0.1μF(X7R、0402サイズ)のコンデンサと10μF(X5R、0805サイズ)のセラミック・コンデンサを並列に(ビアを使用しないで)接続して、このピンの近くでデカップリングする必要があります。このピンをドライブする内部バッファをディスエーブルするには、REFINTピンをグランド接続します。バッファがディスエーブルされると、外部リファレンスは1.25V～5Vの範囲でこのピンをドライブできます。

VBYP1(ピン13): 1μFのセラミック・コンデンサを使用して、この内部で電流が供給されるピンをグランドにバイパスします。このピンの公称出力電圧は1.6Vです。

OV_{DD}(ピン14): 入力/出力インターフェースのデジタル電源。OV_{DD}の範囲は1.71V～2.5Vです。この電源の公称値は、ホストのインターフェースと同じ電源電圧に設定されます(CMOS: 1.8Vまたは2.5V、LVDS: 2.5V)。OV_{DD}ピンは、0.1μFのコンデンサを使用してOGNDにバイパスします。

SDO1⁺、SDO1⁻(ピン15、16): チャネル1のシリアル・データ出力。変換結果は、SCKの各立ち下がりエッジでMSBを先頭にしてシフト出力されます。CMOSモードでは、結果はSDO1⁺に出力されます。ロジック・レベルはOV_{DD}によって決まります。SDO1⁻を接続しないでください。LVDSモードでは、結果はSDO1⁺とSDO1⁻に差動出力されます。これらのピンは、外付けの100Ω抵抗を使用して、レシーバ(FPGA)で差動終端する必要があります。

CLKOUT⁺、CLKOUT⁻(ピン17、18): シリアル・データ・クロック出力。CLKOUTは、レシーバでSDO出力をラッチするために、スキーが一致するクロック信号を提供します。CMOSモードでは、スキーが一致するクロック信号はCLKOUT⁺に出力されます。ロジック・レベルはOV_{DD}によって決まります。CLKOUT⁻を接続しないでください。SCKを使用してSDO出力をラッチするような低スループットのアプリケーションでは、CLKOUT⁻をOV_{DD}に接続して、CLKOUT⁺をディスエーブルできます。LVDSモードでは、スキーが一致するクロック信号はCLKOUT⁺とCLKOUT⁻に差動出力されます。これらのピンは、外付けの100Ω抵抗を使用して、レシーバ(FPGA)で差動終端する必要があります。

SDO2⁺、SDO2⁻(ピン19、20): チャネル2のシリアル・データ出力。変換結果は、SCKの各立ち下がりエッジでMSBを先頭にしてシフト出力されます。CMOSモードでは、結果はSDO2⁺に出力されます。ロジック・レベルはOV_{DD}によって決まります。SDO2⁻を接続しないでください。LVDSモードでは、結果はSDO2⁺とSDO2⁻に差動出力されます。これらのピンは、外付けの100Ω抵抗を使用して、レシーバ(FPGA)で差動終端する必要があります。

SCK⁺、SCK⁻(ピン21、22): シリアル・データ・クロック入力。このクロックの立ち下がりエッジで、変換結果がMSBを先頭にSDOピンにシフト出力されます。CMOSモードでは、SCK⁺をシングルエンド・クロックでドライブします。ロジック・レベルはOV_{DD}によって決まります。SCK⁻を接続しないでください。LVDSモードでは、SCK⁺とSCK⁻を差動クロックでドライブします。これらのピンは、外付けの100Ω抵抗を使用して、レシーバ(ADC)で差動終端する必要があります。

OGND(ピン23): I/Oグランド。このグランドは、グランド・プレーンに一点で接続する必要があります。OV_{DD}は、このピンにバイパスされます。

VBYP2(ピン24): 1μFのセラミック・コンデンサを使用して、この内部で電流が供給されるピンをグランドにバイパスします。このピンの公称出力電圧は1.6Vです。

ピン機能

CMOS/LVDS (ピン25) : I/Oモードの選択。CMOSモードをイネーブルする場合は、このピンを接地し、LVDSモードをイネーブルする場合は、このピンをOV_{DD}に接続します。低電力LVDSモードをイネーブルするには、このピンをフロート状態にします。

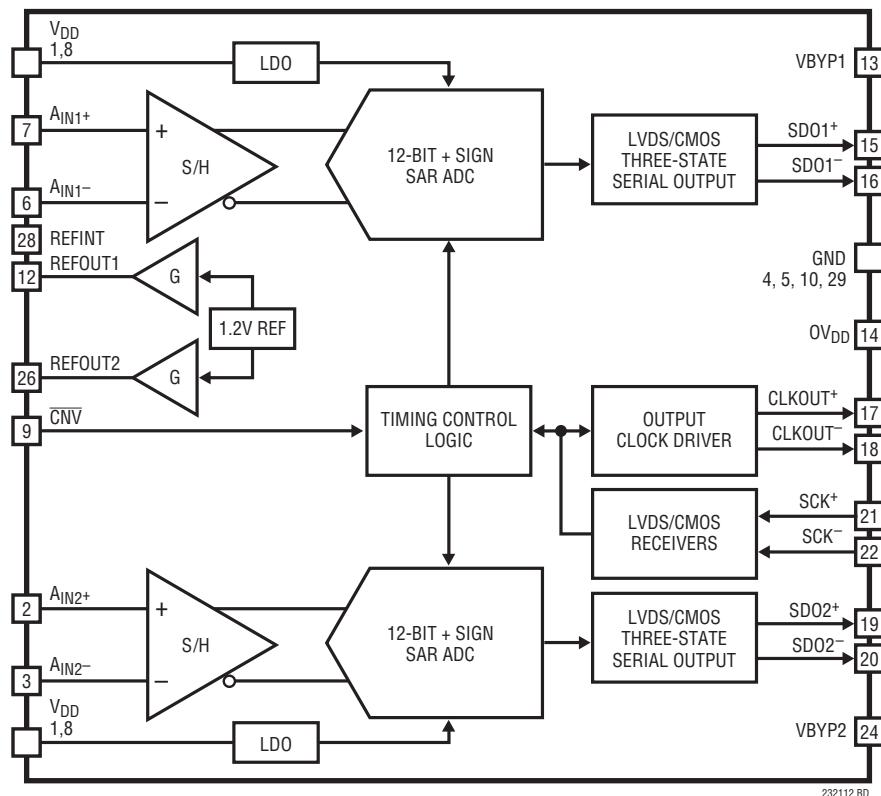
REFOUT2 (ピン26) : リファレンス・バッファ2出力。内蔵バッファはこのピンに公称4.096Vを出力します。このピンは、REFRTN2を基準にし、0.1μF(X7R、0402サイズ)のコンデンサと10μF(X5R、0805サイズ)のセラミック・コンデンサを並列に(ビアを使用しないで)接続して、このピンの近くでデカップリングする必要があります。このピンをドライブする内部バッファをディスエーブルするには、REFINTピンをグランド接続します。バッファがディスエーブルされると、外部リファレンスは1.25V～V_{DD}の範囲でこのピンをドライブできます。

REFRTN2 (ピン27) : リファレンス・バッファ2出力のリターン。REFRTN2は、REFOUT2にバイパスします。REFRTN2ピンをグランド・プレーンに接続しないでください。

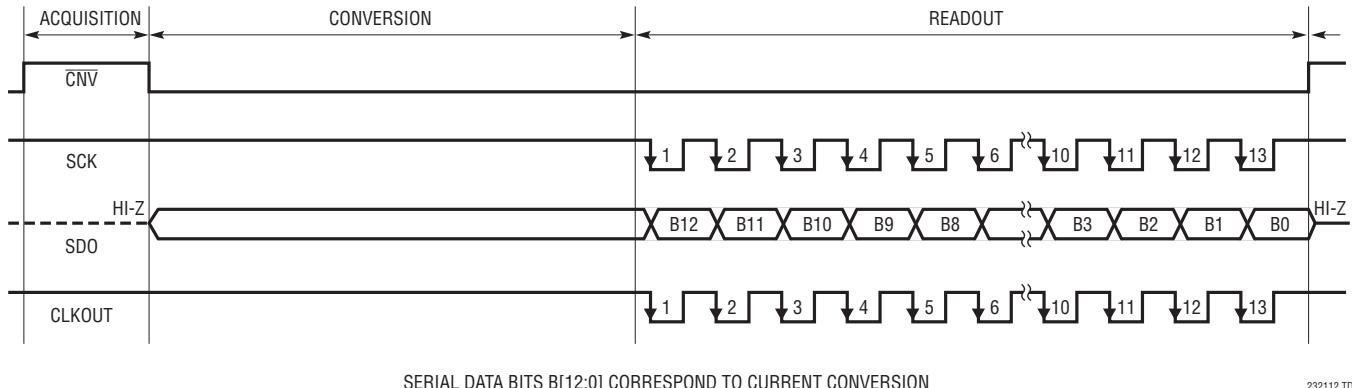
REFINT (ピン28) : リファレンス・バッファ出力イネーブル。内部リファレンスを使用する場合、このピンをV_{DD}に接続します。外部電圧リファレンスを使用する場合、このピンをグランドに接続して、内部のREFOUT1バッファとREFOUT2バッファをディスエーブルします。このピンは、V_{DD}への500kの内部プルアップを備えています。

露出パッド (ピン29) : グランド。このパッドは、グランドに半田付けします。

機能ブロック図



タイミング図



アプリケーション情報

概要

LTC2321-12は、差動入力で入力同相範囲の広い低ノイズ、高速12ビット+符号のデュアル逐次比較レジスタ(SAR)A/Dコンバータです。柔軟性の高いアナログ入力は、ハードウェア構成不要で、完全差動、疑似差動両極性、疑似差動単極性のドライブをサポートします。12ビット+符号の2の補数出力のMSBは、差動アナログ入力電圧の符号を示します。

図2に示すように、A/Dコンバータの伝達関数は、 $2 \cdot V_{REF1,2}$ のフルスケール・スパンで13ビット分解能を提供します。疑似差動ドライブなどでアナログ入力がこのフルスケール・スパン内に収まる場合、A/Dコンバータはその狭いスパン内で12ビットの分解能を提供するとともに、範囲超過および範囲未満の条件をデジタル化できるメリットがあります(表1参照)。この独自の機能は、制御ループのアプリケーションで特に役立ちます。

コンバータの動作

LTC2321-12は2つの段階で動作します。収集段階では、図3に示すように、サンプル・コンデンサがアナログ入力ピンA_{IN+}およびA_{IN-}に接続されて、差動アナログ入力電圧をサンプリングします。CNVピンの立ち下がりエッジにより変換が開始されます。変換段階では、各入力SCKパルスで13ビットCDACに対して逐次比較アルゴリズムが順番に実行され、差動コンパレータを使用してサンプリングした入力をリファレンス電圧の2進重み付け分数(例: $V_{REFOUT}/2$, $V_{REFOUT}/4$... $V_{REFOUT}/4096$)と効率的に比較します。変換の最後に、CDACの出力はサンプリングされたアナログ入力に近似します。次に、ADCの制御ロジックが、シリアル転送用の13ビット・デジタル出力コードを準備します。

伝達関数

LTC2321-12は、REFOUT1、2の2倍のフルスケール電圧を 2^{13} レベルにデジタル化するため、REFBUF = 4.096Vでは13ビット解像度の1mVになります。理想的な伝達特性を図2に示します。出力データは2の補数形式です。完全差動入力によってドライブする場合、伝達関数は 2^{13} のコードにわたります。疑似差動入力によってドライブする場合、伝達関数は 2^{12} のコードにわたります。

アプリケーション情報

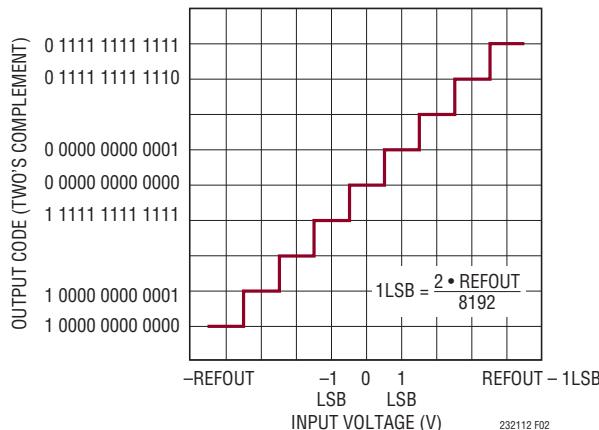


図2. LTC2321-12の伝達関数

アナログ入力

LTC2321-12の差動入力は、多種多様なアナログ信号を構成作業不要で変換できる優れた柔軟性を備えています。LTC2321-12は、広い同相入力範囲をサポートしながら、 A_{IN1+} と A_{IN1-} ピン間の差電圧をデジタル化します。各アナログ入力信号は、 $V_{DD} \sim GND$ の範囲内にある限り、互いに任意の関係を持つことができます。LTC2321-12は、疑似差動単極性/両極性、完全差動などのさらに制限されたアナログ入力信号のクラスを、構成不要でデジタル化することもできます。

LTC2321-12のアナログ入力は図3に示す等価回路でモデル化できます。入力のバック・トゥ・バック・ダイオードは、ESD保護を提供するクランプを構成します。収集段階では、サンプリング・スイッチのオン抵抗約 15Ω (R_{ON})に直列に接続されたサンプリング・コンデンサの容量 10pF (C_{IN})が、入力に接続されます。両方の入力に共通する不要な信号は、A/Dコンバータのサンプリングの同相除去によって減少します。収集段階で C_{IN} コンデンサを充電中、A/Dコンバータ・コアの入力に小電流スパイクが流れます。

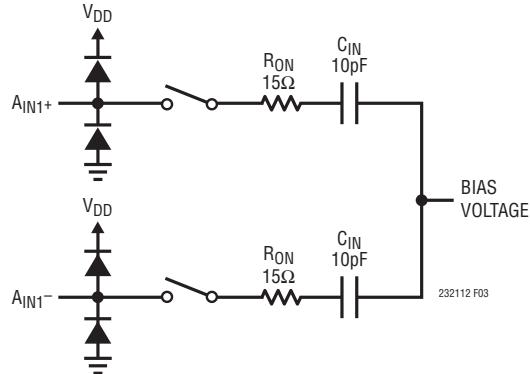


図3. LTC2321-12の差動アナログ入力の等価回路

シングルエンド信号

LTC2321-12では、シングルエンド信号を直接デジタル化できます。これらの信号は、同相除去を改善するために、疑似差動で検出する必要があります。主要なアナログ信号のリファレンス信号(例えば、グランド検出)を他方の A_{IN} ピンに接続することで、2つの信号に共通するノイズまたは乱れが、A/Dコンバータの高いCMRRによって除去されます。LTC2321-12は、構成不要で、単極性および両極性の両方の疑似差動信号を柔軟に処理します。同相入力範囲が広いため、アナログ入力の前のシグナル・コンディショニング回路の精度要件が緩和されます。

両極性の疑似差動入力電圧範囲

両極性の疑似差動構成は、アナログ入力のうちのいずれかを一定の電圧(通常 $V_{REF}/2$)でドライブし、信号を他方の A_{IN} ピンに適用することを表します。この場合、アナログ入力が固定入力電圧を中心に対称的に振幅し、フルスケールの $1/2$ のADCスパンで、両極性の2の補数出力コードが得られます。この構成を図4に示し、対応する伝達関数を図5に示します。

表1. アナログ入力動作モードのコード範囲

モード	スパン($V_{IN^+} - V_{IN^-}$)	最小コード	最大コード
Fully Differential	-REFOUT to +REFOUT	1 0000 0000 0000	0 1111 1111 1111
Pseudo Differential Bipolar	-REFOUT/2 to +REFOUT/2	1 1000 0000 0000	0 0111 1111 1111
Pseudo Differential Unipolar	0 to REFOUT	0 0000 0000 0000	0 1111 1111 1111

アプリケーション情報

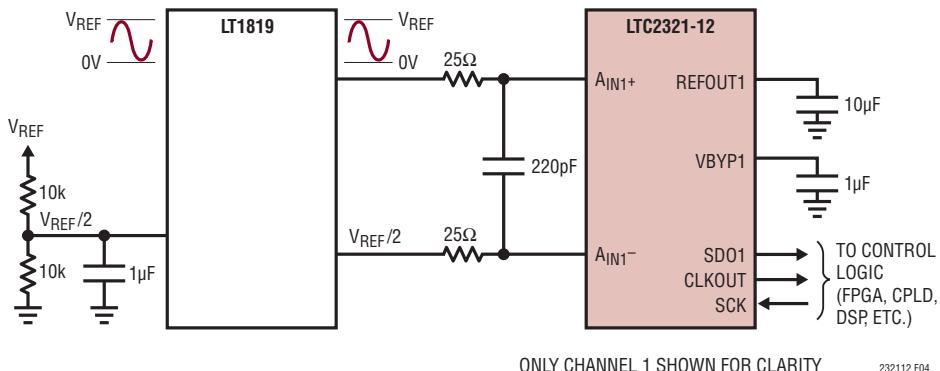


図4.両極性の疑似差動アプリケーション回路

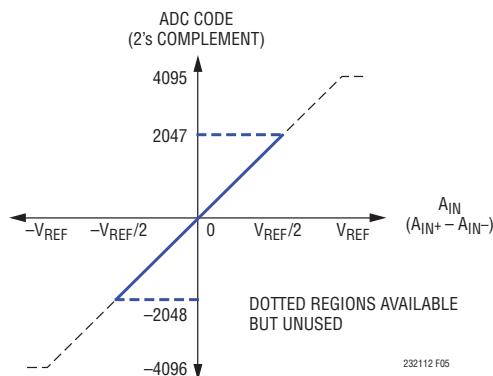


図5.両極性の疑似差動伝達関数

固定されるアナログ入力ピンは、 $V_{REF}/2$ に設定する必要はなく、 V_{DD} レールの範囲内の任意の点に設定すると、代替入力はその電圧を中心に対称的に振幅できます。入力信号($A_{IN^+} - A_{IN^-}$)が $\pm REFOUT1/2$ を超えて振幅すると、A/Dコンバータによって有効なコードが生成されます。必要に応じてユーザは、このコードをクランプします。

単極性の疑似差動入力電圧範囲

単極性の疑似差動構成は、アナログ入力のうちのいずれかをグランドで駆動し、信号を他方の A_{IN} ピンに適用することを表します。この場合、アナログ入力がグランドと V_{REF} の間で振幅し、フルスケールの1/2のADCスパンで、単極性の2の補数出力コードが得られます。この構成を図6

に示し、対応する伝達関数を図7に示します。入力信号($A_{IN^+} - A_{IN^-}$)が負に振幅すると、A/Dコンバータによって有

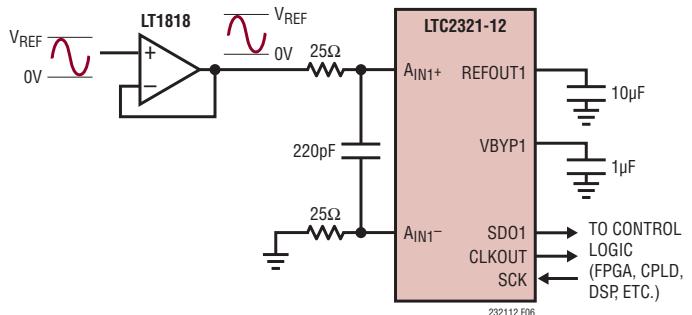


図6.単極性の疑似差動アプリケーション回路

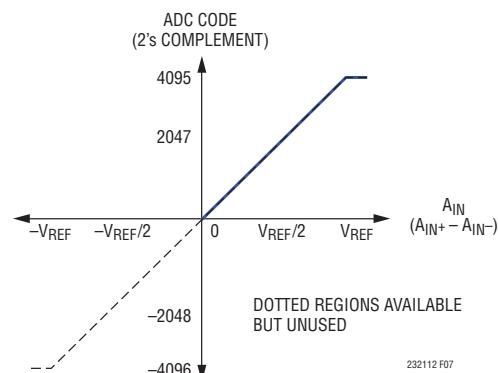


図7.単極性の疑似差動伝達関数

アプリケーション情報

効なコードが生成されます。必要に応じてユーザは、このコードをクランプします。

シングルエンドから差動への変換

前述したように、シングルエンド信号を直接デジタル化できますが、より高いダイナミックレンジが必要な場合、シングルエンドから差動への変換回路を使用することもできます。LTC2321-12の入力で差動信号を生成することによって、A/Dコンバータに入力される信号振幅が最大化され、実現可能なSNRが大きくなります。

シングルエンドから差動への変換を行うには、図8に示すように、LT[®]1819高速デュアル・オペアンプの使用を推奨します。この場合、最初のアンプはユニティゲインのバッファとして構成され、シングルエンド入力信号はこのアンプの高インピーダンス入力を直接ドライブします。

完全差動入力

LTC2321-12の歪み性能を最大限に実現するために、図9に示すように、2つのユニティゲイン・バッファとして構成されたLT1819を介して駆動される、歪みの少ない完全差動信号源を使用できます。この回路は、データシートの最大THD仕様である-85dBを、500kHz以下の入力周波数で実現します。

データシートの「標準的性能特性」の高周波数で得られる曲線では、歪みの主要源となるオペアンプを取り除くために、A/Dコンバータと信号源の間で高調波除去フィルタが使用されています。

完全差動構成によって、 $\pm\text{REFOUT1}$ 、 $\pm\text{REFOUT2}$ のアナログ入力スパン($A_{IN^+} - A_{IN^-}$)が得られます。この構成では、各AINピンの入力信号は、通常は同じスパンで、反対の極性でドライブされます。これによって、入力信号での高い同相除去が得られます。アナログ入力の同相電圧は、 V_{DD} の入力範囲内の任意の値にすることができますが、入力信号の最大範囲のピーク振幅によって制限されます。例えば、 $V_{DD} = 5\text{VDC}$ で内部リファレンスが使用された場合、入力スパンの最大範囲は $\pm 4.096\text{V}$ になります。通常は、入力スパンの1/2が各AINピンでドライブされ、AINピンごとに 4.096V_{P-P} の信号スパンが得られます。これにより、約 0.9V の同相変動許容誤差が得られます。外部リファレンスを使用すれば、A/Dコンバータのコードの全範囲をより狭い範囲に圧縮して、同相許容誤差を増やすことができます。例えば、 2.048V の外部リファレンスを $V_{DD} = 5\text{V}$ で使用すると、全スパンは $\pm 2.048\text{V}$ になり、各AINのスパンは 2.048V_{P-P} に制限され、同相範囲を約 3V にすることができます。入力スパンを圧縮すると、SNRが約 1dB 低下します。入力スパンの圧縮は、レール・トゥ・レールで振幅できない單一電

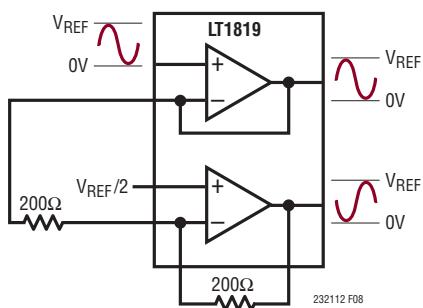


図8. シングルエンド信号から差動ドライバへの変換

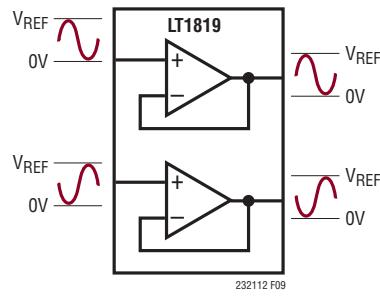


図9. 完全差動信号源のバッファとなるLT1819

アプリケーション情報

源のアナログ入力ドライバを使用する場合に役立ちます。完全差動構成を図10に示し、対応する伝達関数を図11に示します。

入力駆動回路

低インピーダンスの信号源は、利得誤差を発生することなく、LTC2321-12の高インピーダンス入力を直接ドライブすることができます。高インピーダンスの電圧源は、収集時のセトリング時間を最小にするため、およびA/Dコンバータの歪み性能

を最適化するために、バッファする必要があります。収集中にA/Dコンバータの入力に電流スパイクが流れるので、DC入力であっても、セトリング時間の最小化が重要です。

最良の性能を得るには、バッファ・アンプを使用してLTC2321-12のアナログ入力をドライブする必要があります。このアンプは出力インピーダンスが低いため、収集フェーズで、最小限の利得誤差でアナログ信号を高速にセトリングできます。また、このアンプは、信号源を、収集中に小電流スパイクが流れるA/Dコンバータの入力から分離します。

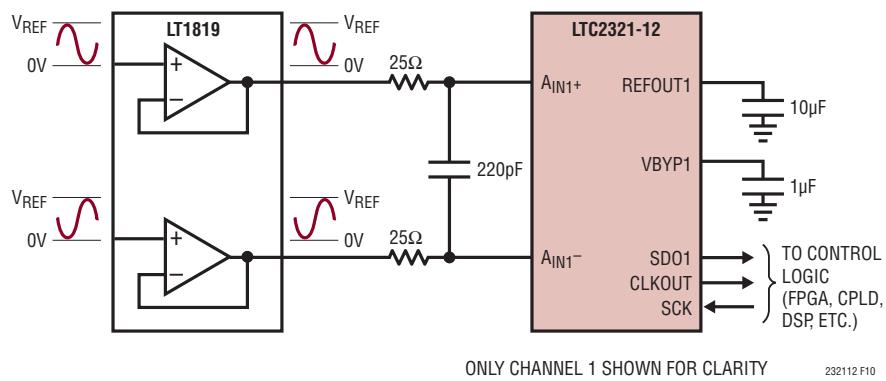


図10. 完全差動アプリケーション回路

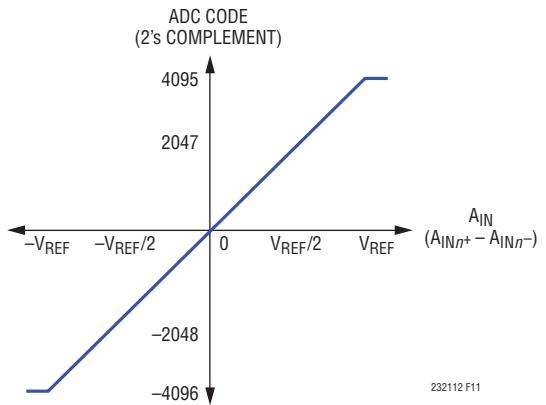


図11. 完全差動伝達関数

アプリケーション情報

入力フィルタリング

バッファ・アンプと信号源のノイズと歪みはA/Dコンバータのノイズと歪みに加わるので、これらについても考慮しなければなりません。入力信号にノイズが多い場合は、バッファ・アンプの入力の前に低帯域幅のフィルタを使ってノイズを最小限に抑えます。多くのアプリケーションでは、図12に示す簡単な1ポールのRCローパス・フィルタで十分です。

入力の抵抗分割器回路網、サンプリング・スイッチオン抵抗(R_{ON})、およびサンプル・コンデンサ(C_{IN})が第2のローパス・フィルタを構成し、ADCコアへの入力帯域幅を110MHzに制限します。ノイズ密度の低いバッファ・アンプを選択して、この帯域幅でのSNRの劣化を最小限に抑える必要があります。

RCフィルタのコンデンサと抵抗は歪みを大きくする可能性があるので、これらの部品は高品質のものを使用します。NPOタイプやシルバーマイカ・タイプの誘電体のコンデンサは優れた直線性を示します。表面実装型カーボン抵抗は、半田付け工程で生じる損傷および自己発熱により歪みが生じることがあります。表面実装型金属皮膜抵抗は、この2つの問題に対してはるかに耐性があります。

A/Dコンバータのリファレンス

内部リファレンス

LTC2321-12は、オンチップ、低ノイズ、低ドリフト(最大20ppm/ $^{\circ}\text{C}$)、温度補償バンドギャップ・リファレンスを内蔵しています。これは内部でバッファされ、REFOUT1、2(ピン12、26)で使用できます。リファレンス・バッファによって、電源電圧が $V_{DD} = 5\text{V}$ の場合は4.096Vの内部リファレンス電圧が得られ、電源電圧が $V_{DD} = 3.3\text{V}$ の場合は2.048Vの内部リファレンス電圧が得られます。リファレンス・バッファを補償してノイズを最小限に抑えるために、0.1 μF (X7R、0402サイズ)のコンデンサと10 μF (X5R、0805サイズ)のセラミック・コンデンサを並列に組み合わせて使用し、REFOUT1、2をREFRTN1、2にバイパスします。0.1 μF のコンデンサをできるだけLTC2321-12パッケージの近くに配置して、配線インダクタンスを最小限に抑えるようにしてください。内部リファレンス・バッファをインペリアルするには、REFINTピンを V_{DD} に接続します。

表2. REFOUT1、2の電流源および範囲と V_{DD}

V_{DD}	REFINTピン	REFOUT1、2ピン	差動スパン
5V	5V	Internal 4.096V	$\pm 4.096\text{V}$
5V	0V	External (1.25V to 5V)	$\pm 1.25\text{V}$ to $\pm 5\text{V}$
3.3V	3.3V	Internal 2.048V	$\pm 2.048\text{V}$
3.3V	0V	External (1.25V to 3.3V)	$\pm 1.25\text{V}$ to $\pm 3.3\text{V}$

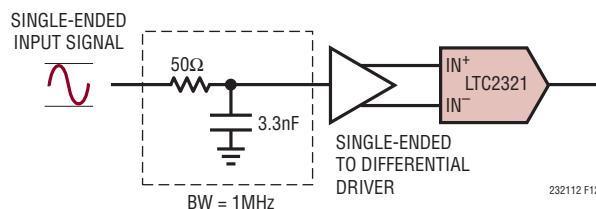


図12. 入力信号チェーン

アプリケーション情報

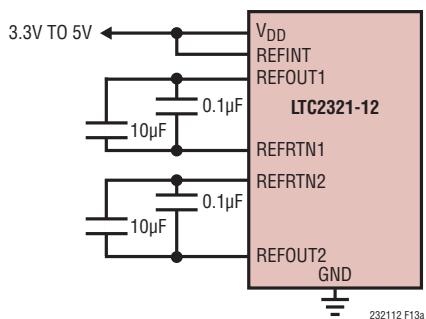
外部リファレンス

図13bおよび13cに示すように、内部リファレンス・バッファは、REFOUT1、2に外部リファレンスを使用して1.25V～5Vの範囲でオーバードライブすることもできます。この構成にするには、REFINTをグランド接続してリファレンス・バッファをディスエーブルする必要があります。リファレンス・バッファがディスエーブルされると、55kの内部抵抗がREFOUT1、2ピンに負荷を加えます。入力信号振幅と対応するSNRをできるだけ大きくするため、REFOUTをオーバードライブする場合はLTC6655-5の使用を推奨します。LTC6655-5は、LTC6655-4.096と同様に小型、高精度、低ドリフトで、拡張温度範囲に対応します。5Vリファレンスを使用することで、さらに高いSNRを実現できます。0.1μF(X7R、

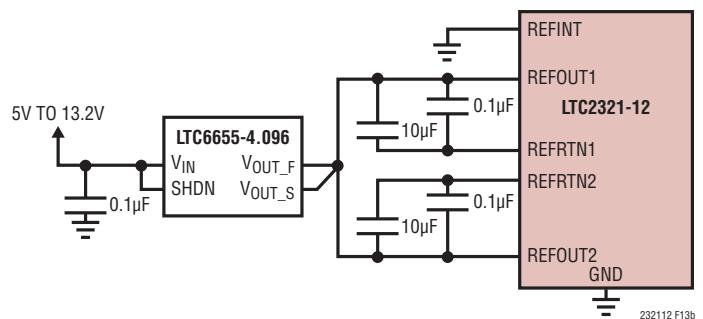
0402サイズ)のセラミック・コンデンサと10μF(X5R、0805サイズ)のセラミック・コンデンサを並列に組み合わせ、REFOUT1、2ピンとREFRTN1、2ピンにそれぞれ近づけて使用して、LTC6655-5をバイパスすることを推奨します。

内部リファレンス・バッファのトランジメント応答

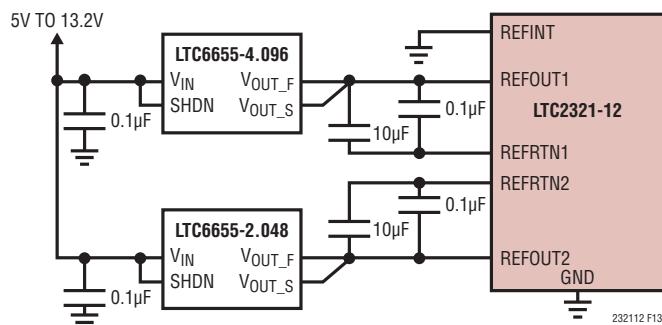
各変換サイクル中に、LTC2321-12のREFOUT1、2ピンには外部バイパス・コンデンサから電荷(QCONV)が流れます。内部リファレンス・バッファをオーバードライブする場合は、外部リファレンスが $I_{REF} = Q_{CONV}/t_{CYC}$ に等しいDC電流でこの全電荷を供給する必要があります。したがって、REFOUT1、2に流れるDC電流は、サンプリング・レートと出力コードによって異なります。図14に示すように、長時間のアイドル状



(13a) LTC2321-12 の内部リファレンス回路



(13b) 共有された外部リファレンス回路に接続された LTC2321-12



(13c) 異なる外部リファレンス電圧に接続された LTC2321-12

図13. リファレンスの接続

アプリケーション情報

態の後、集中的にサンプリングされるアプリケーションでは、 I_{REFBUF} は短時間で約 $75\ \mu A$ から最大 $400\ \mu A$ ($REFOUT = 5V$, $2MspS$)になります。このDC電流のステップにより、外部リファレンスのトランジエント応答がトリガされます。 $REFOUT$ の電圧が正常値から逸脱すると、出力コードの精度に影響を与えるので、このトランジエント応答には注意が必要です。外部リファレンスを使用して $REFOUT1$ 、 2 をオーバードライブする場合は、高速でセトリングする LTC6655 リファレンスの使用を推奨します。

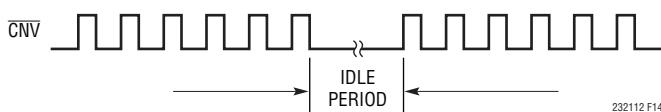


図14. バースト・サンプリングを示すCNVの波形

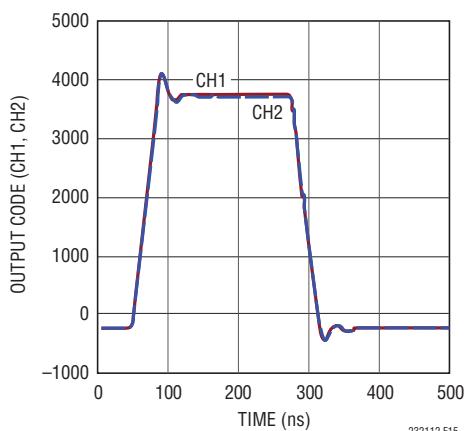


図15. LTC2321-12のトランジエント応答

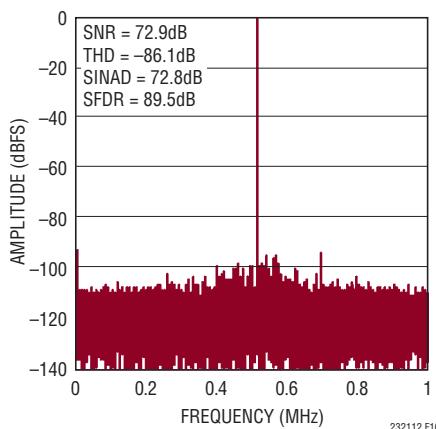


図16. LTC2321-12の32kポイントのFFT

ダイナミック性能

A/Dコンバータの周波数応答、歪み、およびノイズを定格スループットでテストするには、高速フーリエ変換(FFT)の手法が使われます。低歪みの正弦波を入力し、そのデジタル出力をFFTアルゴリズムを使用して解析することにより、基本波の外側の周波数に関してA/Dコンバータのスペクトルの内容を調べることができます。LTC2321-12では、AC歪みとノイズの測定値について、保証されたテスト済みの限界値を示しています。

信号対ノイズ+歪み比(SINAD)

信号対ノイズ+歪み比(SINAD)は、基本入力周波数の RMS 振幅とA/Dコンバータ出力での他のすべての周波数成分の RMS 振幅の比です。出力の帯域は、DCより高くサンプリング周波数の半分より低い周波数に制限されます。図16は、LTC2321-12が500kHzの入力、2MHzのサンプリング・レートで標準のSINADである72.8dBを達成していることを示しています。

信号対ノイズ比(SNR)

信号対ノイズ比(SNR)は、基本入力周波数の RMS 振幅と、1次から5次までの高調波とDCを除く他のすべての周波数成分の RMS 振幅の比です。図16は、LTC2321-12が500kHzの入力、2MHzのサンプリング・レートで、73dBの標準SNRを達成することを示しています。

アプリケーション情報

全高調波歪み(THD)

全高調波歪み(THD)は、入力信号のすべての高調波のRMS値の合計と基本波のRMS値との比です。帯域外高調波は、DCからサンプリング周波数の半分($f_{SMPL}/2$)までの周波数帯域で折り返し歪みを生じます。THDは次のように表されます。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}}{V_1}$$

ここで、 V_1 は基本周波数のRMS振幅で、 $V_2 \sim V_N$ は2次～N次の高調波の振幅です。

電源に関する検討項目

LTC2321-12は、5V電源(V_{DD})とデジタル入力/出力インターフェースの電源(OV_{DD})の2つの電源を必要とします。柔軟性の高い OV_{DD} 電源により、LTC2321-12は、1.8V～2.5Vで

動作するどんなデジタル・ロジックとも通信することができます。LVDS I/Oを使用する場合、 OV_{DD} 電源を2.5Vに設定する必要があります。

電源シーケンシング

LTC2321-12には電源シーケンシングに関する特別な要件はありません。「絶対最大定格」のセクションに記載されている最大電圧の関係を遵守するよう注意する必要があります。LTC2321-12は、最初の起動時、または電源電圧が2Vより低くなったとき必ずLTC2321-12をリセットするパワーオン・リセット(POR)回路を備えています。電源電圧が公称電源電圧範囲に戻ると、PORはA/Dコンバータを再度初期化します。再初期化の期間が確実に終了するように、PORイベントの10ms後までは変換を開始しないようにします。この時点より前に変換を開始すると、結果は無効になります。

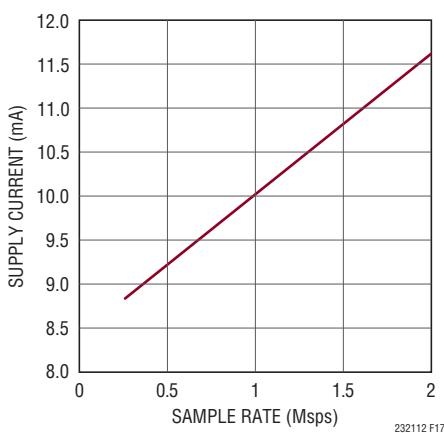


図17. LTC2321-12の電源電流とサンプリング・レート

アプリケーション情報

タイミングと制御

CNVのタイミング

LTC2321-12のサンプリングと変換は、 $\overline{\text{CNV}}$ によって制御されます。 $\overline{\text{CNV}}$ の立ち上がりエッジでサンプリングが開始され、立ち下がりエッジで変換処理と読み取り処理が開始されます。変換処理は、SCK 入力クロックによって同期が取られます。最適な性能を得るには、 $\overline{\text{CNV}}$ をノイズのない低ジッタの信号で駆動します。このデータシートの最後にある「標準的応用例」で、FPGA の $\overline{\text{CNV}}$ パルス源から相対的に大きいジッタを低減するために推奨される実装を示しています。低ジッタの入力クロックを使用して、 $\overline{\text{CNV}}$ 信号の立ち下がりエッジの同期を取ることに注意してください。 $\overline{\text{CNV}}$ の立ち上がりエッジのジッタは、性能に関してあまり重要ではありません。 $\overline{\text{CNV}}$ 信号の標準的なパルス幅は、2Mspsの変換レートで30nsです。

SCKシリアル・データ・クロック入力

このクロックの立ち下がりエッジで、変換結果がMSBを先頭にSDOピンにシフト出力されます。2Mspsのスループットを実現するには、64MHzの外部クロックをSCKピンに適用する必要があります。

CLKOUTシリアル・データ・クロック出力

CLKOUT出力は、レシーバでSDO出力をラッチするために、スキーが一致するクロック信号を提供します。CLKOUT出力とSDO出力のタイミング・スキーが整合されます。高スループットのアプリケーションでは、SCKの代わりにCLKOUTを使用してSDO出力を捕捉することで、レシーバのタイミング要件が緩和されます。低スループットのアプリケーションでは、CLKOUT⁻をOV_{DD}に接続して、CLKOUT⁺をディスエーブルできます。

ナップ・モード/スリープ・モード

ナップ・モードは、それに続く変換でパワーアップ遅延を発生させずに、消費電力を節減する方法です。スリープ・モードは大幅に消費電力を節減しますが、リファレンス・システムと電源システムを有効にするために、パワーアップ遅延を発生させます。LTC2321-12をナップ・モードにするには、SCK信号を“H”または“L”に保ち、連続する2つの $\overline{\text{CNV}}$ パルスを入力する必要があります。これは、CMOS モードとLVDS モードの両方に当てはまります。 $\overline{\text{CNV}}$ の2番目の立ち上がりエッジで、ナップ・ステートが開始されます。ナップ・ステートは、SCK信号の立ち上がりエッジが1回入力されるか、さらに $\overline{\text{CNV}}$ パルスが入力されるまで続きます。SCKの立ち上がりエッジで、LTC2321-12は動作(フルパワー)ステートに戻ります。ナップ・モードにあるときに2つのパルスを追加すると、LTC2321-12はスリープ・モードになります。CMOS I/O動作用に構成されている場合、SCK信号の立ち上がりエッジ1回でLTC2321-12を動作モードに戻すことができます。リファレンス・バッファが外部フィルタ・コンデンサを再充電できるようにするために、スリープ・モードを抜けた後で10msの遅延が必要です。LVDS モードでは、5番目の $\overline{\text{CNV}}$ パルスを供給することで、スリープ・モードを抜けます。この5番目のパルスによってLTC2321-12が動作モードに戻り、さらにSCKパルスを供給すると、デバイスはナップ・モードとスリープ・モードに戻らなくなります。5番目のSCKパルスは、スリープを抜ける手段としてCMOS モードでも機能します。SCKパルスが供給されない状態で $\overline{\text{CNV}}$ パルスを繰り返すと、LTC2321-12は、動作モード、ナップ・モード、およびスリープ・モードの間で無限に循環します。

スリープ・モードとナップ・モードのタイミングの詳細については、図18、図19、図20、および図21のタイミング図を参照してください。

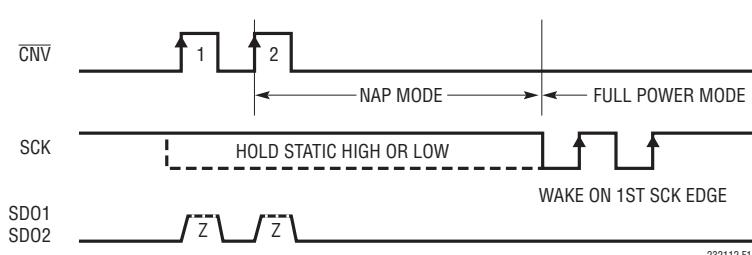


図18. CMOS モードとLVDS モードでのナップとSCKを使用した起動

アプリケーション情報

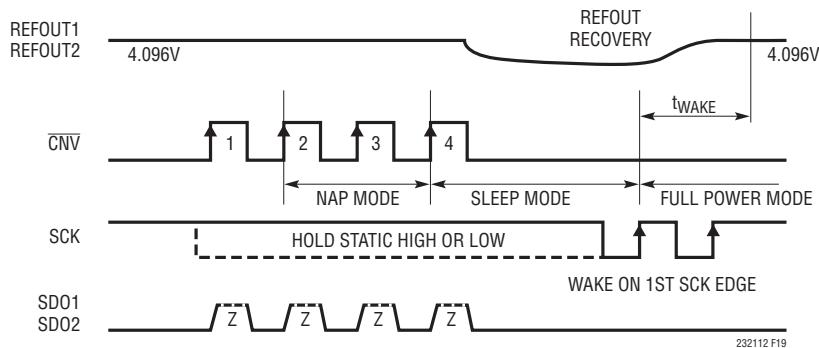


図19. CMOSモードでのスリープとSCKを使用した起動

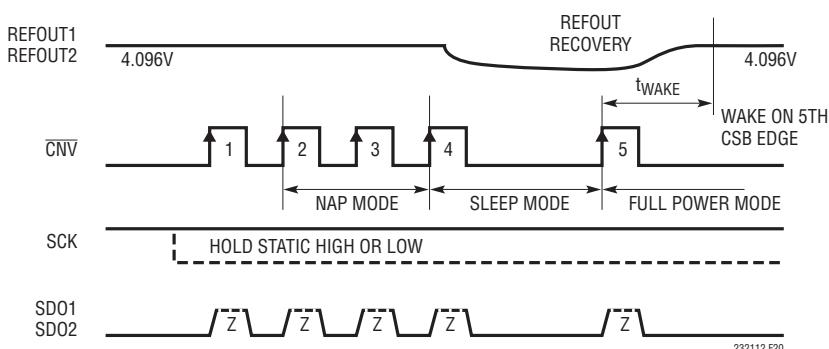


図20. LVDSモードとCMOSモードでのスリープとCNVを使用した起動

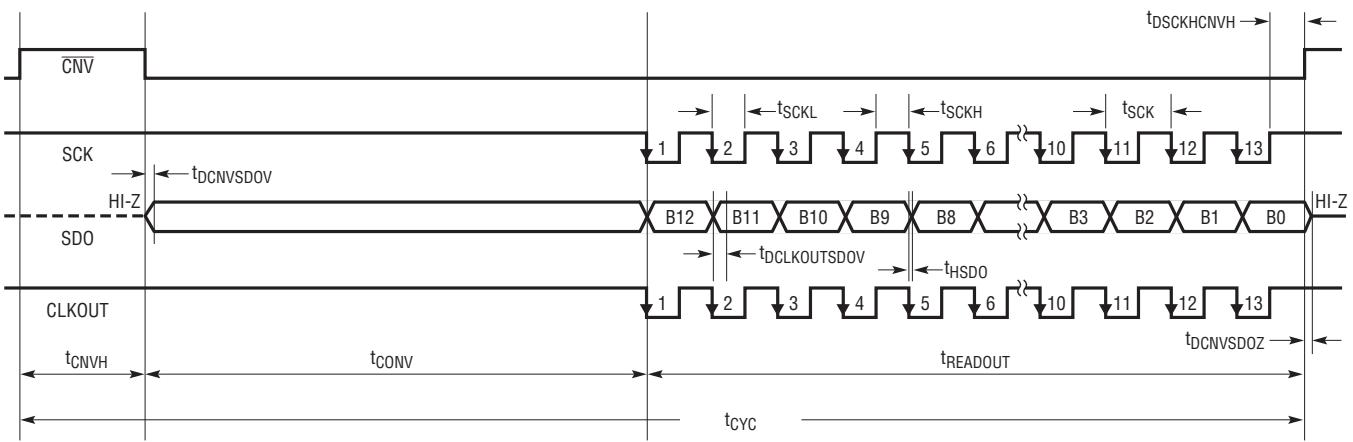


図21. LTC2321-12のタイミング図

232112fa

アプリケーション情報

デジタル・インターフェース

LTC2321-12は、簡単で使いやすいシリアル・デジタル・インターフェースを特徴としています。柔軟性の高いOV_{DD}電源により、LTC2321-12は、1.8V～2.5Vで動作するどんなデジタル・ロジックとも通信することができます。2MspSのスループットを実現するには、64MHzの外部クロックをSCKピンに適用する必要があります。

LTC2321-12は、標準のCMOS SPIインターフェースの他に、低ノイズのデジタル設計をサポートするLVDS SPIインターフェースをオプションで提供しています。CMOS/LVDSピンを使用して、デジタル・インターフェースのモードを選択します。

SCKの立ち下がりエッジで変換結果がMSBを先頭にSDOピンにシフト出力されます。CLKOUTは、レシーバでSDO出力をラッチするために、スキーが一致するクロック信号を提供します。CLKOUT出力とSDO出力のタイミング・スキーが

整合されます。高スループットのアプリケーションでは、SCKの代わりにCLKOUTを使用してSDO出力を捕捉することで、レシーバのタイミング要件が緩和されます。

CMOSモードでは、SDO1⁺ピン、SDO2⁺ピン、CLKOUT⁺ピンを出力として使用します。SCK⁺ピンは入力として使用します。SDO1⁻ピン、SDO2⁻ピン、SCK⁻ピン、CLKOUT⁻ピンは、それOGNDへの内部プルダウン回路を備えているため、これらのピンは接続しないでください。

LVDSモードでは、SDO1^{+/SDO1⁻}ピン、SDO2^{+/SDO2⁻}ピン、CLKOUT^{+/CLKOUT⁻}ピンを差動出力として使用します。これらのピンは、外付けの100Ω抵抗を使用して、レシーバ(FPGA)で差動終端する必要があります。SCK^{+/SCK⁻}ピンは差動入力であり、外付けの100Ω抵抗を使用してレシーバ(ADC)で差動終端する必要があります。

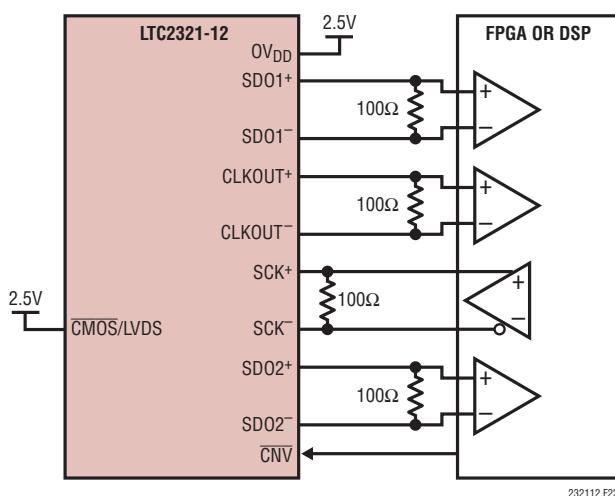


図22. LVDSインターフェースを使用したLTC2321

アプリケーション情報

基板のレイアウト

LTC2321-12から最大限の性能を引き出すには、プリント回路基板を推奨します。プリント回路基板(PCB)のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・クロックやデジタル信号は、アナログ信号の近くに配線したり、A/Dコンバータの下に配線したりしないように注意します。

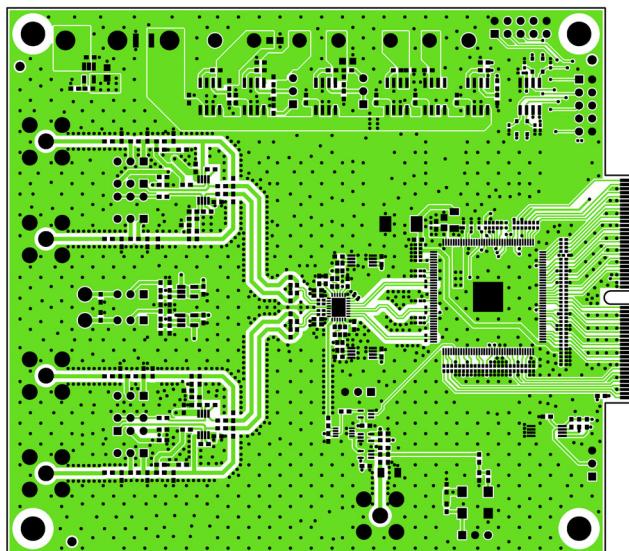


図1. 第1層、トップ層

推奨レイアウト

推奨するPCBレイアウトの一例を次に示します。切れ目のない単一のグランド・プレーンを使用します。電源へのバイパス・コンデンサは電源ピンのできるだけ近くに配置します。A/Dコンバータを低ノイズで動作させるには、これらのバイパス・コンデンサに低インピーダンスの共通の戻り線を使うことが不可欠です。アナログ入力のトレースはグランドで遮蔽します。詳細については、LTC2321-12用評価キットDC1996を参照してください。

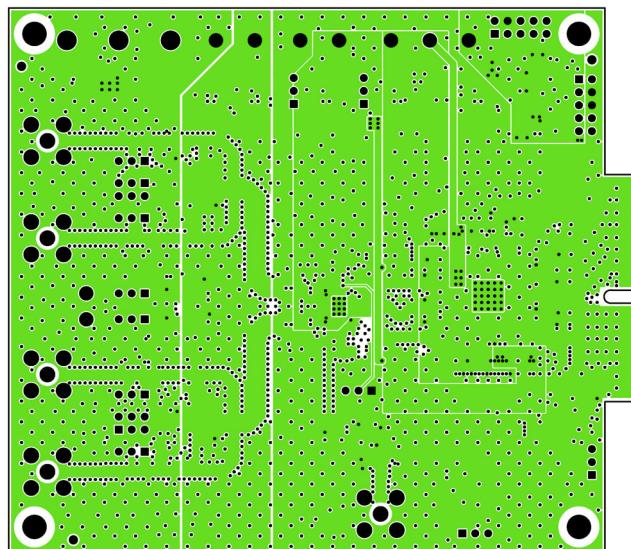


図3. 第3層、電源プレーン

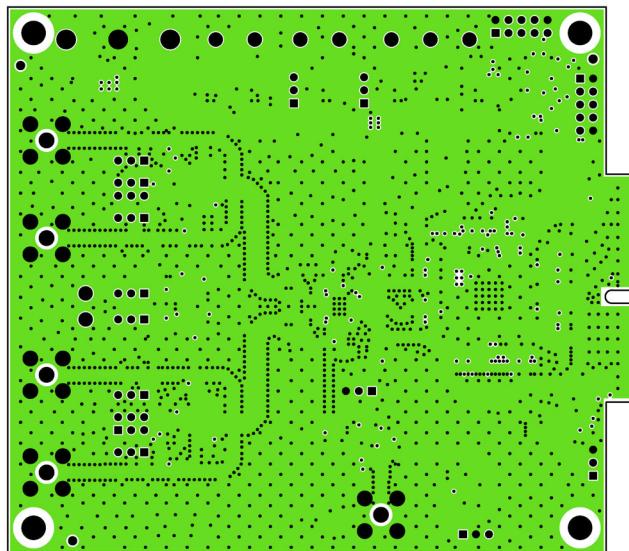


図2. 第2層、グランド・プレーン

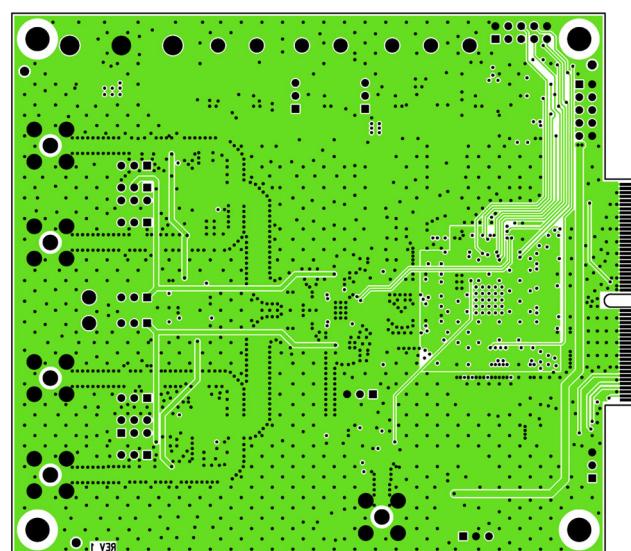
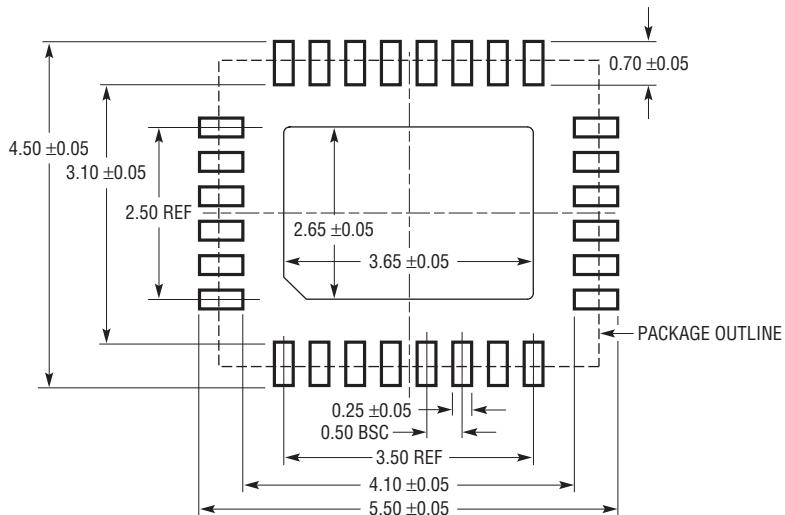


図4. 第4層、ボトム層

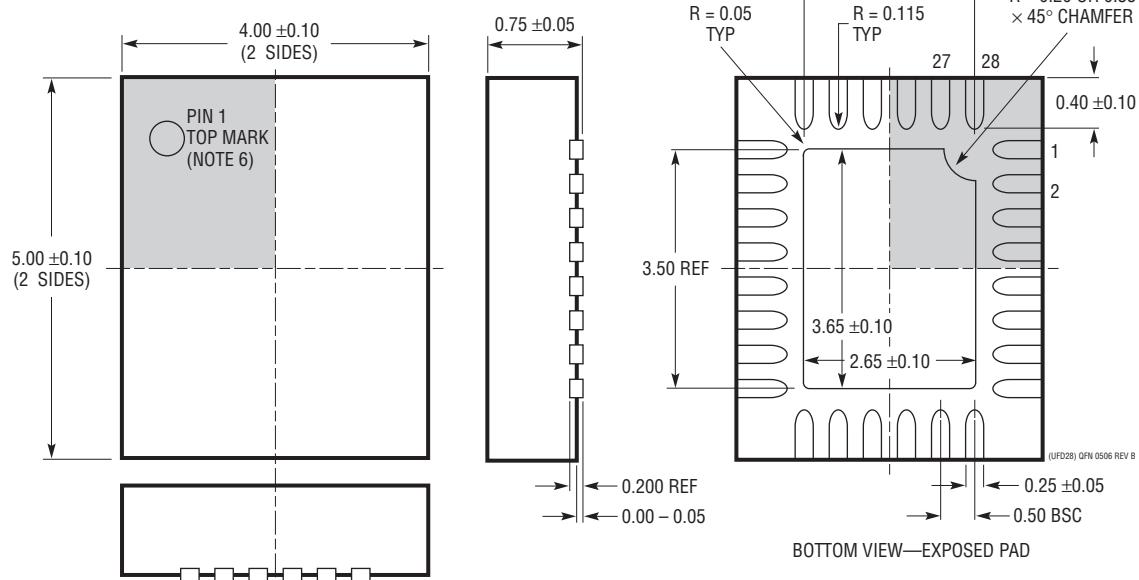
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

**UFD Package
28-Lead Plastic QFN (4mm × 5mm)**
(Reference LTC DWG # 05-08-1712 Rev B)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



注記：

1. 図はJEDECパッケージ外形M0-220のバリエーション(WXX-X)にするよう提案されている
 2. 図は実寸とは異なる
 3. すべての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
 5. 露出パッドは半田めッキとする
 6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

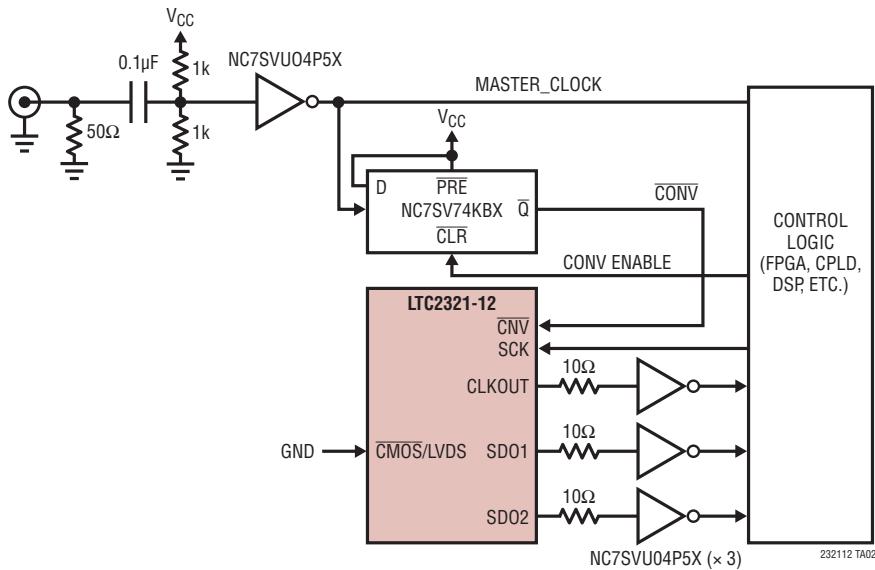
改訂履歴

REV	日付	概要	ページ番号
A	10/14	タイミング特性と図21を更新。	6、21

LTC2321-12

標準的応用例

クロック方形波発生/レベルシフト回路を使用してフリップフロップのタイミングを再設定する
RF正弦波発生器付き低ジッタ・クロック・タイミング



関連製品

製品番号	説明	注釈
A/Dコンバータ		
LTC2321-16/LTC2321-14	16/14ビット、2Msps同時サンプリングA/Dコンバータ	3.3V/5V電源差動入力同相範囲、4mm×5mm QFN-28パッケージ
LTC2314-14	14ビット、4.5MspsシリアルA/Dコンバータ	3V/5V電源、18mW/31mW、20ppm/°Cの最大内部リファレンス、单極性入力、8ピンTSOT-23パッケージ
LTC2370-16/LTC2368-16/ LTC2367-16/LTC2364-16	16ビット、2Msps/1Msps/500ksps/250kspsシリアル、低消費電力A/Dコンバータ	2.5V電源、单極性の疑似差動入力、SNR:94dB、入力範囲:5V、DGC、MSOP-16および4mm×3mm DFN-16パッケージのピン互換ファミリ
LTC2380-16/LTC2378-16/ LTC2377-16/LTC2376-16	16ビット、2Msps/1Msps/500ksps/250kspsシリアル、低消費電力A/Dコンバータ	2.5V電源、差動入力、SNR:96.2dB、入力範囲:±5V、DGC、MSOP-16および4mm×3mm DFN-16パッケージのピン互換ファミリ
D/Aコンバータ		
LTC2632	リファレンス内蔵のデュアル12/10/8ビット、SPI V _{OUT} DAC	2.7V～5.5V電源範囲、10ppm/°Cリファレンス、外部REFモード、レール・トゥ・レール出力、8ピンThinSOT™パッケージ
LTC2602/LTC2612/ LTC2622	外部リファレンスを使用するデュアル16/14/12ビットSPI V _{OUT} DAC	300μA/DAC、電源範囲:2.5V～5.5V、レール・トゥ・レール出力、8ピンMSOPパッケージ
リファレンス		
LTC6655	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	5V/4.096V/3.3V/3V/2.5V/2.048V/1.25V、5ppm/°C、ピーク・トゥ・ピーク・ノイズ:0.25ppm、MSOP-8パッケージ
LTC6652	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	5V/4.096V/3.3V/3V/2.5V/2.048V/1.25V、5ppm/°C、ピーク・トゥ・ピーク・ノイズ:2.1ppm、MSOP-8パッケージ
アンプ		
LT1818/LT1819	400MHz、2500V/μs、9mAシングル/デュアル・オペアンプ	5MHzでの歪み:-85dBc、入力ノイズ電圧:6nV/√Hz、電源電流:9mA、ユニティゲイン安定
LT1806	325MHz、シングル、レール・トゥ・レール入出力、低歪み、低ノイズ高精度オペアンプ	5MHzでの歪み:-80dBc、入力ノイズ電圧:3.5nV/√Hz、電源電流:9mA、ユニティゲイン安定
LT6200	165MHz、レール・トゥ・レール入出力、0.95nV/√Hzの低ノイズ、オペアンプ・ファミリ	低ノイズ、低歪み、ユニティゲイン安定

232112fa

26

リニアテクノロジー株式会社

〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F

TEL 03-5226-7291 • FAX 03-5226-0268 • www.linear-tech.co.jp/LTC2321-12

LT 1014 REV A • PRINTED IN JAPAN

LINEAR
TECHNOLOGY

© LINEAR TECHNOLOGY CORPORATION 2014