

オクタール、12ビット+符号、 1.5MSPS/チャンネル 同時サンプリング A/D コンバータ

特長

- スループット・レート: 1.5MSPS/チャンネル
- 8つ同時のチャンネルのサンプリング
- 欠落コードのない12ビットを保証
- 入力同相範囲の広い差動入力: 8V_{P-P}
- SNR: 標準 77dB ($f_{IN} = 500\text{kHz}$)
- THD: 標準 -90dB ($f_{IN} = 500\text{kHz}$)
- 125°Cまでの動作を保証
- 3.3Vまたは5V単電源
- 2.048Vまたは4.096Vの低ドリフト(最大 20ppm/°C)内部リファレンス
- I/O(入出力)の電圧範囲: 1.8V ~ 2.5V
- SPI 互換シリアル I/O: CMOS または LVDS
- 電力損失: 20mW/チャンネル(標準)
- 小型 52ピン(7mm×8mm) QFN パッケージ

アプリケーション

- 高速データ収集システム
- 通信
- リモート・データ収集
- 画像処理
- 光通信
- 自動車用機器
- 多相モータ制御

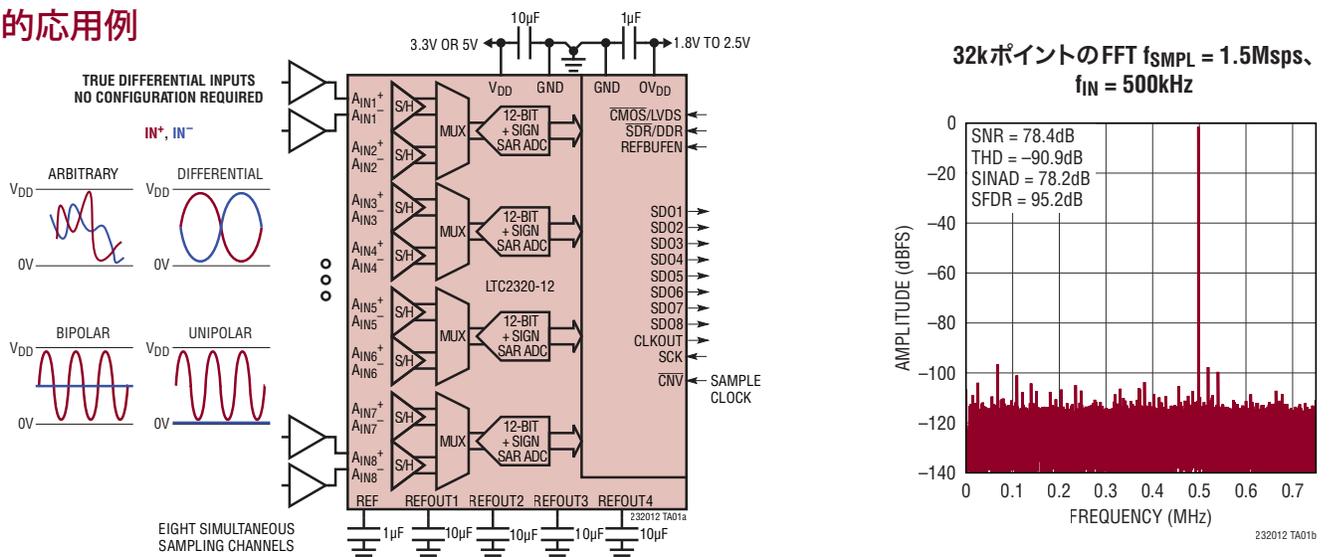
概要

LTC[®]2320-12は、差動入力で入力同相範囲の広い低ノイズ、高速オクタール12ビット+符号の逐次比較レジスタ(SAR) A/Dコンバータです。LTC2320-12は3.3Vまたは5V単電源で動作し、差動入力範囲が8V_{P-P}なので、広いダイナミックレンジと高い同相電圧除去比が要求されるアプリケーションに最適です。LTC2320-12は、±0.25LSBのINL(標準)、12ビット分解能で欠落コードなし、77dBのSNRを実現します。

LTC2320-12は、低ドリフト(最大20ppm/°C)の2.048Vまたは4.096V温度補償リファレンスを内蔵しています。LTC2320-12は、CMOSまたはLVDSをサポートするSPI互換の高速シリアル・インタフェースも内蔵しています。LTC2320-12はスループットが1.5MSPS/チャンネルと高速で待ち時間がないので、多種多様な高速アプリケーションに最適です。LTC2320-12の消費電力はわずか20mW/チャンネルであり、非活動期間中の消費電力をさらに節減するため消費電力を26μWまで低減するナップ・モードとスリープ・モードを備えています。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリアテクノロジ社の登録商標です。ThinSOTはリアテクノロジ社の商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



LTC2320-12

絶対最大定格

(Note 1, 2)

電源電圧 (V_{DD}) 6V

電源電圧 (OV_{DD}) 3V

アナログ入力電圧

A_{IN}^+ , A_{IN}^- (Note 3) $-0.3V \sim (V_{DD} + 0.3V)$

REFOUT1, 2, 3, 4 $-0.3V \sim (V_{DD} + 0.3V)$

\overline{CNV} $-0.3V \sim (OV_{DD} + 0.3V)$

デジタル入力電圧

(Note 3) ($GND - 0.3V$) \sim ($OV_{DD} + 0.3V$)

デジタル出力電圧

(Note 3) ($GND - 0.3V$) \sim ($OV_{DD} + 0.3V$)

動作温度範囲

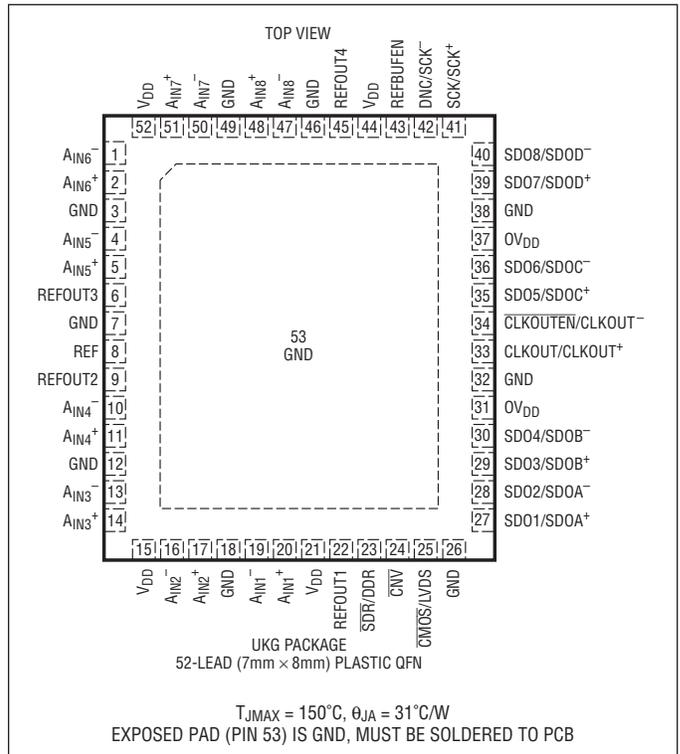
LTC2320C $0^\circ C \sim 70^\circ C$

LTC2320I $-40^\circ C \sim 85^\circ C$

LTC2320H $-40^\circ C \sim 125^\circ C$

保存温度範囲 $-65^\circ C \sim 150^\circ C$

ピン配置



発注情報 <http://www.linear-tech.co.jp/product/LTC2320-12#orderinfo>

無鉛仕上げ	テープ・アンド・リール	製品マーキング*	パッケージ	温度範囲
LTC2320CUKG-12#PBF	LTC2320CUKG-12#TRPBF	LTC2320UKG-12	52-Lead (7mm×8mm) Plastic QFN	$0^\circ C$ to $70^\circ C$
LTC2320IUKG-12#PBF	LTC2320IUKG-12#TRPBF	LTC2320UKG-12	52-Lead (7mm×8mm) Plastic QFN	$-40^\circ C$ to $85^\circ C$
LTC2320HUKG-12#PBF	LTC2320HUKG-12#TRPBF	LTC2320UKG-12	52-Lead (7mm×8mm) Plastic QFN	$-40^\circ C$ to $125^\circ C$

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

一部のパッケージは、指定販売チャンネルを通じて、#TRMPBFの接尾辞付きで500単位のリールで供給されます。

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN}^+	Absolute Input Range (A_{IN}^+ to A_{IN}^-)	(Note 5)	●	0		V_{DD}	V
V_{IN}^-	Absolute Input Range (A_{IN}^+ to A_{IN}^-)	(Note 5)	●	0		V_{DD}	V
$V_{IN}^+ - V_{IN}^-$	Input Differential Voltage Range	$V_{IN} = V_{IN}^+ - V_{IN}^-$	●	$-\text{REFOUT}_{1,2,3,4}$		$\text{REFOUT}_{1,2,3,4}$	V
V_{CM}	Common Mode Input Range	$V_{CM} = (V_{IN}^+ + V_{IN}^-)/2$	●	0		V_{DD}	V
I_{IN}	Analog Input DC Leakage Current		●	-1		1	μA
C_{IN}	Analog Input Capacitance				10		pF
CMRR	Input Common Mode Rejection Ratio	$f_{IN} = 500\text{kHz}$			102		dB
V_{IHCNV}	\overline{CNV} High Level Input Voltage		●	1.5			V
V_{ILCNV}	\overline{CNV} Low Level Input Voltage		●			0.5	V
I_{INCNV}	\overline{CNV} Input Current		●	-10		10	μA

コンバータの特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	Resolution		●	12			Bits
	No Missing Codes		●	12			Bits
	Transition Noise				0.2		LSB_{RMS}
INL	Integral Linearity Error	(Note 6)	●	-1	± 0.25	1	LSB
DNL	Differential Linearity Error		●	-0.99	± 0.4	0.99	LSB
BZE	Bipolar Zero-Scale Error	(Note 7)	●	-1.5	0	1.5	LSB
	Bipolar Zero-Scale Error Drift				0.005		$\text{LSB}/^\circ\text{C}$
FSE	Bipolar Full-Scale Error	$V_{\text{REFOUT}_{1,2,3,4}} = 4.096\text{V}$ (REFBUFEN Grounded) (Note 7)	●	-3	0	3	LSB
	Bipolar Full-Scale Error Drift	$V_{\text{REFOUT}_{1,2,3,4}} = 4.096\text{V}$ (REFBUFEN Grounded)			15		$\text{ppm}/^\circ\text{C}$

ダイナミック精度

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。また、 $A_{IN} = -1\text{dBFS}$ (Note 4、8)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
SINAD	Signal-to-(Noise + Distortion) Ratio	$f_{IN} = 500\text{kHz}$, $V_{REFOUT1,2,3,4} = 4.096\text{V}$, Internal Reference	●	74	77		dB
		$f_{IN} = 500\text{kHz}$, $V_{REFOUT1,2,3,4} = 5\text{V}$, External Reference			77		dB
SNR	Signal-to-Noise Ratio	$f_{IN} = 500\text{kHz}$, $V_{REFOUT1,2,3,4} = 4.096\text{V}$, Internal Reference	●	75	77		dB
		$f_{IN} = 500\text{kHz}$, $V_{REFOUT1,2,3,4} = 5\text{V}$, External Reference			77.5		dB
THD	Total Harmonic Distortion	$f_{IN} = 500\text{kHz}$, $V_{REFOUT1,2,3,4} = 4.096\text{V}$, Internal Reference	●		-90	-76	dB
		$f_{IN} = 500\text{kHz}$, $V_{REFOUT1,2,3,4} = 5\text{V}$, External Reference			-91		dB
SFDR	Spurious Free Dynamic Range	$f_{IN} = 500\text{kHz}$, $V_{REFOUT1,2,3,4} = 4.096\text{V}$, Internal Reference	●	76	93		dB
		$f_{IN} = 500\text{kHz}$, $V_{REFOUT1,2,3,4} = 5\text{V}$, External Reference			93		dB
	-3dB Input Bandwidth			55			MHz
	Aperture Delay			500			ps
	Aperture Delay Matching			500			ps
	Aperture Jitter			1			psRMS
	Transient Response	Full-Scale Step			30		ns

内部リファレンスの特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$V_{REFOUT1,2,3,4}$	Internal Reference Output Voltage	$4.75\text{V} < V_{DD} < 5.25\text{V}$	●	4.078	4.096	4.115	V
		$3.13\text{V} < V_{DD} < 3.47\text{V}$	●	2.034	2.048	2.064	V
	V_{REF} Temperature Coefficient	(Note 14)	●		3	20	ppm/ $^\circ\text{C}$
	REFOUT1,2,3,4 Output Impedance				0.25		Ω
	$V_{REFOUT1,2,3,4}$ Line Regulation	$4.75\text{V} < V_{DD} < 5.25\text{V}$			0.3		mV/V
$I_{REFOUT1,2,3,4}$	External Reference Current	REFBUFEN = 0V			385		μA
		REFOUT1,2,3,4 = 4.096V REFOUT1,2,3,4 = 2.048V (Notes 9, 10)			204		μA

デジタル入力とデジタル出力

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
CMOS デジタル入力および出力		CMOS/LVDS = GND					
V_{IH}	High Level Input Voltage		●	$0.8 \cdot OV_{DD}$		V	
V_{IL}	Low Level Input Voltage		●		$0.2 \cdot OV_{DD}$	V	
I_{IN}	Digital Input Current	$V_{IN} = 0V \text{ to } OV_{DD}$	●	-10	10	μA	
C_{IN}	Digital Input Capacitance		●	5		pF	
V_{OH}	High Level Output Voltage	$I_O = -500 \mu\text{A}$	●	$OV_{DD} - 0.2$		V	
V_{OL}	Low Level Output Voltage	$I_O = 500 \mu\text{A}$	●		0.2	V	
I_{OZ}	Hi-Z Output Leakage Current	$V_{OUT} = 0V \text{ to } OV_{DD}$	●	-10	10	μA	
I_{SOURCE}	Output Source Current	$V_{OUT} = 0V$	●	-10		mA	
I_{SINK}	Output Sink Current	$V_{OUT} = OV_{DD}$	●	10		mA	
LVDS デジタル入力および出力		CMOS/LVDS = OV_{DD}					
V_{ID}	LVDS Differential Input Voltage	100 Ω Differential Termination $OV_{DD} = 2.5V$	●	240	600	mV	
V_{IS}	LVDS Common Mode Input Voltage	100 Ω Differential Termination $OV_{DD} = 2.5V$	●	1	1.45	V	
V_{OD}	LVDS Differential Output Voltage	100 Ω Differential Termination $OV_{DD} = 2.5V$	●	220	350	600	mV
V_{OS}	LVDS Common Mode Output Voltage	100 Ω Differential Termination $OV_{DD} = 2.5V$	●	0.85	1.2	1.4	V
V_{OD_LP}	Low Power LVDS Differential Output Voltage	100 Ω Differential Termination $OV_{DD} = 2.5V$	●	100	200	350	mV
V_{OS_LP}	Low Power LVDS Common Mode Output Voltage	100 Ω Differential Termination $OV_{DD} = 2.5V$	●	0.85	1.2	1.4	V

LTC2320-12

電源要件

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V _{DD}	Supply Voltage	5V Operation	● 4.75		5.25	V
		3.3V Operation	● 3.13		3.47	V
I _{VDD}	Supply Current	1.5Msps Sample Rate (I _N ⁺ = I _N ⁻ = 0V)	●	31	38	mA
CMOS I/O モード CMOS/LVDS = GND						
OV _{DD}	Supply Voltage		● 1.71		2.63	V
I _{OVDD}	Supply Current	1.5Msps Sample Rate (C _L = 5pF)	●	4.4	7	mA
I _{NAP}	Nap Mode Current	Conversion Done (I _{VDD})	●	5.3	6.2	mA
I _{SLEEP}	Sleep Mode Current	Sleep Mode (I _{VDD} + I _{OVDD})	●	20	110	μA
P _{D_3.3V}	Power Dissipation	V _{DD} = 3.3V, 1.5Msps Sample Rate	●	102	130	mW
		Nap Mode	●	18	266	mW
		Sleep Mode	●	20	355	μW
P _{D_5V}	Power Dissipation	V _{DD} = 5V, 1.5Msps Sample Rate	●	162	208	mW
		Nap Mode	●	27	31.2	mW
		Sleep Mode	●	30	525	μW
LVDS I/O モード CMOS/LVDS = OV _{DD} , OV _{DD} = 2.5V						
OV _{DD}	Supply Voltage		● 2.37		2.63	V
I _{OVDD}	Supply Current	1.5Msps Sample Rate (C _L = 5pF, R _L = 100Ω)	●	26	34	mA
I _{NAP}	Nap Mode Current	Conversion Done (I _{VDD})	●	5.3	6.2	mA
I _{SLEEP}	Sleep Mode Current	Sleep Mode (I _{VDD} + I _{OVDD})	●	20	110	μA
P _{D_3.3V}	Power Dissipation	V _{DD} = 3.3V, 1.5Msps Sample Rate	●	151	196	mW
		Nap Mode	●	52	60	mW
		Sleep Mode	●	80	355	μW
P _{D_5V}	Power Dissipation	V _{DD} = 5V, 1.5Msps Sample Rate	●	214	275	mW
		Nap Mode	●	51	685	mW
		Sleep Mode	●	30	525	μW

ADCのタイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f _{SMPL}	Maximum Sampling Frequency		●		1.5	Msps
t _{CYC}	Time Between Conversions	(Note 11) t _{CYC} = t _{CNVH} + t _{CONV} + t _{READOUT}	●	0.667	1000	μs
t _{CONV}	Conversion Time		●		450	ns
t _{CNVH}	CNV High Time		●	30		ns
t _{ACQUISITION}	Sampling Aperture	(Note 11) t _{ACQUISITION} = t _{CYC} - t _{CONV}		215		ns
t _{WAKE}	REFOUT1,2,3,4 Wake-Up Time	C _{REFOUT1,2,3,4} = 10μF		50		ms
CMOS I/O モード、SDR CMOS/LVDS = GND, SDR/DDR = GND						
t _{SCK}	SCK Period	(Note 13)	●	9.1		ns
t _{SCKH}	SCK High Time		●	4.1		ns
t _{SCKL}	SCK Low Time		●	4.1		ns
t _{HSDO_SDR}	SDO Data Remains Valid Delay from CLKOUT↓	C _L = 5pF (Note 12)	●	0	1.5	ns
t _{DSCKCLKOUT}	SCK to CLKOUT Delay	(Note 12)	●	2	4.5	ns

232012f

ADCのタイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t _{DCNVSDOZ}	Bus Relinquish Time After $\overline{\text{CNV}}\uparrow$	(Note 11)	●		3	ns
t _{DCNVSDOV}	SDO Valid Delay from $\overline{\text{CNV}}\downarrow$	(Note 11)	●		3	ns
t _{DSCKHCNVH}	SCK Delay Time to $\overline{\text{CNV}}\uparrow$	(Note 11)	●	0		ns
CMOS I/Oモード、DDR		CMOS/LVDS = GND、 $\overline{\text{SDR}}/\text{DDR} = \text{OV}_{\text{DD}}$				
t _{SCK}	SCK Period		●	18.2		ns
t _{SCKH}	SCK High Time		●	8.2		ns
t _{SCKL}	SCK Low Time		●	8.2		ns
t _{HSDO_DDR}	SDO Data Remains Valid Delay from CLKOUT \downarrow	C _L = 5pF (Note 12)	●	0	1.5	ns
t _{DSCKCLKOUT}	SCK to CLKOUT Delay	(Note 12)	●	2	4.5	ns
t _{DCNVSDOZ}	Bus Relinquish Time After $\overline{\text{CNV}}\uparrow$	(Note 11)	●		3	ns
t _{DCNVSDOV}	SDO Valid Delay from $\overline{\text{CNV}}\downarrow$	(Note 11)	●		3	ns
t _{DSCKHCNVH}	SCK Delay Time to $\overline{\text{CNV}}\uparrow$	(Note 11)	●	0		ns
LVDS I/Oモード、SDR		CMOS/LVDS = OV_{DD} 、 $\overline{\text{SDR}}/\text{DDR} = \text{GND}$				
t _{SCK}	SCK Period		●	3.3		ns
t _{SCKH}	SCK High Time		●	1.5		ns
t _{SCKL}	SCK Low Time		●	1.5		ns
t _{HSDO_SDR}	SDO Data Remains Valid Delay from CLKOUT \downarrow	C _L = 5pF (Note 12)	●	0	1.5	ns
t _{DSCKCLKOUT}	SCK to CLKOUT Delay	(Note 12)	●	2	4	ns
t _{DSCKHCNVH}	SCK Delay Time to $\overline{\text{CNV}}\uparrow$	(Note 11)	●	0		ns
LVDS I/Oモード、DDR		CMOS/LVDS = OV_{DD} 、 $\overline{\text{SDR}}/\text{DDR} = \text{OV}_{\text{DD}}$				
t _{SCK}	SCK Period		●	6.6		ns
t _{SCKH}	SCK High Time		●	3		ns
t _{SCKL}	SCK Low Time		●	3		ns
t _{HSDO_DDR}	SDO Data Remains Valid Delay from CLKOUT \downarrow	C _L = 5pF (Note 12)	●	0	1.5	ns
t _{DSCKCLKOUT}	SCK to CLKOUT Delay	(Note 12)	●	2	4	ns
t _{DSCKHCNVH}	SCK Delay Time to $\overline{\text{CNV}}\uparrow$	(Note 11)	●	0		ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: 全ての電圧値はグラウンドを基準にしている。

Note 3: これらのピンの電圧をグラウンドより低くするか、 V_{DD} ピンまたは OV_{DD} ピンの電圧より高くすると、内部のダイオードによってクランプされる。この製品は、これらのピンの電圧がグラウンドより低くなるか、 V_{DD} ピンまたは OV_{DD} ピンの電圧より高くなった場合でも、ラッチアップを生じることなく最大100mAの入力電流を処理できる。

Note 4: $\text{V}_{\text{DD}} = 5\text{V}$ 、 $\text{OV}_{\text{DD}} = 2.5\text{V}$ 、REFOUT1,2,3,4 = 4.096V、 $f_{\text{SMPL}} = 1.5\text{MHz}$ 。

Note 5: 推奨動作条件。

Note 6: 積分非直線性は、実際の伝達曲線の端点を通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: 両極性のゼロ点誤差は、出力コードが0000 0000 0000 0と1111 1111 1111 1の間を往復しているときに、 -0.5LSB から測定されたオフセット電圧である。フルスケールの両極性誤差は、最初と最後の理想的なコード遷移からの-FSまたは+FSの未調整偏差の最悪値であり、オフセット誤差の影響が含まれる。

Note 8: dB表示の全ての規格値は、REF = 4.096Vでの $\pm 4.096\text{V}$ のフルスケール入力を基準にしている。

Note 9: REFOUT1, 2, 3, 4をオーバードライブする場合は、REFBUFEN = 0Vに設定して内部リファレンス・バッファをオフにしなければならない。

Note 10: $f_{\text{SMPL}} = 1.5\text{MHz}$ 。I_{REFOUT1,2,3,4}はサンプル・レートに比例して変化する。

Note 11: 設計によって保証されているが、テストされない。

Note 12: パラメータは $\text{OV}_{\text{DD}} = 1.71\text{V}$ および $\text{OV}_{\text{DD}} = 2.5\text{V}$ でテストされ、保証されている。

Note 13: 立ち上がりエッジで捕捉する場合、9.1nsのt_{SCK}により最大105MHzのシフトクロック周波数が可能である。

Note 14: 温度係数は出力電圧の最大変化を規定温度範囲で割って計算される。

Note 15: $\overline{\text{CNV}}$ は、低ジッタのデジタル信号源により、標準では OV_{DD} ロジック・レベルで駆動される。

ADCのタイミング特性

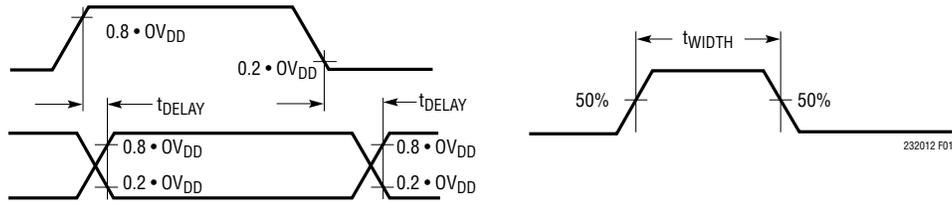
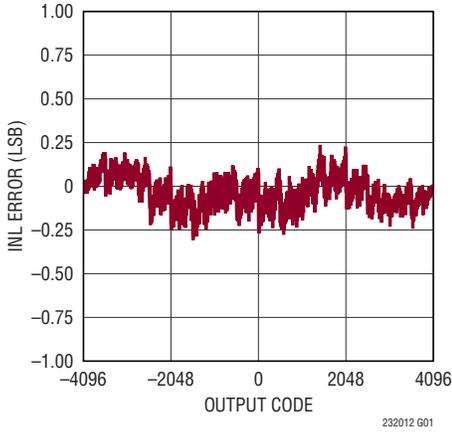


図1. タイミング仕様の電圧レベル

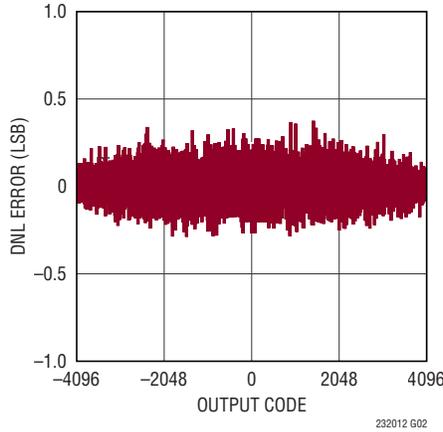
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、 $\text{REFOUT1, 2, 3, 4} = 4.096\text{V}$ 、 $f_{\text{SAMPL}} = 1.5\text{Mpsps}$ 。

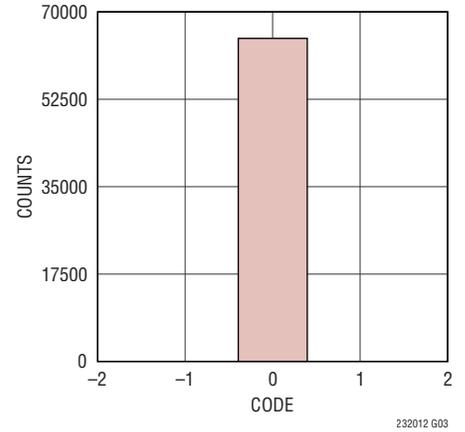
積分非直線性と出力コード



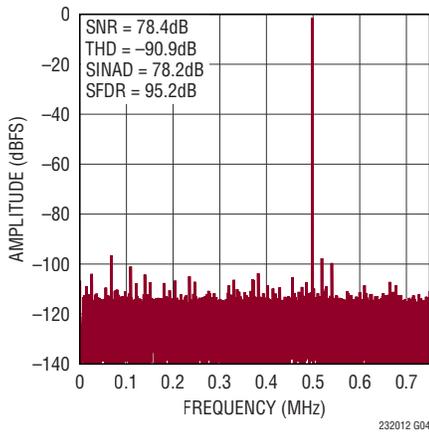
微分非直線性と出力コード



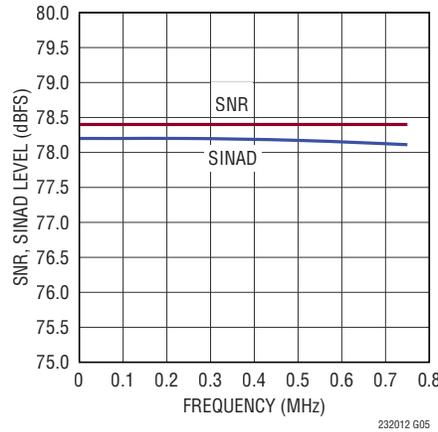
DCのヒストグラム



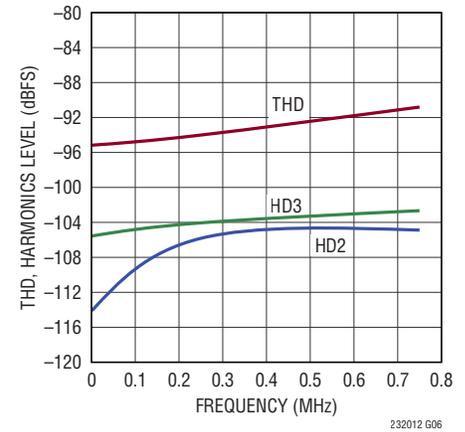
32kポイントのFFT $f_{\text{SAMPL}} = 1.5\text{Mpsps}$ 、 $f_{\text{IN}} = 500\text{kHz}$



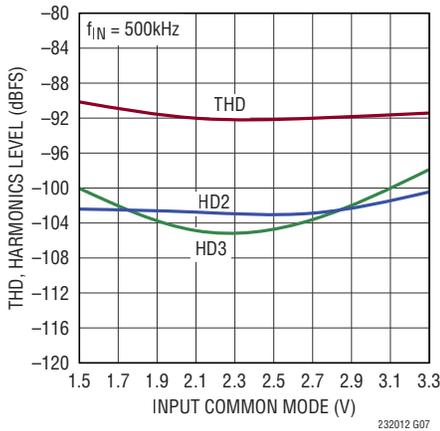
SNR、SINADと入力周波数 (1kHz ~ 750kHz)



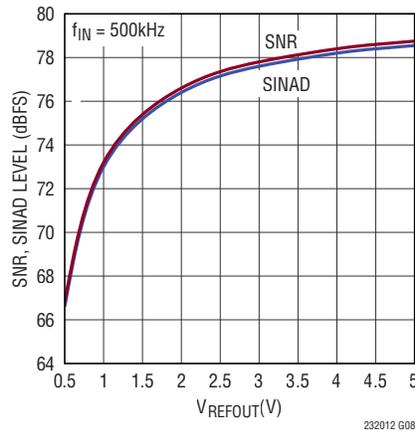
THDおよび高調波と周波数 (1kHz ~ 750kHz)



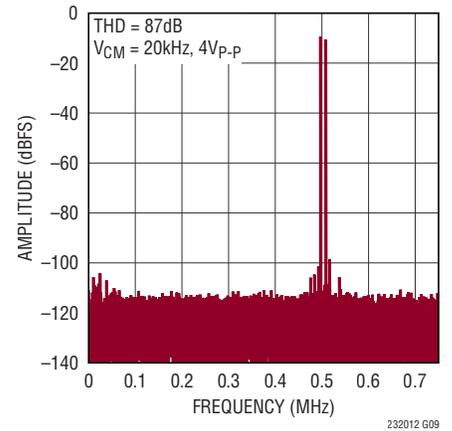
THD、高調波と入力同相電圧



SNR、SINADとリファレンス電圧、 ($f_{\text{IN}} = 500\text{kHz}$)



32kポイントのFFT、IMD、 $f_{\text{SAMPL}} = 1.5\text{Mpsps}$ 、 $A_{\text{IN}^+} = 490\text{kHz}$ 、 $A_{\text{IN}^-} = 510\text{kHz}$

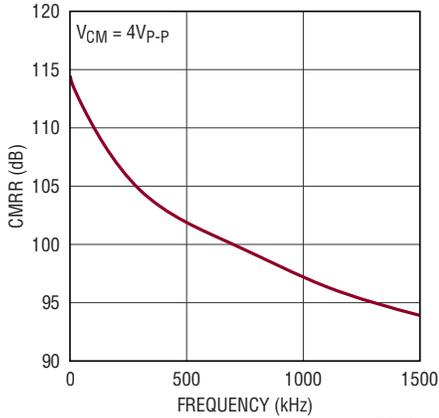


LTC2320-12

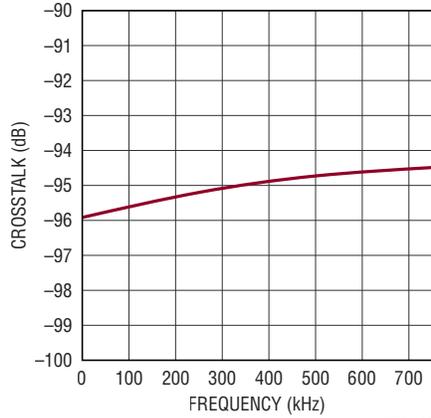
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、 $REF_{OUT1, 2, 3, 4} = 4.096\text{V}$ 、 $f_{SAMPL} = 1.5\text{Msps}$ 。

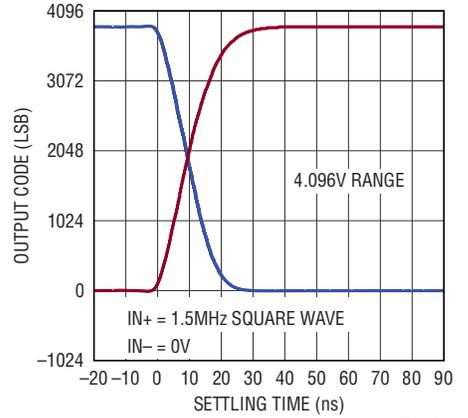
CMRRと入力周波数



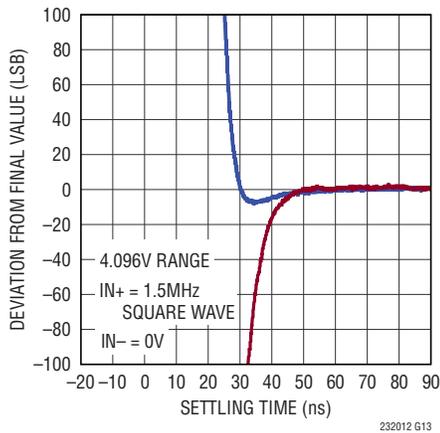
クロストークと入力周波数



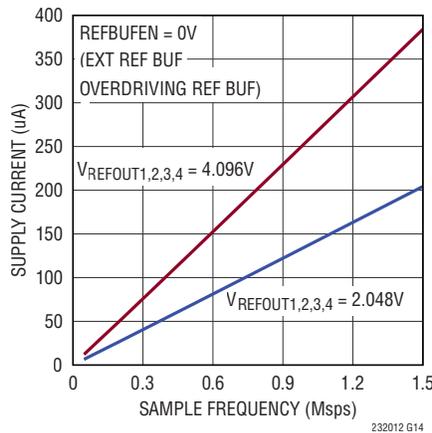
ステップ応答
(大信号のセトリング)



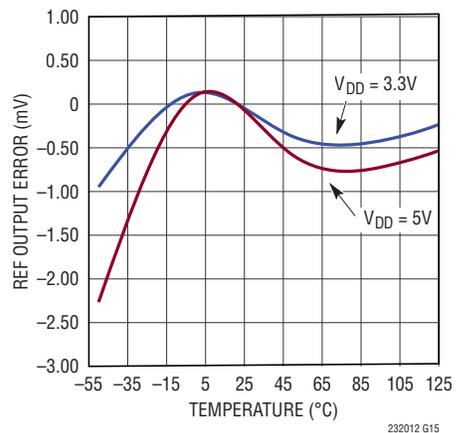
ステップ応答
(微細なセトリング)



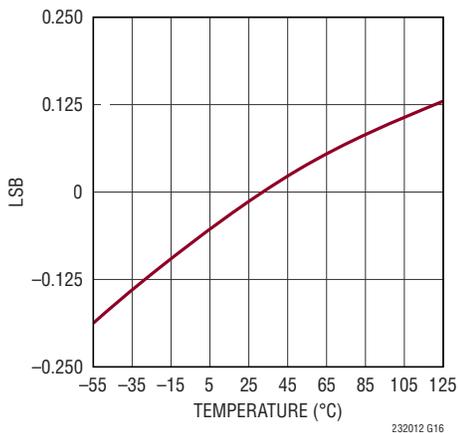
外部リファレンス電源電流と
サンプリング周波数



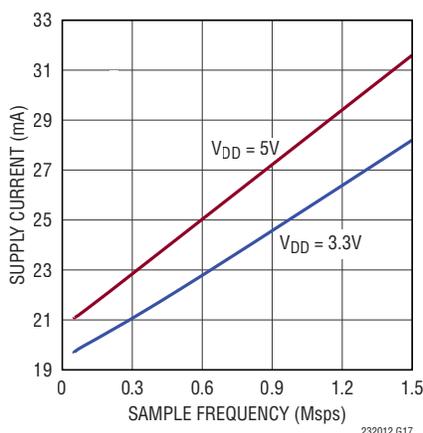
REF 出力と温度



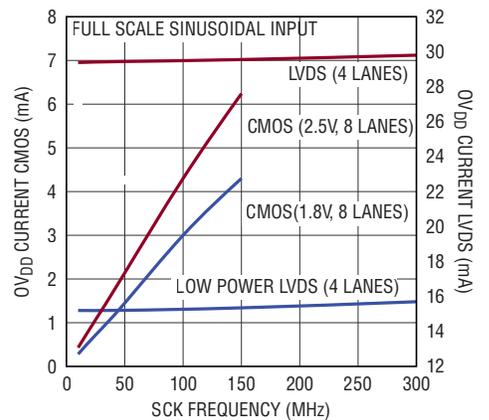
オフセット誤差と温度



電源電流とサンプリング周波数



OV_{DD} の電流と SCK の周波数、
 $C_{LOAD} = 10\text{pF}$



ピン機能

ピンは全てのデジタルI/Oモードで同一。

A_{IN6}⁺、A_{IN6}⁻ (ピン2, 1) : アナログ差動入力ピン。フルスケール範囲 (A_{IN6}⁺ – A_{IN6}⁻) は REFOUT3 の正負の電圧です。これらのピンを駆動できる電圧範囲は V_{DD} から GND までです。

GND (ピン3, 7, 12, 18, 26, 32, 38, 46, 49) : グランド・ピン。これらのピンと露出パッド (53ピン) は切れ目のないグランド・プレーンに直接接続する必要があります。

A_{IN5}⁺、A_{IN5}⁻ (ピン5, 4) : アナログ差動入力ピン。フルスケール範囲 (A_{IN5}⁺ – A_{IN5}⁻) は REFOUT3 の正負の電圧です。これらのピンを駆動できる電圧範囲は V_{DD} から GND までです。

REFOUT3 (ピン6) : リファレンス・バッファ3の出力。内蔵バッファはこのピンに公称 4.096V を出力します。このピンは GND ピンを基準にしており、10μF (X5R, 0805 サイズ) のセラミック・コンデンサを使ってこのピンの近くでデカップリングします。このピンを駆動する内部バッファをディスエーブルするには、REFBUFEN ピンを接地します。バッファがディスエーブルされている場合、外部リファレンスは 1.25V ~ 5V の範囲でこのピンを駆動できます。

REF (ピン8) : 共通 4.096V リファレンス出力。1μF の低 ESR セラミック・コンデンサを使って、このピンを GND にデカップリングします。ADC コア 1 ~ 4 の共通リファレンスを確立するために、1つの外部リファレンスを使用してオーバードライブできます。

REFOUT2 (ピン9) : リファレンス・バッファ2の出力。内蔵バッファはこのピンに公称 4.096V を出力します。このピンは GND ピンを基準にしており、10μF (X5R, 0805 サイズ) のセラミック・コンデンサを使ってこのピンの近くでデカップリングします。このピンを駆動する内部バッファをディスエーブルするには、REFBUFEN ピンを接地します。バッファがディスエーブルされている場合、外部リファレンスは 1.25V ~ 5V の範囲でこのピンを駆動できます。

A_{IN4}⁺、A_{IN4}⁻ (ピン11, 10) : アナログ差動入力ピン。フルスケール範囲 (A_{IN4}⁺ – A_{IN4}⁻) は REFOUT2 の正負の電圧です。これらのピンを駆動できる電圧範囲は V_{DD} から GND までです。

A_{IN3}⁺、A_{IN3}⁻ (ピン14, 13) : アナログ差動入力ピン。フルスケール範囲 (A_{IN3}⁺ – A_{IN3}⁻) は REFOUT2 の正負の電圧です。これらのピンを駆動できる電圧範囲は V_{DD} から GND までです。

V_{DD} (ピン15, 21, 44, 52) : 電源。V_{DD} は 10μF と 0.1μF のセラミック・コンデンサをデバイスの近くに配置して GND にバイパスします。V_{DD} ピンは互いに短絡し、同じ電源で駆動してください。

A_{IN2}⁺、A_{IN2}⁻ (ピン17, 16) : アナログ差動入力ピン。フルスケール範囲 (A_{IN2}⁺ – A_{IN2}⁻) は REFOUT1 の正負の電圧です。これらのピンを駆動できる電圧範囲は V_{DD} から GND までです。

A_{IN1}⁺、A_{IN1}⁻ (ピン20, 19) : アナログ差動入力ピン。フルスケール範囲 (A_{IN1}⁺ – A_{IN1}⁻) は REFOUT1 の正負の電圧です。これらのピンを駆動できる電圧範囲は V_{DD} から GND までです。

REFOUT1 (ピン22) : リファレンス・バッファ1の出力。内蔵バッファはこのピンに公称 4.096V を出力します。このピンは GND ピンを基準にしており、10μF (X5R, 0805 サイズ) のセラミック・コンデンサを使ってこのピンの近くでデカップリングします。このピンを駆動する内部バッファをディスエーブルするには、REFBUFEN ピンを接地します。バッファがディスエーブルされている場合、外部リファレンスは 1.25V ~ 5V の範囲でこのピンを駆動できます。

SDR/DDR (ピン23) : ダブルデータレート入力。SCK および CLKOUT の周波数を制御します。SCK の立ち下がりエッジで各シリアル・データをシフト出力する場合 (シングルデータレート、SDR)、このピンを GND に接続します。SCK の各エッジでシリアル・データをシフト出力する場合 (ダブルデータレート、DDR)、このピンを OV_{DD} に接続します。CLKOUT は、ピンの両方の状態で、SCK の遅延付きバージョンになります。

CMV (ピン24) : 変換入力。このピンが “H” のときは、収集段階が規定されます。このピンを “L” にすると、変換段階が開始され、出力データはクロックに同期して出力されます。この入力には、低ジッタのパルスを使用して OV_{DD} レベルで駆動する必要があります。このピンは CMOS/LVDS ピンの影響は受けません。

CMOS/LVDS (ピン25) : 入力/出力のモード選択。CMOS モードをイネーブルするにはこのピンを接地し、LVDS モードをイネーブルするには OV_{DD} に接続します。低消費電力の LVDS モードをイネーブルするには、このピンをフロート状態にします。

OV_{DD} (ピン31, 37) : 入力/出力インタフェースのデジタル電源。OV_{DD} の範囲は 1.71V ~ 2.63V です。この電源は公称値がホストのインタフェースと同じ電源電圧に設定します (CMOS : 1.8V または 2.5V、LVDS : 2.5V)。0.1μF のコンデンサを使用し、OV_{DD} を GND (ピン 32 および 38) にバイパスします。

ピン機能

REFBUFEN (ピン43) : リファレンス・バッファ出力のイネーブル・ピン。内部リファレンスを使用する場合は V_{DD} に接続します。REFOUT1～4の内部バッファをディスエーブルして外部リファレンス電圧を使用するには、グラウンドに接続します。このピンには V_{DD} へのプルアップ抵抗 (500k) が内蔵されています。

REFOUT4 (ピン45) : リファレンス・バッファ4の出力。内蔵バッファはこのピンに公称 4.096V を出力します。このピンは GND ピンを基準にしており、10 μ F (X5R, 0805 サイズ) のセラミック・コンデンサを使ってこのピンの近くでデカップリングします。このピンを駆動する内部バッファをディスエーブルするには、REFBUFEN ピンを接地します。バッファがディスエーブルされている場合、外部リファレンスは 1.25V～5V の範囲でこのピンを駆動できます。

A_{IN8}⁺, A_{IN8}⁻ (ピン48, 47) : アナログ差動入力ピン。フルスケール範囲 (A_{IN8}⁺ - A_{IN8}⁻) は REFOUT4 の正負の電圧です。これらのピンを駆動できる電圧範囲は V_{DD} から GND までです。

A_{IN7}⁺, A_{IN7}⁻ (ピン51, 50) : アナログ差動入力ピン。フルスケール範囲 (A_{IN7}⁺ - A_{IN7}⁻) は REFOUT4 の正負の電圧です。これらのピンを駆動できる電圧範囲は V_{DD} から GND までです。

露出パッド (ピン53) : グラウンド。このパッドはグラウンドに半田付けします。

CMOS データ出力のオプション (CMOS/LVDS = "L")

SD01 (ピン27) : ADC チャンネル1の CMOS シリアル・データ出力。変換結果は、SDR モードでは SCK の各立ち下がりエッジで、DDR モードでは各 SCK エッジで、MSB を先頭にしてシフトされます。SDR モードでは、SD01 から 13 ビット変換データを読み出すには、13 個の SCK エッジが必要であり、DDR モードでは、13 個の SCK エッジが必要です。さらにクロックを供給すると、以降のチャンネル (CH2, CH3, CH4, CH5, CH6, CH7, CH8) からデータが生成されます。

SD02 (ピン28) : ADC チャンネル2の CMOS シリアル・データ出力。変換結果は、SDR モードでは SCK の各立ち下がりエッジで、DDR モードでは各 SCK エッジで、MSB を先頭にしてシフトされます。SDR モードでは、SD02 から 13 ビット変換データを読み出すには、13 個の SCK エッジが必要であり、DDR モードでは、13 個の SCK エッジが必要です。さらにクロックを供給すると、以降のチャンネル (CH3, CH4, CH5, CH6, CH7, CH8, CH1) からデータが生成されます。

SD03 (ピン29) : ADC チャンネル3の CMOS シリアル・データ出力。変換結果は、SDR モードでは SCK の各立ち下がりエッジで、DDR モードでは各 SCK エッジで、MSB を先頭にしてシフトされます。SDR モードでは、SD03 から 13 ビット変換データを読み出すには、13 個の SCK エッジが必要であり、DDR モードでは、13 個の SCK エッジが必要です。さらにクロックを供給すると、以降のチャンネル (CH4, CH5, CH6, CH7, CH8, CH1, CH2) からデータが生成されます。

SD04 (ピン30) : ADC チャンネル4の CMOS シリアル・データ出力。変換結果は、SDR モードでは SCK の各立ち下がりエッジで、DDR モードでは各 SCK エッジで、MSB を先頭にしてシフトされます。SDR モードでは、SD04 から 13 ビット変換データを読み出すには、13 個の SCK エッジが必要であり、DDR モードでは、13 個の SCK エッジが必要です。さらにクロックを供給すると、以降のチャンネル (CH5, CH6, CH7, CH8, CH1, CH2, CH3) からデータが生成されます。

CLKOUT (ピン33) : シリアル・データのクロック出力。CLKOUT は、SDO 出力をレシーバ (FPGA) でラッチするために、スキューの整合したクロックを出力します。ロジック・レベルは OV_{DD} によって決まります。このピンは、わずかな遅延を伴って SCK での入力を複製します。

CLKOUTEN (ピン34) : 消費電力をわずかに削減するために、ピン34を OV_{DD} に接続することで、CLKOUT をディスエーブルできます。CLKOUT を使用する場合は、このピンを接地します。

SD05 (ピン35) : ADC チャンネル5の CMOS シリアル・データ出力。変換結果は、SDR モードでは SCK の各立ち下がりエッジで、DDR モードでは各 SCK エッジで、MSB を先頭にしてシフトされます。SDR モードでは、SD05 から 13 ビット変換データを読み出すには、13 個の SCK エッジが必要であり、DDR モードでは、13 個の SCK エッジが必要です。さらにクロックを供給すると、以降のチャンネル (CH6, CH7, CH8, CH1, CH2, CH3, CH4) からデータが生成されます。

SD06 (ピン36) : ADC チャンネル6の CMOS シリアル・データ出力。変換結果は、SDR モードでは SCK の各立ち下がりエッジで、DDR モードでは各 SCK エッジで、MSB を先頭にしてシフトされます。SDR モードでは、SD06 から 13 ビット変換データを読み出すには、13 個の SCK エッジが必要であり、DDR モードでは、13 個の SCK エッジが必要です。さらにクロックを供給すると、以降のチャンネル (CH7, CH8, CH1, CH2, CH3, CH4, CH5) からデータが生成されます。

ピン機能

SD07 (ピン 39) : ADC チャンネル 7 の CMOS シリアル・データ出力。変換結果は、SDR モードでは SCK の各立ち下がりエッジで、DDR モードでは各 SCK エッジで、MSB を先頭にしてシフトされます。SDR モードでは、SD07 から 13 ビット変換データを読み出すには、13 個の SCK エッジが必要であり、DDR モードでは、13 個の SCK エッジが必要です。さらにクロックを供給すると、以降のチャンネル (CH8、CH1、CH2、CH3、CH4、CH5、CH6) からデータが生成されます。

SD08 (ピン 40) : ADC チャンネル 8 の CMOS シリアル・データ出力。変換結果は、SDR モードでは SCK の各立ち下がりエッジで、DDR モードでは各 SCK エッジで、MSB を先頭にしてシフトされます。SDR モードでは、SD08 から 13 ビット変換データを読み出すには、13 個の SCK エッジが必要であり、DDR モードでは、13 個の SCK エッジが必要です。さらにクロックを供給すると、以降のチャンネル (CH1、CH2、CH3、CH4、CH5、CH6、CH7) からデータが生成されます。

SCK (ピン 41) : シリアル・データ・クロック入力。SDR モード (DDR = “L”) では、このクロックの立ち下がりエッジにより、変換結果が MSB を先頭にシフトして SDO ピンに出力されます。DDR モード ($\overline{\text{SDR}}/\text{DDR} = \text{“H”}$) では、このクロックの各エッジにより、変換結果が MSB を先頭にシフトして SDO ピンに出力されます。ロジック・レベルは OV_{DD} によって決まります。

DNC (ピン 42) : CMOS モードでは、このピンを接続しないでください。

LVDS データ出力のオプション (CMOS/LVDS = “H” または フロート)

SDOA⁺、SDOA⁻ (ピン 27、28) : ADC チャンネル 1 および 2 の LVDS シリアル・データ出力。変換結果は、SDR モードでは SCK の各立ち下がりエッジで、DDR モードでは各 SCK エッジで、CH1 の MSB を先頭にしてシフトされます。SDR モードでは、SDOA で $\text{A}_{\text{IN}1}$ および $\text{A}_{\text{IN}2}$ から 13 ビット変換データを読み出すには、32 個の SCK エッジが必要であり、DDR モードでは、13 個の SCK エッジが必要です。さらにクロックを供給すると、以降のチャンネル (CH3、CH4、CH5、CH6、CH7、CH8) からデータが生成されます。レシーバ (FPGA) で 100Ω の抵抗を使用して終端します。

SDOB⁺、SDOB⁻ (ピン 29、30) : ADC チャンネル 3 および 4 の LVDS シリアル・データ出力。変換結果は、SDR モードでは SCK の各立ち下がりエッジで、DDR モードでは各 SCK エッジで、CH3 の MSB を先頭にしてシフトされます。SDR モードでは、

SDOB で $\text{A}_{\text{IN}3}$ および $\text{A}_{\text{IN}4}$ から 13 ビット変換データを読み出すには、32 個の SCK エッジが必要であり、DDR モードでは、13 個の SCK エッジが必要です。さらにクロックを供給すると、以降のチャンネル (CH5、CH6、CH7、CH8、CH1、CH2) からデータが生成されます。レシーバ (FPGA) で 100Ω の抵抗を使用して終端します。

CLKOUT⁺、CLKOUT⁻ (ピン 33、34) : シリアル・データのクロック出力。CLKOUT は、SDO 出力をレシーバでラッチするために、スキューの整合したクロックを出力します。これらのピンは、わずかな遅延を伴って SCK での入力を複製します。これらのピンは、レシーバ (FPGA) に 100Ω の抵抗を外付けすることによって差動で終端する必要があります。

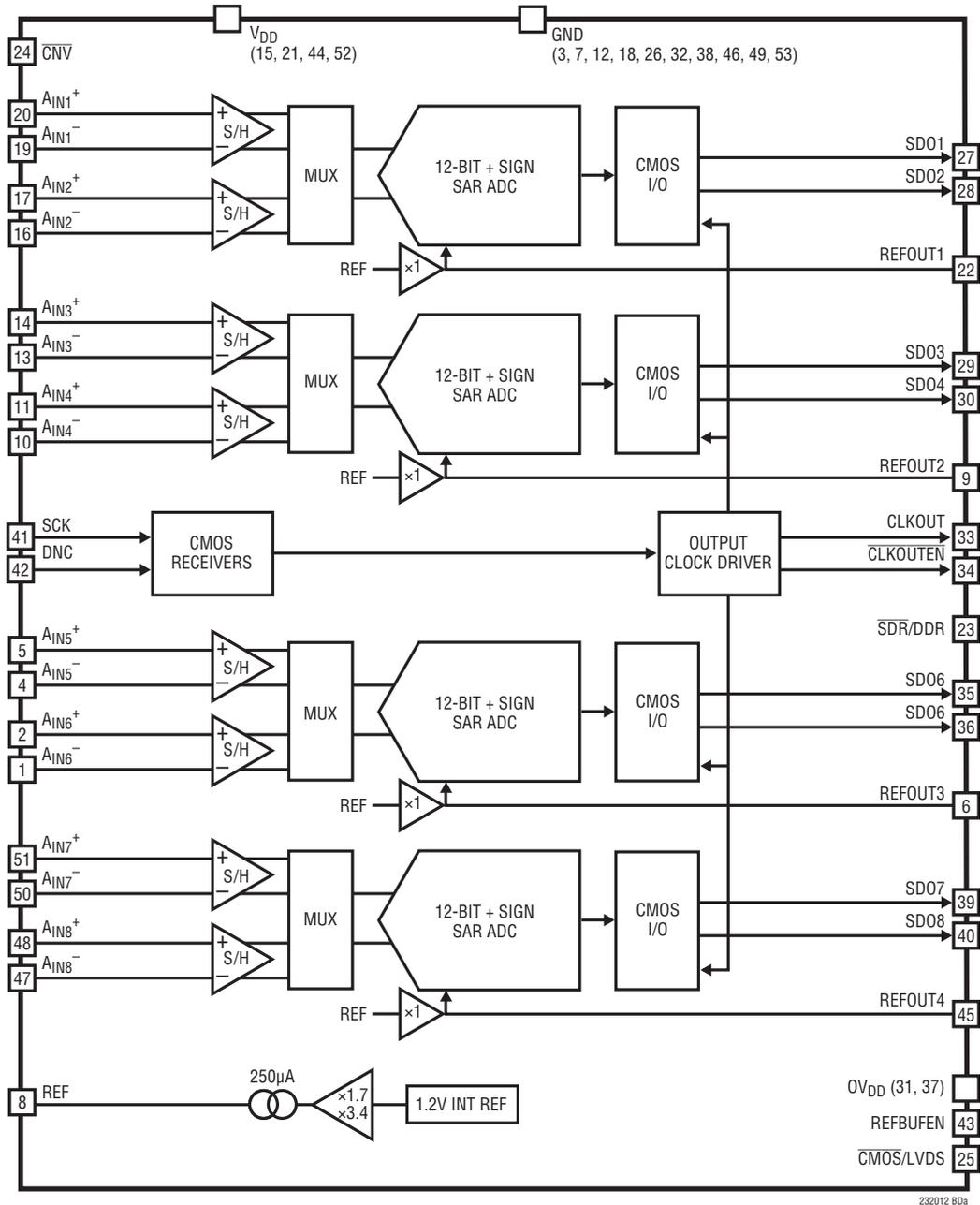
SDOC⁺、SDOC⁻ (ピン 35、36) : ADC チャンネル 5 および 6 の LVDS シリアル・データ出力。変換結果は、SDR モードでは SCK の各立ち下がりエッジで、DDR モードでは各 SCK エッジで、CH5 の MSB を先頭にしてシフトされます。SDR モードでは、SDOA で $\text{A}_{\text{IN}5}$ および $\text{A}_{\text{IN}6}$ から 13 ビット変換データを読み出すには、32 個の SCK エッジが必要であり、DDR モードでは、13 個の SCK エッジが必要です。さらにクロックを供給すると、以降のチャンネル (CH7、CH8、CH1、CH2、CH3、CH4) からデータが生成されます。レシーバ (FPGA) で 100Ω の抵抗を使用して終端します。

SDOD⁺、SDOD⁻ (ピン 39、40) : ADC チャンネル 7 および 8 の LVDS シリアル・データ出力。変換結果は、SDR モードでは SCK の各立ち下がりエッジで、DDR モードでは各 SCK エッジで、CH7 の MSB を先頭にしてシフトされます。SDR モードでは、SDOA で $\text{A}_{\text{IN}7}$ および $\text{A}_{\text{IN}8}$ から 13 ビット変換データを読み出すには、32 個の SCK エッジが必要であり、DDR モードでは、13 個の SCK エッジが必要です。さらにクロックを供給すると、以降のチャンネル (CH1、CH2、CH3、CH4、CH5、CH6) からデータが生成されます。レシーバ (FPGA) で 100Ω の抵抗を使用して終端します。

SCK⁺、SCK⁻ (ピン 41、42) : シリアル・データ・クロック入力。SDO モード ($\overline{\text{SDR}}/\text{DDR} = \text{“L”}$) では、このクロックの立ち下がりエッジにより、変換結果が MSB を先頭にシフトして SDO ピンに出力されます。DDR モード ($\overline{\text{SDR}}/\text{DDR} = \text{“H”}$) では、このクロックの各エッジにより、変換結果が MSB を先頭にシフトして SDO ピンに出力されます。これらのピンは、レシーバ (ADC) に 100Ω の抵抗を外付けすることによって差動で終端する必要があります。

機能ブロック図

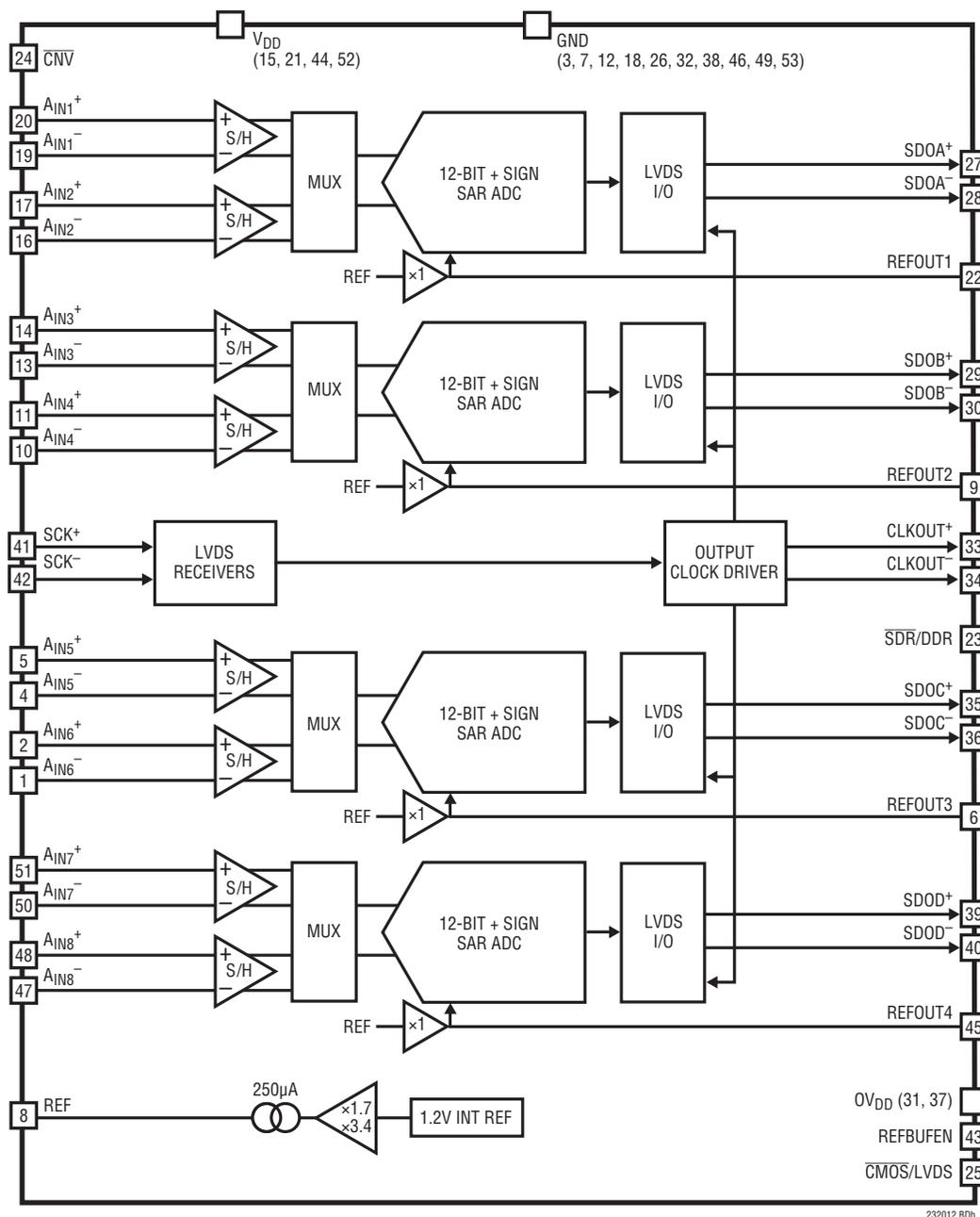
CMOS IO モード



232012 BDa

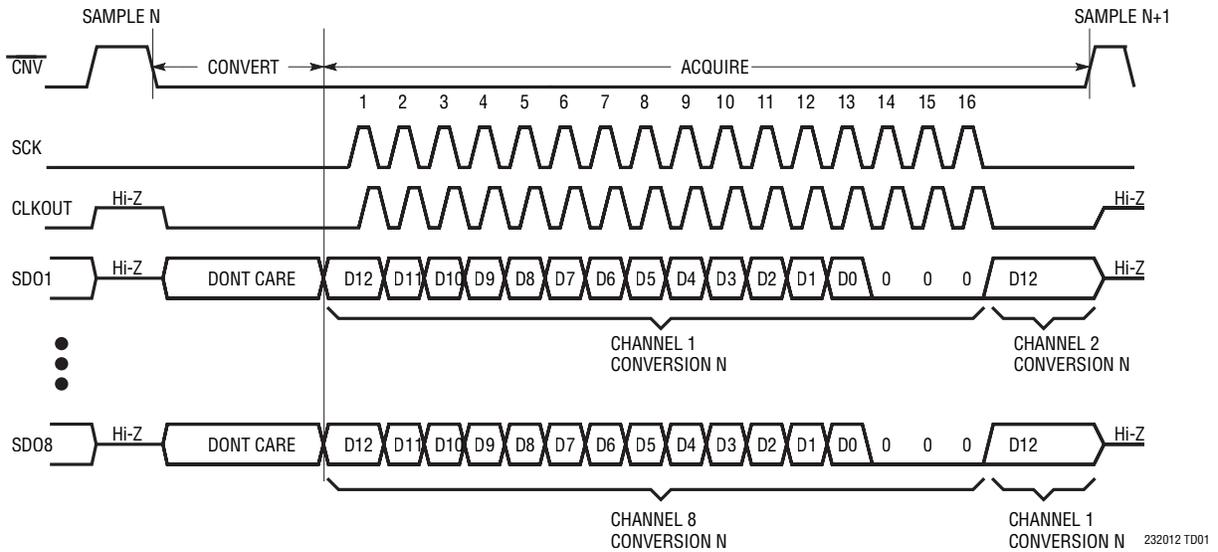
機能ブロック図

LVDS IO モード

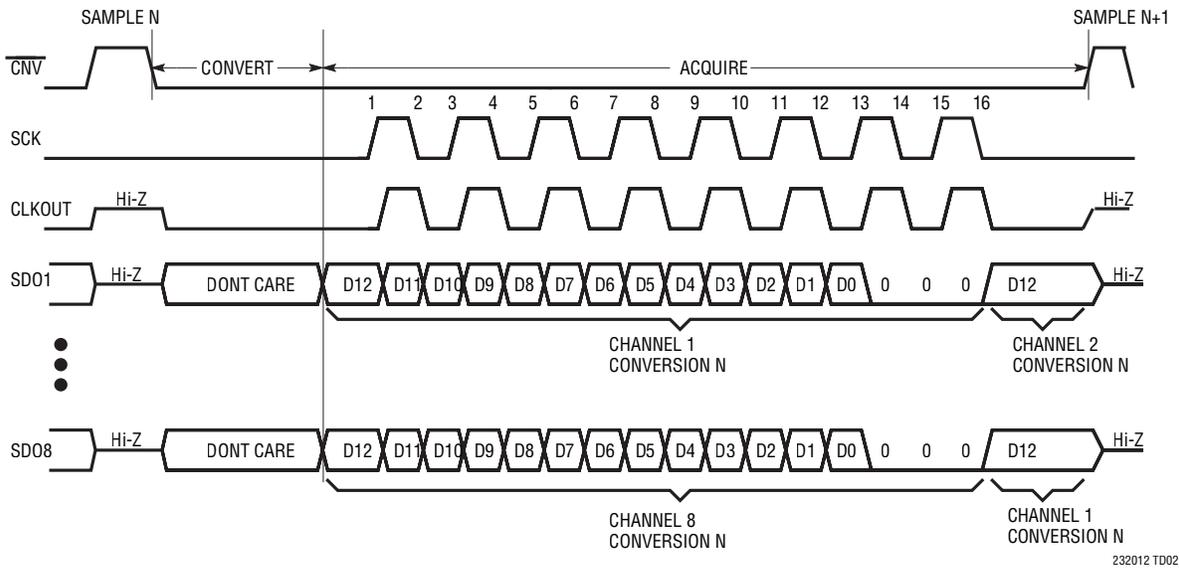


タイミング図

SDRモード、CMOS(1つのSDOにつき1チャンネルの読み出し)

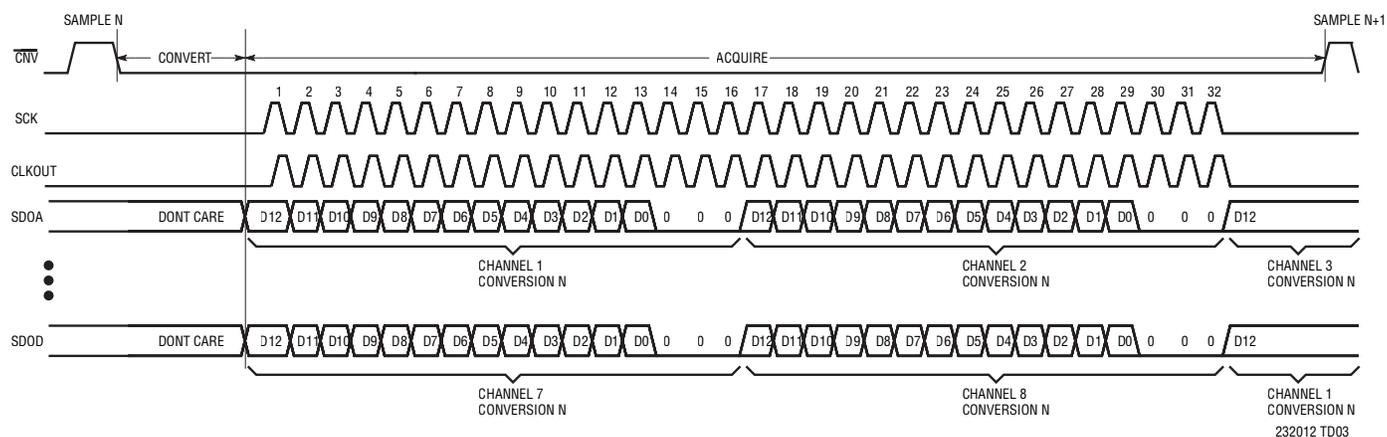


DDRモード、CMOS(1つのSDOにつき1チャンネルの読み出し)

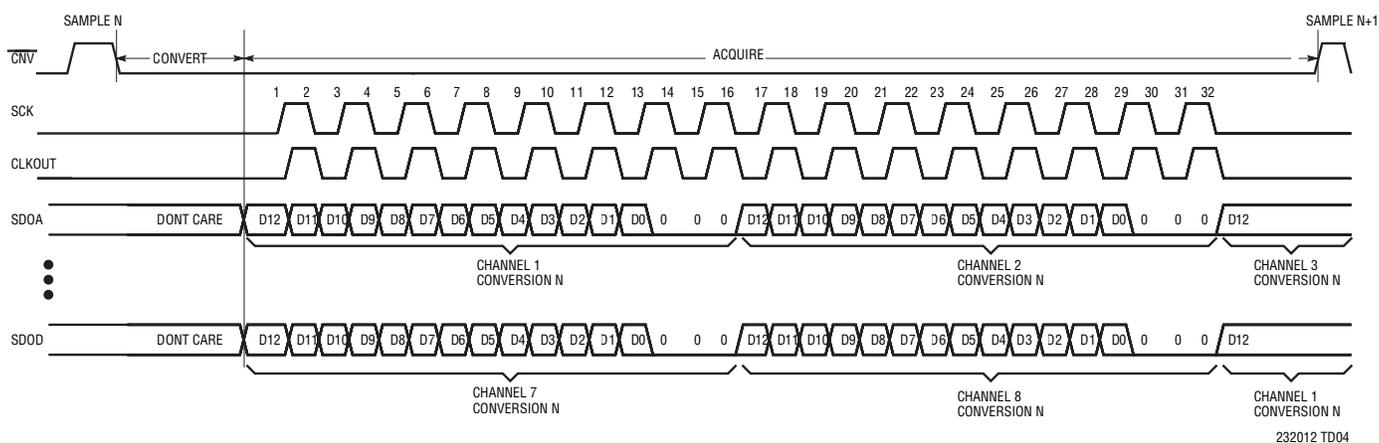


タイミング図

SDRモード、LVDS(1つのSDOペアにつき2チャンネルの読み出し)



DDRモード、LVDS(1つのSDOペアにつき2チャンネルの読み出し)



LTC2320-12

アプリケーション情報

概要

LTC2320-12は、差動入力で入力同相範囲の広い低ノイズ、高速12ビットのデュアル逐次比較レジスタ(SAR) A/Dコンバータです。LTC2320-12は3.3Vまたは5V単電源で動作し、差動入力範囲が4V_{P-P}または8V_{P-P}なので、広いダイナミックレンジが要求されるアプリケーションに最適です。LTC2320-12は、±0.25LSBのINL(標準)、12ビット分解能で欠落コードなし、77dBのSNRを実現します。

LTC2320-12は、リファレンス・バッファと低ドリフト(最大20ppm/°C)の4.096V温度補償リファレンスを内蔵しています。LTC2320-12は、CMOSまたはLVDSをサポートするSPI互換の高速シリアル・インタフェースも内蔵しています。LTC2320-12はスループットが1.5Msps/チャンネルと高速で待ち時間が1サイクルなので、多種多様な高速アプリケーションに最適です。LTC2320-12の消費電力はチャンネル当たりわずか20mWです。また、ナップ・モードとスリープ・モードを備えているので、LTC2320-12の消費電力は非活動期間中にはさらに節減されます。

コンバータの動作

LTC2320-12は2つのフェーズで動作します。収集段階では、図3に示すようにサンプル・コンデンサがアナログ入力ピンA_{IN}⁺およびA_{IN}⁻に接続され、差動アナログ入力電圧がサンプリングされます。CNVピンの立ち下がりエッジにより変換が開始されます。変換フェーズでは、12ビットのCDACが逐次比較アルゴリズムを通じて逐次制御され、差動コンパレータを使用してサンプリング入力とリファレンス電圧のバイナリ加重した分数(例: V_{REFOUT}/2, V_{REFOUT}/4 ... V_{REFOUT}/32768)を効率的に比較します。変換の最後には、CDACの出力はサンプリングされたアナログ入力に近づきます。その後、A/Dコンバータの制御ロジックが12ビットのデジタル出力コードを準備して、シリアル転送に備えます。

伝達関数

LTC2320-12は2・REFOUTのフルスケール電圧を2¹³レベルにデジタル化するので、REFBUF = 4.096VではLSBの大きさは1mVになります。理想的な伝達関数を図2に示します。出力データは2の補数形式です。完全差動入力によってドライブする場合、伝達関数は2¹³のコードにわたります。疑似差動入力で駆動した場合、伝達関数の対象範囲コード数は2¹²です。

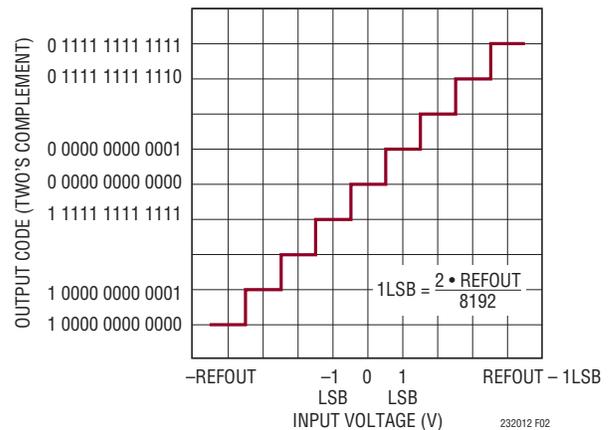


図2. LTC2320-12の伝達関数

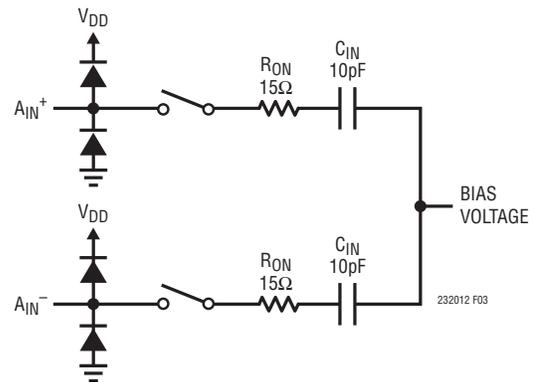


図3. LTC2320-12の差動アナログ入力の等価回路

表1. アナログ入力動作モードのコード範囲

モード	範囲(V _{IN} ⁺ ~ V _{IN} ⁻)	最小コード	最大コード
完全差動	-REFOUT ~ +REFOUT	1 0000 0000 0000	0 1111 1111 1111
両極性疑似差動	-REFOUT/2 ~ +REFOUT/2	1 1000 0000 0000	0 0111 1111 1111
単極性疑似差動	0 ~ REFOUT	0 0000 0000 0000	0 1111 1111 1111

アプリケーション情報

アナログ入力

LTC2320-12の差動入力は、構成しなくても多種多様なアナログ信号を変換できる優れた柔軟性を備えています。LTC2320-12は、 A_{IN}^+ ピンと A_{IN}^- ピンの間の差電圧をデジタル化する一方で、広い同相入力範囲をサポートしています。アナログ入力信号が V_{DD} とGNDの範囲内にとどまる場合には、信号間の関係を互いに自由なものにすることができます。LTC2320-12は、単極性/双極性の疑似差動、完全差動など、種類がさらに制限されたアナログ入力信号を構成の必要なくデジタル化できます。

LTC2320-12のアナログ入力は、図3に示す等価回路でモデル化できます。入力のバック・トゥ・バック・ダイオードは、ESD保護を提供するクランプを構成します。収集段階では、サンプリング・コンデンサによる10pF (C_{IN})とサンプリング・スイッチのオン抵抗による約15 Ω (R_{ON})が入力に直列に接続されます。両方の入力に共通する不要な信号は、ADCサンプリング回路の同相除去特性によって減少します。取集中に C_{IN} コンデンサを充電するときには、ADCコアの入力に少量の電流スパイクが流れます。

シングルエンド信号

シングルエンド信号はLTC2320-12によって直接デジタル化できます。同相信号除去性能が向上するように、これらの信号は疑似差動式に検出します。主要なアナログ信号のリファレンス信号(例: グランド検出信号)を別の A_{IN} ピンに接続することにより、2つの信号と同相のノイズまたは外乱はA/Dコンバータの高いCMRRによって除去されます。LTC2320-12は、その柔軟性により、疑似差動の単極性信号と両極性信号の両方に対応し、構成の必要はありません。入力同相範囲が広いので、アナログ入力の前段でのシグナル・コンディショニング回路の精度要件が緩和されます。

両極性の疑似差動入力電圧範囲

両極性の疑似差動構成とは、一方のアナログ入力を固定電圧(標準では $V_{REF}/2$)で駆動し、信号をもう一方の A_{IN} ピンに入力することを意味します。この場合、アナログ入力の振幅範囲は固定入力電圧を中心に対称となるので、A/D変換の範囲がフルスケールの半分となる両極性の2の補数出力コードが得られます。この構成を図4に示し、対応する伝達関数を図5に示します。アナログ入力ピンの固定電圧は必ずしも $V_{REF}/2$ に設定する必要はありませんが、 V_{DD} レールの範囲内のいずれかの電圧に設定することにより、代替入力がこの電圧を中心として対称に振れることができます。入力信号($A_{IN}^+ - A_{IN}^-$)が $\pm \text{REFOUT1}, 2, 3, 4/2$ を超えて振幅すると、A/Dコンバータによって有効なコードが生成されます。必要に応じてユーザーは、このコードをクランプします。

単極性の疑似差動入力電圧範囲

単極性の疑似差動構成とは、一方のアナログ入力をグランドで駆動し、信号をもう一方の A_{IN} ピンに入力することを意味します。この場合、アナログ入力がグランドと V_{REF} の間で振幅し、フルスケールの1/2のADCスパンで、単極性の2の補数出力コードが得られます。この構成を図6に示し、対応する伝達関数を図7に示します。入力信号($A_{IN}^+ - A_{IN}^-$)が負側に振れる場合、有効なコードはA/Dコンバータによって生成されるので、必要に応じてユーザーがクランプする必要があります。

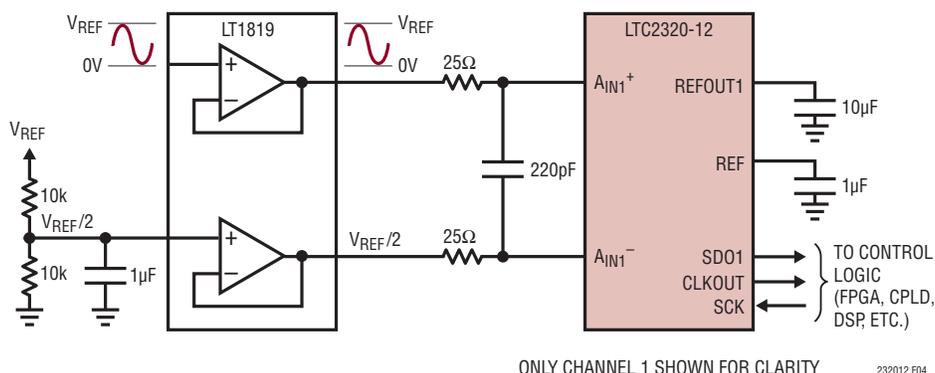


図4. 両極性疑似差動のアプリケーション回路

アプリケーション情報

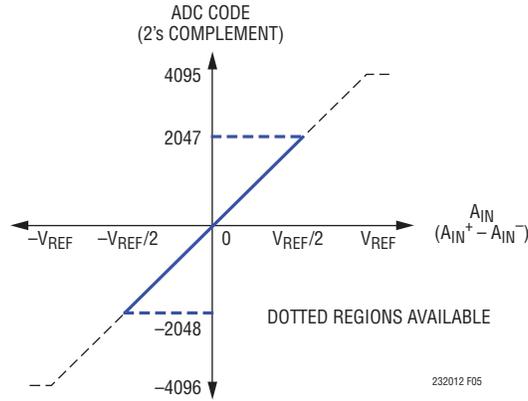


図5. 両極性疑似差動の伝達関数

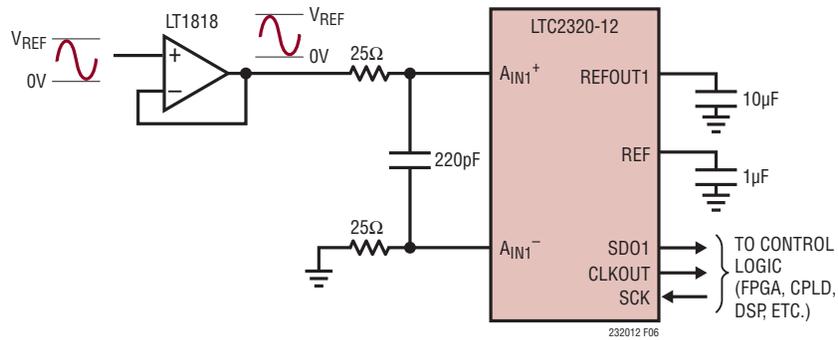


図6. 単極性疑似差動のアプリケーション回路

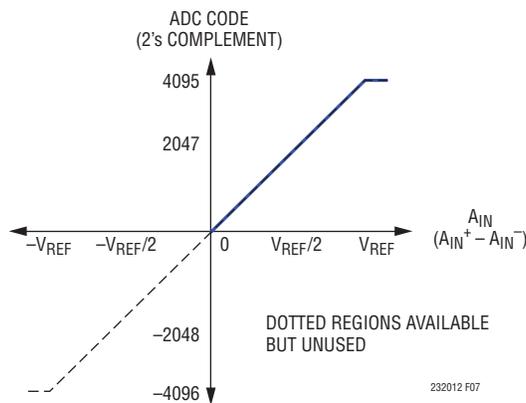


図7. 単極性疑似差動の伝達関数

アプリケーション情報

シングルエンドから差動への変換

前述したように、シングルエンド信号は直接デジタル化できませんが、より広いダイナミックレンジが求められる場合は、シングルエンドから差動への変換回路を使用することもできます。LTC2320-12の入力で差動信号を生成することにより、A/Dコンバータに入力される信号の振幅は最大になるので、実現可能なSNRが高くなります。

シングルエンドから差動への変換を行うには、図8に示すように、LT[®]1819高速デュアル・オペアンプの使用を推奨します。この場合、最初のアンプは単位利得のバッファとして構成されており、シングルエンド入力信号はこのアンプの高インピーダンス入力を直接駆動します。

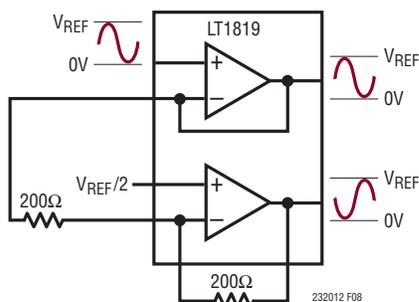


図8. シングルエンド入力/差動出力ドライバ

完全差動入力

LTC2320-12の最高の歪み性能を実現するため、図9に示すように、2つの単位利得バッファとして構成したLT1819アンプを介して駆動する歪みの少ない完全差動信号を駆動することを推奨します。この回路により、データシートのTHD規格である-90dBを最大500kHzの入力周波数で完全に満たすことができます。完全差動入力信号の電圧は、A/Dコンバータの最大フルスケール(最大 \pm REFOUT1、2、3、4)の範囲にわたることができません。同相入力電圧は、最大 V_{DD} の電源範囲全体にわたることができ、入力信号振幅によって制限されます。完全差動構成を図10に示し、対応する伝達関数を図11に示します。

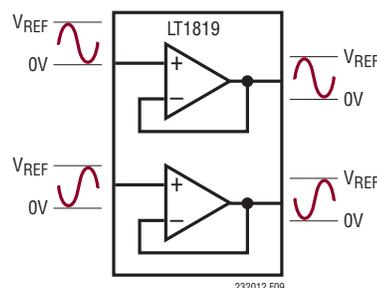
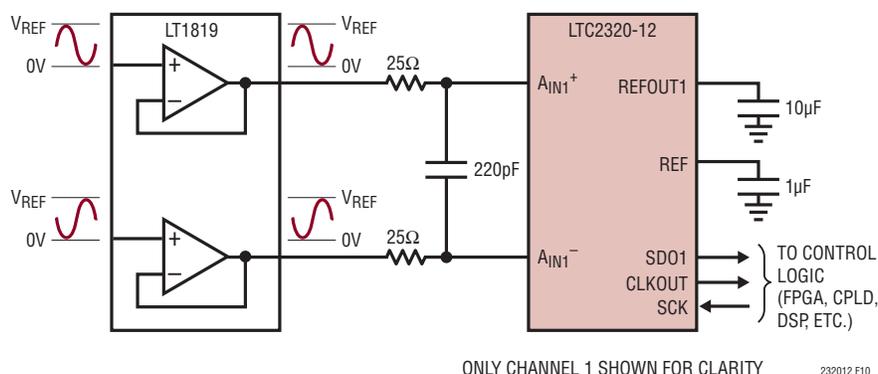


図9. 完全差動信号源のバッファとなるLT1819



ONLY CHANNEL 1 SHOWN FOR CLARITY 232012 F10

図10. 完全差動のアプリケーション回路

アプリケーション情報

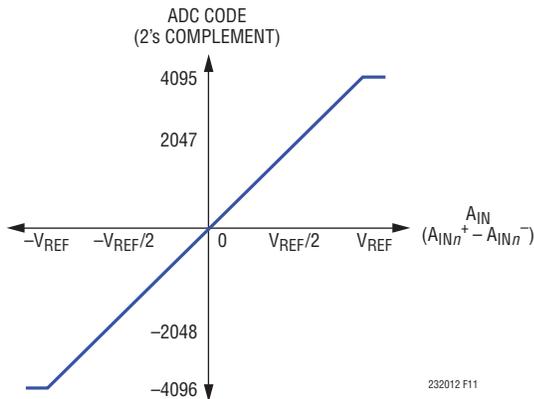


図11. 完全差動の伝達関数

入力駆動回路

信号源が低インピーダンスの場合は、利得誤差を発生することなく、LTC2320-12の高インピーダンス入力を直接駆動できます。高インピーダンスの信号源は、収集時のセトリング時間を最小にするため、およびA/Dコンバータの歪み性能を最適化するために、バッファする必要があります。収集時にはA/Dコンバータの入力に電流スパイクが流れるので、DC入力であっても、セトリング時間の最小化が重要です。

最良の性能を得るには、バッファ・アンプを使用してLTC2320-12のアナログ入力を駆動する必要があります。このアンプは出力インピーダンスが低いため、収集フェーズで、最小限の利得誤差でアナログ信号を高速にセトリングできます。また、バッファ・アンプは、収集時に少量の電流スパイクが流れるA/Dコンバータの入力を信号源から切り離す役割も果たします。

入力フィルタリング

バッファ・アンプと信号源のノイズと歪みはADCのノイズと歪みに加わるので、これらについても考慮しなければなりません。入力信号にノイズが多い場合は、バッファ・アンプの入力の前に低帯域幅のフィルタを使ってノイズを最小限に抑えます。多くのアプリケーションでは、図12に示す簡単な1ポールのRCローパス・フィルタで十分です。

サンプリング・スイッチ・オン抵抗(R_{ON})、およびサンプル・コンデンサ(C_{IN})が第2のローパス・フィルタを構成し、ADCコアへの入力帯域幅を110MHzに制限します。ノイズ密度の低いバッファ・アンプを選択して、この帯域幅でのSNRの劣化を最小限に抑える必要があります。

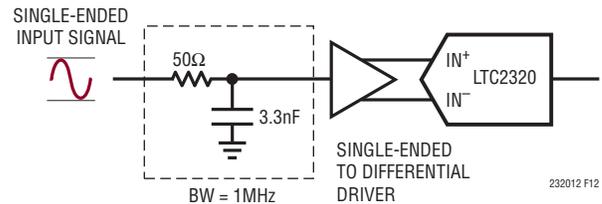


図12. 入力信号チェーン

RCフィルタのコンデンサと抵抗は歪みを大きくする可能性があるため、これらの部品は高品質のものを使用します。NPOタイプやシルバーマイカ・タイプの誘電体のコンデンサは優れた直線性を示します。表面実装型カーボン抵抗は、半田付け工程で生じる損傷および自己発熱により歪みが生じることがあります。表面実装型金属皮膜抵抗は、この2つの問題に対してはるかに耐性があります。

A/Dコンバータのリファレンス

内部リファレンス

LTC2320-12は、オンチップ、低ノイズ、低ドリフト(最大20ppm/°C)、温度補償バンドギャップ・リファレンスを内蔵しています。これは内部でバッファされ、REF(ピン8)で使用できます。リファレンス・バッファにより、内部リファレンスの電圧は、電源電圧 $V_{DD} = 5V$ の場合は4.096Vになり、 $V_{DD} = 3.3V$ の場合は2.048Vになります。また、REFピンは、電流が制限された出力(250 μA)で、4つの内部リファレンス・バッファを駆動します。そのため、1.25V~5Vの範囲内の外部リファレンスを使用して、REFピンを簡単にオーバードライブすることができます。リファレンス・バッファの補償とノイズの抑制のために、1 μF のセラミック・コンデンサ(X5R、0805サイズ)を使ってREFをGNDにバイパスします。1 μF のコンデンサはLTC2320-12のパッケージにできるだけ近づけて、配線インダクタンスを最小限に抑えます。REFピンの電圧は、外部回路で使用される場合、外部でバッファする必要があります。

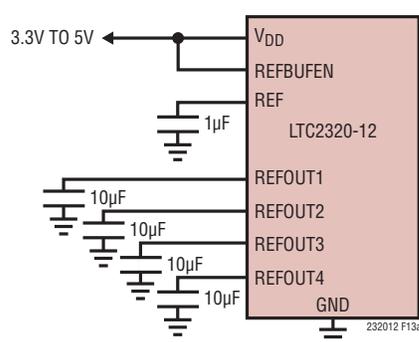
外部リファレンス

図13(c)に示すように、内部REFOUT1、2、3、4バッファは、REFOUT1、2、3、4に外部リファレンスを使用して1.25V~5Vの範囲でオーバードライブできます。そのためには、REFBUFENを接地してREFバッファをディスエーブルする必要があります。REFバッファがディスエーブルされると、55kの内部抵抗がREFOUT1、2、3、4ピンの負荷になります。入

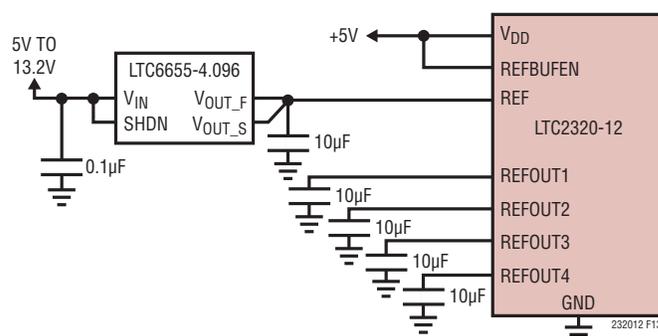
アプリケーション情報

表2. リファレンスの構成および範囲

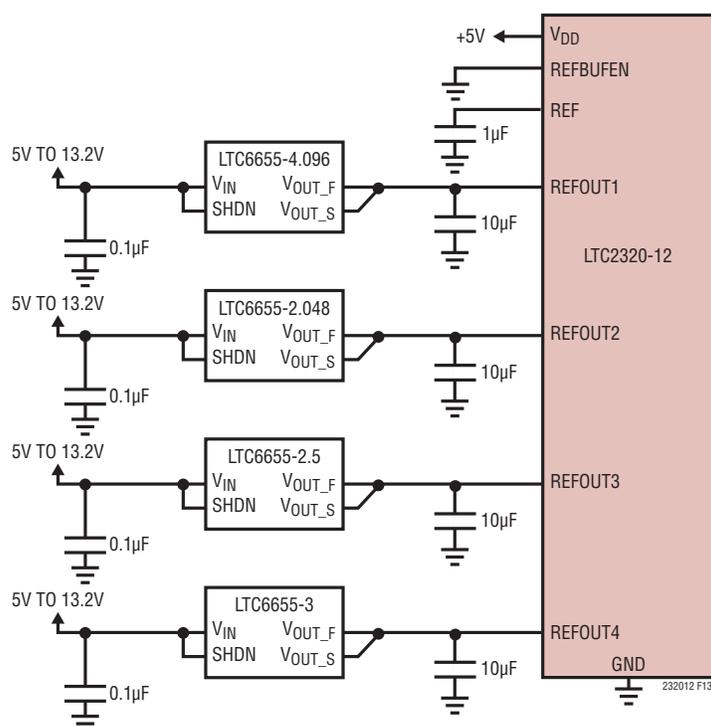
リファレンス構成	V _{DD}	REFBUFEN	REFピン	REFOUT1、2、3、4 ピン	差動入力範囲ピン
Internal Reference with Internal Buffers	5V	5V	4.096V	4.096V	±4.096V
	3.3V	3.3V	2.048V	2.048V	±2.048V
Common External Reference with Internal Buffer (REF Pin Externally Overdriven)	5V	5V	1.25V to 5V	1.25V ~ 3.3V	±1.25V to ±5V
	3.3V	3.3V	1.25V to 5V	1.25V ~ 3.3V	±1.25V to ±3.3V
External Reference with REF Buffers Disabled	5V	0V	4.096V	1.25V to 5V	±1.25V to ±5V
	3.3V	0V	2.048V	1.25V to 3.3V	±1.25V to ±3.3V



(13a) LTC2320-12の内部リファレンス回路



(13b) 共用の外部リファレンス回路を使用するLTC2320-12



(13c) 異なる外部リファレンス電圧を使用するLTC2320-12

図13. リファレンスの接続

アプリケーション情報

力信号振幅と対応するSNRをできるだけ大きくするため、REFOUTをオーバードライブする場合はLTC6655-5の使用を推奨します。LTC6655-5は、LTC6655-4.096と同様に小型、高精度、低ドリフトで、拡張温度範囲に対応します。5Vリファレンスを使用することにより、SNRを高くすることができます。そこで、LTC6655-5をREFOUT1、2、3、4の各ピンのできるだけ近くに配置した10 μ Fのセラミック・コンデンサ(X5R、0805サイズ)でバイパスすることを推奨します。REFBUFENがGNDに接続されているときに、REFピンの電圧をREFOUTリファレンスとして使用する場合、REFピンの電圧を外部でバッファする必要があります。

内部リファレンス・バッファのトランジェント応答

LTC2320-12のREFOUT1、2、3、4ピンには、各変換サイクルの間に外付けのバイパス・コンデンサから電荷(QCONV)が引き寄せられます。内部リファレンス・バッファをオーバードライブする場合は、外部リファレンスが $I_{REF} = Q_{CONV}/t_{CYC}$ に等しいDC電流でこの全電荷を供給する必要があります。したがって、 $I_{REFOUT1,2,3,4}$ に流れるDC電流は、サンプリング・レートと出力コードによって異なります。図14に示すように、長時間のアイドル状態の後、集中的にサンプリングされるアプリケーションでは、 I_{REFBUF} は短時間で約75 μ Aから最大500 μ A (REFOUT = 5V、1.5Msps)になります。このDC電流のステップにより、外部リファレンスのトランジェント応答がトリガされます。REFOUTの電圧が正常値から逸脱すると、出力コードの精度に影響を与えるので、このトランジェント応答には注意が必要です。変換の待ち時間が1サイクルあるので、集中的なサンプリング期間の開始時には最初の変換結果が無効になります。外部リファレンスを使用してREFOUT1、2、3、4をオーバードライブする場合は、高速セトリング特性のLTC6655リファレンスを推奨します。

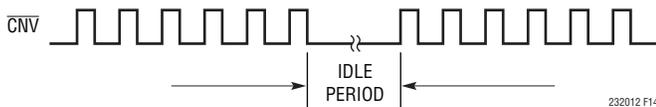


図14. バースト・サンプリングを示す \overline{CNV} の波形

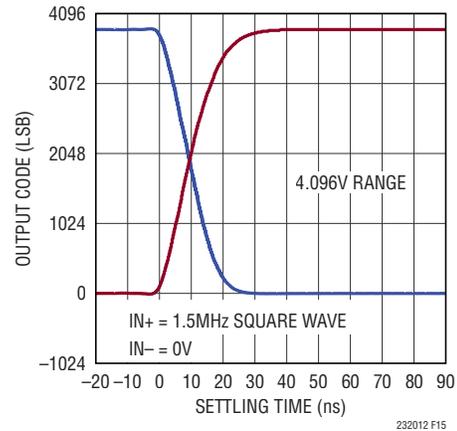


図15. LTC2320-12のトランジェント応答

ダイナミック性能

A/Dコンバータの周波数応答、歪み、およびノイズを定格スループットでテストするには、高速フーリエ変換(FFT)の手法が使われます。低歪みの正弦波を入力し、そのデジタル出力をFFTアルゴリズムを使って解析することにより、基本波の外側の周波数に関してADCのスペクトラム成分を調べることができます。LTC2320-12のAC歪みの測定値とノイズの測定値は、保証されたテスト済みの限界値です。

信号対ノイズ+歪み比(SINAD)

信号対ノイズ+歪み比(SINAD)は、基本入力周波数のRMS振幅とA/Dコンバータ出力での他の全ての周波数成分のRMS振幅の比です。出力の帯域は、DCより高くサンプリング周波数の半分より低い周波数に制限されます。図16は、LTC2320-12が500kHzの入力、1.5MHzのサンプリング・レートで、77dBの標準SINADを達成することを示しています。

信号対ノイズ比(SNR)

信号対ノイズ比(SNR)は、基本入力周波数のRMS振幅と、1次から5次までの高調波とDCを除く他の全ての周波数成分のRMS振幅の比です。図16は、LTC2320-12が500kHzの入力、1.5MHzのサンプリング・レートで、77dBの標準SNRを達成することを示しています。

アプリケーション情報

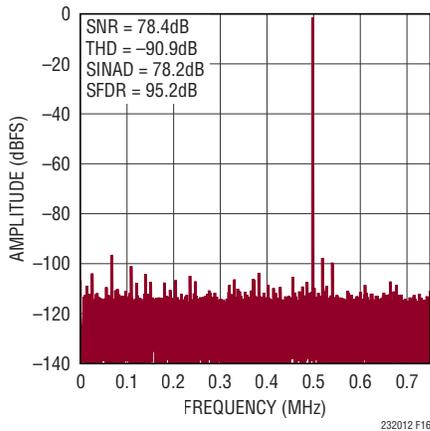


図 16. LTC2320-12 の 32k ポイントの FFT

全高調波歪み (THD)

全高調波歪み (THD) は、入力信号の全ての高調波の RMS 値の合計と基本波の RMS 値との比です。帯域外高調波は、DC とサンプリング周波数の半分 ($f_{\text{SAMPL}}/2$) の間の周波数帯域で折り返しエラーを生じます。THD は次のように表されます。

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}}{V_1}$$

ここで、 V_1 は基本周波数の RMS 振幅で、 $V_2 \sim V_N$ は 2 次～ N 次の高調波の振幅です。

電源に関する検討事項

LTC2320-12 には 2 つの電源が必要です。1 つは 3.3V ～ 5V 電源 (V_{DD}) で、もう 1 つはデジタル入力/出力インタフェース電源 (OV_{DD}) です。柔軟な OV_{DD} 電源により、LTC2320-12 は、1.8V ～ 2.5V で動作する任意のデジタル・ロジックと通信することができます。入力/出力に LVDS を使用する場合は、 OV_{DD} 電源を 2.5V に設定する必要があります。

電源シーケンシング

LTC2320-12 には電源シーケンシングに関する特別な要件はありません。「絶対最大定格」のセクションに記載されている最大電圧の関係を遵守するよう注意する必要があります。LTC2320-12 は、最初の起動時、または電源電圧が 2V より低くなったとき必ず LTC2320-12 をリセットするパワーオン・リ

セット (POR) 回路を備えています。電源電圧が公称電源電圧範囲に戻ると、POR は ADC を再初期化します。再初期化の期間が確実に終了するように、POR イベントの 10ms 後までは変換を開始しないようにします。この時点より前に変換を開始すると、結果は無効になります。

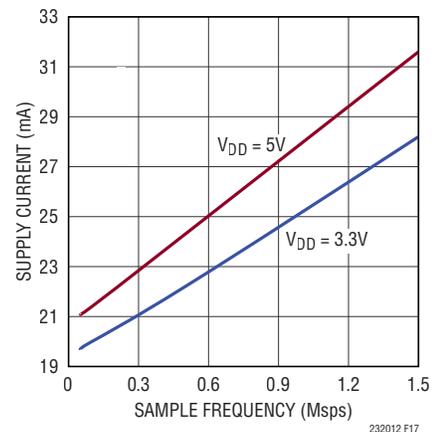


図 17. LTC2320-12 の電源電流とサンプリング・レート

タイミングと制御

CNV のタイミング

LTC2320-12 のサンプリングと変換は $\overline{\text{CNV}}$ によって制御されます。 $\overline{\text{CNV}}$ の立ち上がりエッジでサンプリングが開始され、立ち下がりエッジで変換と読み取り処理が開始されます。変換処理のタイミングは SCK 入力クロックによって決まります。最適な性能を得るには、 $\overline{\text{CNV}}$ をノイズのない低ジッタの信号で駆動します。FPGA の $\overline{\text{CNV}}$ パルス発生源からの比較的大きなジッタの発生を抑制する推奨の実装回路をデータシート裏表紙の「標準的応用例」に示します。低ジッタの入力クロックは、 $\overline{\text{CNV}}$ 信号の立ち下がりエッジのタイミングを決定することに注意してください。 $\overline{\text{CNV}}$ の立ち上がりエッジのジッタは、性能にはほとんど影響しません。 $\overline{\text{CNV}}$ 信号の標準のパルス幅は、変換レートが 1.5MSPS のとき、1.5ns 未満の立ち上がり時間および立ち下がり時間を合わせて 30ns です。

アプリケーション情報

SCK シリアル・データ・クロック入力

SDRモード($\overline{\text{SDR/DDR}}$ ピン23 = GND)では、このクロックの立ち下がりエッジにより、変換結果がMSBを先頭にシフトしてSDOピンに出力されます。8つのSDO出力を全て使用して1.5Mspsのスループットを実現するには、100MHzの外部クロックをSCKピンに入力する必要があります。DDRモード($\overline{\text{SDR/DDR}}$ ピン23 = OV_{DD})では、SCKの各入力エッジにより、変換結果がMSBを先頭にシフトしてSDOピンに出力されます。8つのSDO1～SDO8出力を全て使用して1.5Mspsのスループットを実現するには、50MHzの外部クロックをSCKピンに入力する必要があります。

CLKOUT シリアル・データ・クロック出力

CLKOUT出力は、SDO出力をレシーバでラッチするために、スキューの整合したクロックを出力します。CLKOUT出力とSDO出力のタイミング・スキューは整合します。高スループットのアプリケーションでは、SCKの代わりにCLKOUTを使用してSDO出力を取り込むと、レシーバでのタイミング要件が緩和されます。低スループット速度のアプリケーションでは、ピン34を OV_{DD} に接続すればCLKOUTをディスエーブルできます。

ナップ/スリープ・モード

ナップ・モードは、後続の変換のために起動時の遅延を犠牲にせず、電力を節減する方法です。スリープ・モードでは電力を大幅に節減できますが、リファレンスと電源システムを有効にするために起動時の遅延が生じます。LTC2320-12がナッ

プ・モードに入るには、SCK信号を“H”または“L”に保持し、2つの $\overline{\text{CNV}}$ パルスを連続して入力する必要があります。これはCMOSモードとLVDSモードの両方に該当します。ナップ状態が始まるのは、 $\overline{\text{CNV}}$ の2番目の立ち上がりエッジです。SCKの立ち上がりエッジが1回入力されるか、 $\overline{\text{CNV}}$ パルスがさらに入力されるまで、ナップ状態は持続します。LTC2320-12は、SCKの立ち上がりエッジによって動作(最大電力)状態に戻ります。LTC2320-12は、ナップ・モードのときに、2つの追加パルスが入力されるとスリープ・モードになります。LTC2320-12をCMOS入出力動作に合わせて構成した場合は、SCKの立ち上がりエッジ1回で動作モードに戻ることができます。リファレンス・バッファが外付けのフィルタ・コンデンサを再充電できるようにするには、スリープ・モードの終了後に10msの遅延が必要です。LVDSモードでは、5番目の $\overline{\text{CNV}}$ パルスを入力すればスリープ・モードを終了できます。5番目のパルスによってLTC2320-12は動作モードに戻り、その後さらにSCKパルスが入ると、デバイスはナップ・モードとスリープ・モードに戻らなくなります。5番目のSCKパルスは、CMOSモードでもスリープ・モードを終了する方法として機能します。SCKパルスがない期間に $\overline{\text{CNV}}$ パルスを繰り返し入力すると、LTC2320-12は動作モード、ナップ・モード、スリープ・モードの間を無期限に循環します。

スリープ・モードとナップ・モードに関するより詳細なタイミング情報については、図18、図19、図20、および図21のタイミング図を参照してください。

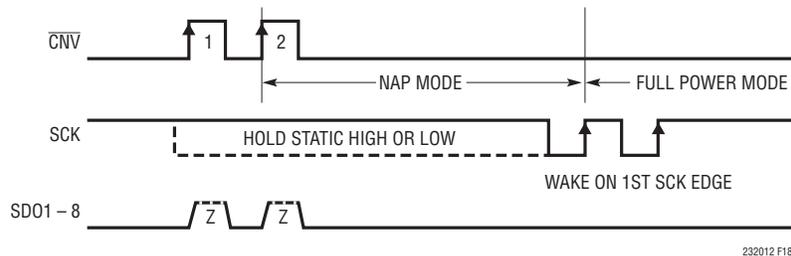


図18. CMOSモードとLVDSモードでのナップとSCKを使用した起動

アプリケーション情報

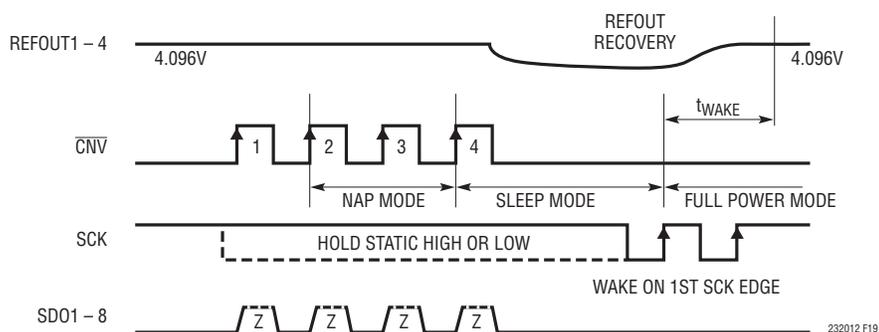


図 19. CMOSモードでのSCKを使用したスリープ状態および起動

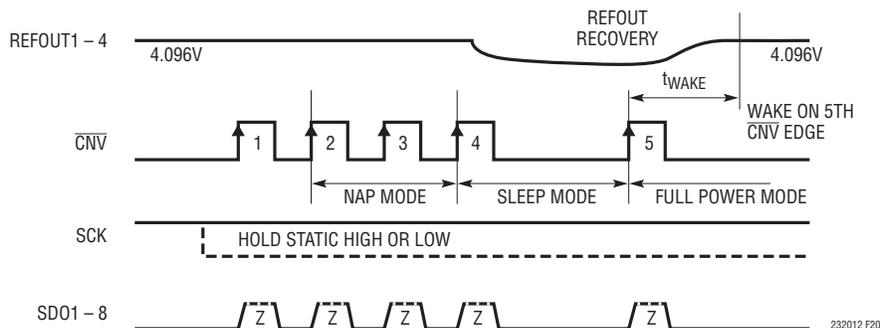


図 20. LVDSモードおよびCMOSモードでのCNVを使用したスリープ状態および起動

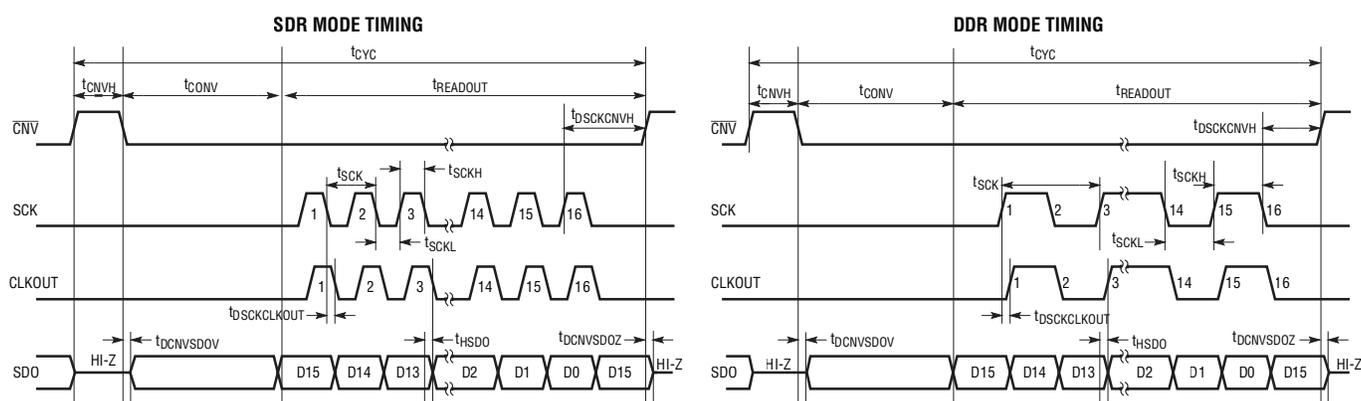


図 21. LTC2320-12のタイミング図

LTC2320-12

アプリケーション情報

デジタル・インタフェース

LTC2320-12は、単純明快に使えるシリアル・デジタル・インタフェースを備えています。柔軟なOV_{DD}電源により、LTC2320-12は、1.8V～2.5Vで動作する任意のデジタル・ロジックと通信することができます。LTC2320-12は、標準のCMOS SPIインタフェースのほかに、低ノイズのデジタル設計をサポートするオプションのLVDS SPIインタフェースを備えています。デジタル・インタフェース・モードを選択するには、 $\overline{\text{CMOS/LVDS}}$ ピンを使用します。SCK入力クロックにより、変換結果がMSBを先頭にシフトしてSDOピンに出力されます。CLKOUTは、SDO出力をレシーバでラッチするために、スキューの整合したクロックを出力します。CLKOUT出力とSDO出力のタイミング・スキューは整合します。高スループットのアプリケーションでは、SCKの代わりにCLKOUTを使用してSDO出力を取り

込むと、レシーバでのタイミング要件が緩和されます。CMOSモードでは、SDO1ピン～SDO8ピン、およびCLKOUTピンを出力として使用します。SCKピンは入力として使用します。LVDSモードでは、SDOA⁺/SDOA⁻ピン～SDOD⁺/SDOD⁻ピンおよびCLKOUT⁺/CLKOUT⁻ピンを差動出力として使用します。各LVDSレーンには、2チャンネル分のデータが生成されます。つまり、SDOAにはCH1およびCH2のデータが生成され、SDOBにはCH3およびCH4のデータが生成され、SDOCにはCH5およびCH6のデータが生成され、SDODにはCH7およびCH8のデータが生成されます。これらのピンは、レシーバ(FPGA)に100Ωの抵抗を外付けすることによって差動で終端する必要があります。SCK⁺/SCK⁻ピンは差動入力であり、レシーバ(A/Dコンバータ)に100Ωの抵抗を外付けすることによって差動で終端する必要があります。

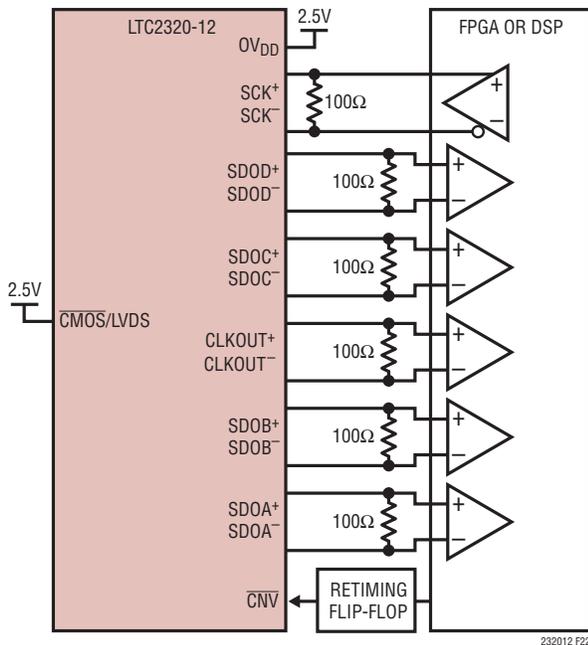


図 22. LVDS インタフェースを使用する LTC2320-12

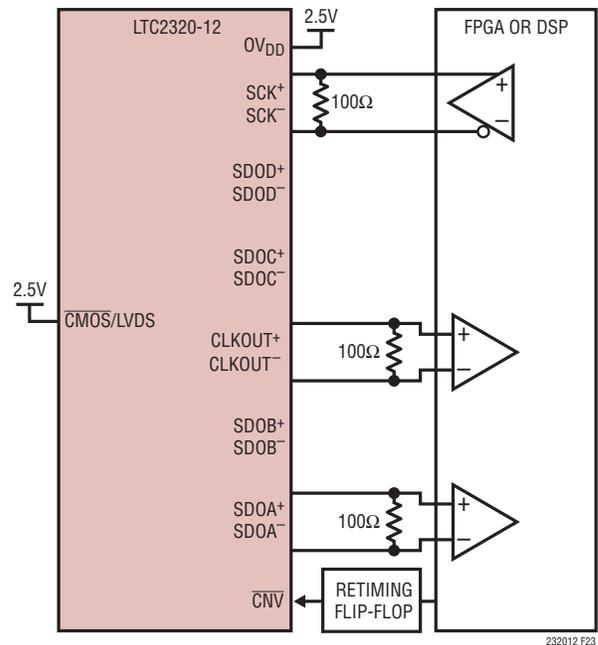


図 23. 1つのレーンでLVDS インタフェースを使用する LTC2320-12

アプリケーション情報

SDR/DDRモード

LTC2320-12には、変換データをSDOピンから読み出すためのSDR(シングルデータレート)モードおよびDDR(ダブルデータレート)モードがあります。どちらのモードでも、CLKOUTはSCKの遅延付きバージョンです。SDRモードでは、SCKの各負のエッジで変換データがSDOピンにシフト出力されます。DDRモードでは、SCK入力の各エッジで変換データがシフト出力されます。DDRモードに必要なSCK周波数は、SDRモードに必要な周波数の半分です。SDRモードに構成する場合は $\overline{\text{SDR/DDR}}$ をグランドに接続し、DDRモードに構成する場合は OV_{DD} に接続します。CLKOUT信号は、SCK入力の遅延付きバージョンであり、SDOデータと位相が整列します。SDRモードでは、図21に示すように、SDOはCLKOUTの立ち下がりエッジで遷移します。SDRモードでは、CLKOUTの立ち上がりエッジを使用してSDOデータをFPGAレジスタにラッチすることを推奨します。DDRモードでは、SDOはSCKの各入力エッジで遷移します。DDRモードでは、CLKOUTの立ち上がりエッジおよび立ち下がりエッジを使用してSDOデータをFPGAレジスタにラッチすることを推奨します。CLKOUTとSDOデータの位相が整列するため、DDRモードでは、十分なセットアップおよびホールドのタイミング・マージンを提供するために、SDO信号がFPGAでデジタルに遅延する必要があります。

複数のデータ・レーン

LTC2320-12は、CMOSモードでは最大8つのSDOデータ・レーンを備え、LVDSモードでは4つのSDOレーンを備えています。CMOSモードで可能なデータ・レーン数の範囲は、8(SDO1～SDO8)、4(SDO1、SDO3、SDO5、およびSDO7)、2(SDO1およびSDO5)、および1(SDO1)です。通常、多くのデータ・レーンを使用するほど、必要なSCK周波数が低くなります。CMOSモードで8レーン未満を使用する場合、可能な最大変換周波数に対して制限があります(表3を参照)。各SDOピンは、変換データのMSBを保持します。DDRモードでは、SDRモードのSCK周波数の半分のSCK周波数を使用できます。さまざまな可能性および得られる必要なSCK周波数の例については、表3を参照してください。

複数のデータ・レーン

LTC2320-12は、CMOSモードでは最大8つのシリアル・データ出力データ・レーンを備え、LVDSモードでは4つのシリアル・データ出力レーンのペアを備えています。各レーンのデータは、MSBを先頭にした12ビットの変換結果で構成されます。

CMOS

CMOSモードで可能なデータ・レーン数の範囲は、8(SDO1～SDO8)、4(SDO1、SDO3、SDO5、およびSDO7)、2(SDO1およびSDO5)、および1(SDO1)です。CMOSのタイミング図で推奨されているように、各SDOレーンは、全てのアナログ入力チャンネルについて、連続的に循環する方法で、変換結果を出力します。例えば、SDO1での最初の変換結果は、アナログ入力チャンネル1に対応し、その後の変換結果はチャンネル2～8に対応します。その後、SDO1でのデータ出力はチャンネル1に戻り、このパターンが無限に繰り返されます。その他のSDOレーンは、各レーンに出力される最初の変換結果が、そのレーンに関連付けられたアナログ入力チャンネルに対応することを除いて、同様の循環パターンに従います。

8レーン全体でのシリアル・データに対応できないアプリケーションは、LTC2320-12を再構成することなく、より少ないレーンを使用できます。例えば、4つの出力レーンを使用してSDO1、SDO3、SDO5、およびSDO7から最初の2つの変換結果(SDRモードでは合計32個のSCKサイクル、DDRモードでは32個のSCKエッジ)を捕捉することで、アナログ入力チャンネル1と2、3と4、5と6、および7と8のデータをそれぞれ提供します。同様に、2つの出力レーンを使用してSDO1およびSDO5から最初の4つの変換結果(SDRモードでは合計64個のSCKサイクル、DDRモードでは64個のSCKエッジ)を捕捉することで、アナログ入力チャンネル1～4および5～8のデータをそれぞれ提供します。1レーンのみに対応できる場合、SDO1から最初の変換結果(SDRモードでは合計128個のSCKサイクル、DDRモードでは128個のSCKエッジ)を捕捉することで、全てのアナログ入力チャンネルのデータを提供します。通常、多くのデータ・レーンを使用するほど、必要なSCK周波数が低くなります。CMOSモードで8レーン未満を使用する場合、可能な最大変換周波数に対して制限があります。さまざまな可能性および得られる必要なSCK周波数の例については、表3を参照してください。

LVDS

LVDSモードでは、可能なデータ・レーンのペアの数の範囲は、4(SDOA～SDOD)、2(SDOAおよびSDOC)、および1(SDOA)です。LVDSのタイミング図で推奨されているように、各SDOレーンのペアは、全てのアナログ入力チャンネルについて、連続的に循環する方法で、変換結果を出力します。例えば、SDOAでの最初の変換結果は、アナログ入力チャンネルのペア1および2に対応し、その後の変換結果はチャネ

アプリケーション情報

ル3～8に対応します。その後、SDOAでのデータ出力はチャネル1に戻り、このパターンが無限に繰り返されます。その他のSDOレーンは、各レーンに出力される最初の変換結果が、そのレーンに関連付けられたアナログ入力チャネルのペア (SDOA: アナログ入力1および2, SDOB: アナログ入力3および4, SDOC: アナログ入力5および6, SDOD: アナログ入力7および8) に対応することを除いて、同様の循環パターンに従います。

4レーン全体でのシリアル・データに対応できないアプリケーションは、LTC2320-12を再構成することなく、より少ないレーンを使用できます。例えば、2つの出力レーンを使用してSDOAおよびSDOCから最初の変換結果(SDRモードでは合計64個のSCKサイクル、DDRモードでは64個のSCKエッジ)を捕捉することで、アナログ入力チャネル1～4および5～8のデータをそれぞれ提供します。1レーンのみに対応できる場合、SDOAから最初の変換結果(SDRモードでは合計128個のSCKサイクル、DDRモードでは128個のSCKエッジ)を捕捉することで、全てのアナログ入力チャネルのデータを提供します。通常、多くのデータ・レーンを使用するほど、必要なSCK周波数が低くなります。LVDSモードで4レーン未満を使用する場合、可能な最大変換周波数に対して制限があります。さまざまな可能性および得られる必要なSCK周波数の例については、表3を参照してください。

基板のレイアウト

LTC2320-12から最大限の性能を引き出すには、プリント回路基板を推奨します。プリント回路基板(PCB)のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・クロックやデジタル信号は、アナログ信号に隣接して配線したり、A/Dコンバータの下に配線したりしないように注意します。

電源バイパス・コンデンサを、できるだけ電源ピンに近づけて配置します。A/Dコンバータを低ノイズで動作させるには、これらのバイパス・コンデンサに低インピーダンスの共通帰線を使用することが不可欠です。この目的には、単一の切れ目のないグラウンド・プレーンを推奨します。可能な場合、グラウンドを使用してアナログ入力トレースのスクリーニングを行います。

推奨レイアウト

回路図およびPCBレイアウトを含むこのコンバータのリファレンス設計の詳細については、LTC2320-12の評価キットDC2395Aを参照してください。

表3. さまざまなI/Oモードの変換周波数

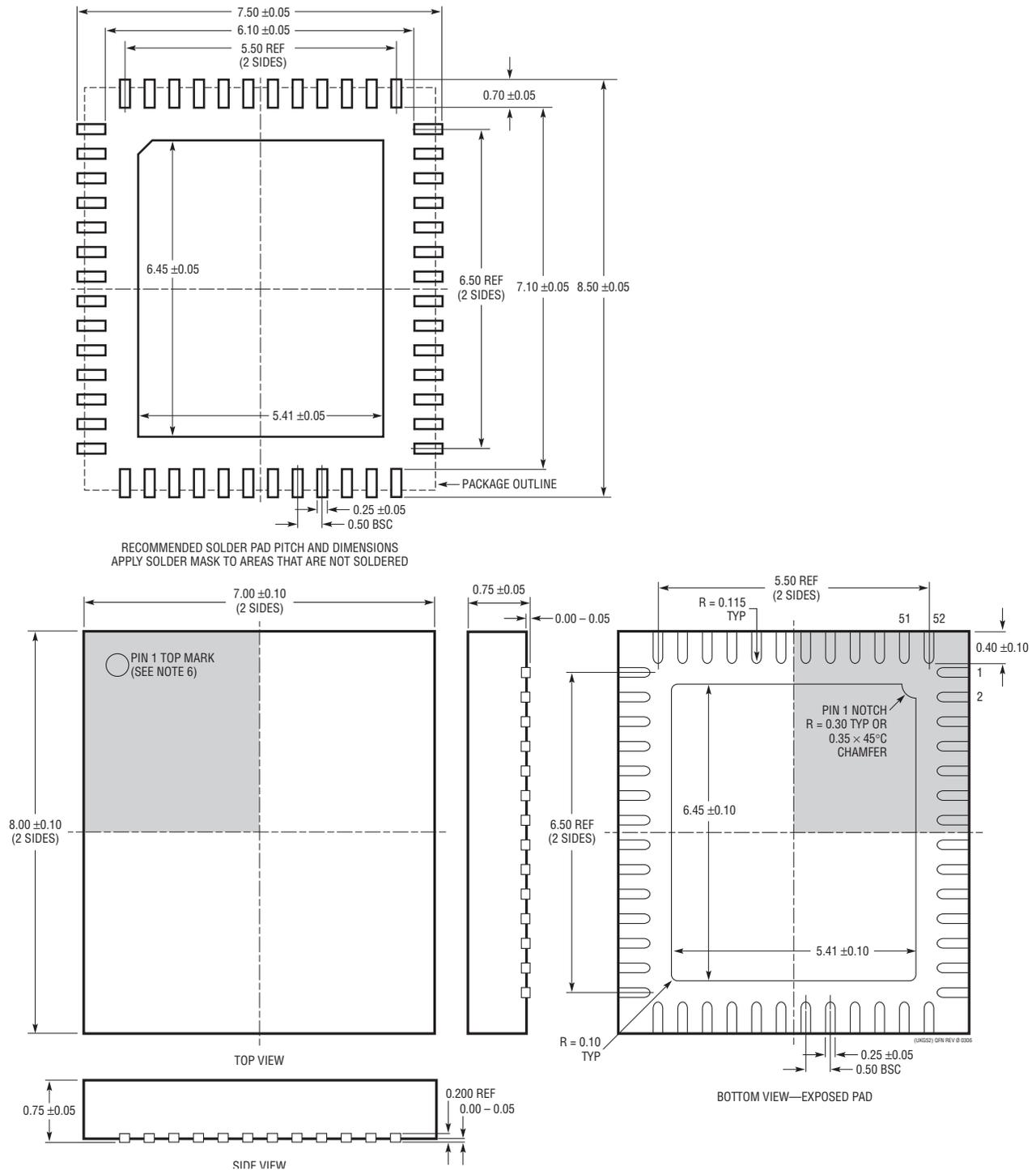
I/Oモード	CMOS/ LVDSピン	SDR/ DDRピン	SD01～8レーン	SDOA～Dレーン	SCK周波数 (MHz)	CLKOUT周波数 (MHz)	SCK サイクル	OV _{DD}	変換周波数 (MSPs/チャンネル)
CMOS	GND (CMOS)	GND (SDR)	SD01 – SD08		100	100	16	1.8V to 2.5V	1.5
		OV _{DD} (DDR)	SD01 – SD08		50	50	8		1.5
		OV _{DD} (DDR)	SD01, SD03, SD05, SD07		50	50	16		1.25
		GND (SDR)	SD01		100	100	128		0.5
LVDS	OV _{DD} (LVDS)	GND (SDR)		SDOA – SDOD	200	200	32	2.5V	1.5
		OV _{DD} (DDR)		SDOA – SDOD	100	100	16		1.5
		OV _{DD} (DDR)		SDOA, SDOC	150	150	32		1.4
		GND (SDR)		SDOA	300	300	128		1.0

注記: 変換期間 (SDR) = $t_{CNV_MIN} + t_{CONV_MAX} + (128 / (\text{レーン} \cdot f_{SCK}))$
 変換期間 (DDR) = $t_{CNV_MIN} + t_{CONV_MAX} + (64 / (\text{レーン} \cdot f_{SCK}))$
 変換周波数 = $1 / \text{変換期間}$
 SCKサイクル (SDR) = $128 / \text{レーン}$
 SCKサイクル (DDR) = $64 / \text{レーン}$

パッケージ寸法

最新のパッケージ図面については、<http://www.linear-tech.co.jp/product/LTC2320-12#packaging> を参照してください。

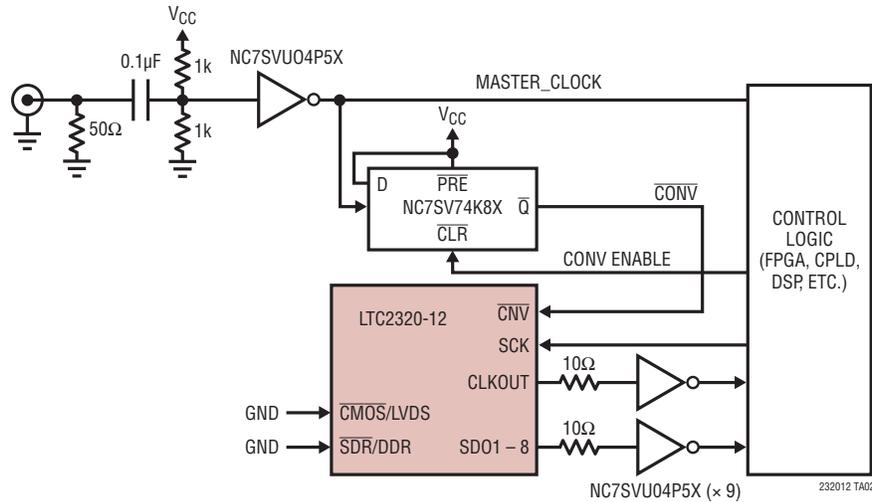
UKG Package
52-Lead Plastic QFN (7mm × 8mm)
 (Reference LTC DWG # 05-08-1729 Rev 0)



LTC2320-12

標準的応用例

クロックの方形波整形回路/レベルシフト回路およびリタイミングのフリップフロップを使用したRF正弦波発生器による低ジッタのクロック・タイミング回路



関連製品

製品番号	説明	注釈
A/D コンバータ		
LTC2310-16/LTC2310-14/ LTC2310-12	入力同相範囲の広い16/14/12ビット、 差動入力 A/D コンバータ	3.3V/5V 電源、1 チャンネル、35mW、最大20ppm/°Cの内部リファレンス、 柔軟な入力、16ピンMSOPパッケージ
LTC2321-16/LTC2321-14/ LTC2321-12	デュアル16/14/12ビット、2Msps/チャンネル、 同時サンプリング A/D コンバータ	3.3V/5V 電源、33mW/チャンネル、最大20ppm/°Cの内部リファレンス、 柔軟な入力、4mm×5mm QFN-28 パッケージ
LTC2324-16/LTC2324-14/ LTC2324-12	クワッド16/14/12ビット、2Msps/チャンネル、 同時サンプリング A/D コンバータ	3.3V/5V 電源、1 チャンネル、40mW、最大20ppm/°Cの内部リファレンス、 柔軟な入力、52ピンQFNパッケージ
LTC2370-16/LTC2368-16/ LTC2367-16/LTC2364-16	16ビット、2Msps/1Msps/500ksps/250ksps シリアル、 低消費電力 A/D コンバータ	2.5V 電源、単極性の疑似差動入力、SNR:94dB、入力範囲:5V、DGC、 MSOP-16および4mm×3mm DFN-16パッケージのピン互換ファミリ
LTC2380-16/LTC2378-16/ LTC2377-16/LTC2376-16	16ビット、2Msps/1Msps/500ksps/250ksps シリアル、 低消費電力 A/D コンバータ	2.5V 電源、差動入力、SNR:96.2dB、入力範囲:±5V、DGC、 MSOP-16および4mm×3mm DFN-16パッケージのピン互換ファミリ
D/A コンバータ		
LTC2632	内部リファレンス使用のデュアル12/10/8ビット SPI 電圧出力 D/A コンバータ	2.7V~5.5V 電源範囲、10ppm/°Cリファレンス、外部REFモード、 レール・トゥ・レール出力、8ピンThinSOT™パッケージ
LTC2602/LTC2612/ LTC2622	外部リファレンス使用のデュアル16/14/12ビット SPI 電圧出力 D/A コンバータ	300μA/DAC、電源範囲:2.5V~5.5V、レール・トゥ・レール出力、 8ピンMSOPパッケージ
リファレンス		
LTC6655	高精度、低ドリフト、低ノイズのバッファ付き リファレンス	5V/4.096V/3.3V/3V/2.5V/2.048V/1.25V、2ppm/°C、 ピーク・トゥ・ピーク・ノイズ:0.25ppm、MSOP-8パッケージ
LTC6652	高精度、低ドリフト、低ノイズのバッファ付き リファレンス	5V/4.096V/3.3V/3V/2.5V/2.048V/1.25V、5ppm/°C、 ピーク・トゥ・ピーク・ノイズ:2.1ppm、MSOP-8パッケージ
アンプ		
LT1818/LT1819	400MHz、2500V/μs、9mA シングル/ デュアル・オペアンプ	5MHzでの歪み:-85dBc、入力ノイズ電圧:6nV/√Hz、電源電流:9mA、 単位利得で安定
LT1806	325MHz、シングル、レール・トゥ・レール入力および 出力、低歪み、低ノイズ、高精度オペアンプ	5MHzでの歪み:-80dBc、入力ノイズ電圧:3.5nV/√Hz、電源電流:9mA、 単位利得で安定
LT6200	165MHz、レール・トゥ・レール入力および出力、 低ノイズ(0.95nV/√Hz)、オペアンプ・ファミリ	低ノイズ、低歪み、単位利得で安定

232012f

32

リニアテクノロジー株式会社

〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F

TEL 03-5226-7291 • FAX 03-5226-0268 • www.linear-tech.co.jp/LTC2320-12

LT0117 • PRINTED IN JAPAN

LINEAR
TECHNOLOGY

© LINEAR TECHNOLOGY CORPORATION 2017