

## 入力同相範囲の広い デュアル12ビット+符号、 5Msps 差動入力A/Dコンバータ

### 特長

- スループット・レート: 5Msps
- $\pm 0.25\text{LSB INL}$  (標準、)  $\pm 1\text{LSB INL}$  を保証
- 欠落コードのない12ビットを保証
- 入力同相範囲の広い差動入力:  $8\text{V}_{\text{P-P}}$
- SNR: 標準 73dB ( $f_{\text{IN}} = 2.2\text{MHz}$ )
- THD: 標準 -85dB ( $f_{\text{IN}} = 2.2\text{MHz}$ )
- $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$  での動作を保証
- 3.3Vまたは5V単電源
- 1.25Vの外部リファレンス入力付き2.048Vまたは4.096Vの低ドリフト(最大20ppm/ $^{\circ}\text{C}$ )内部リファレンス
- I/O(入出力)の電圧範囲: 1.8V ~ 2.5V
- SPI互換シリアルI/O: CMOSまたはLVDS
- $V_{\text{DD}} = 5\text{V}$  (標準)での電力損失: 50mW
- 小型16ピン(4mm $\times$ 5mm)MSOPパッケージ

### アプリケーション

- 高速データ収集システム
- 通信機器
- リモート・データ収集
- 画像処理
- 光通信
- 自動車
- 多相モータ制御

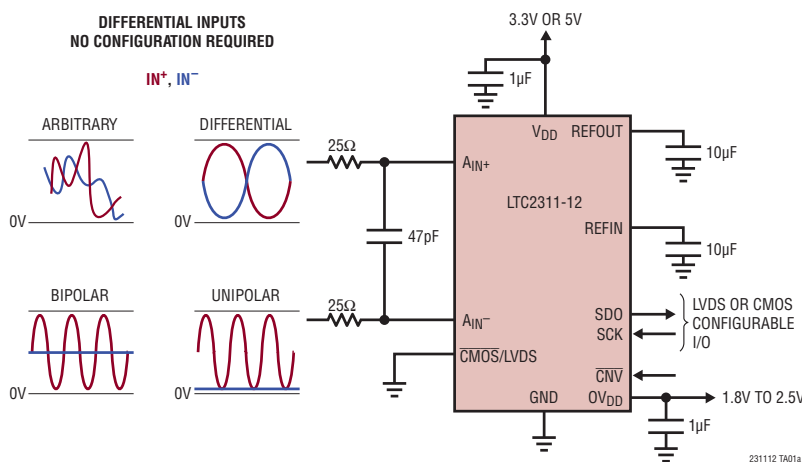
### 概要

LTC<sup>®</sup>2311-12は、差動入力で入力同相範囲の広い低ノイズ、高速12ビット+符号の逐次比較レジスタ(SAR)A/Dコンバータです。LTC2311-12は3.3Vまたは5V単電源で動作し、差動入力範囲が $8\text{V}_{\text{P-P}}$ なので、広いダイナミックレンジと高い同相電圧除去比が要求されるアプリケーションに最適です。LTC2311-12は、 $\pm 0.25\text{LSB}$ のINL(標準)、12ビット分解能で欠落コードなし、73dBのSNR(標準)を実現します。

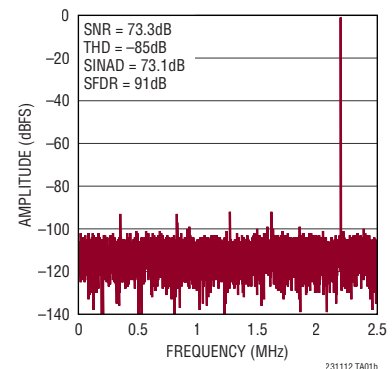
LTC2311-12は、低ドリフト(最大20ppm/ $^{\circ}\text{C}$ )の2.048Vまたは4.096V温度補償リファレンスを内蔵しており、外部1.25Vバッファ付きリファレンス入力を提供します。LTC2311-12は、CMOSまたはLVDSをサポートするSPI互換の高速シリアル・インタフェースも内蔵しています。LTC2311-12は、1サイクルの待ち時間でスループットが5Mspsと高速なので、多種多様な高速アプリケーションに最適です。LTC2311-12の消費電力は5Vでわずか50mWであり、非活動期間中の消費電力をさらに節減するために、消費電力を低減するナップ・モードとスリープ・モードを備えています。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴは、リニアテクノロジー社の登録商標です。その他の商標の所有権は、いずれもそれぞれの所有者に帰属します。

### 標準的応用例



16kポイントのFFT ( $f_{\text{SMPL}} = 5\text{Msps}$ ,  $f_{\text{IN}} = 2.2\text{MHz}$ )



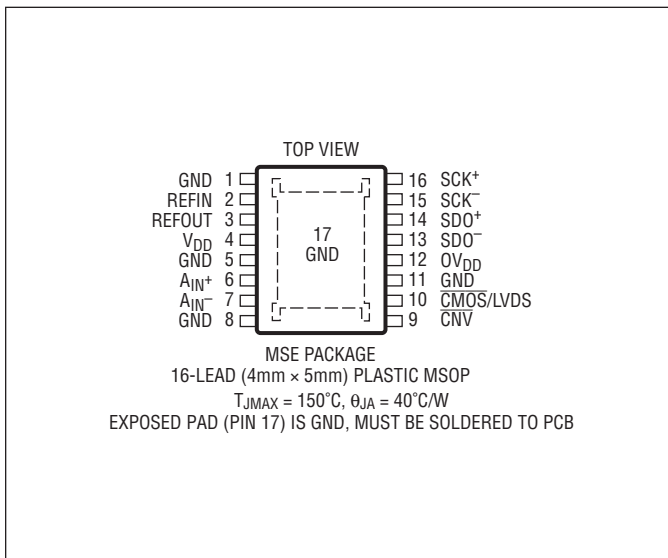
# LTC2311-12

## 絶対最大定格

(Note 1, 2)

電源電圧 ( $V_{DD}$ )	6V
電源電圧 ( $OV_{DD}$ )	3V
アナログ入力電圧	
$A_{IN+}$ , $A_{IN-}$ (Note 3)	$-0.3V \sim (V_{DD} + 0.3V)$
REFIN, REFOUT	$-0.3V \sim (V_{DD} + 0.3V)$
$\overline{CNV}$ (Note 15)	$-0.3V \sim (V_{DD} + 0.3V)$
デジタル入力電圧 (Note 3)	$(GND - 0.3V) \sim (OV_{DD} + 0.3V)$
デジタル出力電圧 (Note 3)	$(GND - 0.3V) \sim (OV_{DD} + 0.3V)$
電力損失	200mW
動作温度範囲	
LTC2311C	$0^{\circ}C \sim 70^{\circ}C$
LTC2311I	$-40^{\circ}C \sim 85^{\circ}C$
LTC2311H	$-40^{\circ}C \sim 125^{\circ}C$
保存温度範囲	$-65^{\circ}C \sim 150^{\circ}C$

## ピン配置



## 発注情報

<http://www.linear-tech.co.jp/product/LTC2311-12#orderinfo>

無鉛仕上げ	テープ・アンド・リール	製品マーキング*	パッケージ	温度範囲
LTC2311CMSE-12#PBF	LTC2311CMSE-12#TRPBF	231112	16-Lead Plastic MSOP	$0^{\circ}C$ to $70^{\circ}C$
LTC2311IMSE-12#PBF	LTC2311IMSE-12#TRPBF	231112	16-Lead Plastic MSOP	$-40^{\circ}C$ to $85^{\circ}C$
LTC2311HMSE-12#PBF	LTC2311HMSE-12#TRPBF	231112	16-Lead Plastic MSOP	$-40^{\circ}C$ to $125^{\circ}C$

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。\* 温度グレードは出荷時のコンテナのラベルで識別されます。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

一部のパッケージは、指定販売チャネルを通じて、#TRMPBFの接尾辞付きで500単位のリールで供給されます。

## 電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^{\circ}C$  での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{IN+}$	Absolute Input Range ( $A_{IN+}$ )	(Note 5)	● 0		$V_{DD}$	V
$V_{IN-}$	Absolute Input Range ( $A_{IN-}$ )	(Note 5)	● 0		$V_{DD}$	V
$V_{IN+} - V_{IN-}$	Input Differential Voltage Range	$V_{IN} = V_{IN+} - V_{IN-}$	● $-\text{REFOUT}$		REFOUT	V
$V_{CM}$	Common Mode Input Range	$V_{IN} = (V_{IN+} + V_{IN-})/2$	● 0		$V_{DD}$	V
$I_{IN}$	Analog Input DC Leakage Current		● -1		1	$\mu A$
$C_{IN}$	Analog Input Capacitance			10		pF
CMRR	Input Common Mode Rejection Ratio	$f_{IN} = 2.2\text{MHz}$		85		dB
$V_{IHCNV}$	$\overline{CNV}$ High Level Input Voltage		● 1.3			V
$V_{ILCNV}$	$\overline{CNV}$ Low Level Input Voltage		●		0.3	V
$V_{INCNV}$	$\overline{CNV}$ Input Current	$V_{IN} = 0V$ to $V_{DD}$	● -10		10	$\mu A$

231112f

## コンバータ特性

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
	Resolution		●	12		Bits	
	No Missing Codes		●	12		Bits	
	Transition Noise			0.3		LSBRMS	
INL	Integral Linearity Error	(Note 6)	●	-1	±0.25	1	LSB
DNL	Differential Linearity Error		●	-0.99	±0.2	0.99	LSB
BZE	Bipolar Zero-Scale Error	(Note 7)	●	-2	0	2	LSB
	Bipolar Zero-Scale Error Drift			0.002			LSB/°C
FSE	Bipolar Full-Scale Error	$V_{\text{REFOUT}} = 4.096\text{V}$ (REFIN Grounded) (Note 7)	●	-4	±1	4	LSB
	Bipolar Full-Scale Error Drift	$V_{\text{REFOUT}} = 4.096\text{V}$ (REFIN Grounded)		15			ppm/°C

## ダイナミック精度

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。また、 $A_{\text{IN}} = -1\text{dBFS}$  (Note 4、8)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
SINAD	Signal-to-(Noise + Distortion) Ratio	$f_{\text{IN}} = 2.2\text{MHz}$ , $V_{\text{REFOUT}} = 4.096\text{V}$ , Internal Reference $f_{\text{IN}} = 2.2\text{MHz}$ , $V_{\text{REFOUT}} = 5\text{V}$ , External Reference	●	70.5	73		dB
					73.2		dB
SNR	Signal-to-Noise Ratio	$f_{\text{IN}} = 2.2\text{MHz}$ , $V_{\text{REFOUT}} = 4.096\text{V}$ , Internal Reference $f_{\text{IN}} = 2.2\text{MHz}$ , $V_{\text{REFOUT}} = 5\text{V}$ , External Reference	●	71	73.3		dB
					73.5		dB
THD	Total Harmonic Distortion	$f_{\text{IN}} = 2.2\text{MHz}$ , $V_{\text{REFOUT}} = 4.096\text{V}$ , Internal Reference $f_{\text{IN}} = 2.2\text{MHz}$ , $V_{\text{REFOUT}} = 5\text{V}$ , External Reference	●		-85	-79	dB
					-85		dB
SFDR	Spurious Free Dynamic Range	$f_{\text{IN}} = 2.2\text{MHz}$ , $V_{\text{REFOUT}} = 4.096\text{V}$ , Internal Reference $f_{\text{IN}} = 2.2\text{MHz}$ , $V_{\text{REFOUT}} = 5\text{V}$ , External Reference	●	79	90		dB
					90		dB
	-3dB Input Linear Bandwidth	$\text{SNR} - \text{SINAD} \geq 3\text{dB}$		10			MHz
	Aperture Delay			500			ps
	Aperture Jitter			1			psRMS
	Transient Response	Full-Scale Step		3			ns

## 内部リファレンスの特性

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{\text{REFOUT}}$	REFOUT Output Voltage	$4.75\text{V} < V_{\text{DD}} < 5.25\text{V}$	●	4.082	4.096	4.110	V
		$3.13\text{V} < V_{\text{DD}} < 3.47\text{V}$	●	2.042	2.048	2.054	V
	REFOUT Input Voltage	$4.75\text{V} < V_{\text{DD}} < 5.25\text{V}$ , REFIN = 0V (Note 5)	●	0.5		$V_{\text{DD}}$	V
		$3.13\text{V} < V_{\text{DD}} < 3.47\text{V}$ , REFIN = 0V (Note 5)	●	0.5		$V_{\text{DD}}$	V
	REFOUT Temperature Coefficient	(Note 14)	●	3	20		ppm/°C
	REFOUT Short-Circuit Current	$V_{\text{DD}} = 5.25\text{V}$ , Forcing Output to GND	●		30		mA
	REFOUT Line Regulation	$V_{\text{DD}} = 4.75\text{V}$ to $5.25\text{V}$		0.3			mV/V
	REFOUT Load Regulation	$I_{\text{REFOUT}} < 2\text{mA}$		0.5			mV/mA
	REFOUT Input Resistance (External Reference Mode)	REFIN = 0V		60			kΩ
$I_{\text{REFOUT}}$	REFOUT Input Current (External Reference Mode)	REFIN = 0V, REFOUT = 4.096V (Note 10)		700			μA

# LTC2311-12

## 内部リファレンスの特性

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V <sub>REFIN</sub>	REFIN Output Voltage	3.13V < V <sub>DD</sub> < 3.47V	●	1.245	1.25	1.255	V
		4.75V < V <sub>DD</sub> < 5.25V	●	1.245	1.25	1.255	V
	REFIN Input Voltage	3.13V < V <sub>DD</sub> < 3.47V (Note 5)	●	1		1.85	V
		4.75V < V <sub>DD</sub> < 5.25V (Note 5)	●	1		1.45	V
	REFIN Short-Circuit Current	V <sub>DD</sub> = 5.25V, Forcing Output to GND	●			250	μA
V <sub>IL</sub> (V <sub>REFIN</sub> )	REFIN Low Level Input Voltage (External Reference Mode)	3.13V < V <sub>DD</sub> < 3.47V	●			0.5	V
		4.75V < V <sub>DD</sub> < 5.25V	●			0.5	V

## デジタル入力とデジタル出力

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
<b>CMOS デジタル入力とデジタル出力</b>							
V <sub>IH</sub>	High Level Input Voltage		●	0.8 • OV <sub>DD</sub>			V
V <sub>IL</sub>	Low Level Input Voltage		●			0.2 • OV <sub>DD</sub>	V
I <sub>IN</sub>	Digital Input Current	V <sub>IN</sub> = 0V to OV <sub>DD</sub>	●	-10		10	μA
C <sub>IN</sub>	Digital Input Capacitance				5		pF
V <sub>OH</sub>	High Level Output Voltage	I <sub>O</sub> = -500μA	●	OV <sub>DD</sub> - 0.2			V
V <sub>OL</sub>	Low Level Output Voltage	I <sub>O</sub> = 500μA	●			0.2	V
I <sub>OZ</sub>	Hi-Z Output Leakage Current	V <sub>OUT</sub> = 0V to OV <sub>DD</sub>	●	-10		10	μA
I <sub>SOURCE</sub>	Output Source Current	V <sub>OUT</sub> = 0V			-10		mA
I <sub>SINK</sub>	Output Sink Current	V <sub>OUT</sub> = OV <sub>DD</sub>			10		mA
<b>LVDS デジタル入力とデジタル出力</b>							
V <sub>ID</sub>	LVDS Differential Input Voltage	100Ω Differential Termination, OV <sub>DD</sub> = 2.5V	●	240		600	mV
V <sub>IS</sub>	LVDS Common Mode Input Voltage	100Ω Differential Termination, OV <sub>DD</sub> = 2.5V	●	1		1.45	V
V <sub>OD</sub>	LVDS Differential Output Voltage	100Ω Differential Load, LVDS Mode, OV <sub>DD</sub> = 2.5V	●	100	225	300	mV
V <sub>OS</sub>	LVDS Common Mode Output Voltage	100Ω Differential Load, LVDS Mode, OV <sub>DD</sub> = 2.5V	●	0.85	1.2	1.4	V
V <sub>OD_LP</sub>	Low Power LVDS Differential Output Voltage	100Ω Differential Load, Low Power, LVDS Mode, OV <sub>DD</sub> = 2.5V	●	50	125	200	mV
V <sub>OS_LP</sub>	Low Power LVDS Common Mode Output Voltage	100Ω Differential Load, Low Power, LVDS Mode, OV <sub>DD</sub> = 2.5V	●	0.9	1.2	1.4	V

## 電源要件

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V <sub>DD</sub>	Supply Voltage	5V Operation	●	4.75	5.25	V
		3.3V Operation	●	3.13	3.47	V
OV <sub>DD</sub>	Supply Voltage		●	1.71	2.63	V
I <sub>VDD</sub>	Supply Current	5Msps Sample Rate ( $A_{IN+} = A_{IN-} = 0V$ )	●	8.8	12	mA
I <sub>NAP</sub>	Nap Mode Current	Conversion Done (I <sub>VDD</sub> )	●	2.4	3.5	mA
I <sub>SLEEP</sub>	Sleep Mode Current	V <sub>DD</sub> = 3.3V, Sleep Mode (I <sub>VDD</sub> + I <sub>OVDD</sub> )	●	0.1	10	μA

## CMOS I/O モード

I <sub>OVDD</sub>	Supply Current	5Msps Sample Rate ( $C_L = 5pF$ )	●	1.1	1.5	mA
PD_3.3V	Power Dissipation	V <sub>DD</sub> = 3.3V 5Msps Sample Rate ( $A_{IN+} = A_{IN-} = 0V$ )		27		mW
	Nap Mode	V <sub>DD</sub> = 3.3V Conversion Done (I <sub>VDD</sub> + I <sub>OVDD</sub> )		7.5		mW
	Sleep Mode	V <sub>DD</sub> = 3.3V Sleep Mode (I <sub>VDD</sub> + I <sub>OVDD</sub> )		0.3		μW
PD_5V	Power Dissipation	V <sub>DD</sub> = 5V 5Msps Sample Rate ( $A_{IN+} = A_{IN-} = 0V$ )	●	50	65	mW
	Nap Mode	V <sub>DD</sub> = 5V Conversion Done (I <sub>VDD</sub> + I <sub>OVDD</sub> )	●	12	18	mW
	Sleep Mode	V <sub>DD</sub> = 5V Sleep Mode (I <sub>VDD</sub> + I <sub>OVDD</sub> )	●	0.5	30	μW

## LVDS I/O モード

I <sub>OVDD</sub>	Supply Current	5Msps Sample Rate ( $R_L = 100\Omega$ )	●	2.5	3.5	mA
PD_3.3V	Power Dissipation	V <sub>DD</sub> = 3.3V 5Msps Sample Rate ( $A_{IN+} = A_{IN-} = 0V$ )		33		mW
	Nap Mode	V <sub>DD</sub> = 3.3V Conversion Done (I <sub>VDD</sub> + I <sub>OVDD</sub> )		14		mW
	Sleep Mode	V <sub>DD</sub> = 3.3V Sleep Mode (I <sub>VDD</sub> + I <sub>OVDD</sub> )		0.3		μW
PD_5V	Power Dissipation	V <sub>DD</sub> = 5V 5Msps Sample Rate ( $A_{IN+} = A_{IN-} = 0V$ )	●	58	65	mW
	Nap Mode	V <sub>DD</sub> = 5V Conversion Done (I <sub>VDD</sub> + I <sub>OVDD</sub> )	●	18	25	mW
	Sleep Mode	V <sub>DD</sub> = 5V Sleep Mode (I <sub>VDD</sub> + I <sub>OVDD</sub> )	●	0.5	20	μW

## A/D コンバータのタイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CMOS、LVDS I/O モード</b>						
f <sub>SMPL</sub>	Maximum Sampling Frequency		●		5	Msps
t <sub>CYC</sub>	Time Between Conversions	(Note 11)	●	200	1000000	ns
t <sub>ACQ</sub>	Acquisition Time	(Note 11)	●	38.1		ns
t <sub>CONV</sub>	Conversion Time		●	161.9		ns
t <sub>CNVH</sub>	CNV High Time		●	25		ns
t <sub>DCNVSKL</sub>	SCK Quiet Time from $\overline{\text{CNV}}\downarrow$	(Note 11)	●	10		ns
t <sub>DSCKLCNVH</sub>	SCK Delay Time to $\overline{\text{CNV}}\uparrow$	(Note 11)	●	20		ns
t <sub>SCK</sub>	SCK Period	(Note 12, 13)	●	9.4		ns
t <sub>SCKH</sub>	SCK High Time		●	4		ns
t <sub>SCKL</sub>	SCK Low Time		●	4		ns

## A/Dコンバータのタイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$t_{\text{DSCKSDOV}}$	SDO Data Valid Delay from SCK↓	$C_L = 5\text{pF}$ (Note 11)	●	4	7.4	ns
$t_{\text{HSDO}}$	SDO Data Remains Valid Delay from SCK↓	$C_L = 5\text{pF}$ (Note 11)	●	2		ns
$t_{\text{DCNVSDOV}}$	SDO Data Valid Delay from $\overline{\text{CNV}}\downarrow$	$C_L = 5\text{pF}$ (Note 11)	●	2.5	5	ns
$t_{\text{DCNVSDOZ}}$	Bus Relinquish Time After $\overline{\text{CNV}}\uparrow$	(Note 11)	●		5	ns
$t_{\text{WAKE}}$	REFOUT Wake-Up Time	$C_{\text{REFOUT}} = 10\mu\text{F}$		10		ms

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

**Note 2:** 全ての電圧値はグラウンドを基準にしている。

**Note 3:** これらのピンの電圧をグラウンドより低くするか、 $V_{\text{DD}}$  ピンまたは  $0V_{\text{DD}}$  ピンの電圧より高くすると、内部のダイオードによってクランプされる。この製品は、これらのピンの電圧がグラウンドより低くなるか、 $V_{\text{DD}}$  ピンまたは  $0V_{\text{DD}}$  ピンの電圧より高くなった場合でも、ラッチアップを生じることなく最大100mAの入力電流を処理できる。

**Note 4:**  $V_{\text{DD}} = 5\text{V}$ ,  $0V_{\text{DD}} = 2.5\text{V}$ ,  $\text{REFOUT} = 4.096\text{V}$ ,  $f_{\text{SMPL}} = 5\text{MHz}$ 。

**Note 5:** 推奨動作条件。

**Note 6:** 積分非直線性は、実際の伝達曲線の端点を通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

**Note 7:** 両極性ゼロ誤差は、出力コードが0 0000 0000 0000と1 1111 1111 1111の間を往復しているときに、 $-0.5\text{LSB}$ から測定されたオフセット電圧である。フルスケールの両極性誤差は、最初と最後の理想的なコード遷移からの $-FS$ または $+FS$ の未調整偏差の最悪値であり、オフセット誤差の影響が含まれる。

**Note 8:** dB表示の全ての規格値は、 $\text{REFOUT} = 4.096\text{V}$ での $\pm 4.096\text{V}$ のフルスケール入力を基準にしている。

**Note 9:**  $\text{REFOUT}$ をオーバードライブする場合は、 $\text{REFIN} = 0\text{V}$ に設定して内部リファレンス・バッファをオフにしなければならない。

**Note 10:**  $f_{\text{SMPL}} = 5\text{MHz}$ 。  $I_{\text{REFOUT}}$ はサンプル・レートに比例して変化する。

**Note 11:** 設計によって保証されているが、テストされない。

**Note 12:** パラメータは $0V_{\text{DD}} = 1.71\text{V}$ および $0V_{\text{DD}} = 2.5\text{V}$ でテストされ、保証されている。

**Note 13:** 立ち下がりエッジで捕捉する場合、最小9.4nsの $t_{\text{SCK}}$ により最大105MHzのシフトロック周波数が可能である。

**Note 14:** 温度係数は出力電圧の最大変化を規定温度範囲で割って計算される。

**Note 15:**  $\overline{\text{CNV}}$ は、低ジッタのデジタル信号源により、標準では $0V_{\text{DD}}$ ロジック・レベルで駆動される。この入力ピンは、少量の電流が流れるTTL方式の入力回路を内蔵している。

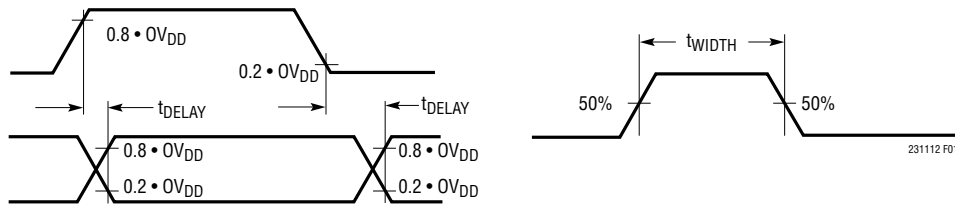
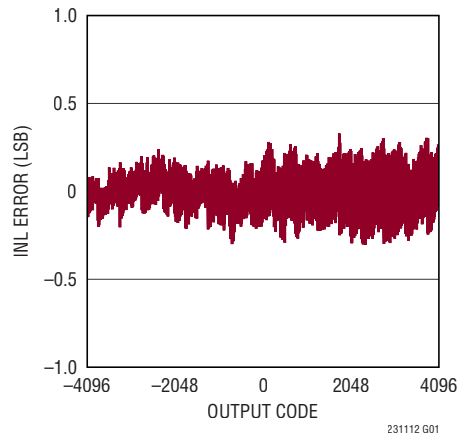


図1. タイミング仕様の電圧レベル

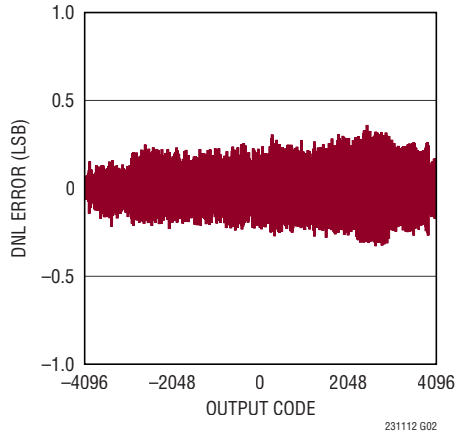
## 標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、 $REF_{OUT} = 4.096\text{V}$ 、 $f_{SAMPL} = 5\text{Mpsps}$ 。

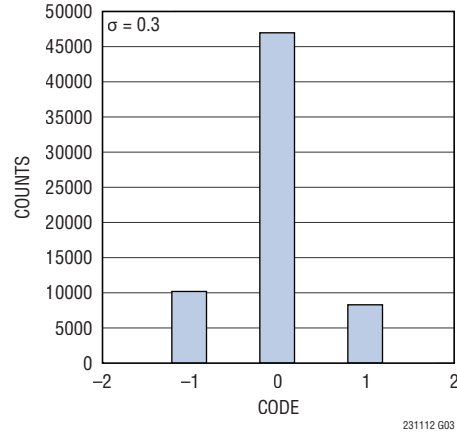
積分非直線性と出力コード



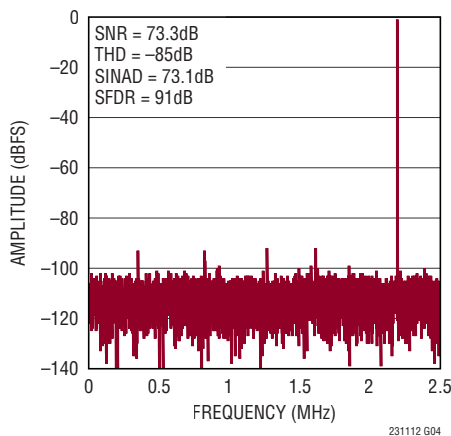
微分非直線性と出力コード



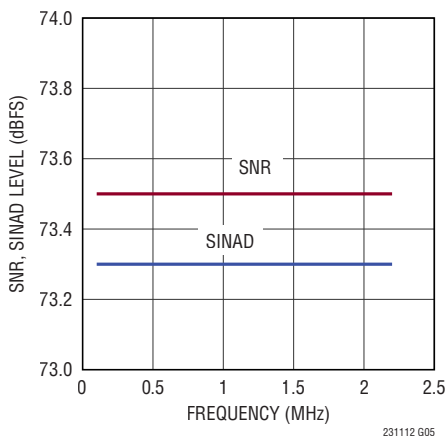
64000個の場合のDCヒストグラム



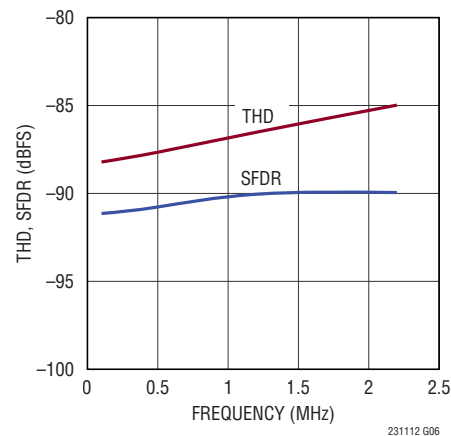
16kポイントのFFT  
( $f_{SAMPL} = 5\text{Mpsps}$ 、 $f_{IN} = 2.2\text{MHz}$ )



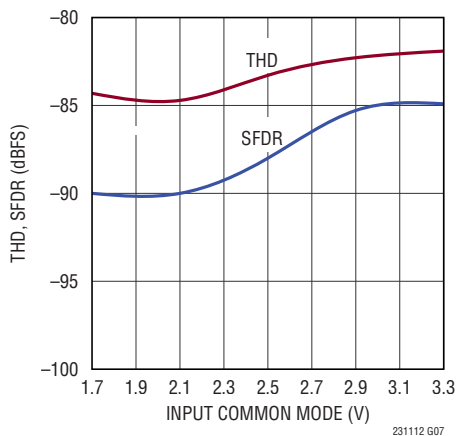
SNR、SINADと入力周波数  
(100kHz ~ 2.2MHz)



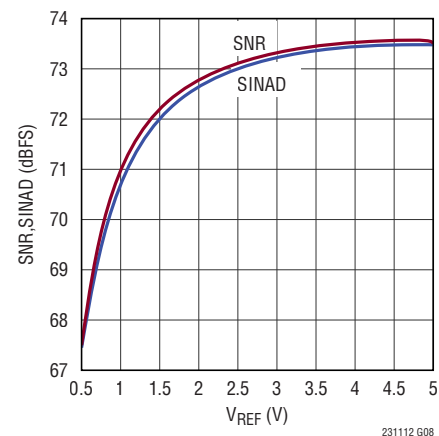
THD、SFDR入力周波数  
(100kHz ~ 2.2MHz)



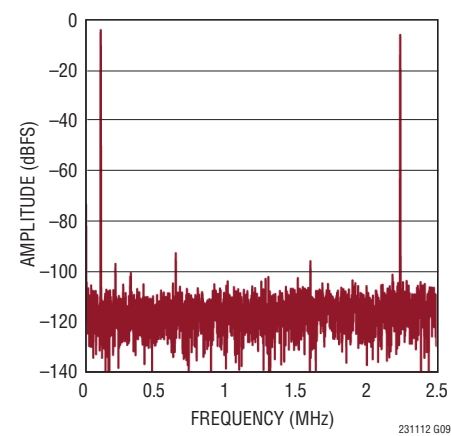
THD、SFDRと入力同相電圧  
(100kHz ~ 2.2MHz)



SNR、SINADとリファレンス電圧、  
( $f_{IN} = 500\text{kHz}$ )



8kポイントのFFT、IMD、 $f_{SAMPL} = 5\text{Mpsps}$ 、 $A_{IN}^+ = 100\text{kHz}$ 、 $A_{IN}^- = 2.2\text{MHz}$

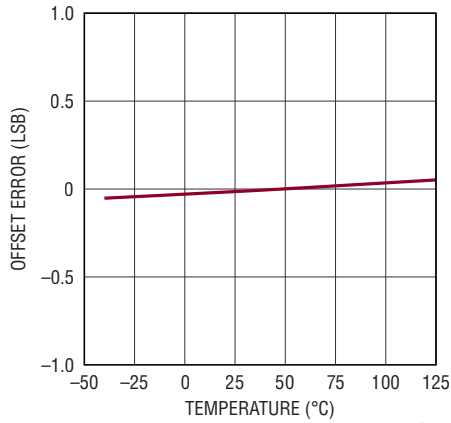


# LTC2311-12

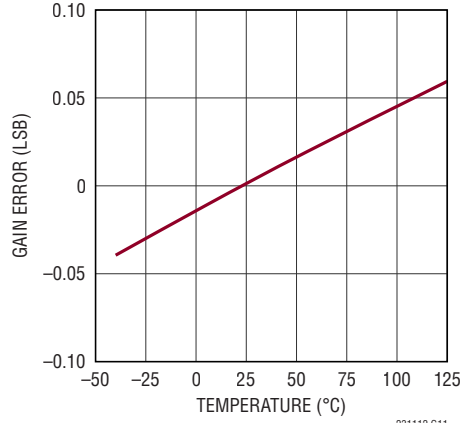
## 標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、 $REF_{OUT} = 4.096\text{V}$ 、 $f_{SAMPL} = 5\text{Msps}$ 。

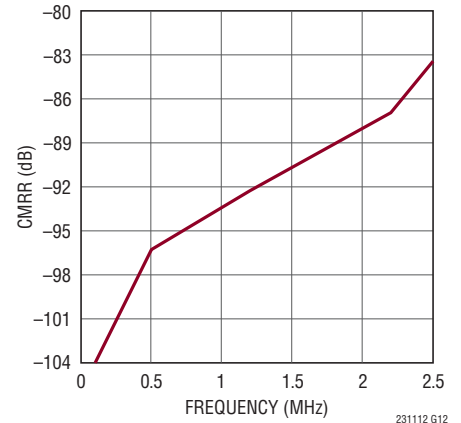
### オフセット誤差と温度



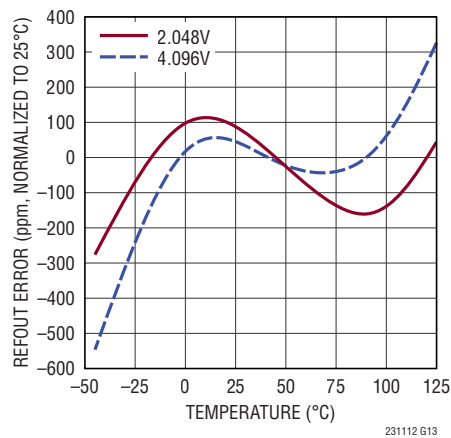
### 利得誤差と温度



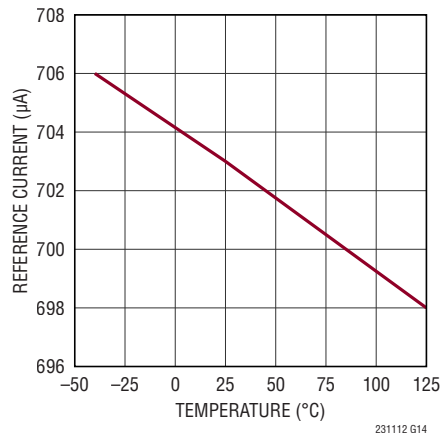
### CMRRと入力周波数



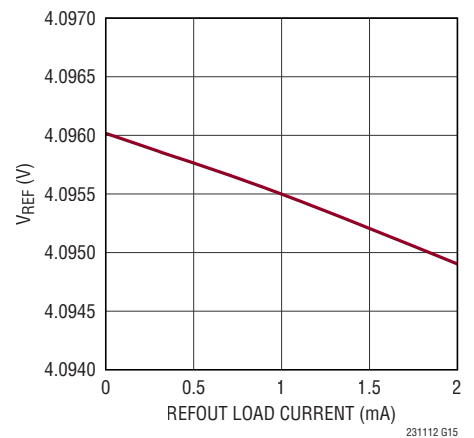
### REFOUT出力と温度



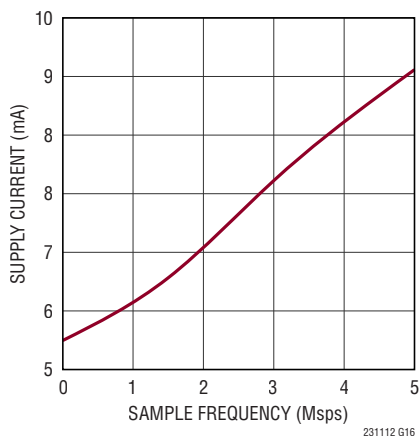
### I<sub>REFOUT</sub>と温度、V<sub>REF</sub> = 4.096V



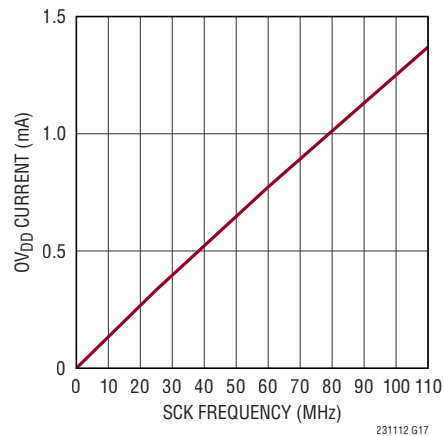
### REFOUTの出力負荷レギュレーション



### 電源電流とサンプリング周波数



### OV<sub>DD</sub>の電流とSCKの周波数、C<sub>LOAD</sub> = 10pF





## ピン機能

**GND (ピン1、5、8、11) :** グランド。これらのピンと露出パッド(17ピン)は切れ目のないグランド・プレーンに直接接続する必要があります。

**REFIN (ピン2) :** レファレンス・バッファの1.25V入出力。内蔵バッファはこのピンに公称1.25Vを出力します。このピンは、10 $\mu$ F (X5R、0805サイズ)のセラミック・コンデンサをピンの近くで(ビアを使用せずに)使用して、デカップリングする必要があります。このピンを駆動する内部バッファを、外部リファレンスを使用してオーバードライブすることができます。REFINピンは、GNDに引き下げられると、REFOUTピンのバッファをディスエーブルして、外部リファレンスがREFOUTを直接駆動できるようにします。

**REFOUT (ピン3) :** リファレンス・バッファ出力。内蔵バッファはこのピンに公称4.096Vを出力します。このピンは、10 $\mu$ F (X5R、0805サイズ)のセラミック・コンデンサをピンの近くで(ビアを使用せずに)使用して、デカップリングする必要があります。このピンを駆動する内部バッファをディスエーブルするには、REFINピンを接地します。バッファがディスエーブルされている場合、外部リファレンスは1.25V $\sim$ V<sub>DD</sub>の範囲でこのピンを駆動できます。

**V<sub>DD</sub> (ピン4) :** 電源。1 $\mu$ Fのセラミック・コンデンサをV<sub>DD</sub>ピンの近くで接続して、V<sub>DD</sub>をGNDにバイパスします。

**A<sub>IN</sub><sup>+</sup>、A<sub>IN</sub><sup>-</sup> (ピン6、7) :** アナログ差動入力ピン。フルスケールの範囲(A<sub>IN</sub><sup>+</sup> $\sim$ A<sub>IN</sub><sup>-</sup>)は、 $\pm$ REFOUT電圧です。これらのピンを駆動できる電圧範囲はV<sub>DD</sub>からGNDまでです。

**CNV (ピン9) :** 変換入力。このピンが“H”のときは、サンプリング段階が規定されます。このピンを“L”にすると、変換段階が開始され、出力データはクロックに同期して出力されます。この入力ピンは、低ジッタのパルスにより標準でOV<sub>DD</sub>レベルに駆動されるTTL方式の入力ですが、V<sub>DD</sub>レベルに設定されません。このピンはCMOS/LVDSピンの影響は受けません。

**CMOS/LVDS (ピン10) :** I/Oモードの選択。CMOSモードをイネーブルするにはこのピンを接地し、LVDSモードをイネーブルするにはOV<sub>DD</sub>に接続します。低消費電力のLVDSモードをイネーブルするには、このピンをフロート状態にします。

**OV<sub>DD</sub> (ピン12) :** I/Oインタフェースのデジタル電源。OV<sub>DD</sub>の範囲は1.71V $\sim$ 2.5Vです。この電源は公称値がホストのインタフェースと同じ電源電圧に設定します(CMOS:1.8Vまたは2.5V、LVDS:2.5V)。1 $\mu$ Fのセラミック・コンデンサをOV<sub>DD</sub>ピンの近くで接続して、OV<sub>DD</sub>をGNDにバイパスします。

**露出パッド(ピン17) :** グランド。このパッドはグランドに半田付けします。

### CMOS I/Oモード

**SDO<sup>+</sup> (ピン14) :** シリアル・データ出力。変換結果は、SCKの各立ち上がりエッジでMSBを先頭にシフトして出力されます。その結果は、SDO<sup>+</sup>に出力されます。ロジック・レベルはOV<sub>DD</sub>によって決まります。SDO<sup>-</sup>は接続しないでください。(ピン13)

**SCK<sup>+</sup> (ピン16) :** シリアル・データ・クロック入力。このクロックの立ち上がりエッジにより、変換結果はMSBを先頭にシフトしてSDOピンに出力されます。シングルエンドのクロックを使用してSCK<sup>+</sup>を駆動します。ロジック・レベルはOV<sub>DD</sub>によって決まります。SCK<sup>-</sup>は接続しないでください。(ピン15)

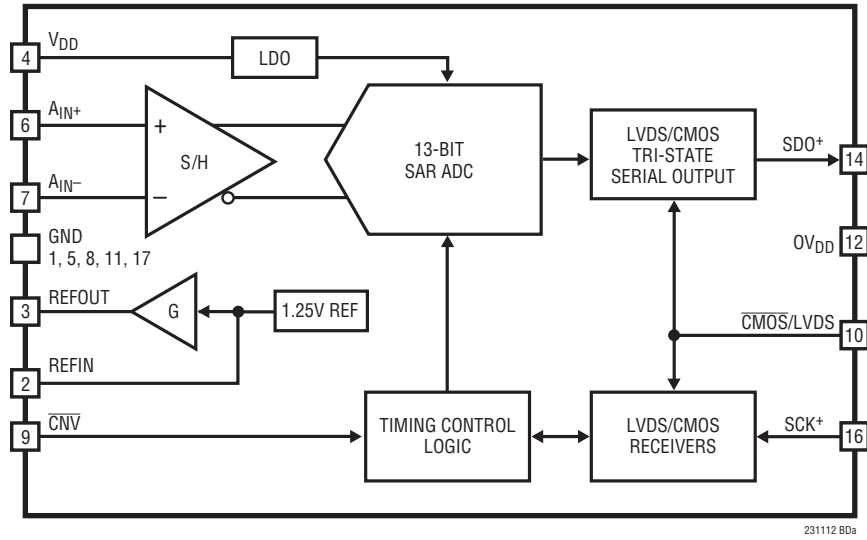
### LVDS I/Oモード

**SDO<sup>+</sup>、SDO<sup>-</sup> (ピン14、13) :** シリアル・データ出力。変換結果は、SCKの各立ち上がりエッジでMSBを先頭にシフトして出力されます。その結果は、SDO<sup>+</sup>およびSDO<sup>-</sup>に差動で出力されます。これらのピンは、レシーバ(FPGA)に100 $\Omega$ の抵抗を外付けすることによって差動で終端する必要があります。

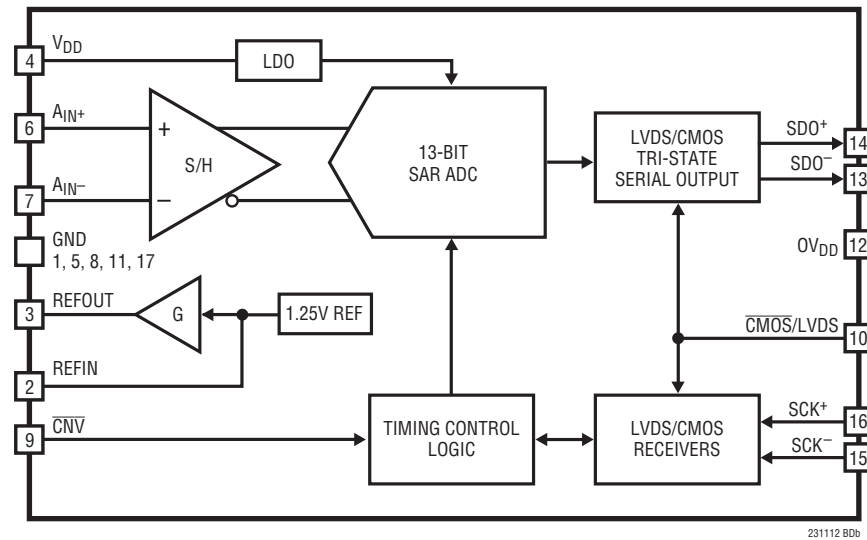
**SCK<sup>+</sup>、SCK<sup>-</sup> (ピン16、15) :** シリアル・データ・クロック入力。このクロックの立ち上がりエッジにより、変換結果はMSBを先頭にシフトしてSDOピンに出力されます。差動クロックを使用してSCK<sup>+</sup>およびSCK<sup>-</sup>を駆動します。これらのピンは、レシーバ(ADC)に100 $\Omega$ の抵抗を外付けすることによって差動で終端する必要があります。

## 機能ブロック図

### CMOS I/Oモード

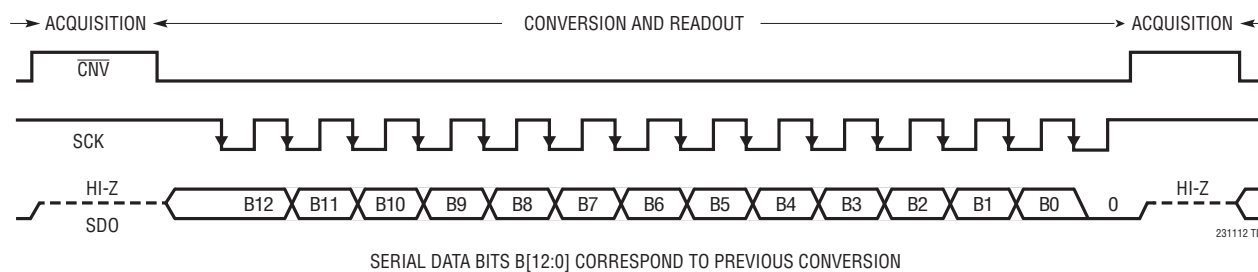


### LVDS I/Oモード



## タイミング図

## CMOS、LVDS I/O モード



# LTC2311-12

## アプリケーション情報

### 概要

LTC2311-12は、差動入力で入力同相範囲の広い低ノイズ、高速12ビット+符号のデュアル逐次比較レジスタ(SAR) A/Dコンバータです。LTC2311-12は3.3Vまたは5V単電源で動作し、差動入力範囲が $8V_{P-P}$ なので、広いダイナミックレンジが要求されるアプリケーションに最適です。LTC2311-12は、 $\pm 0.25\text{LSB}$ のINL(標準)、12ビット分解能で欠落コードなし、73dBのSNR(標準)を実現します。

LTC2311-12は、リファレンス・バッファと低ドリフト(最大 $20\text{ppm}/^\circ\text{C}$ )の $4.096\text{V}$ 温度補償リファレンスを内蔵しています。LTC2311-12は、CMOSまたはLVDSをサポートするSPI互換の高速シリアル・インタフェースも内蔵しています。LTC2311-12は、1サイクルの待ち時間でスループットが $5\text{MSPS}$ と高速なので、多種多様な高速アプリケーションに最適です。LTC2311-12は、5V電源で動作して、 $50\text{mW}$ の電力しか消費しません。また、ナップ・モードとスリープ・モードを備えているので、LTC2311-12の消費電力は非活動期間中にはさらに削減されます。

### コンバータの動作

LTC2311-12は2つのフェーズで動作します。収集段階では、図3に示すようにサンプル・コンデンサがアナログ入力ピン $A_{IN+}$ および $A_{IN-}$ に接続され、差動アナログ入力電圧がサンプリングされます。 $\overline{\text{CNV}}$ ピンの立ち下がリエッジにより変換が開始されます。変換段階では、13ビットのCDACが入力SCKパルスごとに逐次比較アルゴリズムを通じて逐次制御され、差動コンパレータを使用してサンプル入力とリファレンス電圧の2進重み付け分数(例： $V_{\text{REFOUT}}/2$ 、 $V_{\text{REFOUT}}/4$ ...  $V_{\text{REFOUT}}/8192$ )を効率的に比較します。変換の最後に、CDACの出力はサンプリングされたアナログ入力に近似します。その後、A/Dコンバータの制御ロジックが13ビットのデジタル出力コードを準備して、シリアル転送に備えます。13ビットの2の補数出力のMSBは、差動アナログ入力電圧の符号を表します。

### 伝達関数

LTC2311-12の伝達関数は、図2に示すように、 $2 \cdot \text{REFOUT}$ の全範囲にわたって13ビットの分解能を備えています。アナログ入力範囲がこのフルスケール範囲より狭い(疑似差動駆動などの)場合、A/Dコンバータはこの狭まった範囲内で12ビッ

トの分解能を示し、表1に示すように、オーバーレンジやアンダーレンジの条件でのデジタル化という利点加わります。

LTC2311-12は $2 \cdot \text{REFOUT}$ のフルスケール電圧を $2^{13}$ レベルにデジタル化するので、 $\text{REFOUT} = 4.096\text{V}$ ではLSBの大きさは $1\text{mV}$ になります。理想的な伝達関数を図2に示します。出力データは2の補数形式です。完全差動入力によってドライブする場合、伝達関数は $2^{13}$ のコードにわたります。疑似差動入力によってドライブする場合、伝達関数は $2^{12}$ のコードにわたります。

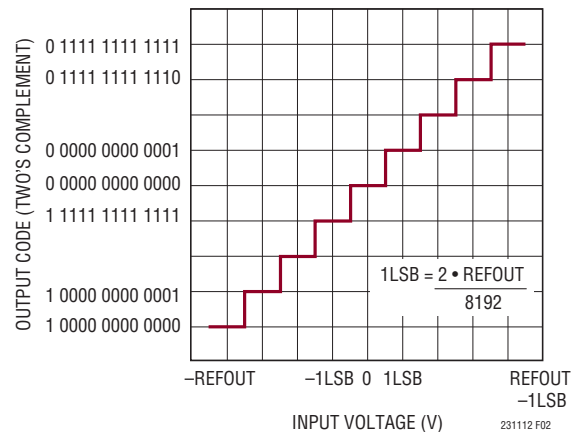


図2. LTC2311-12の伝達関数

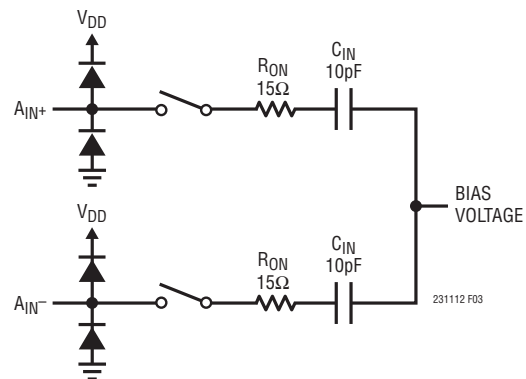


図3. LTC2311-12の差動アナログ入力の等価回路

## アプリケーション情報

表1:アナログ入力動作モードのコード範囲

モード	範囲 ( $V_{IN+} \sim V_{IN-}$ )	最小コード	最大コード
完全差動	-REFOUT ~ +REFOUT	1 0000 0000 0000	0 1111 1111 1111
両極性疑似差動	-REFOUT/2 ~ +REFOUT/2	11 000 0000 0000	00 111 1111 1111
単極性疑似差動	0 ~ REFOUT	0 0000 0000 0000	0 1111 1111 1111

## アナログ入力

LTC2311-12の差動入力は、構成しなくても多種多様なアナログ信号を変換できる優れた柔軟性を備えています。LTC2311-12は、 $A_{IN+}$ ピンと $A_{IN-}$ ピンの間の差電圧をデジタル化する一方で、広い同相入力範囲をサポートしています。アナログ入力信号が $V_{DD}$ とGNDの範囲内にとどまる場合には、信号間の関係を互いに自由なものにすることができます。LTC2311-12は、単極性/双極性の疑似差動、完全差動など、種類がさらに制限されたアナログ入力信号を構成の必要なくデジタル化できます。

LTC2311-12のアナログ入力は、図3に示す等価回路でモデル化できます。入力のバック・トゥ・バック・ダイオードは、ESD保護を提供するクランプを構成します。収集段階では、サンプリング・コンデンサによる10pF ( $C_{IN}$ )とサンプリング・スイッチのオン抵抗による約15 $\Omega$  ( $R_{ON}$ )が入力に直列に接続されます。両方の入力に共通する不要な信号は、ADCサンプリング回路の同相除去特性によって減少します。収集中に $C_{IN}$ コンデンサを充電するときには、ADCコアの入力に少量の電流スパイクが流れます。

## シングルエンド信号

シングルエンド信号はLTC2311-12によって直接デジタル化できます。同相信号除去性能が向上するように、これらの信号は疑似差動式に検出します。主要なアナログ信号のリファレンス信号(例:グランド検出信号)を別の $A_{IN}$ ピンに接続することにより、2つの信号と同相のノイズまたは外乱はA/Dコンバータの高いCMRRによって除去されます。LTC2311-12は、その柔軟性により、疑似差動の単極性信号と両極性信号の両方に対応し、構成の必要はありません。入力同相範囲が広いので、アナログ入力の前段でのシグナル・コンディショニング回路の精度要件が緩和されます。

## 両極性の疑似差動入力電圧範囲

両極性の疑似差動構成とは、一方のアナログ入力を固定電圧(標準では $V_{REF}/2$ )で駆動し、信号をもう一方の $A_{IN}$ ピンに入力することを意味します。この場合、アナログ入力の振幅範囲は固定入力電圧を中心に対称となるので、A/D変換の範囲がフルスケールの半分となる両極性の2の補数出力コードが得られます。この構成を図4に示し、対応する伝達関数を図5に示します。アナログ入力ピンの固定電圧は必ずしも $V_{REF}/2$ に設定する必要はありませんが、 $V_{DD}$ レールの範囲内のいずれかの電圧に設定することにより、代替入力がこの電圧を中心として対称に振れることができます。入力信号( $A_{IN+} - A_{IN-}$ )が $\pm REFOUT/2$ を超えて振れる場合、有効なコードはA/Dコンバータによって生成されるので、必要に応じてユーザがクランプする必要があります。

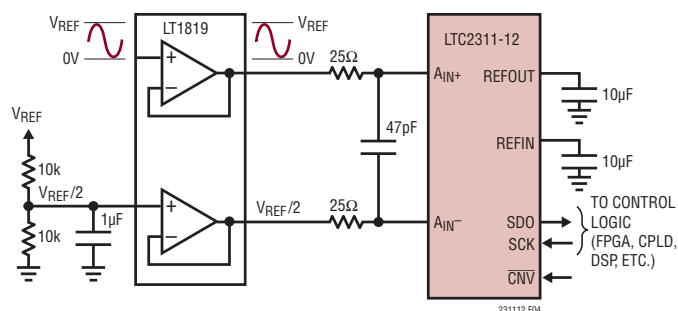


図4. 両極性疑似差動のアプリケーション回路

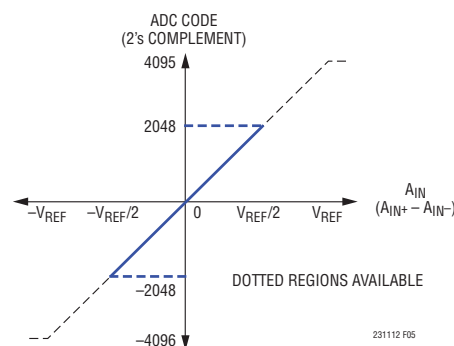


図5. 両極性疑似差動の伝達関数

## アプリケーション情報

### 単極性の疑似差動入力電圧範囲

単極性の疑似差動構成とは、一方のアナログ入力をグラウンドで駆動し、信号をもう一方の  $A_{IN}$  ピンに入力することを意味します。この場合、アナログ入力がグラウンドと  $V_{REF}$  の間で振幅し、フルスケールの 1/2 の ADC スパンで、単極性の 2 の補数

出力コードが得られます。この構成を図6に示し、対応する伝達関数を図7に示します。入力信号 ( $A_{IN+} - A_{IN-}$ ) が負側に振れる場合、有効なコードは A/D コンバータによって生成されるので、必要に応じてユーザがクランプする必要があります。

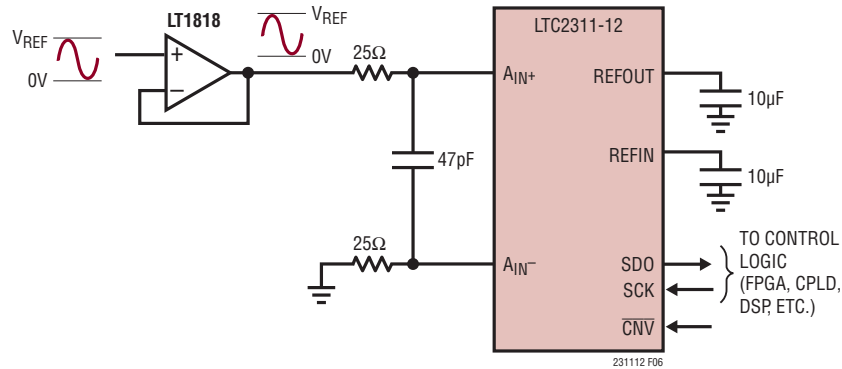


図6. 単極性疑似差動のアプリケーション回路

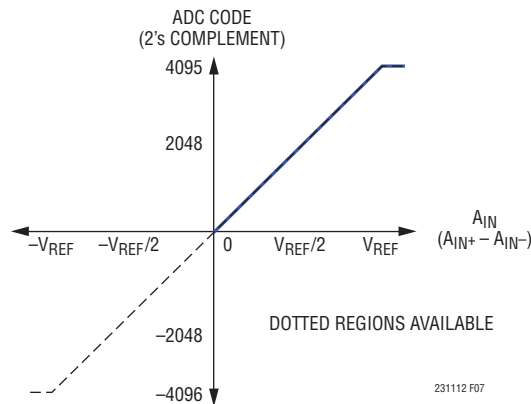


図7. 単極性疑似差動の伝達関数

## アプリケーション情報

### シングルエンドから差動への変換

前述したように、シングルエンド信号は直接デジタル化できませんが、より広いダイナミックレンジが求められる場合は、シングルエンドから差動への変換回路を使用することもできます。LTC2311-12の入力で差動信号を生成することにより、A/Dコンバータに入力される信号の振幅は最大になるので、実現可能なSNRが高くなります。

シングルエンドから差動への変換を行うには、図8に示すように、LT<sup>®</sup>1819高速デュアル・オペアンプの使用を推奨します。この場合、最初のアンプは単位利得のバッファとして構成されており、シングルエンド入力信号はこのアンプの高インピーダンス入力を直接駆動します。

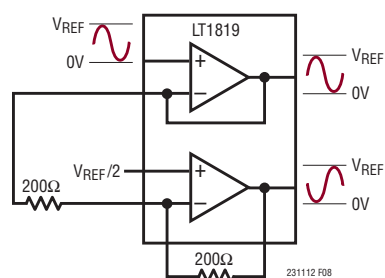


図8. シングルエンド入力/差動出力ドライバ

### 完全差動入力

LTC2311-12の最高の歪み性能を実現するため、図9に示すように、2つの単位利得バッファとして構成したLT1819アンプを介して駆動する歪みの少ない完全差動信号を駆動することを推奨します。この回路により、データシートのTHD規格である-85dBを最大2.2MHzの入力周波数で完全に満たすことができます。完全差動入力信号の電圧は、A/Dコンバータの最大フルスケール(最大 $\pm$ REFOUT)の範囲にわたることができます。同相入力電圧は、最大 $V_{DD}$ の電源範囲全体にわたることができ、入力信号振幅によって制限されます。完全差動構成を図10に示し、対応する伝達関数を図11に示します。

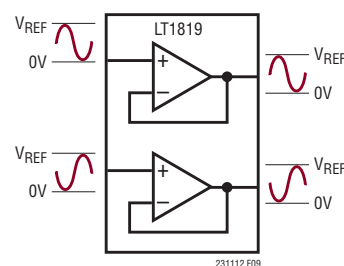


図9. 完全差動信号源のバッファとなるLT1819

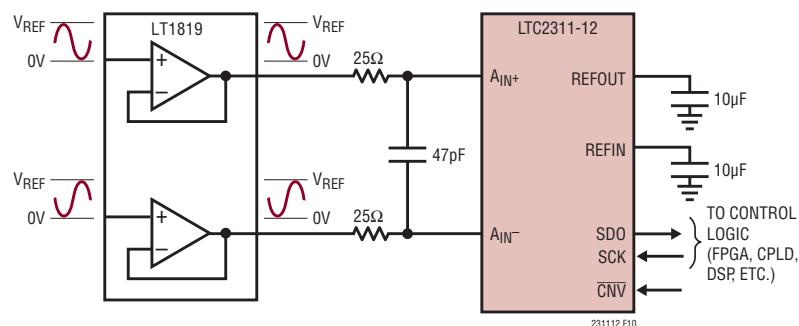


図10. 完全差動のアプリケーション回路

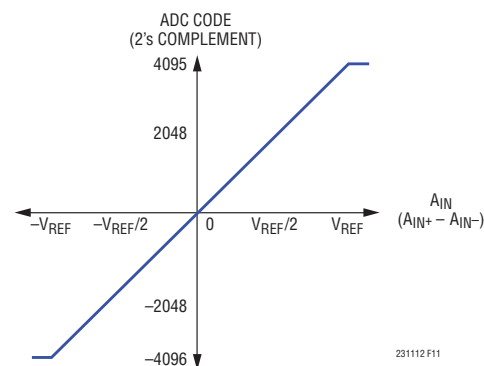


図11. 完全差動の伝達関数



## アプリケーション情報

### 入力駆動回路

信号源が低インピーダンスの場合は、利得誤差を発生することなく、LTC2311-12の高インピーダンス入力を直接駆動できます。高インピーダンスの信号源は、収集時のセトリング時間を最小にするため、およびA/Dコンバータの歪み性能を最適化するために、バッファする必要があります。収集フェーズの開始時にはA/Dコンバータの入力に電流スパイクが流れるので、DC入力であっても、セトリング時間の最小化が重要です。

最良の性能を得るには、バッファ・アンプを使用してLTC2311-12のアナログ入力を駆動する必要があります。バッファ・アンプは出力インピーダンスが低いので、利得誤差を最小限に抑えることと、収集段階ではアナログ信号の高速セトリングが可能で、また、バッファ・アンプは、収集時に小規模の電流スパイクが流れるA/Dコンバータの入力を信号源から切り離す役割も果たします。

### 入力のフィルタリング

バッファ・アンプと信号源のノイズと歪みはADCのノイズと歪みに加わるので、これらについても考慮しなければなりません。入力信号にノイズが多い場合は、バッファ・アンプの入力の前に低帯域幅のフィルタを使ってノイズを最小限に抑えます。多くのアプリケーションでは、図12に示す簡単な1ポールのRCローパス・フィルタで十分です。

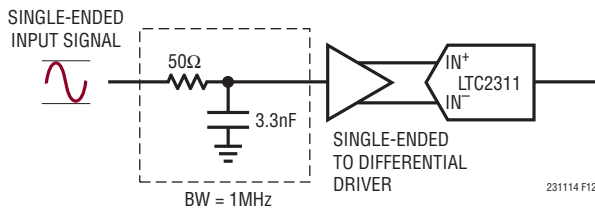


図12. 入力信号チェーン

サンプリング・スイッチ・オン抵抗 ( $R_{ON}$ )、およびサンプル・コンデンサ ( $C_{IN}$ ) が第2のローパス・フィルタを構成し、ADCコアへの入力帯域幅を110MHzに制限します。ノイズ密度の低いバッファ・アンプを選択して、この帯域幅でのSNRの劣化を最小限に抑える必要があります。

RCフィルタのコンデンサと抵抗は歪みを大きくする可能性があるため、これらの部品は高品質のものを使用します。NPOタイプやシルバマイカ・タイプの誘電体のコンデンサは優れた直線性を示します。表面実装型カーボン抵抗は、半田付け工程で生じる損傷および自己発熱により歪みが生じることがあります。表面実装型金属皮膜抵抗は、この2つの問題に対してはるかに耐性があります。

### A/Dコンバータのリファレンス

#### 内部リファレンス

LTC2311-12は、内部でバッファされてREFIN (ピン2)で利用できる、オンチップ、低ノイズ、低ドリフト(最大20ppm/°C)、温度補償バンドギャップ・リファレンスを内蔵しています。内部リファレンス・バッファは、REFINピンの電圧(1.25V)をREFOUT (ピン3)に増幅し、5V電源の場合は4.096V、3.3V電源の場合は2.048Vになります。10μFのセラミック・コンデンサ(X5R、0805サイズ)を使用して、REFOUTをGNDにバイパスします。10μFのコンデンサはREFOUTピンにできるだけ近づけて半田付けし、配線インダクタンスを最小限に抑えます。REFINは、1.25Vの高精度のリファレンスを生成します。このピンも、10μFのセラミック・コンデンサ(X5R、0805サイズ)を使用してバイパスします。図13aに示すように、高精度の外部リファレンスを使用して、REFINピンをオーバードライブすることができます。

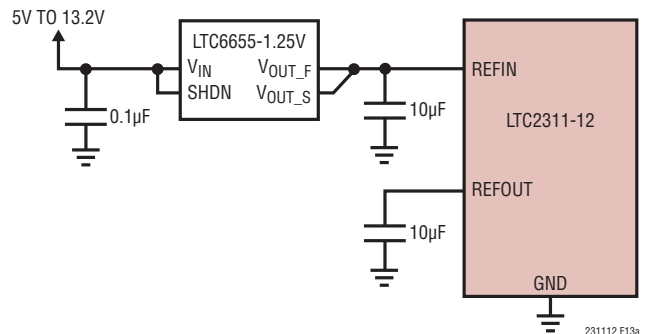


図13a. 外部REFIN電圧を使用したLTC2311-12



## アプリケーション情報

表1. 内部リファレンスと内部バッファ

V <sub>DD</sub>	REFIN	REFOUT	完全差動入力 電圧範囲	単極性入力 電圧範囲	両極性入力 電圧範囲
5V	1.25V	4.096V	±4.096V	0V to 4.096V	±2.048V
3.3V	1.25V	2.048V	±2.048V	0V to 2.048V	±1.024V

表2. 外部リファレンスと内部バッファ

V <sub>DD</sub>	REFIN (オーバードライブ される)	REFOUT	完全差動入力 電圧範囲	単極性入力 電圧範囲	両極性 入力電圧 範囲
5V	1V	3.3V	±3.3V	0V to 3.3V	±1.65V
	1.25V	4.096V	±4.096V	0V to 4.096V	±2.048V
	1.45V	4.7V	±4.7V	0V to 4.7V	±2.35V
3.3V	1V	1.65V	±1.65V	0V to 1.65V	±0.825V
	1.25V	2.048V	±2.048V	0V to 2.048V	±1.024V
	1.85	3V	±3V	0V to 3V	±1.5V

表3. 外部リファレンス、バッファなし

V <sub>DD</sub>	REFIN	REFOUT	完全差動入力 電圧範囲	単極性入力 電圧範囲	両極性入力 電圧範囲
5V	0V	0.5V	±0.5V	0V to 0.5V	±0.25V
	0V	5V	±5V	0V to 5V	±2.5V
3.3V	0V	0.5V	±0.5V	0V to 0.5V	±0.25V
	0V	3.3V	±3.3V	0V to 3.3V	±1.65V

## 外部リファレンス

図13bに示すように、内部リファレンス・バッファは、REFOUTに外部リファレンスを使用して1.25V～5Vの範囲でオーバードライブすることもできます。この構成では、REFINをグランド接続して内部リファレンス・バッファをディスエーブルする必要があります。リファレンス・バッファがディスエーブルされると、55kΩの内部抵抗がREFOUTピンの負荷になります。入力信号振幅と対応するSNRをできるだけ大きくするため、REFOUTをオーバードライブする場合はLTC6655-5の使用を推奨します。LTC6655-5は、LTC6655-4.096と同様に小型、高精度、低ドリフトで、拡張温度範囲に対応します。5Vリファレンスを使用することにより、SNRを高くすることができます。そこで、LTC6655-5をREFOUTピンのできるだけ近くに配置した10μFのセラミック・コンデンサ(X5R、0805サイズ)でバイパスすることを推奨します。

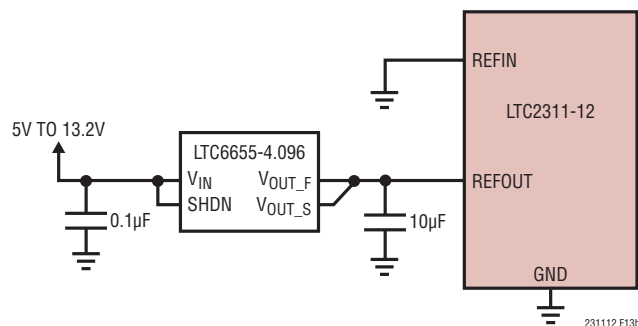


図13b. 外部REFOUT電圧を使用したLTC2311-12

## 内部リファレンス・バッファのトランジェント応答

各変換サイクル中に、LTC2311-12のREFOUTピンには外部バイパス・コンデンサから電荷(Q<sub>CONV</sub>)が流れます。内部リファレンス・バッファをオーバードライブする場合は、外部リファレンスがI<sub>REFOUT</sub> = Q<sub>CONV</sub>/t<sub>CYC</sub>に等しいDC電流でこの全電荷を供給する必要があります。したがって、REFOUTに流れるDC電流は、サンプリング・レートと出力コードによって異なります。図14に示すように、長時間のアイドル状態の後、集中的にサンプリングされるアプリケーションでは、I<sub>REFOUT</sub>は短時間で約75μAから最大700μA (REFOUT = 5V、5Msps)になります。このDC電流のステップにより、外部リファレンスのトランジェント応答がトリガされます。REFOUTの電圧が正常値から逸脱すると、出力コードの精度に影響を与えるので、このトランジェント応答には注意が必要です。変換の待ち時間が1サイクルあるので、集中的なサンプリング期間の開始時には最初の変換結果が無効になります。外部リファレンスを使用してREFOUTピンをバッファ/駆動する場合は、高速でセトリングするLTC6655リファレンスの使用を推奨します。

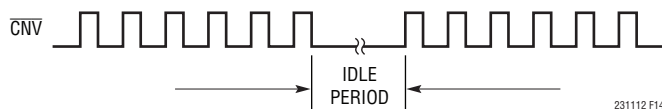


図14. 集中的なサンプリングを示すCNVの波形

## アプリケーション情報

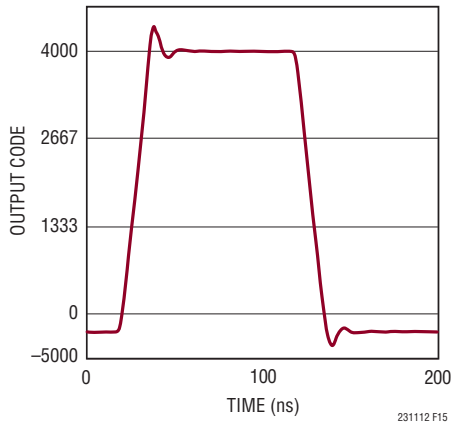


図 15. LTC2311-12のトランジェント応答

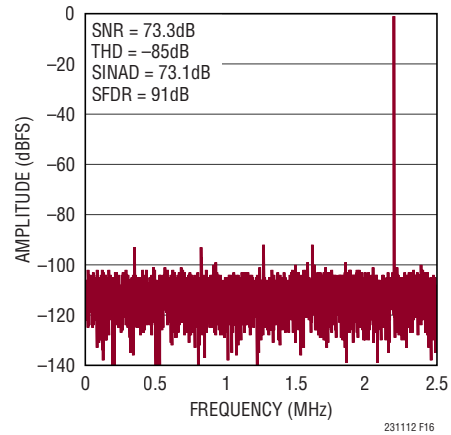


図 16. LTC2311-12の16kポイントのFFT

### ダイナミック性能

A/Dコンバータの周波数応答、歪み、およびノイズを定格スループットでテストするには、高速フーリエ変換(FFT)の手法が使われます。低歪みの正弦波を入力し、そのデジタル出力をFFTアルゴリズムを使って解析することにより、基本波の外側の周波数に関してADCのスペクトル成分を調べることができます。LTC2311-12では、AC歪みとノイズの測定値について、いずれも保証されたテスト済みの限界値を示しています。

### 信号対ノイズ+歪み比(SINAD)

信号対ノイズ+歪み比(SINAD)は、基本入力周波数のRMS振幅とA/Dコンバータ出力での他の全ての周波数成分のRMS振幅の比です。出力の帯域は、DCより高くサンプリング周波数の半分より低い周波数に制限されます。図16は、LTC2311-12が2.2MHzの入力、5MHzのサンプリング・レートで73dBの標準SINADを達成していることを示しています。

### 信号対ノイズ比(SNR)

信号対ノイズ比(SNR)は、基本入力周波数のRMS振幅と、1次から5次までの高調波およびDCを除く他の全ての周波数成分のRMS振幅との比です。図16は、LTC2311-12が2.2MHzの入力、5MHzのサンプリング・レートで、73dBより大きい標準SNRを達成することを示しています。

### 全高調波歪み(THD)

全高調波歪み(THD)は、入力信号の全ての高調波のRMS値の合計と基本波のRMS値との比です。帯域外高調波は、DCとサンプリング周波数の半分( $f_{\text{SAMPL}}/2$ )の間の周波数帯域で折り返しエラーを生じます。THDは次のように表されます。

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}}{V_1}$$

ここで、 $V_1$ は基本周波数のRMS振幅で、 $V_2 \sim V_N$ は2次～N次の高調波の振幅です。LTC2311-12のTHD仕様では、1次から7次までの高調波(つまり、 $N=7$ )が考慮されます。図16は、LTC2311-12が2.2MHzの入力、5MHzのサンプリング・レートで、-85dBの標準THDを達成していることを示しています。

## アプリケーション情報

### 電源に関する検討事項

LTC2311-12には2つの電源が必要です。1つは5V電源 ( $V_{DD}$ ) で、もう1つはデジタル入力/出力インタフェース電源 ( $OV_{DD}$ ) です。柔軟な  $OV_{DD}$  電源により、LTC2311-12は、1.8V ~ 2.5V で動作する任意のデジタル・ロジックと通信することができます。入力/出力にLVDSを使用する場合は、 $OV_{DD}$  電源を2.5V に設定する必要があります。

### 電源シーケンシング

LTC2311-12には電源シーケンシングに関する特別な要件はありません。「絶対最大定格」のセクションに記載されている最大電圧の関係を遵守するよう注意する必要があります。LTC2311-12は、最初の起動時、または電源電圧が2Vより低くなったとき必ずLTC2311-12をリセットするパワーオン・リセット (POR) 回路を備えています。電源電圧が公称電源電圧範囲に戻ると、PORはADCを再初期化します。再初期化の期間が確実に終了するように、POR イベントの10ms後までは変換を開始しないようにします。この時点より前に変換を開始すると、結果は無効になります。

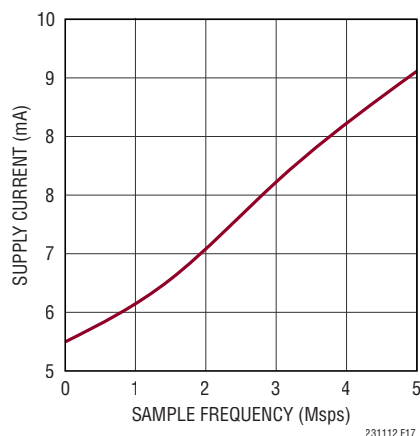


図 17. LTC2311-12の電源電流とサンプリング・レート

### タイミングと制御

#### $\overline{CNV}$ のタイミング

LTC2311-12のサンプリングと変換は $\overline{CNV}$ によって制御されます。 $\overline{CNV}$ の立ち上がりエッジでサンプリングが開始され、立ち下がりエッジで変換と読み取り処理が開始されます。変換処理のタイミングはSCK入力クロックによって決まります。最適な性能を得るには、 $\overline{CNV}$ をノイズのない低ジッタの信号で駆動します。FPGAの $\overline{CNV}$ パルス発生源からの比較的大きなジッタの発生を抑制する推奨の実装回路をデータシート裏表紙の「標準的応用例」に示します。低ジッタの入力クロックは、 $\overline{CNV}$ 信号の立ち下がりエッジのタイミングを決定することに注意してください。 $\overline{CNV}$ の立ち上がりエッジのジッタは、性能にはほとんど影響しません。 $\overline{CNV}$ 信号の標準的なパルス幅は、5Mspsの変換レートで38.1nsです。

#### SCKシリアル・データ・クロック入力

このクロックの立ち下がりエッジにより、変換結果はMSBを先頭にシフトしてSDOピンに出力されます。5Mspsのスループットを実現するには、105MHzの外部クロックをSCKピンに入力する必要があります。

#### ナップ/スリープ・モード

ナップ・モードは、後続の変換のために起動時の遅延を犠牲にせず、電力を節減する方法です。スリープ・モードでは電力を大幅に節減できますが、リファレンスと電源システムを有効にするために起動時の遅延が生じます。LTC2311-12がナップ・モードに入るには、SCK信号を“H”または“L”に保持し、2つの $\overline{CNV}$ パルスを連続して入力する必要があります。これはCMOSモードとLVDSモードの両方に該当します。ナップ状態が始まるのは、 $\overline{CNV}$ の2番目の立ち上がりエッジです。SCKの立ち上がりエッジが1回入力されるか、 $\overline{CNV}$ パルスがさらに入力されるまで、ナップ状態は持続します。LTC2311-12は、SCKの立ち上がりエッジによって動作(最大電力)状態に戻ります。LTC2311-12は、ナップ・モードのときに、2つの追加パル

# LTC2311-12

## アプリケーション情報

スが入力されるとスリープ・モードになります。LTC2311-12をCMOS入出力動作に合わせて構成した場合は、SCKの立ち上がりエッジ1回で動作モードに戻ることができます。リファレンス・バッファが外付けのフィルタ・コンデンサを再充電できるようにするには、スリープ・モードの終了後に10msの遅延が必要です。LVDSモードでは、5番目の $\overline{\text{CNV}}$ パルスを入力すればスリープ・モードを終了できます。5番目のパルスによってLTC2311-12は動作モードに戻り、その後さらにSCKパルスが入ると、デバイスはナップ・モードとスリープ・モードに戻らなくなります。5番目のSCKパルスは、CMOSモードでもスリープ・モードを終了する方法として機能します。SCKパルスがない期間に $\overline{\text{CNV}}$ パルスを繰り返し入力すると、LTC2311-12は動作モード、ナップ・モード、スリープ・モードの間を無期限に循環します。

スリープ・モードとナップ・モードに関するより詳細なタイミング情報については、図18、図19、図20、および図21のタイミング図を参照してください。

## デジタル・インタフェース

LTC2311-12は、単純明快に使えるシリアル・デジタル・インタフェースを備えています。柔軟な $\text{OV}_{\text{DD}}$ 電源により、LTC2311-12は、1.8V～2.5Vで動作する任意のデジタル・ロジックと通信することができます。5Mspsのスループットを実現するには、105MHzの外部クロックをSCKピンに入力する必要があります。

LTC2311-12は、標準のCMOS SPIインタフェースのほかに、低ノイズのデジタル設計をサポートするオプションのLVDS SPIインタフェースを備えています。デジタル・インタフェース・モードを選択するには、 $\overline{\text{CMOS/LVDS}}$ ピンを使用します。

SCKの立ち下がりエッジにより、変換結果はMSBを先頭にSDOピンに出力されます。CMOSモードでは、 $\text{SDO}^+$ ピンをシリアル・データ出力として使用し、 $\text{SCK}^+$ ピンをシリアル・クロック入力として使用します。 $\text{SDO}^-$ ピンおよび $\text{SCK}^-$ ピンには、内部にGNDへのプルダウンが存在するので、これらのピンは接続しないでください。

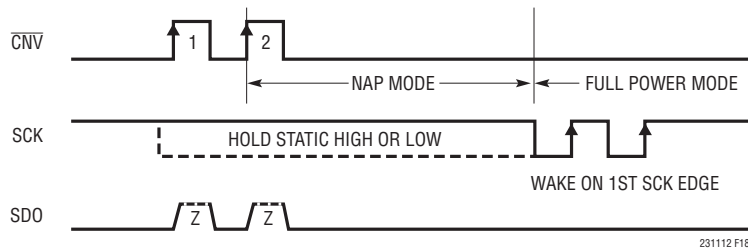


図18. CMOSモードおよびLVDSモードでのSCKを使用したナップ状態および起動

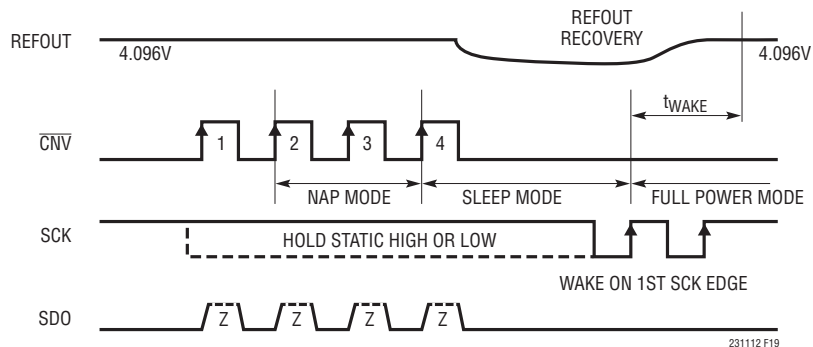


図19. CMOSモードでのSCKを使用したスリープ状態および起動

アプリケーション情報

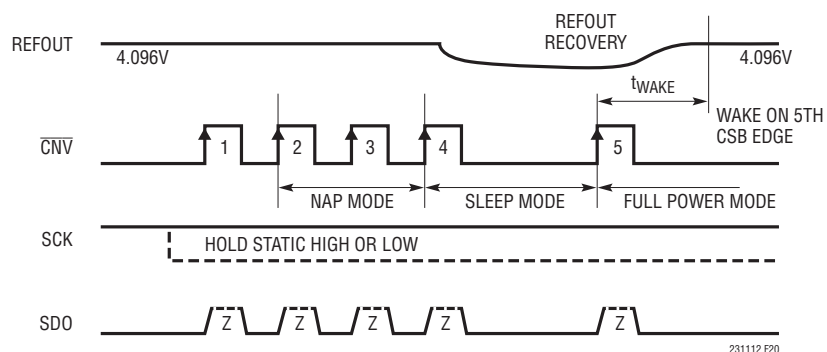


図 20. LVDS モードおよび CMOS モードでの  $\overline{\text{CNV}}$  を使用したスリープ状態および起動

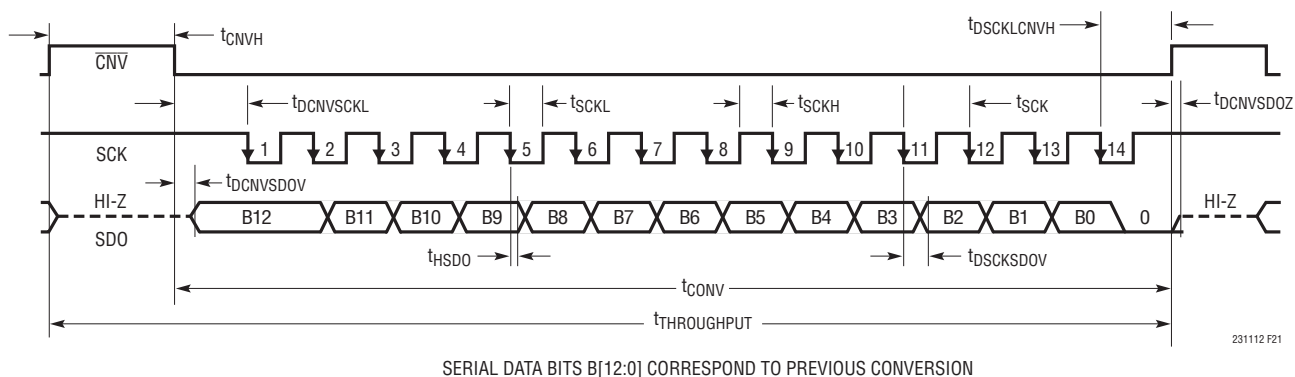


図 21. LTC2311-12 のタイミング図、CMOS、LVDS I/O モード

# LTC2311-12

## アプリケーション情報

LVDSモードでは、SDO<sup>+</sup>/SDO<sup>-</sup>ピンを差動出力として使用します。これらのピンは、レシーバ(FPGA)に100Ωの抵抗を外付けすることによって差動で終端する必要があります。SCK<sup>+</sup>/SCK<sup>-</sup>ピンは差動入力であり、レシーバ(A/Dコンバータ)に100Ωの抵抗を外付けすることによって差動で終端する必要があります(図22を参照)。

## 基板のレイアウト

LTC2311-12から最大限の性能を引き出すには、4層プリント回路基板を推奨します。プリント回路基板(PCB)のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ離すようにします。特に、デジタル・クロックやデジタル信号は、アナログ信号に隣接して配線したり、A/Dコンバータの下に配線したりしないように注意します。

切れ目のない単一のグランド・プレーンを使用します。電源へのバイパス・コンデンサは電源ピンのできるだけ近くに配置します。A/Dコンバータを低ノイズで動作させるには、これらのバイパス・コンデンサに低インピーダンスの共通帰線を使用することが不可欠です。アナログ入力のトレースはグランドで遮蔽します。

## リファレンス設計

回路図およびPCBレイアウトを含むこのコンバータのリファレンス設計の詳細については、LTC2311-12の評価キットDC2425を参照してください。

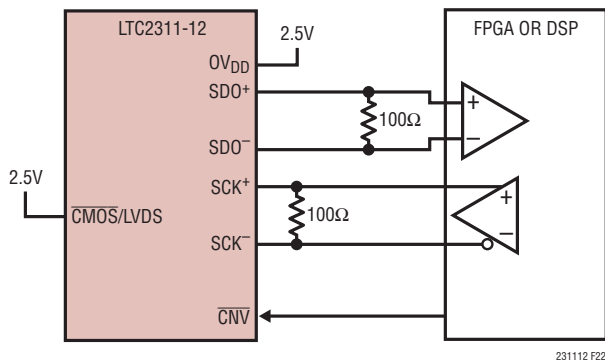
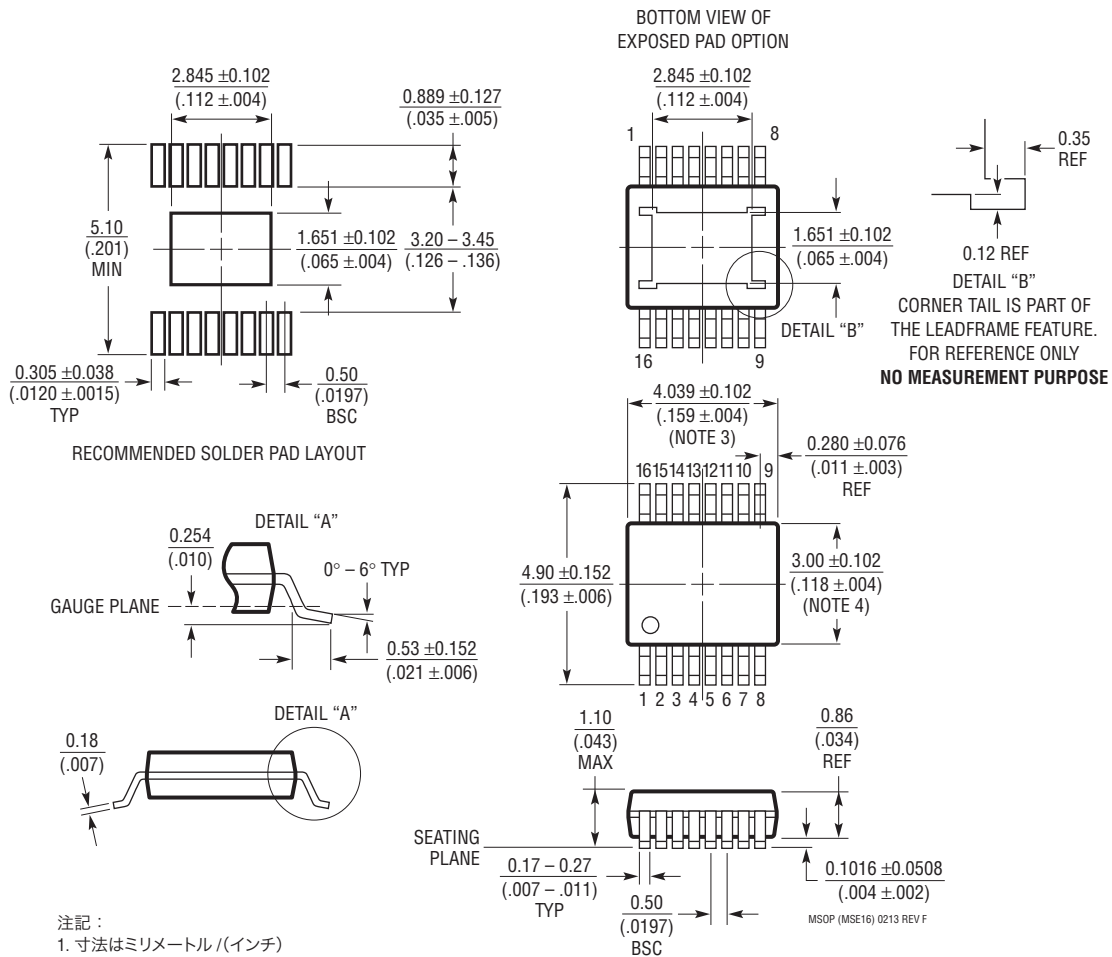


図22. LVDS インタフェースを使用する LTC2311-12

## パッケージ寸法

最新のパッケージ図面については、<http://www.linear-tech.co.jp/product/LTC2311-12#packaging> を参照してください。

**MSE Package**  
**16-Lead Plastic MSOP, Exposed Die Pad**  
 (Reference LTC DWG # 05-08-1667 Rev F)



## 注記:

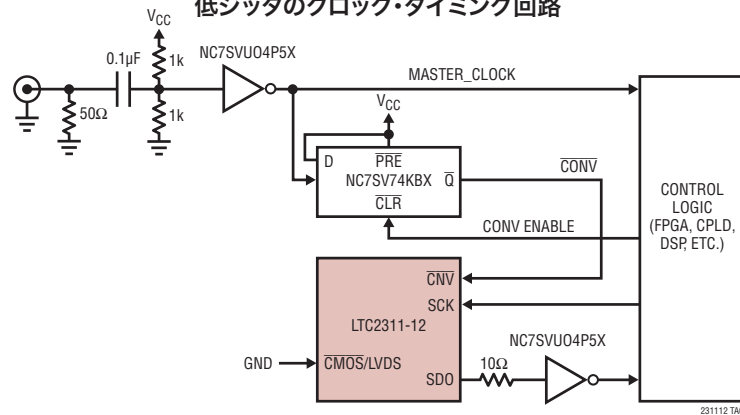
1. 寸法はミリメートル/インチ)
2. 図は実寸とは異なる
3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まないモールドのバリ、突出部、またはゲートのバリは、各サイドで 0.152mm (0.006") を超えないこと
4. 寸法には、リード間のバリまたは突出部を含まないリード間のバリまたは突出部は、各サイドで 0.152mm (0.006") を超えないこと
5. リードの平坦度(整形後のリードの底面)は最大 0.102mm (0.004") であること
6. 露出パッドの寸法には、モールドのバリを含む E-PAD 上のモールドのバリは、各サイドで 0.254mm (0.010") を超えないこと



# LTC2311-12

## 標準的応用例

クロックの方形波整形回路/レベルシフト回路およびリタイミングのフリップフロップを使用したRF正弦波発生器による低ジッタのクロック・タイミング回路



## 関連製品

製品番号	説明	注釈
<b>A/Dコンバータ</b>		
LTC2311-14	入力同相範囲の広い14ビット+符号、5Msps、差動入力A/Dコンバータ	3.3V/5V電源、50mW、最大20ppm/°Cの内部リファレンス、柔軟な入力、4mm×5mm 16ピンMSOPパッケージ
LTC2311-16	入力同相範囲の広い16ビット、5Msps、差動入力A/Dコンバータ	3.3V/5V電源、50mW、最大20ppm/°Cの内部リファレンス、柔軟な入力、4mm×5mm 16ピンMSOPパッケージ
LTC2323-16/LTC2323-14/ LTC2323-12	16/14/12ビット、5Msps、同時サンプリング・デュアルA/Dコンバータ	3.3V/5V電源、40mW/チャンネル、最大20ppm/°Cの内部リファレンス、柔軟な入力、4mm×5mm QFN-28パッケージ
LTC1407/LTC1407-1	12/14ビット、3Msps同時サンプリングA/Dコンバータ	3V電源、2チャンネル差動、1チャンネルあたりのスループット:1.5Msps、単極性/両極性入力、14mW MSOPパッケージ
LTC2314-14	14ビット、4.5MspsシリアルA/Dコンバータ	3V/5V電源、18mW/31mW、最大20ppm/°Cの内部リファレンス、単極性入力、8ピンTSOT-23パッケージ
LTC2321-16/LTC2321-14/ LTC2321-12	16/14/12ビット、2Msps、同時サンプリング・デュアルA/Dコンバータ	3.3V/5V電源、33mW/チャンネル、最大10ppm/°Cの内部リファレンス、柔軟な入力、4mm×5mm QFN-28パッケージ
LTC2370-16/LTC2368-16/ LTC2367-16/LTC2364-16	16ビット、2Msps/1Msps/500ksps/250kspsシリアル、低消費電力A/Dコンバータ	2.5V電源、単極性の疑似差動入力、SNR:94dB、入力範囲:5V、DGC、MSOP-16および4mm×3mm DFN-16パッケージのピン互換ファミリ
LTC2380-16/LTC2378-16/ LTC2377-16/LTC2376-16	16ビット、2Msps/1Msps/500ksps/250kspsシリアル、低消費電力A/Dコンバータ	2.5V電源、差動入力、SNR:96.2dB、入力範囲:±5V、DGC、MSOP-16および4mm×3mm DFN-16パッケージのピン互換ファミリ
<b>D/Aコンバータ</b>		
LTC2632	内部リファレンス使用のデュアル12/10/8ビットSPI電圧出力D/Aコンバータ	2.7V~5.5V電源範囲、10ppm/°Cリファレンス、外部REFモード、レール・トゥ・レール出力、8ピンThinSOT™パッケージ
LTC2602/LTC2612/ LTC2622	外部リファレンス使用のデュアル16/14/12ビットSPI電圧出力D/Aコンバータ	300μA/DAC、電源範囲:2.5V~5.5V、レール・トゥ・レール出力、8ピンMSOPパッケージ
<b>リファレンス</b>		
LTC6655	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	5V/4.096V/3.3V/3V/2.5V/2.048V/1.25V、2ppm/°C、ピーク・トゥ・ピーク・ノイズ:0.25ppm、MSOP-8パッケージ
LTC6652	高精度、低ドリフト、低消費電力のバッファ付きリファレンス	5V/4.096V/3.3V/3V/2.5V/2.048V/1.25V、5ppm/°C、ピーク・トゥ・ピーク・ノイズ:2.1ppm、MSOP-8パッケージ
<b>アンプ</b>		
LT1818/LT1819	400MHz、2500V/μs、9mAシングル/デュアル・オペアンプ	5MHzでの歪み:-85dBc、入力ノイズ電圧:6nV/√Hz、電源電流:9mA、単位利得で安定
LT1806	325MHz、シングル、レール・トゥ・レール入力および出力、低歪み、低ノイズ、高精度オペアンプ	5MHzでの歪み:-80dBc、入力ノイズ電圧:3.5nV/√Hz、電源電流:9mA、単位利得で安定
LT6200	165MHz、レール・トゥ・レール入力および出力、低ノイズ(0.95nV/√Hz)、オペアンプ・ファミリ	低ノイズ、低歪み、単位利得で安定

231112f