

特長

- 一体型デュアル12ビットADC
- サンプル・レート:105MSPs
- 単一3V電源(2.85V~3.4V)
- 低消費電力:540mW
- SNR:70.1dB、SFDR:88dB
- チャンネル間分離:110dB(100MHz)
- 柔軟な入力:1V_{p-p}~2V_{p-p}の範囲
- フルパワー帯域幅が575MHzのサンプル/ホールド
- クロック・デューティ・サイクル・スタビライザ
- シャットダウン・モードとナップ・モード
- ピン互換ファミリ
 - 105MSPs:LTC2282(12ビット)、LTC2284(14ビット)
 - 80MSPs:LTC2294(12ビット)、LTC2299(14ビット)
 - 65MSPs:LTC2293(12ビット)、LTC2298(14ビット)
 - 40MSPs:LTC2292(12ビット)、LTC2297(14ビット)
 - 25MSPs:LTC2291(12ビット)、LTC2296(14ビット)
 - 10MSPs:LTC2290(12ビット)、LTC2295(14ビット)
- 64ピン(9mm×9mm)QFNパッケージ

アプリケーション

- 無線および有線の広帯域通信
- 画像処理システム
- スペクトル分析
- ポータブル機器

概要

LTC[®]2282は、ダイナミックレンジの広い高周波信号をデジタル化する目的で設計された12ビット、105MSPs、低消費電力、デュアル3V A/Dコンバータです。LTC2282は、ナイキスト周波数での信号に対するSNRが70.1dB、SFDRが85dBという優れたAC特性を備えているため、要求の厳しい画像処理アプリケーションや通信アプリケーションに最適です。

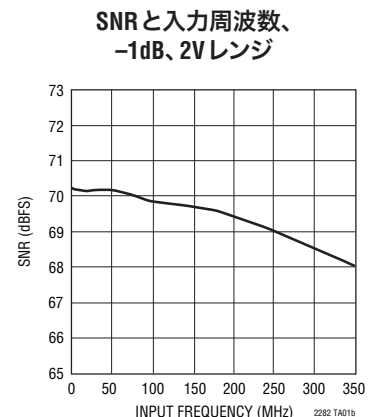
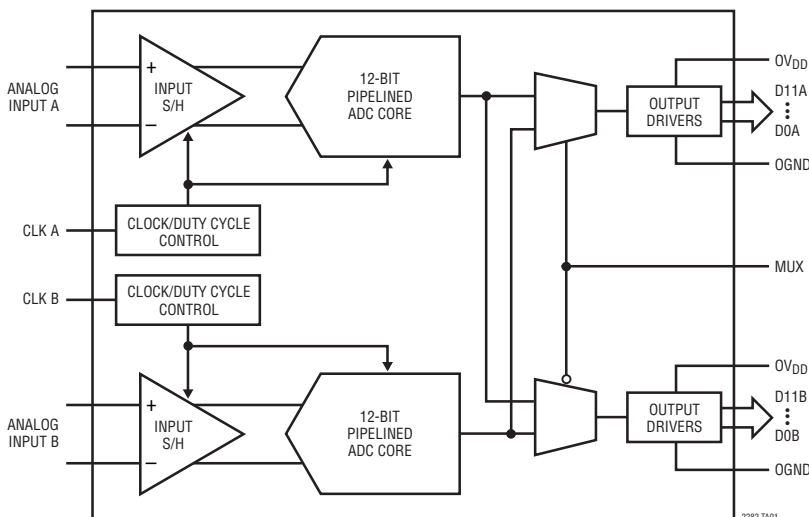
DC規格では、±0.4LSB(標準)のINL、±0.2LSB(標準)のDNL、欠落コードがないことが全温度範囲で規定されています。遷移ノイズは0.3LSB_{RMS}と低く抑えられています。

単一3V電源により、低消費電力動作が可能です。個別の出力電源により、0.5V~3.6Vロジックをドライブする出力が可能です。

シングルエンドCLK入力によってコンバータ動作を制御します。また、オプションのクロック・デューティ・サイクル・スタビライザにより、広範なクロック・デューティ・サイクルに対してフルスピードで高性能を達成できます。

LT、LTCおよびLTMはリニアテクノロジー社の登録商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



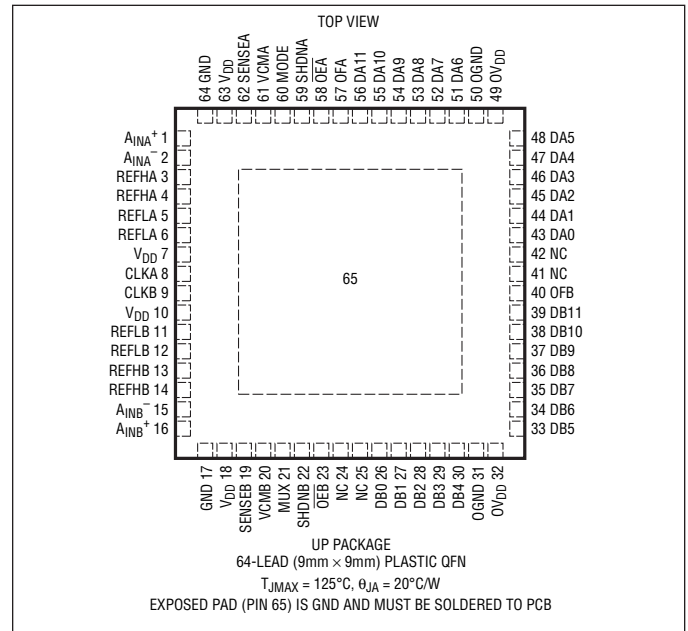
LTC2282

絶対最大定格

$0V_{DD} = V_{DD}$ (Note 1, 2)

電源電圧 (V_{DD})	4V
デジタル出力のグランド電圧 (OGND)	-0.3V ~ 1V
アナログ入力電圧 (Note 3)	-0.3V ~ ($V_{DD} + 0.3V$)
デジタル入力電圧	-0.3V ~ ($V_{DD} + 0.3V$)
デジタル出力電圧	-0.3V ~ ($0V_{DD} + 0.3V$)
電力損失	1500mW
動作温度範囲	
LTC2282C	0°C ~ 70°C
LTC2282I	-40°C ~ 85°C
保存温度範囲	-65°C ~ 125°C

ピン配置



発注情報

無鉛仕上げ	テープ・アンド・リール	製品マーキング*	パッケージ	温度範囲
LTC2282IUP#PBF	LTC2282IUP#TRPBF	LTC2282UP	64-Lead (9mm×9mm) Plastic QFN	-40°C to 85°C
LTC2282CUP#PBF	LTC2282CUP#TRPBF	LTC2282UP	64-Lead (9mm×9mm) Plastic QFN	0°C to 70°C
鉛仕上げ	テープ・アンド・リール	製品マーキング*	パッケージ	温度範囲
LTC2282IUP	LTC2282IUP#TR	LTC2282UP	64-Lead (9mm×9mm) Plastic QFN	-40°C to 85°C
LTC2282CUP	LTC2282CUP#TR	LTC2282UP	64-Lead (9mm×9mm) Plastic QFN	0°C to 70°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

コンバータ特性

● は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)		●	12			Bits
Integral Linearity Error	Differential Analog Input (Note 5)	●	-1.5	±0.4	1.5	LSB
Differential Linearity Error	Differential Analog Input	●	-0.9	±0.2	0.9	LSB
Offset Error	(Note 6)	●	-12	±2	12	mV
Gain Error	External Reference	●	-2.5	±0.5	2.5	%FS
Offset Drift				±10		$\mu\text{V}/^\circ\text{C}$

2282fb

コンバータ特性

- は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Full-Scale Drift	Internal Reference		±30		ppm/°C
	External Reference		±5		ppm/°C
Gain Matching	External Reference		±0.3		%FS
Offset Matching			±2		mV
Transition Noise	SENSE = 1V		0.3		LSB _{RMS}

アナログ入力

- は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{IN}	Analog Input Range ($A_{IN}^+ - A_{IN}^-$)	$2.85\text{V} < V_{DD} < 3.4\text{V}$ (Note 7)	●	±0.5V to ±1V		V	
$V_{IN,CM}$	Analog Input Common Mode ($A_{IN}^+ + A_{IN}^-$)/2	Differential Input Drive (Note 7)	●	1	1.5	1.9	V
		Single Ended Input Drive (Note 7)	●	0.5	1.5	2	V
I_{IN}	Analog Input Leakage Current	$0\text{V} < A_{IN}^+, A_{IN}^- < V_{DD}$	●	-1		1	μA
I_{SENSE}	SENSE _A , SENSE _B Input Leakage	$0\text{V} < \text{SENSE}_A, \text{SENSE}_B < 1\text{V}$	●	-3		3	μA
I_{MODE}	MODE Input Leakage Current	$0\text{V} < \text{MODE} < V_{DD}$	●	-3		3	μA
t_{AP}	Sample-and-Hold Acquisition Delay Time			0			ns
t_{JITTER}	Sample-and-Hold Acquisition Delay Time Jitter			0.2			ps _{RMS}
CMRR	Analog Input Common Mode Rejection Ratio			80			dB
		Full Power Bandwidth	Figure 8 Test Circuit		575		

ダイナミック精度

- は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SNR	Signal-to-Noise Ratio	5MHz Input		70.1		dB
		30MHz Input		70.1		dB
		70MHz Input	●	68.5	70	dB
		140MHz Input			69.7	dB
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic	5MHz Input		88		dB
		30MHz Input		86		dB
		70MHz Input	●	72	84	dB
		140MHz Input			79	dB
SFDR	Spurious Free Dynamic Range 4th Harmonic or Higher	5MHz Input		90		dB
		30MHz Input		90		dB
		70MHz Input	●	79	90	dB
		140MHz Input			90	dB
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	5MHz Input		70		dB
		30MHz Input		70		dB
		70MHz Input	●	67.5	69.9	dB
		140MHz Input			68.7	dB
I_{MD}	Intermodulation Distortion	$f_{IN} = 40\text{MHz}, 41\text{MHz}$		85		dB
		Crosstalk	$f_{IN} = 100\text{MHz}$		-110	

内部リファレンスの特性 (Note 4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CM} Output Voltage	$I_{OUT} = 0$	1.475	1.500	1.525	V
V_{CM} Output Tempco			±25		ppm/°C
V_{CM} Line Regulation	$2.85V < V_{DD} < 3.4V$		3		mV/V
V_{CM} Output Resistance	$-1mA < I_{OUT} < 1mA$		4		Ω

デジタル入力とデジタル出力

● は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
ロジック入力 (CLK, OE, SHDN, MUX)						
V_{IH}	High Level Input Voltage	$V_{DD} = 3V$	●	2		V
V_{IL}	Low Level Input Voltage	$V_{DD} = 3V$	●		0.8	V
I_{IN}	Input Current	$V_{IN} = 0V \text{ to } V_{DD}$	●	-10	10	μA
C_{IN}	Input Capacitance	(Note 7)		3		pF
ロジック出力						
$OV_{DD} = 3V$						
C_{OZ}	Hi-Z Output Capacitance	$\overline{OE} = \text{High}$ (Note 7)		3		pF
I_{SOURCE}	Output Source Current	$V_{OUT} = 0V$		50		mA
I_{SINK}	Output Sink Current	$V_{OUT} = 3V$		50		mA
V_{OH}	High Level Output Voltage	$I_O = -10\mu\text{A}$ $I_O = -200\mu\text{A}$	●	2.7	2.995 2.99	V V
V_{OL}	Low Level Output Voltage	$I_O = 10\mu\text{A}$ $I_O = 1.6\text{mA}$	●		0.0005 0.09	V V
$OV_{DD} = 2.5V$						
V_{OH}	High Level Output Voltage	$I_O = -200\mu\text{A}$		2.49		V
V_{OL}	Low Level Output Voltage	$I_O = 1.6\text{mA}$		0.09		V
$OV_{DD} = 1.8V$						
V_{OH}	High Level Output Voltage	$I_O = -200\mu\text{A}$		1.79		V
V_{OL}	Low Level Output Voltage	$I_O = 1.6\text{mA}$		0.09		V

電源要件

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 8)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{DD}	Analog Supply Voltage	(Note 9)	● 2.85	3	3.4	V
OV_{DD}	Output Supply Voltage	(Note 9)	● 0.5	3	3.6	V
I_{VDD}	Supply Current	Both ADCs at $f_{S(\text{MAX})}$	●	180	210	mA
P_{DISS}	Power Dissipation	Both ADCs at $f_{S(\text{MAX})}$	●	540	630	mW
P_{SHDN}	Shutdown Power (Each Channel)	SHDN = H, $\overline{OE} = H$, No CLK		2		mW
P_{NAP}	Nap Mode Power (Each Channel)	SHDN = H, $\overline{OE} = L$, No CLK		15		mW

タイミング特性

● は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f_s	Sampling Frequency	(Note 9)	● 1		105	MHz
t_L	CLK Low Time	Duty Cycle Stabilizer Off (Note 7) Duty Cycle Stabilizer On (Note 7)	● 4.5 ● 3	4.76 4.76	500 500	ns ns
t_H	CLK High Time	Duty Cycle Stabilizer Off (Note 7) Duty Cycle Stabilizer On (Note 7)	● 4.5 ● 3	4.76 4.76	500 500	ns ns
t_{AP}	Sample-and-Hold Aperture Delay			0		ns
t_D	CLK to DATA Delay	$C_L = 5\text{pF}$ (Note 7)	● 1.4	2.7	5.4	ns
t_{MD}	MUX to DATA Delay	$C_L = 5\text{pF}$ (Note 7)	● 1.4	2.7	5.4	ns
	Data Access Time After $\overline{OE}\downarrow$	$C_L = 5\text{pF}$ (Note 7)	●	4.3	10	ns
	BUS Relinquish Time	(Note 7)	●	3.3	8.5	ns
Pipeline Latency				5		Cycles

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: 全ての電圧値は (注記がない限り) GNDとOGNDを結線したグラウンドを基準にしている。

Note 3: これらのピンの電圧を GNDより低くするか、 V_{DD} より高くすると、その電圧は内部のダイオードによってクランプされる。この製品は、GNDより低いか、または V_{DD} より高い電圧で、ラッチアップを生じることなしに100mAを超える入力電流を処理することができる。

Note 4: 注記がない限り、 $V_{DD} = 3\text{V}$ 、 $f_{\text{SAMPLE}} = 105\text{MHz}$ 、入力範囲 = 差動ドライブで2VP-P。

Note 5: 積分非直線性は、実際の伝達曲線の端点を通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 6: オフセット誤差は、出力コードが0000 0000 0000と1111 1111 1111の間を往復しているときに、 -0.5LSB から測定されたオフセット電圧である。

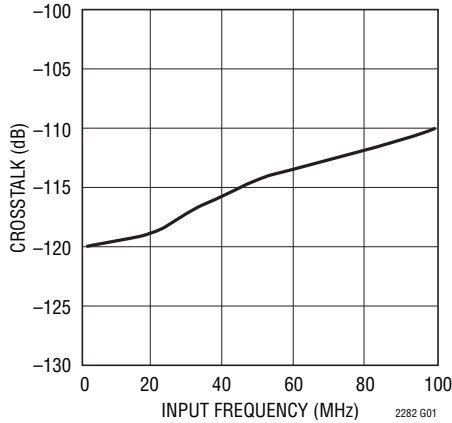
Note 7: 設計によって保証されており、テストされない。

Note 8: $V_{DD} = 3\text{V}$ 、 $f_{\text{SAMPLE}} = 105\text{MHz}$ 、入力範囲 = 差動ドライブで1VP-P。電源電流および電力損失は、両チャンネルが動作している状態での両チャンネルの合計。

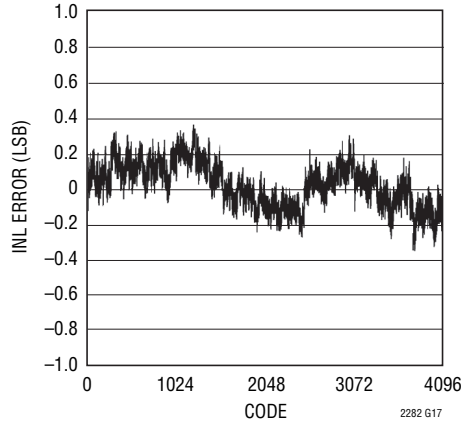
Note 9: 推奨動作条件。

標準的性能特性

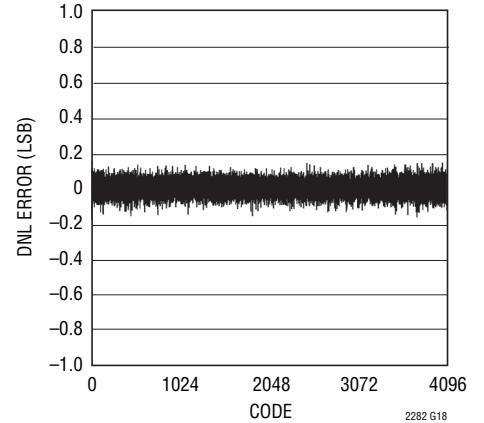
クロストークと入力周波数



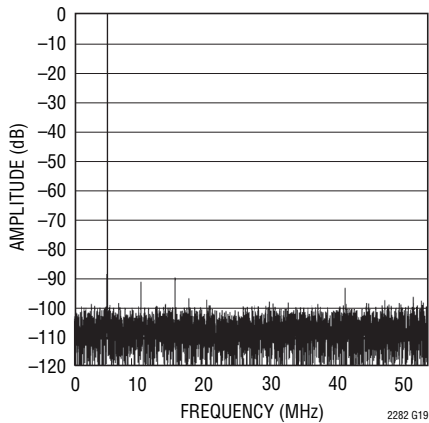
標準的な INL、2Vレンジ、105Mps



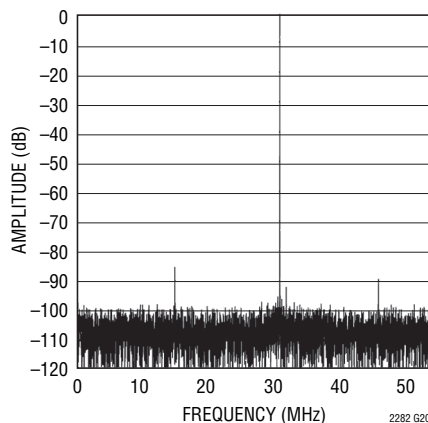
標準的な DNL、2Vレンジ、105Mps



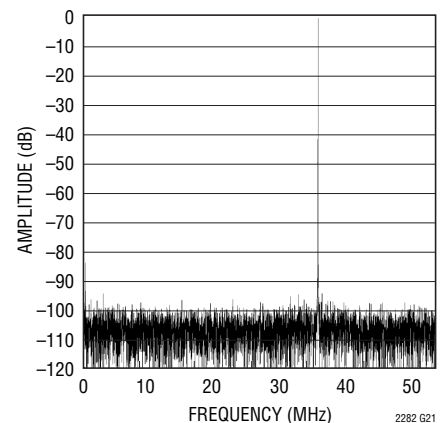
8192ポイントのFFT、 $f_{IN} = 5\text{MHz}$ 、 -1dB 、2Vレンジ、105Mps



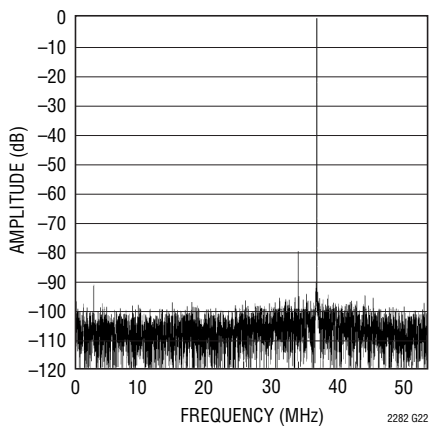
8192ポイントのFFT、 $f_{IN} = 30\text{MHz}$ 、 -1dB 、2Vレンジ、105Mps



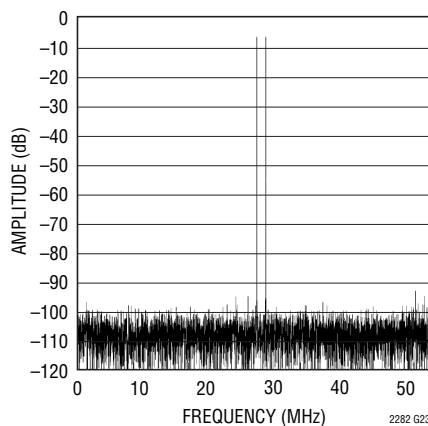
8192ポイントのFFT、 $f_{IN} = 70\text{MHz}$ 、 -1dB 、2Vレンジ、105Mps



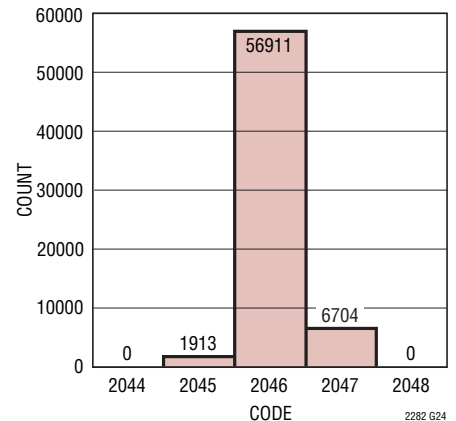
8192ポイントのFFT、 $f_{IN} = 140\text{MHz}$ 、 -1dB 、2Vレンジ、105Mps



8192ポイントの2トーンFFT、 $f_{IN} = 28.2\text{MHz}$ および 26.8MHz 、 -1dB 、2Vレンジ、105Mps

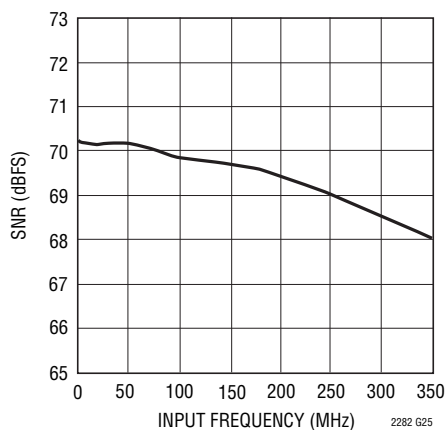


接地入力時のヒストグラム、105Mps

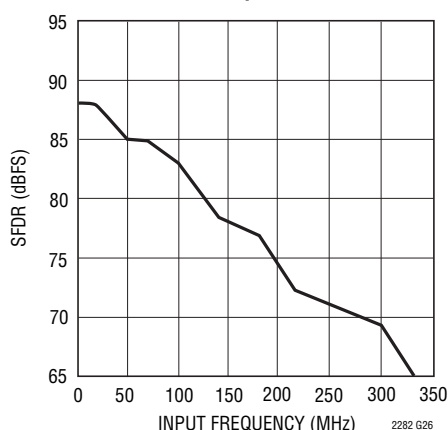


標準的性能特性

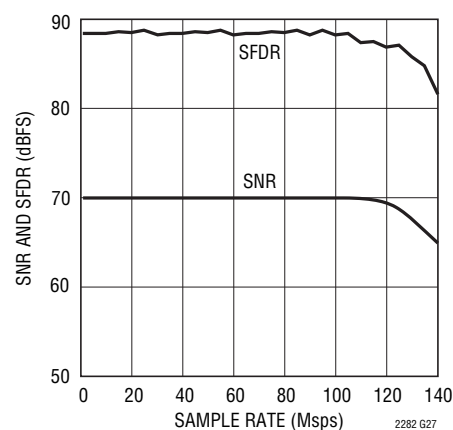
SNRと入力周波数、
-1dB、2Vレンジ、105Mpsps



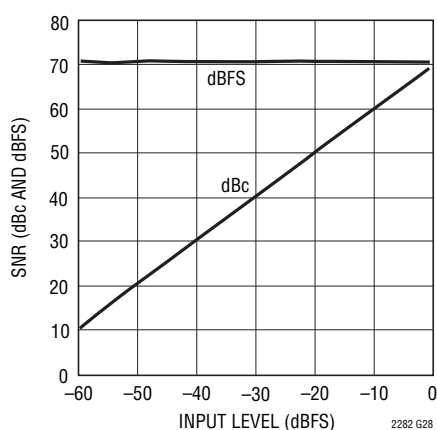
SFDRと入力周波数、-1dB、
2Vレンジ、105Mpsps



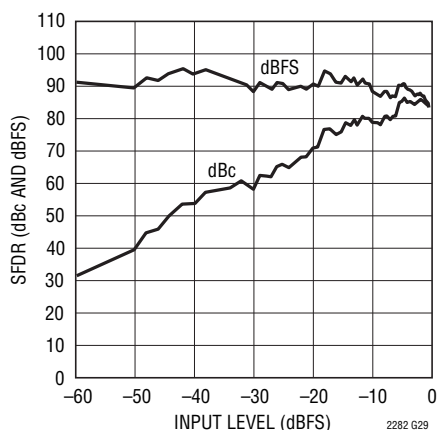
SNRおよびSFDRとサンプル・レート、
2Vレンジ、 $f_{IN} = 5\text{MHz}$ 、-1dB



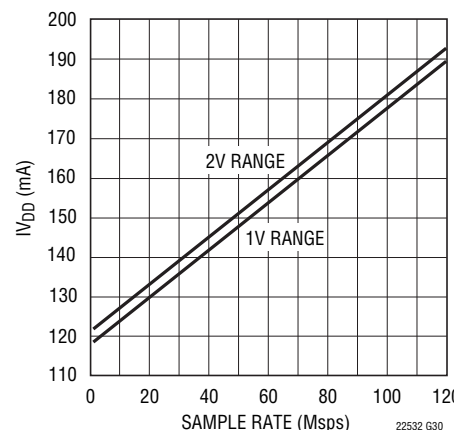
SNRと入力レベル、 $f_{IN} = 70\text{MHz}$ 、
2Vレンジ、105Mpsps



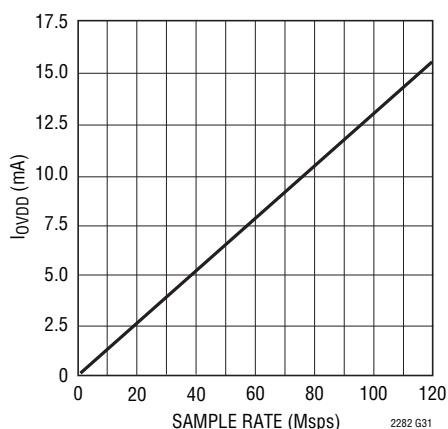
SFDRと入力レベル、 $f_{IN} = 70\text{MHz}$ 、
2Vレンジ、105Mpsps



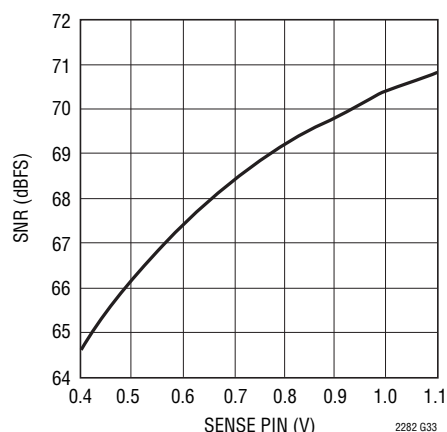
I_{VDD} とサンプル・レート、
5MHzの正弦波入力、-1dB



I_{OVD} とサンプル・レート、5MHzの
正弦波入力、-1dB、 $O_{VDD} = 1.8\text{V}$



SNRとSENSE、 $f_{IN} = 5\text{MHz}$ 、-1dB



ピン機能

A_{INA}⁺ (ピン 1) : チャネル A の正の差動アナログ入力。

A_{INA}⁻ (ピン 2) : チャネル A の負の差動アナログ入力。

REFHA (ピン 3、4) : チャネル A の“H”リファレンス。これらのピンを相互に短絡させて、0.1μF のセラミック・チップ・コンデンサをピンにできるだけ近づけて使用して、ピン 5、6 にバイパスします。また、さらに 2.2μF のセラミック・チップ・コンデンサを使用してピン 5、6 にバイパスし、1μF のセラミック・チップ・コンデンサを使用してグラウンドにバイパスします。

REFLA (ピン 5、6) : チャネル A の“L”リファレンス。これらのピンを相互に短絡させて、0.1μF のセラミック・チップ・コンデンサをピンにできるだけ近づけて使用して、ピン 3、4 にバイパスします。また、さらに 2.2μF のセラミック・チップ・コンデンサを使用してピン 3、4 にバイパスし、1μF のセラミック・チップ・コンデンサを使用してグラウンドにバイパスします。

V_{DD} (ピン 7、10、18、63) : 3V アナログ電源。0.1μF のセラミック・チップ・コンデンサを使用して GND にバイパスします。

CLKA (ピン 8) : チャネル A のクロック入力。立ち上がりエッジで入力のサンプリングが開始されます。

CLKB (ピン 9) : チャネル B のクロック入力。立ち上がりエッジで入力のサンプリングが開始されます。

REFLB (ピン 11、12) : チャネル B の“L”リファレンス。これらのピンを相互に短絡させて、0.1μF のセラミック・チップ・コンデンサをピンにできるだけ近づけて使用して、ピン 13、14 にバイパスします。また、さらに 2.2μF のセラミック・チップ・コンデンサを使用してピン 13、14 にバイパスし、1μF のセラミック・チップ・コンデンサを使用してグラウンドにバイパスします。

REFHB (ピン 13、14) : チャネル B の“H”リファレンス。これらのピンを相互に短絡させて、0.1μF のセラミック・チップ・コンデンサをピンにできるだけ近づけて使用して、ピン 11、12 にバイパスします。また、さらに 2.2μF のセラミック・チップ・コンデンサを使用してピン 11、12 にバイパスし、1μF のセラミック・チップ・コンデンサを使用してグラウンドにバイパスします。

A_{INB}⁻ (ピン 15) : チャネル B の負の差動アナログ入力。

A_{INB}⁺ (ピン 16) : チャネル B の正の差動アナログ入力。

GND (ピン 17、64) : A/D コンバータの電源グラウンド。

SENSEB (ピン 19) : チャネル B のリファレンスのプログラミング・ピン。SENSEB を V_{CMB} に接続すると、内部リファレンスと ±0.5V の入力範囲が選択されます。V_{DD} に接続すると、内部リファレンスと ±1V の入力範囲が選択されます。0.5V より大

きく 1V より小さい外部リファレンスを SENSEB に印加すると、±V_{SENSEB} の入力範囲が選択されます。±1V が最大有効入力範囲です。

V_{CMB} (ピン 20) : チャネル B の出力と入力の 1.5V 同相バイアス。2.2μF のセラミック・チップ・コンデンサを使用してグラウンドにバイパスします。V_{CMA} には接続しないでください。

MUX (ピン 21) : デジタル出力マルチプレクサの制御ピン。MUX が“H”の場合、チャネル A は DA0 ~ DA11、OFA に出力され、チャネル B は DB0 ~ DB11、OFB に出力されます。MUX が“L”の場合は出力バスが切り替えられ、チャネル A は DB0 ~ DB11、OFB に出力されて、チャネル B は DA0 ~ DA11、OFA に出力されます。両方のチャネルを 1 つの出力バスに多重化するには、MUX、CLKA、および CLKB を互いに接続します。(クロック周波数が 80Msps より高いときは推奨しません)

SHDNB (ピン 22) : チャネル B のシャットダウン・モード選択ピン。SHDNB と $\overline{\text{OEB}}$ を GND に接続すると通常動作になり、出力がイネーブルされます。SHDNB を GND に接続し、 $\overline{\text{OEB}}$ を V_{DD} に接続すると通常動作になり、出力が高インピーダンスになります。SHDNB を V_{DD} に接続し、 $\overline{\text{OEB}}$ を GND に接続するとナップ・モードになり、出力が高インピーダンスになります。SHDNB と $\overline{\text{OEB}}$ を V_{DD} に接続するとスリープ・モードになり、出力が高インピーダンスになります。

$\overline{\text{OEB}}$ (ピン 23) : チャネル B の出力イネーブル・ピン。SHDNB ピンの機能を参照してください。

NC (ピン 24、25、41、42) : これらのピンは接続しないでください。

DB0 ~ DB11 (ピン 26 ~ 30、33 ~ 39) : チャネル B のデジタル出力。DB11 が MSB です。

OGND (ピン 31、50) : 出力ドライバのグラウンド。

OV_{DD} (ピン 32、49) : 出力ドライバの正電源。0.1μF のセラミック・チップ・コンデンサを使ってグラウンドにバイパスします。

OFB (ピン 40) : チャネル B のオーバーフロー/アンダーフロー出力。オーバーフローやアンダーフローが生じると“H”になります。

DA0 ~ DA11 (ピン 43 ~ 48、51 ~ 56) : チャネル A のデジタル出力。DA11 が MSB です。

OFA (ピン 57) : チャネル A のオーバーフロー/アンダーフロー出力。オーバーフローやアンダーフローが生じると“H”になります。

$\overline{\text{OEA}}$ (ピン 58) : チャネル A の出力イネーブル・ピン。SHDNA ピンの機能を参照してください。

ピン機能

SHDNA (ピン59) : チャンネルAのシャットダウン・モード選択ピン。SHDNAと $\overline{\text{OEA}}$ をGNDに接続すると通常動作になり、出力がイネーブルされます。SHDNAをGNDに接続し、 $\overline{\text{OEA}}$ を V_{DD} に接続すると通常動作になり、出力が高インピーダンスになります。SHDNAを V_{DD} に接続し、 $\overline{\text{OEA}}$ をGNDに接続するとナップ・モードになり、出力が高インピーダンスになります。SHDNAと $\overline{\text{OEA}}$ を V_{DD} に接続するとスリープ・モードになり、出力が高インピーダンスになります。

MODE (ピン60) : 出力形式とクロック・デューティ・サイクル・スタビライザの選択ピン。MODEは両方のチャンネルを制御することに注意してください。MODEをGNDに接続すると、オフセット・バイナリの出力形式が選択され、クロック・デューティ・サイクル・スタビライザがオフします。1/3 V_{DD} に接続すると、オフセット・バイナリの出力形式が選択され、クロック・デューティ・サイクル・スタビライザがオンします。2/3 V_{DD} に接続すると、2の補数の出力形式が選択され、クロック・デューティ・サイク

ル・スタビライザがオンします。 V_{DD} に接続すると、2の補数の出力形式が選択され、クロック・デューティ・サイクル・スタビライザがオフします。

V_{CMA} (ピン61) : チャンネルAの出力と入力の1.5V同相バイアス。2.2 μF のセラミック・チップ・コンデンサを使ってグラウンドにバイパスします。 V_{CMB} には接続しないでください。

SENSEA (ピン62) : チャンネルAのリファレンスのプログラミング・ピン。SENSEAを V_{CMA} に接続すると、内部リファレンスと $\pm 0.5\text{V}$ の入力範囲が選択されます。 V_{DD} に接続すると、内部リファレンスと $\pm 1\text{V}$ の入力範囲が選択されます。0.5Vより大きく1Vより小さい外部リファレンスをSENSEAに印加すると、 $\pm V_{SENSEA}$ の入力範囲が選択されます。 $\pm 1\text{V}$ が最大有効入力範囲です。

露出パッド (ピン65) : A/Dコンバータの電源グラウンド。パッケージの底面の露出パッドはグラウンドに半田付けする必要があります。

機能ブロック図

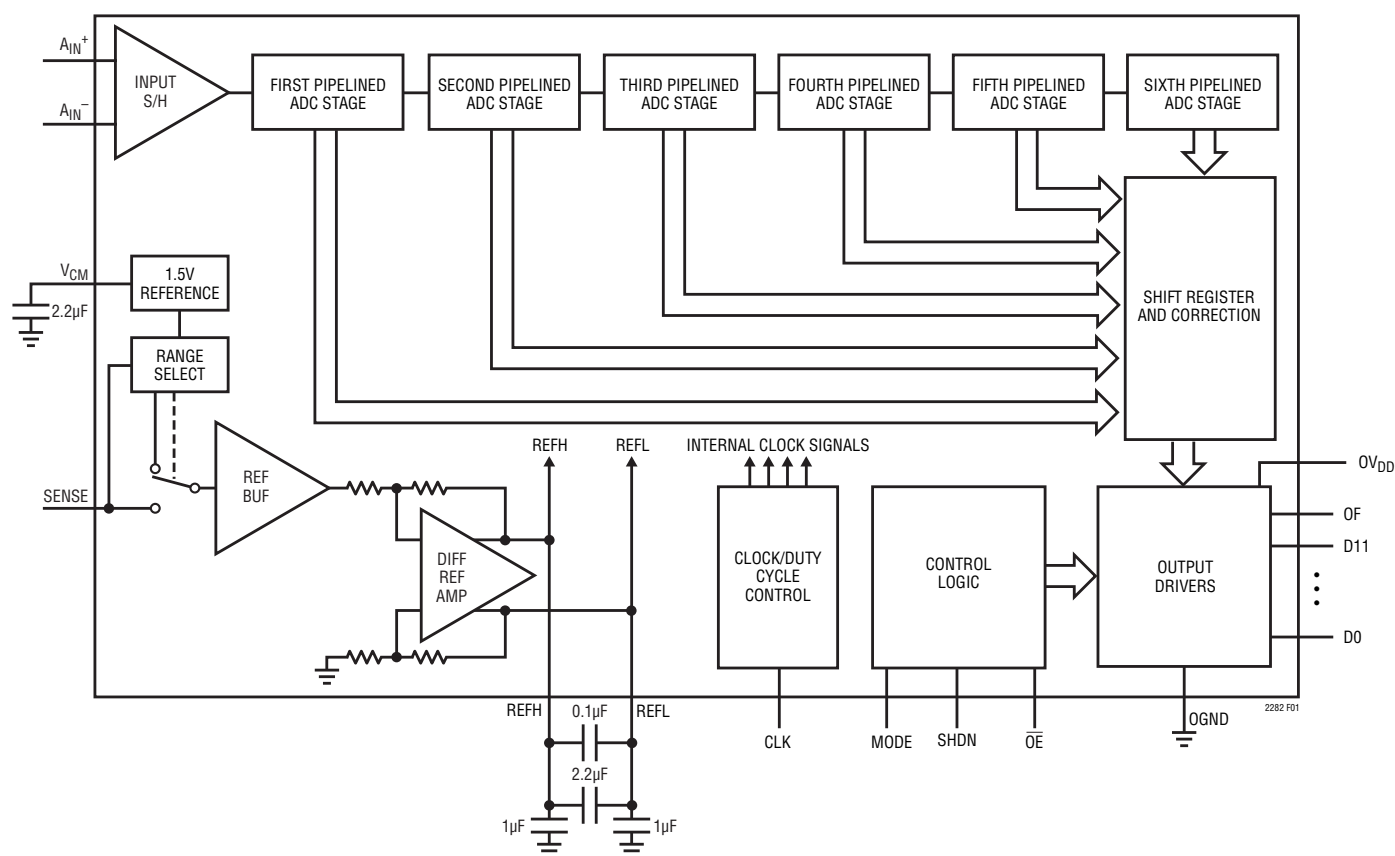
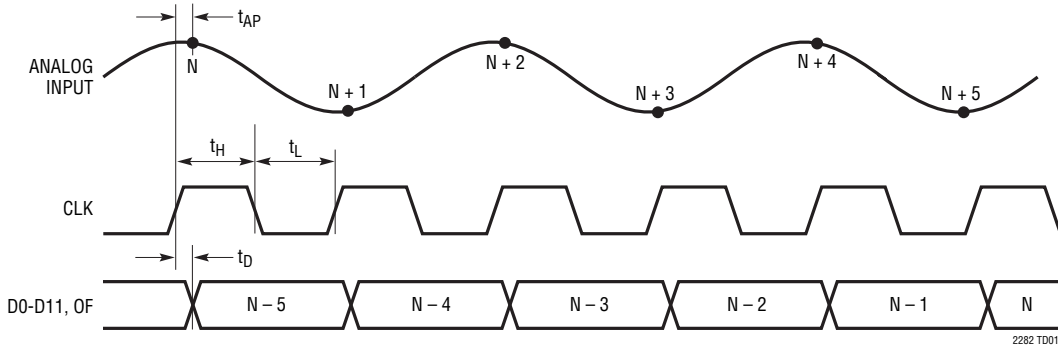


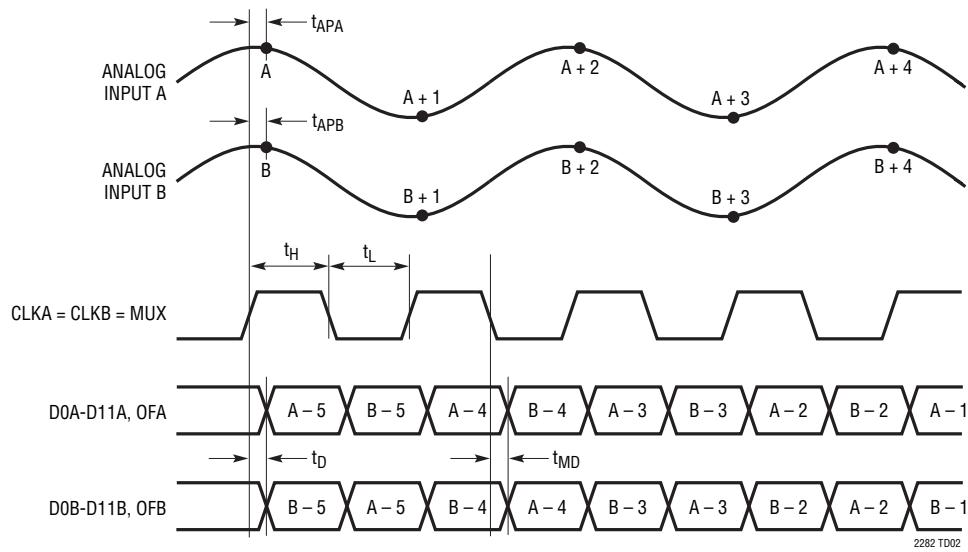
図1. 機能ブロック図(1チャンネルのみ表示)

タイミング図

デュアル・デジタル出力バスのタイミング
(1チャンネルのみ表示)



多重化したデジタル出力バスのタイミング



アプリケーション情報

ダイナミック性能

信号対ノイズ+歪み比

信号対ノイズ+歪み比[S/(N+D)]は、ADC出力における基本入力周波数のRMS振幅と、他の全ての周波数成分のRMS振幅の比です。出力の帯域はDCからサンプリング周波数の半分より低い周波数に制限されています。

信号対ノイズ比

信号対ノイズ比(SNR)は、基本入力周波数のRMS振幅と、最初の5つの高調波とDCを除く他の全ての周波数成分のRMS振幅の比です。

全高調波歪み

全高調波歪み(THD)は入力信号の全高調波の実効値の和と、入力信号の基本波の実効値との比です。帯域外高調波はDCからサンプリング周波数の半分までの周波数帯域でエイリアスを生じます。THDは次のように表されます。

$$\text{THD} = 20\text{Log} (\sqrt{(V_2^2 + V_3^2 + V_4^2 + \dots V_n^2)}/V_1)$$

ただし、V1は基本周波数のRMS振幅、V2～Vnは2次～n次の高調波の振幅です。このデータシートで計算されているTHDには5次までの高調波が全て使用されています。

混変調歪み

A/Dコンバータの入力信号が複数のスペクトル成分で構成されていると、A/Dコンバータの伝達関数の非直線性により、THDに加えて混変調歪み(IMD)が生じることがあります。IMDは周波数の異なる別の正弦波入力が存在するためある正弦波入力に生じる変化です。

周波数がfaとfbの2つの純粋な正弦波がADCの入力に与えられると、ADCの伝達関数の非直線性によりmfa ± nfbの和と差の周波数で歪み積を生じることがあります。ここで、mとnは0、1、2、3などです。3次の混変調歪み積は2fa + fb、2fb + fa、2fa - fbおよび2fb - faです。混変調歪みは、最大の3次混変調積の実効値に対する、どちらかの入力トーンの実効値の比として定義されます。

スプリアスフリー・ダイナミックレンジ(SFDR)

スプリアスフリー・ダイナミックレンジは、入力信号とDCを除いた最大のスペクトル成分であるピーク高調波またはスプリアス・ノイズです。この値は、フルスケール入力信号の実効値を基準にしたデシベル値で表されます。

入力帯域幅

入力帯域幅はフルスケールの入力信号から再構成された基本波の振幅が3dBだけ減少する入力周波数です。

アパーチャ遅延時間

CLKが中間電源電圧に達した時点から、入力信号がサンプル・ホールド回路によって保持される瞬間までの時間です。

アパーチャ遅延ジッタ

変換間でのアパーチャ遅延時間の変動のことです。このランダムな変動により、AC入力のサンプリング時にノイズが生じます。ジッタだけを要因とした場合の信号対ノイズ比は次のようになります。

$$\text{SNRJITTER} = -20\text{log}(2\pi \cdot f_{\text{IN}} \cdot t_{\text{JITTER}})$$

クロストーク

クロストークは、(フルスケール信号によって駆動される)一方のチャンネルから(-1dBFSの信号によって駆動される)もう一方のチャンネルへの結合のことです。

コンバータの動作

図1に示すように、LTC2282はCMOSパイプライン構成のデュアル多段コンバータです。パイプライン構成の6個のADC段を備えており、サンプリングされたアナログ入力は5サイクル後にデジタル値になります(「タイミング図」を参照)。最適なAC性能を得るにはアナログ入力を差動でドライブします。コストが重視されるアプリケーションの場合、高調波歪みがわずかに悪化するシングルエンドでアナログ入力をドライブすることができます。CLK入力はシングルエンドです。LTC2282は、CLK入力ピンの状態で定まる2つのフェーズで動作します。

アプリケーション情報

図1に示すパイプライン構成の各段は、1個のADC、再構成DAC、および段間残差アンプを備えています。動作時、ADCは各段の入力を量子化し、量子化された値はDACによって入力から差し引かれ、残差を生じます。残差は残差アンプによって増幅されて出力されます。奇数段がその残差を出力しているとき偶数段がその残差を取得するように、またその逆になるように、後続段は先行段から位相がずれて動作します。

CLKが“L”のとき、アナログ入力は差動式に直接サンプリングされ、ブロック図に示す「INPUT S/H」(入力サンプル/ホールド)の内部で、入力サンプル・ホールド・コンデンサに移されます。CLKが“L”から“H”に遷移する瞬間、サンプリングされた入力がホールドされます。CLKが“H”の間、ホールドされた入力電圧はサンプル/ホールド・アンプによってバッファされます。このアンプはパイプライン構成の最初のADC段をドライブします。最初の段はCLKの“H”フェーズの間にサンプル/ホールドの出力を取得します。CLKが“L”に戻ると、第1段から残差が生じ、第2段がその残差を取り込みます。同時に、入力S/Hは再度アナログ入力を取り込みます。CLKが“H”に戻ると2番目の段はその残差を出力し、この残差が3番目の段によって取得されます。同様の過程が3番目、4番目、および5番目の段で繰り返され、5番目の段の残差は最終評価のために6番目の段のADCに送られます。

最初の段に続く各ADC段にはフラッシュ誤差とアンプのオフセット誤差を調節するための追加範囲があります。ADCの全段からの結果は、出力バッファに送る前に、それらの結果を補正ロジックで適切に結合できるようにデジタル動作で同期させます。

サンプル/ホールド動作と入力ドライブ

サンプル/ホールド動作

LTC2282のCMOS差動サンプル・ホールドの等価回路を図2に示します。アナログ入力はNMOSトランジスタを介してサンプリング・コンデンサ(C_{SAMPLE})に接続されています。各入力に接続されているコンデンサ($C_{PARASITIC}$)は、各入力に関連した他の全ての容量を合計したものです。

CLKが“L”のとき、サンプリング・フェーズの間トランジスタはアナログ入力をサンプリング・コンデンサに接続するので、これらのコンデンサは差動入力電圧まで充電され、さらにこの電圧をトラッキングします。CLKが“L”から“H”に移行するとき、サンプリングされた入力電圧はサンプリング・コンデンサにホールドされます。CLKが“H”になっているホールド・フェーズの間、サンプリング・コンデンサは入力から切り離され、ホールドされた電圧はADCコアに送られて処理されます。CLKが“H”から“L”に遷移すると、入力はサンプリング・コンデンサに再度接続され、新しいサンプルを収集します。サンプリング・コンデンサには直前のサンプルが引き続きホールドされているので、隣接するサンプル間の電圧変化に比例した充電グリッチがこのときに見られます。直前のサンプルと新しいサンプル間の変化が小さいと、入力で見受けられる充電グリッチは小さくなります。ナイキスト周波数の近くの入力周波数で見られる変化のように、入力の変化が大きいと、さらに大きな充電グリッチが見られます。

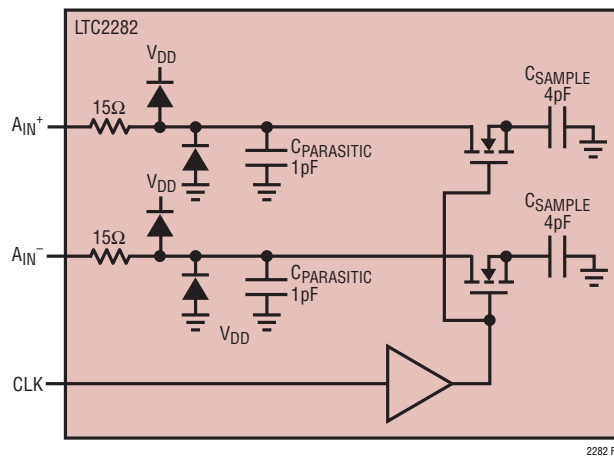


図2. 等価入力回路

アプリケーション情報

シングルエンド入力

コストが重視されるアプリケーションの場合、アナログ入力をシングルエンドでドライブすることができます。シングルエンド入力を行うと、高調波歪みが増加しINLが低下しますが、SNRとDNLは変化しません。シングルエンド入力の場合、入力信号を使用して A_{IN}^+ をドライブし、 A_{IN}^- を1.5Vまたは V_{CM} に接続する必要があります。

同相バイアス

最適な性能を得るにはアナログ入力を差動でドライブします。各入力に1.5Vの同相電圧を中心として、2Vレンジでは $\pm 0.5V$ 、1Vレンジでは $\pm 0.25V$ の振幅が必要です。 V_{CM} 出力ピンを使って同相バイアス・レベルを供給することができます。 V_{CM} はトランスのセンタータップに直接接続してDC入力レベルを設定するか、またはオペアンプの差動ドライブ回路のリファレンス・レベルとして接続することができます。 V_{CM} ピンは、2.2 μF 以上のコンデンサを使って、ADCに近いグラウンドにバイパスする必要があります。

入力ドライブのインピーダンス

全ての高性能高速ADCの場合と同様、LTC2282のダイナミック性能は入力ドライブ回路、特に2次と3次の高調波の影響を受けることがあります。ソース・インピーダンスとリアクタンスはSFDRに影響を及ぼすことがあります。サンプル・ホールド回路はCLKの立ち上がりエッジで4pFのサンプリング・コンデンサを入力ピンに接続してサンプリング期間を開始します。サンプリング期間はCLKが立ち上がると終了し、サンプリングされた入力をサンプリング・コンデンサにホールドします。入力回路は理想的にはサンプリング期間 $1/(2F_{ENCODE})$ の間にサンプリング・コンデンサを完全に充電するのに十分なだけ高速である必要があります。ただし、これが常に可能とは限らず、不十分なセトリングのためにSFDRが低下することがあります。不十分なセトリングの影響を最小限に抑えるため、サンプリング・グリッチはできるだけ直線状になるように設計されています。

最高の性能を得るためには、各入力のソース・インピーダンスを100 Ω 以下にすることを推奨します。差動入力のソース・インピーダンスは整合させる必要があります。よく整合していないと、偶数次高調波、特に2次高調波が大きくなります。

入力ドライブ回路

2次側にセンタータップを備えたRFトランスによってドライブされるLTC2282を図3に示します。2次側のセンタータップは V_{CM} でDCバイアスされており、ADCの入力信号を最適なDCレベルに設定します。トランスの2次側を終端するのは望ましいことです。これにより、サンプル・ホールドによって生じる充電グリッチの同相経路が確保されるからです。図3には巻数比が1:1のトランスが示されています。ADCから見たソース・インピーダンスが各ADC入力で100 Ω を超えなければ、他の巻数比を使用することもできます。トランスを使う場合の不利な点は低周波応答の低下です。ほとんどの小型RFトランスは1MHzより低い周波数では性能が低下します。

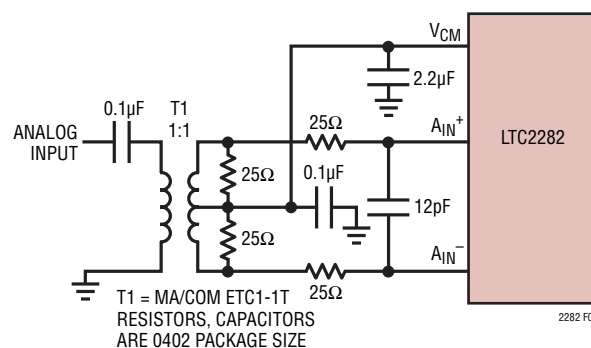


図3. トランスを使用したシングルエンド入力から差動入力への変換

差動アンプを使ってシングルエンド入力信号を差動入力信号に変換する例を図4に示します。この方法の利点は低い入力周波数に対する応答が良いことです。ただし、ほとんどのオペアンプでは、利得帯域幅の制限により、高い入力周波数でのSFDRが制限されます。

アプリケーション情報

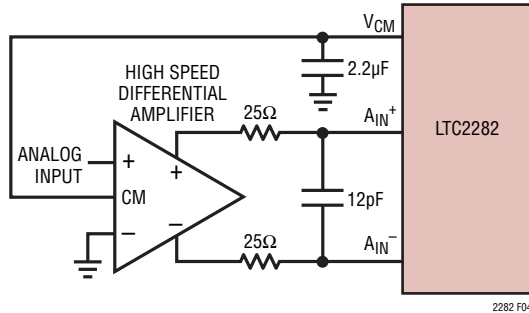


図4. アンプを使った差動ドライブ

シングルエンド入力回路を図5に示します。アナログ入力から見たインピーダンスを整合させる必要があります。歪みが少ない必要がある場合、この回路は推奨されません。

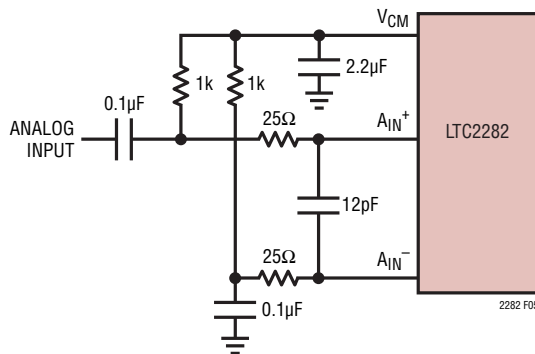


図5. シングルエンドのドライブ

アナログ入力に接続されている25Ωの抵抗と12pFのコンデンサは2つの役目を果たします。サンプル・ホールドの充電グリッチからドライブ回路を絶縁し、コンバータの入力の広帯域ノイズを制限します。

70MHzを超える入力周波数では、図6、図7、および図8の入力回路を推奨します。センタータップ付き磁束結合型トランスに比べて、 balan・トランスは高周波数応答が優れています。カップリング・コンデンサにより、アナログ入力を1.5VにDCバイアスすることができます。図8の直列インダクタはインピーダンス整合用素子で、ADCの帯域幅を最大にします。

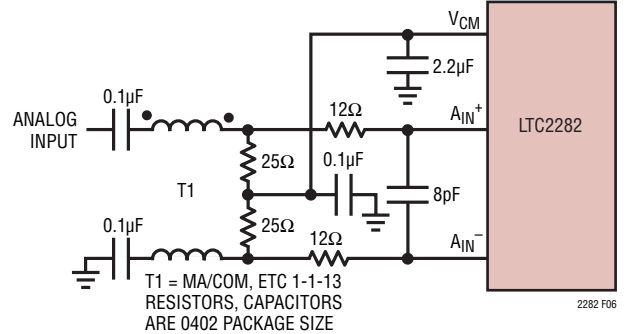


図6. 70MHz～170MHzの入力周波数用の推奨フロントエンド回路

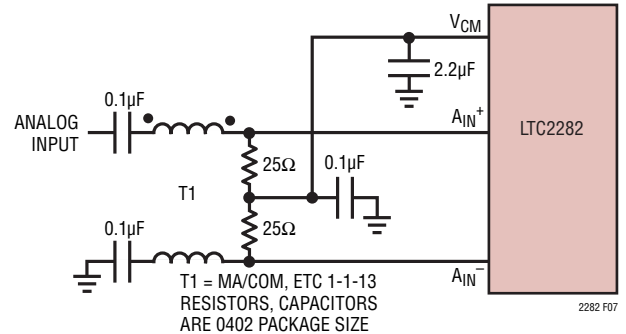


図7. 170MHz～300MHzの入力周波数用の推奨フロントエンド回路

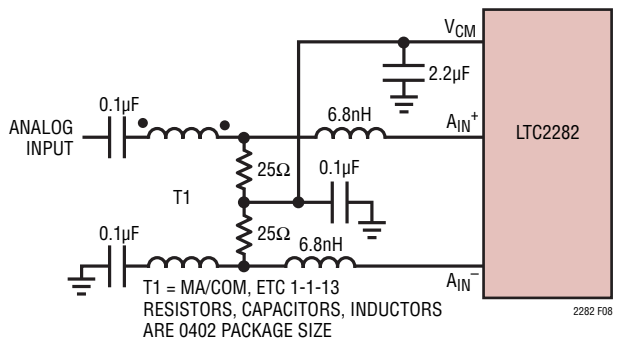


図8. 入力周波数が300MHzを超える場合の推奨フロントエンド回路

アプリケーション情報

リファレンスの動作

1.5Vのバンドギャップ・リファレンス、差動アンプ、およびスイッチングと制御の回路で構成されるLTC2282のリファレンス回路を図9に示します。内部電圧リファレンスはピンで選択可能な2V(差動±1V)または1V(差動±0.5V)の2つの入力レンジに設定することができます。SENSEピンをV_{DD}に接続すると2Vの範囲が選択され、SENSEピンをV_{CM}に接続すると1Vの範囲が選択されます。

1.5Vのバンドギャップ・リファレンスは2つの機能を果たします。このリファレンスの出力は任意の外部入力回路の同相電圧を設定するためのDCバイアス点を提供します。さらに、差動アンプと一緒に使用されて、内部のADC回路が必要とする差動リファレンス・レベルを生成します。1.5Vリファレンスの出力V_{CM}には外付けのバイパス・コンデンサが必要です。このコンデンサは、内部回路と外部回路に対して高周波で低インピーダンスのグラウンド経路を確保します。

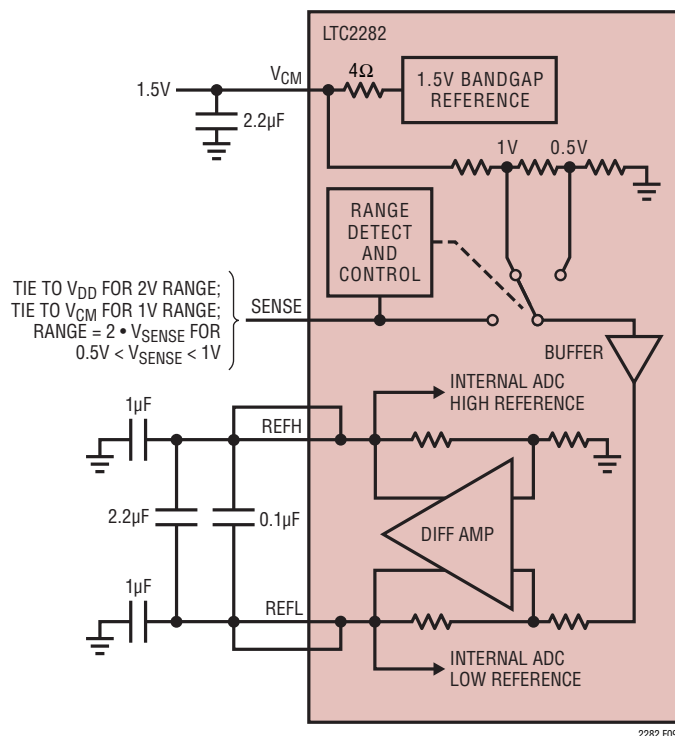


図9. 等価リファレンス回路

差動アンプはADCの“H”リファレンスと“L”リファレンスを生成します。高速スイッチング回路がこれらの出力に接続されているので、これらの出力は外部でバイパスする必要があります。各出力には2つのピンがあります。パッケージのインダクタンスを減らすために複数の出力ピンを必要とします。バイパス・コンデンサは図9に示すように接続する必要があります。ADCの各チャンネルのリファレンスは独立しており、バイパス・コンデンサも各チャンネル専用です。2つのチャンネルで使用する入力範囲は、同じでも別々でもかまいません。

ピンで選択可能な範囲の間にくる他の電圧範囲は、図10に示すように、2つの外付け抵抗を使って設定することができます。外部リファレンスを使って、その出力を直接または抵抗分割器を通してSENSEに与えることができます。ロジック・デバイスを使ってSENSEピンをドライブすることは推奨しません。SENSEピンはできるだけコンバータの近くで適切なレベルに接続します。SENSEピンを外部からドライブする場合、1μFのセラミック・コンデンサを使ってデバイスのできるだけ近くでグラウンドにバイパスします。チャンネル間の整合を最適化するため、外部リファレンスはSENSEAおよびSENSEBに接続します。

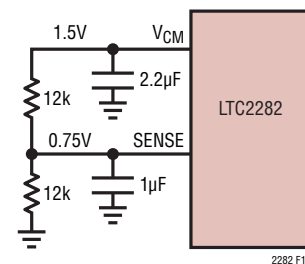


図10. 1.5VレンジのADC

入力範囲

入力範囲はアプリケーションに基づいて設定することができます。2Vの入力範囲では優れたSFDRを保ったまま最良のSNRが得られます。1Vの入力範囲のSFDR性能はさらに優れていますが、SNRは4dBだけ低下します。「標準的性能特性」のセクションを参照してください。

クロック入力のドライブ

CLK入力はCMOSまたはTTLレベルの信号で直接ドライブすることができます。CLKピンの前にジッタの小さな方形波発生回路を置いて正弦波のクロックを使うこともできます(図11)。

アプリケーション情報

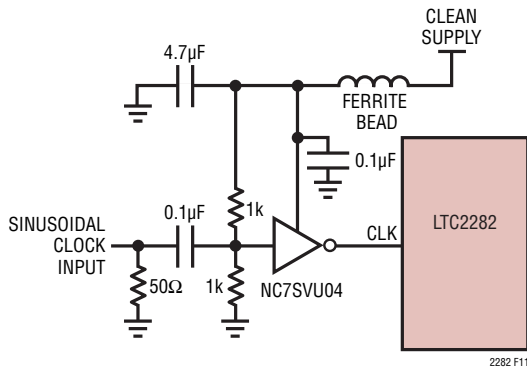


図 11. 正弦波シングルエンド CLK ドライブ

LTC2282 のノイズ特性はアナログ入力に依存しますが、同程度にクロック信号の品質に依存することがあります。クロック信号に何らかのノイズがあると、追加のアパーチャ・ジッタが生じ、本来の ADC アパーチャ・ジッタに RMS として加算されます。

高い入力周波数をデジタル変換する場合など、ジッタに対する要求が厳しいアプリケーションではできるだけ大きな振幅を使います。また、正弦波信号で ADC をクロック駆動する場合は、クロック信号にフィルタをかけて広帯域ノイズとソースによって生じた歪み積を減らします。

CLKA と CLKB を互いに短絡して、同じクロック信号源で駆動することを推奨します。2つのチャンネルがアナログ入力をサンプリングする間に短時間の時間遅延が必要な場合は、CLKA および CLKB を 2つの異なる信号で駆動することができます。この遅延が 1ns を超えると、デバイスの性能が低下する可能性があります。CLKA および CLKB は非同期信号で駆動しないでください。

図 12 および 13 に、差動クロックをシングルエンド CLK 入力に変換するための代替手段を示します。トランスを使用することで、位相ノイズへの寄与が増えることはありません。LVDS または PECL から CMOS への変換器は、トランスを使用する解決策と比較して、70MHz 未満では性能の低下がわずかですが、140MHz では SNR が劣化します。受信される信号の特性も、SNR が劣化する程度に大きく影響します。公称電力レベルがフルスケールを少なくとも 6dB ~ 8dB 下回る必要がある WCDMA や OFDM などの波高率の高い信号の場合、これらの変換器の使用が与える影響は少なくなります。

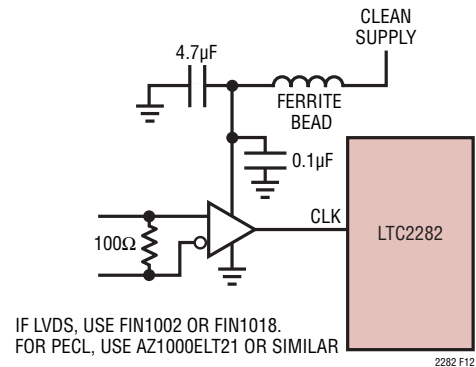


図 12. LVDS または PECL から CMOS への変換器を使用した CLK のドライブ

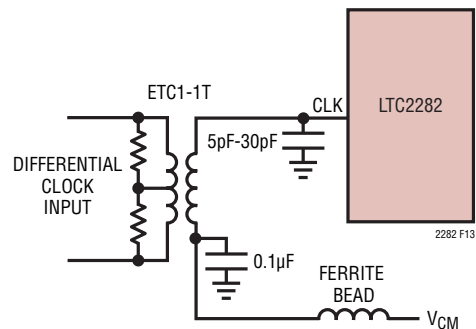


図 13. トランスを使用した LVDS または PECL CLK のドライブ

例におけるトランスは、使用している信号に適した終端を使用して終端することができます。電圧の低い差動信号が検討されている場合、1:4 のインピーダンス比を持つトランスを使用することを推奨します。差動信号が異なるプレーン上で発生する場合、A/D コンバータに近づけたコンデンサを介して、センタータップをグランドにバイパスすることができます。入力でコンデンサを使用すると、ピーキングが発生する場合があります。伝送線路の長さによっては、 $10\Omega \sim 20\Omega$ の直列抵抗が必要になることがあります。この直列抵抗は、隣接するデジタル信号によってクロック・ラインに発生する可能性のある高周波ノイズを除去するためのローパス・フィルタ、および反射の減衰メカニズムの両方として機能します。

最大変換レートと最小変換レート

LTC2282 の最大変換レートは 105MSPS です。LTC2282 のサンプル・レートの下限は、サンプル・ホールド回路の電圧低下によって決まります。この ADC のパイプライン・アーキテクチャでは、アナログ信号を小容量のコンデンサに保存することに依存しています。コンデンサは接合部の漏れ電流によって放電します。LTC2282 の規定最小動作周波数は 1MSPS です。

アプリケーション情報

クロック・デューティ・サイクル・スタビライザ

入力クロックのデューティ・サイクルが50%でない場合でも、オプションのクロック・デューティ・サイクル・スタビライザ回路により、高性能が確保されます。ほとんどのアプリケーションでは、クロック・デューティ・サイクル・スタビライザの使用を推奨します。クロック・デューティ・サイクル・スタビライザを使用するには、外付け抵抗を使ってMODEピンを $1/3V_{DD}$ または $2/3V_{DD}$ に接続します。

この回路はCLKピンの立ち上がりエッジを使って、アナログ入力をサンプリングします。CLKの立ち下がりエッジは無視され、フェーズロック・ループにより内部で立ち下がりエッジが生成されます。入力クロックのデューティ・サイクルは40%～60%の範囲で変化することができ、クロック・デューティ・サイクル・スタビライザは内部デューティ・サイクルを50%に保ちます。クロックが長時間オフする場合、デューティ・サイクル・スタビライザ回路のPLLが入力クロックにロックするのに100クロック・サイクルを必要とします。

サンプル・レートを迅速に変更する必要があるアプリケーションでは、クロック・デューティ・サイクル・スタビライザをディスエーブルすることができます。デューティ・サイクル・スタビライザをディスエーブルする場合は、サンプリング・クロックのデューティ・サイクルが50% ($\pm 5\%$) になるように注意してください。

デジタル出力

アナログ入力電圧、デジタル・データ・ビット、およびオーバーフロー・ビットの相互関係を表1に示します。

表1. 出力コードと入力電圧

$A_{IN}^+ - A_{IN}^-$ (2Vレンジ)	OF	D11～D0 (オフセット・バイナリ)	D11～D0 (2の補数)
$>+1.000000V$	1	1111 1111 1111	0111 1111 1111
$+0.999512V$	0	1111 1111 1111	0111 1111 1111
$+0.999024V$	0	1111 1111 1110	0111 1111 1110
$+0.000488V$	0	1000 0000 0001	0000 0000 0001
$0.000000V$	0	1000 0000 0000	0000 0000 0000
$-0.000488V$	0	0111 1111 1111	1111 1111 1111
$-0.000976V$	0	0111 1111 1110	1111 1111 1110
$-0.999512V$	0	0000 0000 0001	1000 0000 0001
$-1.000000V$	0	0000 0000 0000	1000 0000 0000
$<-1.000000V$	1	0000 0000 0000	1000 0000 0000

デジタル出力バッファ

1個の出力バッファの等価回路を図14に示します。各バッファは OV_{DD} と $OGND$ から給電され、ADC電源とグランドからは分離されています。出力ドライバにNチャネル・トランジスタが追加されているので低電圧まで動作可能です。出力に直列接続された内部抵抗により、外部回路から見ると出力は 50Ω に見えるので、外部の減衰抵抗が不要になることがあります。

全ての高速/高分解能コンバータの場合と同様、デジタル出力負荷が性能に影響を与えることがあります。デジタル出力と敏感な入力回路の間に生じる恐れのある相互反応を抑えるため、LTC2282のデジタル出力はできるだけ小さな容量性負荷をドライブするようにします。フルスピード動作を行う場合は、容量性負荷を $10pF$ 以下に抑えます。

OV_{DD} 電圧を低くすることも、デジタル出力からの干渉を減らすのに役立ちます。

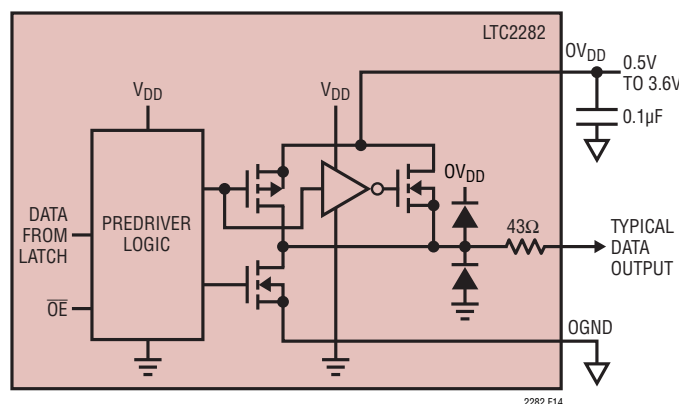


図14. デジタル出力バッファ

データ形式

LTC2282の平行・デジタル出力は、MODEピンを使用して、オフセット・バイナリまたは2の補数の形式を選択できます。MODEを GND または $1/3V_{DD}$ に接続すると、オフセット・バイナリの出力形式が選択されます。MODEを $2/3V_{DD}$ または V_{DD} に接続すると、2の補数の出力形式が選択されます。外付け抵抗分割器を使って $1/3V_{DD}$ または $2/3V_{DD}$ のロジック値を設定することができます。MODEピンのロジック状態を表2に示します。

アプリケーション情報

表 2. MODEピンの機能

MODEピン	出力形式	クロック・デューティ・サイクル・スタビライザ
0	オフセット・バイナリ	オフ
1/3V _{DD}	オフセット・バイナリ	オン
2/3V _{DD}	2の補数	オン
V _{DD}	2の補数	オフ

オーバーフロー・ビット

OFがロジック“H”を出力すると、コンバータにはオーバーレンジまたはアンダーレンジのいずれかが生じます。

出力ドライバの電源

出力専用の電源ピンとグラウンド・ピンが備わっているので、出力ドライバをアナログ回路から分離することができます。デジタル出力バッファの電源OV_{DD}は、ロジックをドライブするのと同じ電源に接続します。例えば、1.8V電源から電力を供給されているDSPをコンバータがドライブする場合、OV_{DD}は同じ1.8V電源に接続します。

500mV～3.6Vの任意の電圧でOV_{DD}に給電できます。OGNDはGND～1Vの任意の電圧で電力供給を受けることができ、OV_{DD}より低くなければなりません。ロジック出力は、OGNDからOV_{DD}までの範囲で振幅します。

出力イネーブル

出力イネーブル・ピン \overline{OE} を使って出力をディスエーブルすることができます。 \overline{OE} を“H”にすると、OFを含む全てのデータ出力がディスエーブルされます。データのアクセス時間やバスの解放時間は、フルスピード動作時に出力のイネーブルやディスエーブルをするには長すぎます。出力の“Hi-Z”状態は長期の休止時に使用することを意図しています。チャンネルAおよびBは、独立した出力イネーブル・ピン(\overline{OEA} 、 \overline{OEB})を備えています。

スリープ・モードとナップ・モード

節電のため、コンバータをシャットダウン・モードまたはナップ・モードにすることができます。SHDNをGNDに接続すると通常動作になります。SHDNをV_{DD}に接続し、 \overline{OE} をV_{DD}に接続するとスリープ・モードになり、リファレンスを含む全ての回路をパワーダウンし、電力損失は標準で1mWになります。

スリープ・モードから回復するとき、リファレンスのコンデンサを再充電して安定化する必要がありますので、出力データが有効になるまで数ミリ秒かかります。SHDNをV_{DD}に接続し、OEをGNDに接続するとナップ・モードになり、電力損失は標準で30mWになります。ナップ・モードでは内蔵リファレンス回路はオンしたままなので、ナップ・モードからの回復はスリープ・モードからの回復よりも速く、標準で100クロック・サイクルしかかかりません。スリープとナップの両方のモードで全てのデジタル出力はディスエーブルされ、“Hi-Z”状態になります。

チャンネルAおよびBは、独立したSHDNピン(SHDNA、SHDNB)を備えています。チャンネルAはSHDNAと \overline{OEA} によって制御され、チャンネルBはSHDNBと \overline{OEB} によって制御されます。2つのチャンネルのナップ・モード、スリープ・モード、出力イネーブル・モードは完全に独立しているので、一方のチャンネルを動作させながら、もう一方のチャンネルをナップ・モードまたはスリープ・モードにすることができます。

デジタル出力マルチプレクサ

サンプル・レートが80Msps以下である場合は、LTC2282のデジタル出力を単一のデータ・バスに多重化することができます。MUXピンは、2つのデータ・バスを切り替えるデジタル入力です。MUXが“H”の場合、チャンネルAはDA0～DA11、OFAに出力され、チャンネルBはDB0～DB11、OFBに出力されます。MUXが“L”の場合は出力バスが切り替えられ、チャンネルAはDB0～DB11、OFBに出力されて、チャンネルBはDA0～DA11、OFAに出力されます。両方のチャンネルを1つの出力バスに多重化するには、MUX、CLKA、およびCLKBを互いに接続します(多重化モードについては、「タイミング図」を参照)。多重化されたデータはどちらかのデータ・バスで利用することができます。使用しないデータ・バスは \overline{OE} ピンによりディスエーブルすることができます。

接地とバイパス

LTC2282には、切れ目のないきれいなグラウンド・プレーンを備えたプリント回路基板が必要です。内部グラウンド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、ADCの下に配置したりしないように注意してください。

アプリケーション情報

V_{DD} 、 OV_{DD} 、 V_{CM} 、REFH、REFLの各ピンには、高品質のセラミック・バイパス・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。特に重要なのは、REFHとREFLの間に配置する0.1 μ Fのコンデンサです。このコンデンサはできるだけデバイスに近づけて(1.5mm以内)配置してください。0402サイズのセラミック・コンデンサを推奨します。REFHとREFLの間の大きい2.2 μ Fコンデンサはこれよりいくらか離れてもかまいません。ピンとバイパス・コンデンサを接続するトレースは短くする必要があり、幅はできるだけ広くします。

LTC2282の差動入力は平行に配線し、互いに近づけるようにします。入力トレースはできるだけ短くして容量を小さくし、ノイズを拾わないようにします。

熱伝達

LTC2282が発生する熱の大部分はダイから底面の露出パッドとパッケージのピンを通過してプリント回路基板に伝わります。優れた電気的性能と熱性能を得るには、露出パッドをPC基板の大きな接地されたパッドに半田付けします。全てのグランド・ピンを面積が十分大きなグランド・プレーンに接続することが重要です。

アンダーサンプリングのクロック・ソース

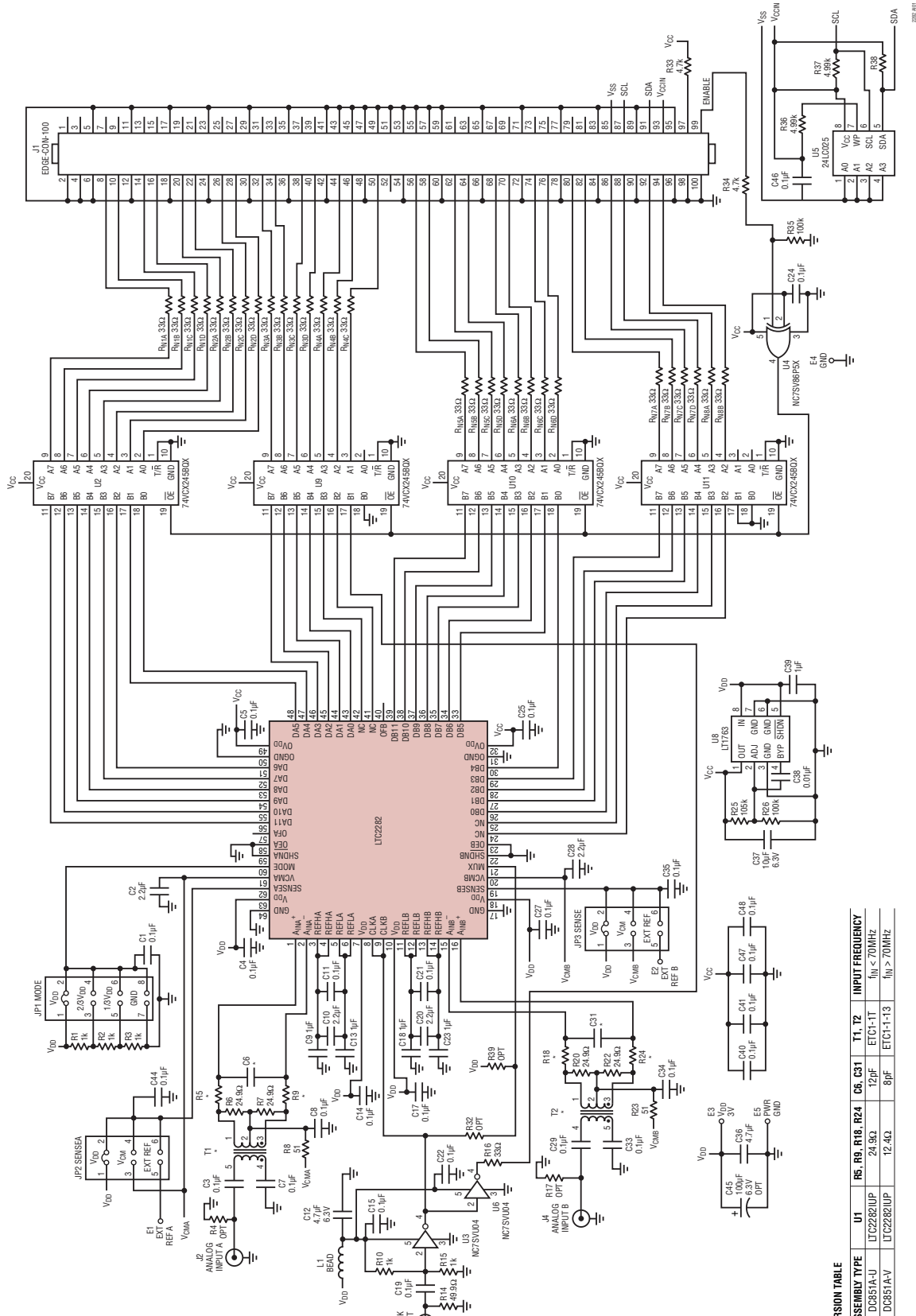
アンダーサンプリングでは、クロック・ソースに対する要求レベルが高くなり、入力周波数が高いほどクロックのジッタや位相ノイズに対して敏感になります。フルスケール信号のSNRを70MHzで1dBだけ低下させるクロック・ソースは、SNRを140MHzでは3dB、190MHzでは4.5dBだけ低下させます。

クロック周波数の絶対精度が比較的重要ではなく、1つのADCだけが必要とされる場合、SaronixやVectronなどのメーカーの3Vメタルキャン発振器をADCの近くに配置してADCに直接接続することができます。ADCまでいくらかでも距離がある場合、何らかのソース終端を行って、たとえ数分の1インチでも生じる可能性のあるリングングを抑えます。クロックが電源の値をオーバーシュートしないようにする必要があります。

オーバーシュートすると性能が低下します。正弦波のクロック・ソースでない限り、クロック信号は狭帯域のフィルタを通さないでください。狭帯域のフィルタを通すと、標準的なデジタル・クロック信号に含まれる立ち上がり時間と立ち下がり時間の影響が位相ノイズに反映されるからです。

位相ノイズが最も小さい発振器は出力がシングルエンドの正弦波であり、これらのデバイスの場合は、ADCの近くにフィルタを使用すると効果的な場合があります。このフィルタはADCに近づけて配置して、往復の反射時間を短くするとともに、フィルタとADCの間のトレースが外部の影響を受けにくくします。近接位相ノイズの影響を受けやすい場合、発振器の電源と全てのバッファは非常に安定したものでなければなりません。電源が安定していないと、電源による伝播遅延の変動によって位相ノイズが生じます。これらのクロック・ソースはデジタル・デバイスと見なされるかもしれませんが、それらをデジタル電源で動作させないでください。そのクロックがFPGAなどのデジタル・デバイスをドライブするのも使用される場合、発振器と全てのクロックのファンアウト・デバイスをADCの近くに配置し、ADCへの配線を優先させます。FPGAへのクロック信号は信号源で直列終端を行い、FPGAからの高周波ノイズがクロックのファンアウト・デバイスのサブストレートの状態を乱さないようにします。FPGAをプログラム可能な分割器として使用する場合、元の発振器を使って信号の時間合せを行う必要があり、タイミング調整用フリップ・フロップと発振器をADCに近づけて配置し、十分に安定した電源から電力を供給します。

複数のADCが存在する場合、またはクロック・ソースがいくらか離れている場合、クロックを差動で分配することを推奨します。これは、EMIの観点からだけでなく、デジタル・ソースからの放射ノイズや多層PCBの層間に存在する導波路内を伝播するノイズを防ぐ観点からも推奨します。この差動ペアは互いに近接させ、他の信号から離す必要があります。差動ペアは、両側にトレース間隔の少なくとも3倍の距離をとって銅でガードを設け、1/4インチ以下の間隔でビアを使って接地します。

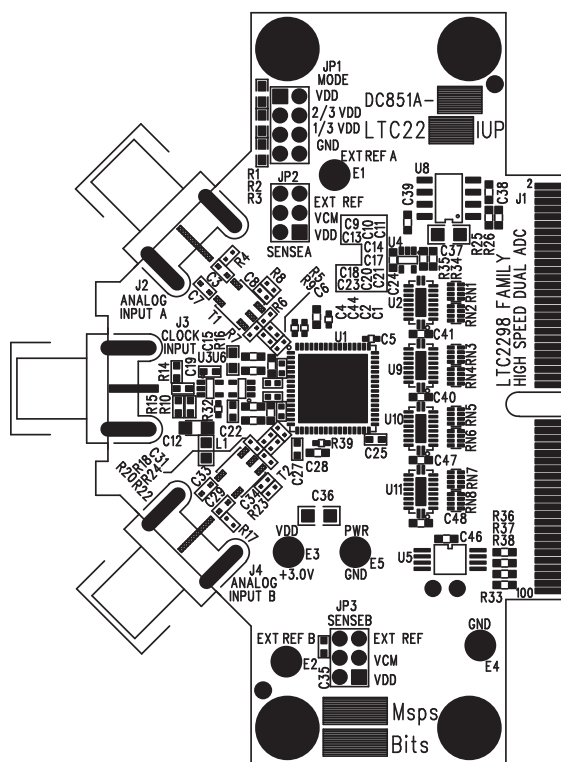


***VERSION TABLE**

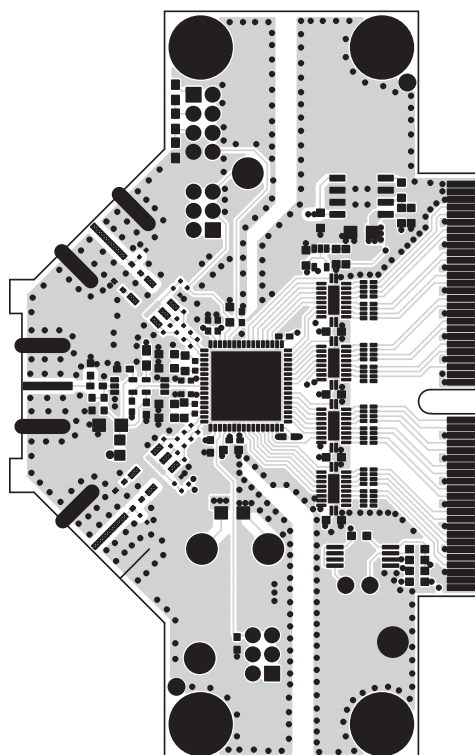
ASSEMBLY TYPE	U1	R5, R9, R18, R24	C6, C31	T1, T2	INPUT FREQUENCY
DC851A-U	LTC2282UP	24.9Ω	12pF	ETC1-1T	f _{IN} < 70MHz
DC851A-V	LTC2282UP	12.4Ω	8pF	ETC1-1-13	f _{IN} > 70MHz

アプリケーション情報

部品面シルク

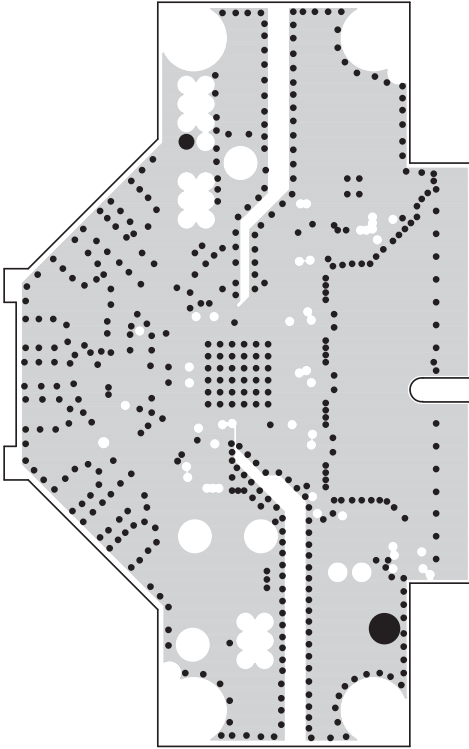


上面

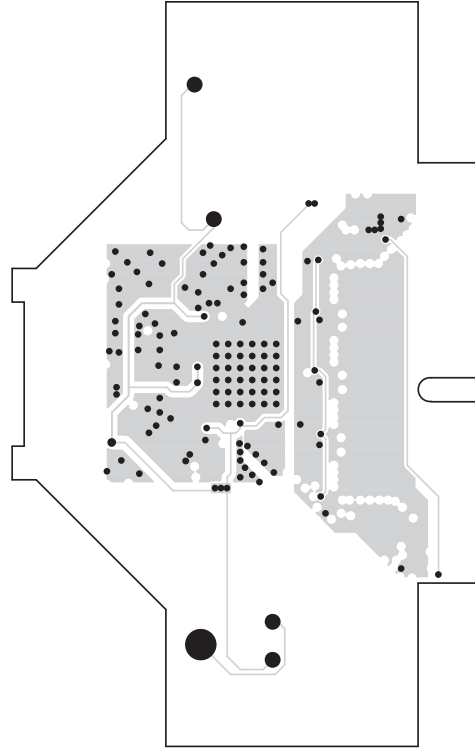


アプリケーション情報

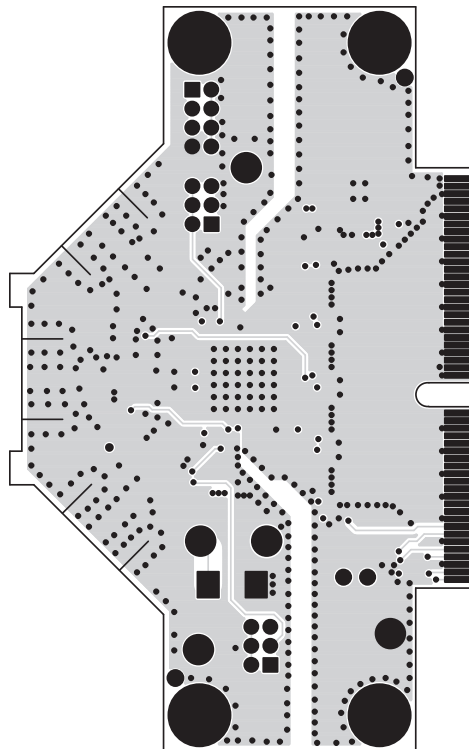
中間層 2 GND



中間層 3 電源

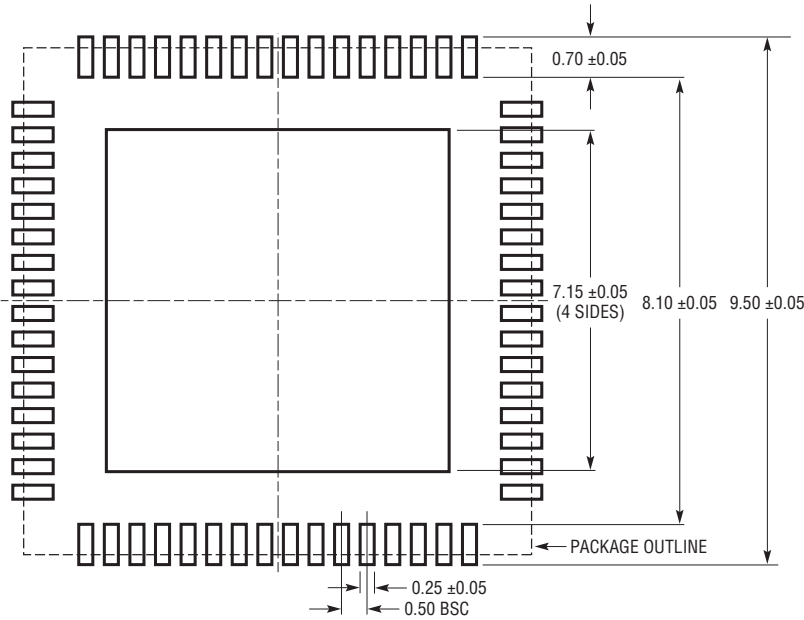


底面

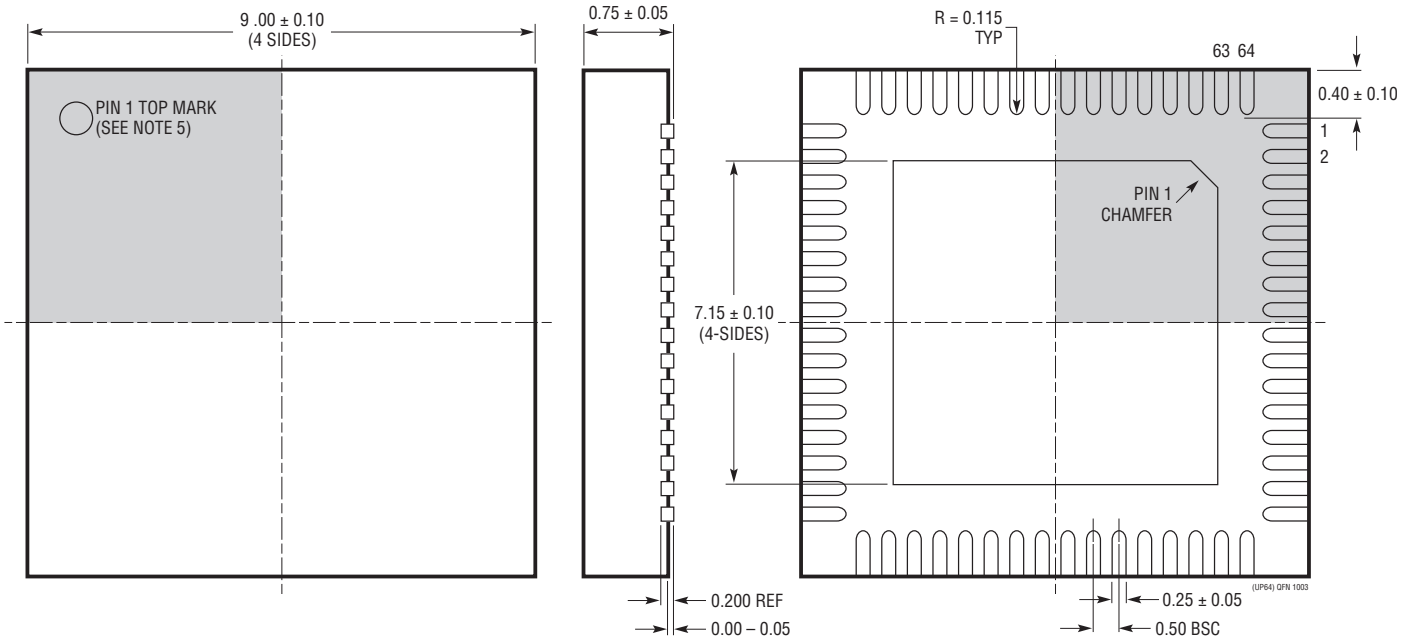


パッケージ

UP Package
64-Lead Plastic QFN (9mm × 9mm)
(Reference LTC DWG # 05-08-1705)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS



BOTTOM VIEW—EXPOSED PAD

注記:

1. 図面は JEDEC のパッケージ外形 M0-220 のバリエーション (WNJR-5) に適合
2. 全ての寸法はミリメートル
3. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは (もしあれば) 各サイドで 0.20mm を超えないこと
4. 露出パッドは半田メッキとする
5. 灰色の部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない
6. 図は実寸とは異なる

LTC2282

関連製品

製品番号	概要	注釈
LTC2220	12ビット、170Msps ADC	890mW、SNR:67.5dB、9mm×9mm QFNパッケージ
LTC2221	12ビット、135Msps ADC	630mW、SNR:67.5dB、9mm×9mm QFNパッケージ
LTC2222	12ビット、105Msps ADC	475mW、SNR:67.9dB、7mm×7mm QFNパッケージ
LTC2223	12ビット、80Msps ADC	366mW、SNR:68dB、7mm×7mm QFNパッケージ
LTC2224	12ビット、135Msps ADC	630mW、SNR:67.5dB、7mm×7mm QFNパッケージ
LTC2225	12ビット、10Msps ADC	60mW、SNR:71.4dB、5mm×5mm QFNパッケージ
LTC2226	12ビット、25Msps ADC	75mW、SNR:71.4dB、5mm×5mm QFNパッケージ
LTC2227	12ビット、40Msps ADC	120mW、SNR:71.4dB、5mm×5mm QFNパッケージ
LTC2228	12ビット、65Msps ADC	205mW、SNR:71.3dB、5mm×5mm QFNパッケージ
LTC2230	10ビット、170Msps ADC	890mW、SNR:67.5dB、9mm×9mm QFNパッケージ
LTC2231	10ビット、135Msps ADC	630mW、SNR:67.5dB、9mm×9mm QFNパッケージ
LTC2232	10ビット、105Msps ADC	475mW、SNR:61.3dB、7mm×7mm QFNパッケージ
LTC2233	10ビット、80Msps ADC	366mW、SNR:61.3dB、7mm×7mm QFNパッケージ
LTC2245	14ビット、10Msps ADC	60mW、SNR:74.4dB、5mm×5mm QFNパッケージ
LTC2246	14ビット、25Msps ADC	75mW、SNR:74.5dB、5mm×5mm QFNパッケージ
LTC2247	14ビット、40Msps ADC	120mW、SNR:74.4dB、5mm×5mm QFNパッケージ
LTC2248	14ビット、65Msps ADC	205mW、SNR:74.3dB、5mm×5mm QFNパッケージ
LTC2249	14ビット、80Msps ADC	222mW、SNR:73dB、5mm×5mm QFNパッケージ
LTC2254	14ビット、105Msps ADC	320mW、SNR:72.5dB、5mm×5mm QFNパッケージ
LTC2255	14ビット、125Msps ADC	395mW、SNR:72.4dB、5mm×5mm QFNパッケージ
LTC2280	10ビット、デュアル 105Msps ADC	540mW、SNR:61.6dB、9mm×9mm QFNパッケージ
LTC2284	14ビット、デュアル 105Msps ADC	540mW、SNR:72.4dB、9mm×9mm QFNパッケージ
LTC2286	10ビット、デュアル 25Msps ADC	150mW、SNR:61.8dB、9mm×9mm QFNパッケージ
LTC2287	10ビット、デュアル 40Msps ADC	235mW、SNR:61.8dB、9mm×9mm QFNパッケージ
LTC2288	10ビット、デュアル 65Msps ADC	400mW、SNR:61.8dB、9mm×9mm QFNパッケージ
LTC2289	10ビット、デュアル 80Msps ADC	422mW、SNR:61dB、9mm×9mm QFNパッケージ
LTC2290	12ビット、デュアル 10Msps ADC	120mW、SNR:71.3dB、9mm×9mm QFNパッケージ
LTC2291	12ビット、デュアル 25Msps ADC	150mW、SNR:71.4dB、9mm×9mm QFNパッケージ
LTC2292	12ビット、デュアル 40Msps ADC	235mW、SNR:71.4dB、9mm×9mm QFNパッケージ
LTC2293	12ビット、デュアル 65Msps ADC	400mW、SNR:71.3dB、9mm×9mm QFNパッケージ
LTC2294	12ビット、デュアル 80Msps ADC	422mW、SNR:70.6dB、9mm×9mm QFNパッケージ
LTC2295	14ビット、デュアル 10Msps ADC	120mW、SNR:74.4dB、9mm×9mm QFNパッケージ
LTC2296	14ビット、デュアル 25Msps ADC	150mW、SNR:74.5dB、9mm×9mm QFNパッケージ
LTC2297	14ビット、デュアル 40Msps ADC	235mW、SNR:74.4dB、9mm×9mm QFNパッケージ
LTC2298	14ビット、デュアル 65Msps ADC	400mW、SNR:74.3dB、9mm×9mm QFNパッケージ
LTC2299	14ビット、デュアル 80Msps ADC	444mW、SNR:73dB、9mm×9mm QFNパッケージ