

16ビット、20Msps シリアル低ノイズ・デュアルA/Dコンバータ

特長

- 2チャンネル同時サンプリングADコンバータ
- シリアルLVDS出力: 1、2、4ビット/チャンネル
- SNR: 84.1dB(入力換算ノイズ: 46 μ V_{RMS})
- SFDR: 99dB
- 低消費電力: 185mW(合計)
- 92mW(チャンネルあたり)
- 1.8V単電源
- 選択可能な入力範囲: 1V_{p-p} ~ 2.1V_{p-p}
- フルパワー帯域幅が200MHzのサンプル/ホールド
- シャットダウン・モードとナップ・モード
- 設定用のシリアルSPIポート
- ピン互換製品
LTC2190: 16ビット、25Msps、104mW
- 52ピン(7mm×8mm)QFNパッケージ

アプリケーション

- 低消費電力の計測装置
- ソフトウェア無線
- 携帯型医療用画像処理
- マルチチャンネル・データ収集

概要

LTC[®]2271は、ダイナミックレンジの広い高周波信号をデジタル化する目的で設計された2チャンネル同時サンプリングの16ビットA/Dコンバータです。SNR(信号対ノイズ比)が84.1dB、SFDR(スプリアスのないダイナミックレンジ)が99dBというAC特性を備えているため、要求の厳しい通信アプリケーションに最適です。

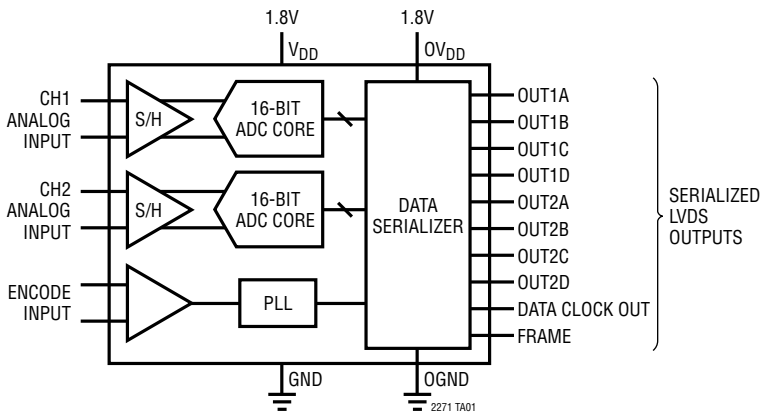
DC規格では、 ± 1 LSB(標準)のINL、 ± 0.2 LSB(標準)のDNL、全温度範囲にわたって欠落コードがないことが規定されています。遷移ノイズは1.44LSB_{RMS}です。

データ線の数をもっと抑えるため、デジタル出力はシリアルLVDSです。各チャンネルは1ビット、2ビット、または4ビットを同時に出力します。ノイズのない信号品位を確保するため、LVDSドライバはオプションの内部終端および調整可能な出力レベルを備えています。

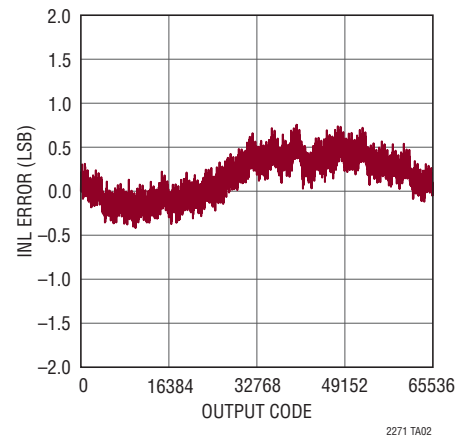
ENC⁺およびENC⁻入力は、正弦波、PECL、LVDS、TTLまたはCMOS入力信号を使用して、差動またはシングルエンドで駆動できます。また、内蔵のクロック・デューティサイクル・スタビライザにより、広範なクロック・デューティサイクルにわたってフルスピードで高い性能を発揮できます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴは、リアテックノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



積分非直線性 (INL)



LTC2271

絶対最大定格 (Note 1, 2)

電源電圧

V_{DD} , $0V_{DD}$ $-0.3V \sim 2V$

アナログ入力電圧

A_{IN+} , A_{IN-} , PAR/SER , $SENSE$
(Note 3) $-0.3V \sim (V_{DD} + 0.2V)$

デジタル入力電圧

ENC^+ , ENC^- , \overline{CS} , SDI , SCK (Note 4) $-0.3V \sim 3.9V$

SDO (Note 4) $-0.3V \sim 3.9V$

デジタル出力電圧 $-0.3V \sim (0V_{DD} + 0.3V)$

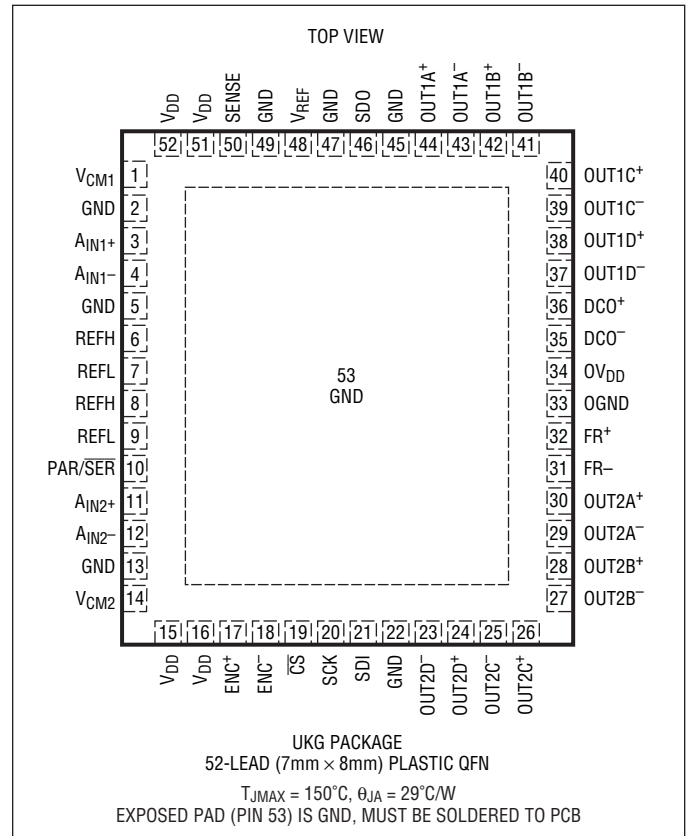
動作温度範囲

LTC2271C $0^{\circ}C \sim 70^{\circ}C$

LTC2271I $-40^{\circ}C \sim 85^{\circ}C$

保存温度範囲..... $-65^{\circ}C \sim 150^{\circ}C$

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2271CUKG#PBF	LTC2271CUKG#TRPBF	LTC2271UKG	52-Lead (7mm × 8mm) Plastic QFN	$0^{\circ}C \sim 70^{\circ}C$
LTC2271IUKG#PBF	LTC2271IUKG#TRPBF	LTC2271UKG	52-Lead (7mm × 8mm) Plastic QFN	$-40^{\circ}C \sim 85^{\circ}C$

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げ製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

コンバータの特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Resolution (No Missing Codes)		●	16		Bits	
Integral Linearity Error	Differential Analog Input (Note 6)	●	-2.6	±1	2.6	LSB
Differential Linearity Error	Differential Analog Input	●	-0.8	±0.2	0.8	LSB
Offset Error	(Note 7)	●	-7	±1.3	7	mV
Gain Error	Internal Reference External Reference	●	-1.6	±1.2 -0.3	1	%FS %FS
Offset Drift			±10		$\mu\text{V}/^\circ\text{C}$	
Full-Scale Drift	Internal Reference External Reference		±30 ±10		$\text{ppm}/^\circ\text{C}$ $\text{ppm}/^\circ\text{C}$	
Gain Matching		●	-0.2	±0.06	0.2	%FS
Offset Matching		●	-10	±1.5	10	mV
Transition Noise			1.44		LSB_{RMS}	

アナログ入力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{IN}	Analog Input Range ($A_{\text{IN}+} - A_{\text{IN}-}$)	$1.7\text{V} < V_{\text{DD}} < 1.9\text{V}$	●	1 to 2.1		$V_{\text{P-P}}$	
$V_{\text{IN(CM)}}$	Analog Input Common Mode ($A_{\text{IN}+} + A_{\text{IN}-})/2$	Differential Analog Input (Note 8)	●	V_{CM}	$V_{\text{CM}} + 200\text{mV}$	V	
V_{SENSE}	External Voltage Reference Applied to SENSE	External Reference Mode	●	0.625	1.250	1.300	V
I_{INCM}	Analog Input Common Mode Current	Per Pin, 20Msps		32		μA	
I_{IN1}	Analog Input Leakage Current (No Encode)	$0 < A_{\text{IN}+}, A_{\text{IN}-} < V_{\text{DD}}$	●	-1	1	μA	
I_{IN2}	PAR/SER Input Leakage Current	$0 < \text{PAR/SER} < V_{\text{DD}}$	●	-1	1	μA	
I_{IN3}	SENSE Input Leakage Current	$0.625\text{V} < \text{SENSE} < 1.3\text{V}$	●	-2	2	μA	
t_{AP}	Sample-and-Hold Acquisition Delay Time			0		ns	
t_{JITTER}	Sample-and-Hold Acquisition Delay Jitter	Single-Ended Encode Differential Encode		85 100		fs_{RMS} fs_{RMS}	
CMRR	Analog Input Common Mode Rejection Ratio			80		dB	
BW-3B	Full-Power Bandwidth	Figure 5 Test Circuit		200		MHz	

LTC2271

ダイナミック精度 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SNR	Signal-to-Noise Ratio	1.4MHz Input	●	84.1		dBFS
		5MHz Input		84.1		dBFS
		30MHz Input		83.8		dBFS
		70MHz Input		82.7		dBFS
SFDR	Spurious Free Dynamic Range, 2nd Harmonic	1.4MHz Input	●	99		dBFS
		5MHz Input		98		dBFS
		30MHz Input		98		dBFS
	Spurious Free Dynamic Range, 3rd Harmonic	1.4MHz Input	●	99		dBFS
		5MHz Input		98		dBFS
		30MHz Input		98		dBFS
	Spurious Free Dynamic Range, 4th Harmonic or Higher	1.4MHz Input	●	110		dBFS
		5MHz Input		110		dBFS
		30MHz Input		105		dBFS
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	1.4MHz Input	●	83.9		dBFS
		5MHz Input		83.9		dBFS
		30MHz Input		83.7		dBFS
		70MHz Input		82.0		dBFS
		Crosstalk		10MHz Input		

内部リファレンスの特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{CM} Output Voltage	$I_{OUT} = 0$	●	$0.5 \cdot V_{DD} - 25\text{mV}$	$0.5 \cdot V_{DD}$	$0.5 \cdot V_{DD} + 25\text{mV}$	V
V_{CM} Output Temperature Drift			± 25			ppm/ $^\circ\text{C}$
V_{CM} Output Resistance	$-600\mu\text{A} < I_{OUT} < 1\text{mA}$		4			Ω
V_{REF} Output Voltage	$I_{OUT} = 0$	●	1.230	1.250	1.270	V
V_{REF} Output Temperature Drift			± 25			ppm/ $^\circ\text{C}$
V_{REF} Output Resistance	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$		7			Ω
V_{REF} Line Regulation	$1.7\text{V} < V_{DD} < 1.9\text{V}$		0.6			mV/V

デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
エンコード入力 (ENC⁺, ENC⁻)						
差動エンコード・モード (ENC⁻ は GND に接続されていない)						
V_{ID}	Differential Input Voltage	(Note 8)	●	0.2		V
V_{ICM}	Common Mode Input Voltage	Internally Set	●	1.2	1.6	V
		Externally Set (Note 8)		1.1		V
V_{IN}	Input Voltage Range	ENC ⁺ , ENC ⁻ to GND (Note 8)	●	0.2	3.6	V
R_{IN}	Input Resistance	See Figure 10		10		k Ω
C_{IN}	Input Capacitance	(Note 8)		3.5		pF

デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
シングルエンド・エンコード・モード (ENC ⁻ は GND に接続されている)							
V _{IH}	High Level Input Voltage	V _{DD} = 1.8V	●	1.2			V
V _{IL}	Low Level Input Voltage	V _{DD} = 1.8V	●			0.6	V
V _{IN}	Input Voltage Range	ENC ⁺ to GND	●	0		3.6	V
R _{IN}	Input Resistance	See Figure 11			30		k Ω
C _{IN}	Input Capacitance	(Note 8)			3.5		pF

デジタル入力 (CS⁻, SDI, SCK はシリアルまたはパラレル・プログラミング・モード。SDO はパラレル・プログラミング・モード)

V _{IH}	High Level Input Voltage	V _{DD} = 1.8V	●	1.3			V
V _{IL}	Low Level Input Voltage	V _{DD} = 1.8V	●			0.6	V
I _{IN}	Input Current	V _{IN} = 0V to 3.6V	●	-10		10	μA
C _{IN}	Input Capacitance	(Note 8)			3		pF

SDO の出力 (シリアル・プログラミング・モード。オープン・ドレイン出力。SDO が使われる場合、2k のプルアップ抵抗が必要)

R _{OL}	Logic Low Output Resistance to GND	V _{DD} = 1.8V, SDO = 0V			200		Ω
I _{OH}	Logic High Output Leakage Current	SDO = 0V to 3.6V	●	-10		10	μA
C _{OUT}	Output Capacitance	(Note 8)			3		pF

デジタル・データ出力

V _{OD}	Differential Output Voltage	100 Ω Differential Load, 3.5mA Mode	●	247	350	454	mV
		100 Ω Differential Load, 1.75mA Mode	●	125	175	250	mV
V _{OS}	Common Mode Output Voltage	100 Ω Differential Load, 3.5mA Mode	●	1.125	1.250	1.375	V
		100 Ω Differential Load, 1.75mA Mode	●	1.125	1.250	1.375	V
R _{TERM}	On-Chip Termination Resistance	Termination Enabled, 0V _{DD} = 1.8V			100		Ω

電源要件 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V _{DD}	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	V
OV _{DD}	Output Supply Voltage	(Note 10)	●	1.7	1.8	1.9	V
I _{VDD}	Analog Supply Current	Sine Wave Input	●		93.3	103	mA
I _{OVDD}	Digital Supply Current	1-Lane Mode, 1.75mA Mode	●		9.4	10.7	mA
		1-Lane Mode, 3.5mA Mode	●		17.5	19.6	mA
		2-Lane Mode, 1.75mA Mode	●		13.4	15.5	mA
		2-Lane Mode, 3.5mA Mode	●		25.5	29	mA
		4-Lane Mode, 1.75mA Mode	●		21.9	25	mA
		4-Lane Mode, 3.5mA Mode	●		42	47	mA
P _{DISS}	Power Dissipation	1-Lane Mode, 1.75mA Mode	●		185	205	mW
		1-Lane Mode, 3.5mA Mode	●		199	221	mW
		2-Lane Mode, 1.75mA Mode	●		192	214	mW
		2-Lane Mode, 3.5mA Mode	●		214	238	mW
		4-Lane Mode, 1.75mA Mode	●		207	231	mW
		4-Lane Mode, 3.5mA Mode	●		244	270	mW
P _{SLEEP}	Sleep Mode Power			1		mW	
P _{NAP}	Nap Mode Power			50		mW	
P _{DIFFCLK}	Power Increase with Differential Encode Mode Enabled (No Increase for Sleep Mode)			20		mW	

タイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
f_s	Sampling Frequency	(Note 10)	●	5	20	MHz	
t_{ENCL}	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off	●	23.5	25	100	ns
		Duty Cycle Stabilizer On	●	2	25	100	ns
t_{ENCH}	ENC High Time (Note 8)	Duty Cycle Stabilizer Off	●	23.5	25	100	ns
		Duty Cycle Stabilizer On	●	2	25	100	ns
t_{AP}	Sample-and-Hold Acquisition Delay Time			0		ns	

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
デジタル・データ出力 ($R_{TERM} = 100\Omega$ 差動、$C_L = 2\text{pF}$ 各出力で GND へ)							
t_{SER}	Serial Data Bit Period	4-Lane Output Mode 2-Lane Output Mode 1-Lane Output Mode		$1/(4 \cdot f_s)$ $1/(8 \cdot f_s)$ $1/(16 \cdot f_s)$		Sec	
t_{FRAME}	FR to DCO Delay	(Note 8)	●	$0.35 \cdot t_{SER}$	$0.5 \cdot t_{SER}$	$0.65 \cdot t_{SER}$	Sec
t_{DATA}	Data to DCO Delay	(Note 8)	●	$0.35 \cdot t_{SER}$	$0.5 \cdot t_{SER}$	$0.65 \cdot t_{SER}$	Sec
t_{PD}	Propagation Delay	(Note 8)	●	$0.7n + 2 \cdot t_{SER}$	$1.1n + 2 \cdot t_{SER}$	$1.5n + 2 \cdot t_{SER}$	Sec
t_r	Output Rise Time	Data, DCO, FR, 20% to 80%		0.17		ns	
t_f	Output Fall Time	Data, DCO, FR, 20% to 80%		0.17		ns	
	DCO Cycle-Cycle Jitter	$t_{SER} = 3.1\text{ns}$		60		psp-p	
	Pipeline Latency		7		7	Cycles	

SPIポートのタイミング (Note 8)

t_{SCK}	SCK Period	Write Mode Readback Mode, $C_{SDO} = 20\text{pF}$, $R_{PULLUP} = 2k$	● ●	40 250		ns ns
t_s	\overline{CS} -to-SCK Setup Time		●	5		ns
t_H	SCK-to- \overline{CS} Setup Time		●	5		ns
t_{DS}	SDI Setup Time		●	5		ns
t_{DH}	SDI Hold Time		●	5		ns
t_{DO}	SCK Falling to SDO Valid	Readback Mode, $C_{SDO} = 20\text{pF}$, $R_{PULLUP} = 2k$	●		125	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: すべての電圧値は (注記がない限り) GND と OGND を短絡した状態の GND を基準にしている。

Note 3: これらのピンの電圧を GND より低くするか、 V_{DD} より高くすると、その電圧は内部のダイオードによってクランプされる。この製品は、GND より低い電圧、または V_{DD} より高い電圧でラッチアップを生じることなしに 100mA を超える入力電流を処理することができる。

Note 4: これらのピンの電圧を GND より低くすると、内部のダイオードによってクランプされる。これらのピンの電圧を V_{DD} より高くすると、その電圧は内部のダイオードによってクランプされない。この製品は、GND より低い電圧で、ラッチアップを生じることなく 100mA を超える入力電流を処理することができる。

Note 5: 注記がない限り、 $V_{DD} = 0V_{DD} = 1.8V$ 、 $f_{SAMPLE} = 20\text{MHz}$ 、2 レーン出力モード、差動 $ENC^+/ENC^- = 2V_{P-P}$ の正弦波、入力範囲 = 差動ドライブで $2.1V_{P-P}$ 。

Note 6: 積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: オフセット誤差は、2 の補数の出力モードで出力コードが 0000 0000 0000 0000 と 1111 1111 1111 1111 の間を行ったり来たりするとき、 -0.5LSB から測定したオフセット電圧である。

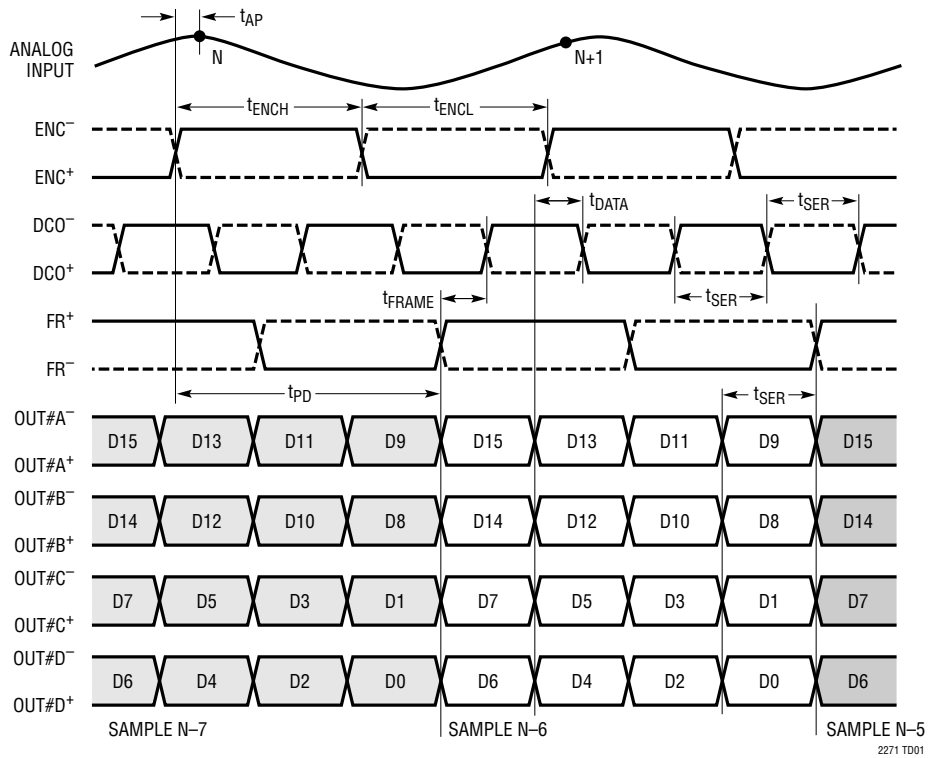
Note 8: 設計によって保証されているが、テストされない。

Note 9: 注記がない限り、 $V_{DD} = 0V_{DD} = 1.8V$ 、 $f_{SAMPLE} = 20\text{MHz}$ 、2 レーン出力モード、 ENC^+ = シングルエンド $1.8V$ の方形波、 $ENC^- = 0V$ 、入力範囲 = 差動ドライブで $2.1V_{P-P}$ 。電源電流および電力損失の規格値はデバイス全体の合計値であり、1 チャンネルあたりの値ではない。

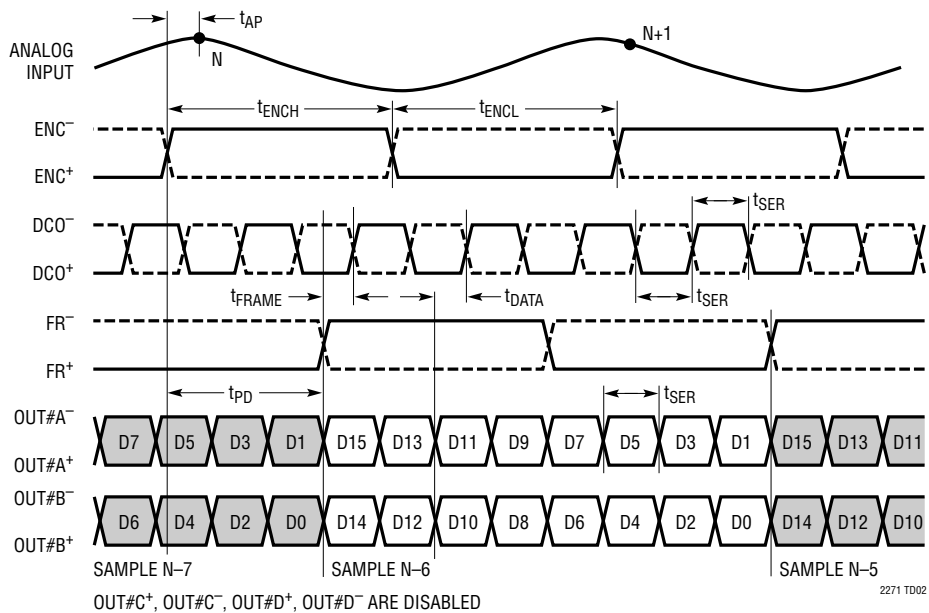
Note 10: 推奨動作条件。

タイミング図

4レーン出力モード

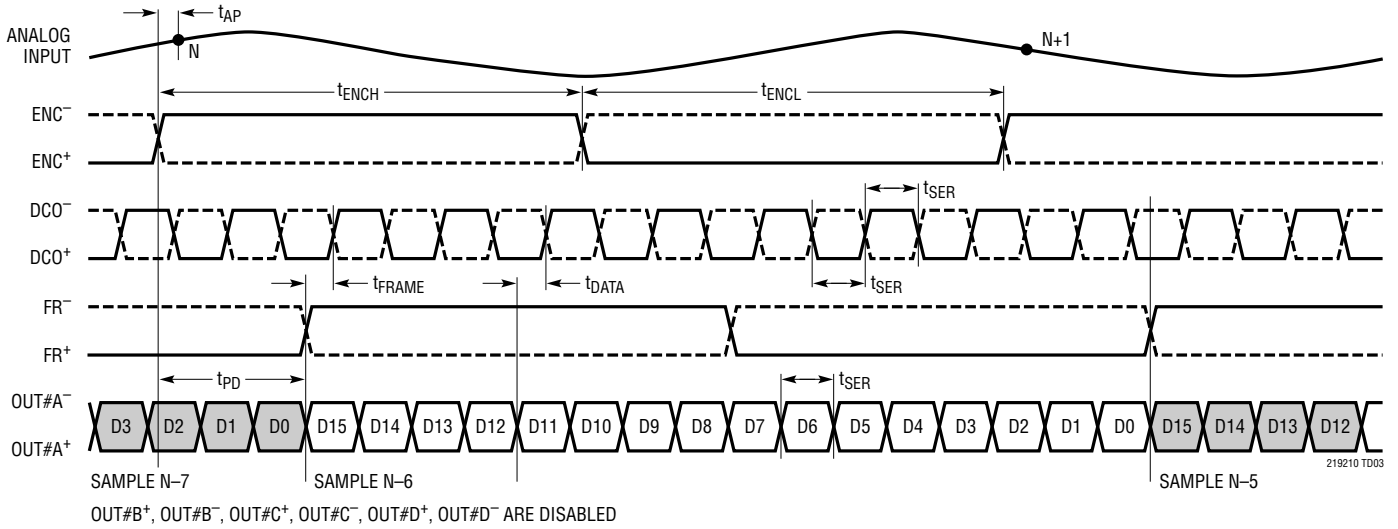


2レーン出力モード

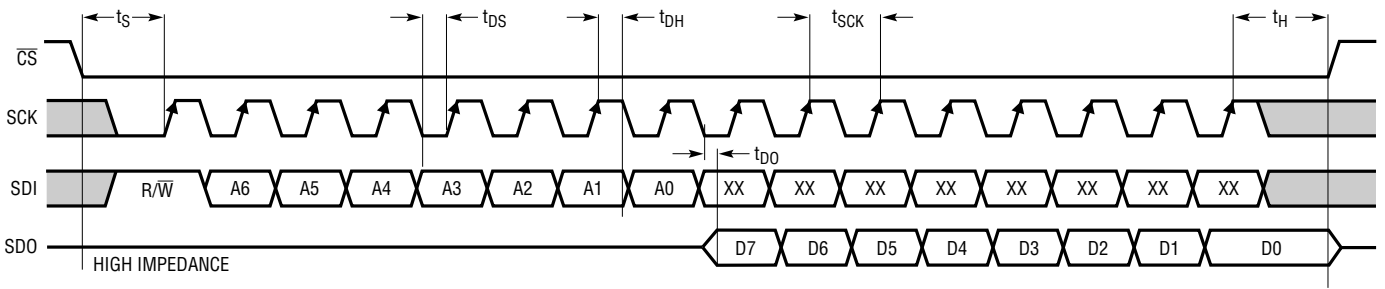


タイミング図

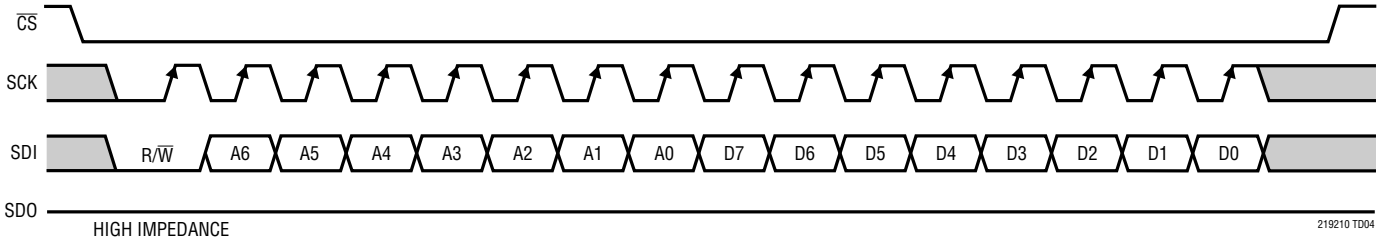
1レーン出力モード



SPI Port Timing (Readback Mode)

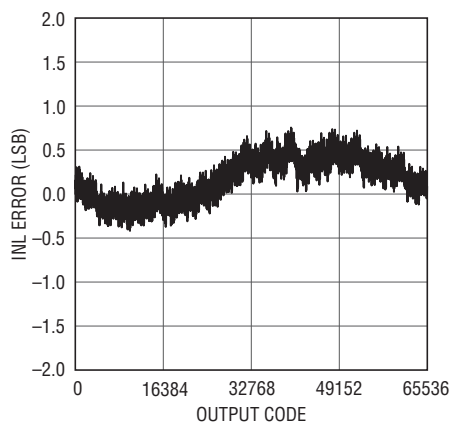


SPI Port Timing (Write Mode)



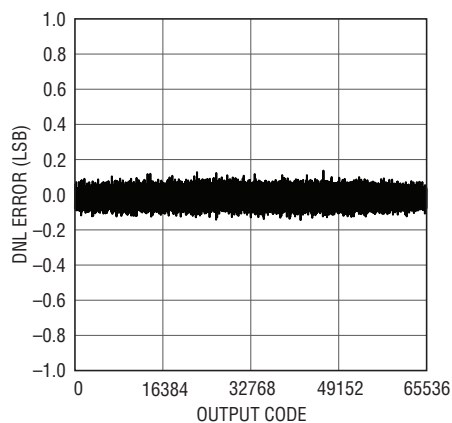
標準的性能特性

積分非直線性 (INL)



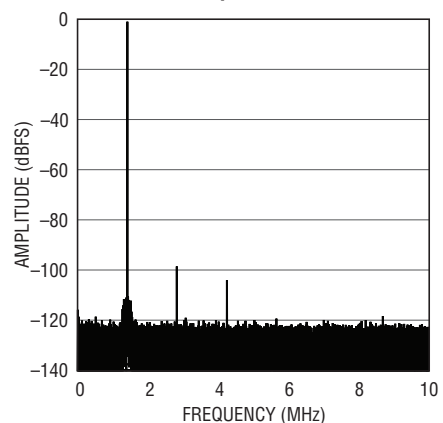
2271 G01

微分非直線性 (DNL)



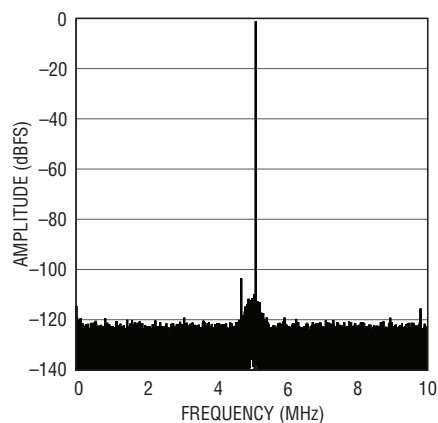
2271 G02

64k ポイントの FFT、 $f_{IN} = 1.4\text{MHz}$ 、 -1dBFS 、 20MSPs



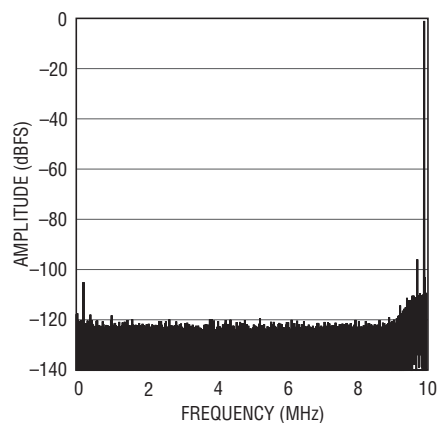
2271 G03

64k ポイントの FFT、 $f_{IN} = 5.1\text{MHz}$ 、 -1dBFS 、 20MSPs



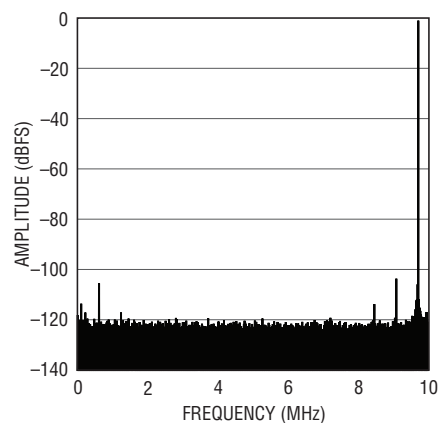
2271 G04

64k ポイントの FFT、 $f_{IN} = 10.1\text{MHz}$ 、 -1dBFS 、 20MSPs



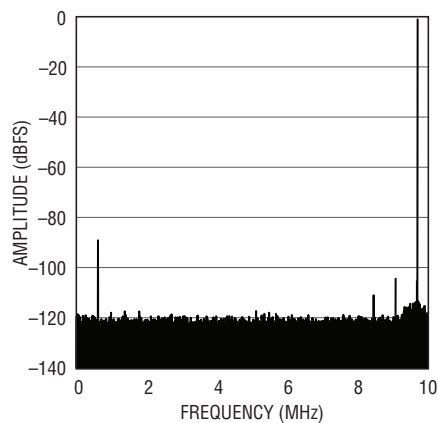
2271 G05

64k ポイントの FFT、 $f_{IN} = 30.3\text{MHz}$ 、 -1dBFS 、 20MSPs



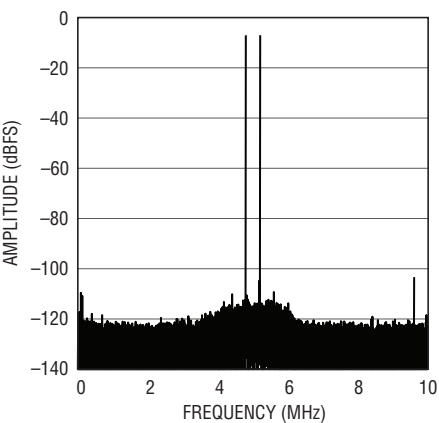
2271 G06

64k ポイントの FFT、 $f_{IN} = 70.3\text{MHz}$ 、 -1dBFS 、 20MSPs



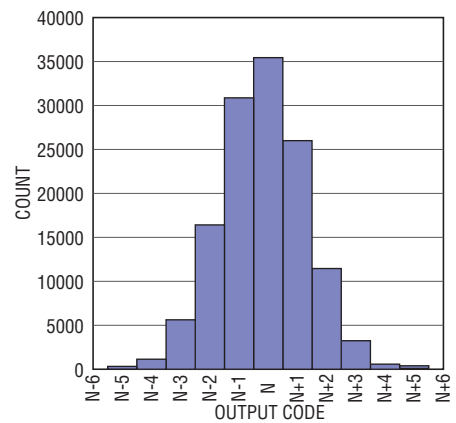
2271 G07

64k ポイントの 2 トーン FFT、 $f_{IN} = 14.8, 15.2\text{MHz}$ 、 -7dBFS 、 20MSPs



2271 G08

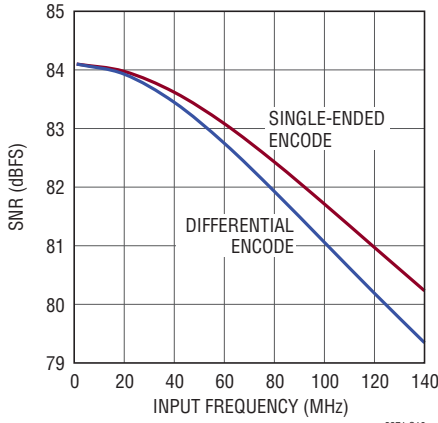
短絡入力 の ヒストグラム



2271 G09

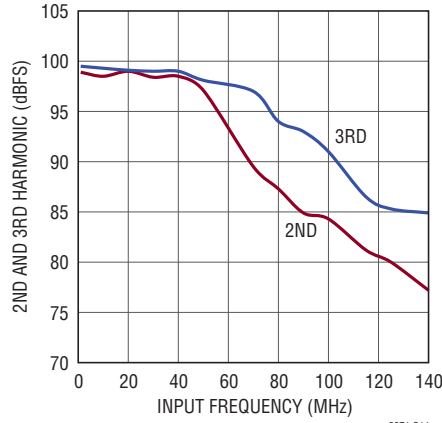
標準的性能特性

SNRと入力周波数、-1dBFS、
20Mpsps、2.1V 範囲



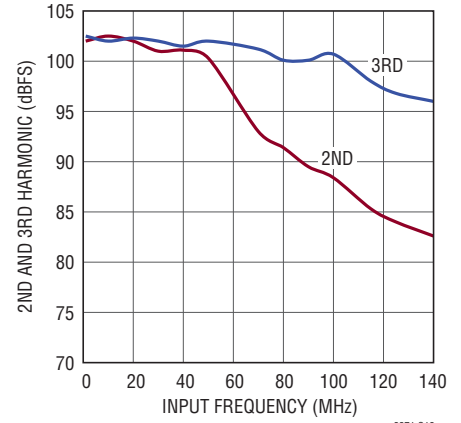
2271 G10

2次および3次高調波と入力周波数、
-1dBFS、20Mpsps、2.1V 範囲



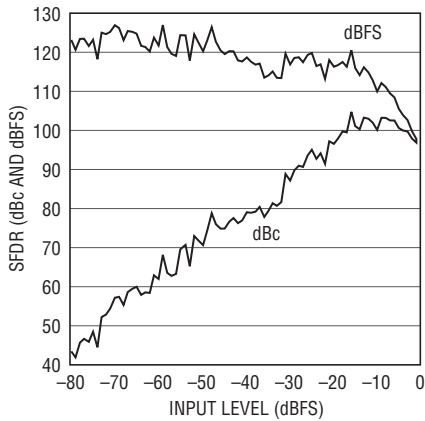
2271 G11

2次および3次高調波と入力周波数、
-1dBFS、20Mpsps、1.05V 範囲



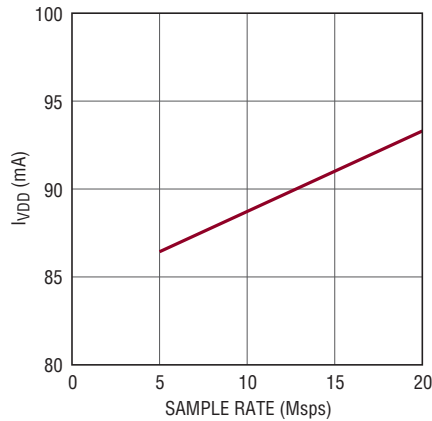
2271 G12

SFDRと入力レベル、 $f_{IN} = 5\text{MHz}$ 、
20Mpsps、2.1V 範囲



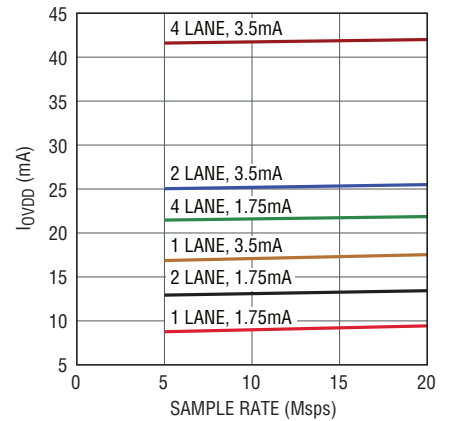
2271 G13

I_{VDD} とサンプル・レート、各チャネルに
5MHz、-1dBFSの正弦波入力



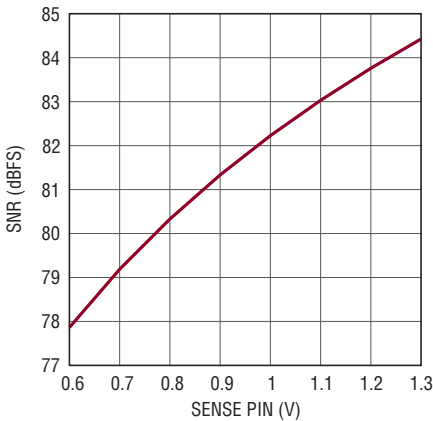
2271 G14

I_{OVD} とサンプル・レート、各チャネルに
5MHz、-1dBFSの正弦波入力



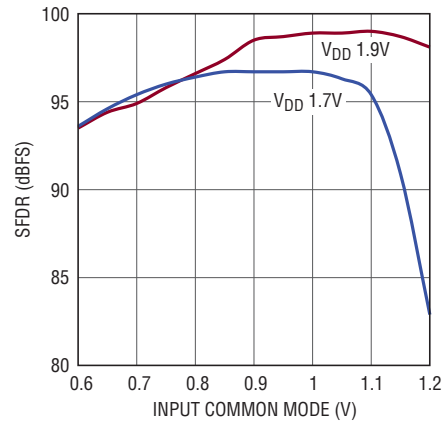
2271 G15

SNRとSENSE、 $f_{IN} = 5\text{MHz}$ 、-1dBFS



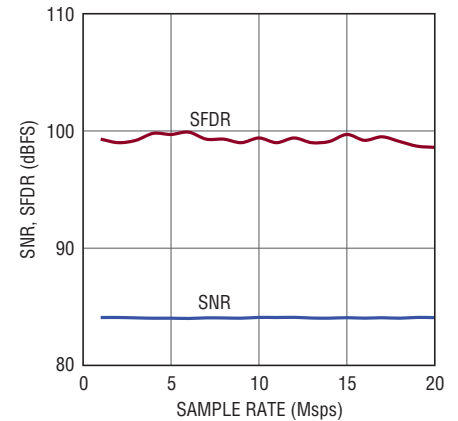
2271 G16

SFDRとアナログ入力同相電圧、
 $f_{IN} = 9.7\text{MHz}$ 、20Mpsps、2.1V 範囲



2271 G17

SNRおよびSFDRとサンプル・レート、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS



2271 G18

ピン機能

V_{CM1} (ピン1) : 同相バイアス出力。公称値は $V_{DD}/2$ に等しい。V_{CM1} はチャンネル1のアナログ入力と同相レベルをバイアスするのに使用します。1 μ Fのセラミック・コンデンサを使ってグラウンドにバイパスします。

GND (ピン2、5、13、22、45、47、49、露出パッドのピン53) : ADCの電源グラウンド。露出パッドはプリント回路基板のグラウンドに半田付けする必要があります。

A_{IN1+} (ピン3) : チャンネル1の正の差動アナログ入力。

A_{IN1-} (ピン4) : チャンネル1の負の差動アナログ入力。

REFH (ピン6、8) : ADCの“H”リファレンス。REFHおよびREFLの推奨バイパス回路については、「アプリケーション情報」の「リファレンス」のセクションを参照してください。

REFL (ピン7、9) : ADCの“L”リファレンス。REFHおよびREFLの推奨バイパス回路については「アプリケーション情報」の「リファレンス」のセクションを参照してください。

PAR/SER (ピン10) : プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグラウンドに接続します。 \overline{CS} 、SCK、SDI、SDOはA/Dコンバータの動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブルするには V_{DD} に接続します。この場合、 \overline{CS} 、SCK、SDI、SDOは、A/Dコンバータの(種類が限定された)動作モードを制御するパラレル・ロジック入力になります。PAR/SERはグラウンドまたはデバイスの V_{DD} に直接接続し、ロジック信号ではドライブしません。

A_{IN2+} (ピン11) : チャンネル2の正の差動アナログ入力。

A_{IN2-} (ピン12) : チャンネル2の負の差動アナログ入力。

V_{CM2} (ピン14) : 同相バイアス出力。公称値は $V_{DD}/2$ に等しい。V_{CM2} はチャンネル2のアナログ入力と同相レベルをバイアスするのに使用します。1 μ Fのセラミック・コンデンサを使ってグラウンドにバイパスします。

V_{DD} (ピン15、16、51、52) : 1.7V ~ 1.9Vのアナログ電源。0.1 μ Fのセラミック・コンデンサを使用してグラウンドにバイパスします。隣接するピンはバイパス・コンデンサを共有することができます。

ENC⁺ (ピン17) : エンコード入力。立ち上がりエッジで変換が開始されます。

ENC⁻ (ピン18) : エンコード相補入力。立ち下がりエッジで変換が開始されます。シングルエンド・エンコード・モードの場合はGNDに接続します。

\overline{CS} (ピン19) : シリアル・プログラミング・モードでは(PAR/SER = 0V)、 \overline{CS} はシリアル・インタフェースのチップ選択入力です。 \overline{CS} が“L”のときSCKがイネーブルされ、SDIのデータをモード制御レジスタにシフトします。パラレル・プログラミング・モードでは(PAR/SER = V_{DD})、 \overline{CS} はSCKとともに、1レーン、2レーン、または4レーンの出力モードを選択します(表3を参照)。 \overline{CS} は、1.8V ~ 3.3Vのロジックでドライブできます。

SCK (ピン20) : シリアル・プログラミング・モードでは(PAR/SER = 0V)、SCKはシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モードでは(PAR/SER = V_{DD})、SCKは \overline{CS} とともに、1レーン、2レーン、または4レーンの出力モードを選択します(表3を参照)。SCKは1.8V ~ 3.3Vのロジックでドライブすることができます。

SDI (ピン21) : シリアル・プログラミング・モードでは(PAR/SER = 0V)、SDIはシリアル・インタフェースのデータ入力です。SDIのデータはSCKの立ち上がりエッジでモード制御レジスタにクロックインされます。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、SDIを使用してデバイスをパワーダウンさせることができます。SDIは1.8V ~ 3.3Vのロジックでドライブすることができます。

OGND (ピン33) : 出力ドライバのグラウンド。このピンは、インダクタンスがきわめて低い経路でグラウンド・プレーンに短絡する必要があります。このピンの近くに複数のビアを使用します。

OV_{DD} (ピン34) : 出力ドライバの電源。0.1 μ Fのセラミック・コンデンサを使ってグラウンドにバイパスします。

SDO (ピン46) : シリアル・プログラミング・モードでは(PAR/SER = 0V)、SDOはオプションのシリアル・インタフェースのデータ出力です。SDOのデータはモード制御レジスタから読み出して、SCKの立ち下がりエッジでラッチすることができます。SDOはオープンドレインのNMOS出力で、2kの外付けプルアップ抵抗を1.8V ~ 3.3Vに接続する必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要であり、SDOは未接続のままかまいません。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、SDOで3.5mAまたは1.75mAのLVDS出力電流を選択します。SDOを入力として使用する場合には、1kの直列抵抗を介して1.8V ~ 3.3Vのロジックでドライブすることができます。

V_{REF} (ピン48) : リファレンス電圧出力。2.2 μ Fのセラミック・コンデンサを使ってグラウンドにバイパスします。リファレンスの出力は公称1.25Vです。

ピン機能

SENSE (ピン 50) : リファレンス・プログラミング・ピン。SENSE を V_{DD} に接続すると、内部リファレンスと $\pm 1.05V$ の入力範囲が選択されます。SENSE をグランドに接続すると、内部リファレンスと $\pm 0.525V$ の入力範囲が選択されます。0.625V ~ 1.3V の外部リファレンスを SENSE に与えると、 $\pm 0.84 \cdot V_{SENSE}$ の入力範囲が選択されます。

LVDS 出力

以下のピンは差動 LVDS 出力です。出力電流レベルは設定可能です。各 LVDS 出力対のピンの間にはオプションの内部 100Ω 終端抵抗があります。

OUT2D⁻/OUT2D⁺, OUT2C⁻/OUT2C⁺, OUT2B⁻/OUT2B⁺, OUT2A⁻/OUT2A⁺ (ピン 23/24, 25/26, 27/28, 29/30) : チャンネル 2 のシリアル・データ出力。1レーンの出力モードでは、OUT2A⁻/OUT2A⁺のみを使用します。2レーン出力モードでは、OUT2A⁻/OUT2A⁺ と OUT2B⁻/OUT2B⁺ だけが使用されます。

FR⁻/FR⁺ (ピン 31/32) : フレーム・スタート出力。

DCO⁻/DCO⁺ (ピン 35/36) : データ・クロック出力。

OUT1D⁻/OUT1D⁺, OUT1C⁻/OUT1C⁺, OUT1B⁻/OUT1B⁺, OUT1A⁻/OUT1A⁺ (ピン 37/38, 39/40, 41/42, 43/44) : チャンネル 1 のシリアル・データ出力。1レーンの出力モードでは、OUT1A⁻/OUT1A⁺のみを使用します。2レーン出力モードでは、OUT1A⁻/OUT1A⁺ と OUT1B⁻/OUT1B⁺ だけが使用されます。

機能ブロック図

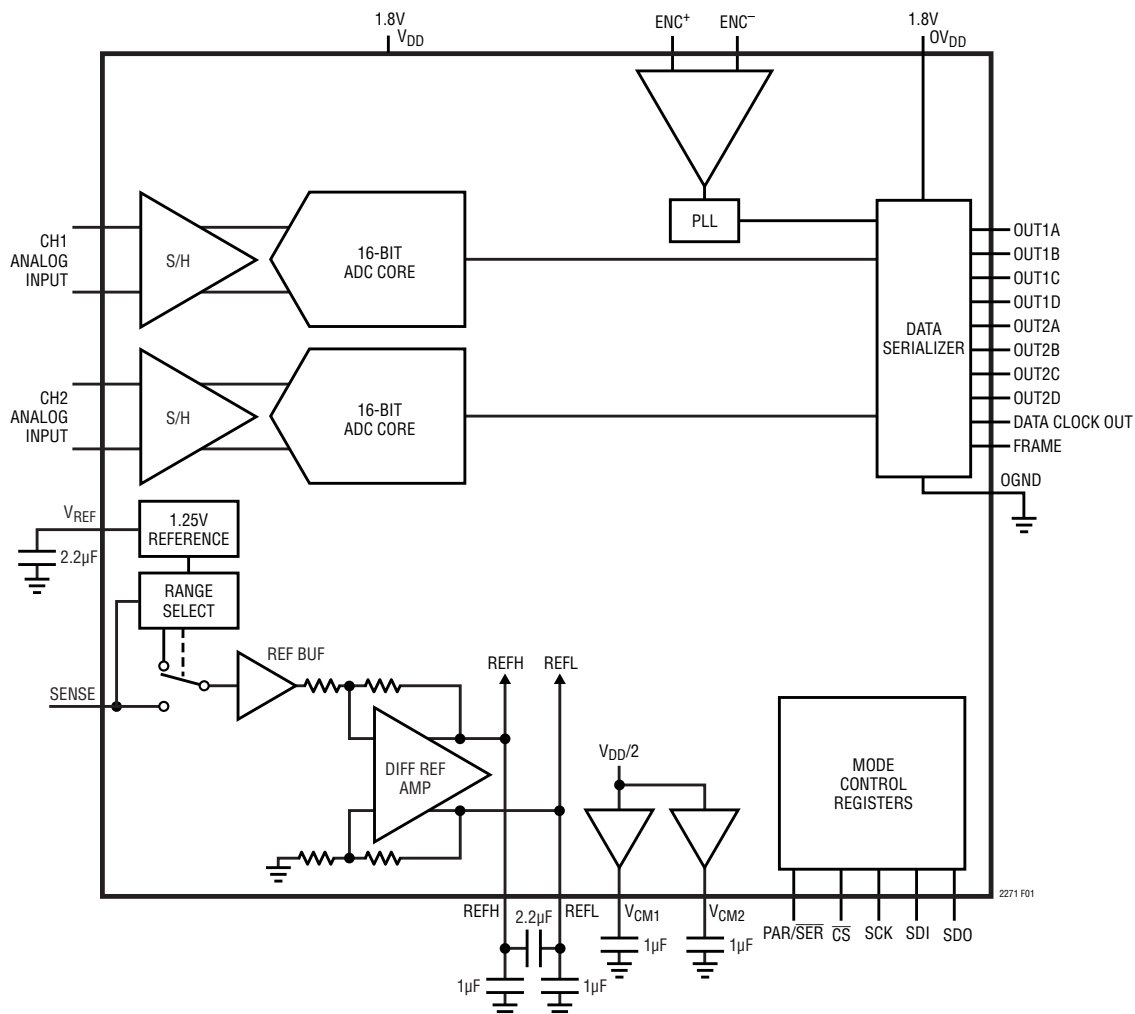


図1. 機能ブロック図

アプリケーション情報

コンバータの動作

LTC2271は単一1.8V電源で動作する低消費電力、2チャンネル、16ビットの20MSPS A/Dコンバータです。アナログ入力は差動でドライブする必要があります。エンコード入力は差動で、または消費電力を抑えるためにシングルエンドでドライブすることができます。データ線の本数を最小限に抑えるため、デジタル出力はシリアルLVDSです。各チャンネルは一度に1ビットずつ(1レーン・モード)、一度に2ビットずつ(2レーン・モード)、または一度に4ビットずつ(4レーン・モード)出力します。シリアルSPIポートを介してモード制御レジスタをプログラムすることにより、多くの追加機能を選択することができます。

アナログ入力

アナログ入力は差動CMOSサンプル・ホールド回路です(図2)。入力は V_{CM1} または V_{CM2} 出力ピンによって設定される同相電圧(通常は公称値である $V_{DD}/2$)を中心に差動でドライブします。2.1Vの入力範囲の場合、入力を $V_{CM} - 525mV$ から $V_{CM} + 525mV$ まで振幅させます。入力間には 180° の位相差を持たせます。

2つのチャンネルは共有のエンコード回路(図2)によって同時にサンプリングされます。

入力ドライブ回路

入力のフィルタリング

可能であれば、アナログ入力のすぐ近くにRCローパス・フィルタを接続します。このローパス・フィルタにより、A/Dサンプル・ホールドのスイッチングからドライブ回路が分離され、さらにドライブ回路からの広帯域ノイズも制限されます。入力RCフィルタの一例を図3に示します。RC部品の値はアプリケーションの入力周波数に基づいて選択します。

トランス結合回路

2次側にセンタータップを備えたRFトランスによってドライブされるアナログ入力を図3に示します。センタータップは V_{CM} でバイアスされており、A/Dコンバータの入力を最適なDCレベルに設定します。入力周波数が高い場合は、伝送線路バラン・トランス(図4～図5)のバランスが良好になるため、A/D変換の歪みを低く抑えることができます。

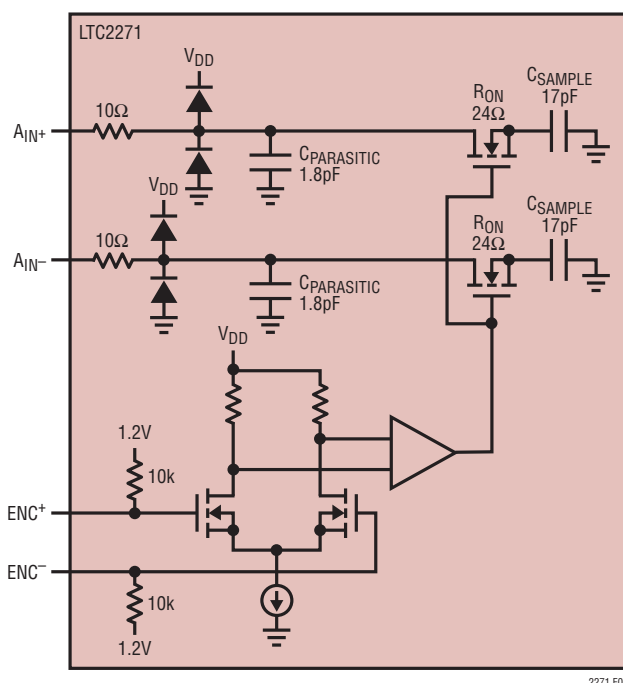


図2. 等価入力回路。2つのアナログ・チャンネルのうちの片方だけ示されている

アプリケーション情報

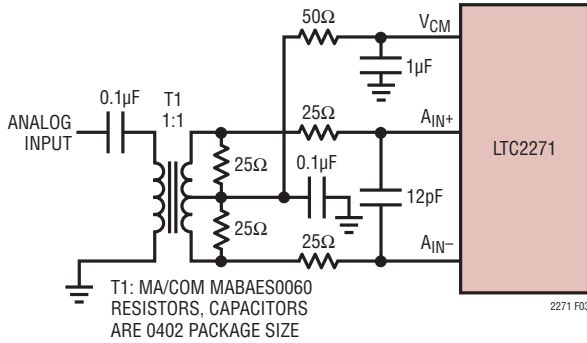


図3. トランスを使用したアナログ入力回路。1MHz～40MHzの入力周波数に対して推奨

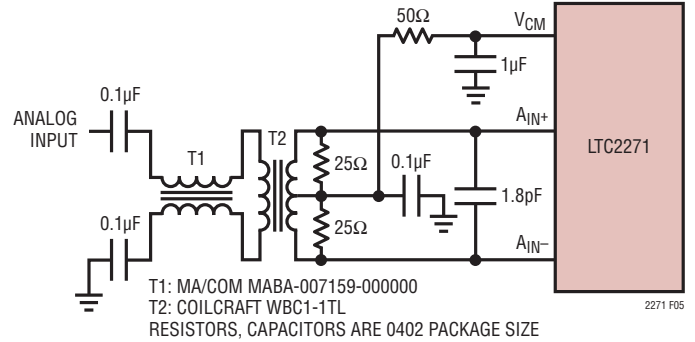


図5. 80MHzを超える入力周波数用の推奨フロントエンド回路

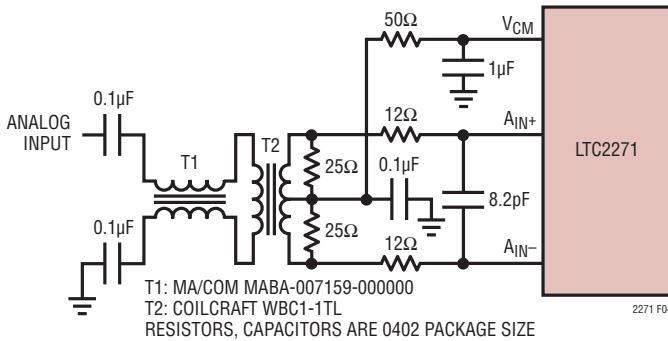


図4. 5MHz～80MHzの入力周波数用の推奨フロントエンド回路

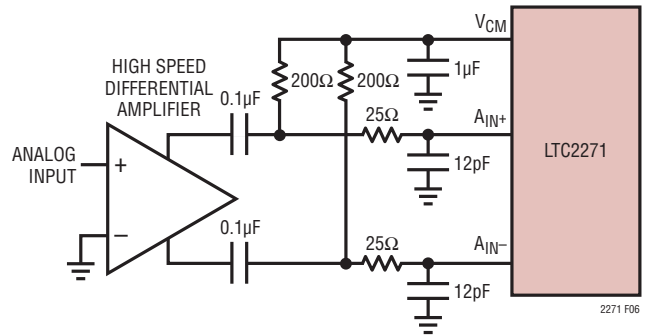


図6. 高速差動アンプを使ったフロントエンド回路

アンプ回路

高速差動アンプによってドライブされるアナログ入力を図6に示します。アンプの出力はA/DコンバータにAC結合されているので、アンプの出力の同相電圧を最適に設定して歪みを最小限に抑えることができます。

DC結合が必要な場合は、出力同相電圧がLTC2271のV_{CM}ピンで設定される差動アンプを使用してください(図7)。

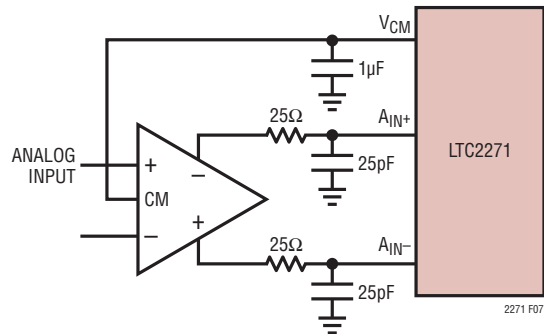


図7. DC結合アンプ

アプリケーション情報

リファレンス

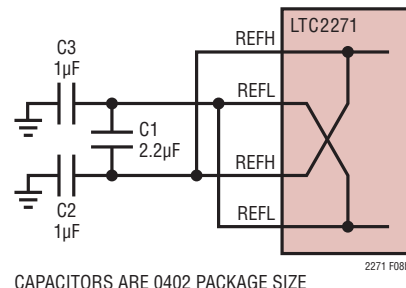
LTC2271は1.25Vの電圧リファレンスを内蔵しています。内部リファレンスを使用する2.1Vの入力範囲の場合は、SENSEをV_{DD}に接続します。内部リファレンスを使用する1.05Vの入力範囲の場合は、SENSEをグランドに接続します。外部リファレンスを使用する2.1Vの入力範囲の場合は、1.25Vのリファレンス電圧をSENSEに印加します(図9)。

0.625V ~ 1.30Vの電圧をSENSEに印加することによって入力範囲を調整することができます。これにより、入力範囲は1.68 • V_{SENSE}になります。

V_{REF}、REFHおよびREFLの各ピンは図8に示すようにバイパスします。REFHとREFLの間のバイパスには、低インダクタンスの2.2μFインターデジタリコンデンサを推奨します。このタイプのコンデンサは複数のメーカーから低価格で販売されています。

また、REFHとREFLの間のC1を標準の2.2μFコンデンサで置き換えることができます。コンデンサは(回路基板の裏面ではなく)これら2つのピンにできるだけ近づけます。

REFH/REFLのバイパス・コンデンサの推奨基板レイアウトを図8cおよび図8dに示します。図8cでは、メーカーによってはインターデジタリコンデンサ(C1)のピンが内部で接続されていないため、C1のすべてのピンを接続していることに注意してください。図8dでは、内部層に設けた短いジャンパによってREFHピンとREFLピンを接続しています。これらのジャンパのインダクタンスを最小に抑えるため、ジャンパは別の基板層のグランド・プレーン内の小さい穴に配置することができます。



CAPACITORS ARE 0402 PACKAGE SIZE

図 8b. REFH/REFL の代替バイパス回路

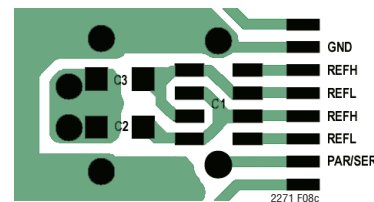


図 8c. 図 8a の REFH/REFL のバイパス回路の推奨レイアウト

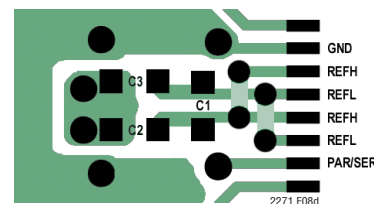


図 8d. 図 8b の REFH/REFL のバイパス回路の推奨レイアウト

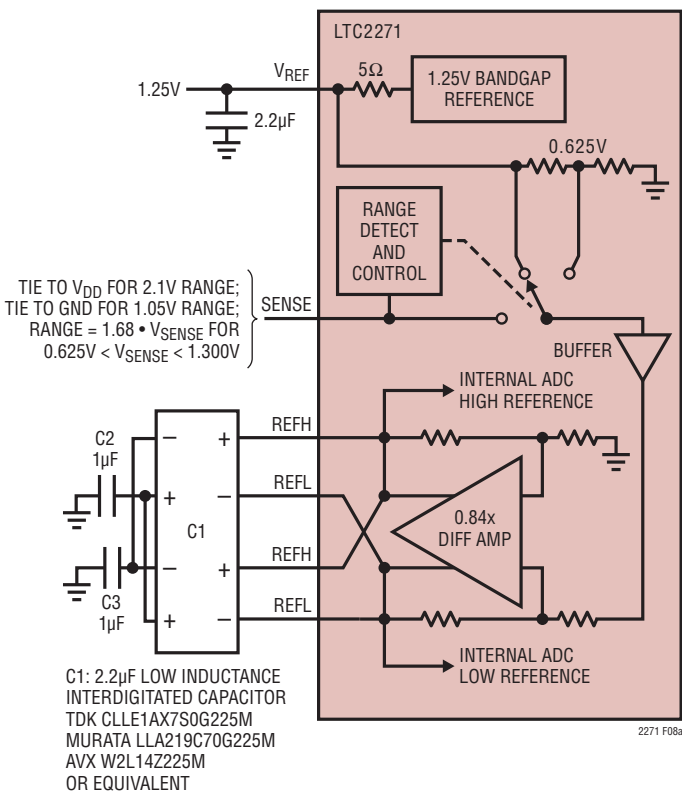


図 8a. リファレンス回路

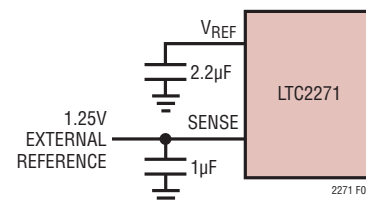


図 9. 1.25V の外部リファレンスの使い方

アプリケーション情報

エンコード入力

エンコード入力の信号品質は、A/Dコンバータのノイズ性能に大きく影響します。エンコード入力はアナログ信号として扱います。このため、回路基板上のデジタル・トレースに隣接して配線しないようにしてください。エンコード入力には2つの動作モードがあります。差動エンコード・モード(図10)とシングルエンド・エンコード・モード(図11)です。

差動エンコード・モードは、正弦波、PECLまたはLVDSのエンコード入りに推奨します(図12、図13)。エンコード入力は内部で10kΩの等価抵抗を介して1.2Vにバイアスされています。エンコード入力はV_{DD}より高くすることができ(最大3.6V)、同相範囲は1.1V~1.6Vです。差動エンコード・モードでは、ENC⁻をグラウンドより200mV以上高い電圧に維持して、シングルエンド・エンコード・モードが誤作動しないようにします。良好なジッタ性能を得るため、ENC⁺の立ち上がり時間と立ち下がり時間は短くします。

シングルエンド・エンコード・モードは、CMOSエンコード入力と組み合わせて使用します。このモードを選択するには、ENC⁻をグラウンドに接続し、ENC⁺を方形波のエンコード入力でドライブします。ENC⁺はV_{DD}より高くすることができるので

(最大3.6V)、1.8V~3.3VのCMOSロジック・レベルを使用することができます。ENC⁺のしきい値は0.9Vです。良好なジッタ性能を得るため、ENC⁺の立ち上がり時間と立ち下がり時間は短くします。エンコード信号がオフするか、または約500kHzより低い周波数になると、A/Dコンバータはナップ・モードになります。

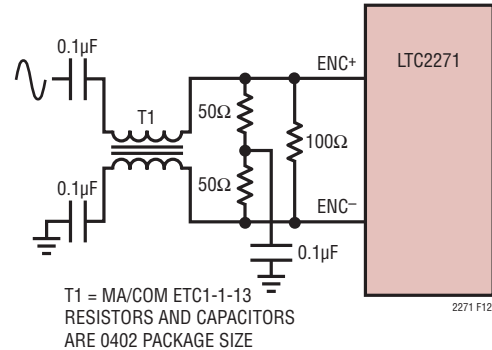


図12. 正弦波のエンコード・ドライブ

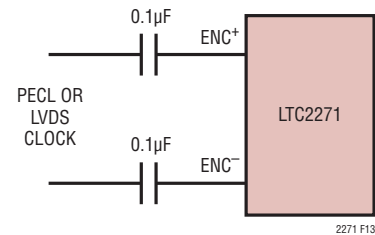


図13. PECLまたはLVDSのエンコード・ドライブ

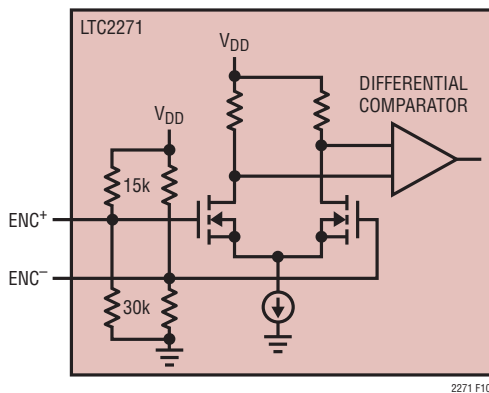


図10. 差動エンコード・モードの等価エンコード入力回路

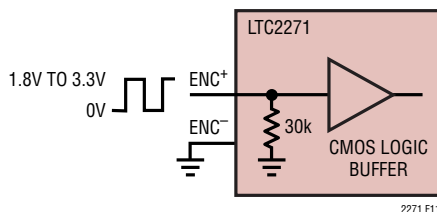


図11. シングルエンド・エンコード・モードの等価エンコード入力回路

クロックPLLとデューティ・サイクル・スタビライザ

エンコード・クロックは内部フェーズロック・ループ(PLL)によって乗算され、シリアル・デジタル出力データを生成します。エンコード信号の周波数が増えるか、エンコード信号がオフになると、PLLが入力クロックにロックするのに25µsかかります。

クロック・デューティ・サイクル・スタビライザ回路により、与えられるエンコード信号のデューティ・サイクルは30%~70%の範囲の変動が許容されます。シリアル・プログラミング・モードでは、デューティ・サイクル・スタビライザをディスエーブルすることができますが、これは推奨しません。パラレル・プログラミング・モードでは、デューティ・サイクル・スタビライザは常にイネーブルされます。

アプリケーション情報

デジタル出力

LTC2271のデジタル出力はシリアル化されたLVDS信号です。各チャネルは一度に1ビットずつ(1レーン・モード)、一度に2ビットずつ(2レーン・モード)、または一度に4ビットずつ(4レーン・モード)出力します。詳細については、「タイミング図」を参照してください。4レーン・モードでは、クロック・デューティサイクル・スタビライザをイネーブルする必要があります。

出力データは、データ・クロック出力(DCO)の立ち上がりエッジと立ち下がりエッジでラッチします。データ・フレーム出力(FR)を使用して、新たな変換によるデータが出力され始める時点特定することができます。

すべてのシリアル化モードの最小サンプル・レートは5MspSです。

デフォルトでは、出力は標準LVDSレベルです。すなわち、出力電流が3.5mA、出力同相電圧が1.25Vです。各LVDS出力対には外付けの100Ω差動終端抵抗が必要です。終端抵抗は、LVDSレシーバのできるだけ近くに配置してください。

出力はOV_{DD}から電力を供給され、A/Dコンバータのコアの電源からは分離されています。

表1. すべてのシリアル化モードの最大サンプリング周波数

シリアル化モード	最大サンプリング周波数、 f_s (MHz)	DCO周波数	FR周波数	シリアル・データ・レート
4レーン	20	$2 \cdot f_s$	f_s	$4 \cdot f_s$
2レーン	20	$4 \cdot f_s$	f_s	$8 \cdot f_s$
1レーン	20	$8 \cdot f_s$	f_s	$16 \cdot f_s$

設定可能なLVDS出力電流

LVDSモードでは、デフォルトの出力ドライバ電流は3.5mAです。シリアル・プログラミング・モードでは、この電流は制御レジスタA2によって調整することができます。使用可能な電流レベルは、1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mAおよび4.5mAです。パラレル・プログラミング・モードでは、SDOピンにより、3.5mAまたは1.75mAを選択できます。

オプションのLVDSドライバの内部終端

ほとんどの場合、100Ωの外付け終端抵抗を使用するだけでLVDSの優れた信号品質が得られます。さらに、モード制御レジスタA2をシリアル・モードでプログラムすることにより、オプションの100Ωの内部終端抵抗をイネーブルすることができます。内部終端は、レシーバでの不完全な終端によって発生する反射を吸収するのに役立ちます。内部終端がイネーブルされると、同じ出力電圧振幅を維持するために、出力ドライバ電流は2倍になります。内部終端はシリアル・プログラミング・モードでだけ選択できます。

データ形式

アナログ入力電圧とデジタル・データ出力ビット間の関係を表2に示します。デフォルトでは、出力のデータ形式はオフセット・バイナリです。モード制御レジスタA1をシリアル・モードでプログラムすることにより、2の補数形式を選択することができます。

表2. 出力コードと入力電圧

A _{IN} ⁺ -A _{IN} ⁻ (2V範囲)	D15-D0 (オフセットバイナリ)	D15~D0 (2の補数)
>1.000000V	1111 1111 1111 1111	0111 1111 1111 1111
+0.999970V	1111 1111 1111 1111	0111 1111 1111 1111
+0.999939V	1111 1111 1111 1110	0111 1111 1111 1110
+0.000030V	1000 0000 0000 0001	0000 0000 0000 0001
+0.000000V	1000 0000 0000 0000	0000 0000 0000 0000
-0.000030V	0111 1111 1111 1111	1111 1111 1111 1111
-0.000061V	0111 1111 1111 1110	1111 1111 1111 1110
-0.999939V	0000 0000 0000 0001	1000 0000 0000 0001
-1.000000V	0000 0000 0000 0000	1000 0000 0000 0000
<-1.000000V	0000 0000 0000 0000	1000 0000 0000 0000

デジタル出力ランダムマイザ

A/Dコンバータのデジタル出力からの干渉は、場合によっては避けられません。デジタル干渉は、容量性結合や誘導性結合、あるいはグラウンド・プレーンを介した結合によって発生する可能性があります。結合係数がぎわめて小さい場合でも、そのためにA/Dコンバータの出力スペクトルに不要なトーンが発生することがあります。デジタル出力をデバイスから伝送する前にランダム化することにより、これらの不要なトーンをランダム化し、それによって不要なトーン振幅を減少させることができます。

アプリケーション情報

デジタル出力は、LSBと他のすべてのデータ出力ビットとの間で排他的論理和ロジック演算を行うことによって「ランダム化」されます。デコードするには逆の演算を行います。つまり、LSBと他のすべてのビットとの間で排他的論理和演算を行います。FR出力とDCO出力は影響を受けません。出力ランダマイザは、モード制御レジスタA1をシリアル・モードでプログラムすることによってイネーブルされます。

デジタル出力のテストパターン

A/Dコンバータのデジタル・インタフェースのインサーキット・テストを可能にするため、両方のチャンネルのA/Dデータ出力(D15～D0)を強制的に既知の値にするテスト・モードがあります。モード制御レジスタA2、A3およびA4をシリアル・モードでプログラムすることにより、デジタル出力のテストパターンがイネーブルされます。テストパターンがイネーブルされると、他のすべての形式設定モード(2の補数およびランダマイザ)は無効になります。

出力のディスエーブル

デジタル出力は、制御レジスタA2をシリアル・モードでプログラムすることによりディスエーブルすることができます。消費電力の節減や、インサーキット・テストをイネーブルするために、DCOとFRを含むすべてのデジタル出力の電流駆動がディスエーブルされます。ディスエーブルされると、各出力対の同相信号は高インピーダンスになりますが、差動インピーダンスは低く保つことができます。

スリープ・モードとナップ・モード

節電のため、A/Dコンバータをスリープ・モードまたはナップ・モードにすることができます。スリープ・モードでは、デバイス全体がパワーダウンし、消費電力は1mWになります。スリープ・モードは、モード制御レジスタA1(シリアル・プログラミング・モード)またはSDI(パラレル・プログラミング・モード)によってイネーブルされます。スリープ・モードから復帰するために必要な時間は、V_{REF}、REFH、およびREFLのバイパス・コンデンサのサイズによって異なります。図8の推奨値の場合、A/Dコンバータは2ms後に安定化します。

ナップ・モードでは、どのA/Dチャンネルの組み合わせもパワーダウンでき、内部リファレンス回路とPLLはアクティブなままなので、スリープ・モードよりも速く回復することができます。ナップ・モードからの復帰には、最低でも100クロック・サイクルが必要です。非常に正確なDCセトリングが必要なアプリケーションの場合は、50μsを追加することにより、A/Dコンバータがナップ・モードから移行するときの電源電流の変化によって生じるわずかな温度変化に対して、内蔵リファレンスがセトリングでき

るようにします。ナップ・モードは、シリアル・プログラミング・モードでモード制御レジスタA1によってイネーブルされます。

デバイスのプログラミング・モード

LTC2271の動作モードはパラレル・インタフェースまたは簡単なシリアル・インタフェースのどちらでもプログラム可能です。シリアル・インタフェースの方が柔軟性が高く、選択可能なすべてのモードをプログラムできます。パラレル・インタフェースには制限が多く、プログラムできるのはよく使用される一部のモードのみです。

パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、 $\overline{\text{PAR/SER}}$ をV_{DD}に接続します。 $\overline{\text{CS}}$ 、SCK、SDIおよびSDOの各ピンは、特定の動作モードを設定するバイナリ・ロジック入力です。これらのピンはV_{DD}またはグラウンドに接続するか、あるいは1.8V、2.5Vまたは3.3VのCMOSロジックでドライブすることができます。入力として使用する場合、SDOは1kの直列抵抗を介してドライブします。表3に、 $\overline{\text{CS}}$ 、SCK、SDI、およびSDOで設定されるモードを示します。

表3. パラレル・プログラミング・モードの制御ビット (PAR/SER = VDD)

ピン	説明
$\overline{\text{CS/SCK}}$	2レーン/4レーン/1レーン選択ビット 00 = 2レーン出力モード 01 = 4レーン出力モード 10 = 1レーン出力モード 11 = 不使用
SDI	パワーダウン制御ビット 0 = 通常動作 1 = スリープ・モード
SDO	LVDS電流選択ビット 0 = 3.5mA LVDS電流モード 1 = 1.75mA LVDS電流モード

シリアル・プログラミング・モード

シリアル・プログラミング・モードを使用するには、 $\overline{\text{PAR/SER}}$ をグラウンドに接続します。 $\overline{\text{CS}}$ 、SCK、SDIおよびSDOの各ピンは、A/Dコンバータのモード制御レジスタをプログラムするシリアル・インタフェースになります。データは16ビットのシリアル・ワードでレジスタに書き込まれます。データをレジスタから読み出して、レジスタの内容を検証することもできます。

シリアル・データ転送は $\overline{\text{CS}}$ が“L”になると開始されます。SDIピンのデータは、SCKの先頭から16番目までの立ち上がりエッジでラッチされます。先頭から16番目より後のSCK立ち上がりエッジは無視されます。データ転送は $\overline{\text{CS}}$ が再度“H”になると終了します。

アプリケーション情報

16ビットの入力ワードの先頭ビットはR/Wビットです。次の7ビットはレジスタのアドレス(A6:A0)です。最後の8ビットはレジスタのデータ(D7:D0)です。

R/Wビットが“L”の場合、シリアル・データ(D7:D0)はアドレス・ビット(A6:A0)で設定されるレジスタに書き込まれます。R/Wビットが“H”の場合は、アドレス・ビット(A6:A0)によって設定されるレジスタ内のデータがSDOピンで読み出されます(タイミング図を参照)。読み出しコマンドの実行中、レジスタは更新されず、SDIのデータは無視されます。

SDOピンはオープン・ドレイン出力で、200Ωのインピーダンスでグラウンドに引き下げられます。レジスタのデータをSDOを介して読み出す場合は、2kの外付けプルアップ抵抗が必要です。シリアル・データが書き込み専用で読み出す必要がない

場合は、SDOをフロート状態のままにしてもかまわないため、プルアップ抵抗は不要です。

モード制御レジスタのマップを表4に示します。

ソフトウェア・リセット

シリアル・プログラミングを使用する場合は、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、すべてのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットにする必要があります。ソフトウェアによるリセットを実行するには、リセット・レジスタのビットD7にロジック1を書き込みます。リセットSPI書き込みコマンドが完了した後、ビットD7は自動的に再度ゼロに設定されます。

表4. シリアル・プログラミング・モードのレジスタ・マップ(PAR/SER = GND)

レジスタA0:リセット・レジスタ(アドレス00h)

D7	D6	D5	D4	D3	D2	D1	D0
RESET	X	X	X	X	X	X	X

ビット7 **RESET** ソフトウェア・リセット・ビット

0 = 不使用

1 = ソフトウェアによるリセット。すべてのモード制御レジスタが00hにリセットされる。ADCは一時的にスリープ・モードになる。このビットはSPI書き込みコマンドの終了時に自動的に再度ゼロに設定される。リセット・レジスタは書き込み専用。リセット・レジスタからのデータの読み出しはランダムとなる。

ビット6~0 使用しない、ドントケア・ビット

レジスタA1:フォーマットおよびパワーダウン・レジスタ(アドレス01h)

D7	D6	D5	D4	D3	D2	D1	D0
DCSOFF	RAND	TWOSCOMP	SLEEP	NAP_2	X	X	NAP_1

ビット7 **DCSOFF** クロック・デューティ・サイクル・スタビライザ・ビット

0 = クロック・デューティ・サイクル・スタビライザをオン

1 = クロック・デューティ・サイクル・スタビライザをオフ。これは推奨されない。

ビット6 **RAND** データ出力ランダムマイザ・モード制御ビット

0 = データ出力ランダムマイザ・モードをオフ

1 = データ出力ランダムマイザ・モードをオン

ビット5 **TWOSCOMP** 2の補数モード制御ビット

0 = オフセット・バイナリのデータ形式

1 = 2の補数のデータ形式

ビット4、3、0 **SLEEP:NAP_2:NAP_1** スリープ/ナップ・モード制御ビット

000 = 通常動作

0X1 = ナップ・モードのチャンネル1

01X = ナップ・モードのチャンネル2

1XX = スリープ・モード。両方のチャンネルがディスエーブルされる。

Note: チャンネルのどの組み合わせもナップ・モードにすることができる。

ビット1、2 使用されない、ドントケア・ビット

アプリケーション情報

レジスタ A2: 出力モード・レジスタ(アドレス 02h)

D7	D6	D5	D4	D3	D2	D1	D0
ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTTEST	OUTMODE1	OUTMODE0
ビット7~5	ILVDS2:ILVDS0 LVDS 出力電流ビット 000 = 3.5mA の LVDS 出力ドライバ電流 001 = 4.0mA の LVDS 出力ドライバ電流 010 = 4.5mA の LVDS 出力ドライバ電流 011 = 不使用 100 = 3.0mA の LVDS 出力ドライバ電流 101 = 2.5mA の LVDS 出力ドライバ電流 110 = 2.1mA の LVDS 出力ドライバ電流 111 = 1.75mA の LVDS 出力ドライバ電流						
ビット4	TERMON LVDS の内部終端ビット 0 = 内部終端をオフ 1 = 内部終端をオン。LVDS 出力ドライバ電流は ILVDS2:ILVDS0 によって設定される電流の 2 倍						
ビット3	OUTOFF 出力ディスエーブル・ビット 0 = デジタル出力をイネーブル 1 = デジタル出力をディスエーブル						
ビット2	OUTTEST デジタル出力のテストパターン制御ビット 0 = デジタル出力のテストパターンをオフ 1 = デジタル出力のテストパターンをオン						
ビット1~0	OUTMODE1:OUTMODE0 デジタル出力モード制御ビット 00 = 2レーン出力モード 01 = 4レーン出力モード 10 = 1レーン出力モード 11 = 不使用						

レジスタ A3: テストパターンの MSB レジスタ(アドレス 03h)

D7	D6	D5	D4	D3	D2	D1	D0
TP15	TP14	TP13	TP12	TP11	TP10	TP9	TP8
ビット7~0	TP15:TP8 テスト・パターンのデータ・ビット (MSB) TP15:TP8 は、データ・ビット 15 (MSB) からデータ・ビット 8 までのテスト・パターンを設定します。						

レジスタ A4: テストパターンの LSB レジスタ(アドレス 04h)

D7	D6	D5	D4	D3	D2	D1	D0
TP7	TP6	TP5	TP4	TP3	TP2	TP1	TP0
ビット7~0	TP7:TP0 テスト・パターンのデータ・ビット (LSB) TP7:TP0 は、データ・ビット 7 からデータ・ビット 0 (LSB) までのテスト・パターンを設定します。						

アプリケーション情報

接地とバイパス

LTC2271には切れ目の無いクリーンなグラウンド・プレーンを備えたプリント回路基板が必要です。A/Dコンバータの下の最初の層には内部グラウンド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、A/Dコンバータの下に配置したりしないように注意してください。

V_{DD} 、 OV_{DD} 、 V_{CM} 、 V_{REF} 、 $REFH$ 、 $REFL$ の各ピンには、高品質のセラミック・バイパス・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。0402サイズのセラミック・コンデンサを推奨します。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くする必要があります。

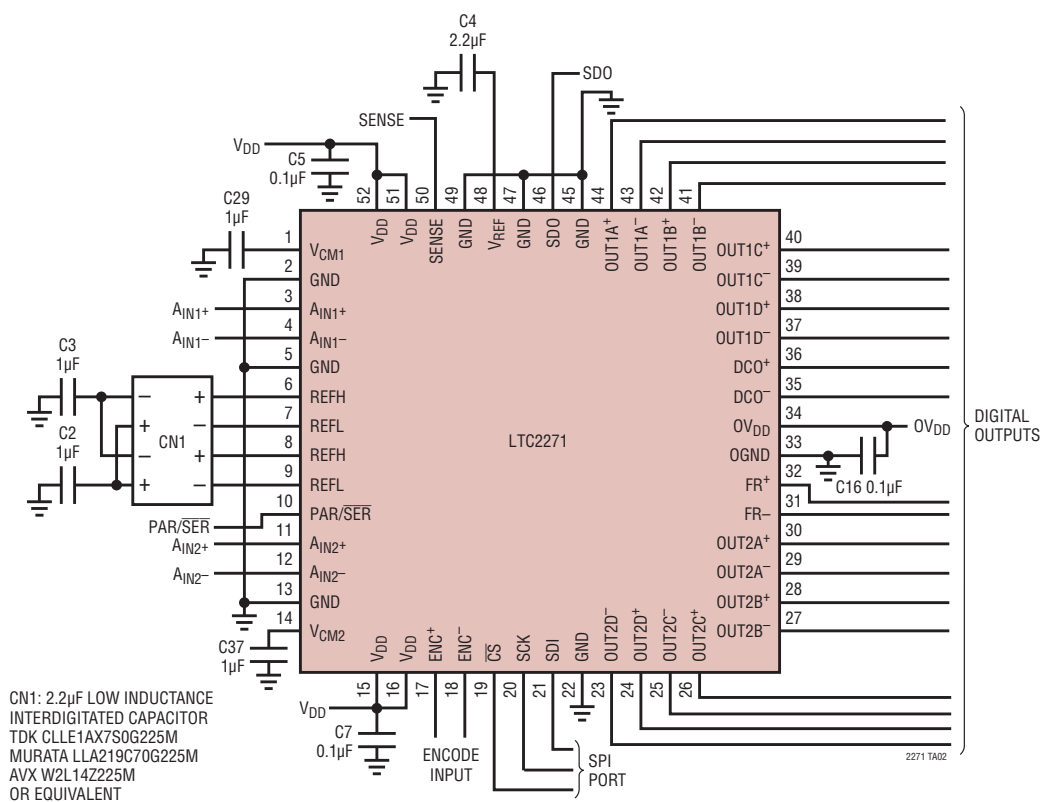
特に重要なのは、 $REFH$ と $REFL$ の間に配置するコンデンサです。このコンデンサは、A/Dコンバータと同じ側の回路基板上で、できるだけデバイスの近くに配置します。

アナログ入力、エンコード信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに絶縁するためのバリアとして、グラウンド領域とグラウンド・ビアを使用します。

熱伝達

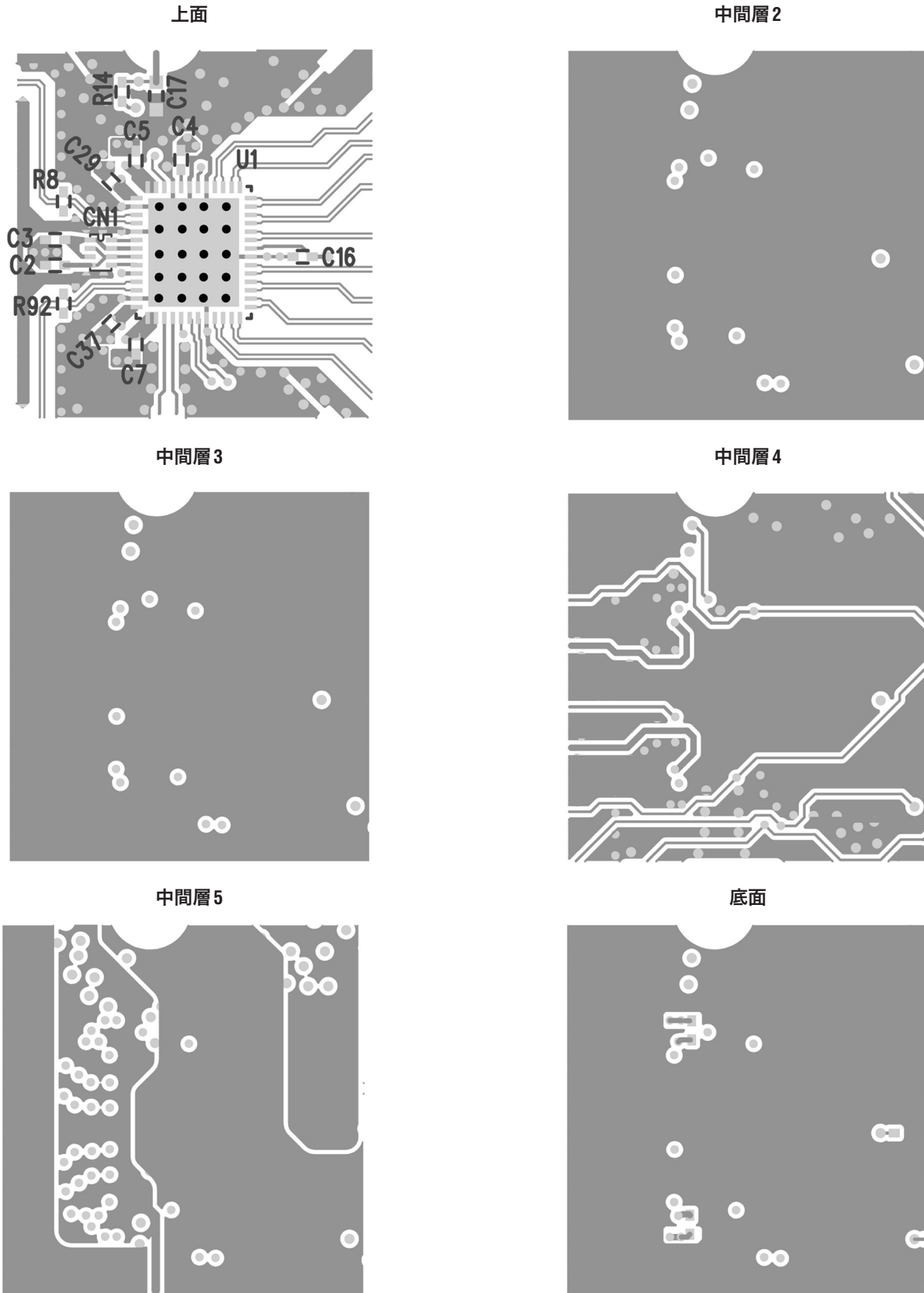
LTC2271が発生する熱の大部分はダイから底面の露出パッドとパッケージのピンを通してプリント回路基板に伝わります。優れた電気的性能と熱性能を得るには、プリント回路基板上にある大きな接地パッドに露出パッドを半田付けする必要があります。このパッドは、多数のビアで内部のグラウンド・プレーンに接続します。

標準的応用例



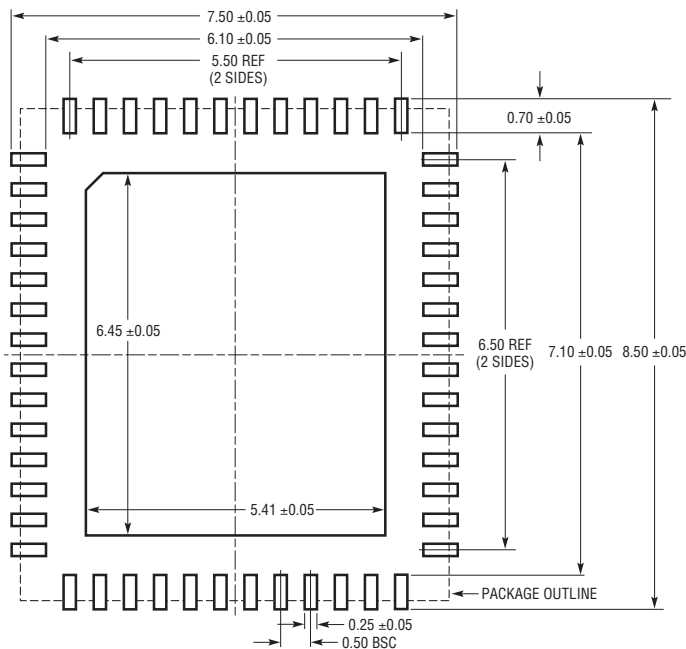
2271f

標準的応用例

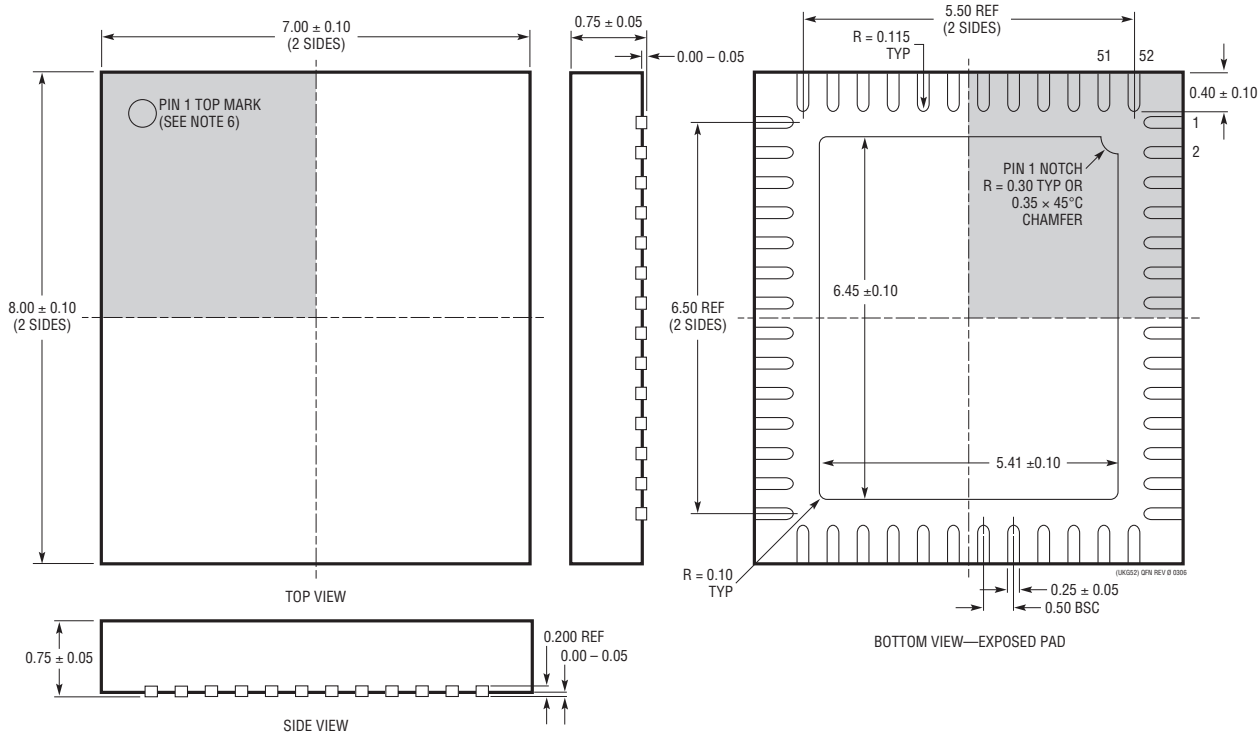


パッケージ

UKG パッケージ
52 ピン・プラスチック QFN (7mm×8mm)
(Reference LTC DWG # 05-08-1729 Rev 0)

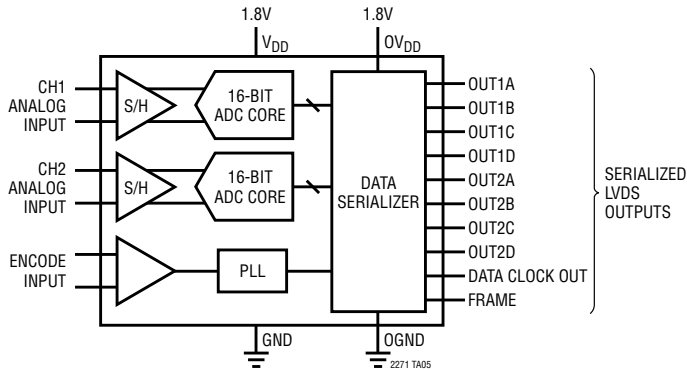


RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED

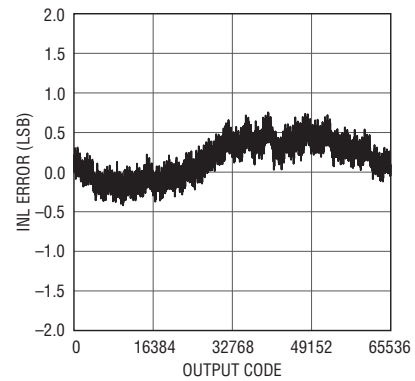


- NOTE:
1. 図は JEDEC のパッケージ外形ではない
 2. 図は実寸とは異なる
 3. 全ての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。モールドのバリは(もしあれば)各サイドで 0.20mm を超えないこと
 5. 露出パッドは半田メッキとする
 6. 灰色の部分はパッケージのトップとボトムのパイン 1 の位置の参考に過ぎない

標準的応用例



積分非直線性 (INL)



関連製品

製品番号	説明	注釈
ADC		
LTC2160	16ビット、25Msps超低消費電力1.8V ADC	45mW、SNR:77dB、SFDR:90dB、DDR LVDS/DDR CMOS/CMOS出力、7mm×7mm QFN-48
LTC2180	16ビット、25Msps超低消費電力1.8V デュアル ADC	39mW(チャンネル当たり)、SNR:77dB、SFDR:90dB、DDR LVDS/DDR CMOS/CMOS出力、9mm×9mm QFN-64
LTC2188	16ビット、20Msps超低消費電力1.8V デュアル ADC	38mW(チャンネル当たり)、SNR:77dB、SFDR:90dB、DDR LVDS/DDR CMOS/CMOS出力、9mm×9mm QFN-64
LTC2190	16ビット、25Msps超低消費電力1.8V デュアル ADC	52mW(チャンネル当たり)、SNR:77dB、SFDR:90dB、シリアルLVDS出力、7mm×8mm QFN-52
LTC2202/LTC2203	16ビット、10Msps/25Msps、3.3V ADC	140mW/220mW、SNR:81.6dB、SFDR:100dB、CMOS出力、7mm×7mm QFN-48
PLL		
LTC6946-X	ノイズとスプリアスを極めて低く抑えたVCO内蔵の整数分周方式シンセサイザ	3.7MHz～5.7GHz、正規化された帯域内位相ノイズフロア: -226dBc/Hz、広帯域出力位相ノイズフロア: -157dBc/Hz
LTC6945	ノイズとスプリアスを極めて低く抑えた0.35GHz～6GHz 整数分周方式シンセサイザ	0.35GHz～6GHz、正規化された帯域内位相ノイズフロア: -226dBc/Hz、広帯域出力位相ノイズフロア: -157dBc/Hz
シグナルチェーン・レシーバ		
LTM9002	14ビット・デュアル・チャンネルIF/ベースバンドμModuleレシーバ	デュアルADC、デュアル・アンプ、アンチエイリアス・フィルタおよびデュアル・トリムDAC、15mm×11.25mm LGA
LTM9004	14ビット、ダイレクト・コンバージョンμModuleレシーバ	I/Q復調器、ベースバンド・アンプ、20MHzまでのローパス・フィルタ、デュアル14ビット125Msps ADC、22mm×15mm LGA
RFミキサ/復調器		
LTC5569	300MHz～4GHz、デュアル・アクティブ・ダウコンバーティング・ミキサ	高いIIP3:26.8dBm、変換利得:2dB、低消費電力:3.3V/600mW、RFトランス内蔵により小さい実装面積を実現
LTC5584	30MHz～1.4GHzの広帯域I/Q復調器	I/Q復調帯域幅:>530MHz、IIP3:31dBm、IIP2:>80dBmに調整可能、DCオフセットのゼロ調整可能、イメージ除去比:45dB
LTC5585	700MHz～3GHzの広帯域I/Q復調器	I/Q復調帯域幅:>530MHz、IIP3:25.7dBm、IIP2:>80dBmに調整可能、DCオフセットのゼロ調整可能、イメージ除去比:43dB