

16ビット、20MSPS 低ノイズ・デュアルA/Dコンバータ

特長

- 2チャンネル同時サンプリングA/Dコンバータ
- SNR: 84.1dB(入力換算ノイズ: 46 μ V_{RMS})
- SFDR: 99dB
- INL(最大): ± 2.3 LSB
- 低消費電力: 合計160mW、80mW/チャンネル
- 1.8V単電源
- CMOS、DDR CMOS、またはDDR LVDS出力
- 選択可能な入力範囲: 1V_{P-P} ~ 2.1V_{P-P}
- フルパワー帯域幅が200MHzのサンプル/ホールド
- シャットダウン・モードとナップ・モード
- 設定用のシリアルSPIポート
- ピン互換製品
 - LTC2180: 16ビット、25MSPS、78mW
 - LTC2140-14: 14ビット、25MSPS、50mW
- 64ピン(9mm \times 9mm) QFNパッケージ

アプリケーション

- 低消費電力の計測装置
- ソフトウェア無線
- 携帯型医療用画像処理
- マルチチャンネル・データ収集

概要

LTC[®]2270は、広いダイナミックレンジの高周波信号をデジタル化する目的で設計された2チャンネル同時サンプリング16ビットA/Dコンバータです。SNR(信号対ノイズ比)が84.1dB、SFDR(スプリアスのないダイナミックレンジ)が99dBというAC特性を備えているため、要求の厳しいアプリケーションに最適です。

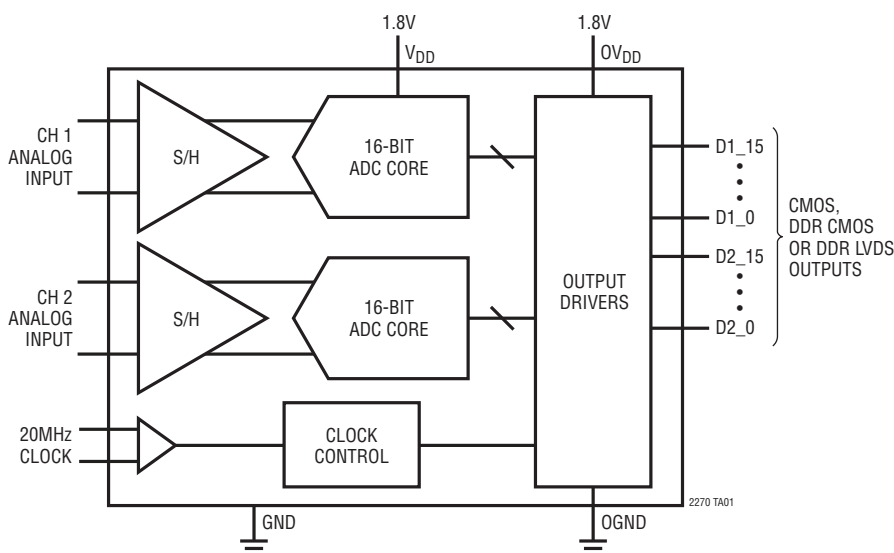
DC規格では、 ± 1 LSB(標準)のINL、 ± 0.2 LSB(標準)のDNL、全温度範囲にわたって欠落コードがないことが規定されています。遷移ノイズは1.44LSB_{RMS}です。

デジタル出力は、フルレートCMOS、ダブル・データレートCMOS、ダブル・データレートLVDSのいずれかに設定可能です。独立した出力電源により、1.2V ~ 1.8Vの範囲でのCMOS出力振幅が可能です。

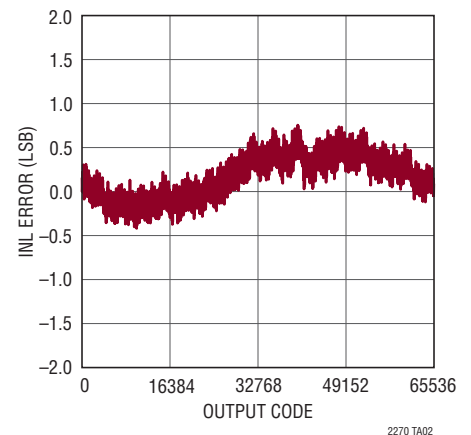
ENC⁺およびENC⁻入力は、正弦波、PECL、LVDS、TTLまたはCMOSの入力信号を使用して、差動またはシングルエンドで駆動できます。また、オプションのクロック・デューティサイクル・スタビライザにより、広範なクロック・デューティサイクルにわたってフルスピードで高い性能を発揮できます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



積分非直線性 (INL)



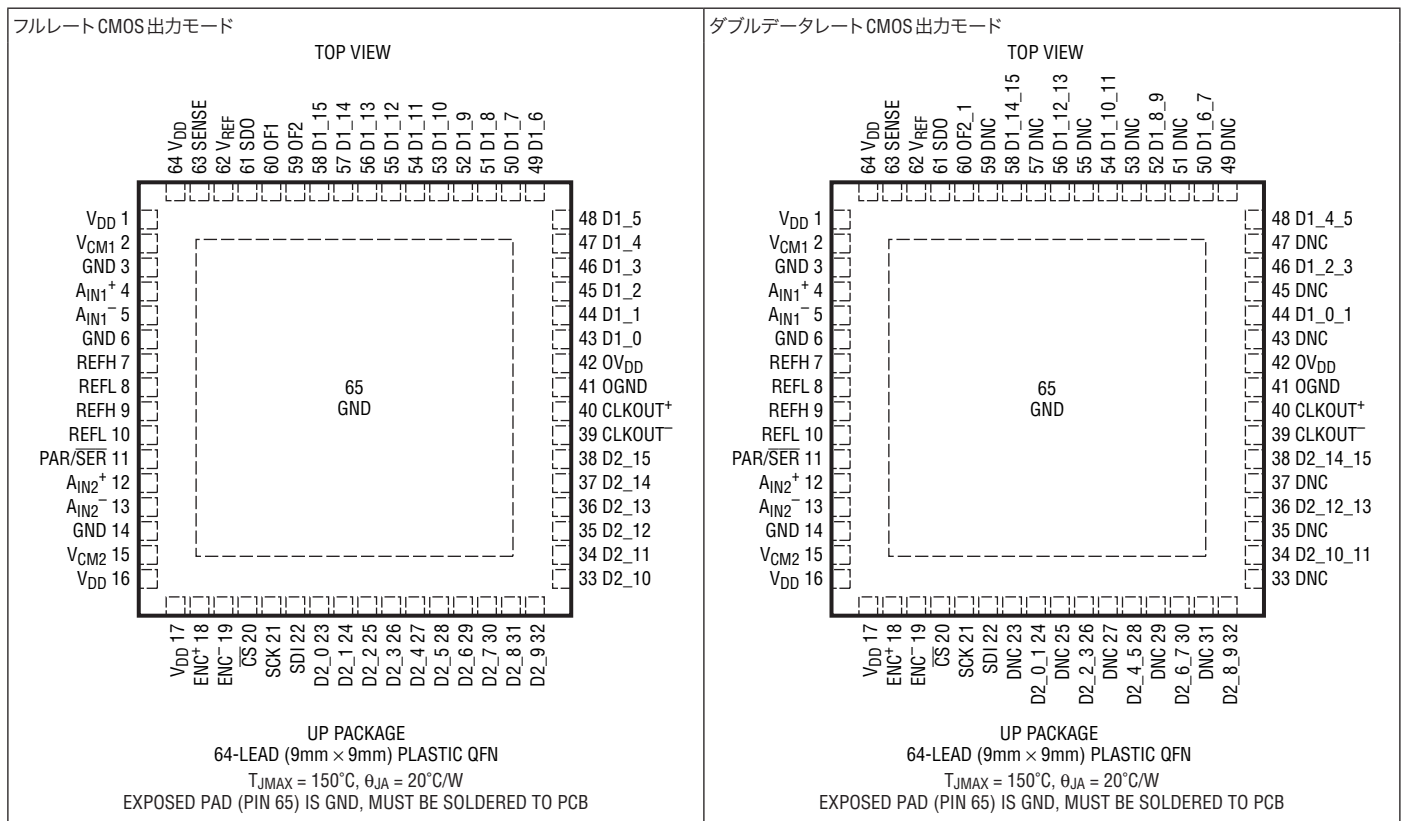
LTC2270

絶対最大定格 (Note 1, 2)

電源電圧 (V_{DD} , OV_{DD}) $-0.3V \sim 2V$
 アナログ入力電圧 (A_{IN}^+ , A_{IN}^- ,
 PAR/SER, SENSE) (Note 3) $-0.3V \sim (V_{DD} + 0.2V)$
 デジタル入力電圧 (ENC^+ , ENC^- , \overline{CS} ,
 SDI, SCK) (Note 4) $-0.3V \sim 3.9V$
 SDO (Note 4) $-0.3V \sim 3.9V$

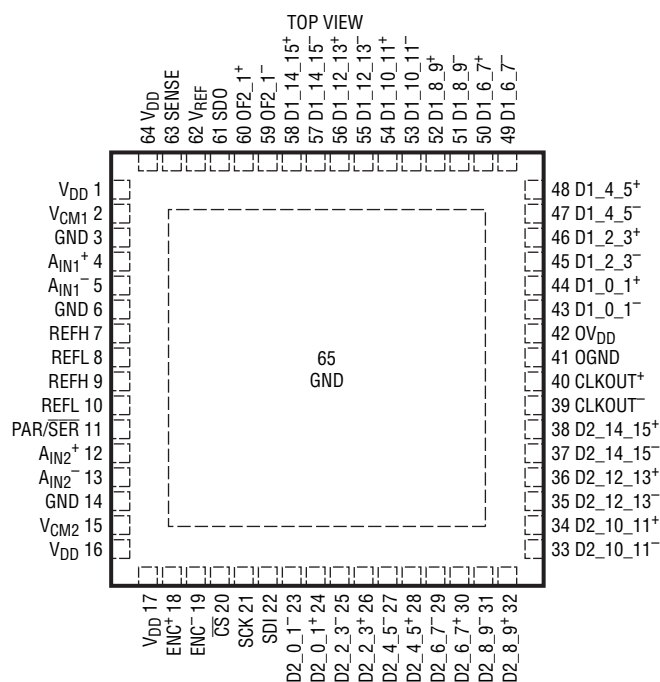
デジタル出力電圧 $-0.3V \sim (OV_{DD} + 0.3V)$
 動作温度範囲
 LTC2270C $0^\circ C \sim 70^\circ C$
 LTC2270I $-40^\circ C \sim 85^\circ C$
 保存温度範囲 $-65^\circ C \sim 150^\circ C$

ピン配置



ピン配置

ダブルデータレート LVDS 出力モード



UP PACKAGE

64-LEAD (9mm × 9mm) PLASTIC QFN

T_{JMAX} = 150°C, θ_{JA} = 20°C/W

EXPOSED PAD (PIN 65) IS GND, MUST BE SOLDERED TO PCB

発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2270CUP#PBF	LTC2270CUP#TRPBF	LTC2270UP	64-Lead (9mm × 9mm) Plastic QFN	0°C to 70°C
LTC2270IUP#PBF	LTC2270IUP#TRPBF	LTC2270UP	64-Lead (9mm × 9mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

LTC2270

コンバータ特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)		●	16		Bits
Integral Linearity Error	Differential Analog Input (Note 6)	●	-2.3	±1 2.3	LSB
Differential Linearity Error	Differential Analog Input	●	-0.8	±0.2 0.8	LSB
Offset Error	(Note 7)	●	-7	±1.3 7	mV
Gain Error	Internal Reference External Reference	●		±1.2 -0.3 1	%FS %FS
Offset Drift			±10		$\mu\text{V}/^\circ\text{C}$
Full-Scale Drift	Internal Reference External Reference		±30 ±10		ppm/ $^\circ\text{C}$ ppm/ $^\circ\text{C}$
Gain Matching		●	-0.2	±0.06 0.2	%FS
Offset Matching		●	-10	±1.5 10	mV
Transition Noise			1.44		LSB _{RMS}

アナログ入力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range ($A_{IN}^+ - A_{IN}^-$)	$1.7\text{V} < V_{DD} < 1.9\text{V}$	●	1 to 2.1		V_{P-P}
$V_{IN(CM)}$	Analog Input Common Mode ($A_{IN}^+ + A_{IN}^-$)/2	Differential Analog Input (Note 8)	●	0.65	V_{CM} $V_{CM} + 200\text{mV}$	V
V_{SENSE}	External Voltage Reference Applied to SENSE	External Reference Mode	●	0.625	1.250 1.300	V
I_{INCM}	Analog Input Common Mode Current	Per Pin, 20Msps		32		μA
I_{IN1}	Analog Input Leakage Current (No Encode)	$0 < A_{IN}^+, A_{IN}^- < V_{DD}$	●	-1	1	μA
I_{IN2}	PAR/SER Input Leakage Current	$0 < \text{PAR/SER} < V_{DD}$	●	-1	1	μA
I_{IN3}	SENSE Input Leakage Current	$0.625 < \text{SENSE} < 1.3\text{V}$	●	-2	2	μA
t_{AP}	Sample-and-Hold Acquisition Delay Time			0		ns
t_{JITTER}	Sample-and-Hold Acquisition Delay Jitter	Single-Ended Encode Differential Encode		85 100		f _{SRMS} f _{SRMS}
CMRR	Analog Input Common Mode Rejection Ratio			80		dB
BW-3B	Full-Power Bandwidth	Figure 5 Test Circuit		200		MHz

ダイナミック精度 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SNR	Signal-to-Noise Ratio	1.4MHz Input	●	84.1	84.1	dBFS
		5MHz Input		83.8		dBFS
		30MHz Input		82.7		dBFS
		70MHz Input				dBFS
SFDR	Spurious Free Dynamic Range 2nd Harmonic	1.4MHz Input	●	90	99	dBFS
		5MHz Input		98		dBFS
		30MHz Input		98		dBFS
		70MHz Input		90		dBFS
	Spurious Free Dynamic Range, 3rd Harmonic	1.4MHz Input	●	92	99	dBFS
		5MHz Input		98		dBFS
		30MHz Input		98		dBFS
		70MHz Input		96		dBFS
	Spurious Free Dynamic Range, 4th Harmonic or Higher	1.4MHz Input	●	95	110	dBFS
5MHz Input		110		dBFS		
30MHz Input		105		dBFS		
70MHz Input		100		dBFS		
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	1.4MHz Input	●	81.9	83.9	dBFS
		5MHz Input		83.9		dBFS
		30MHz Input		83.7		dBFS
		70MHz Input		82.0		dBFS
	Crosstalk	10MHz Input		-110		dBc

内部リファレンスの特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{CM} Output Voltage	$I_{OUT} = 0$	●	$0.5 \cdot V_{DD} - 25\text{mV}$	$0.5 \cdot V_{DD}$	$0.5 \cdot V_{DD} + 25\text{mV}$	V
V_{CM} Output Temperature Drift			± 25			ppm/ $^\circ\text{C}$
V_{CM} Output Resistance	$-600\mu\text{A} < I_{OUT} < 1\text{mA}$		4			Ω
V_{REF} Output Voltage	$I_{OUT} = 0$	●	1.230	1.250	1.270	V
V_{REF} Output Temperature Drift			± 25			ppm/ $^\circ\text{C}$
V_{REF} Output Resistance	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$		7			Ω
V_{REF} Line Regulation	$1.7\text{V} < V_{DD} < 1.9\text{V}$		0.6			mV/V

LTC2270

デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
エンコード入力 (ENC⁺、ENC⁻)							
差動エンコード・モード (ENC⁻ は GND に接続されていない)							
V _{ID}	Differential Input Voltage	(Note 8)	●	0.2			V
V _{ICM}	Common Mode Input Voltage	Internally Set Externally Set (Note 8)	●	1.1	1.2	1.6	V V
V _{IN}	Input Voltage Range	ENC ⁺ , ENC ⁻ to GND	●	0.2		3.6	V
R _{IN}	Input Resistance	(See Figure 10)			10		kΩ
C _{IN}	Input Capacitance	(Note 8)			3.5		pF
シングルエンド・エンコード・モード (ENC⁻ は GND に接続されている)							
V _{IH}	High Level Input Voltage	V _{DD} = 1.8V	●	1.2			V
V _{IL}	Low Level Input Voltage	V _{DD} = 1.8V	●			0.6	V
V _{IN}	Input Voltage Range	ENC ⁺ to GND	●	0		3.6	V
R _{IN}	Input Resistance	(See Figure 11)			30		kΩ
C _{IN}	Input Capacitance	(Note 8)			3.5		pF
デジタル入力 (CS⁻, SDI, SCK はシリアルまたはパラレル・プログラミング・モード。SDO はパラレル・プログラミング・モード)							
V _{IH}	High Level Input Voltage	V _{DD} = 1.8V	●	1.3			V
V _{IL}	Low Level Input Voltage	V _{DD} = 1.8V	●			0.6	V
I _{IN}	Input Current	V _{IN} = 0V to 3.6V	●	-10		10	μA
C _{IN}	Input Capacitance	(Note 8)			3		pF
SDO の出力 (シリアル・プログラミング・モード。オープン・ドレイン出力。SDO を使用する場合は 2kΩ のプルアップ抵抗が必要)							
R _{OL}	Logic Low Output Resistance to GND	V _{DD} = 1.8V, SDO = 0V			200		Ω
I _{OH}	Logic High Output Leakage Current	SDO = 0V to 3.6V	●	-10		10	μA
C _{OUT}	Output Capacitance	(Note 8)			3		pF
デジタル・データ出力 (CMOS モード: フルデータレートとダブルデータレート)							
OV_{DD} = 1.8V							
V _{OH}	High Level Output Voltage	I _O = -500μA	●	1.750	1.790		V
V _{OL}	Low Level Output Voltage	I _O = 500μA	●		0.010	0.050	V
OV_{DD} = 1.5V							
V _{OH}	High Level Output Voltage	I _O = -500μA			1.488		V
V _{OL}	Low Level Output Voltage	I _O = 500μA			0.010		V
OV_{DD} = 1.2V							
V _{OH}	High Level Output Voltage	I _O = -500μA			1.185		V
V _{OL}	Low Level Output Voltage	I _O = 500μA			0.010		V
デジタル・データ出力 (LVDS モード)							
V _{OD}	Differential Output Voltage	100Ω Differential Load, 3.5mA Mode 100Ω Differential Load, 1.75mA Mode	●	247	350 175	454	mV mV
V _{OS}	Common Mode Output Voltage	100Ω Differential Load, 3.5mA Mode 100Ω Differential Load, 1.75mA Mode	●	1.125	1.250 1.250	1.375	V V
R _{TERM}	On-Chip Termination Resistance	Termination Enabled, OV _{DD} = 1.8V			100		Ω

電源要件 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 9)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
CMOS出力モード: フルデータレートとダブルデータレート							
V_{DD}	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	V
OV_{DD}	Output Supply Voltage	(Note 10)	●	1.1	1.8	1.9	V
I_{VDD}	Analog Supply Current	DC Input Sine Wave Input	●		89 89.5	100	mA mA
I_{OVDD}	Digital Supply Current	Sine Wave Input, $OV_{DD} = 1.2\text{V}$			2		mA
P_{DISS}	Power Dissipation	DC Input Sine Wave Input, $OV_{DD} = 1.2\text{V}$	●		160 164	180	mW mW
LVDS出力モード							
V_{DD}	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	V
OV_{DD}	Output Supply Voltage	(Note 10)	●	1.7	1.8	1.9	V
I_{VDD}	Analog Supply Current	Sine Input, 1.75mA Mode Sine Input, 3.5mA Mode	●		91 93	105	mA mA
I_{OVDD}	Digital Supply Current ($OV_{DD} = 1.8\text{V}$)	Sine Input, 1.75mA Mode Sine Input, 3.5mA Mode	●		38 73	82	mA mA
P_{DISS}	Power Dissipation	Sine Input, 1.75mA Mode Sine Input, 3.5mA Mode	●		232 299	337	mW mW
すべての出力モード							
P_{SLEEP}	Sleep Mode Power				0.5		mW
P_{NAP}	Nap Mode Power				12		mW
$P_{DIFFCLK}$	Power Increase with Differential Encode Mode Enabled (No increase for Nap or Sleep Modes)				20		mW

タイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
f_S	Sampling Frequency	(Note 10)	●	1	20	MHz	
t_L	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off Duty Cycle Stabilizer On	● ●	23.5 2	25 25	500 500	ns ns
t_H	ENC High Time (Note 8)	Duty Cycle Stabilizer Off Duty Cycle Stabilizer On	● ●	23.5 2	25 25	500 500	ns ns
t_{AP}	Sample-and-Hold Acquisition Delay Time				0		ns

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
デジタル・データ出力 (CMOS モード: フルデータレートとダブルデータレート)							
t_D	ENC to Data Delay	$C_L = 5\text{pF}$ (Note 8)	●	1.1	1.7	3.1	ns
t_C	ENC to CLKOUT Delay	$C_L = 5\text{pF}$ (Note 8)	●	1	1.4	2.6	ns
t_{SKEW}	DATA to CLKOUT Skew	$t_D - t_C$ (Note 8)	●	0	0.3	0.6	ns
	Pipeline Latency	Full Data Rate Mode Double Data Rate Mode		6 6.5		6 6.5	Cycles Cycles

タイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
デジタル・データ出力 (LVDS モード)							
t_D	ENC to Data Delay	$C_L = 5\text{pF}$ (Note 8)	●	1.1	1.8	3.2	ns
t_C	ENC to CLKOUT Delay	$C_L = 5\text{pF}$ (Note 8)	●	1	1.5	2.7	ns
t_{SKEW}	DATA to CLKOUT Skew	$t_D - t_C$ (Note 8)	●	0	0.3	0.6	ns
	Pipeline Latency			6.5		6.5	Cycles
SPIポートのタイミング (Note 8)							
t_{SCK}	SCK Period	Write Mode Readback Mode, $C_{\text{SDO}} = 20\text{pF}$, $R_{\text{PULLUP}} = 2\text{k}$	● ●	40 250			ns ns
t_S	$\overline{\text{CS}}$ to SCK Setup Time		●	5			ns
t_H	SCK to $\overline{\text{CS}}$ Setup Time		●	5			ns
t_{DS}	SDI Setup Time		●	5			ns
t_{DH}	SDI Hold Time		●	5			ns
t_{DO}	SCK Falling to SDO Valid	Readback Mode, $C_{\text{SDO}} = 20\text{pF}$, $R_{\text{PULLUP}} = 2\text{k}$	●			125	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての電圧値は(注記がない限り) GNDとOGNDを短絡した状態のGNDを基準にしている。

Note 3: これらのピンの電圧をGNDより低くするか、 V_{DD} より高くすると、その電圧は内部のダイオードによってクランプされる。この製品は、GNDより低い電圧で、または V_{DD} より高い電圧で、ラッチアップを生じることなしに100mAを超える入力電流を処理することができる。

Note 4: これらのピンの電圧をGNDより低くすると、内部のダイオードによってクランプされる。これらのピンの電圧を V_{DD} より高くすると、その電圧は内部のダイオードによってクランプされない。この製品は、GNDより低い電圧で、ラッチアップを生じることなく100mAを超える入力電流を処理することができる。

Note 5: 注記がない限り、 $V_{\text{DD}} = 0V_{\text{DD}} = 1.8V$ 、 $f_{\text{SAMPLE}} = 20\text{MHz}$ 、LVDS出力、差動 $\text{ENC}^+/\text{ENC}^- = 2V_{\text{P-P}}$ の正弦波、入力範囲=差動ドライブで2.1V_{P-P}。

Note 6: 積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: オフセット誤差は、2の補数の出力モードで出力コードを0000 0000 0000 0000と1111 1111 1111 1111の間でふらつかせるとき、-0.5LSBから測定したオフセット電圧である。

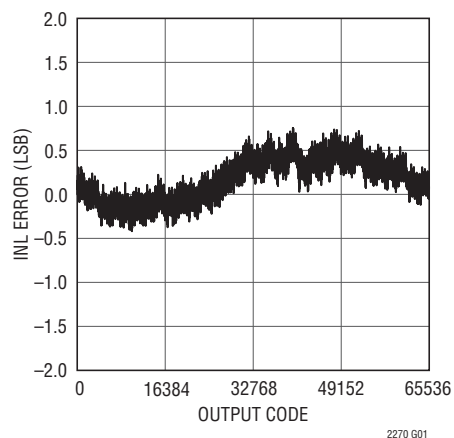
Note 8: 設計によって保証されているが、テストされない。

Note 9: 注記がない限り、 $V_{\text{DD}} = 1.8V$ 、 $f_{\text{SAMPLE}} = 20\text{MHz}$ 、CMOS出力、 ENC^+ =シングルエンドの1.8Vの方形波、 $\text{ENC}^- = 0V$ 、入力範囲=差動ドライブで2.1V_{P-P}、各デジタル出力に5pFの負荷。電源電流および電力損失の規格値はデバイス全体の合計値であり、1チャンネルあたりの値ではない。

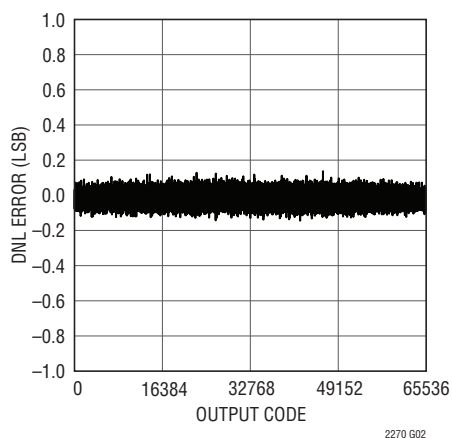
Note 10: 推奨動作条件。

標準的性能特性

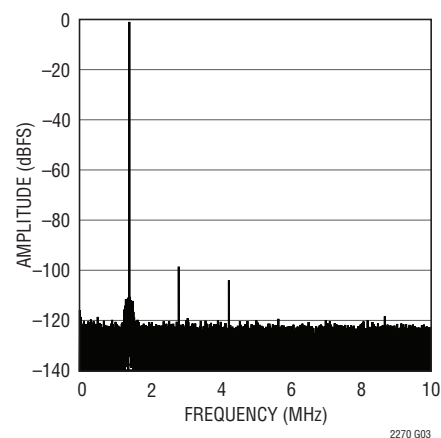
積分非直線性 (INL)



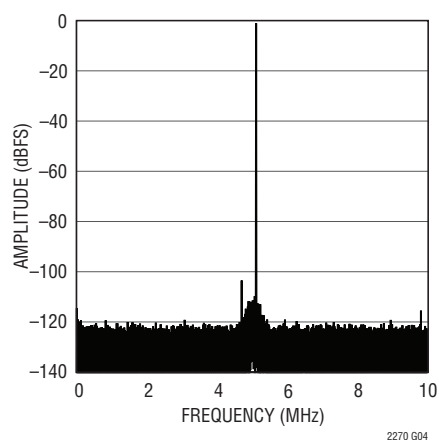
微分非直線性 (DNL)



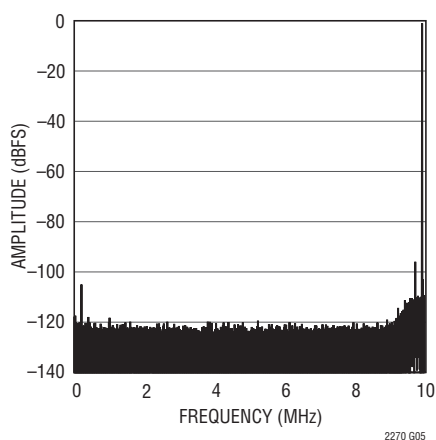
64kポイントのFFT、 $f_{IN} = 1.4\text{MHz}$ 、 -1dBFS 、 20Msps



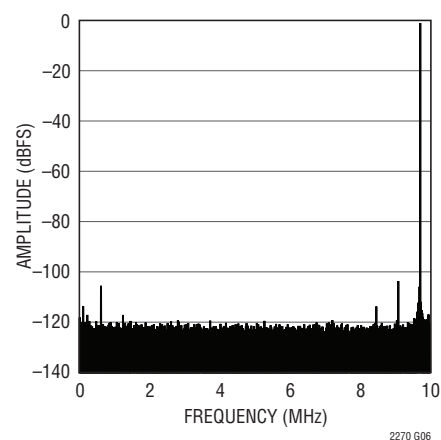
64kポイントのFFT、 $f_{IN} = 5.1\text{MHz}$ 、 -1dBFS 、 20Msps



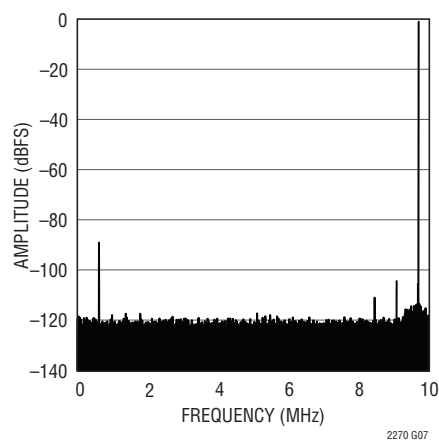
64kポイントのFFT、 $f_{IN} = 10.1\text{MHz}$ 、 -1dBFS 、 20Msps



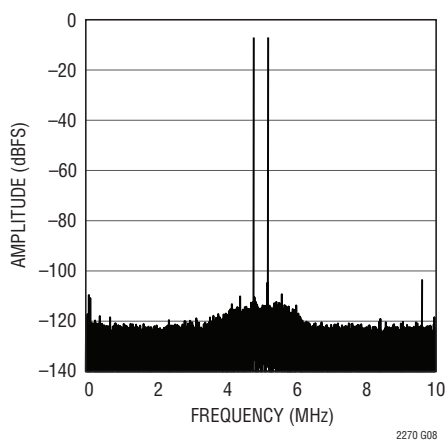
64kポイントのFFT、 $f_{IN} = 30.3\text{MHz}$ 、 -1dBFS 、 20Msps



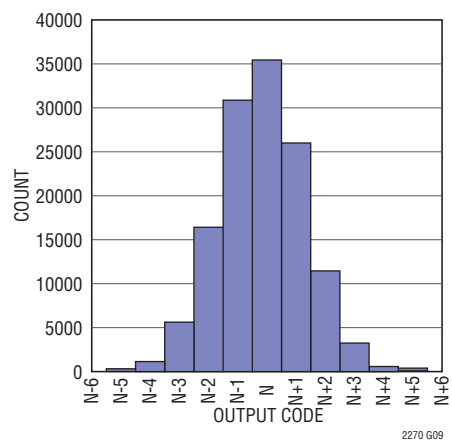
64kポイントのFFT、 $f_{IN} = 70.3\text{MHz}$ 、 -1dBFS 、 20Msps



64kポイントの2トーンFFT、 $f_{IN} = 14.8, 15.2\text{MHz}$ 、 -7dBFS 、 20Msps

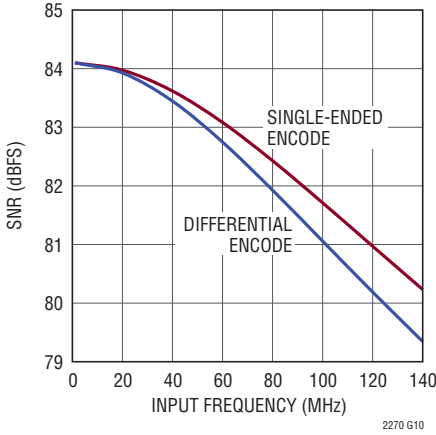


入力短絡状態のヒストグラム

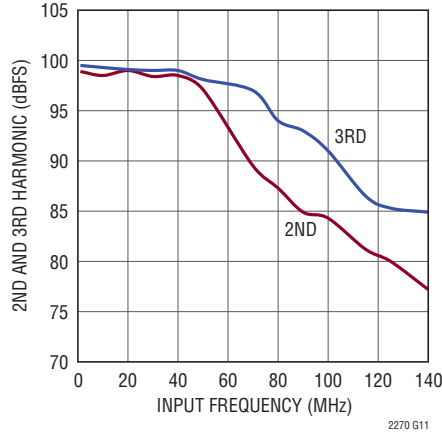


標準的性能特性

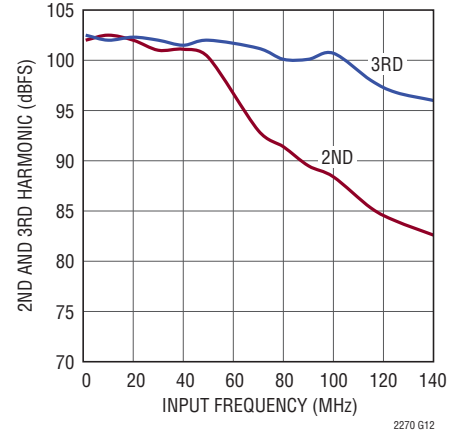
SNRと入力周波数、-1dBFS、
20Mps、2.1V範囲



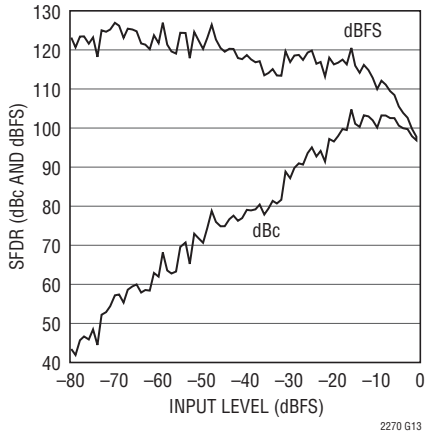
2次および3次高調波と入力周波数、
-1dBFS、20Mps、2.1V範囲



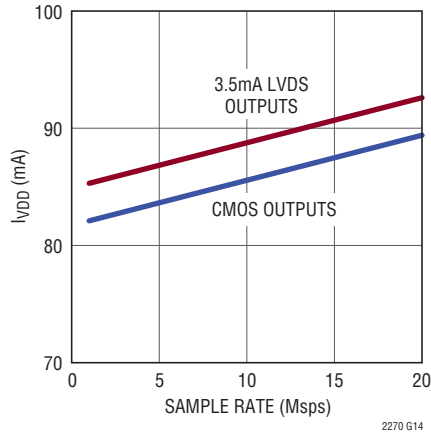
2次および3次高調波と入力周波数、
-1dBFS、20Mps、1.05V範囲



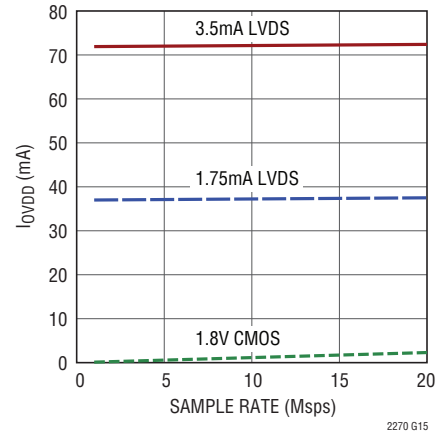
SFDRと入力レベル、 $f_{IN} = 5\text{MHz}$ 、
20Mps、2.1V範囲



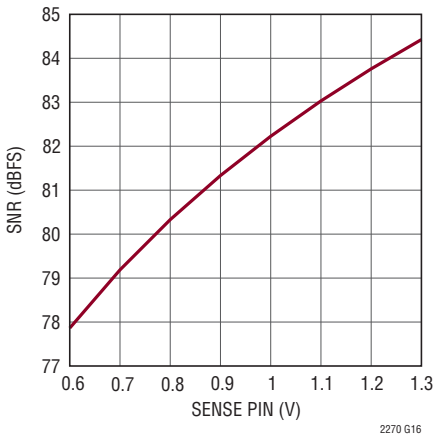
I_{VDD} とサンプル・レート、各チャンネルに
5MHz、-1dBFSの正弦波入力



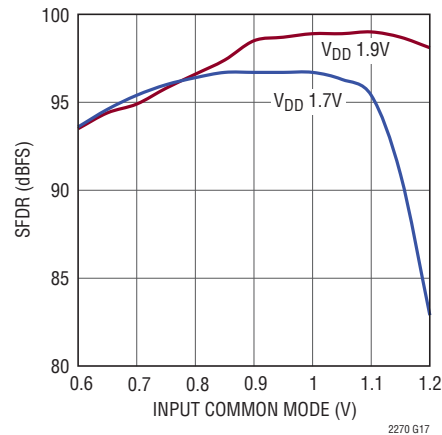
I_{VDD} とサンプル・レート、各チャンネルに
5MHz、-1dBFSの正弦波入力



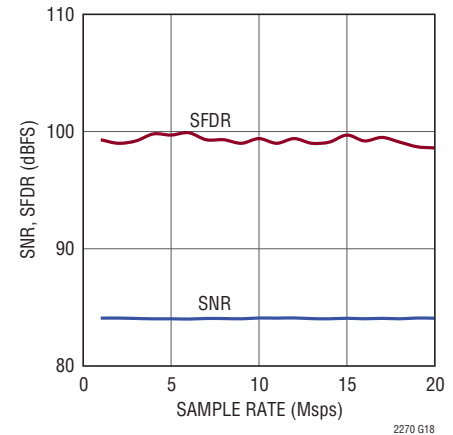
SNRとSENSEピンの電圧、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS



SFDRとアナログ入力同相電圧、
 $f_{IN} = 9.7\text{MHz}$ 、20Mps、2.1V範囲



SNR、SFDRとサンプル・レート、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS



ピン機能

ピンはすべてのデジタル出力モードで同一

V_{DD} (ピン1、16、17、64) : 1.7V ~ 1.9Vのアナログ電源。0.1μFのセラミック・コンデンサを使用してグラウンドにバイパスします。隣接するピンはバイパス・コンデンサを共有することができます。

V_{CM1} (ピン2) : 公称でV_{DD}/2に等しい同相バイアス出力。V_{CM1}は、チャンネル1へのアナログ入力の同相電圧をバイアスするために使用します。1μFのセラミック・コンデンサを使用してグラウンドにバイパスします。

GND (ピン3、6、14) : ADCの電源グラウンド。

A_{IN1}⁺ (ピン4) : チャンネル1の正の差動アナログ入力。

A_{IN1}⁻ (ピン5) : チャンネル1の負の差動アナログ入力。

REFH (ピン7、9) : ADCの“H”リファレンス。REFHおよびREFLの推奨バイパス回路については「アプリケーション情報」のセクションを参照してください。

REFL (ピン8、10) : ADCの“L”リファレンス。REFHおよびREFLの推奨バイパス回路については「アプリケーション情報」のセクションを参照してください。

PAR/SER (ピン11) : プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグラウンドに接続します。CS、SCK、SDI、SDOはA/Dコンバータの動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブルするにはV_{DD}に接続します。この場合、CS、SCK、SDI、SDOは、A/Dコンバータの(種類が限定された)動作モードを制御するパラレル・ロジック入力になります。PAR/SERはグラウンドまたはV_{DD}に直接接続し、ロジック信号ではドライブしないようにします。

A_{IN2}⁺ (ピン12) : チャンネル2の正の差動アナログ入力。

A_{IN2}⁻ (ピン13) : チャンネル2の負の差動アナログ入力。

V_{CM2} (ピン15) : 公称でV_{DD}/2に等しい同相バイアス出力。V_{CM2}はチャンネル2のアナログ入力の同相レベルをバイアスするのに使用します。1μFのセラミック・コンデンサを使用してグラウンドにバイパスします。

ENC⁺ (ピン18) : エンコード入力。立ち上がりエッジで変換が開始されます。

ENC⁻ (ピン19) : エンコード相補入力。立ち下がりエッジで変換が開始されます。シングルエンド・エンコード・モードの場合はGNDに接続します。

CS (ピン20) : シリアル・プログラミング・モードでは(PAR/SER = 0V)、CSはシリアル・インタフェースのチップ選択入力です。CSが“L”のとき、SCKはイネーブルされ、SDIのデータはモード制御レジスタにシフトします。パラレル・プログラミング・モードでは(PAR/SER = V_{DD})、CSはクロック・デューティ・サイクル・スタビライザを制御します(表2を参照)。CSは1.8V ~ 3.3Vのロジックでドライブすることができます。

SCK (ピン21) : シリアル・プログラミング・モードでは(PAR/SER = 0V)、SCKはシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モードでは(PAR/SER = V_{DD})、SCKはデジタル出力モードを制御します。(表2を参照)。SCKは1.8V ~ 3.3Vのロジックでドライブすることができます。

SDI (ピン22) : シリアル・プログラミング・モードでは(PAR/SER = 0V)、SDIはシリアル・インタフェースのデータ入力です。SDIのデータはSCKの立ち上がりエッジでモード制御レジスタにクロックインされます。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、SDIをSDOと一緒に使ってデバイスをパワーダウンすることができます(表2を参照)。SDIは1.8V ~ 3.3Vのロジックでドライブすることができます。

OGND (ピン41) : 出力ドライバのグラウンド。インダクタンスがきわめて低い経路でグラウンド・プレーンに短絡する必要があります。このピンの近くに複数のピアを使用します。

OV_{DD} (ピン42) : 出力ドライバの電源。0.1μFのセラミック・コンデンサを使ってグラウンドにバイパスします。

SDO (ピン61) : シリアル・プログラミング・モードでは(PAR/SER = 0V)、SDOはオプションのシリアル・インタフェースのデータ出力です。SDOのデータはモード制御レジスタから読み出して、SCKの立ち下がりエッジでラッチすることができます。SDOはオープンドレインのNMOS出力で、2kの外付けプルアップ抵抗を1.8V ~ 3.3Vに接続する必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要であり、SDOは未接続のままかまいません。パラレル・プログラミング・モードでは(PAR/SER = V_{DD})、SDOをSDIと一緒に使ってデバイスをパワーダウンすることができます(表2を参照)。SDOを入力として使用する場合には、1kの直列抵抗を介して1.8V ~ 3.3Vのロジックでドライブすることができます。

ピン機能

V_{REF} (ピン 62) : リファレンス電圧出力。2.2μFのセラミック・コンデンサを使ってグラウンドにバイパスします。出力電圧は公称1.25Vです。

SENSE (ピン 63) : リファレンス・プログラミング・ピン。SENSEをV_{DD}に接続すると、内部リファレンスと±1.05Vの入力範囲が選択されます。SENSEをグラウンドに接続すると、内部リファレンスと±0.525Vの入力範囲が選択されます。0.625V～1.3Vの外部リファレンスをSENSEに印加すると、±0.84・V_{SENSE}の入力範囲が選択されます。

グラウンド (露出パッド・ピン 65) : 露出パッドはPCBグラウンドに半田付けする必要があります。

フルレート CMOS 出力モード

下のすべてのピンはCMOS出力レベル(OGNDからOV_{DD})を備えています。

D2_0～D2_15 (ピン 23、24、25、26、27、28、29、30、31、32、33、34、35、36、37、38) : チャネル2のデジタル出力。D2_15がMSBです。

CLKOUT⁻ (ピン 39) : CLKOUT⁺の反転バージョン。

CLKOUT⁺ (ピン 40) : データ出力クロック。デジタル出力は通常、CLKOUT⁺の立ち下がりエッジと同時に遷移します。CLKOUT⁺の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

D1_0～D1_15 (ピン 43、44、45、46、47、48、49、50、51、52、53、54、55、56、57、58) : チャネル1のデジタル出力。D1_15がMSBです。

OF2 (ピン 59) : チャネル2のオーバーフロー/アンダーフロー・デジタル出力。オーバーフローまたはアンダーフローが生じるとOF2は“H”になります。

OF1 (ピン 60) : チャネル1のオーバーフロー/アンダーフロー・デジタル出力。オーバーフローまたはアンダーフローが生じるとOF1は“H”になります。

ダブルデータレート CMOS 出力モード

下のすべてのピンはCMOS出力レベル(OGNDからOV_{DD})を備えています。

D2_0_1～D2_14_15 (ピン 24、26、28、30、32、34、36、38) : チャネル2のダブルデータレート・デジタル出力。2つのデータ・ビットが各出力ピンに多重化されます。CLKOUT⁺が“L”のとき、偶数データ・ビット(D0、D2、D4、D6、D8、D10、D12、D14)が現れます。CLKOUT⁺が“H”のとき、奇数データ・ビット(D1、D3、D5、D7、D9、D11、D13、D15)が現れます。

DNC (ピン 23、25、27、29、31、33、35、37、43、45、47、49、51、53、55、57、59) : これらのピンは接続しないでください。

CLKOUT⁻ (ピン 39) : CLKOUT⁺の反転バージョン。

CLKOUT⁺ (ピン 40) : データ出力クロック。デジタル出力は、通常、CLKOUT⁺の立ち下がりエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT⁺の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

D1_0_1～D1_14_15 (ピン 44、46、48、50、52、54、56、58) : チャネル1のダブルデータレート・デジタル出力。2つのデータ・ビットが各出力ピンに多重化されます。CLKOUT⁺が“L”のとき、偶数データ・ビット(D0、D2、D4、D6、D8、D10、D12、D14)が現れます。CLKOUT⁺が“H”のとき、奇数データ・ビット(D1、D3、D5、D7、D9、D11、D13、D15)が現れます。

OF2_1 (ピン 60) : オーバーフロー/アンダーフロー・デジタル出力。オーバーフローまたはアンダーフローが生じるとOF2_1は“H”になります。両方のチャンネルのオーバーフロー/アンダーフローがこのピンに多重化されます。CLKOUT⁺が“L”のときチャンネル2が現れ、CLKOUT⁺が“H”のときチャンネル1が現れます。

ピン機能

ダブルデータレート LVDS 出力モード

以下のすべてのピンは LVDS 出力レベルを備えています。出力電流レベルはプログラム可能です。各 LVDS 出力対のピンの間にはオプションの内部 100Ω 終端抵抗があります。

D2_0_1⁻/D2_0_1⁺ ~ D2_14_15⁻/D2_14_15⁺ (ピン 23/24、25/26、27/28、29/30、31/32、33/34、35/36、37/38) : チャネル 2 のダブルデータレート・デジタル出力。2 つのデータ・ビットが各差動出力対に多重化されます。CLKOUT⁺ が“L”のとき、偶数データ・ビット (D0、D2、D4、D6、D8、D10、D12、D14) が現れます。CLKOUT⁺ が“H”のとき、奇数データ・ビット (D1、D3、D5、D7、D9、D11、D13、D15) が現れます。

CLKOUT⁻/CLKOUT⁺ (ピン 39/40) : データ出力クロック。デジタル出力は、通常、CLKOUT⁺ の立ち下がりがエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT⁺ の位相は、モード

制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

D1_0_1⁻/D1_0_1⁺ ~ D1_14_15⁻/D1_14_15⁺ (ピン 43/44、45/46、47/48、49/50、51/52、53/54、55/56、57/58) : チャネル 1 のダブルデータレート・デジタル出力。2 つのデータ・ビットが各差動出力対に多重化されます。CLKOUT⁺ が“L”のとき、偶数データ・ビット (D0、D2、D4、D6、D8、D10、D12、D14) が現れます。CLKOUT⁺ が“H”のとき、奇数データ・ビット (D1、D3、D5、D7、D9、D11、D13、D15) が現れます。

OF2_1⁻/OF2_1⁺ (ピン 59/60) : オーバーフロー/アンダーフロー・デジタル出力。オーバーフローまたはアンダーフローが生じると OF2_1⁺ は“H”になります。両方のチャンネルのオーバーフロー/アンダーフローがこのピンに多重化されます。CLKOUT⁺ が“L”のときチャンネル 2 が現れ、CLKOUT⁺ が“H”のときチャンネル 1 が現れます。

機能ブロック図

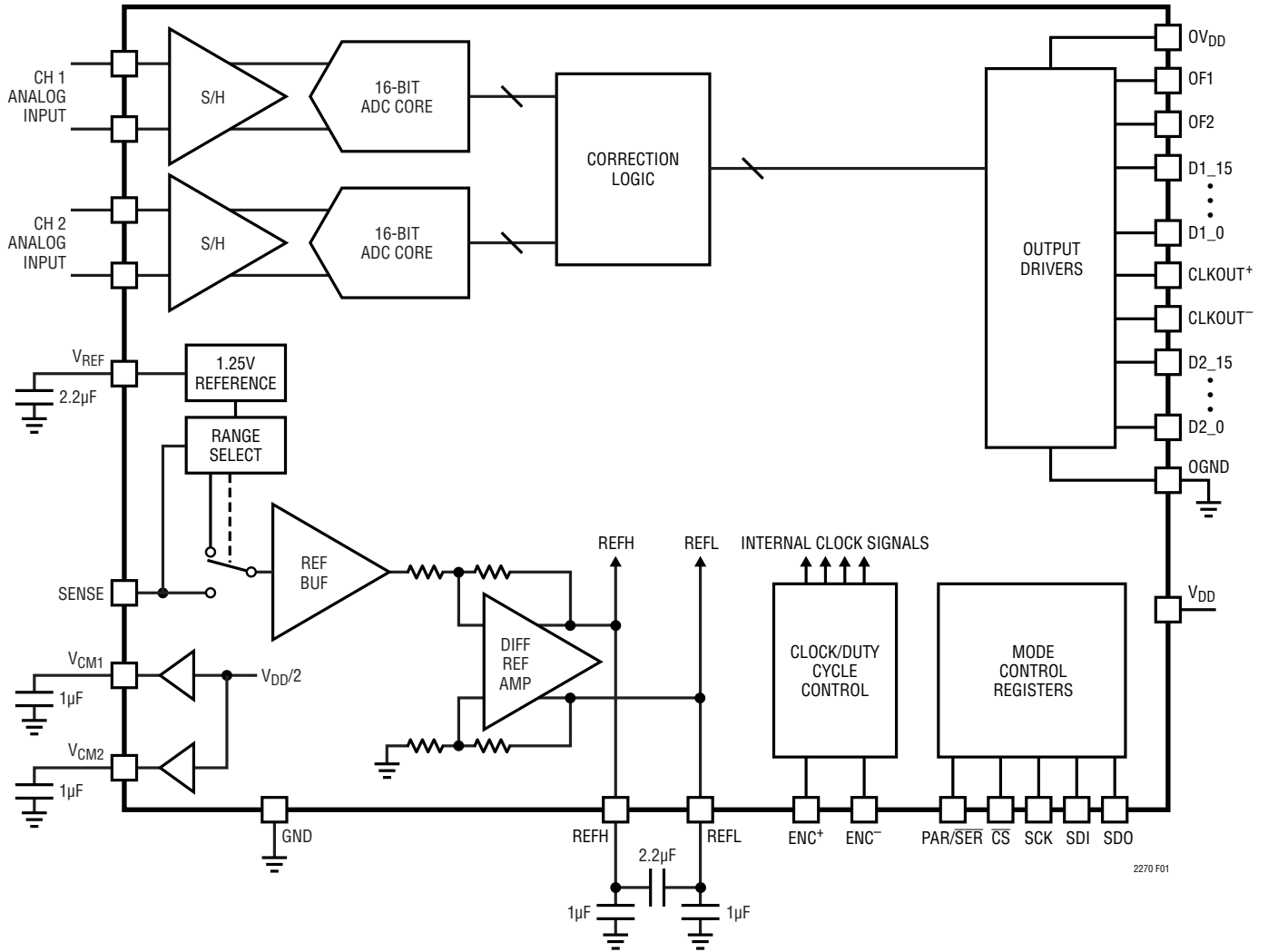
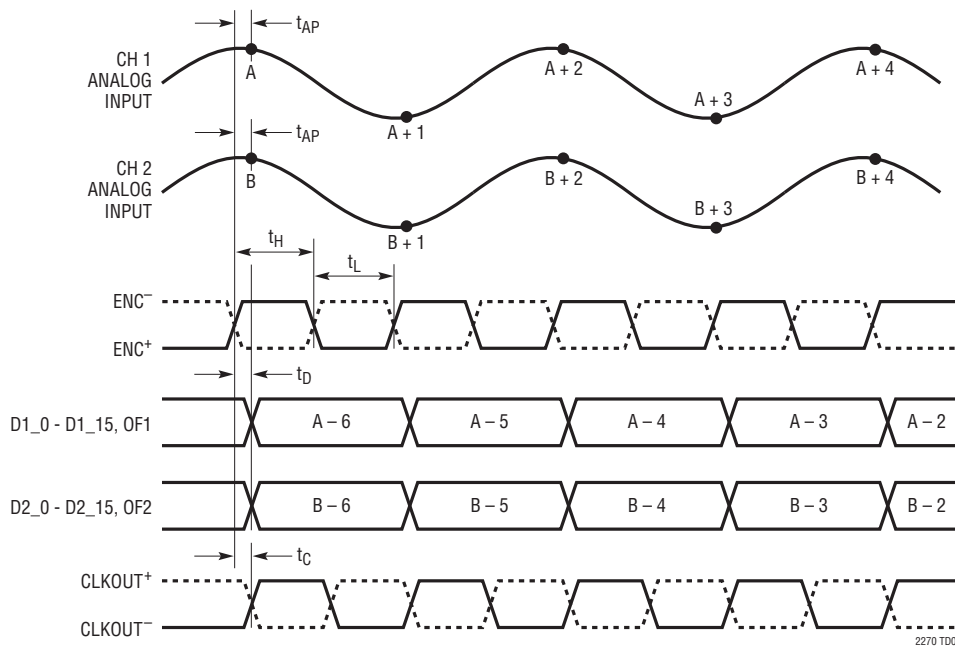


図1. 機能ブロック図

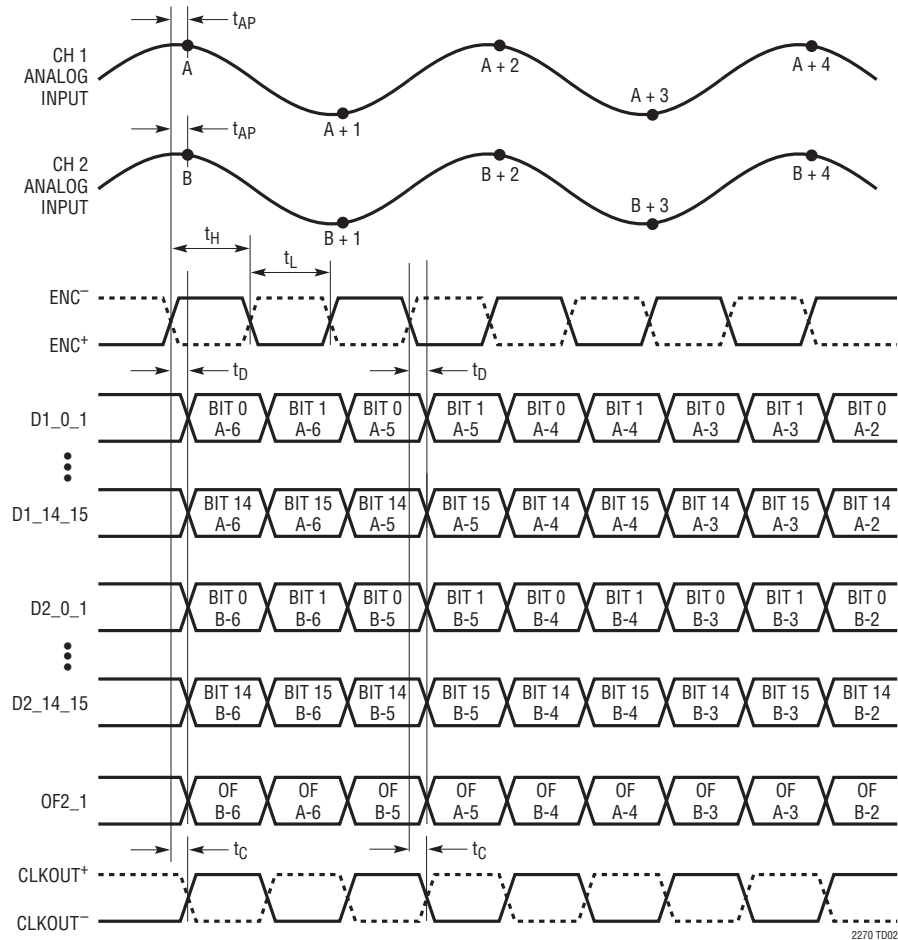
タイミング図

フルレート CMOS 出力モードのタイミング
 すべての出力はシングルエンドで CMOS レベル



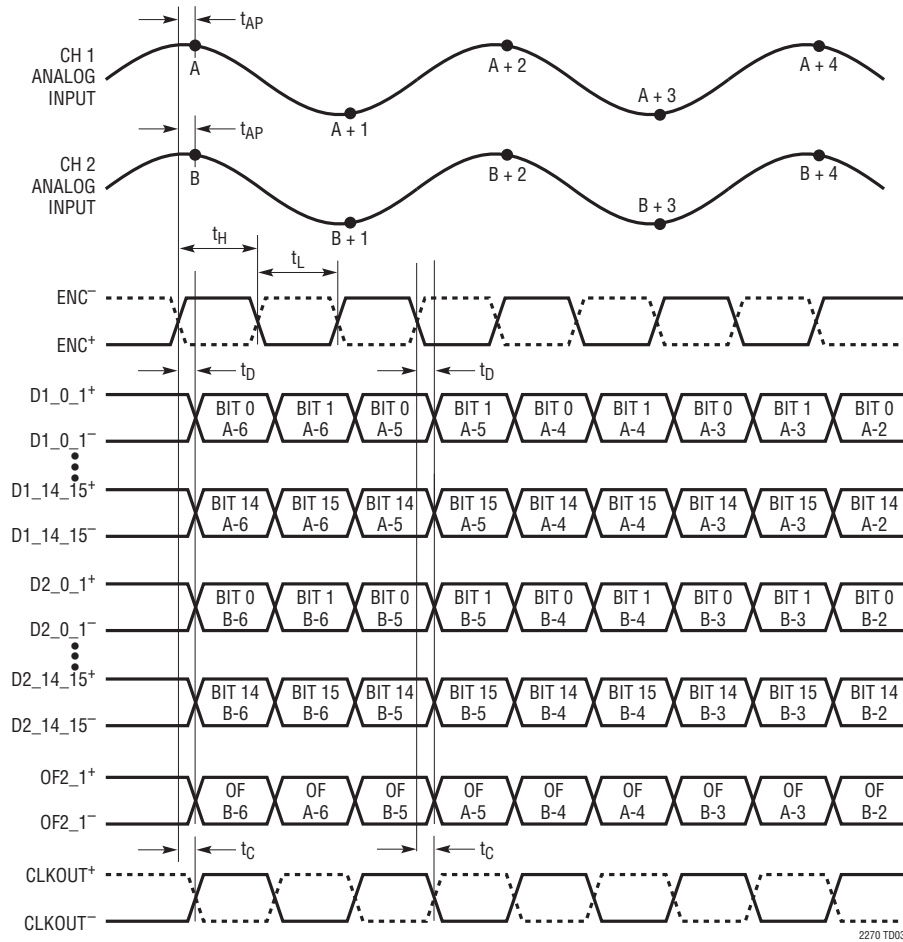
タイミング図

ダブルデータレート CMOS 出力モードのタイミング
すべての出力はシングルエンドで CMOS レベル



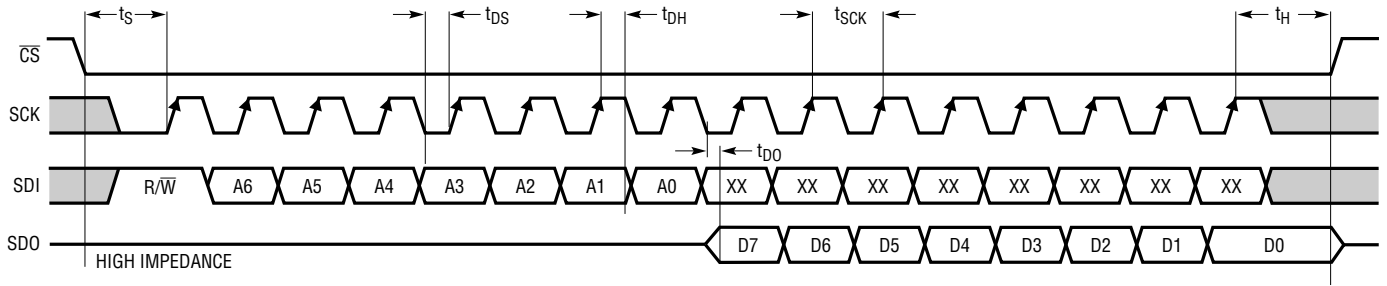
タイミング図

ダブルデータレート LVDS 出力モードのタイミング
すべての出力は差動でLVDSレベル

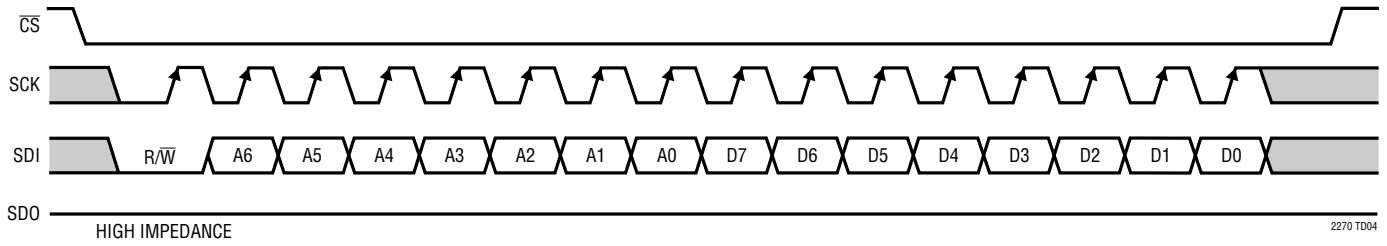


タイミング図

SPIポートのタイミング(読み出しモード)



SPIポートのタイミング(書き込みモード)



2270 T004

アプリケーション情報

コンバータの動作

LTC2270は1.8V単電源で動作する低消費電力、2チャンネル、16ビットの20Msps A/Dコンバータです。アナログ入力は差動で駆動する必要があります。エンコード入力は差動で駆動できますが、消費電力を抑えるためにシングルエンドで駆動することもできます。デジタル出力は、CMOSモード、(出力ラインの数を半減するための)ダブルデータレートCMOSモード、または(システム内のデジタル・ノイズを減らすための)ダブルデータレートLVDSモードにすることができます。シリアルSPIポートを介してモード制御レジスタをプログラムすることにより、多くの追加機能を選択することができます。

アナログ入力

アナログ入力は差動CMOSサンプル・ホールド回路です(図2)。入力は V_{CM1} または V_{CM2} 出力ピンによって設定される同相電圧(通常は公称値である $V_{DD}/2$)を中心に差動で駆動します。2.1Vの入力範囲の場合、入力の振幅範囲は $V_{CM} - 525mV$ から $V_{CM} + 525mV$ にします。入力間には 180° の位相差が必要です。

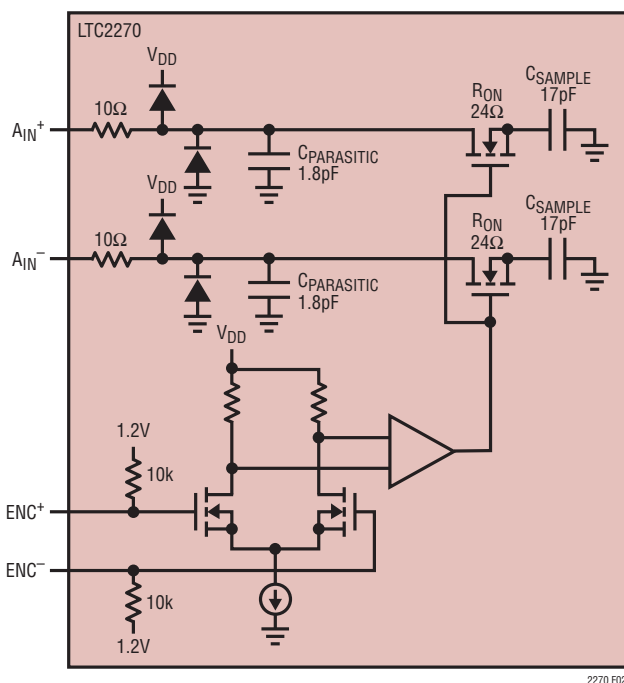


図2. 等価入力回路。2つのアナログ・チャンネルのうち1つのみを示す

2つのチャンネルは共有のエンコード回路(図2)によって同時にサンプリングされます。

入力駆動回路

入力フィルタ

可能であれば、アナログ入力のすぐ近くにRCローパス・フィルタを接続します。このローパス・フィルタがあると、A/Dコンバータのサンプル・ホールド・スイッチングから駆動回路が分離され、さらに駆動回路からの広帯域ノイズも制限されます。入力RCフィルタの一例を図3に示します。RC部品値はアプリケーションの入力周波数に基づいて選択します。

トランス結合回路

2次側にセンタータップを備えたRFトランスによって駆動されるアナログ入を図3に示します。センタータップは V_{CM} でバイアスされており、A/Dコンバータの入力を最適なDCレベルに設定します。入力周波数が高いときは、伝送ラインのバランス・トランス(図4～図5)のバランスが良くなるので、A/D変換の歪みが小さくなります。

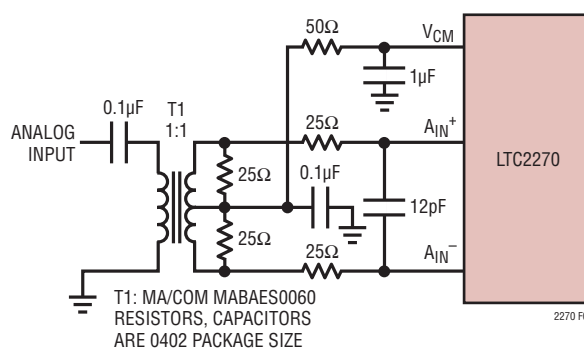


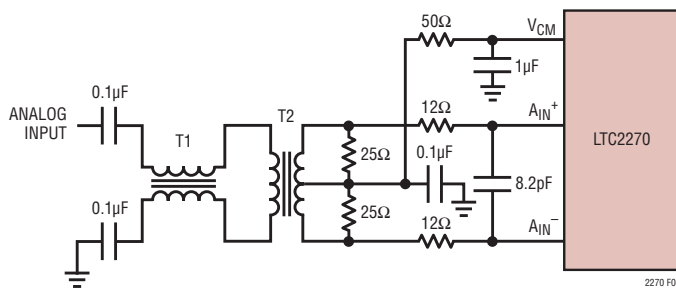
図3. トランスを使用したアナログ入力回路。入力周波数が1MHz～40MHzの場合に推奨

アプリケーション情報

アンプ回路

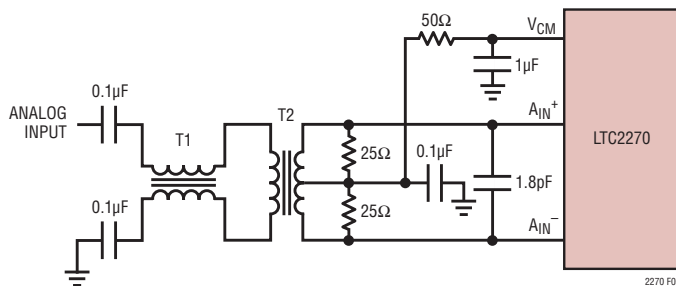
高速差動アンプによって駆動されるアナログ入力を図6に示します。アンプの出力はA/DコンバータにAC結合されているので、アンプの出力の同相電圧を最適に設定して、歪みを最小限に抑えることができます。

DC結合が必要な場合は、LTC2270のV_{CM}ピンで出力を同相に設定した差動アンプを使用してください(図7)。



T1: MA/COM MABA-007159-000000
T2: COILCRAFT WBC1-1TL
RESISTORS, CAPACITORS ARE 0402 PACKAGE SIZE

図4. 入力周波数が5MHz～80MHzの場合の推奨フロントエンド回路



T1: MA/COM MABA-007159-000000
T2: COILCRAFT WBC1-1TL
RESISTORS, CAPACITORS ARE 0402 PACKAGE SIZE

図5. 入力周波数が80MHzを超える場合の推奨フロントエンド回路

リファレンス

LTC2270は1.25Vの電圧リファレンスを内蔵しています。内部リファレンスを使用する2.1Vの入力範囲の場合は、SENSEピンをV_{DD}に接続します。内部リファレンスを使用する1.05Vの入力範囲の場合は、SENSEピンをグランドに接続します。外部リファレンスを使用する2.1Vの入力範囲の場合は、1.25Vのリファレンス電圧をSENSEピンに印加します(図9)。

0.625V～1.30Vの電圧をSENSEピンに印加することによって入力範囲を調整することができます。これにより、入力範囲は $1.68 \cdot V_{SENSE}$ になります。

V_{REF}、REF_HおよびREF_Lの各ピンは図8に示すようにバイパスします。REF_HとREF_Lの間のバイパス・コンデンサには、低インダクタンスの2.2µF交互嵌合型コンデンサを推奨します。このタイプのコンデンサは複数のメーカーから低価格で販売されています。

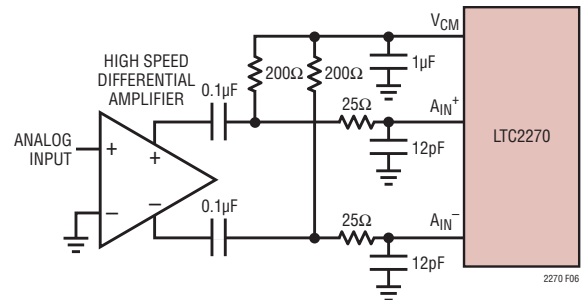


図6. 高速差動アンプを使ったフロントエンド回路

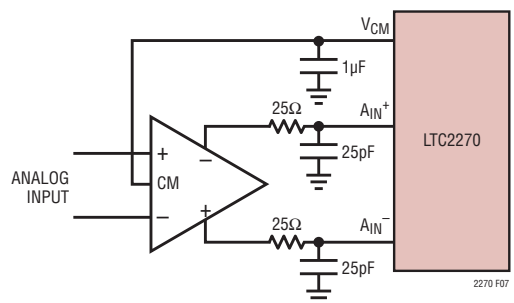


図7. DC結合アンプ

アプリケーション情報

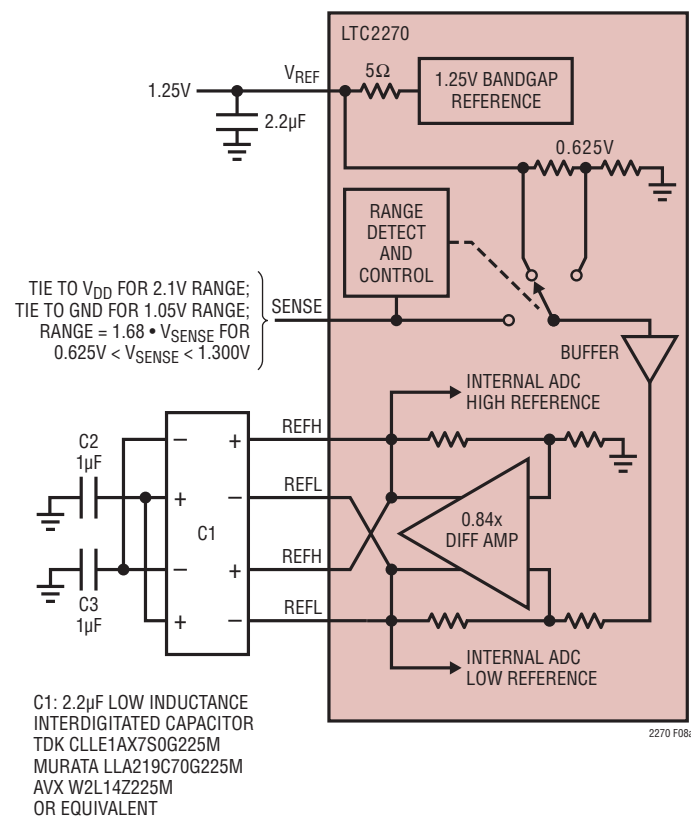


図8a. リファレンス回路

代わりに、REFHとREFLの間をC1を標準の2.2μFコンデンサで置き換えてもかまいません(図8bを参照)。コンデンサは(回路基板の裏面ではなく)これら2つのピンにできるだけ近づけます。

REFH/REFLのバイパス・コンデンサの推奨回路基板レイアウトを 図8cおよび図8dに示します。図8cでは、メーカーによっては交互嵌合型コンデンサ(C1)のピンが内部で接続されていないため、C1のすべてのピンを接続していることに注意してください。図8dでは、内部層に設けた短いジャンパによってREFHピンとREFLピンを接続しています。これらのジャンパの

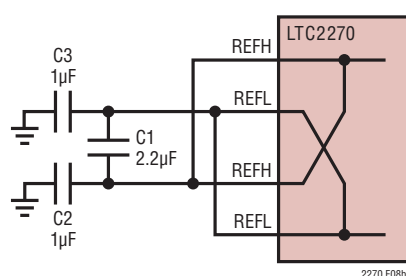


図8b. REFH/REFLの代替バイパス回路

インダクタンスを最小に抑えるため、ジャンパは別の基板層のグラウンド・プレーン内の小さい穴に配置することができます。

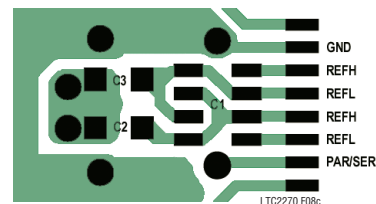


図8c. 図8aのREFH/REFLのバイパス回路の推奨レイアウト

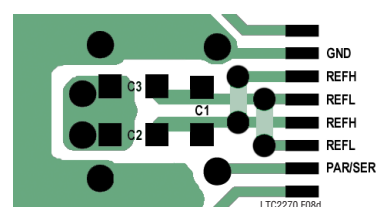


図8d. 図8bのREFH/REFLのバイパス回路の推奨レイアウト

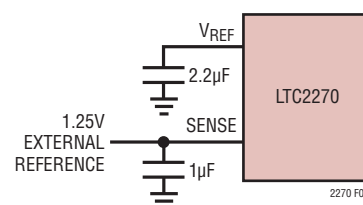


図9. 1.25Vの外部リファレンスを使用する場合

エンコード入力

エンコード入力の信号品質は、A/Dコンバータのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。このため、回路基板上のデジタル・トレースに隣接して配線しないようにしてください。エンコード入力の動作モードには、差動エンコード・モード(図10)とシングルエンド・エンコード・モード(図11)の2つがあります。

正弦波、PECLまたはLVDSのエンコード入力には、差動エンコード・モードを推奨します(図12および図13)。エンコード入力は内部で10kΩの等価抵抗を介して1.2Vにバイアスされています。エンコード入力は V_{DD} より高くすることができ(最大3.6V)、同相範囲は1.1V~1.6Vです。差動エンコード・モードでは、 ENC^- をグラウンドより200mV以上高い電圧に維持して、シングルエンド・エンコード・モードを誤って作動させないようにします。良好なジッタ性能を得るため、 ENC^+ と ENC^- の立ち上がり時間と立ち下がり時間は短くします。

アプリケーション情報

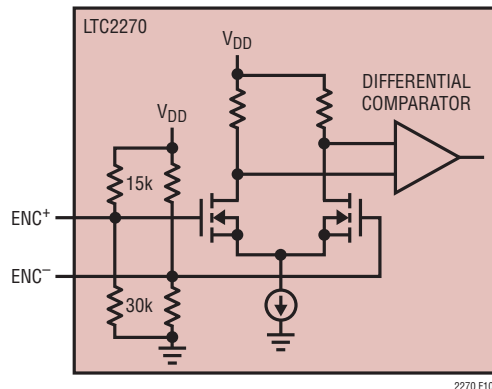


図10. 差動エンコード・モードの等価エンコード入力回路

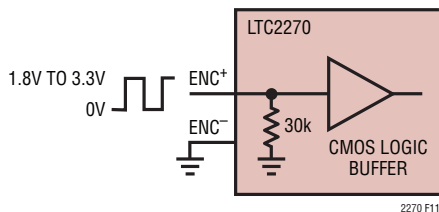


図11. シングルエンド・エンコード・モードの等価エンコード入力回路

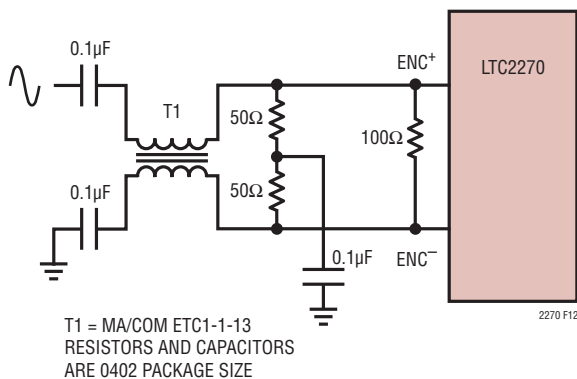


図12. 正弦波のエンコード・ドライブ

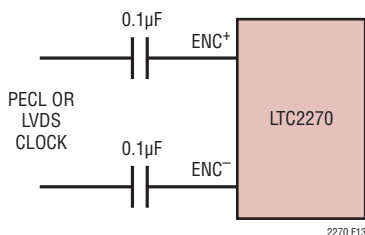


図13. PECLまたはLVDSのエンコード・ドライブ

シングルエンド・エンコード・モードは、CMOSエンコード入力と組み合わせて使用します。このモードを選択するには、ENC⁻をグランドに接続し、ENC⁺を方形波のエンコード入力として駆動します。ENC⁺はV_{DD}より高くすることができるので(最大3.6V)、1.8V～3.3VのCMOSロジック・レベルを使用することができます。ENC⁺のしきい値は0.9Vです。良好なジッタ性能を得るため、ENC⁺の立ち上がり時間と立ち下がり時間は短くします。

エンコード信号がオフするか、または約500kHzより低い周波数になると、A/Dコンバータはナップ・モードになります。

クロック・デューティ・サイクル・スタビライザ

良好な性能を得るために、エンコード信号のデューティ・サイクルは50%(±5%)にします。オプションのクロック・デューティ・サイクル・スタビライザ回路がイネーブルされていると、エンコードのデューティ・サイクルは10%～90%の間で変化することができ、デューティ・サイクル・スタビライザは内部のデューティ・サイクルを一定の50%に保ちます。エンコード信号の周波数が変わると、デューティ・サイクル・スタビライザ回路は入力クロックにロックするのに100クロック・サイクルを要します。デューティ・サイクル・スタビライザはモード制御レジスタA2(シリアル・プログラミング・モード)またはCS(パラレル・プログラミング・モード)によってイネーブルされます。

サンプル・レートを迅速に変更する必要のあるアプリケーションでは、クロック・デューティ・サイクル・スタビライザをディスエーブルすることができます。デューティ・サイクル・スタビライザをディスエーブルする場合は、サンプリング・クロックのデューティ・サイクルが50%(±5%)になるように注意してください。デューティ・サイクル・スタビライザは2MSPsより低いレートでは使わないでください。

デジタル出力

デジタル出力モード

LTC2270は、フルレートCMOSモード、(出力ライン数を半分に減らすための)ダブルデータレートCMOSモード、(システム内のデジタル・ノイズを減らすための)ダブルデータレートLVDSモードという3種類のデジタル出力モードで動作できます。出力モードはモード制御レジスタA3(シリアル・プログラミング・モード)、またはSCK(パラレル・プログラミング・モード)によって設定されます。ダブルデータレートCMOSモードはパラレル・プログラミング・モードでは選択できないことに注意してください。

アプリケーション情報

フルレート CMOS モード

フルレート CMOS モードでは、データ出力(D1_0~D1_15 および D2_0~D2_15)、オーバーフロー(OF2、OF1)、およびデータ出力クロック(CLKOUT⁺、CLKOUT⁻)が CMOS 出力レベルになります。出力はOV_{DD}とOGNDから電力を供給され、A/Dコンバータのコアの電源とグランドからは分離されています。OV_{DD}は1.1V~1.9Vの範囲をとることができるので、1.2V~1.8VのCMOSロジック出力が可能です。

良好な性能を得るために、デジタル出力が最小限の容量性負荷を駆動するようにします。負荷容量が10pFより大きい場合は、デジタル・バッファを使用します。

ダブルデータレート CMOS モード

ダブルデータレート CMOS モードでは、2つのデータ・ビットが多重化されて各データピンに出力されます。これにより、デジタル・ラインの数が17だけ減るので、基板配線が簡単になり、データを受け取るのに必要な入力ピンの数が減ります。データ出力(D1_0_1、D1_2_3、D1_4_5、D1_6_7、D1_8_9、D1_10_11、D1_12_13、D1_14_15、D2_0_1、D2_2_3、D2_4_5、D2_6_7、D2_8_9、D2_10_11、D2_12_13、D2_14_15)、オーバーフロー(OF2_1)、およびデータ出力クロック(CLKOUT⁺、CLKOUT⁻)が CMOS 出力レベルになります。出力はOV_{DD}とOGNDから電力を供給され、A/Dコンバータのコアの電源とグランドからは分離されています。OV_{DD}は1.1V~1.9Vの範囲をとることができるので、1.2V~1.8VのCMOSロジック出力が可能です。A/DコンバータのどちらのチャンネルのオーバーフローもOF2_1ピンに多重化されることに注意してください。

良好な性能を得るために、デジタル出力が最小限の容量性負荷を駆動するようにします。負荷容量が10pFより大きい場合は、デジタル・バッファを使用します。

ダブルデータレート LVDS モード

ダブルデータレート LVDS モードでは、2つのデータ・ビットが多重化されて各差動出力対に出力されます。A/Dコンバータのチャンネルごとに、デジタル出力データに対応する8つのLVDS出力対(D1_0_1⁺/D1_0_1⁻~D1_14_15⁺/D1_14_15⁻ および D2_0_1⁺/D2_0_1⁻~D2_14_15⁺/D2_14_15⁻)があります。オーバーフロー(OF2_1⁺/OF2_1⁻)およびデータ出力クロック(CLKOUT⁺/CLKOUT⁻)には、それぞれLVDS出力対

があります。A/DコンバータのどちらのチャンネルのオーバーフローもOF2_1⁺/OF2_1⁻出力対に多重化されることに注意してください。

デフォルトでは、出力は標準LVDSレベルです。つまり、出力電流が3.5mA、出力同相電圧が1.25Vです。各LVDS出力対には外付けの100Ω差動終端抵抗が必要です。終端抵抗は、LVDSレシーバのできるだけ近くに配置してください。

出力はOV_{DD}とOGNDから電力を供給され、A/Dコンバータのコアの電源とグランドからは分離されています。LVDSモードでは、OV_{DD}を1.8Vにする必要があります。

設定可能な LVDS 出力電流

LVDSモードでは、デフォルトの出力ドライブ電流は3.5mAです。この電流は、モード制御レジスタA3を連続的にプログラムすることにより調整できます。設定可能な電流レベルは、1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mAおよび4.5mAです。

オプションの LVDS ドライバの内部終端

ほとんどの場合は、100Ωの外付け終端抵抗を使用するだけでLVDSの優れた信号品位が得られます。さらに、モード制御レジスタA3を連続的にプログラムすることにより、オプションの100Ω内部終端抵抗をイネーブ爾することができます。内部終端は、レシーバでの不完全な終端によって発生する反射を吸収するのに役立ちます。内部終端がイネーブ爾されると、同じ出力電圧振幅を維持するために、出力ドライブ電流は2倍になります。

オーバーフロー・ビット

アナログ入力にオーバーレンジまたはアンダーレンジが生じると、オーバーフロー出力ビットがロジック“H”を出力します。オーバーフロー・ビットにはデータ・ビットと同じパイプライン待ち時間があります。フルレート CMOS モードでは、A/Dコンバータの各チャンネルに固有のオーバーフロー・ピン(チャンネル1:OF1、チャンネル2:OF2)があります。DDR CMOS モードまたはDDR LVDSモードでは、A/DコンバータのどちらのチャンネルのオーバーフローもOF2_1出力に多重化されます。

アプリケーション情報

出カクロックの位相シフト

フルレートCMOSモードでは、データ出力ビットは通常CLKOUT⁺の立ち下がりエッジと同時に変化するので、CLKOUT⁺の立ち上がりエッジを使って出力データをラッチすることができます。ダブルデータレートのCMOSおよびLVDSの各モードでは、データ出力ビットは通常CLKOUT⁺の立ち下がりエッジおよび立ち上がりエッジと同時に変化します。データをラッチするとき適切なセットアップ時間とホールド時間を与えるには、データ出力ビットに対してCLKOUT⁺信号の位相をシフトさせることが必要な場合があります。ほとんどのFPGAはこの機能を備えており、これが一般にタイミングを調整する最良のポイントです。

LTC2270はモード制御レジスタA2を連続的にプログラムすることにより、CLKOUT⁺/CLKOUT⁻信号の位相をシフトすることもできます。出力クロックは0°、45°、90°または135°の単位でシフトすることができます。位相シフト機能を使うには、クロック・デューティ・サイクル・スタビライザをオンにする必要があります。もう1つの制御レジスタ・ビットは、位相シフトとは関係なく、CLKOUT⁺とCLKOUT⁻の極性を反転させることができます。これら2つの機能を組み合わせると、45°から315°までの位相シフトが可能になります(図14)。

データ形式

アナログ入力電圧、デジタル・データ出力ビット、およびオーバーフロー・ビットの相互関係を表1に示します。デフォルトでは、出力のデータ形式はオフセット・バイナリです。モード制御レジスタA4を連続的にプログラムすることにより、2の補数形式を選択することができます。

表1. 出力コードと入力電圧

A _{IN} ⁺ - A _{IN} ⁻ (2V範囲)	OF	D15~D0 (オフセット・バイナリ)	D15~D0 (2の補数)
>1.000000V	1	1111 1111 1111 1111	0111 1111 1111 1111
+0.999970V	0	1111 1111 1111 1111	0111 1111 1111 1111
+0.999939V	0	1111 1111 1111 1110	0111 1111 1111 1110
+0.000030V	0	1000 0000 0000 0001	0000 0000 0000 0001
+0.000000V	0	1000 0000 0000 0000	0000 0000 0000 0000
-0.000030V	0	0111 1111 1111 1111	1111 1111 1111 1111
-0.000061V	0	0111 1111 1111 1110	1111 1111 1111 1110
-0.999939V	0	0000 0000 0000 0001	1000 0000 0000 0001
-1.000000V	0	0000 0000 0000 0000	1000 0000 0000 0000
<-1.000000V	1	0000 0000 0000 0000	1000 0000 0000 0000

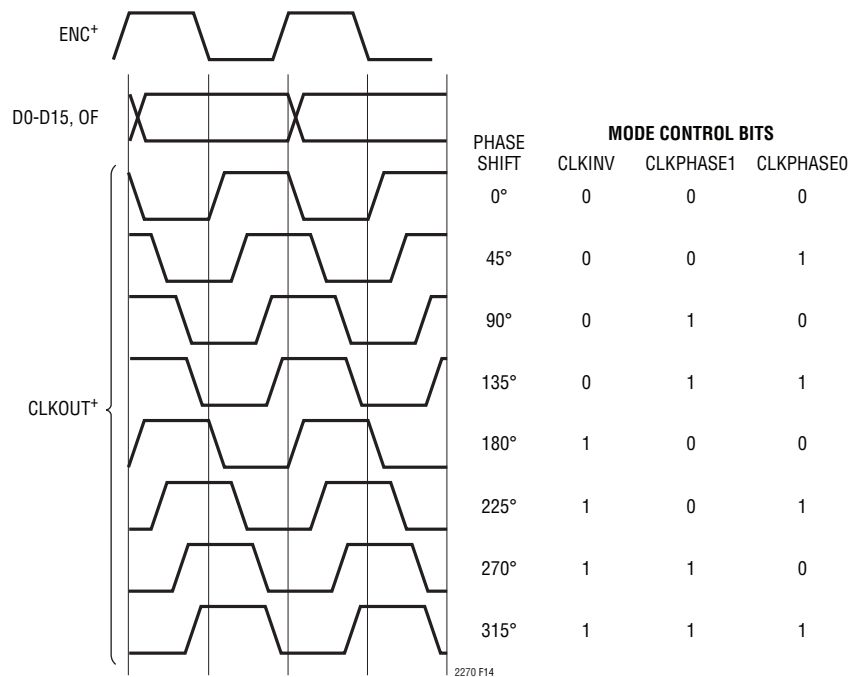


図14. CLKOUTの位相シフト

アプリケーション情報

デジタル出力ランダムマイザ

A/Dコンバータのデジタル出力からの干渉は、場合によっては避けられません。デジタル干渉は、容量性結合や誘導性結合、あるいはグラウンド・プレーンを介した結合によって発生する可能性があります。結合係数がきわめて小さい場合でも、そのためにA/Dコンバータの出力スペクトルに不要なトーンが発生することがあります。デジタル出力をデバイスから伝送する前にランダム化することにより、これらの不要なトーンをランダム化し、それによって不要なトーン振幅を減少させることができます。

デジタル出力は、LSBと他のすべてのデータ出力ビットとの間で排他的論理和演算を行うことによってランダム化されます。デコードするには逆の演算を行います。つまり、LSBと他のすべてのビットとの間で排他的論理和演算を行います。LSB、OF、およびCLKOUTの各出力は影響を受けません。出力ランダムマイザは、モード制御レジスタA4を連続的にプログラムすることによってイネーブルすることができます。

交互ビット極性

回路基板のデジタル帰還を減らすもうひとつの機能は交互ビット極性モードです。このモードがイネーブルされると、全ての奇数ビット(D1、D3、D5、D7、D9、D11、D13、D15)が出力バッファの前で反転します。偶数ビット(D0、D2、D4、D6、D8、D10、D12、D14)、OFおよびCLKOUTは影響を受けません。これにより、回路基板のグラウンド・プレーンのデジタル電流を減らし、(特に非常に小さなアナログ入力信号の場合)デジタル・ノイズを減らすことができます。

A/Dコンバータの入力にミッドスケール付近を中心にした微小信号があると、デジタル出力はほとんどのビットが1の状態とほとんどのビットが0の状態との間で切り換わります。このようにほとんどのビットが同時に切り換わると、大電流がグラウンド・プレーンに流れます。交互ビット極性モードでは、ビットを1つおきに反転することにより、全ビットの半数が“H”に遷移し、同時に全ビットの半数が“L”に遷移します。これにより、グラウンド・プレーンの電流が打ち消され、デジタル・ノイズが減少します。

デジタル出力は、奇数ビット(D1、D3、D5、D7、D9、D11、D13、D15)を反転させることにより、レシーバでデコードされます。交互ビット極性モードはデジタル出力ランダムマイザからは独立しています。つまり、どちらか一方の機能をオンすることも、両方の機能を同時にオンすることも、両方の機能を同時にオフすることも可能です。交互ビット極性モードは、モード制御レジスタA4を連続的にプログラムすることによってイネーブルされます。

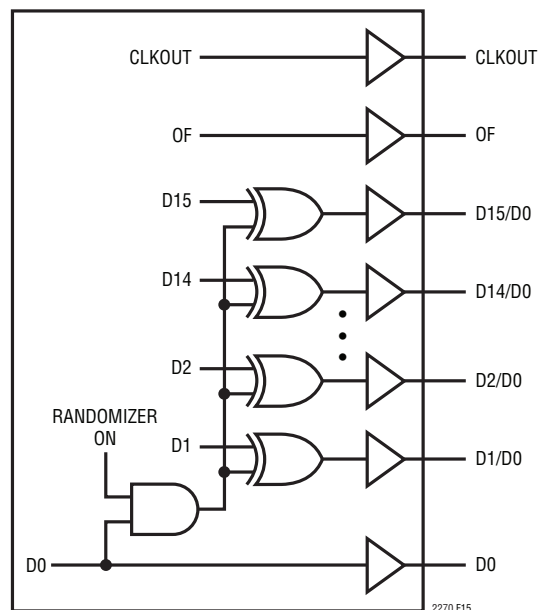


図 15. デジタル出力ランダムマイザの等価機能

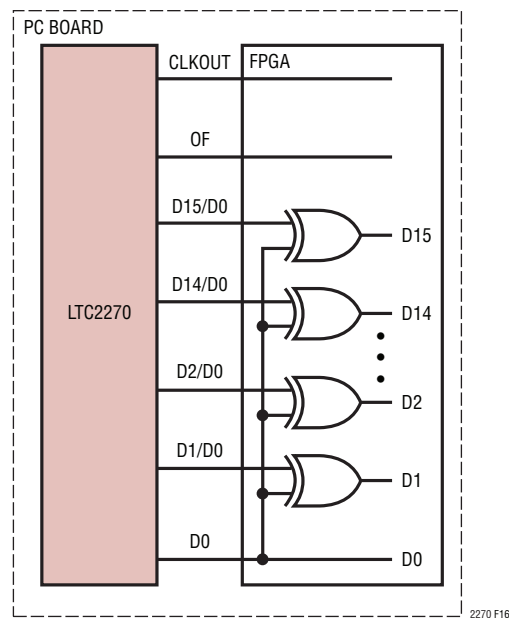


図 16. ランダム化されたデジタル出力信号の復元

アプリケーション情報

デジタル出力のテストパターン

A/Dコンバータへのデジタル・インタフェースのインサーキット・テストを可能にするため、A/Dコンバータのデータ出力(OF、D15～D0)を強制的に既知の値にするいくつかのテスト・モードがあります。

オール1:すべての出力が1

オール0:すべての出力が0

交互:サンプルの出力がオール1からオール0に交互に変化する。

格子縞:サンプルの出力が1010101010101010から01010101010101010に交互に変化する。

デジタル出力のテスト・パターンは、モード制御レジスタA4を連続的にプログラムすることによってイネーブルされます。テストパターンがイネーブルされると、他のすべての形式設定モード(2の補数、ランダムマイザ、交互ビット極性)はすべて無効になります。

出力のディスエーブル

デジタル出力はモード制御レジスタA3を連続的にプログラムすることによってディスエーブルすることができます。OFおよびCLKOUTを含むすべてのデジタル出力がディスエーブルされます。高インピーダンスのディスエーブル状態は、インサーキット・テストまたは長期間の休止状態のためであり、複数のコンバータ間でデータ・バスをフルスピードで多重化するには遅すぎて使えません。出力をディスエーブルするときは、両方のチャンネルをスリープ・モードまたはナップ・モードにしてください。

スリープ・モードとナップ・モード

節電のため、A/Dコンバータをスリープ・モードまたはナップ・モードにすることができます。スリープ・モードでは、デバイス全体がパワーダウンし、消費電力は0.5mWになります。スリープ・モードから復帰するために必要な時間は、VREF、REFH、およびREFLのバイパス・コンデンサのサイズによって異なります。図8の推奨値の場合、A/Dコンバータは2ms後に安定します。

ナップ・モードでは、A/Dコンバータのコアはパワーダウンしますが、内部リファレンス回路はアクティブなままなので、スリープ・モードより素早く起動することができます。ナップ・モードからの復帰には、少なくとも100クロック・サイクルが必要です。非常に正確なDCセトリングが必要なアプリケーション

の場合は、50μsを追加することにより、A/Dコンバータがナップ・モードから移行するときの電源電流の変化によって生じるわずかな温度変化に対して、内蔵リファレンスが安定状態に戻ることができるようにします。チャンネル2または両方のチャンネルをナップ・モードにすることはできますが、チャンネル1をナップ・モードにしてチャンネル2を通常動作させることはできません。

スリープ・モードとナップ・モードは、モード制御レジスタA1(シリアル・プログラミング・モード)またはSDIとSDO(パラレル・プログラミング・モード)によってイネーブルされます。

デバイスのプログラミング・モード

LTC2270の動作モードは、パラレル・インタフェースと簡単なシリアル・インタフェースのどちらでもプログラム可能です。シリアル・インタフェースの方が柔軟性が高く、選択可能なすべてのモードをプログラムできます。パラレル・インタフェースには制限が多く、プログラムできるのはよく使用される一部のモードのみです。

パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、PAR/SERをVDDに接続します。CS、SCK、SDIおよびSDOの各ピンは、特定の動作モードを設定するバイナリ・ロジック入力です。これらのピンはVDDまたはグラウンドに接続するか、あるいは1.8V、2.5V、または3.3VのCMOSロジックで駆動することができます。入力として使用する場合、SDOは1kの直列抵抗を介して駆動します。CS、SCK、SDI、およびSDOで設定されるモードを表2に示します。

表2. パラレル・プログラミング・モードの制御ビット (PAR/SER = VDD)

ピン	説明
CS	クロック・デューティ・サイクル・スタビライザ制御ビット 0 = クロック・デューティ・サイクル・スタビライザをオフ 1 = クロック・デューティ・サイクル・スタビライザをオン
SCK	デジタル出力モード制御ビット 0 = フルレートCMOS出力モード 1 = ダブルデータレートLVDS出力モード (LVDS電流は3.5mA、内部終端はオフ)
SDI/SDO	パワーダウン制御ビット 00 = 通常動作 01 = チャンネル1は通常動作、チャンネル2はナップ・モード 10 = チャンネル1、チャンネル2ともナップ・モード 11 = スリープ・モード(デバイス全体がパワーダウン)

アプリケーション情報

シリアル・プログラミング・モード

シリアル・プログラミング・モードを使用するには、 $\overline{\text{PAR/SER}}$ をグラウンドに接続します。 $\overline{\text{CS}}$ 、 SCK 、 SDI および SDO の各ピンは、A/D コンバータのモード制御レジスタをプログラムするシリアル・インタフェースになります。データは16ビットのシリアル・ワードでレジスタに書き込まれます。データをレジスタから読み出して、レジスタの内容を検証することもできます。

シリアル・データ転送は、 $\overline{\text{CS}}$ が“L”になると開始されます。SDI ピンのデータは、 SCK の先頭から16番目までの立ち上がりエッジでラッチされます。先頭から16番目より後の SCK 立ち上がりエッジは無視されます。データ転送は、 $\overline{\text{CS}}$ が再度“H”になると終了します。

16ビットの入力ワードの先頭ビットは $\text{R}/\overline{\text{W}}$ ビットです。次の7ビットはレジスタのアドレス (A6:A0) です。最後の8ビットはレジスタのデータ (D7:D0) です。

$\text{R}/\overline{\text{W}}$ ビットが“L”の場合、シリアル・データ (D7:D0) はアドレス・ビット (A6:A0) で設定されるレジスタに書き込まれます。 $\text{R}/\overline{\text{W}}$ ビットが“H”の場合、アドレス・ビット (A6:A0) によって指定されるレジスタ内のデータが SDO ピンで読み出されます (タイミング図を参照)。読み出しコマンドの実行中、レジスタは更新されず、 SDI のデータは無視されます。

SDO ピンはオープン・ドレイン出力で、 200Ω のインピーダンスでグラウンド電位まで低下します。 SDO を介してレジスタのデータを読み出す場合は、 $2k\Omega$ の外付けプルアップ抵抗が必要です。シリアル・データが書き込み専用で読み出す必要がない場合は、 SDO をフロート状態のままにしてもかまわないため、プルアップ抵抗は不要です。

モード制御レジスタのマップを表3に示します。

ソフトウェア・リセット

シリアル・プログラミングを使用する場合は、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、すべてのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットにする必要があります。ソフトウェアによるリセットを実行するには、

リセット・レジスタのビット D7 にロジック1を書き込みます。リセット SPI 書き込みコマンドの完了後、ビット D7 は自動的に0に戻ります。

接地とバイパス

LTC2270 には切れ目のないクリーンなグラウンド・プレーンを備えたプリント回路基板が必要です。A/D コンバータの下の最初の層には内部グラウンド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、A/D コンバータの下に配置したりしないように注意してください。

VDD 、 OVDD 、 VCM 、 VREF 、 REFH 、 REFL の各ピンには、高品質のセラミック・バイパス・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。0402 サイズのセラミック・コンデンサを推奨します。ピンとバイパス・コンデンサを接続するトレースは短くしておく必要があり、幅はできるだけ広くします。

特に重要なのは、 REFH と REFL の間に配置するコンデンサです。このコンデンサは、A/D コンバータと同じ側の回路基板上で、できるだけデバイスの近くに配置します。

アナログ入力、エンコード信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに分離するためのバリアとして、グラウンド領域とグラウンド・ビアを使用します。

熱伝達

LTC2270 が発生する熱の大部分は、ダイから底面の露出パッドとパッケージのピンを通してプリント回路基板に伝わります。優れた電気的性能と熱性能を得るには、プリント回路基板上にある大きな接地パッドに露出パッドを半田付けする必要があります。このパッドは、多数のビアで内部のグラウンド・プレーンに接続します。

アプリケーション情報

表3. シリアル・プログラミング・モードのレジスタ・マップ (PAR/SER = GND)

レジスタA0:リセット・レジスタ(アドレス00h)

D7	D6	D5	D4	D3	D2	D1	D0
RESET	X	X	X	X	X	X	X

ビット7 **RESET** ソフトウェア・リセット・ビット

0 = 不使用

1 = ソフトウェアによるリセット。すべてのモード制御レジスタが00hにリセットされる。A/Dコンバータは一時的にスリープ・モードになる。このビットはSPI書き込みコマンドの終了時に自動的にゼロに戻る。リセット・レジスタは書き込み専用。リセット・レジスタからのデータの読み出しはランダムとなる。

ビット6～0 使用しない、ドントケア・ビット

レジスタA1:パワーダウン・レジスタ(アドレス01h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	PWROFF1	PWROFF0

ビット7～2 使用しない、ドントケア・ビット

ビット1～0 **PWROFF1:PWROFF0** パワーダウン制御ビット

00 = 通常動作

01 = チャンネル1は通常動作、チャンネル2はナップ・モード

10 = チャンネル1、チャンネル2ともナップ・モード

11 = スリープ・モード

レジスタA2:タイミング・レジスタ(アドレス02h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	CLKINV	CLKPHASE1	CLKPHASE0	DCS

ビット7～4 使用しない、ドントケア・ビット

ビット3 **CLKINV** 出力クロック反転ビット

0 = 通常のCLKOUT極性(タイミング図参照)

1 = 反転したCLKOUT極性

ビット2～1 **CLKPHASE1:CLKPHASE0** 出力クロックの位相遅延ビット

00 = CLKOUT遅延なし(タイミング図参照)

01 = CLKOUT⁺/CLKOUT⁻ を45°(クロック周期の1/8)だけ遅延

10 = CLKOUT⁺/CLKOUT⁻ を90°(クロック周期の1/4)だけ遅延

11 = CLKOUT⁺/CLKOUT⁻ を135°(クロック周期の3/8)だけ遅延

注記: CLKOUT位相遅延機能を使う場合は、クロック・デューティ・サイクル・スタビライザもオンする必要がある

ビット0 **DCS** クロック・デューティ・サイクル・スタビライザ・ビット

0 = クロック・デューティ・サイクル・スタビライザをオフ

1 = クロック・デューティ・サイクル・スタビライザをオン

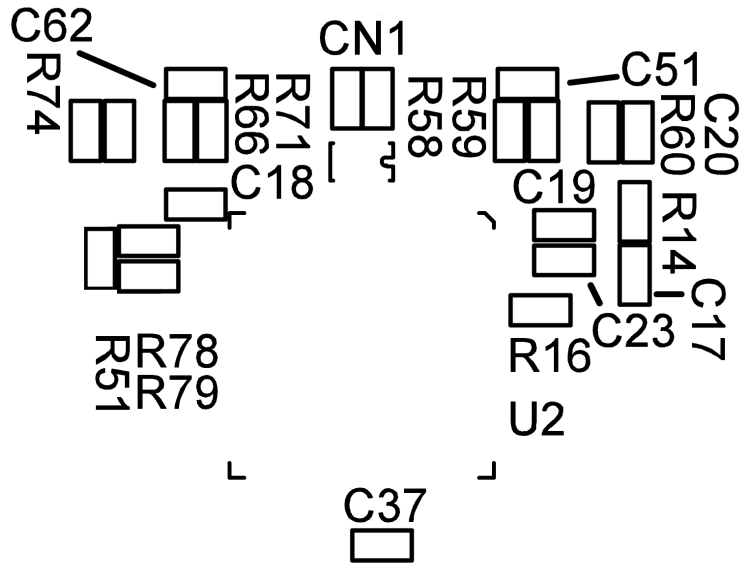
アプリケーション情報

レジスタ A3: 出力モード・レジスタ (アドレス 03h)

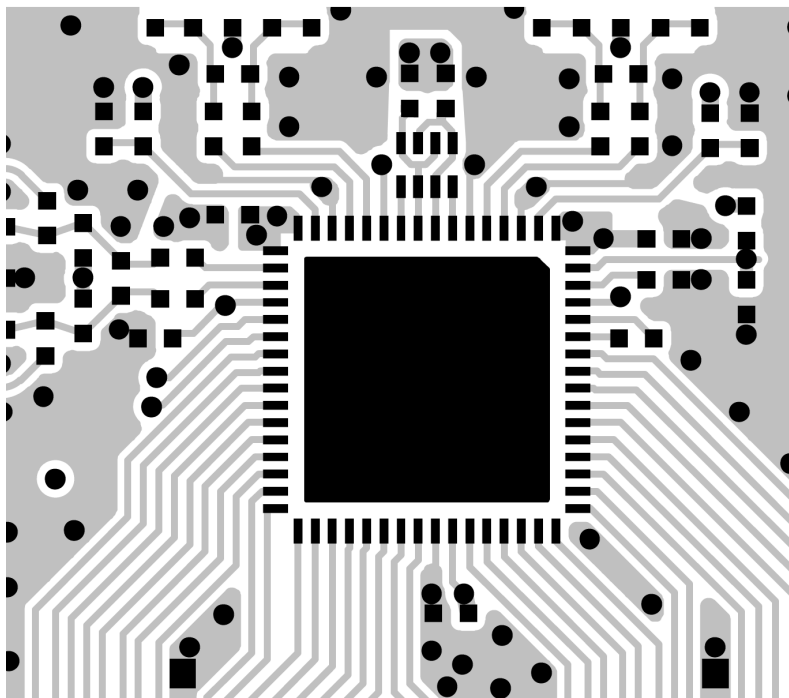
	D7	D6	D5	D4	D3	D2	D1	D0
	X	ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTMODE1	OUTMODE0
ビット7	使用しない、ドントケア・ビット							
ビット6~4	ILVDS2:ILVDS0 LVDS 出力電流ビット 000 = 3.5mA の LVDS 出力ドライバ電流 001 = 4.0mA の LVDS 出力ドライバ電流 010 = 4.5mA の LVDS 出力ドライバ電流 011 = 不使用 100 = 3.0mA の LVDS 出力ドライバ電流 101 = 2.5mA の LVDS 出力ドライバ電流 110 = 2.1mA の LVDS 出力ドライバ電流 111 = 1.75mA の LVDS 出力ドライバ電流							
ビット3	TERMON LVDS 内部終端ビット 0 = 内部終端をオフ 1 = 内部終端をオン。LVDS 出力ドライバ電流は ILVDS2:ILVDS0 によって設定される電流の2倍							
ビット2	OUTOFF 出力のディスエーブル・ビット 0 = デジタル出力をイネーブル 1 = デジタル出力をディスエーブルし、出力を高インピーダンスにする 注記: デジタル出力をディスエーブルする場合は、デバイスもスリープ・モードまたはナップ・モードにする (両チャネルとも)。							
ビット1~0	OUTMODE1:OUTMODE0 デジタル出力モード制御ビット 00 = フルレート CMOS 出力モード 01 = ダブルデータレート LVDS 出力モード 10 = ダブルデータレート CMOS 出力モード 11 = 不使用							

レジスタ A4: データ・フォーマット・レジスタ (アドレス 04h)

	D7	D6	D5	D4	D3	D2	D1	D0
	X	X	OUTTEST2	OUTTEST1	OUTTEST0	ABP	RAND	TWOSCOMP
ビット7~6	使用しない、ドントケア・ビット							
ビット5~3	OUTTEST2:OUTTEST0 デジタル出力のテストパターン・ビット 000 = デジタル出力のテストパターンをオフ 001 = すべてのデジタル出力 = 0 011 = すべてのデジタル出力 = 1 101 = 格子縞出力パターン。0F、D15~D0 は 1 0101 0101 0101 0101 と 0 1010 1010 1010 1010 を交互に出力 111 = 交互出力パターン。0F、D15~D0 は 0 0000 0000 0000 0000 と 1 1111 1111 1111 1111 を交互に出力 注記: 他のビットの組み合わせは使用されない							
ビット2	ABP 交互ビット極性モード制御ビット 0 = 交互ビット極性モードをオフ 1 = 交互ビット極性モードをオン。出力形式を強制的にオフセット・バイナリにする							
ビット1	RAND データ出力ランダムマイザ・モード制御ビット 0 = データ出力ランダムマイザ・モードをオフ 1 = データ出力ランダムマイザ・モードをオン							
ビット0	TWOSCOMP 2の補数モード制御ビット 0 = オフセット・バイナリのデータ形式 1 = 2の補数のデータ形式							

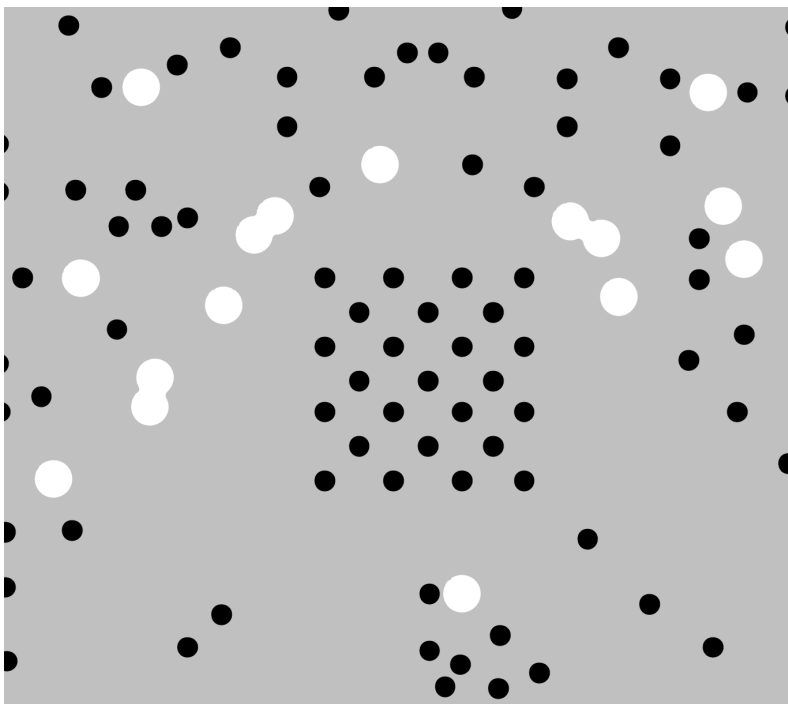


部品面シルク

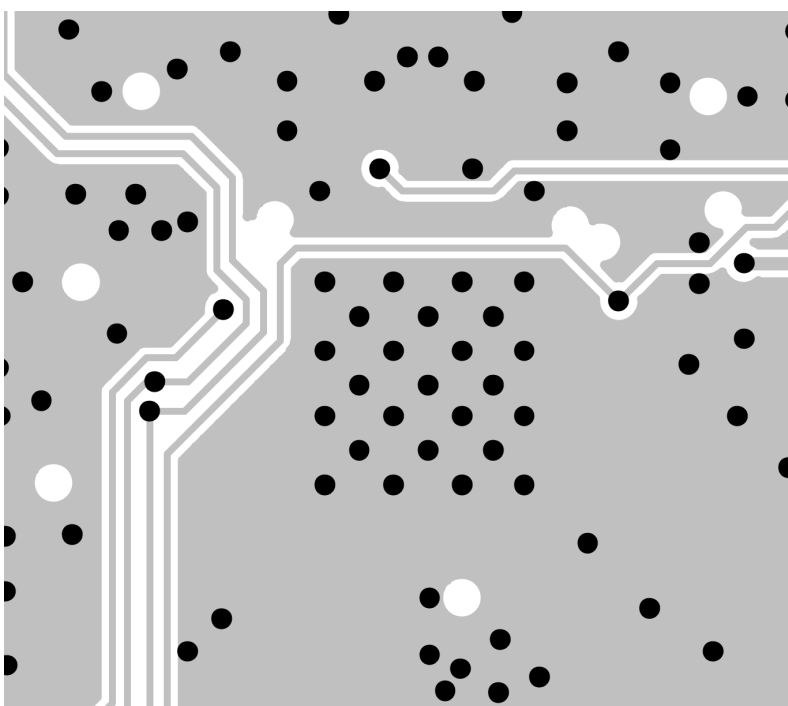


上面

標準的応用例

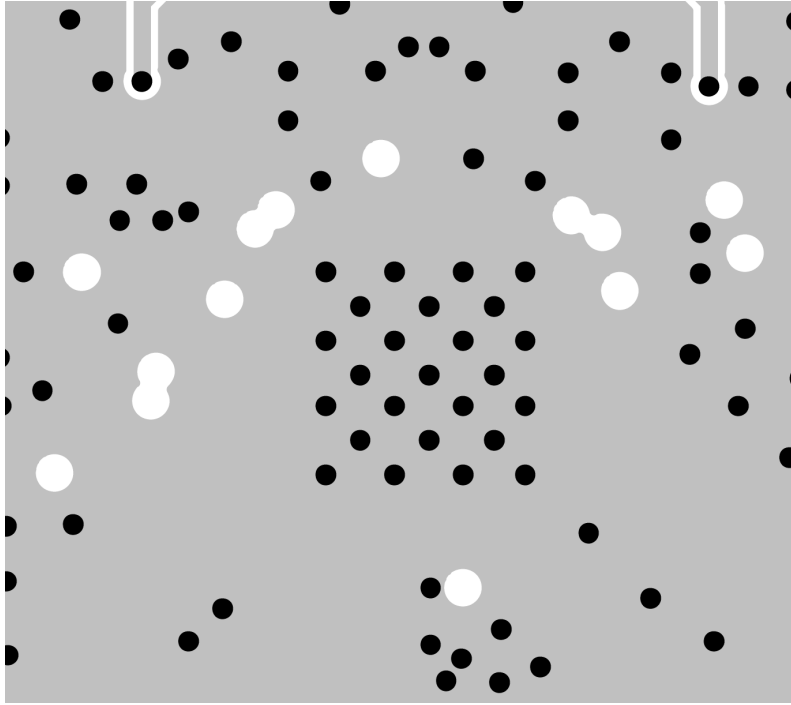


中間層 2 GND

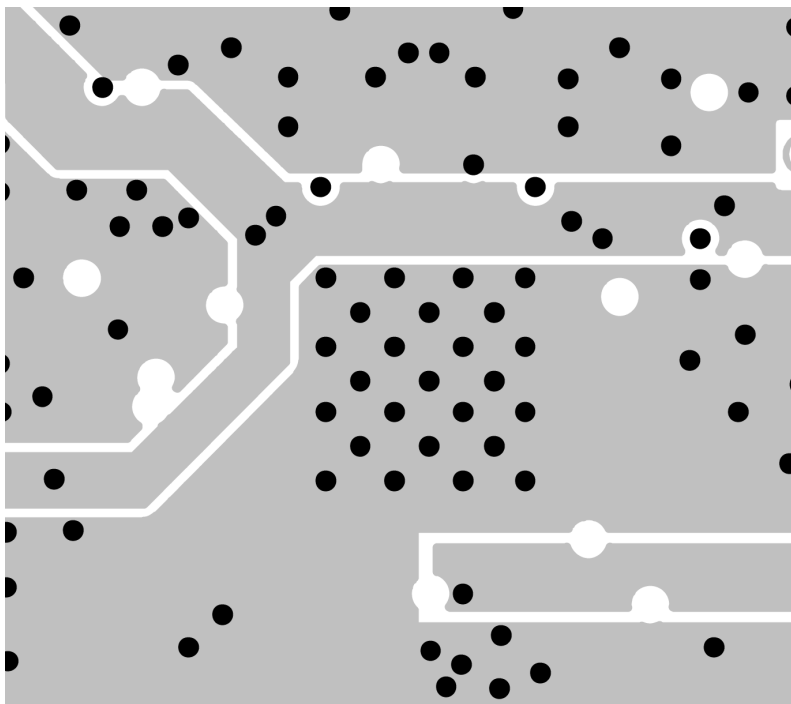


中間層 3

標準的応用例

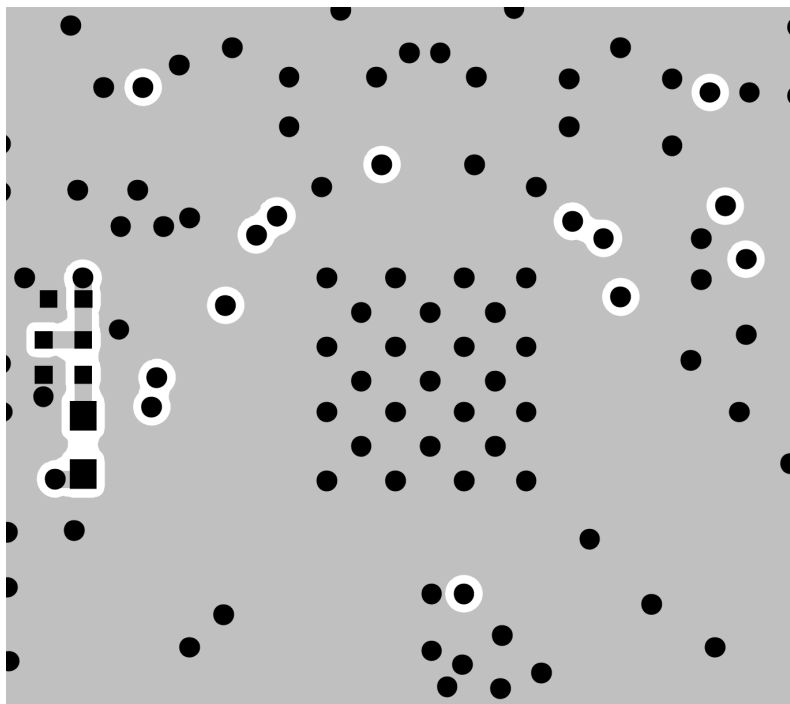


中間層 4



中間層 5 電源

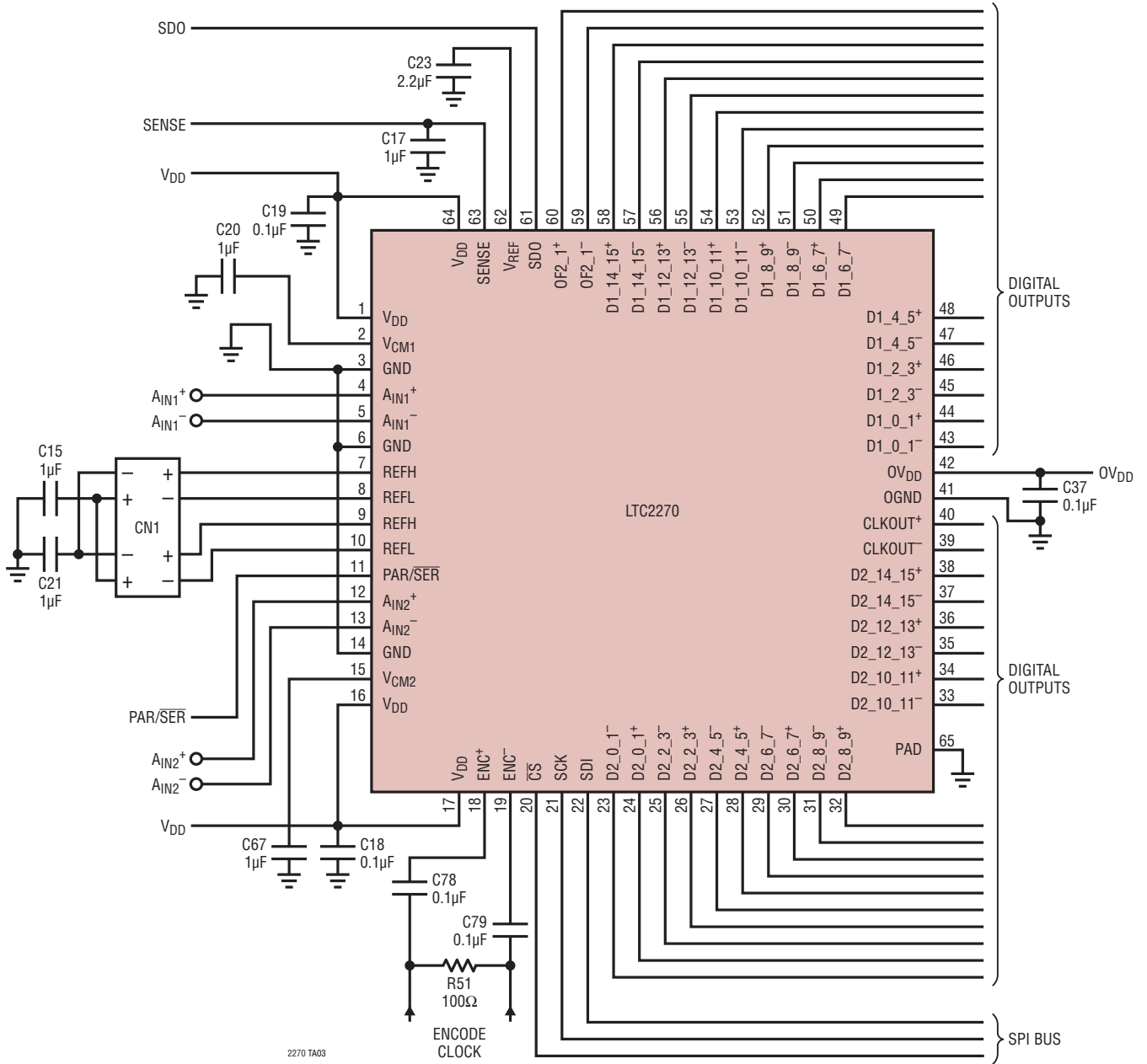
標準的応用例



底面

標準的応用例

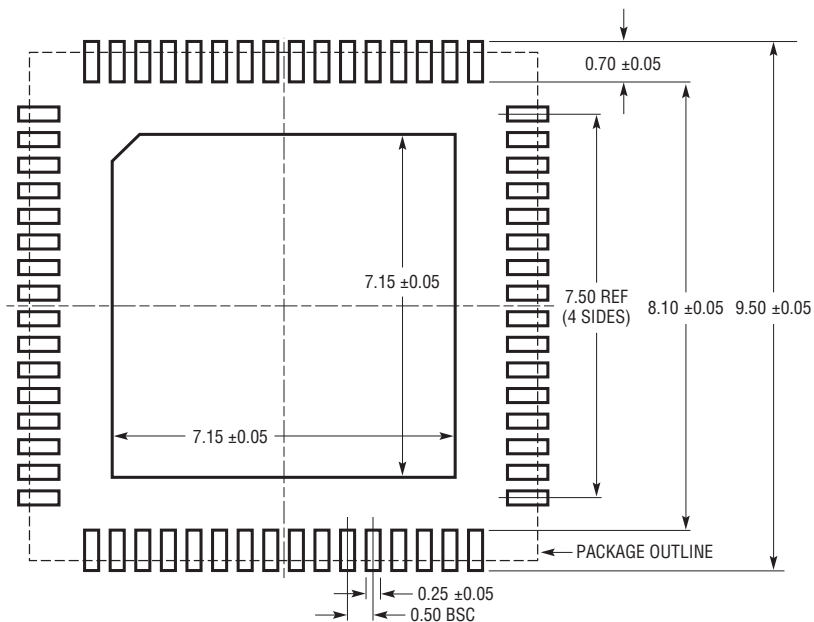
LTC2270の回路図



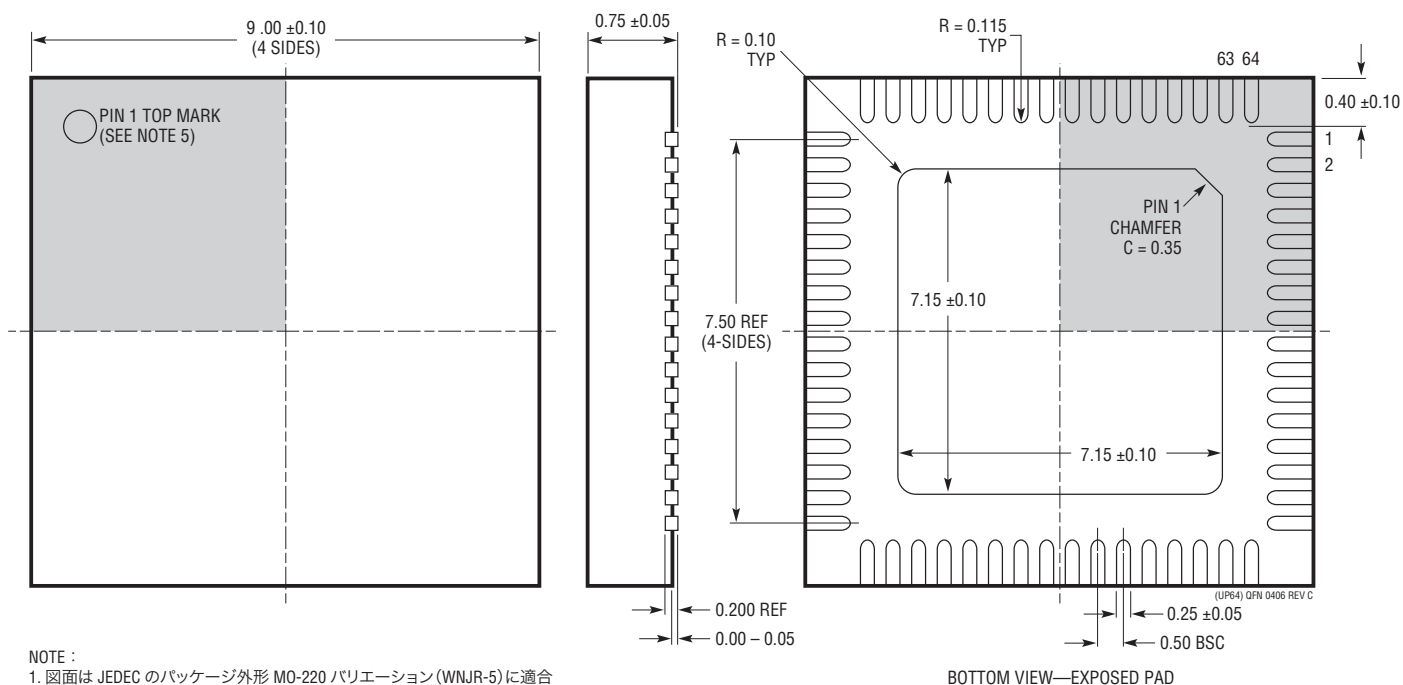
2270 TA03

パッケージ

UPパッケージ
64ピン・プラスチックQFN(9mm×9mm)
(Reference LTC DWG # 05-08-1705 Rev C)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



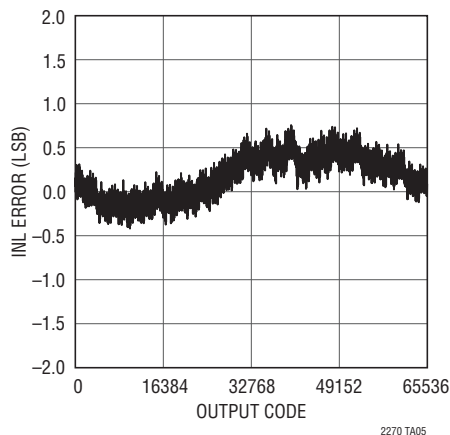
NOTE :

1. 図面は JEDEC のパッケージ外形 M0-220 バリエーション (WNJR-5) に適合
2. 全ての寸法はミリメートル
3. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは(もしあれば)各サイドで 0.20mm を超えないこと
4. 露出パッドは半田メッキとする
5. 灰色の部分はパッケージのトップとボトムのパイン 1 の位置の参考に過ぎない
6. 図は実寸とは異なる

BOTTOM VIEW—EXPOSED PAD

標準的応用例

積分非直線性 (INL)



関連製品

製品番号	説明	注釈
A/D コンバータ		
LTC2160	16ビット、25Msps、1.8V動作のADC、超低消費電力	45mW、SNR:77dB、SFDR:90dB、DDR LVDS/DDR CMOS/CMOS出力、7mm×7mm QFN-48
LTC2180	16ビット、25Msps、1.8V動作のデュアルADC、超低消費電力	39mW/チャンネル、SNR:77dB、SFDR:90dB、DDR LVDS/DDR CMOS/CMOS出力、9mm×9mm QFN-64
LTC2188	16ビット、20Msps、1.8V動作のデュアルADC、超低消費電力	38mW/チャンネル、SNR:77dB、SFDR:90dB、DDR LVDS/DDR CMOS/CMOS出力、9mm×9mm QFN-64
LTC2190	16ビット、25Msps、1.8V動作のデュアルADC、超低消費電力	52mW/チャンネル、SNR:77dB、SFDR:90dB、シリアルLVDS出力、7mm×8mm QFN-52
LTC2202/LTC2203	16ビット、10Msps/25Msps、3.3V動作のADC	140mW/220mW、SNR:81.6dB、SFDR:100dB、CMOS出力、7mm×7mm QFN-48
PLL		
LTC6946-x	ノイズとスプリアスを極めて低く抑えたVCO内蔵の整数N分周方式シンセサイザ	3.7MHz～5.7GHz、正規化された帯域内位相ノイズフロア:-226dBc/Hz、広帯域出力位相ノイズフロア:-157dBc/Hz
LTC6945	ノイズとスプリアスを極めて低く抑えた0.35GHz～6GHz整数N分周方式シンセサイザ	3.5GHz～6GHz、正規化された帯域内位相ノイズフロア:-226dBc/Hz、広帯域出力位相ノイズフロア:-157dBc/Hz
シグナルチェーン・レシーバ		
LTM9002	14ビット・デュアル・チャンネルIF/ベースバンドμModuleレシーバ	デュアルADC、デュアル・アンプ、アンチエイリアス・フィルタ、およびデュアル・トリムDACを15mm×11.25mmのLGAに収容
LTM9004	14ビット、ダイレクト・コンバージョンμModuleレシーバ	I/Q復調器、ベースバンド・アンプ、20MHzまでのローパス・フィルタ、14ビット、125MspsデュアルADCを22mm×15mmのLGAに収容
RFミキサ/復調器		
LTC5569	300MHz～4GHz、デュアル・アクティブ・ダウンコンバーティング・ミキサ	高いIIP3:26.8dBm、変換利得:2dB、低消費電力:3.3V/600mW、設置面積を小型化する内蔵型RFトランス
LTC5584	30MHz～1.4GHzの広帯域I/Q復調器	I/Q復調帯域幅>530MHz、IIP3:31dBm、IIP2>80dBmに調整可能、DCオフセットをゼロに調整可能、イメージ除去比:45dB
LTC5585	700MHz～3GHzの広帯域I/Q復調器	I/Q復調帯域幅>530MHz、IIP3:25.7dBm、IIP2:>80dBmに調整可能、DCオフセットをゼロに調整可能、イメージ除去比:43dB

2270f