

16ビット、20MSPS 低ノイズA/Dコンバータ

特長

- SNR: 84.1dB (入力換算ノイズ: 46 μ V_{RMS})
- SFDR: 99dB
- INL (最大): ± 2.3 LSB
- 低消費電力: 88mW
- 1.8V単電源
- CMOS、DDR CMOS、またはDDR LVDS出力
- 選択可能な入力範囲: 1V_{P-P} ~ 2.1V_{P-P}
- フルパワー帯域幅が200MHzのサンプル/ホールド
- シャットダウン・モードとナップ・モード
- 設定用のシリアルSPIポート
- ピン互換製品
 - LTC2160: 16ビット、25MSPS、45mW
- 48ピン(7mm \times 7mm)QFNパッケージ

アプリケーション

- 低消費電力の計測装置
- ソフトウェア無線
- 携帯型医療用画像処理
- マルチチャンネル・データ収集

概要

LTC[®]2269は、ダイナミックレンジの広い高周波信号をデジタル化する目的で設計された16ビット・サンプリングコンバータです。SNR (信号対ノイズ比)が84.1dB、SFDR (スプリアスのないダイナミックレンジ)が99dBというAC特性を備えているため、要求の厳しい通信アプリケーションに最適です。

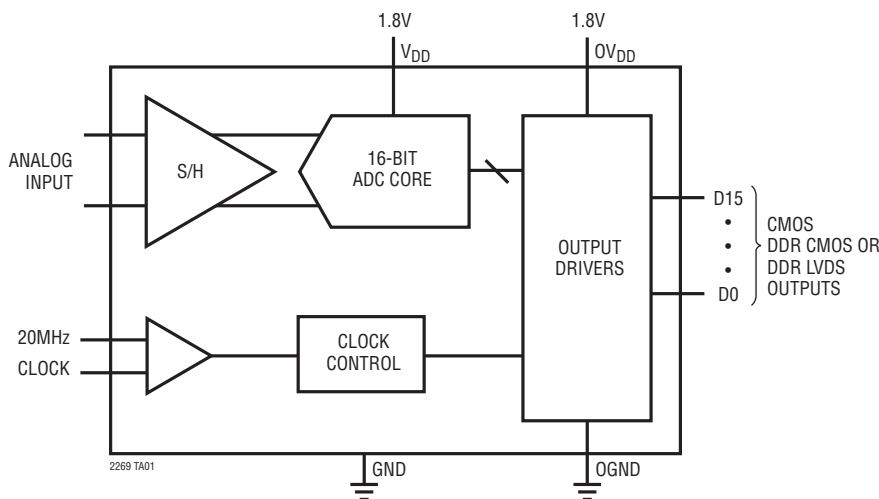
DC規格では、 ± 1 LSB (標準)のINL、 ± 0.2 LSB (標準)のDNL、全温度範囲にわたって欠落コードがないことが規定されています。遷移ノイズは1.44LSB_{RMS}です。

デジタル出力は、フルレートCMOS、ダブル・データレートCMOS、ダブル・データレートLVDSのいずれかに設定可能です。独立した出力電源により、1.2V ~ 1.8Vの範囲でのCMOS出力振幅が可能です。

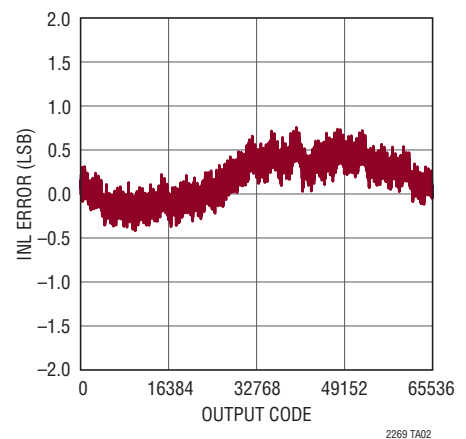
ENC⁺およびENC⁻入力、正弦波、PECL、LVDS、TTL、またはCMOSの入力信号を使用して、差動またはシングルエンドで駆動できます。また、オプションのクロック・デューティ・サイクル・スタビライザにより、広範なクロック・デューティ・サイクルにわたってフルスピードで高い性能を発揮できます。

LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



積分非直線性 (INL)



LTC2269

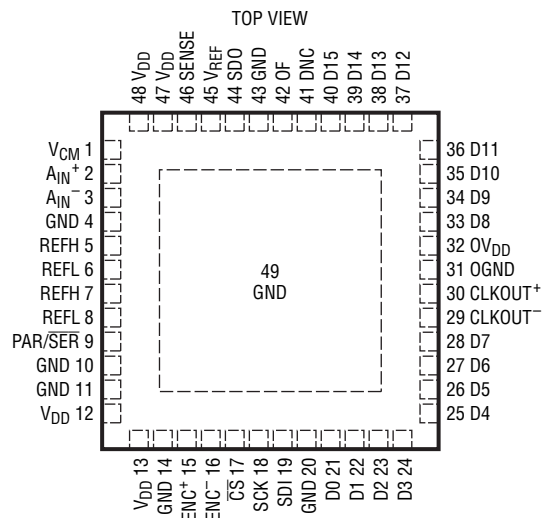
絶対最大定格 (Note 1、2)

電源電圧 (V_{DD} 、 $0V_{DD}$) $-0.3V \sim 2V$
 アナログ入力電圧 (A_{IN}^+ 、 A_{IN}^- 、 PAR/SER 、 $SENSE$)
 (Note 3) $-0.3V \sim (V_{DD} + 0.2V)$
 デジタル入力電圧 (ENC^+ 、 ENC^- 、 \overline{CS} 、 SDI 、 SCK)
 (Note 4) $-0.3V \sim 3.9V$
 SDO (Note 4) $-0.3V \sim 3.9V$

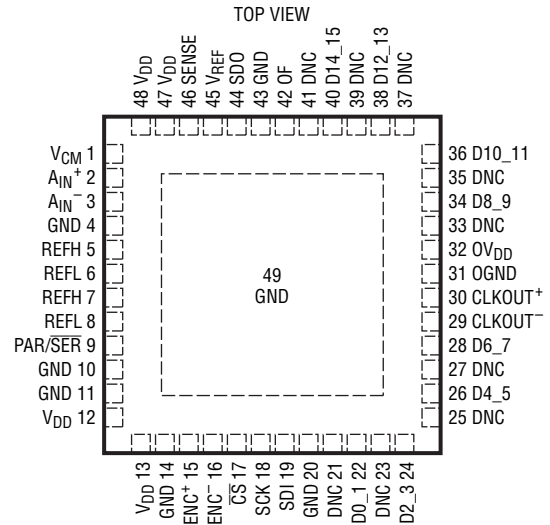
デジタル出力電圧 $-0.3V \sim (0V_{DD} + 0.3V)$
 動作温度範囲
 LTC2269C $0^{\circ}C \sim 70^{\circ}C$
 LTC2269I $-40^{\circ}C \sim 85^{\circ}C$
 保存温度範囲 $-65^{\circ}C \sim 150^{\circ}C$

ピン配置

フルデータレート CMOS 出力モード

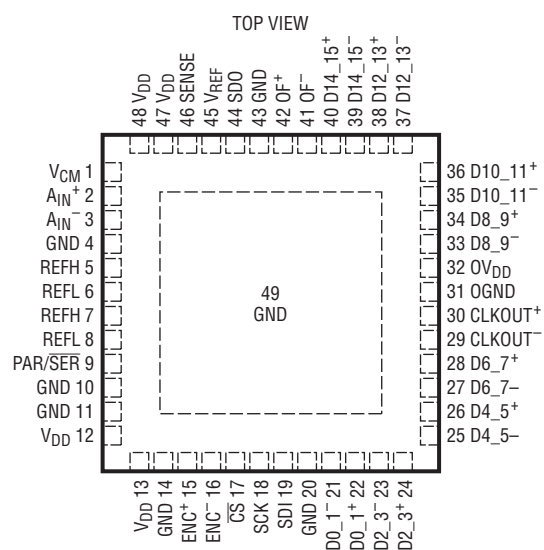


ダブルデータレート CMOS 出力モード



ピン配置

ダブルデータレート LVDS 出力モード



UK PACKAGE
48-LEAD (7mm × 7mm) PLASTIC QFN
 $T_{JMAX} = 150^{\circ}\text{C}$, $\theta_{JA} = 29^{\circ}\text{C/W}$
EXPOSED PAD (PIN 49) IS GND, MUST BE SOLDERED TO PCB

発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2269CUK#PBF	LTC2269CUK#TRPBF	LTC2269UK	48-Lead (7mm × 7mm) Plastic QFN	0°C to 70°C
LTC2269IUK#PBF	LTC2269IUK#TRPBF	LTC2269UK	48-Lead (7mm × 7mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

コンバータ特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Resolution (No Missing Codes)		●	16		Bits	
Integral Linearity Error	Differential Analog Input (Note 6)	●	-2.3	±1	2.3	LSB
Differential Linearity Error	Differential Analog Input	●	-0.8	±0.2	0.8	LSB
Offset Error	(Note 7)	●	-7	±1.3	7	mV
Gain Error	Internal Reference External Reference	●	-1.5	±1.2 -0.2	1.1	%FS %FS
Offset Drift			±10		$\mu\text{V}/^\circ\text{C}$	
Full-Scale Drift	Internal Reference External Reference		±30 ±10		ppm/ $^\circ\text{C}$ ppm/ $^\circ\text{C}$	
Transition Noise	External Reference		1.44		LSBRMS	

アナログ入力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{IN}	Analog Input Range ($A_{IN}^+ - A_{IN}^-$)	$1.7\text{V} < V_{DD} < 1.9\text{V}$	●	1 to 2.1		V_{P-P}	
$V_{IN(CM)}$	Analog Input Common Mode ($A_{IN}^+ + A_{IN}^-$)/2	Differential Analog Input (Note 8)	●	0.65	V_{CM} $V_{CM} + 200\text{mV}$	V	
V_{SENSE}	External Voltage Reference Applied to SENSE	External Reference Mode	●	0.625	1.250	1.300	V
I_{INCM}	Analog Input Common Mode Current	Per Pin, 20Msps		32		μA	
I_{IN1}	Analog Input Leakage Current (No Encode)	$0 < A_{IN}^+, A_{IN}^- < V_{DD}$	●	-1	1	μA	
I_{IN2}	PAR/SER Input Leakage Current	$0 < \text{PAR/SER} < V_{DD}$	●	-1	1	μA	
I_{IN3}	SENSE Input Leakage Current	$0.625 < \text{SENSE} < 1.3\text{V}$	●	-2	2	μA	
t_{AP}	Sample-and-Hold Acquisition Delay Time			0		ns	
t_{JITTER}	Sample-and-Hold Acquisition Delay Jitter	Single-Ended Encode Differential Encode		85 100		fSRMS fSRMS	
CMRR	Analog Input Common Mode Rejection Ratio			80		dB	
BW-3B	Full Power Bandwidth	Figure 5 Test Circuit		200		MHz	

ダイナミック精度 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
SNR	Signal-to-Noise Ratio	1.4MHz Input	●	82.1		dBFS	
		5MHz Input				84.1	dBFS
		30MHz Input				83.8	dBFS
		70MHz Input				82.7	dBFS
SFDR	Spurious Free Dynamic Range 2nd Harmonic	1.4MHz Input	●	90		dBFS	
		5MHz Input				99	dBFS
		30MHz Input				98	dBFS
		70MHz Input				98	dBFS

ダイナミック精度 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
SFDR	Spurious Free Dynamic Range 3rd Harmonic	1.4MHz Input	●	99		dBFS	
		5MHz Input		92			98
		30MHz Input					98
		70MHz Input					96
SFDR	Spurious Free Dynamic Range 4th Harmonic or Higher	1.4MHz Input	●	110		dBFS	
		5MHz Input		95			110
		30MHz Input					105
		70MHz Input					100
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	1.4MHz Input 5MHz Input 30MHz Input 70MHz Input	●	81.7	83.9 83.9 83.7 82	dBFS dBFS dBFS dBFS	

内部リファレンスの特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CM} Output Voltage	$I_{OUT} = 0$	● $0.5 \cdot V_{DD} - 25\text{mV}$	$0.5 \cdot V_{DD}$	$0.5 \cdot V_{DD} + 25\text{mV}$	V
V_{CM} Output Temperature Drift			± 25		ppm/ $^\circ\text{C}$
V_{CM} Output Resistance	$-600\mu\text{A} < I_{OUT} < 1\text{mA}$		4		Ω
V_{REF} Output Voltage	$I_{OUT} = 0$	● 1.230	1.250	1.270	V
V_{REF} Output Temperature Drift			± 25		ppm/ $^\circ\text{C}$
V_{REF} Output Resistance	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$		7		Ω
V_{REF} Line Regulation	$1.7\text{V} < V_{DD} < 1.9\text{V}$		0.6		mV/V

デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
エンコード入力 (ENC⁺, ENC⁻)						
差動エンコード・モード (ENC⁻はGNDに接続されていない)						
V_{ID}	Differential Input Voltage	(Note 8)	●	0.2		V
V_{ICM}	Common Mode Input Voltage	Internally Set	●	1.1	1.2	V
		Externally Set (Note 8)	●		1.6	V
V_{IN}	Input Voltage Range	ENC ⁺ , ENC ⁻ to GND	●	0.2	3.6	V
R_{IN}	Input Resistance	(See Figure 10)		10		k Ω
C_{IN}	Input Capacitance	(Note 8)		3.5		pF
シングルエンド・エンコード・モード (ENC⁻はGNDに接続されている)						
V_{IH}	High Level Input Voltage	$V_{DD} = 1.8\text{V}$	●	1.2		V
V_{IL}	Low Level Input Voltage	$V_{DD} = 1.8\text{V}$	●		0.6	V
V_{IN}	Input Voltage Range	ENC ⁺ to GND	●	0	3.6	V
R_{IN}	Input Resistance	(See Figure 11)		30		k Ω
C_{IN}	Input Capacitance	(Note 8)		3.5		pF

デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
デジタル入力(シリアルまたはパラレル・プログラミング・モードのCS、SDI、SCK。SDOはパラレル・プログラミング・モード)							
V_{IH}	High Level Input Voltage	$V_{DD} = 1.8\text{V}$	●	1.3		V	
V_{IL}	Low Level Input Voltage	$V_{DD} = 1.8\text{V}$	●		0.6	V	
I_{IN}	Input Current	$V_{IN} = 0\text{V to } 3.6\text{V}$	●	-10	10	μA	
C_{IN}	Input Capacitance	(Note 8)		3		pF	
SDOの出力(シリアル・プログラミング・モード。オープンドレイン出力。SDOが使われる場合、2kΩのプルアップ抵抗が必要)							
R_{OL}	Logic Low Output Resistance to GND	$V_{DD} = 1.8\text{V}, \text{SDO} = 0\text{V}$		200		Ω	
I_{OH}	Logic High Output Leakage Current	$\text{SDO} = 0\text{V to } 3.6\text{V}$	●	-10	10	μA	
C_{OUT}	Output Capacitance	(Note 8)		3		pF	
デジタル・データ出力 (CMOS モード: フルデータレートとダブルデータレート)							
$OV_{DD} = 1.8\text{V}$							
V_{OH}	High Level Output Voltage	$I_O = -500\mu\text{A}$	●	1.750	1.790	V	
V_{OL}	Low Level Output Voltage	$I_O = 500\mu\text{A}$	●		0.010	0.050	V
$OV_{DD} = 1.5\text{V}$							
V_{OH}	High Level Output Voltage	$I_O = -500\mu\text{A}$		1.488		V	
V_{OL}	Low Level Output Voltage	$I_O = 500\mu\text{A}$		0.010		V	
$OV_{DD} = 1.2\text{V}$							
V_{OH}	High Level Output Voltage	$I_O = -500\mu\text{A}$		1.185		V	
V_{OL}	Low Level Output Voltage	$I_O = 500\mu\text{A}$		0.010		V	
デジタル・データ出力 (LVDS モード)							
V_{OD}	Differential Output Voltage	100 Ω Differential Load, 3.5mA Mode 100 Ω Differential Load, 1.75mA Mode	●	247	350 175	454	mV mV
V_{OS}	Common Mode Output Voltage	100 Ω Differential Load, 3.5mA Mode 100 Ω Differential Load, 1.75mA Mode	●	1.125	1.250 1.250	1.375	V V
R_{TERM}	On-Chip Termination Resistance	Termination Enabled, $OV_{DD} = 1.8\text{V}$			100		Ω

電源要件 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 9)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
CMOS出力モード: フルデータレートとダブルデータレート							
V_{DD}	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	V
OV_{DD}	Output Supply Voltage	(Note 10)	●	1.1	1.8	1.9	V
I_{VDD}	Analog Supply Current	DC Input Sine Wave Input	●		48.9 49.1	54.4	mA mA
I_{OVDD}	Digital Supply Current	Sine Wave Input, $OV_{DD} = 1.2\text{V}$		1			mA
P_{DISS}	Power Dissipation	DC Input Sine Wave Input, $OV_{DD} = 1.2\text{V}$	●		88 88	98	mW mW
LVDS出力モード							
V_{DD}	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	V
OV_{DD}	Output Supply Voltage	(Note 10)	●	1.7	1.8	1.9	V

電源要件 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 9)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I _{VDD}	Analog Supply Current	Sine Wave Input, 1.75mA Mode		50		mA
		Sine Wave Input, 3.5mA Mode	●	50.6	56.2	
I _{OVDD}	Digital Supply Current (O _{VDD} = 1.8V)	Sine Wave Input, 1.75mA Mode		21.1		mA
		Sine Wave Input, 3.5mA Mode	●	40.9	46	
P _{DISS}	Power Dissipation	Sine Wave Input, 1.75mA Mode		127		mW
		Sine Wave Input, 3.5mA Mode	●	161	184	
すべての出力モード						
P _{SLEEP}	Sleep Mode Power			0.5		mW
P _{NAP}	Nap Mode Power			10		mW
P _{DIFFCLK}	Power Increase with Differential Encode Mode Enabled (No Increase for Nap or Sleep Modes)			20		mW

タイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
f _s	Sampling Frequency	(Note 10)	●	1	20	MHz	
t _L	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off	●	23.5	25	500	ns
		Duty Cycle Stabilizer On	●	2	25	500	ns
t _H	ENC High Time (Note 8)	Duty Cycle Stabilizer Off	●	23.5	25	500	ns
		Duty Cycle Stabilizer On	●	2	25	500	ns
t _{AP}	Sample-and-Hold Acquisition Delay Time			0		ns	

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
デジタル・データ出力 (CMOS モード: フルデータレートとダブルデータレート)							
t _D	ENC to Data Delay	C _L = 5pF (Note 8)	●	1.1	1.7	3.1	ns
t _C	ENC to CLKOUT Delay	C _L = 5pF (Note 8)	●	1	1.4	2.6	ns
t _{SKEW}	DATA to CLKOUT Skew	t _D - t _C (Note 8)	●	0	0.3	0.6	ns
	Pipeline Latency	Full Data Rate Mode Double Data Rate Mode		6 6.5		6 6.5	Cycles Cycles

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
デジタル・データ出力 (LVDS モード)							
t _D	ENC to Data Delay	C _L = 5pF (Note 8)	●	1.1	1.8	3.2	ns
t _C	ENC to CLKOUT Delay	C _L = 5pF (Note 8)	●	1	1.5	2.7	ns
t _{SKEW}	DATA to CLKOUT Skew	t _D - t _C (Note 8)	●	0	0.3	0.6	ns
	Pipeline Latency			6.5		6.5	Cycles

SPIポートのタイミング (Note 8)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t _{SCK}	SCK Period	Write Mode	●	40		ns
		Readback Mode, C _{SDO} = 20pF, R _{PULLUP} = 2k	●	250		
t _S	CS to SCK Setup Time		●	5		ns
t _H	SCK to CS Setup Time		●	5		ns
t _{DS}	SDI Setup Time		●	5		ns
t _{DH}	SDI Hold Time		●	5		ns
t _{DO}	SCK Falling to SDO Valid	Readback Mode, C _{SDO} = 20pF, R _{PULLUP} = 2k	●		125	ns

電気的特性

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: すべての電圧値は(注記がない限り) GNDとOGNDを短絡した状態のGNDを基準としている。

Note 3: これらのピンの電圧をGNDより低くするか、 V_{DD} より高くすると、その電圧は内部のダイオードによってクランプされる。この製品は、GNDより低い電圧で、ラッチアップを生じることなしに100mAを超える入力電流を処理することができる。

Note 4: これらのピンの電圧をGNDより低くすると、その電圧は内部のダイオードによってクランプされる。これらのピンの電圧を V_{DD} より高くしても、その電圧は内部のダイオードによってクランプされない。この製品は、GNDより低い電圧で、ラッチアップを生じることなく100mAを超える入力電流を処理することができる。

Note 5: 注記がない限り、 $V_{DD} = OV_{DD} = 1.8V$ 、 $f_{SAMPLE} = 20MHz$ 、LVDS出力、差動 $ENC^+/ENC^- = 2V_{P-P}$ の正弦波、入力範囲=差動ドライブで $2.1V_{P-P}$ 。

Note 6: 積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: オフセット誤差は、2の補数の出力モードで出力コードを0000 0000 0000 0000と1111 1111 1111 1111の間でふらつかせるとき、 $-0.5LSB$ から測定したオフセット電圧である。

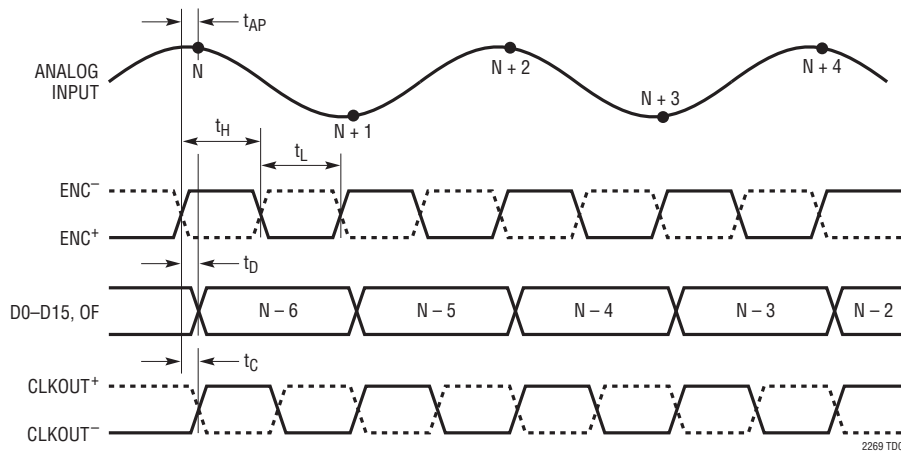
Note 8: 設計によって保証されているが、テストされない。

Note 9: 注記がない限り、 $V_{DD} = 1.8V$ 、 $f_{SAMPLE} = 20MHz$ 、CMOS出力、 ENC^+ =シングルエンドの1.8Vの方形波、 $ENC^- = 0V$ 、入力範囲=差動ドライブで $2.1V_{P-P}$ 、各デジタル出力に5pFの負荷。

Note 10: 推奨動作条件。

タイミング図

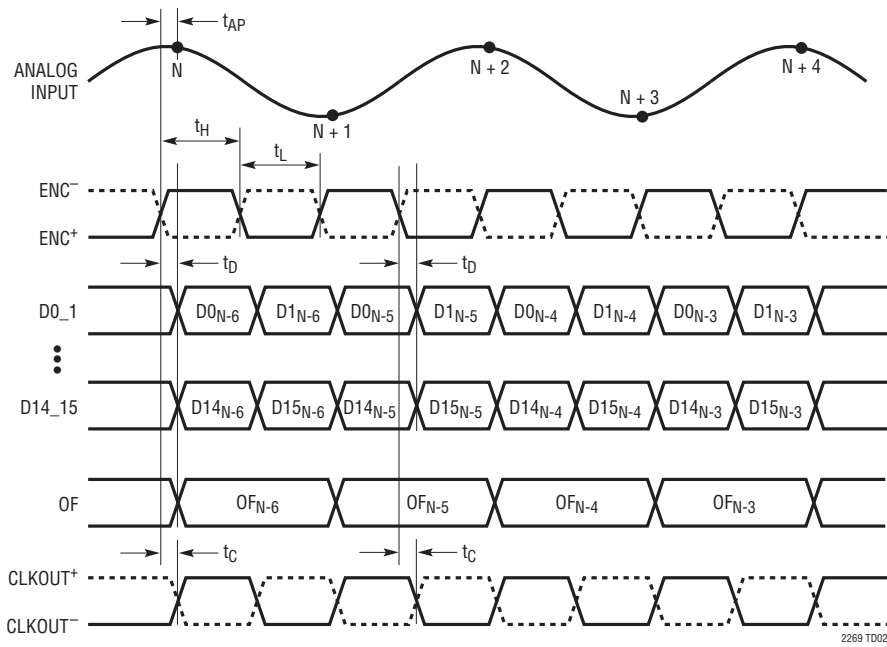
フルレート CMOS 出力モードのタイミング
すべての出力はシングルエンドでCMOSレベル



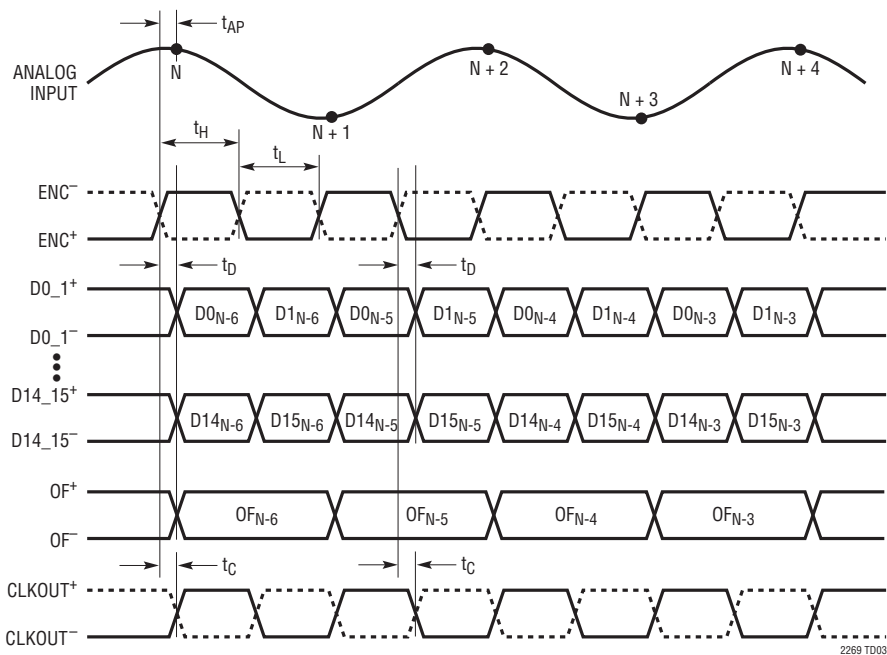
2269 TD01

タイミング図

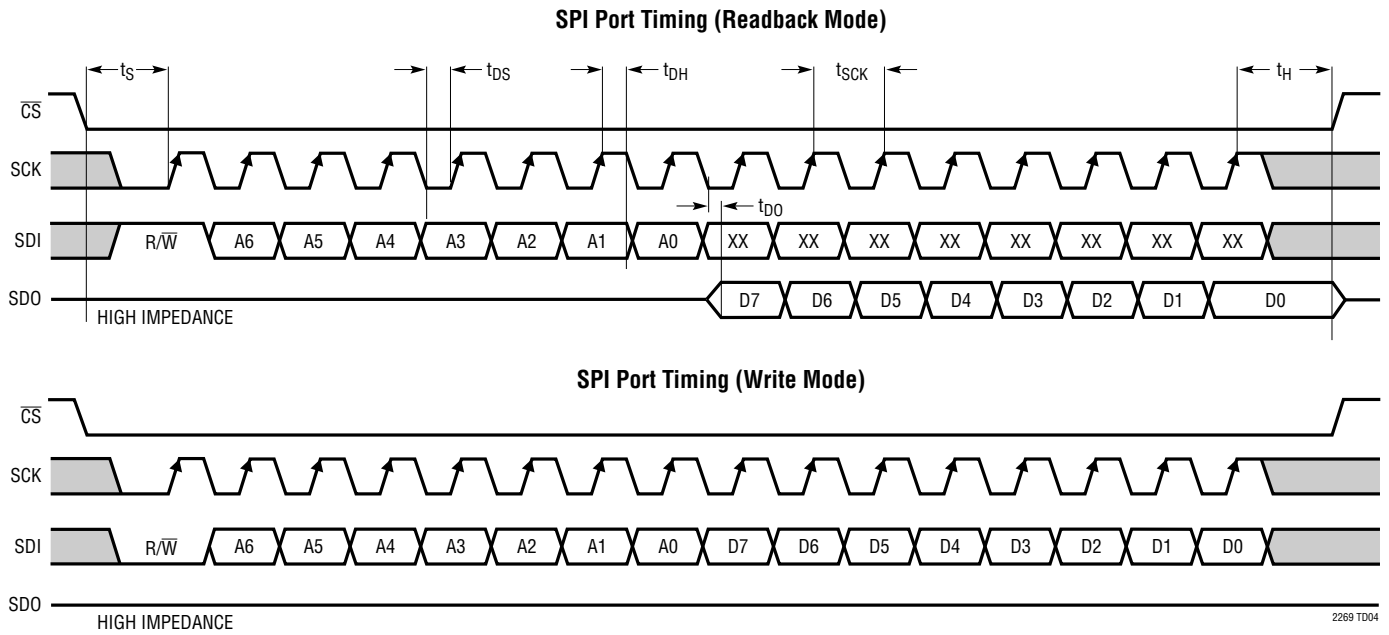
ダブルデータレート CMOS 出力モードのタイミング
すべての出力はシングルエンドで CMOS レベル



ダブルデータレート LVDS 出力モードのタイミング
すべての出力は差動で LVDS レベル

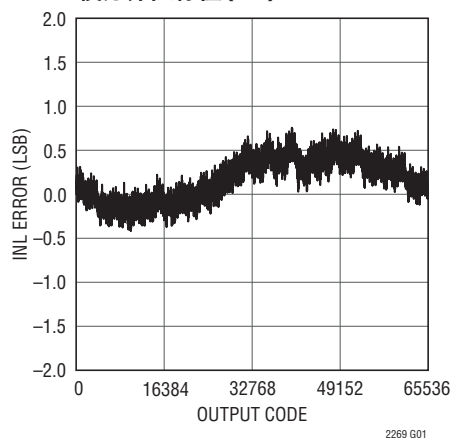


タイミング図

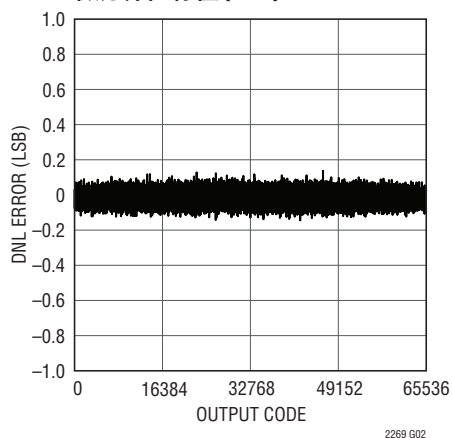


標準的性能特性

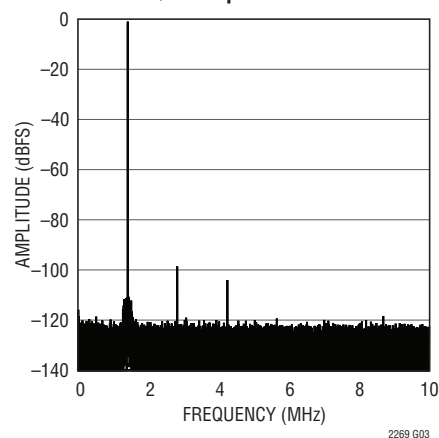
積分非直線性 (INL)



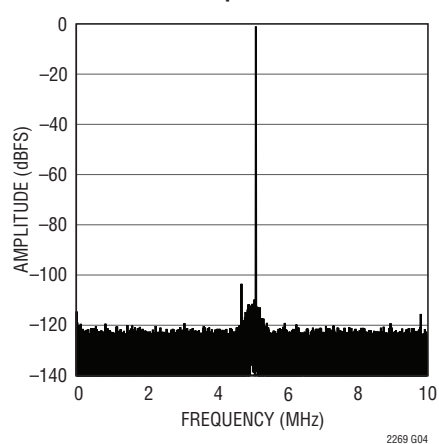
微分非直線性 (DNL)



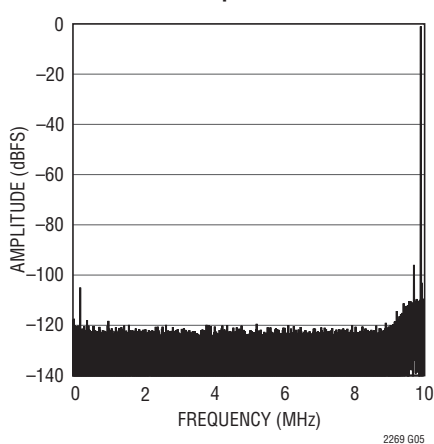
64k ポイントの FFT、 $f_{IN} = 1.4\text{MHz}$ 、 -1dBFS 、 20Mps



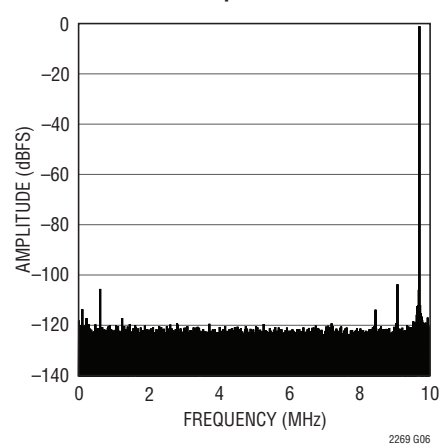
64k ポイントの FFT、 $f_{IN} = 5.1\text{MHz}$ 、 -1dBFS 、 20Mps



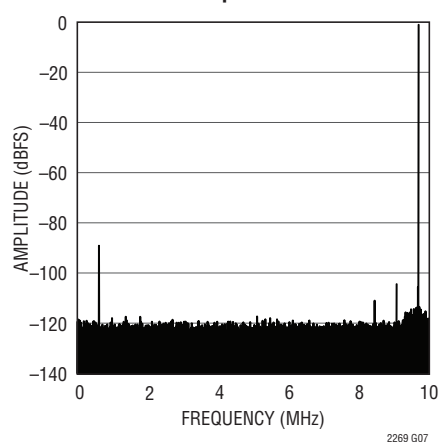
64k ポイントの FFT、 $f_{IN} = 10\text{MHz}$ 、 -1dBFS 、 20Mps



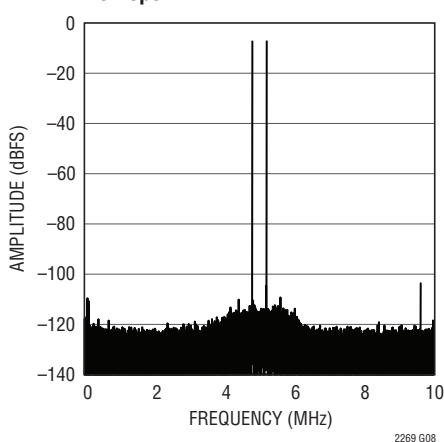
64k ポイントの FFT、 $f_{IN} = 30.3\text{MHz}$ 、 -1dBFS 、 20Mps



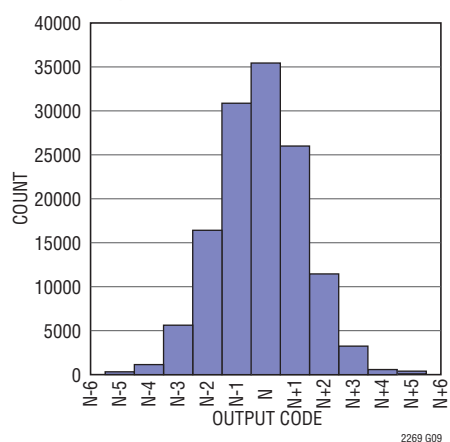
64k ポイントの FFT、 $f_{IN} = 70.3\text{MHz}$ 、 -1dBFS 、 20Mps



64k ポイントの 2 トーン FFT、 $f_{IN} = 14.8\text{MHz}$ 、 15.2MHz 、 -7dBFS 、 20Mps

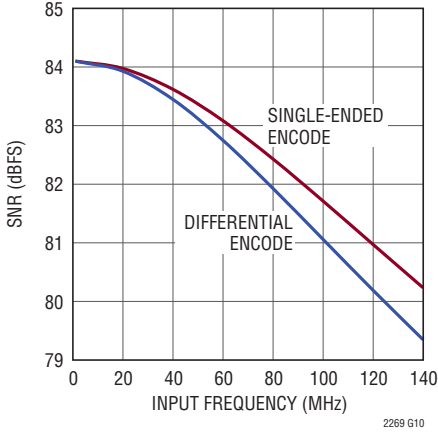


短絡入力のヒストグラム

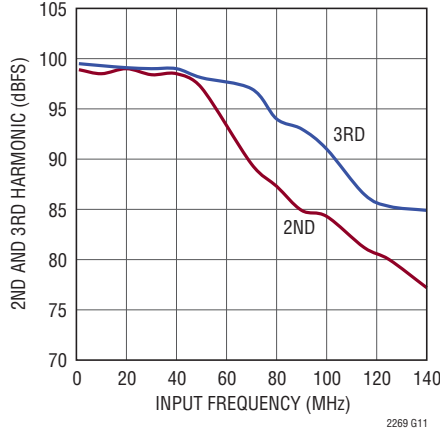


標準的性能特性

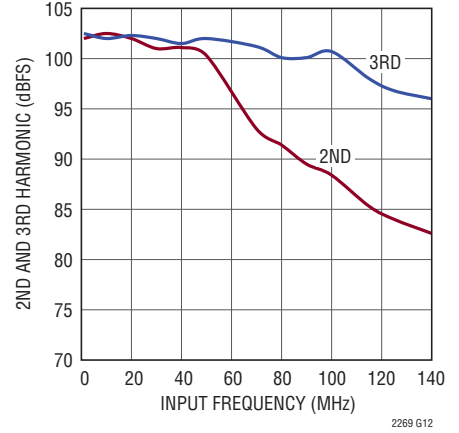
SNRと入力周波数、-1dBFS、
20Mps、2.1V範囲



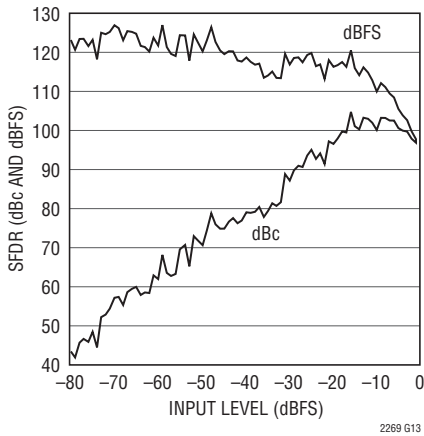
2次および3次高調波と入力周波数、
-1dBFS、20Mps、2.1V範囲



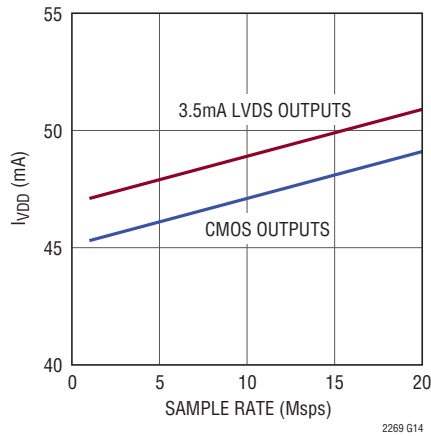
2次および3次高調波と入力周波数、
-1dBFS、20Mps、1.05V範囲



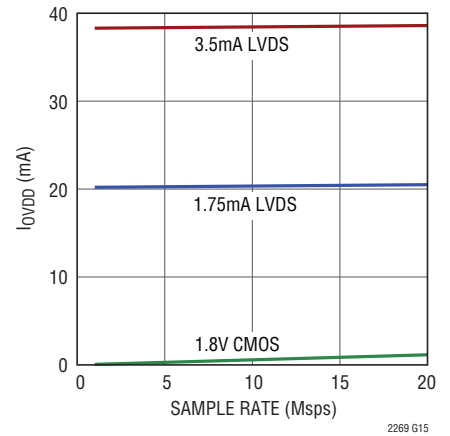
SFDRと入力レベル、 $f_{IN} = 5\text{MHz}$ 、
20Mps



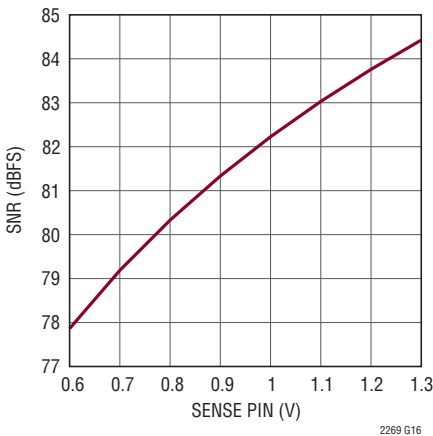
I_{VDD} とサンプル・レート、5MHz、
-1dBFSの正弦波入力



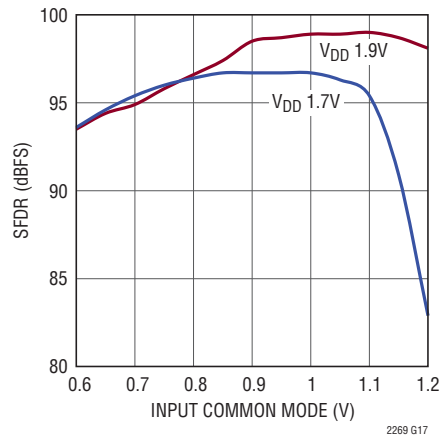
I_{VDD} とサンプル・レート、5MHz、
-1dBFSの正弦波入力



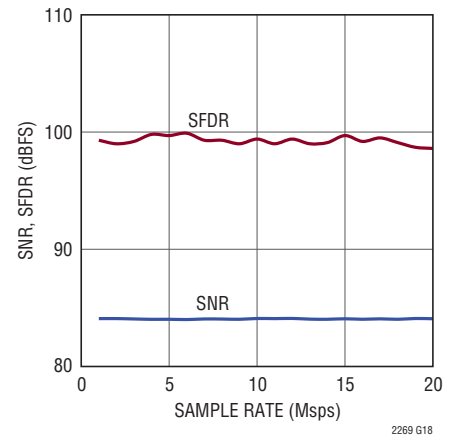
SNRとSENSEピンの電圧、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS



SFDRとアナログ入力同相レベル、
 $f_{IN} = 9.7\text{MHz}$ 、20Mps、2.1V範囲



SNR、SFDRとサンプル・レート、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS



ピン機能

(すべてのデジタル出力モードで同じピン)

V_{CM} (ピン1) : 同相バイアス出力。公称値は $V_{DD}/2$ に等しい。V_{CM} はアナログ入力の同相レベルをバイアスするのに使用します。1 μ F のセラミック・コンデンサを使用してグラウンドにバイパスします。

A_{IN}⁺ (ピン2) : 正の差動アナログ入力。

A_{IN}⁻ (ピン3) : 負の差動アナログ入力。

GND (ピン4、10、11、14、20、43、露出パッド・ピン49) : A/D コンバータの電源グラウンド。露出パッドはプリント回路基板のグラウンドに半田付けする必要があります。

REFH (ピン5、7) : A/D コンバータの“H”リファレンス。REFH および REFL の推奨バイパス回路については「アプリケーション情報」のセクションを参照してください。

REFL (ピン6、8) : A/D コンバータの“L”リファレンス。REFH および REFL の推奨バイパス回路については「アプリケーション情報」のセクションを参照してください。

PAR/SER (ピン9) : プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグラウンドに接続します。 \overline{CS} 、SCK、SDI、SDO は A/D コンバータの動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブルするには V_{DD} に接続します。この場合、 \overline{CS} 、SCK、SDI、SDO は、A/D コンバータの(種類が限定された)動作モードを制御するパラレル・ロジック入力になります。PAR/SER はグラウンドまたは V_{DD} に直接接続し、ロジック信号では駆動しないようにします。

V_{DD} (ピン12、13、47、48) : 1.7V ~ 1.9V のアナログ電源。0.1 μ F のセラミック・コンデンサを使用してグラウンドにバイパスします。隣接するピンはバイパス・コンデンサを共有することができます。

ENC⁺ (ピン15) : エンコード入力。立ち上がりエッジで変換が開始されます。

ENC⁻ (ピン16) : エンコード相補入力。立ち下がりエッジで変換が開始されます。シングルエンド・エンコード・モードの場合は GND に接続します。

\overline{CS} (ピン17) : シリアル・インタフェースのチップ選択入力。シリアル・プログラミング・モード (PAR/SER = 0V) では、 \overline{CS} はシリアル・インタフェースのチップ選択入力です。 \overline{CS} が“L”のとき、SCK がイネーブルされ、SDI のデータはモード制御レジスタにシフトします。パラレル・プログラミング・モード (PAR/SER = V_{DD}) では、 \overline{CS} はクロック・デューティ・サイクル・スタビライザを制御します(表2を参照)。 \overline{CS} は、1.8V ~ 3.3V のロジックで駆動できます。

SCK (ピン18) : シリアル・インタフェースのクロック入力。シリアル・プログラミング・モード (PAR/SER = 0V) では、SCK はシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モード (PAR/SER = V_{DD}) では、SCK はデジタル出力モードを制御します(表2を参照)。SCK は 1.8V ~ 3.3V のロジックで駆動することができます。

SDI (ピン19) : シリアル・インタフェースのデータ入力。シリアル・プログラミング・モード (PAR/SER = 0V) では、SDI はシリアル・インタフェースのデータ入力です。SDI のデータは、SCK の立ち上がりエッジで同期してモード制御レジスタに入ります。パラレル・プログラミング・モード (PAR/SER = V_{DD}) では、SDI を SDO と一緒に使ってデバイスの供給電力を下げるすることができます(表2を参照)。SDI は 1.8V ~ 3.3V のロジックで駆動することができます。

OGND (ピン31) : 出力ドライバのグラウンド。インダクタンスがきわめて低い経路でグラウンド・プレーンに短絡する必要があります。このピンの近くに複数のビアを使用します。

OV_{DD} (ピン32) : 出力ドライバの電源。0.1 μ F のセラミック・コンデンサを使ってグラウンドにバイパスします。

SDO (ピン44) : シリアル・インタフェースのデータ出力。シリアル・プログラミング・モード (PAR/SER = 0V) では、SDO はオプションのシリアル・インタフェースのデータ出力です。SDO のデータは、モード制御レジスタから読み出して SCK の立ち下がりエッジでラッチすることができます。SDO はオープンドレインの NMOS 出力で、2k の外付けプルアップ抵抗を 1.8V ~ 3.3V に接続する必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要であり、SDO は未接続のままかまいません。パラレル・プログラミング・モード (PAR/SER = V_{DD}) では、SDO を SDI と一緒に使ってデバイスの供給電力を下げるすることができます(表2を参照)。SDO を入力として使用する場合には、1k の直列抵抗を介して 1.8V ~ 3.3V のロジックで駆動することができます。

V_{REF} (ピン45) : リファレンス電圧出力。2.2 μ F のセラミック・コンデンサを使ってグラウンドにバイパスします。出力電圧は公称 1.25V です。

SENSE (ピン46) : リファレンスのプログラミング・ピン。SENSE を V_{DD} に接続すると、内部リファレンスと $\pm 1.05V$ の入力範囲が選択されます。SENSE をグラウンドに接続すると、内部リファレンスと $\pm 0.525V$ の入力範囲が選択されます。0.625V ~ 1.3V の外部リファレンスを SENSE に印加すると、 $\pm 0.84 \cdot V_{SENSE}$ の入力範囲が選択されます。

ピン機能

フルデータレート CMOS 出力モード

以下のすべてのピンは CMOS 出力レベル (OGND から 0_{VDD} まで) を備えています。

D0~D15 (ピン 21~28、33~40) : デジタル出力。D15 が MSB です。

CLKOUT⁻ (ピン 29) : CLKOUT⁺ の反転バージョン。

CLKOUT⁺ (ピン 30) : データ出力クロック。デジタル出力は、通常、CLKOUT⁺ の立ち下がりエッジと同時に遷移します。CLKOUT⁺ の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

DNC (ピン 41) : このピンは接続しないでください。

OF (ピン 42) : オーバーフロー/アンダーフローのデジタル出力。オーバーフローやアンダーフローが生じると、OF は“H”になります。

ダブルデータレート CMOS 出力モード

以下のすべてのピンは CMOS 出力レベル (OGND から 0_{VDD} まで) を備えています。

D0_1~D14_15 (ピン 22、24、26、28、34、36、38、40) : ダブルデータレート・デジタル出力。2つのデータ・ビットが各出力ピンに多重化されます。CLKOUT⁺ が“L”のとき、偶数データ・ビット (D0、D2、D4、D6、D8、D10、D12、D14) が現れます。CLKOUT⁺ が“H”のとき、奇数データ・ビット (D1、D3、D5、D7、D9、D11、D13、D15) が現れます。

DNC (ピン 21、23、25、27、33、35、37、39、41) : これらのピンは接続しないでください。

CLKOUT⁻ (ピン 29) : CLKOUT⁺ の反転バージョン。

CLKOUT⁺ (ピン 30) : データ出力クロック。デジタル出力は、通常、CLKOUT⁺ の立ち下がりエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT⁺ の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

OF (ピン 42) : オーバーフロー/アンダーフローのデジタル出力。オーバーフローやアンダーフローが生じると、OF は“H”になります。

ダブルデータレート LVDS 出力モード

以下のすべてのピンは LVDS 出力レベルを備えています。出力電流レベルはプログラム可能です。各 LVDS 出力対のピンの間にはオプションの内部 100Ω 終端抵抗があります。

D0_1⁻/D0_1⁺~D14_15⁻/D14_15⁺ (ピン 21/22、23/24、25/26、27/28、33/34、35/36、37/38、39/40) : ダブルデータレート・デジタル出力。2つのデータ・ビットが各差動出力対に多重化されます。CLKOUT⁺ が“L”のとき、偶数データ・ビット (D0、D2、D4、D6、D8、D10、D12、D14) が現れます。CLKOUT⁺ が“H”のとき、奇数データ・ビット (D1、D3、D5、D7、D9、D11、D13、D15) が現れます。

CLKOUT⁻/CLKOUT⁺ (ピン 39/40) : データ出力クロック。デジタル出力は、通常、CLKOUT⁺ の立ち下がりエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT⁺ の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

OF/OF⁺ (ピン 41/42) : オーバーフロー/アンダーフローのデジタル出力。オーバーフローやアンダーフローが生じると、OF は“H”になります。

機能ブロック図

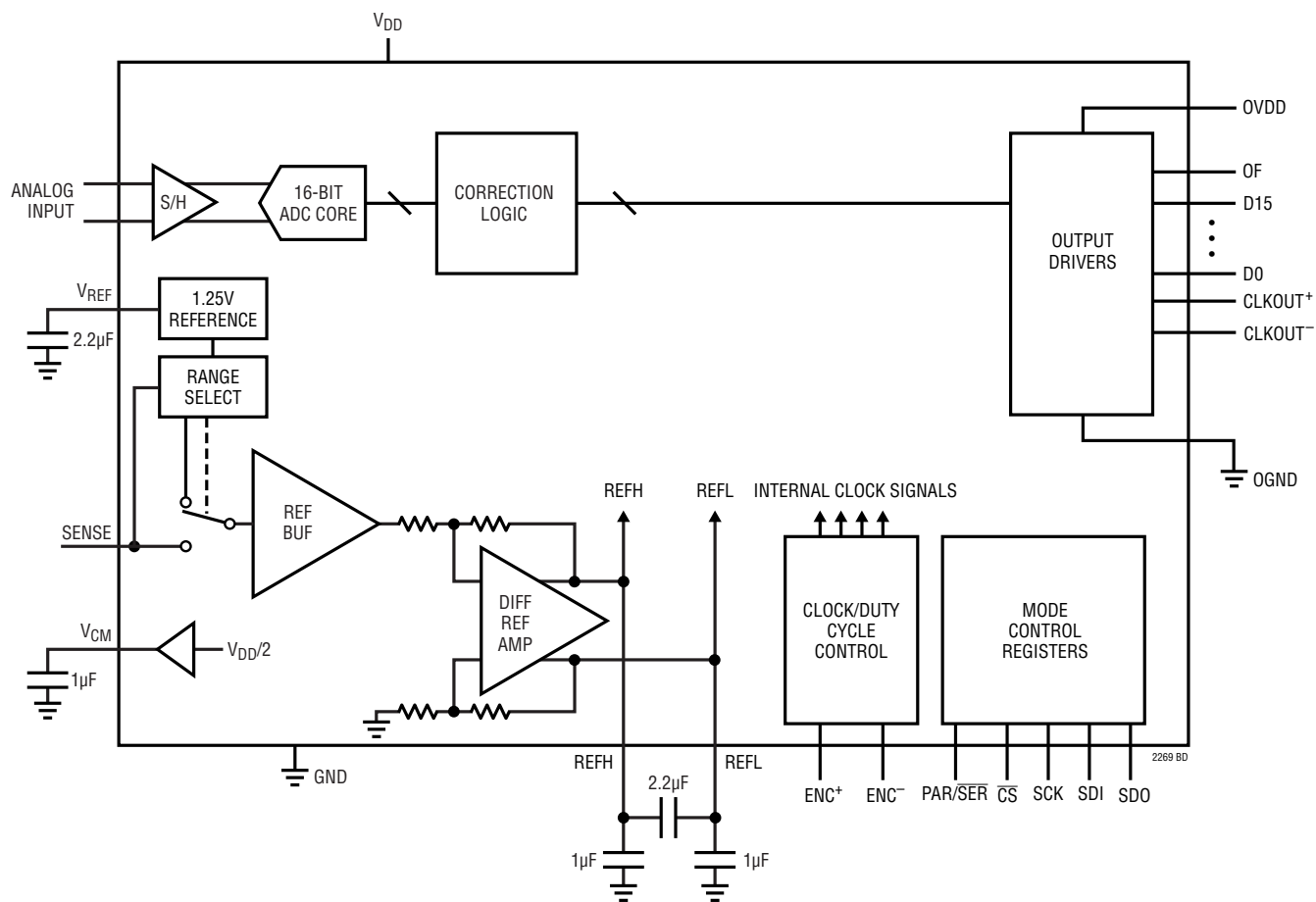
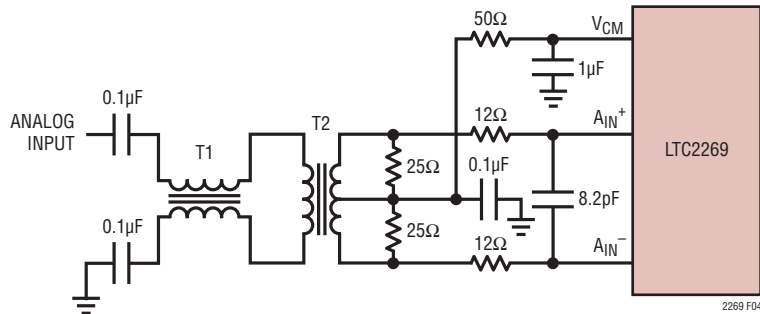


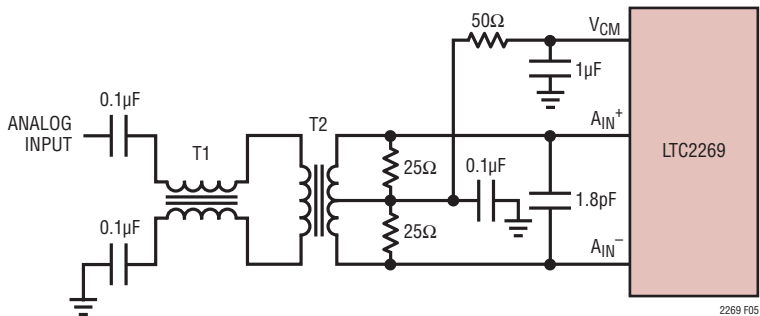
図1. 機能ブロック図

アプリケーション情報



T1: MA/COM MABA-007159-000000
 T2: COILCRAFT WBC1-1TL
 RESISTORS, CAPACITORS ARE 0402 PACKAGE SIZE

図4. 5MHz～80MHzの入力周波数用の
 推奨フロントエンド回路



T1: MA/COM MABA-007159-000000
 T2: COILCRAFT WBC1-1TL
 RESISTORS, CAPACITORS ARE 0402 PACKAGE SIZE

図5. 80MHzを超える入力周波数用の
 推奨フロントエンド回路

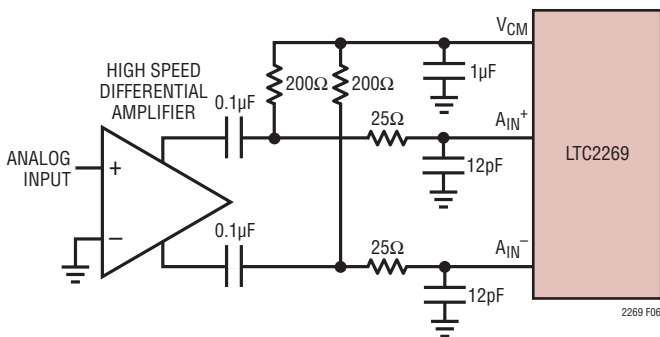


図6. 高速差動アンプを使用した
 フロントエンド回路

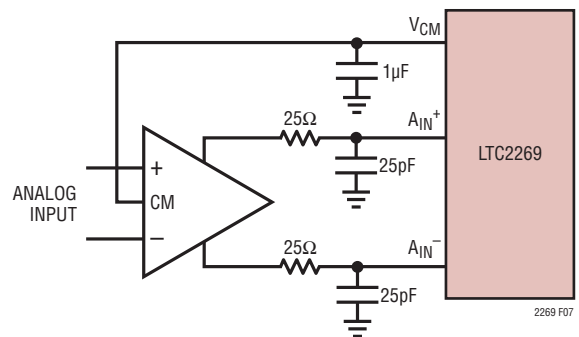


図7. DC結合アンプ

アプリケーション情報

リファレンス

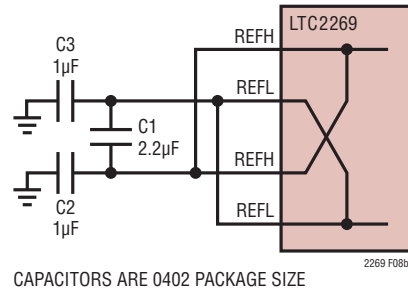
LTC2269は1.25Vの電圧リファレンスを内蔵しています。内部リファレンスを使用する2.1Vの入力範囲の場合は、SENSEピンをV_{DD}に接続します。内部リファレンスを使用する1.05Vの入力範囲の場合は、SENSEピンをグラウンドに接続します。外部リファレンスを使用する2.1Vの入力範囲の場合は、1.25Vのリファレンス電圧をSENSEピンに加えます(図9)。

0.625V～1.30Vの電圧をSENSEピンに印加することによって入力範囲を調整することができます。これにより、入力範囲は $1.68 \cdot V_{SENSE}$ になります。

V_{REF}、REFHおよびREFLの各ピンは図8aに示すようにバイパスします。REFHとREFLの間のバイパス・コンデンサには、低インダクタンスの2.2μF交互嵌合型コンデンサを推奨します。このタイプのコンデンサは複数のメーカーから低価格で販売されています。

また、REFHとREFLの間のC1を標準の2.2μFコンデンサで置き換えることができます。コンデンサは(回路基板の裏面ではなく)これら2つのピンにできるだけ近づけます。

REFH/REFLのバイパス・コンデンサの推奨の回路基板レイアウトを図8cおよび図8dに示します。図8cでは、メーカーによっては交互嵌合型コンデンサ(C1)のピンが内部で接続されていないため、C1のすべてのピンを接続していることに注意してください。図8dでは、内部層の短いジャンパによってREFHピンとREFLピンを接続しています。これらのジャンパのインダクタンスを最小限に抑えるために、ジャンパは別の基板層のグラウンド・プレーンの小さい穴に配置することができます。



CAPACITORS ARE 0402 PACKAGE SIZE

図8b. REFH/REFLの代替バイパス回路

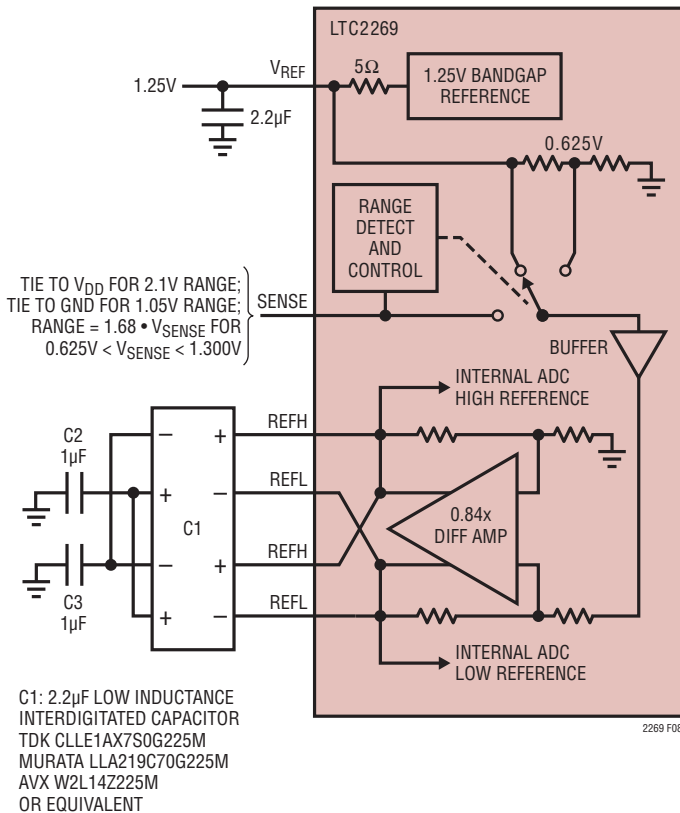


図8a. リファレンス回路

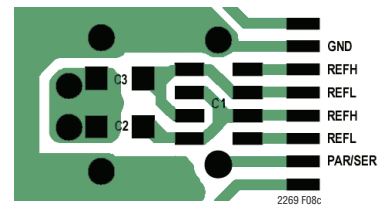


図8c. 図8aのREFH/REFLバイパス回路の推奨レイアウト

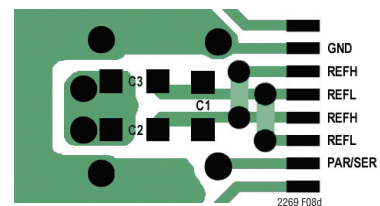


図8d. 図8bのREFH/REFLバイパス回路の推奨レイアウト

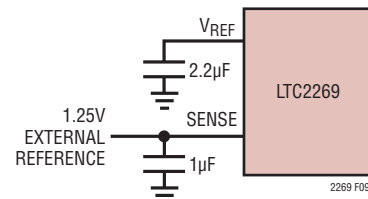


図9. 1.25Vの外部リファレンスの使い方

アプリケーション情報

エンコード入力

エンコード入力の信号品質は、A/Dコンバータのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。このため、回路基板上的デジタル・トレースに隣接して配線しないようにしてください。エンコード入力には2つの動作モードがあります。差動エンコード・モード(図10)とシングルエンド・エンコード・モード(図11)です。

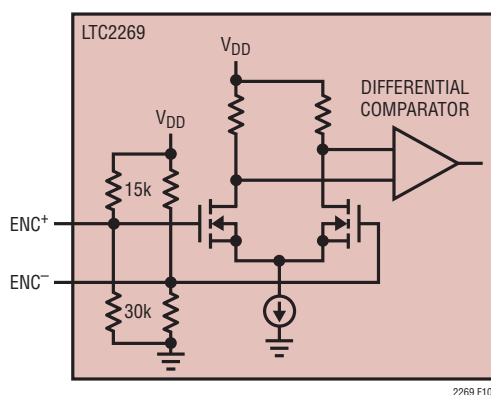


図10. 差動エンコード・モードの等価エンコード入力回路

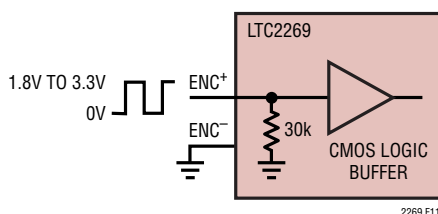
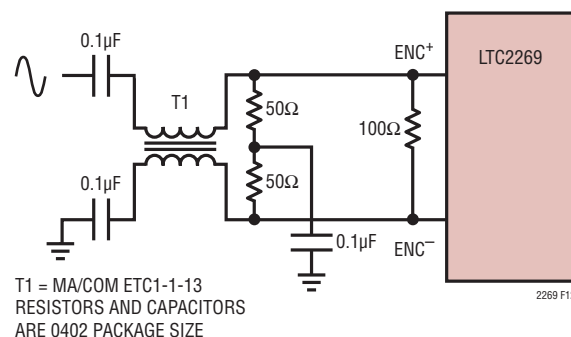


図11. シングルエンド・エンコード・モードの等価エンコード入力回路

差動エンコード・モードは、正弦波、PECLまたはLVDSのエンコード入力の場合に推奨します(図12、図13)。エンコード入力は内部で10kΩの等価抵抗を介して1.2Vにバイアスされています。エンコード入力はV_{DD}より高くすることができ(最大3.6V)、同相範囲は1.1V~1.6Vです。差動エンコード・モードでは、ENC⁻をグランドより200mV以上高い電圧に維持して、シングルエンド・エンコード・モードが誤作動しないようにします。良好なジッタ性能を得るため、ENC⁺とENC⁻の立ち上がり時間と立ち下がり時間は短くします。

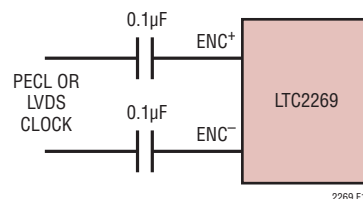
シングルエンド・エンコード・モードは、CMOSエンコード入力と組み合わせて使用します。このモードを選択するには、ENC⁻をグランドに接続し、ENC⁺を方波のエンコード入力で駆動します。ENC⁺はV_{DD}より高くすることができるので(最大3.6V)、1.8V~3.3VのCMOSロジック・レベルを使用することができます。



T1 = MA/COM ETC1-1-13
RESISTORS AND CAPACITORS
ARE 0402 PACKAGE SIZE

2269 F12

図12. 正弦波のエンコード・ドライブ



2269 F13

図13. PECLまたはLVDSのエンコード・ドライブ

ENC⁺のしきい値は0.9Vです。良好なジッタ性能を得るため、ENC⁺の立ち上がり時間と立ち下がり時間は短くします。

エンコード信号がオフするか、または約500kHzより低い周波数になると、A/Dコンバータはナップ・モードになります。

クロック・デューティ・サイクル・スタビライザ

良い性能を実現するには、エンコード信号のデューティ・サイクルを50%(±5%)にします。オプションのクロック・デューティ・サイクル・スタビライザ回路がイネーブルされていると、エンコードのデューティ・サイクルは10%~90%の間で変化することができ、デューティ・サイクル・スタビライザは内部のデューティ・サイクルを一定の50%に保ちます。エンコード信号の周波数が変わると、デューティ・サイクル・スタビライザ回路は入力クロックにロックするのに100クロック・サイクルを要します。デューティ・サイクル・スタビライザはモード制御レジスタA2(シリアル・プログラミング・モード)またはCS(パラレル・プログラミング・モード)によってイネーブルされます。

サンプル・レートを迅速に変更する必要があるアプリケーションでは、クロック・デューティ・サイクル・スタビライザをディスエーブルすることができます。デューティ・サイクル・スタビライザをディスエーブルする場合は、サンプリング・クロックのデューティ・サイクルが50%(±5%)になるように注意してください。デューティ・サイクル・スタビライザは2Mspsより低いレートでは使用しないでください。

2269f

アプリケーション情報

デジタル出力

デジタル出力モード

LTC2269は、フルレートCMOSモード、(出力ライン数を半分に減らすための)ダブルデータレートCMOSモード、(システム内のデジタル・ノイズを減らすための)ダブルデータレートLVDSモードという3種類のデジタル出力モードで動作できます。出力モードはモード制御レジスタA3(シリアル・プログラミング・モード)、またはSCK(パラレル・プログラミング・モード)によって設定されます。ダブルデータレートCMOSモードはパラレル・プログラミング・モードでは選択できないことに注意してください。

フルレートCMOSモード

フルレートCMOSモードでは、データ出力(D0~D15、オーバーフロー(OF)、およびデータ出力クロック(CLKOUT⁺、CLKOUT⁻)はCMOS出力レベルになります。出力はOV_{DD}とOGNDから電力を供給され、A/Dコンバータのコアの電源とグラウンドからは分離されています。OV_{DD}は1.1V~1.9Vの範囲をとることができるので、1.2V~1.8VのCMOSロジック出力が可能です。

良好な性能を得るために、デジタル出力が駆動する容量性負荷は最小限に抑えます。負荷容量が10pFより大きい場合は、デジタル・バッファを使用します。

ダブルデータレートCMOSモード

ダブルデータレートCMOSモードでは、2つのデータ・ビットが多重化されて各データ・ピンに出力されます。これにより、デジタル・ラインの数が8だけ減るので、基板配線が簡単になり、データを受け取るのに必要な入力ピンの数が減ります。データ出力(D0_1、D2_3、D4_5、D6_7、D8_9、D10_11、D12_13、D14_15)、オーバーフロー(OF)、およびデータ出力クロック(CLKOUT⁺、CLKOUT⁻)はCMOS出力レベルです。出力はOV_{DD}とOGNDから電力を供給され、A/Dコンバータのコアの電源とグラウンドからは分離されています。OV_{DD}は1.1V~1.9Vの範囲をとることができるので、1.2V~1.8VのCMOSロジック出力が可能です。

良好な性能を得るために、デジタル出力が駆動する容量性負荷は最小限に抑えます。負荷容量が10pFより大きい場合は、デジタル・バッファを使用します。

ダブルデータレートLVDSモード

ダブルデータレートLVDSモードでは、2つのデータ・ビットが多重化されて各差動出力対に出力されます。デジタル出力データに対しては8つのLVDS出力対(D0_1⁺/D0_1⁻~D14_15⁺/D14_15⁻)があります。オーバーフロー(OF⁺/OF⁻)およびデータ出力クロック(CLKOUT⁺/CLKOUT⁻)には、それぞれLVDS出力対が1つあります。

デフォルトでは、出力は標準LVDSレベルです。すなわち、出力電流が3.5mA、出力同相電圧が1.25Vです。各LVDS出力対には外付けの100Ω差動終端抵抗が必要です。終端抵抗は、LVDSレシーバのできるだけ近くに配置してください。

出力はOV_{DD}とOGNDから電力を供給され、A/Dコンバータのコアの電源とグラウンドからは分離されています。LVDSモードでは、OV_{DD}を1.8Vにする必要があります。

設定可能なLVDS出力電流

LVDSモードでは、デフォルトの出力ドライバ電流は3.5mAです。この電流は、モード制御レジスタA3を連続的にプログラムすることにより調整できます。設定可能な電流レベルは、1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mAおよび4.5mAです。

オプションのLVDSドライバの内部終端

ほとんどの場合は、100Ωの外付け終端抵抗を使用するだけでLVDSの優れた信号品位が得られます。さらに、モード制御レジスタA3を連続的にプログラムすることにより、オプションの100Ω内部終端抵抗をイネーブルすることができます。内部終端には、レシーバ側の不完全な終端によって生じる反射を吸収する効果があります。内部終端がイネーブルされると、同じ出力電圧振幅を維持するために、出力ドライバ電流は2倍になります。

オーバーフロー・ビット

アナログ入力にオーバーレンジまたはアンダーレンジが生じると、オーバーフロー出力ビットはロジック“H”を出力します。オーバーフロー・ビットにはデータ・ビットと同じパイプライン待ち時間があります。

アプリケーション情報

出力クロックの位相シフト

フルレートCMOSモードでは、データ出力ビットは通常CLKOUT⁺の立ち下がりエッジと同時に変化するので、CLKOUT⁺の立ち上がりエッジを使って出力データをラッチすることができます。ダブルデータレートのCMOSモードおよびLVDSモードでは、データ出力ビットは通常CLKOUT⁺の立ち下がりエッジおよび立ち上がりエッジと同時に変化します。データをラッチするときに適切なセットアップ時間とホールド時間を確保するには、データ出力ビットに対してCLKOUT⁺信号の位相をシフトさせることが必要な場合があります。ほとんどのFPGAはこの機能を備えており、通常はこれがタイミングを調整する最良のポイントです。

LTC2269は、モード制御レジスタA2を連続的にプログラムすることにより、CLKOUT⁺/CLKOUT⁻信号の位相をシフトすることもできます。出力クロックは0°、45°、90°または135°の単位でシフトすることができます。位相シフト機能を使用するには、クロック・デューティ・サイクル・スタビライザをオンにする必要があります。もう1つの制御レジスタ・ビットは、位相シフトとは関係なく、CLKOUT⁺とCLKOUT⁻の極性を反転させることができます。これら2つの機能を組み合わせると、45°から315°までの位相シフトが可能になります(図14)。

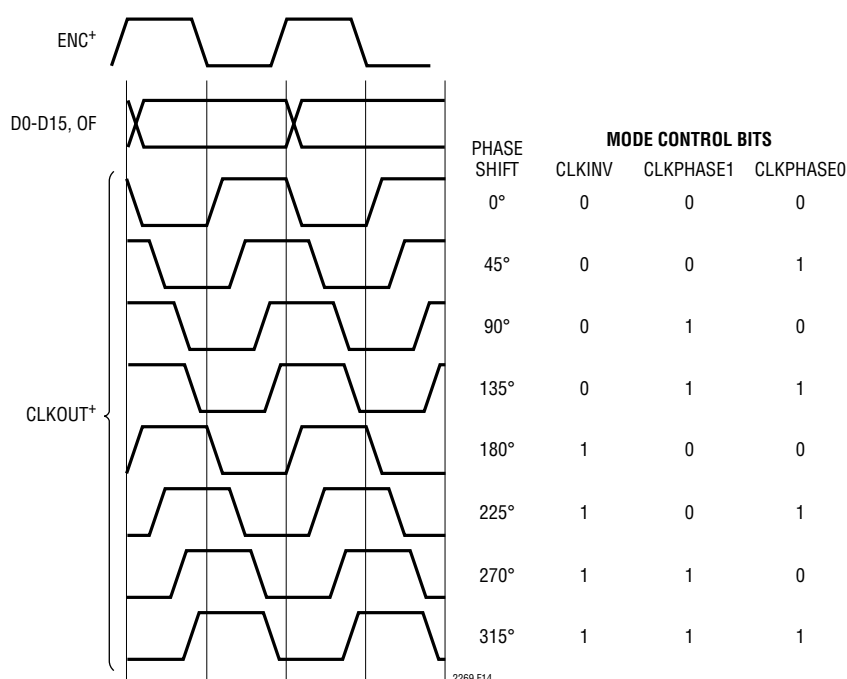


図14. CLKOUTの位相シフト

表1. 出力コードと入力電圧

A _{IN} ⁺ - A _{IN} ⁻ (2V範囲)	OF	D15~D0 (オフセット・バイナリ)	D15~D0 (2の補数)
>1.000000V	1	1111 1111 1111 1111	0111 1111 1111 1111
+0.999970V	0	1111 1111 1111 1111	0111 1111 1111 1111
+0.999939V	0	1111 1111 1111 1110	0111 1111 1111 1110
+0.000030V	0	1000 0000 0000 0001	0000 0000 0000 0001
+0.000000V	0	1000 0000 0000 0000	0000 0000 0000 0000
-0.000030V	0	0111 1111 1111 1111	1111 1111 1111 1111
-0.000061V	0	0111 1111 1111 1110	1111 1111 1111 1110
-0.999939V	0	0000 0000 0000 0001	1000 0000 0000 0001
-1.000000V	0	0000 0000 0000 0000	1000 0000 0000 0000
<-1.000000V	1	0000 0000 0000 0000	1000 0000 0000 0000

アプリケーション情報

データ形式

アナログ入力電圧、デジタル・データ出力ビット、およびオーバーフロー・ビットの相互関係を表1に示します。デフォルトでは、出力のデータ形式はオフセット・バイナリです。モード制御レジスタA4を連続的にプログラムすることにより、2の補数形式を選択することができます。

デジタル出力ランダムマイザ

A/Dコンバータのデジタル出力からの干渉は、場合によっては避けられません。デジタル干渉は、容量性結合や誘導性結合、あるいはグランド・プレーンを介した結合によって発生する可能性があります。結合係数がきわめて小さい場合でも、そのためにA/Dコンバータの出力スペクトルに不要なトーンが発生することがあります。デジタル出力をデバイスから伝送する前にランダム化することにより、これらの不要なトーンをランダム化し、それによって不要なトーン振幅を減少させることができます。

デジタル出力は、LSBと他のすべてのデータ出力ビットとの間で排他的論理和演算を行うことによってランダム化されます。デコードするには逆の演算を行います。つまり、LSBと他のすべてのビットとの間で排他的論理和演算を行います。LSB、OF、およびCLKOUTの各出力は影響を受けません。出力ランダムマイザは、モード制御レジスタA4を連続的にプログラムすることによってイネーブルすることができます。

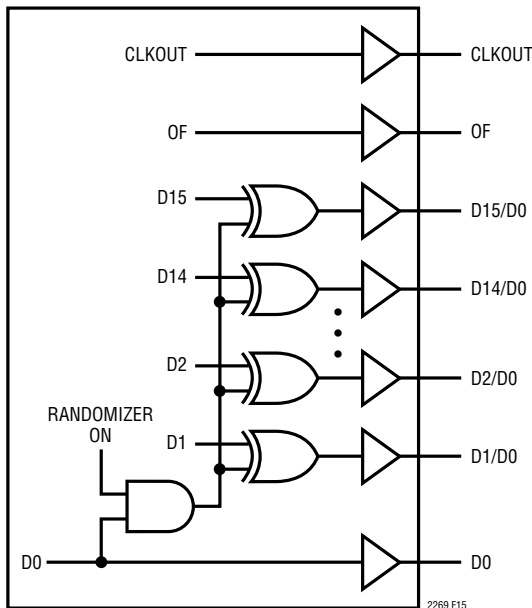


図15. デジタル出力ランダムマイザの等価機能

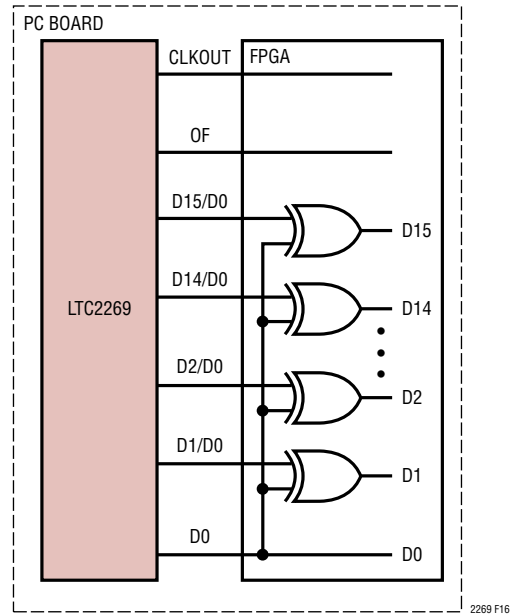


図16. ランダム化されたデジタル出力信号の復号

交互ビット極性

回路基板のデジタル帰還を減らすもうひとつの機能は交互ビット極性モードです。このモードがイネーブルされると、全ての奇数ビット(D1、D3、D5、D7、D9、D11、D13、D15)が出力バッファの前で反転します。偶数ビット(D0、D2、D4、D6、D8、D10、D12、D14)、OFおよびCLKOUTは影響を受けません。これにより、回路基板のグランド・プレーンのデジタル電流を減らし、(特に非常に小さなアナログ入力信号の場合)デジタル・ノイズを減らすことができます。

A/Dコンバータの入力にミッドスケール付近を中心とした微小信号があると、デジタル出力はほとんどのビットが1の状態とほとんどのビットが0の状態との間で切り換わります。このようにほとんどのビットが同時に切り換わると、大電流がグランド・プレーンに流れます。交互ビット極性モードでは、ビットを1つおきに反転することにより、全ビットの半数が“H”に遷移し、同時に全ビットの半数が“L”に遷移します。これにより、グランド・プレーンの電流が打ち消され、デジタル・ノイズが減少します。

デジタル出力は、奇数ビット(D1、D3、D5、D7、D9、D11、D13、D15)を反転させることにより、レシーバでデコードされます。交互ビット極性モードはデジタル出力ランダムマイザからは独立しています。つまり、どちらか一方の機能をオンすることも、両方の機能を同時にオンすることも、両方の機能を同時にオフすることも可能です。交互ビット極性モードは、モード制御レジスタA4を連続的にプログラムすることによってイネーブルされます。

アプリケーション情報

デジタル出力のテストパターン

A/Dコンバータのデジタル・インタフェースのインサート・テストを可能にするため、A/Dコンバータのデータ出力(OF、D15～D0)を強制的に既知の値にするいくつかのテスト・モードがあります。

オール1:すべての出力が1

オール0:すべての出力が0

交互:サンプルの出力が交互にオール1からオール0に変化する。

格子縞:サンプルの出力が交互に1010101010101010から01010101010101010に変化する。

デジタル出力のテスト・パターンは、モード制御レジスタA4を連続的にプログラムすることによってイネーブルされます。テストパターンがイネーブルされると、他のすべての形式設定モード(2の補数、ランダムイザ、交互ビット極性)は無効になります。

出力のディスエーブル

デジタル出力はモード制御レジスタA3を連続的にプログラムすることによってディスエーブルすることができます。OFおよびCLKOUTを含むすべてのデジタル出力がディスエーブルされます。高インピーダンスのディスエーブル状態は、インサート・テストまたは長期間の休止状態のためであり、複数のコンバータ間でデータ・バスをフルスピードで多重化するには遅すぎて使えません。出力をディスエーブルするときは、A/Dコンバータをスリープ・モードまたはナップ・モードにしてください。

スリープ・モードとナップ・モード

節電のため、A/Dコンバータをスリープ・モードまたはナップ・モードにすることができます。スリープ・モードでは、デバイス全体の供給電力が低下し、消費電力は0.5mWになります。スリープ・モードから復帰するために必要な時間は、V_{REF}、REFH、およびREFLのバイパス・コンデンサのサイズによって異なります。図8の推奨値の場合、A/Dコンバータは2ms後に安定化します。

ナップ・モードでは、A/Dコンバータのコアへの供給電力は低下しますが、内部リファレンス回路はアクティブなままなので、スリープ・モードよりも速く復帰することができます。ナップ・モードからの復帰には、最低でも100クロック・サイクルが必要です。非常に正確なDCセトリングが必要なアプリケーションの場合は、50 μ sを追加することにより、A/Dコンバータがナップ・モードから移行するときの電源電流の変化によって生じるわずかな温度変化に対して、内蔵リファレンスがセトリングできるようにします。

スリープ・モードとナップ・モードは、モード制御レジスタA1(シリアル・プログラミング・モード)またはSDIとSDO(パラレル・プログラミング・モード)によってイネーブルされます。

デバイスのプログラミング・モード

LTC2269の動作モードはパラレル・インタフェースまたは簡単なシリアル・インタフェースのどちらでもプログラム可能です。シリアル・インタフェースの方が柔軟性が高く、選択可能なすべてのモードをプログラムできます。パラレル・インタフェースには制限が多く、プログラムできるのはよく使用される一部のモードのみです。

パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、PAR/SERをV_{DD}に接続します。CS、SCK、SDIおよびSDOの各ピンは、特定の動作モードを設定するバイナリ・ロジック入力です。これらのピンはV_{DD}またはグラウンドに接続するか、あるいは1.8V、2.5V、または3.3VのCMOSロジックで駆動することができます。入力として使用する場合、SDOは1k Ω の直列抵抗を介して駆動します。CS、SCK、SDI、およびSDOで設定されるモードを表2に示します。

表2. パラレル・プログラミング・モードの制御ビット (PAR/SER = V_{DD})

ピン	説明
CS	クロック・デューティ・サイクル・スタビライザ制御ビット 0 = クロック・デューティ・サイクル・スタビライザをオフ 1 = クロック・デューティ・サイクル・スタビライザをオン
SCK	デジタル出力制御ビット 0 = フルレートCMOS出力モード 1 = ダブルデータレートLVDS出力モード (3.5mAのLVDS電流、内部終端はオフ)
SDI/SDO	パワーダウン制御ビット 00 = 通常動作 01 = 未使用 10 = ナップモード 11 = スリープモード(デバイス全体の供給電力を低減)

アプリケーション情報

シリアル・プログラミング・モード

シリアル・プログラミング・モードを使用するには、 $\overline{\text{PAR/SER}}$ をグラウンドに接続します。 $\overline{\text{CS}}$ 、 SCK 、 SDI および SDO の各ピンは、A/Dコンバータのモード制御レジスタをプログラムするシリアル・インタフェースになります。データは16ビットのシリアル・ワードでレジスタに書き込まれます。データをレジスタから読み出して、レジスタの内容を検証することもできます。

シリアル・データ転送は、 $\overline{\text{CS}}$ が“L”になると開始されます。SDIピンのデータは、 SCK の先頭から16番目までの立ち上がりエッジでラッチされます。先頭から16番目より後の SCK 立ち上がりエッジは無視されます。データ転送は、 $\overline{\text{CS}}$ が再度“H”になると終了します。

16ビットの入力ワードの先頭ビットは $\text{R}/\overline{\text{W}}$ ビットです。次の7ビットはレジスタのアドレス(A6:A0)です。最後の8ビットはレジスタのデータ(D7:D0)です。

$\text{R}/\overline{\text{W}}$ ビットが“L”の場合、シリアル・データ(D7:D0)はアドレス・ビット(A6:A0)で設定されるレジスタに書き込まれます。 $\text{R}/\overline{\text{W}}$ ビットが“H”の場合は、アドレス・ビット(A6:A0)によって設定されるレジスタ内のデータが SDO ピンで読み出されます

(タイミング図を参照)。読み出しコマンドの実行中、レジスタは更新されず、 SDI のデータは無視されます。

SDO ピンはオープン・ドレイン出力で、 200Ω のインピーダンスでグラウンドに引き下げられます。 SDO を介してレジスタのデータを読み出す場合は、 $2k$ の外付けプルアップ抵抗が必要です。シリアル・データが書き込み専用で読み出す必要がない場合は、 SDO をフロート状態のままにしてもかまわないため、プルアップ抵抗は不要です。

モード制御レジスタのマップを表3に示します。

ソフトウェア・リセット

シリアル・プログラミングを使用する場合は、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、すべてのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットにする必要があります。ソフトウェアによるリセットを実行するには、リセット・レジスタのビットD7にロジック1を書き込みます。リセットSPI書き込みコマンドが完了した後、ビットD7は自動的に0に戻ります。

表3. シリアル・プログラミング・モードのレジスタ・マップ ($\overline{\text{PAR/SER}} = \text{GND}$)

レジスタA0:リセット・レジスタ(アドレス00h)

D7	D6	D5	D4	D3	D2	D1	D0
RESET	X	X	X	X	X	X	X

ビット7 **RESET** ソフトウェア・リセット・ビット

0=不使用

1=ソフトウェアによるリセット。すべてのモード制御レジスタは00hにリセットされる。A/Dコンバータは一時的にスリープ・モードになる。このビットはSPI書き込みコマンドの終了時に自動的にゼロに戻る。

リセット・レジスタは書き込み専用。リセット・レジスタからのデータの読み出しはランダムとなる。

ビット6~0 使用されない、ドントケア・ビット

レジスタA1:パワーダウン・レジスタ(アドレス01h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	PWROFF1	PWROFF0

ビット7~2 使用されない、ドントケア・ビット

ビット1~0 **PWROFF1:PWROFF0** パワーダウン制御ビット

00=通常動作

01=不使用

10=ナップ・モード

11=スリープ・モード

アプリケーション情報

レジスタ A2: タイミング・レジスタ (アドレス 02h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	CLKINV	CLKPHASE1	CLKPHASE0	DCS

ビット7~4 使用されない、ドントケア・ビット

ビット3 **CLKINV** 出力クロック反転ビット
0 = 通常の CLKOUT 極性 (タイミング図参照)
1 = 反転した CLKOUT 極性

ビット2~1 **CLKPHASE1:CLKPHASE0** 出力クロックの位相遅延ビット
00 = CLKOUT 遅延なし (タイミング図参照)
01 = CLKOUT⁺/CLKOUT⁻ を 45° (クロック周期 × 1/8) だけ遅延
10 = CLKOUT⁺/CLKOUT⁻ を 90° (クロック周期 × 1/4) だけ遅延
11 = CLKOUT⁺/CLKOUT⁻ を 135° (クロック周期 × 3/8) だけ遅延
Note: CLKOUT 位相遅延機能を使う場合は、クロック・デューティ・サイクル・スタビライザもオンする必要がある

ビット0 **DCS** クロック・デューティ・サイクル・スタビライザ・ビット
0 = クロック・デューティ・サイクル・スタビライザをオフ
1 = クロック・デューティ・サイクル・スタビライザをオン

レジスタ A3: 出力モード・レジスタ (アドレス 03h)

D7	D6	D5	D4	D3	D2	D1	D0
X	ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTMODE1	OUTMODE0

ビット7 使用されない、ドントケア・ビット

ビット6~4 **ILVDS2:ILVDS0** LVDS 出力電流ビット
000 = 3.5mA の LVDS 出力ドライバ電流
001 = 4.0mA の LVDS 出力ドライバ電流
010 = 4.5mA の LVDS 出力ドライバ電流
011 = 不使用
100 = 3.0mA の LVDS 出力ドライバ電流
101 = 2.5mA の LVDS 出力ドライバ電流
110 = 2.1mA の LVDS 出力ドライバ電流
111 = 1.75mA の LVDS 出力ドライバ電流

ビット3 **TERMON** LVDS 内部終端ビット
0 = 内部終端をオフ
1 = 内部終端をオン。LVDS 出力ドライバ電流は ILVDS2:ILVDS0 で設定された電流の 2 倍。

アプリケーション情報

ビット2 **OUTOFF** 出力のディスエーブル・ビット
 0 = デジタル出力をイネーブル
 1 = デジタル出力をディスエーブルし、出力インピーダンスを高くする
 Note: デジタル出力をディスエーブルする場合、デバイスもスリープ・モードまたはナップ・モードにする。

ビット1~0 **OUTMODE1:OUTMODE0** デジタル出力モード制御ビット
 00 = フルレート CMOS 出力モード
 01 = ダブルデータレート LVDS 出力モード
 10 = ダブルデータレート CMOS 出力モード
 11 = 不使用

レジスタ A4: データ・フォーマット・レジスタ (アドレス 04h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	OUTTEST2	OUTTEST1	OUTTEST0	ABP	RAND	TWOSCOMP

ビット7~6 使用されない、ドントケア・ビット

ビット5~3 **OUTTEST2:OUTTEST0** デジタル出力のテストパターン・ビット
 000 = デジタル出力のテストパターンをオフ
 001 = すべてのデジタル出力 = 0
 011 = すべてのデジタル出力 = 1
 101 = 格子縞出力パターン。OF、D15~D0 は 1 0101 0101 0101 0101 と 0 1010 1010 1010 1010 を交互に出力
 111 = 交互出力パターン。OF、D15~D0 は 0 0000 0000 0000 0000 と 1 1111 1111 1111 1111 を交互に出力
 Note: 他のビットの組み合わせは使用されない。

ビット2 **ABP** 交互ビット極性モード制御ビット
 0 = 交互ビット極性モードをオフ
 1 = 交互ビット極性モードをオン。出力形式を強制的にオフセット・バイナリにする

ビット1 **RAND** データ出力ランダマイザ・モード制御ビット
 0 = データ出力ランダマイザ・モードをオフ
 1 = データ出力ランダマイザ・モードをオン

ビット0 **TWOSCOMP** 2の補数モード制御ビット
 0 = オフセット・バイナリのデータ形式
 1 = 2の補数のデータ形式

アプリケーション情報

接地とバイパス

LTC2269には、A/Dコンバータの下の第1層に切れ目のないきれいなグランド・プレーンを備えたプリント回路基板が必要です。内部グランド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、A/Dコンバータの下に配置したりしないように注意してください。

V_{DD}、OV_{DD}、V_{CM}、V_{REF}、REFH、REFLの各ピンには、高品質のセラミック・バイパス・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。0402サイズのセラミック・コンデンサを推奨します。ピンとバイパス・コンデンサを接続するトレースは短くする必要があり、幅はできるだけ広くします。

特に重要なのは、REFHとREFLの間に配置するコンデンサです。このコンデンサは、A/Dコンバータと同じ側の回路基板上で、できるだけデバイスの近くに配置します。

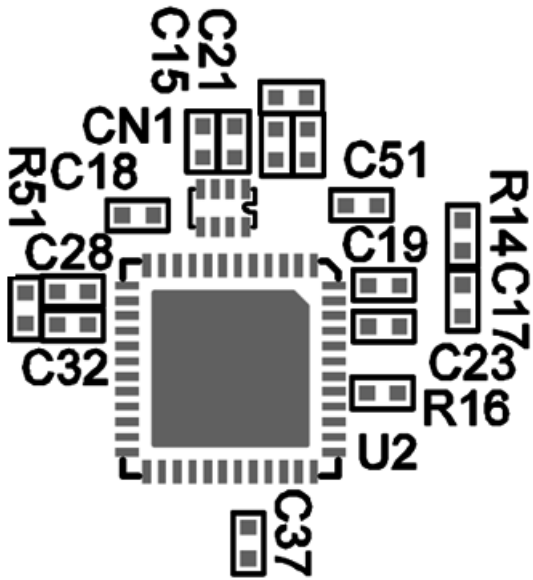
アナログ入力、エンコード信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに絶縁するための障壁として、グランド領域とグランド・ビアを使用します。

熱伝達

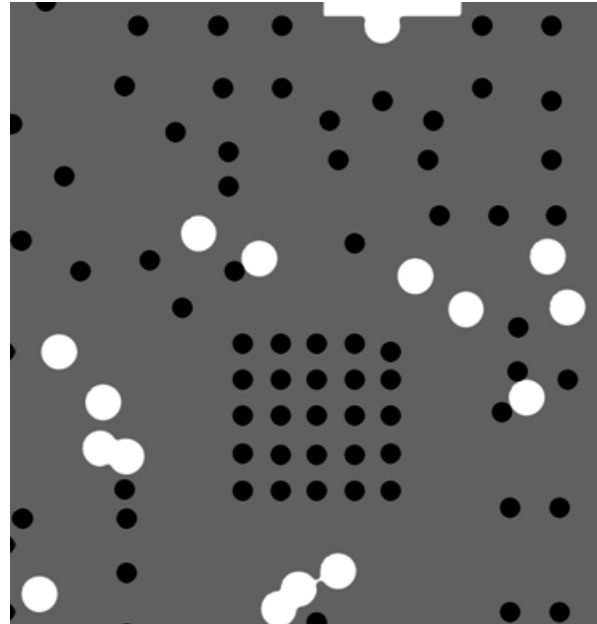
LTC2269が発生する熱の大部分はダイから底面の露出パッドとパッケージのピンを通してプリント回路基板に伝わります。優れた電気的性能と熱性能を得るには、プリント回路基板上にある大きな接地パッドに露出パッドを半田付けする必要があります。このパッドは、多数のビアで内部のグランド・プレーンに接続します。

標準的応用例

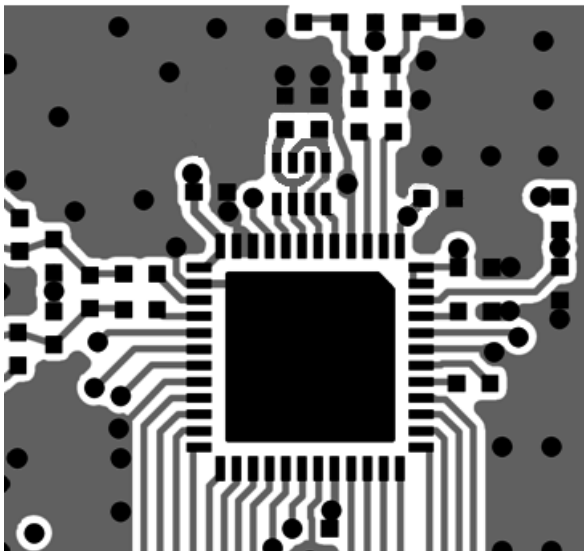
部品面シルク



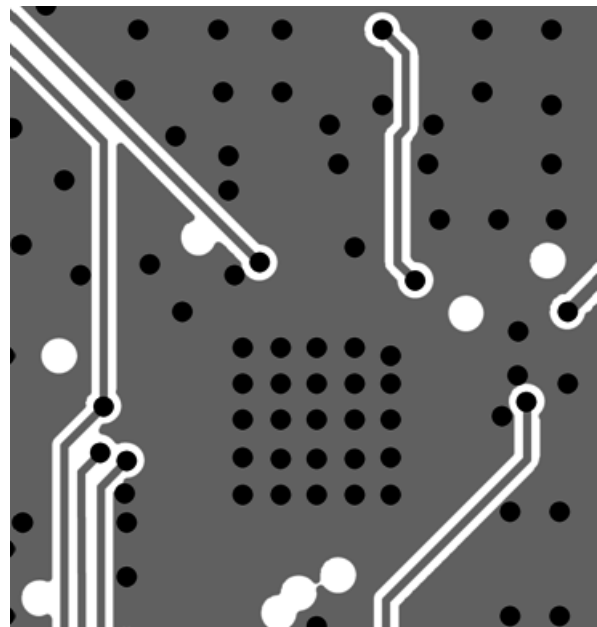
中間層2



上面

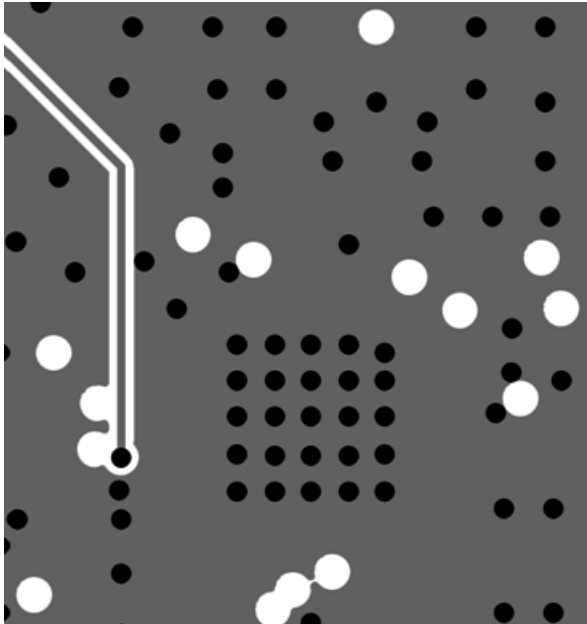


中間層3

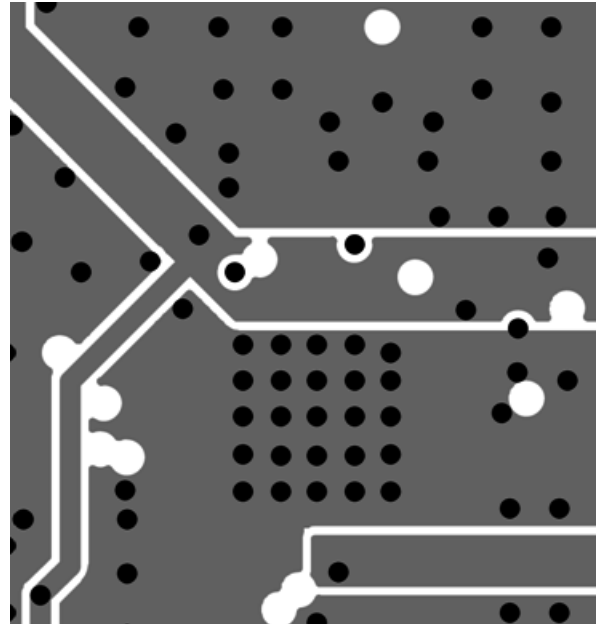


標準的応用例

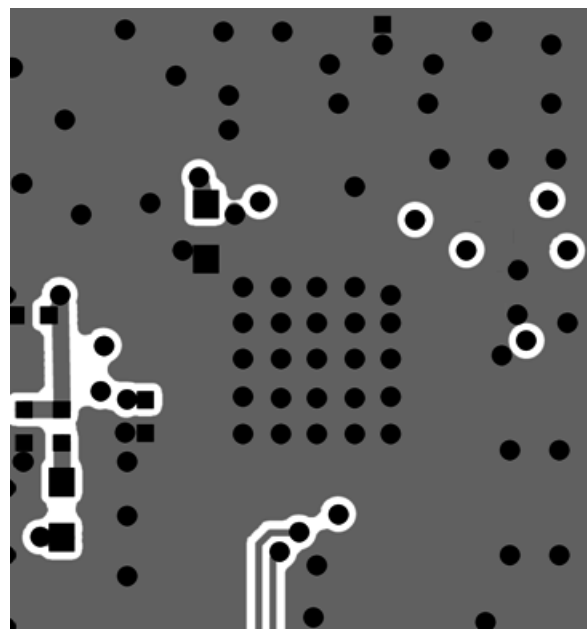
中間層4



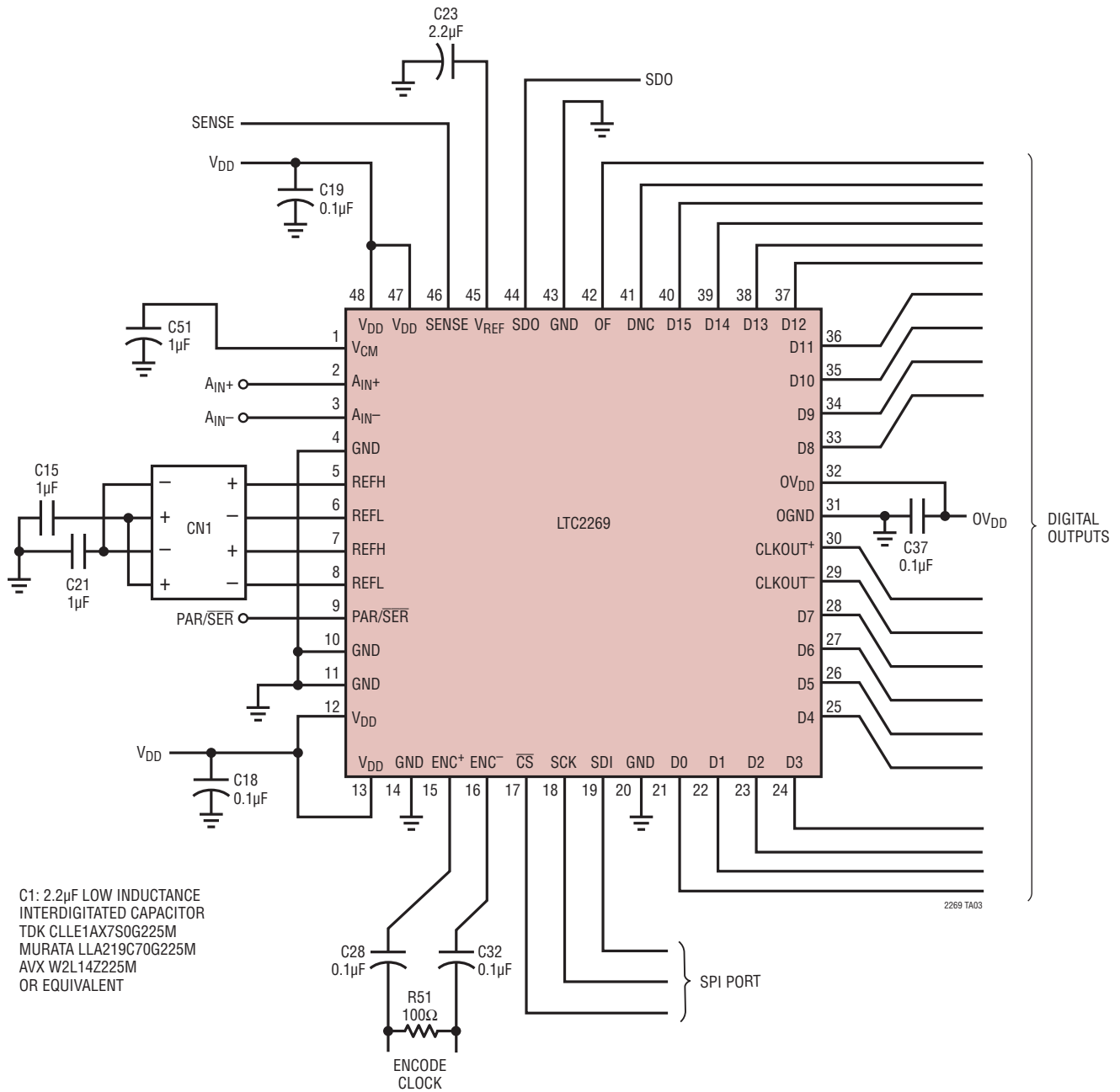
中間層5



底面

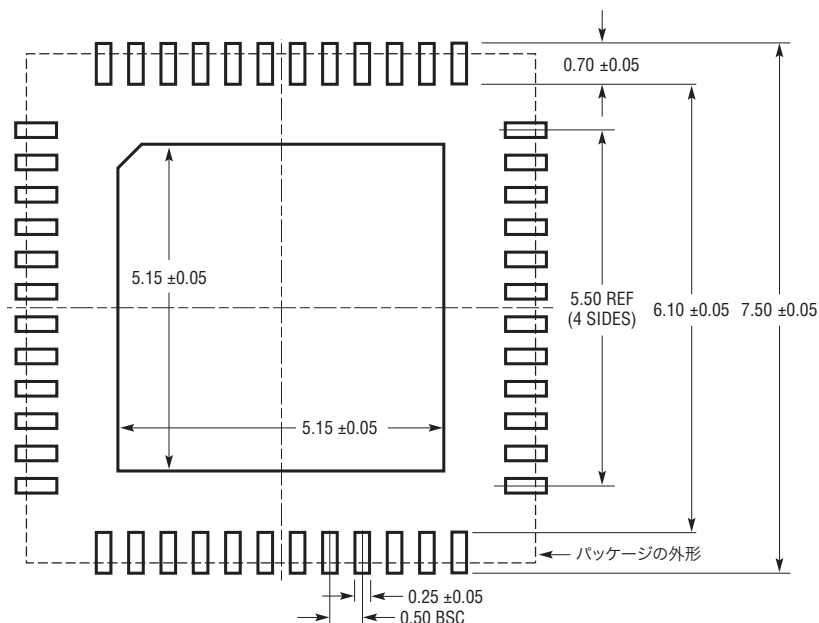


標準的応用例

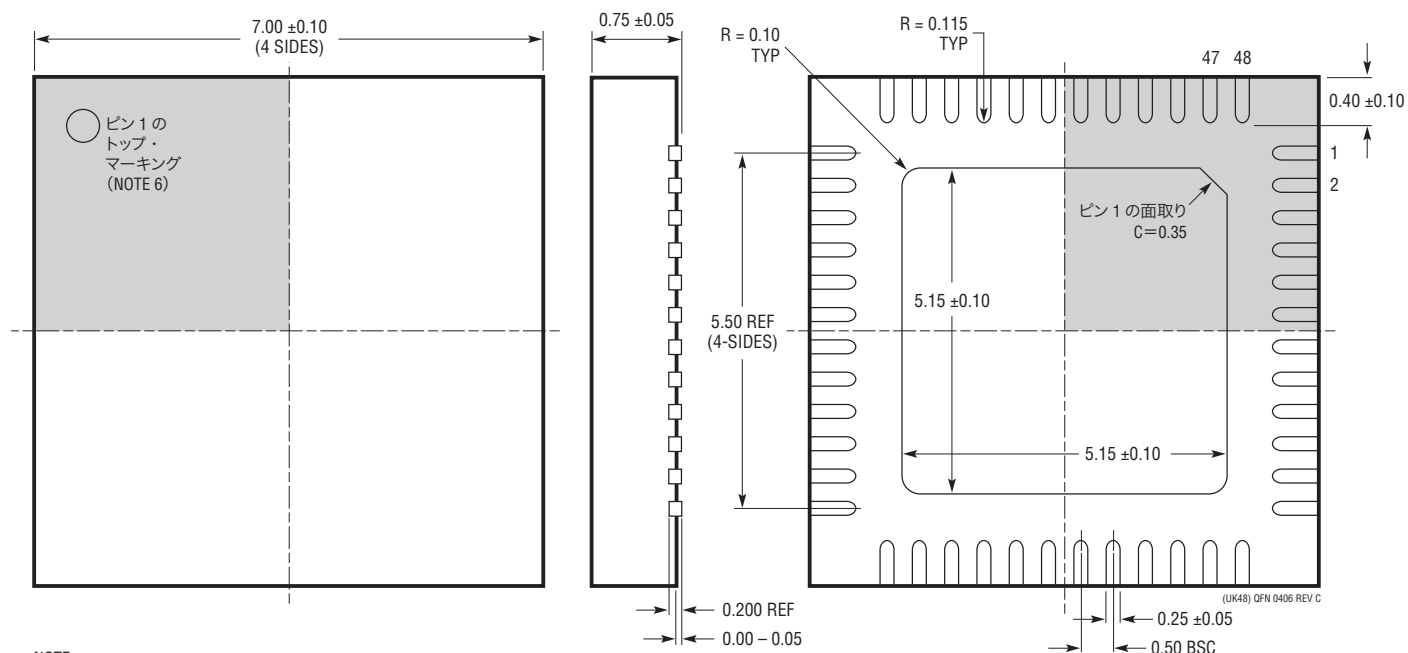


パッケージ

UK パッケージ
48ピン・プラスチック QFN (7mm×7mm)
(Reference LTC DWG # 05-08-1704 Rev C)

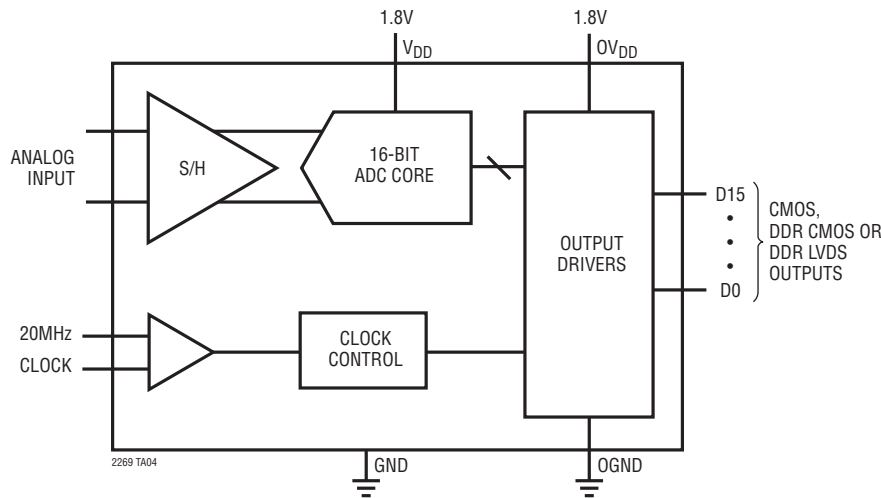


推奨する半田パッドのピッチと寸法
半田付けされない領域には半田マスクを使用する

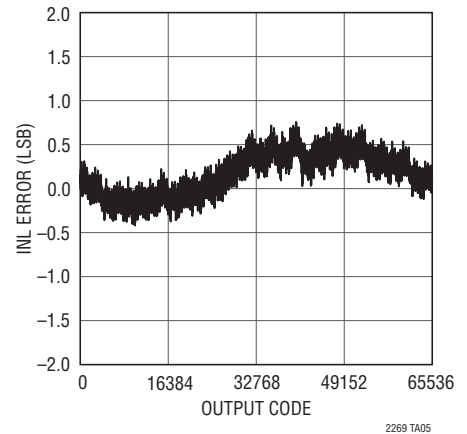


- NOTE :
1. 図は JEDEC のパッケージ外形 M0-220 のバリエーション (WKKD-2) に適合
 2. 図は実寸とは異なる
 3. 全ての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは (もしあれば) 各サイドで 0.20mm を超えないこと
 5. 露出パッドは半田メッキとする
 6. 灰色の部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

標準的応用例



積分非直線性 (INL)



関連製品

製品番号	説明	注釈
A/D コンバータ		
LTC2159	16ビット、20Msps、1.8V動作のADC、超低消費電力	43mW、SNR:77dB、SFDR:90dB、DDR LVDS/DDR CMOS/CMOS出力
LTC2160	16ビット、25Msps、1.8V動作のADC、超低消費電力	45mW、SNR:77dB、SFDR:90dB、DDR LVDS/DDR CMOS/CMOS出力、7mm×7mm QFN-48
LTC2180	16ビット、25Msps、1.8V動作のデュアルADC、超低消費電力	39mW/チャンネル、SNR:77dB、SFDR:90dB、DDR LVDS/DDR CMOS/CMOS出力、9mm×9mm QFN-64
LTC2190	16ビット、25Msps、1.8V動作のデュアルADC、超低消費電力	52mW/チャンネル、SNR:77dB、SFDR:90dB、シリアルLVDS出力、7mm×8mm QFN-52
LTC2202/LTC2203	16ビット、10Msps/25Msps、3.3V動作のADC	140mW/220mW、SNR:81.6dB、SFDR:100dB、CMOS出力、7mm×7mm QFN-48
PLL		
LTC6946-X	ノイズとスプリアスを極めて低く抑えたVCO内蔵の整数N分周方式シンセサイザ	3.7MHz～5.7GHz、正規化された帯域内位相ノイズフロア:-226dBc/Hz、広帯域出力位相ノイズフロア:-157dBc/Hz
LTC6945	ノイズとスプリアスを極めて低く抑えた0.35GHz～6GHz 整数分周方式シンセサイザ	3.5GHz～6GHz、正規化された帯域内位相ノイズフロア:-226dBc/Hz、広帯域出力位相ノイズフロア:-157dBc/Hz
シグナルチェーン・レシーバ		
LTM9002	14ビット、デュアル・チャンネルIF/ベースバンドμModuleレシーバ	デュアルADC、デュアル・アンプ、アンチエイリアス・フィルタ、および調整用デュアルDACを15mm×11.25mmのLGAに収容
LTM9004	14ビット、ダイレクト・コンバージョンμModuleレシーバ	I/Q復調器、ベースバンド・アンプ、20MHzまでのローパス・フィルタ、14ビット、125MspsのデュアルADCを22mm×15mmのLGAに収容
RFミキサ/復調器		
LTC5569	300MHz～4GHz、デュアル・アクティブ・ダウンコンバーティング・ミキサ	高いIIP3:26.8dBm、変換利得:2dB、低消費電力:3.3V/600mW、RFトランス内蔵により設置面積を節減
LTC5584	30MHz～1.4GHzの広帯域I/Q復調器	I/Q復調帯域幅:>530MHz、IIP3:31dBm、IIP2を>80dBmに調整可能、DCオフセットをゼロへ調整可能、イメージ除去比:45dB
LTC5585	700MHz～3GHzの広帯域I/Q復調器	I/Q復調帯域幅:>530MHz、IIP3:25.7dBm、IIP2を>80dBmに調整可能、DCオフセットをゼロへ調整可能、イメージ除去比:43dB