

特長

- 2チャネル同時サンプリングADC
- SNR: 73.1dB
- SFDR: 88dB
- 低消費電力: 299mW/243mW/203mW(合計)
- 150mW/121mW/101mW(チャネル当たり)
- 単一1.8V電源
- シリアルLVDS出力: チャネル当たり1ビットまたは2ビット
- 選択可能な入力範囲: 1V_{P-P} ~ 2V_{P-P}
- 800MHzのフルパワー帯域幅S/H
- シャットダウン・モードとナップ・モード
- 設定用のシリアルSPIポート
- ピン互換の14ビットおよび12ビット・バージョン
- 40ピン(6mm×6mm)QFNパッケージ

アプリケーション

- 通信
- セルラー基地局
- ソフトウェア無線
- 携帯型医療用画像処理
- マルチチャネル・データ収集
- 非破壊試験

LT、LT、LTC、LTM、Linear Technology および Linear のロゴはリニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

概要

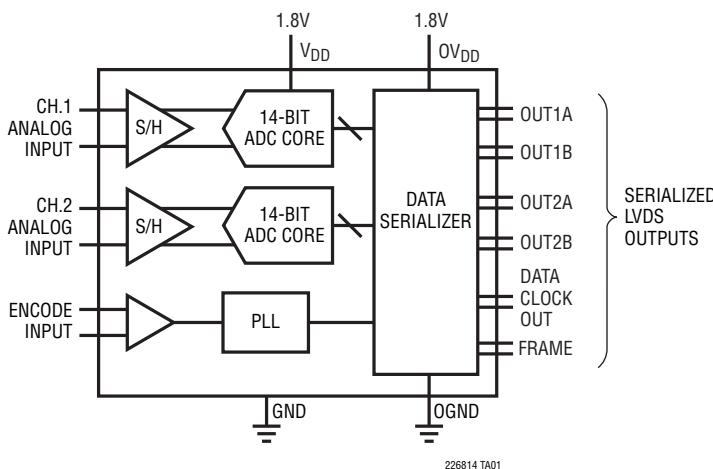
LTC®2268-14/LTC2267-14/LTC2266-14は、高周波の広いダイナミック・レンジの信号をデジタル化する2チャネル同時サンプリング14ビットA/Dコンバータです。SNRが73.1dB、SFDRが88dBという優れたAC特性を備えているため、要求の厳しい通信アプリケーションに最適です。0.15pSRMSという極めて低いジッタにより、優れたノイズ性能を維持しながらIF周波数をアンダーサンプリングできます。

DC仕様では、±1LSB(標準)のINLと±0.3LSB(標準)のDNL、全温度範囲でミッシング・コードがないことが規定されています。遷移ノイズは1.2LSBRMSと低く抑えられています。

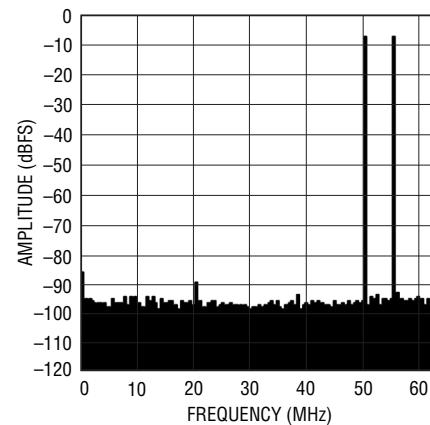
デジタル出力はシリアルLVDSなので、データライン数を最小限に抑えることができます。各チャネルは同時に2ビットを出力します(2レーン・モード)。低いサンプリング・レートでは、チャネル当たり1ビットの選択肢(1レーン・モード)もあります。LVDSドライバはオプションの内部終端を備え、出力レベルを調整できるので、クリーンな信号完全性を確保します。

ENC⁺およびENC⁻入力は、正弦波、PECL、LVDS、TTLまたはCMOS入力で差動またはシングルエンド・ドライブ可能です。また、内蔵のクロック・デューティサイクル・スタビライザにより、広範なクロック・デューティサイクルにおいてフルスピードで高性能を達成できます。

標準的応用例



LTC2268-14、125Msps、
2トーンFFT、f_{IN} = 70MHz および 75MHz



LTC2268-14/ LTC2267-14/LTC2266-14

絶対最大定格

(Note 1)

電源電圧

V_{DD} 、 $0V_{DD}$ $-0.3V \sim 2V$

アナログ入力電圧 (A_{IN}^+ 、 A_{IN}^- 、
 PAR/SER 、SENSE) (Note 3) $-0.3V \sim (V_{DD}+0.2V)$

デジタル入力電圧 (ENC^+ 、 ENC^- 、 \bar{CS} 、
 SDI 、 SCK) (Note 4) $-0.3V \sim 3.9V$

SDO (Note 4) $-0.3V \sim 3.9V$

デジタル出力電圧 $-0.3V \sim (0V_{DD}+0.3V)$

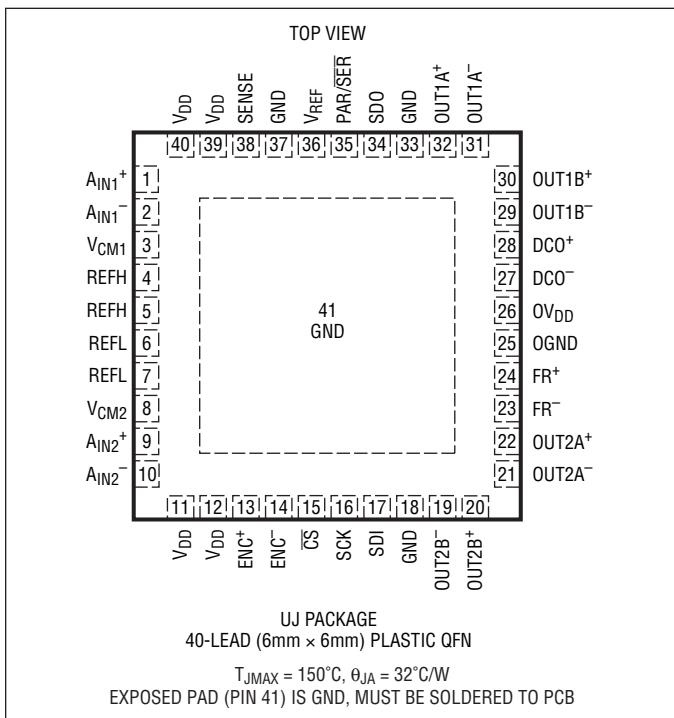
動作温度範囲

LTC2268C、2267C、2266C $0^\circ C \sim 70^\circ C$

LTC2268I、2267I、2266I $-40^\circ C \sim 85^\circ C$

保存温度範囲 $-65^\circ C \sim 150^\circ C$

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2268CUJ-14#PBF	LTC2268CUJ-14#TRPBF	LTC2268UJ-14	40-Lead (6mm×6mm) Plastic QFN	$0^\circ C$ to $70^\circ C$
LTC2268IUJ-14#PBF	LTC2268IUJ-14#TRPBF	LTC2268UJ-14	40-Lead (6mm×6mm) Plastic QFN	$-40^\circ C$ to $85^\circ C$
LTC2267CUJ-14#PBF	LTC2267CUJ-14#TRPBF	LTC2267UJ-14	40-Lead (6mm×6mm) Plastic QFN	$0^\circ C$ to $70^\circ C$
LTC2267IUJ-14#PBF	LTC2267IUJ-14#TRPBF	LTC2267UJ-14	40-Lead (6mm×6mm) Plastic QFN	$-40^\circ C$ to $85^\circ C$
LTC2266CUJ-14#PBF	LTC2266CUJ-14#TRPBF	LTC2266UJ-14	40-Lead (6mm×6mm) Plastic QFN	$0^\circ C$ to $70^\circ C$
LTC2266IUJ-14#PBF	LTC2266IUJ-14#TRPBF	LTC2266UJ-14	40-Lead (6mm×6mm) Plastic QFN	$-40^\circ C$ to $85^\circ C$

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。
非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreel/> をご覧ください。

コンバータ特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値(Note 5)。

PARAMETER	CONDITIONS	LTC2268-14			LTC2267-14			LTC2266-14			UNITS	
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
Resolution (No Missing Codes)		●	14			14			14		Bits	
Integral Linearity Error	Differential Analog Input (Note 6)	●	-3.5	± 1	3.5	-3.5	± 1	3.5	-2.75	± 1	2.75	LSB
Differential Linearity Error	Differential Analog Input	●	-0.8	± 0.3	0.8	-0.8	± 0.3	0.8	-0.8	± 0.3	0.8	LSB
Offset Error	(Note 7)	●	-12	± 3	12	-12	± 3	12	-12	± 3	2	mV
Gain Error	Internal Reference External Reference	●	-2.3	-0.9	0.5	-2.3	-0.9	0.5	-2.3	-0.9	0.5	%FS %FS
Offset Drift				± 20			± 20			± 20		$\mu\text{V}/^\circ\text{C}$
Full-Scale Drift	Internal Reference External Reference			± 30			± 30			± 30		$\text{ppm}/^\circ\text{C}$ $\text{ppm}/^\circ\text{C}$
Gain Matching	External Reference			± 0.2			± 0.2			± 0.2		%FS
Offset Matching				± 3			± 3			± 3		mV
Transition Noise	External Reference			1.2			1.2			1.2		LSBRMS

アナログ入力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値(Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{IN}	Analog Input Range ($A_{IN}^+ - A_{IN}^-$)	$1.7\text{V} < V_{DD} < 1.9\text{V}$	●		1 to 2	$\text{V}_{\text{P-P}}$	
$V_{IN(CM)}$	Analog Input Common Mode ($A_{IN}^+ - A_{IN}^-$)/2	Differential Analog Input (Note 8)	●	$V_{CM} - 100\text{mV}$	V_{CM}	$V_{CM} + 100\text{mV}$	
V_{SENSE}	External Voltage Reference Applied to SENSE	External Reference Mode	●	0.625	1.25	1.3	V
I_{INCM}	Analog Input Common Mode Current	Per Pin, 125Msps Per Pin, 105Msps Per Pin, 80Msps	●		155 130 100		μA μA μA
I_{IN1}	Analog Input Leakage Current (No Encode)	$0 < A_{IN}^+, A_{IN}^- < V_{DD}$	●	-1	1		μA
I_{IN2}	PAR/SER Input Leakage Current	$0 < \text{PAR/SER} < V_{DD}$	●	-3	3		μA
I_{IN3}	SENSE Input Leakage Current	$0.625 < \text{SENSE} < 1.3\text{V}$	●	-6	6		μA
t_{AP}	Sample-and-Hold Acquisition Delay Time				0		ns
t_{JITTER}	Sample-and-Hold Acquisition Delay Jitter				0.15		psRMS
CMRR	Analog Input Common Mode Rejection Ratio				80		dB
BW-3B	Full Power Bandwidth	Figure 6 Test Circuit			800		MHz

LTC2268-14/ LTC2267-14/LTC2266-14

デジタル精度 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	LTC2268-14			LTC2267-14			LTC2266-14			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
SNR	Signal-to-Noise Ratio	5MHz Input 70MHz Input 140MHz Input	● 71.4	73.1 73 72.6		70.8	73 72.9 72.6		71	73 72.9 72.5		dBFS dBFS dBFS
SFDR	Spurious Free Dynamic Range 2^{nd} or 3^{rd} Harmonic	5MHz Input 70MHz Input 140MHz Input	● 75	88 85 82		76	88 85 82		76	88 85 82		dBFS dBFS dBFS
	Spurious Free Dynamic Range 4^{th} Harmonic or Higher	5MHz Input 70MHz Input 140MHz Input	● 84	90 90 90		83	90 90 90		85	90 90 90		dBFS dBFS dBFS
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	5MHz Input 70MHz Input 140MHz Input	● 70.5	73 72.6 72		70.2	73 72.6 72		70.4	72.9 72.6 72		dBFS dBFS dBFS
	Crosstalk	10MHz Input		-105			-105			-105		dBc

内部リファレンスの特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CM} Output Voltage	$I_{OUT} = 0$	$0.5 \cdot V_{DD} - 25\text{mV}$	$0.5 \cdot V_{DD}$	$0.5 \cdot V_{DD} + 25\text{mV}$	V
V_{CM} Output Temperature Drift			± 25		ppm/ $^\circ\text{C}$
V_{CM} Output Resistance	$-600\mu\text{A} < I_{OUT} < 1\text{mA}$		4		Ω
V_{REF} Output Voltage	$I_{OUT} = 0$	1.225	1.25	1.275	V
V_{REF} Output Temperature Drift			± 25		ppm/ $^\circ\text{C}$
V_{REF} Output Resistance	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$		7		Ω
V_{REF} Line Regulation	$1.7\text{V} < V_{DD} < 1.9\text{V}$		0.6		mV/V

デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値(Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
--------	-----------	------------	-----	-----	-----	-------

エンコード入力(ENC^+ 、 ENC^-)

差動エンコード・モード(ENC^- はGNDに接続されていない)

V_{ID}	Differential Input Voltage	(Note 8)	●	0.2		V
V_{ICM}	Common Mode Input Voltage	Internally Set Externally Set (Note 8)	●	1.1	1.2 1.6	V
V_{IN}	Input Voltage Range	ENC^+ , ENC^- to GND	●	0.2	3.6	V
R_{IN}	Input Resistance	(See Figure 10)			10	$\text{k}\Omega$
C_{IN}	Input Capacitance				3.5	pF

シングルエンド・エンコード・モード(ENC^- はGNDに接続されている)

V_{IH}	High Level Input Voltage	$V_{DD} = 1.8\text{V}$	●	1.2		V
V_{IL}	Low Level Input Voltage	$V_{DD} = 1.8\text{V}$	●		0.6	V
V_{IN}	Input Voltage Range	ENC^+ to GND	●	0	3.6	V
R_{IN}	Input Resistance	(See Figure 11)			30	$\text{k}\Omega$
C_{IN}	Input Capacitance				3.5	pF

デジタル入力とデジタル出力

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値(Note 5)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
デジタル入力($\overline{\text{CS}}$ 、 SDI 、 SCK はシリアルまたはパラレル・プログラミング・モード。 SDO はパラレル・プログラミング・モード)							
V_{IH}	High Level Input Voltage	$V_{DD} = 1.8\text{V}$	●	1.3			V
V_{IL}	Low Level Input Voltage	$V_{DD} = 1.8\text{V}$	●			0.6	V
I_{IN}	Input Current	$V_{IN} = 0\text{V}$ to 3.6V	●	-10		10	μA
C_{IN}	Input Capacitance				3		pF
SDO の出力(シリアル・プログラミング・モード。オープンドレイン出力。 SDO が使われる場合、 $2\text{k}\Omega$ のプルアップ抵抗が必要)							
R_{OL}	Logic Low Output Resistance to GND	$V_{DD} = 1.8\text{V}$, $\text{SDO} = 0\text{V}$			200		Ω
I_{OH}	Logic High Output Leakage Current	$\text{SDO} = 0\text{V}$ to 3.6V	●	-10		10	μA
C_{OUT}	Output Capacitance				3		pF
デジタル・データ出力							
V_{OD}	Differential Output Voltage	100 Ω Differential Load, 3.5mA Mode 100 Ω Differential Load, 1.75mA Mode	● ●	247 125	350 175	454 250	mV mV
V_{OS}	Common Mode Output Voltage	100 Ω Differential Load, 3.5mA Mode 100 Ω Differential Load, 1.75mA Mode	● ●	1.125 1.125	1.25 1.25	1.375 1.375	V V
R_{TERM}	On-Chip Termination Resistance	Termination Enabled, $OV_{DD} = 1.8\text{V}$			100		Ω

電源要件

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値(Note 9)。

SYMBOL	PARAMETER	CONDITIONS	LTC2268-14			LTC2267-14			LTC2266-14			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
V_{DD}	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
OV_{DD}	Output Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
I_{VDD}	Analog Supply Current	Sine Wave Input	●		150	168		119	131		98	111	mA
I_{OVDD}	Digital Supply Current	2-Lane Mode, 1.75mA Mode 2-Lane Mode, 3.5mA Mode	● ●		16 30	20 34		16 29	19 33		15 29	18 32	mA
P_{DISS}	Power Dissipation	2-Lane Mode, 1.75mA Mode 2-Lane Mode, 3.5mA Mode	● ●		299 324	338 364		243 266	270 295		203 229	232 257	mW mW
P_{SLEEP}	Sleep Mode Power				1			1			1		mW
P_{NAP}	Nap Mode Power				70			70			70		mW
$P_{DIFFCLK}$	Power Increase with Differential Encode Mode Enabled (No Increase for Sleep Mode)				20			20			20		mW

タイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値(Note 5)。

SYMBOL	PARAMETER	CONDITIONS	LTC2268-14			LTC2267-14			LTC2266-14			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
f_s	Sampling Frequency	(Notes 10, 11)	●	5	125	5	105	5	80			MHz	
t_{ENCL}	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off Duty Cycle Stabilizer On	● ●	3.8 2	4 4	100 100	4.52 2	4.76 4.76	100 100	5.93 2	6.25 6.25	100 100	ns ns
t_{ENCH}	Analog Supply Current	Duty Cycle Stabilizer Off Duty Cycle Stabilizer On	● ●	3.8 2	4 4	100 100	4.52 2	4.76 4.76	100 100	5.93 2	6.25 6.25	100 100	ns ns
t_{AP}	Sample-and-Hold Acquisition Delay Time				0			0		0		ns	

LTC2268-14/ LTC2267-14/LTC2266-14

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
デジタル・データ出力 ($R_{TERM} = 100\Omega$ 差動、各出力で GND に $C_L = 2\text{pF}$ を接続)						
t_{SER}	Serial Data Bit Period	2-Lanes, 16-Bit Serialization 2-Lanes, 14-Bit Serialization 2-Lanes, 12-Bit Serialization 1-Lane, 16-Bit Serialization 1-Lane, 14-Bit Serialization 1-Lane, 12-Bit Serialization			1/(8 • f_S) 1/(7 • f_S) 1/(6 • f_S) 1/(16 • f_S) 1/(14 • f_S) 1/(12 • f_S)	s
t_{FRAME}	FR to DCO Delay	(Note 8)	●	$0.35 \cdot t_{SER}$	$0.5 \cdot t_{SER}$	$0.65 \cdot t_{SER}$
t_{DATA}	DATA to DCO Delay	(Note 8)	●	$0.35 \cdot t_{SER}$	$0.5 \cdot t_{SER}$	$0.65 \cdot t_{SER}$
t_{PD}	Propagation Delay	(Note 8)	●	$0.7n + 2 \cdot t_{SER}$	$1.1n + 2 \cdot t_{SER}$	$1.5n + 2 \cdot t_{SER}$
t_R	Output Rise Time	Data, DCO, FR, 20% to 80%			0.17	ns
t_F	Output Fall Time	Data, DCO, FR, 20% to 80%			0.17	ns
	DCO Cycle-Cycle Jitter	$t_{SER} = 1\text{ns}$			60	pSP-P
	Pipeline Latency				6	Cycles

SPI ポートのタイミング (Note 8)

t_{SCK}	SCK Period	Write Mode Readback Mode, $C_{SDO} = 20\text{pF}$, $R_{PULLUP} = 2\text{k}\Omega$	● ●	40 250		ns ns
t_S	CS to SCK Setup Time		●	5		ns
t_H	SCK to CS Setup Time		●	5		ns
t_{DS}	SDI Setup Time		●	5		ns
t_{DH}	SDI Hold Time		●	5		ns
t_{DO}	SCK falling to SDO Valid	Readback Mode, $C_{SDO} = 20\text{pF}$, $R_{PULLUP} = 2\text{k}\Omega$	●		125	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての電圧値は(注記がない限り) GND と OGND を短絡した状態の GND を基準にしている。

Note 3: これらのピンの電圧を GND より低くすると V_{DD} より高くすると、内部のダイオードによってクランプされる。この製品は GND より低い、または V_{DD} より高い電圧で、ラッチアップを起こさずに 100mA 以上の入力電流を処理することができる。

Note 4: これらのピンの電圧を GND より低くすると、内部のダイオードによってクランプされる。これらのピンの電圧を V_{DD} より高くなると、内部のダイオードによってクランプされない。この製品は GND より低い電圧で、ラッチアップを起こさずに 100mA 以上の入力電流を処理することができる。

Note 5: 注記がない限り、 $V_{DD} = 0V_{DD} = 1.8V$ 、 $f_{SAMPLE} = 125\text{MHz}$ (LTC2268)、 105MHz (LTC2267)、 80MHz (LTC2266)、2レーン出力モード、差動 $\text{ENC}^+/\text{ENC}^- = 2V_{P-P}$ の正弦波、入力範囲 = 差動ドライブで $2V_{P-P}$ 。

Note 6: 積分非直線性は、伝達曲線に最も適合する直線からのコードの偏差として定義される。偏差は量子化幅の中心から測定する。

Note 7: オフセット誤差は、2 の補数出力モードで出力コードを 00 0000 0000 0000 と 11 1111 1111 1111 の間でぶらつかせると、-0.5 LSB から測定したオフセット電圧である。

Note 8: 設計によって保証されており、テストされない。

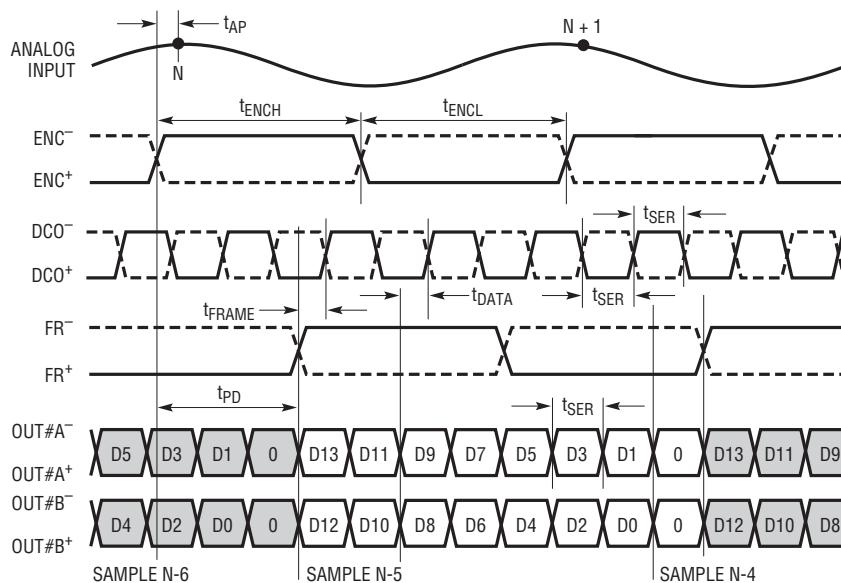
Note 9: 注記がない限り、 $V_{DD} = 0V_{DD} = 1.8V$ 、 $f_{SAMPLE} = 125\text{MHz}$ (LTC2268)、 105MHz (LTC2267)、 80MHz (LTC2266)、2レーン出力モード、 $\text{ENC}^+ =$ シングルエンドの $1.8V$ 方形波、 $\text{ENC}^- = 0V$ 、入力範囲 = 差動ドライブで $2V_{P-P}$ 消費電流および電力損失の規格値はデバイス全体の合計値であり、1チャネルあたりの値ではない。

Note 10: 推奨動作条件。

Note 11: 最大サンプリング周波数はデバイスの速度グレードによって異なり、どのシリアル化モードが使用されているかによっても異なる。最大シリアル・データ・レートは 1000Mbps なので、 t_{SER} は 1ns 以上でなければならない。

タイミング図

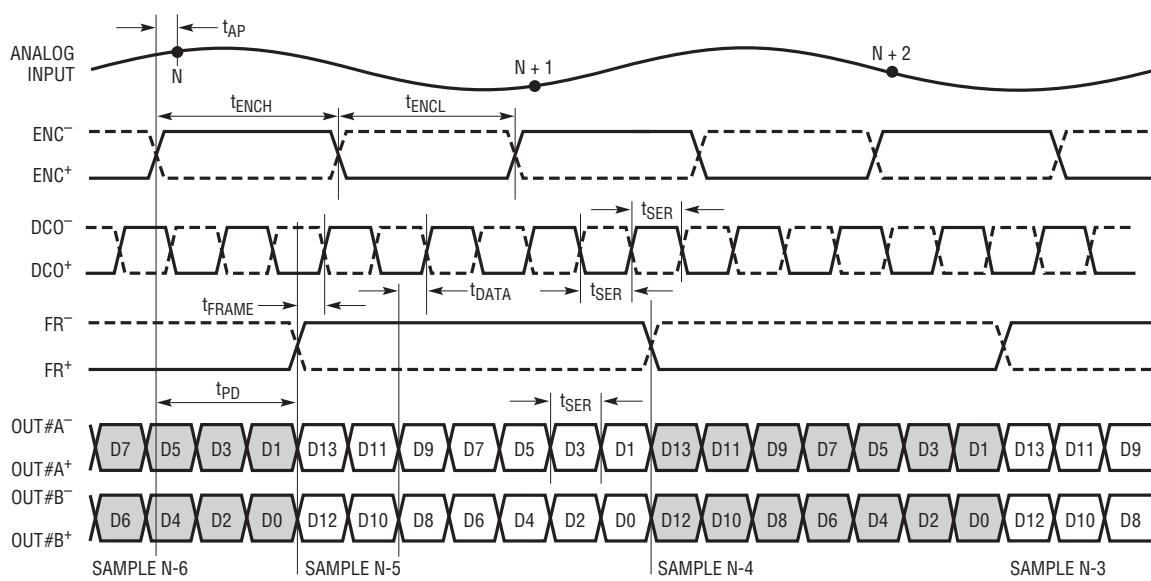
2 レーン出力モード、16ビット・シリアル化 *



* 「デジタル出力」のセクションを参照

226814 TD01

2 レーン出力モード、14ビット・シリアル化



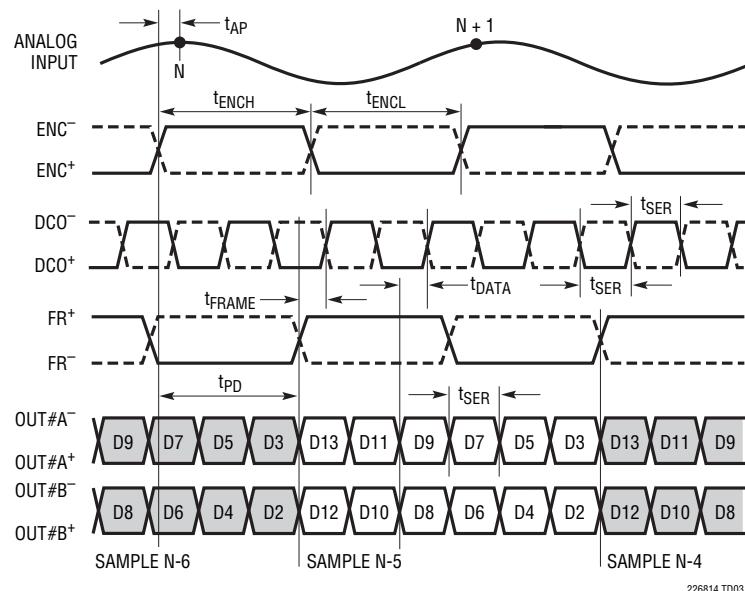
このモードでは、 FR^+/FR^- の周期が $\text{ENC}^+/\text{ENC}^-$ の周期の 2 倍であることに注意

226814 TD02

LTC2268-14/ LTC2267-14/LTC2266-14

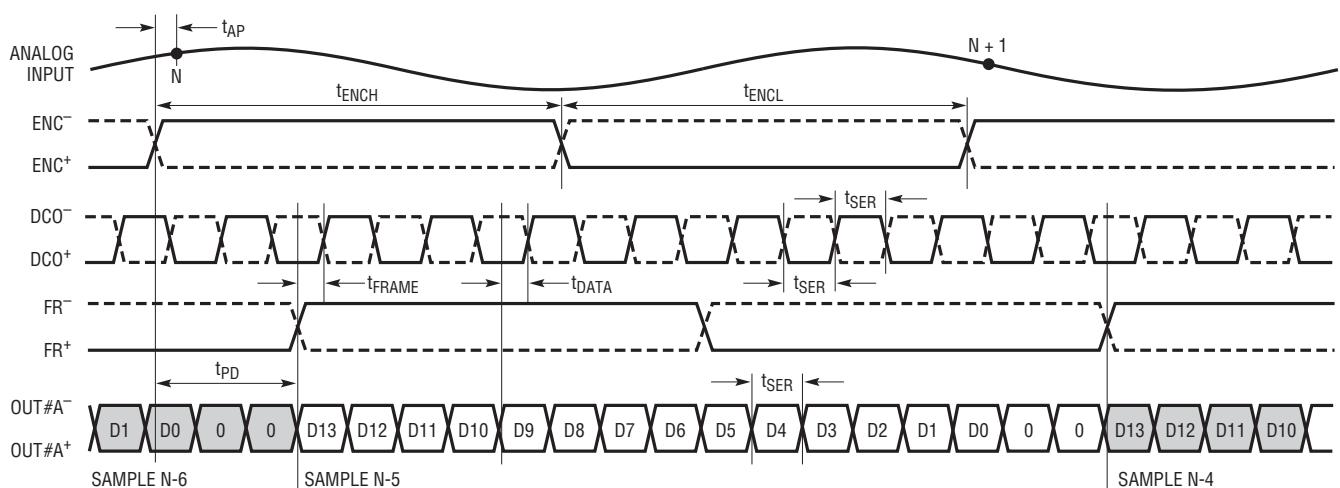
タイミング図

2レーン出力モード、12ビット・シリアル化



226814 TD03

1レーン出力モード、16ビット・シリアル化



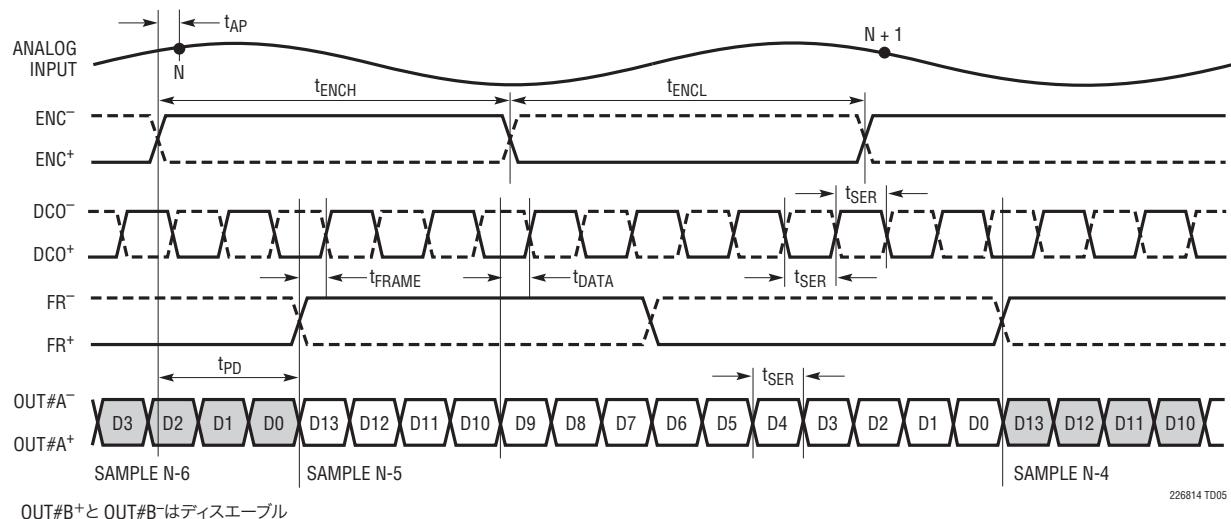
226814 TD04

OUT#B⁺と OUT#B⁻はディスエーブル

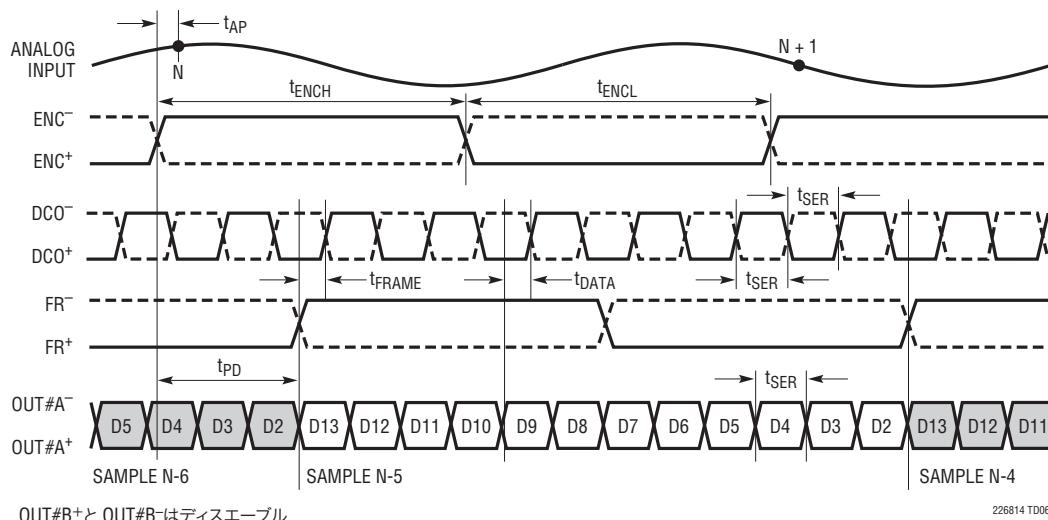
22687614fa

タイミング図

1レーン出力モード、14ビット・シリアル化



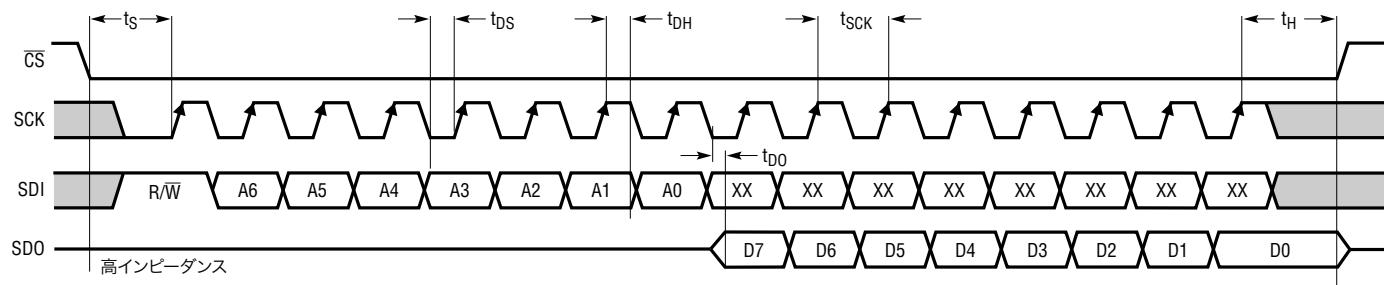
1レーン出力モード、12ビット・シリアル化



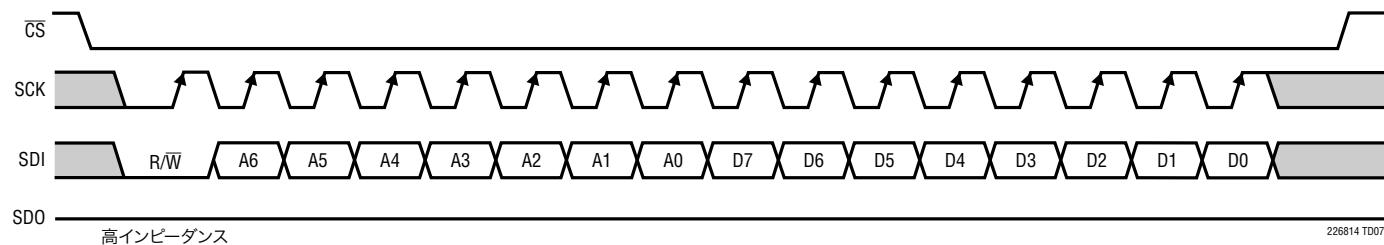
LTC2268-14/ LTC2267-14/LTC2266-14

タイミング図

SPIポートのタイミング(読み出しモード)



SPIポートのタイミング(書き込みモード)

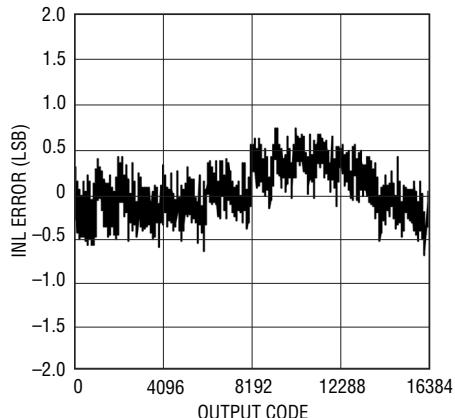


226814 TD07

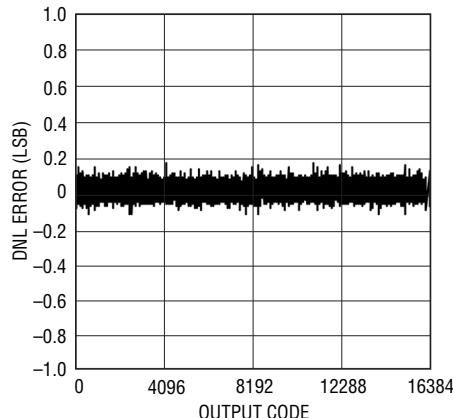
22687614fa

標準的性能特性

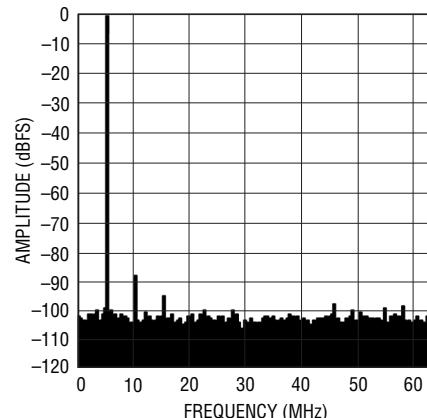
LTC2268-14: 積分非直線性(INL)



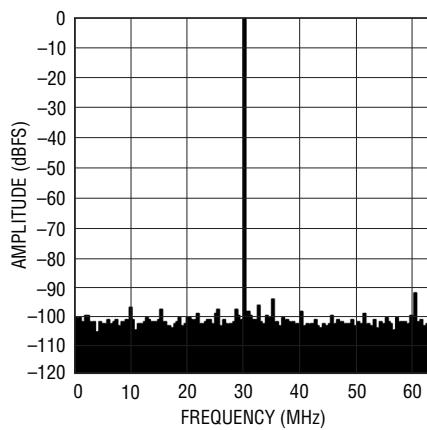
LTC2268-14: 微分非直線性(DNL)



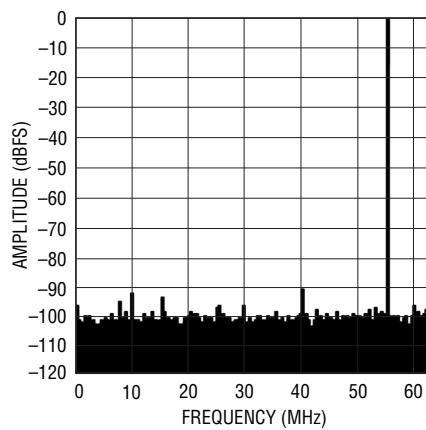
LTC2268-14: 8k ポイントの FFT、
 $f_{IN} = 5\text{MHz}$, -1dBFS, 125Msps



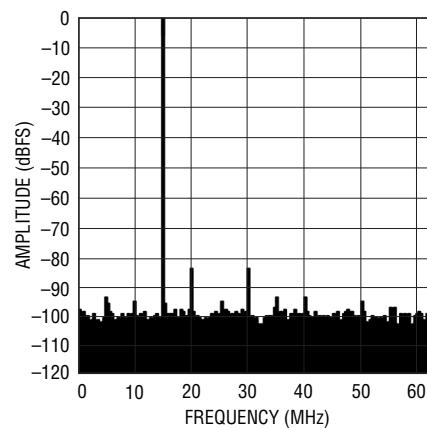
LTC2268-14: 8k ポイントの FFT、
 $f_{IN} = 30\text{MHz}$, -1dBFS, 125Msps



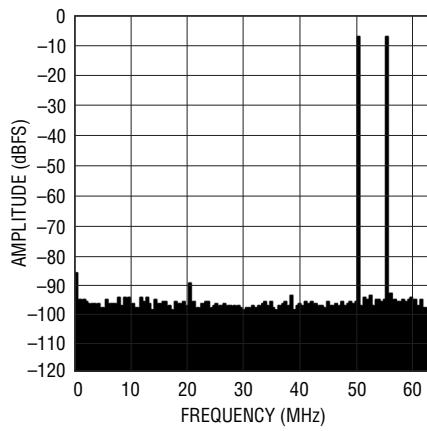
LTC2268-14: 8k ポイントの FFT、
 $f_{IN} = 70\text{MHz}$, -1dBFS, 125Msps



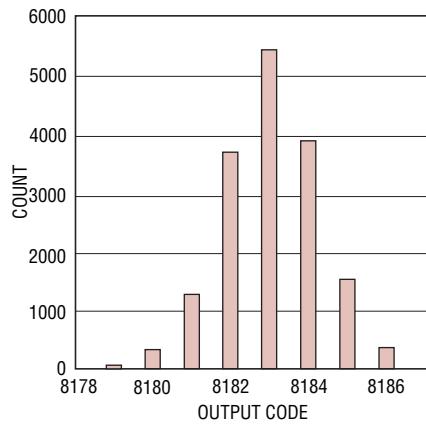
LTC2268-14: 8k ポイントの FFT、
 $f_{IN} = 140\text{MHz}$, -1dBFS, 125Msps



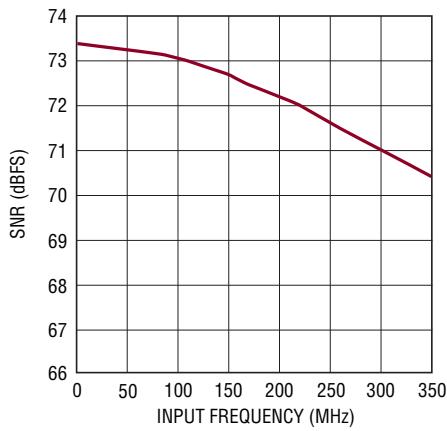
LTC2268-14: 8k ポイントの 2トーン
FFT, $f_{IN} = 70\text{MHz}, 75\text{MHz}$, -1dBFS,
125Msps



LTC2268-14: 入力短絡状態の
ヒストグラム



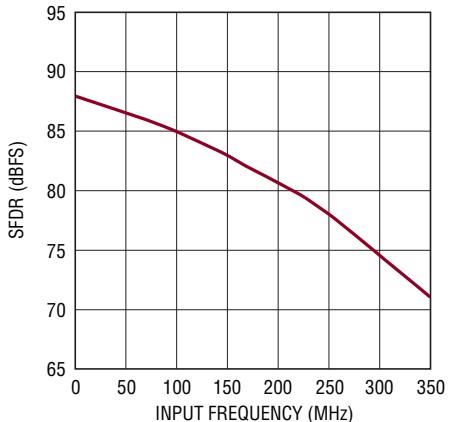
LTC2268-14: SNR と入力周波数、
-1dB, 2V範囲, 125Msps



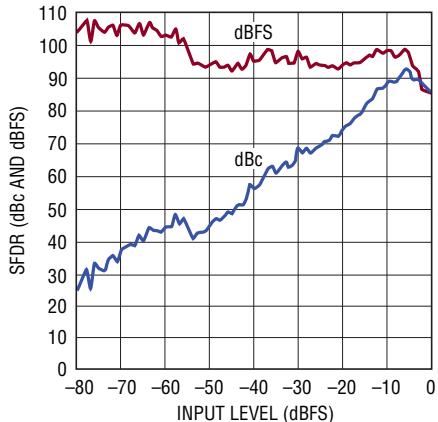
LTC2268-14/ LTC2267-14/LTC2266-14

標準的性能特性

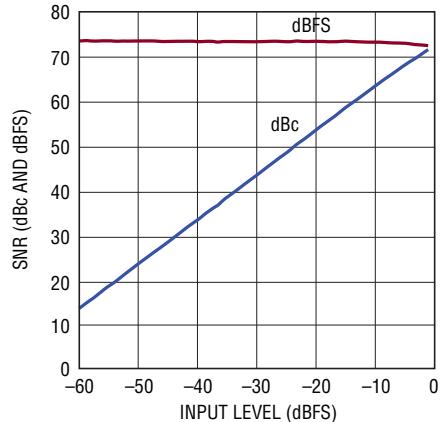
LTC2268-14:SFDRと入力周波数、
-1dB、2V範囲、125Msps



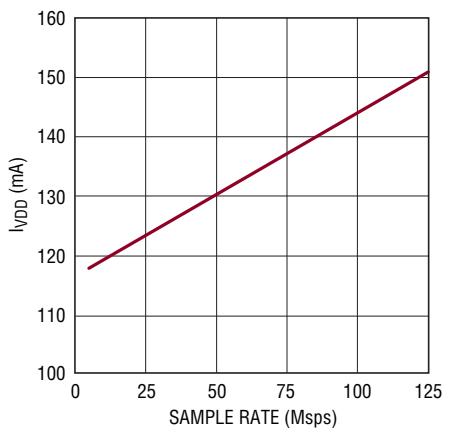
LTC2268-14:SFDRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、2V範囲、125Msps



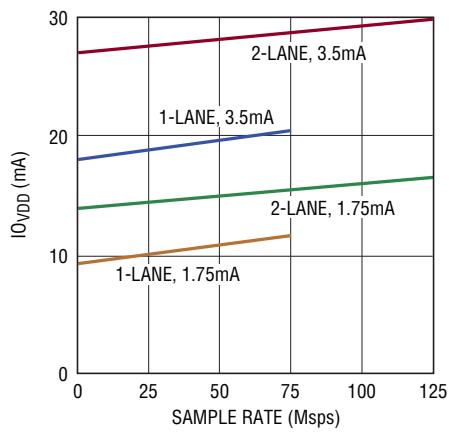
LTC2268-14:SNRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、2V範囲、125Msps



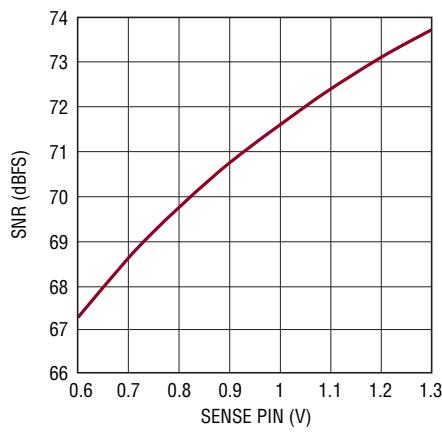
LTC2268-14: I_{VDD} とサンプリング・
レート、5MHzの正弦波入力、-1dB



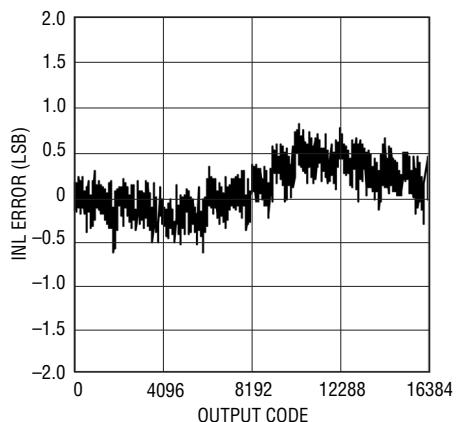
I_{VDD} とサンプリング・レート、
5MHzの正弦波入力、-1dB



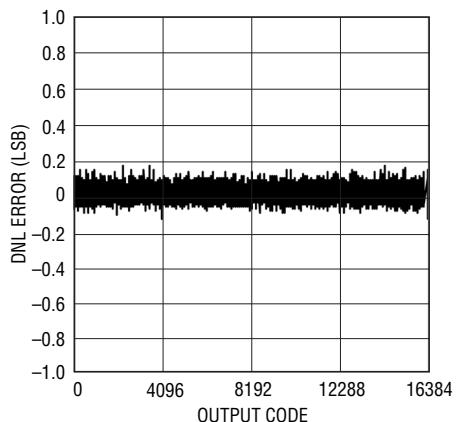
LTC2268-14:SNRとSENSE、
 $f_{IN} = 5\text{MHz}$, -1dB



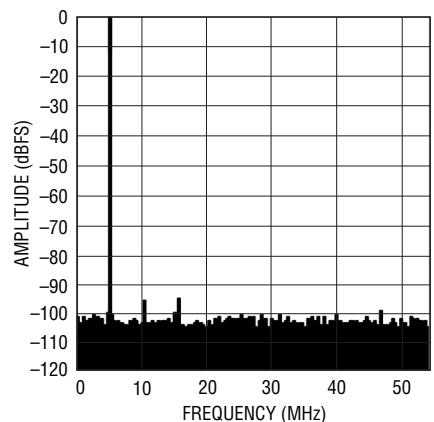
LTC2267-14:積分非直線性(INL)



LTC2267-14:微分非直線性(DNL)

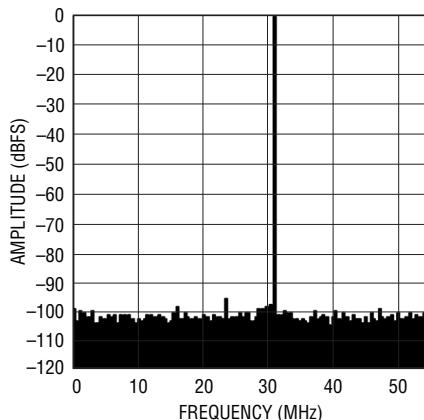


LTC2267-14:8kポイントのFFT、
 $f_{IN} = 5\text{MHz}$, -1dBFS, 105Msps

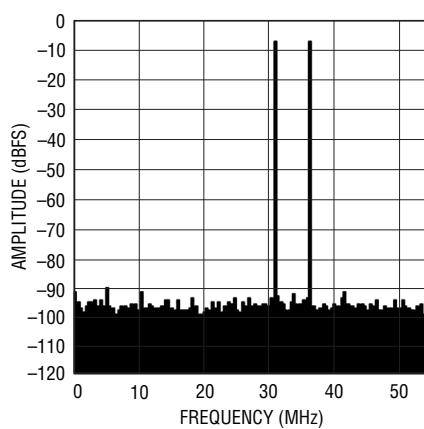


標準的性能特性

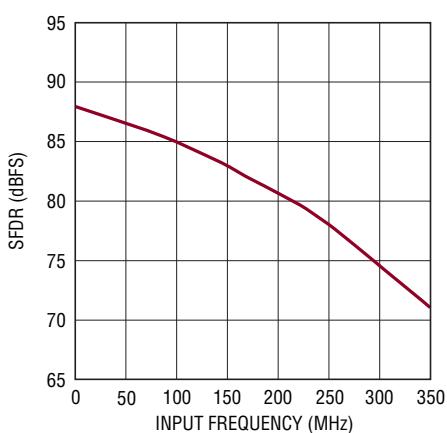
LTC2267-14:8k ポイントの FFT、
 $f_{IN} = 30\text{MHz}$, -1dBFS, 105Msps



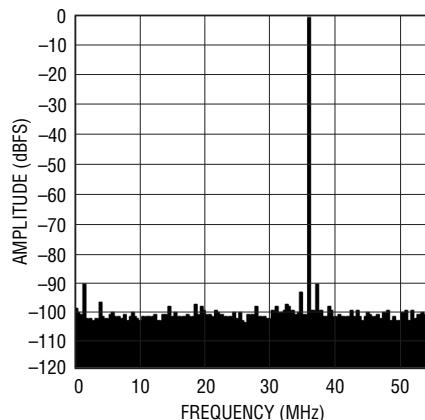
LTC2267-14:8k ポイントの 2トーン
FFT、 $f_{IN} = 70\text{MHz}$, 75MHz, -1dBFS,
105Msps



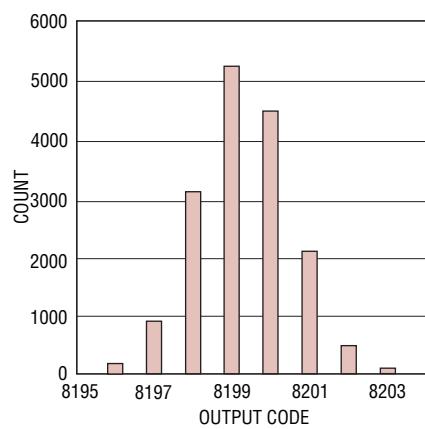
LTC2267-14:SFDR と入力周波数、
-1dB, 2V 範囲, 105Msps



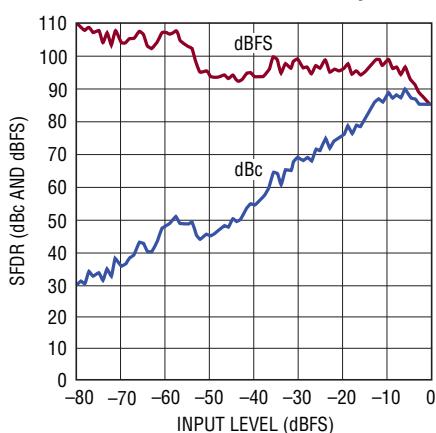
LTC2267-14:8k ポイントの FFT、
 $f_{IN} = 70\text{MHz}$, -1dBFS, 105Msps



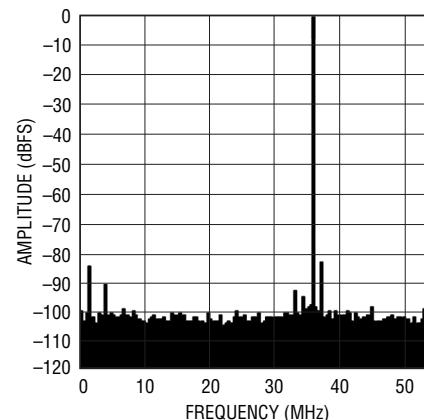
LTC2267-14: 入力短絡状態の
ヒストグラム



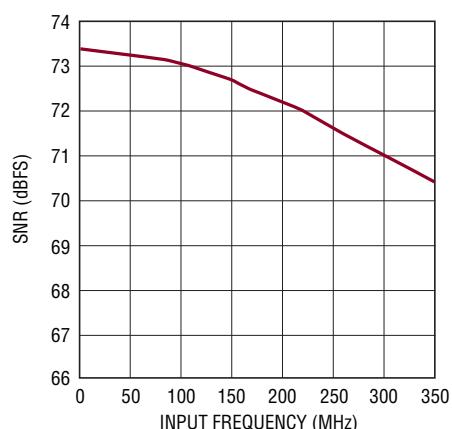
LTC2267-14:SFDR と入力レベル、
 $f_{IN} = 70\text{MHz}$, 2V 範囲, 105Msps



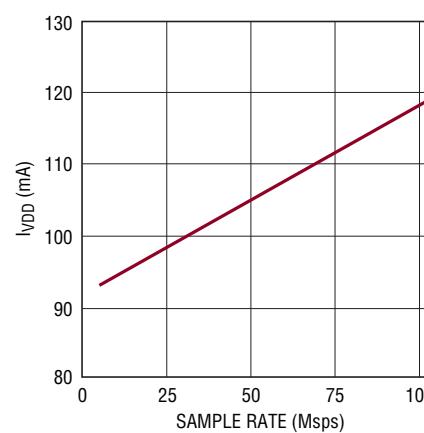
LTC2267-14:8k ポイントの FFT、
 $f_{IN} = 140\text{MHz}$, -1dBFS, 105Msps



LTC2267-14:SNR と入力周波数、
-1dB, 2V 範囲, 105Msps



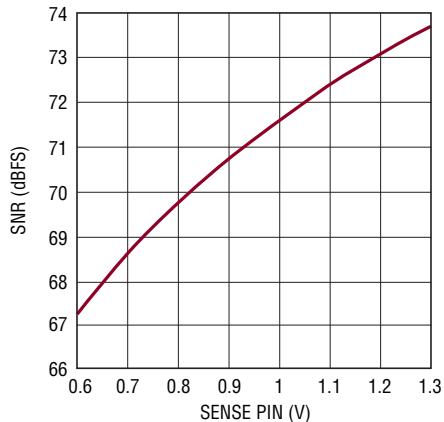
LTC2267-14: I_{VDD} とサンプリング・
レート、5MHz の正弦波入力、-1dB



LTC2268-14/ LTC2267-14/LTC2266-14

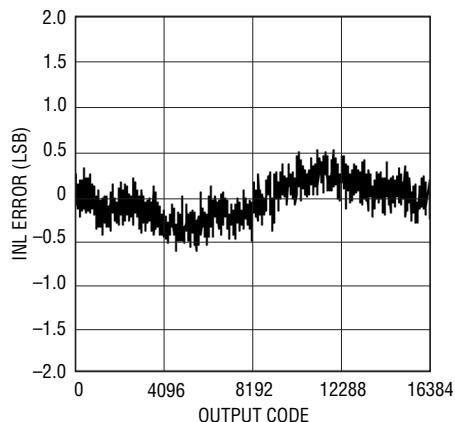
標準的性能特性

**LTC2267-14:SNRとSENSE、
 $f_{IN} = 5\text{MHz}$, -1dB**



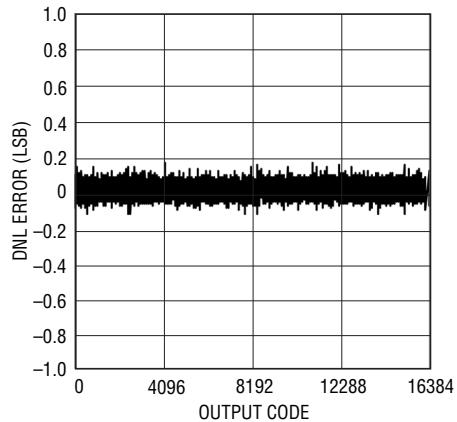
226814 G35

LTC2266-14: 積分非直線性(INL)



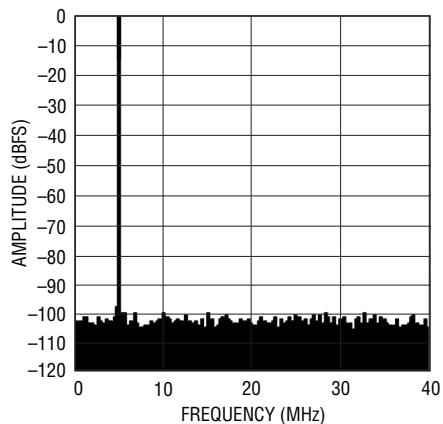
226814 G41

LTC2266-14: 微分非直線性(DNL)



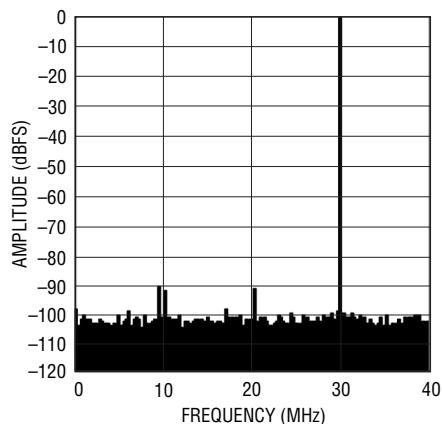
226814 G42

**LTC2266-14:8kポイントのFFT、
 $f_{IN} = 5\text{MHz}$, -1dBFS, 80Msps**



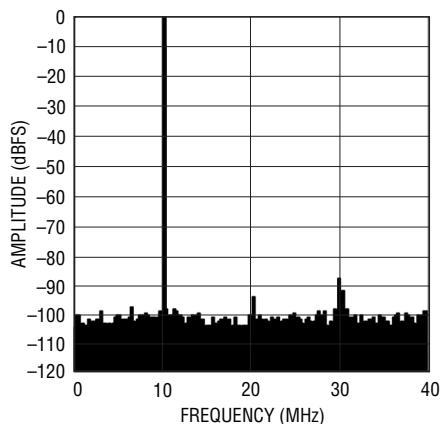
226814 G43

**LTC2266-14:8kポイントのFFT、
 $f_{IN} = 30\text{MHz}$, -1dBFS, 80Msps**



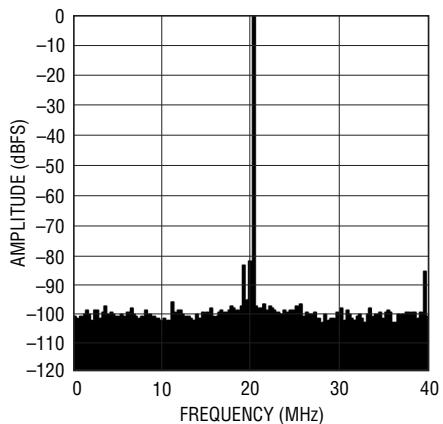
226814 G44

**LTC2266-14:8kポイントのFFT、
 $f_{IN} = 70\text{MHz}$, -1dBFS, 80Msps**



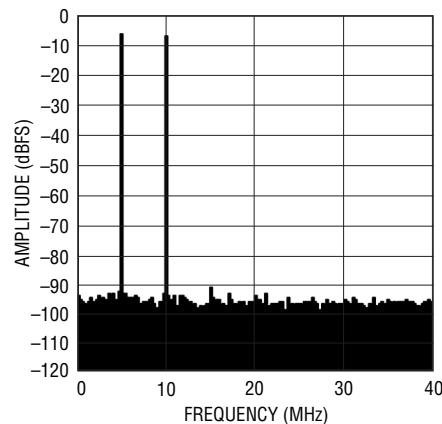
226814 G45

**LTC2266-14:8kポイントのFFT、
 $f_{IN} = 140\text{MHz}$, -1dBFS, 80Msps**



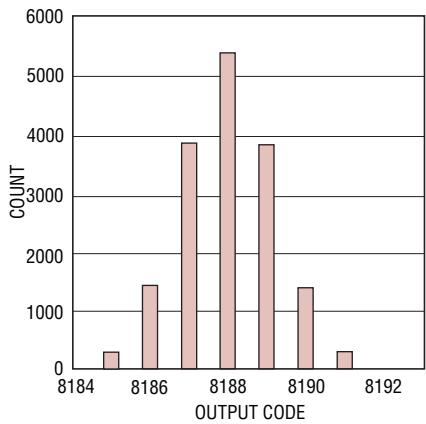
226814 G46

**LTC2266-14:8kポイントの2トーン
FFT, $f_{IN} = 70\text{MHz}, 75\text{MHz}$, -1dBFS,
80Msps**



226814 G47

**LTC2266-14:
入力短絡状態のヒストグラム**

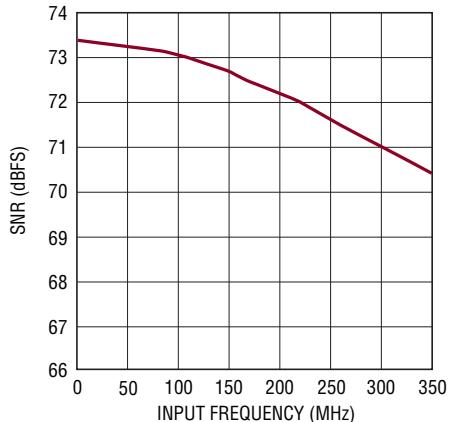


226814 G48

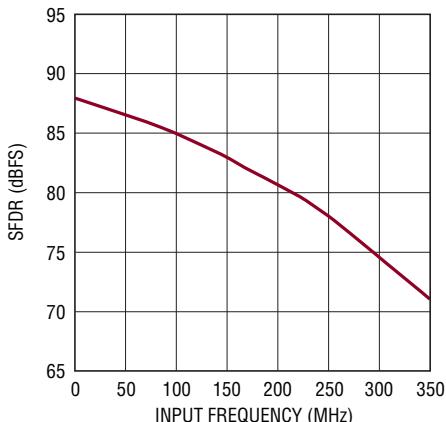
22687614fa

標準的性能特性

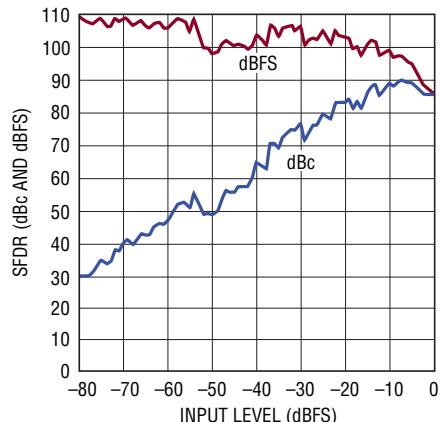
LTC2266-14:SNRと入力周波数、
-1dB、2V範囲、80Msps



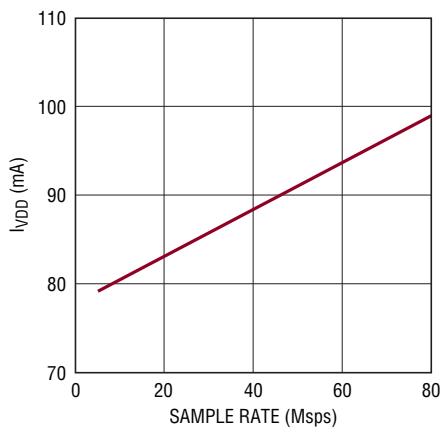
LTC2266-14:SFDRと入力周波数、
-1dB、2V範囲、80Msps



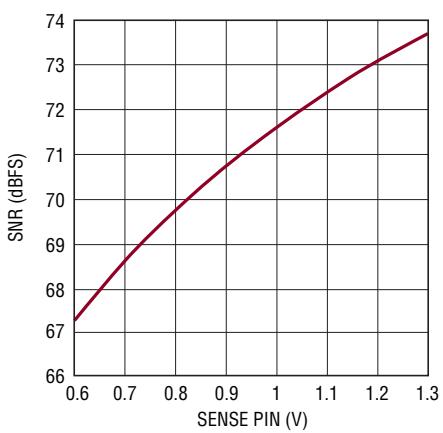
LTC2266-14:SFDRと入力周波数、
-1dB、2V範囲、80Msps



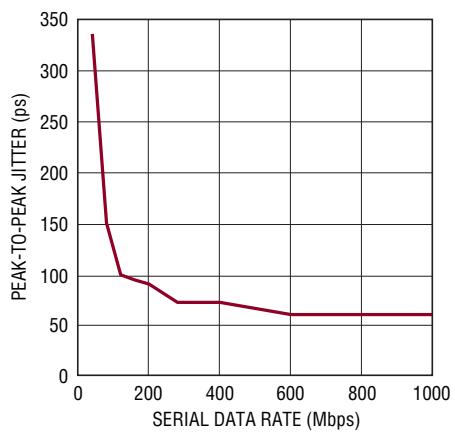
LTC2266-14: I_{VDD} とサンプリング・
レート、5MHzの正弦波入力、-1dB



LTC2266-14:SNRとSENSE、
 $f_{IN} = 5\text{MHz}$ 、-1dB



DCOのサイクル間ジッタと
シリアル・データ・レート



LTC2268-14/ LTC2267-14/LTC2266-14

ピン機能

A_{IN1}⁺(ピン1): チャネル1の正の差動アナログ入力。

A_{IN1}⁻(ピン2): チャネル1の負の差動アナログ入力。

V_{CM1}(ピン3): 公称V_{DD}/2に等しい同相バイアス出力。V_{CM}はチャネル1のアナログ入力の同相レベルをバイアスするのに使用します。0.1μFのセラミック・コンデンサを使用してグランドにバイパスします。

REFH(ピン4、5): ADCの“H”リファレンス。2.2μFのセラミック・コンデンサを使用してピン6とピン7にバイパスし、0.1μFのセラミック・コンデンサを使用してグランドにバイパスします。

REFL(ピン6、7): ADCの“L”リファレンス。2.2μFのセラミック・コンデンサを使用してピン4とピン5にバイパスし、0.1μFのセラミック・コンデンサを使用してグランドにバイパスします。

V_{CM2}(ピン8): 公称V_{DD}/2に等しい同相バイアス出力。V_{CM}はチャネル2のアナログ入力の同相レベルをバイアスするのに使用します。0.1μFのセラミック・コンデンサを使用してグランドにバイパスします。

A_{IN2}⁺(ピン9): チャネル2の正の差動アナログ入力。

A_{IN2}⁻(ピン10): チャネル2の負の差動アナログ入力。

V_{DD}(ピン11、12、39、40): 1.8Vのアナログ電源。0.1μFのセラミック・コンデンサを使用してグランドにバイパスします。隣接するピンはバイパス・コンデンサを共有することができます。

ENC⁺(ピン13): エンコード入力。立ち上がりエッジで変換が開始されます。

ENC⁻(ピン14): エンコード相補入力。立ち下がりエッジで変換が開始されます。

CS(ピン15): シリアル・プログラミング・モード(PAR/SER=0V)では、CSはシリアル・インターフェースのチップ・セレクト入力です。CSが“L”的ときSCKがイネーブルされ、SDIのデータをモード制御レジスタにシフトします。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、CSによって2レーンまたは1レーンの出力モードが選択されます。CSは、1.8V～3.3Vのロジックでドライブできます。

SCK(ピン16): シリアル・プログラミング・モード(PAR/SER = 0V)では、SCKはシリアル・インターフェースのクロック入力です。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、SCKによって3.5mAまたは1.75mAのLVDS出力電流が選択されます。SCKは、1.8V～3.3Vのロジックでドライブできます。

SDI(ピン17): シリアル・プログラミング・モード(PAR/SER = 0V)では、SDIはシリアル・インターフェースのデータ入力です。SDIのデータはSCKの立ち上がりエッジでモード制御レジスタにクロックインされます。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、SDIを使用してデバイスをパワーダウンさせることができます。SDIは1.8V～3.3Vのロジックでドライブすることができます。

GND(ピン18、33、37、露出パッド・ピン41): ADCの電源グランド。露出パッドはPCBグランドに半田付けする必要があります。

OGND(ピン25): 出力ドライバのグランド。非常に低インダクタンスのパスによってグランド・プレーンに短絡する必要があります。ピンの近くに複数のビアを使用します。

0V_{DD}(ピン26): 出力ドライバの電源。0.1μFのセラミック・コンデンサを使用してグランドにバイパスします。

SDO(ピン34): シリアル・プログラミング・モード(PAR/SER = 0V)では、SDOはオプションのシリアル・インターフェースのデータ出力です。SDOのデータはモード制御レジスタから読み出して、SCKの立ち下がりエッジでラッチすることができます。SDOはオープンドレインのNMOS出力で、2kの外付けプルアップ抵抗を1.8V～3.3Vに接続する必要があります。モード制御レジスタから読み出す必要がない場合には、プルアップ抵抗は不要でSDOを未接続の状態にしておくことができます。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、SDOはデジタル出力の100Ωの内部終端抵抗をイネーブルする入力です。SDOを入力として使用する場合には、1kの直列抵抗を介して1.8V～3.3Vのロジックでドライブすることができます。

PAR/SER(ピン35): プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグランドに接続します。CS、SCK、SDI、SDOはA/Dの動作モードを制御するシリアル・インターフェースになります。パラレル・プログラミング・モードをイネーブルするにはV_{DD}に接続します。この場合、

ピン機能

\overline{CS} 、SCK、SDI、SDO は、A/D の（種類が限定された）動作モードを制御するパラレル・ロジック入力になります。PAR/SER はグランドまたはデバイスの V_{DD} に直接接続し、ロジック信号ではドライブしません。

V_{REF} (ピン 36) : リファレンス電圧出力。1 μ F のセラミック・コンデンサを使用してグランドにバイパスします。公称 1.25V です。

SENSE (ピン 38) : リファレンス・プログラミング・ピン。SENSE を V_{DD} に接続すると、内部リファレンスと $\pm 1V$ の入力範囲が選択されます。SENSE をグランドに接続すると、内部リファレンスと $\pm 0.5V$ の入力範囲が選択されます。SENSE に 0.625V ~ 1.3V の外部リファレンスを印加すると、 $\pm 0.8 \cdot V_{SENSE}$ の入力範囲が選択されます。

LVDS 出力

以下の全てのピンは差動 LVDS 出力です。出力電流レベルはプログラム可能です。各 LVDS 出力ペアのピンの間にはオプションの 100 Ω の内部終端抵抗が備わっています。

OUT2B⁻/OUT2B⁺、OUT2A⁻/OUT2A⁺ (ピン 19/20、ピン 21/22) : チャネル 2 のシリアル・データ出力。1 レーンの出力モードでは、OUT2A⁻/OUT2A⁺ のみを使用します。

FR⁻/FR⁺ (ピン 23/24) : フレーム開始出力。

DCO⁻/DCO⁺ (ピン 27/28) : データ・クロック出力。

OUT1B⁻/OUT1B⁺、OUT1A⁻/OUT1A⁺ (ピン 29/30、ピン 31/32) : チャネル 1 のシリアル・データ出力。1 レーンの出力モードでは、OUT1A⁻/OUT1A⁺ のみを使用します。

LTC2268-14/ LTC2267-14/LTC2266-14

ブロック図

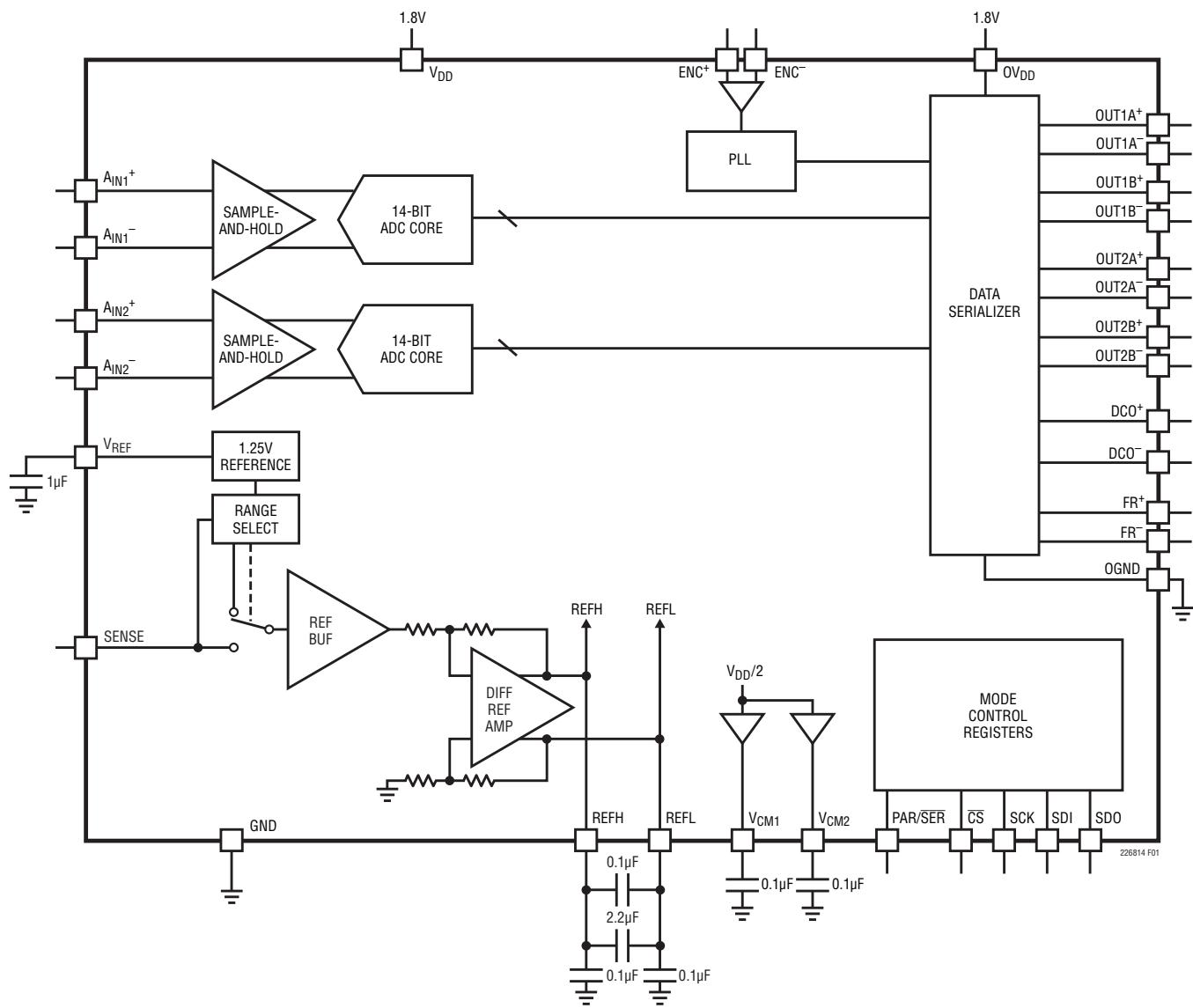


図1. 機能ブロック図

アプリケーション情報

コンバータの動作

LTC2268-14/LTC2267-14/LTC2266-14は、1.8V単一電源で動作する低消費電力、2チャネル、14ビット、125Msps/105Msps/80Msps A/Dコンバータです。アナログ入力は差動でドライブします。エンコード入力は、最適なジッタ性能を得る場合は差動で、消費電力を低くする場合はシングルエンドでドライブすることができます。デジタル出力は、データ・ラインの数を最小限に抑えるためにシリアルLVDSを採用しています。各チャネルは同時に2ビットを出力します(2レーン・モード)。低いサンプリング・レートでは、チャネル当たり1ビットの選択肢(1レーン・モード)もあります。シリアルSPIポートを介してモード制御レジスタをプログラムすることにより、多くの追加機能を選択することができます。

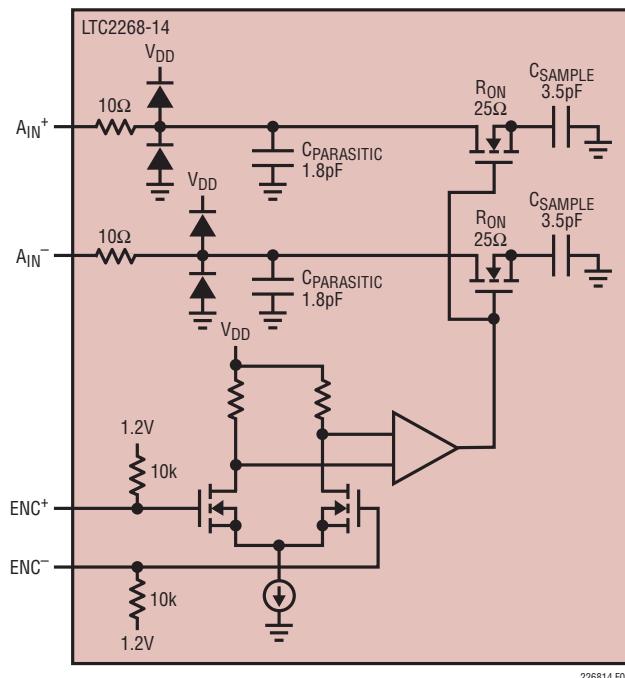


図2. 等価入力回路。2つのアナログ・チャネルのうち1つのみを示す。

アナログ入力

アナログ入力は差動CMOSサンプル・ホールド回路です(図2)。入力は、 V_{CM1} 出力ピンまたは V_{CM2} 出力ピンによって設定される同相電圧(公称 $V_{DD}/2$)を中心にして差動でドライブする必要があります。2Vの入力範囲の場合、入力を $V_{CM} - 0.5V$ から $V_{CM} + 0.5V$ まで振幅させます。入力間には 180° の位相差が必要です。

2つのチャネルは共有のエンコード回路(図2)によって同時にサンプリングされます。

入力ドライブ回路

入力フィルタ

可能であれば、アナログ入力の間近にRCローパス・フィルタを置きます。このローパス・フィルタはドライブ回路をA/Dのサンプル・ホールドのスイッチング回路から絶縁し、ドライブ回路の広帯域ノイズも制限します。入力RCフィルタの一例を図3に示します。RC部品の値はアプリケーションの入力周波数に基づいて選択します。

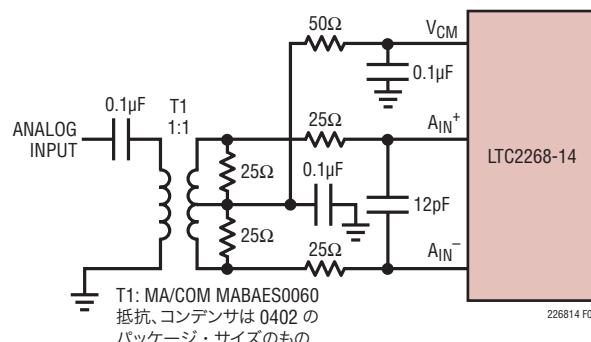


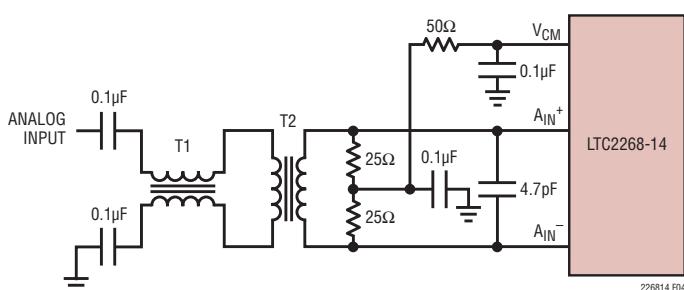
図3. トランスを使用したアナログ入力回路。5MHz～70MHzの入力周波数に対して推奨

LTC2268-14/ LTC2267-14/LTC2266-14

アプリケーション情報

トランス結合回路

2次側にセンタータップを備えたRFトランスでドライブされるアナログ入力を図3に示します。センタータップはV_{CM}でバイアスされており、A/Dの入力を最適DCレベルに設定します。高い入力周波数では、伝送ラインのバラン・トランス(図4～図6)のバランスが良くなるので、A/Dの歪みが小さくなります。

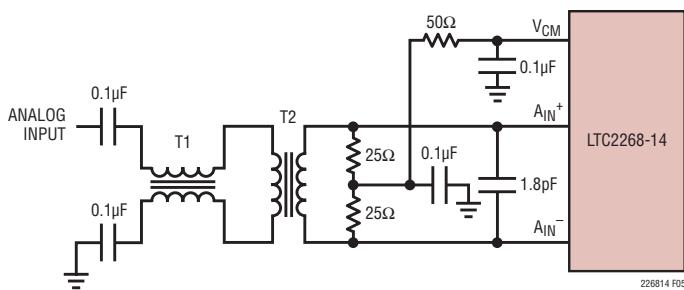


T1: MA/COM MABA-007159-000000

T2: MA/COM MABAES0060

抵抗、コンデンサは0402のパッケージ・サイズのもの

図4. 70MHz～170MHzの入力周波数用の推奨フロントエンド回路



T1: MA/COM MABA-007159-000000

T2: COILCRAFT WBC1-1LB

抵抗、コンデンサは0402のパッケージ・サイズのもの

図5. 170MHz～300MHzの入力周波数用の推奨フロントエンド回路

アンプ回路

高速差動アンプによってドライブされるアナログ入力を図7に示します。アンプの出力はA/DにAC結合されているので、アンプの出力の同相電圧を最適に設定して歪みを最小限に抑えることができます。

非常に高い周波数では、多くの場合、RF利得ブロックの方が差動アンプよりも歪みが小さくなります。利得ブロックがシングルエンドの場合には、A/Dをドライブする前にトランス回路(図4～図6)で信号を差動に変換します。

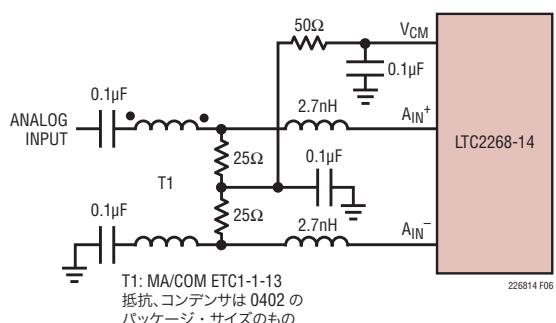


図6. 300MHzを超える入力周波数用の推奨フロントエンド回路

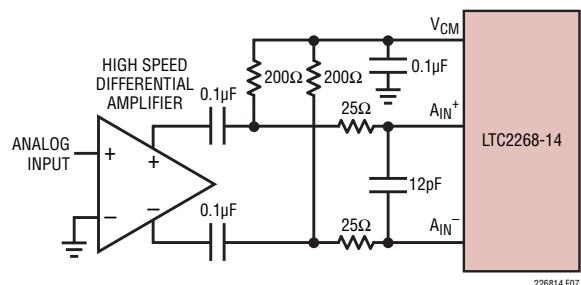


図7. 高速差動アンプを使用したフロントエンド回路

22687614fa

アプリケーション情報

リファレンス

LTC2268-14/LTC2267-14/LTC2266-14は1.25V電圧リファレンスを内蔵しています。内部リファレンスを使用する2Vの入力範囲の場合、SENSEをV_{DD}に接続します。内部リファレンスを使用する1Vの入力範囲の場合、SENSEをグランドに接続します。外部リファレンスを使用する2Vの入力範囲の場合、1.25Vのリファレンス電圧をSENSEに印加します(図9)。

0.625V～1.30Vの電圧をSENSEに印加することによって入力範囲を調整することができます。これにより、入力範囲は $1.6 \cdot V_{SENSE}$ になります。

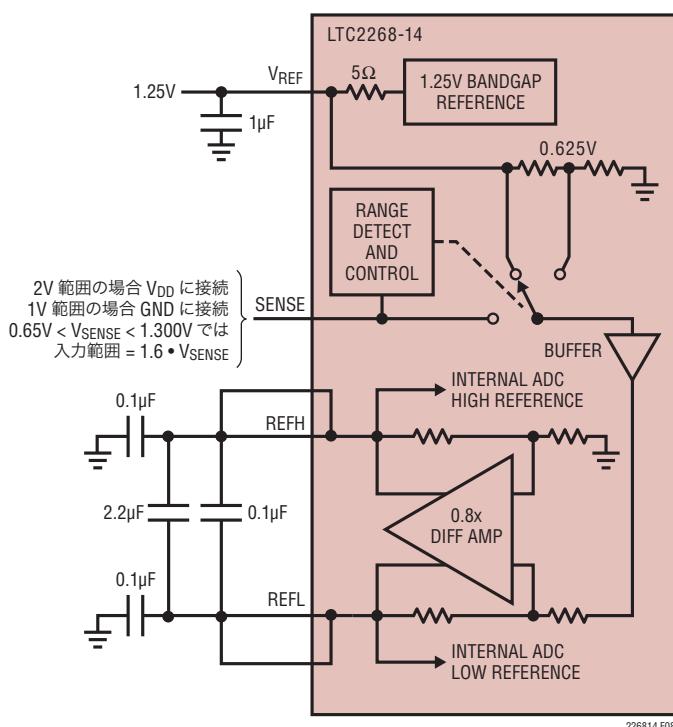


図8. リファレンス回路

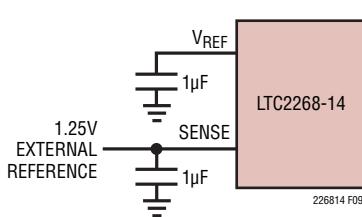


図9.1.25Vの外部リファレンスを使用

リファレンスは両方のADCチャネルによって共有されているので、各チャネルの入力範囲を個別に調整することはできません。

V_{REF}、REFHおよびREFLの各ピンは図8に示すようにバイパスします。REFHとREFLの間の0.1μFコンデンサは(回路基板の裏側ではなく)できるだけピンに近づけます。

エンコード入力

エンコード入力の信号品質は、A/Dのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。回路基板上でデジタル・トレースに隣接して配線しないでください。エンコード入力には2つの動作モードがあります。差動エンコード・モード(図10)とシングルエンド・エンコード・モード(図11)です。

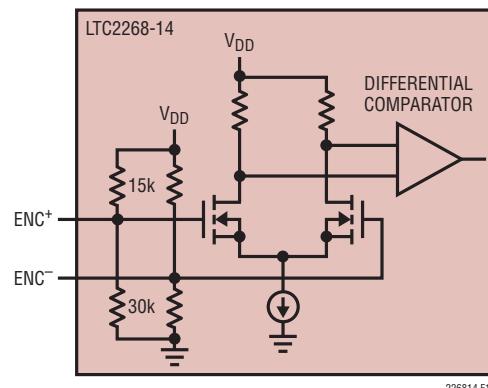


図10. 差動エンコード・モードの等価エンコード入力回路

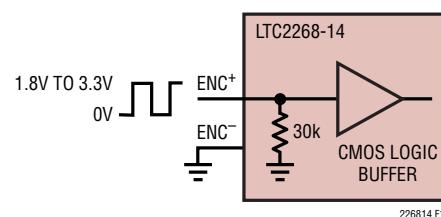


図11. シングルエンド・エンコード・モードの等価エンコード入力回路

LTC2268-14/ LTC2267-14/LTC2266-14

アプリケーション情報

正弦波、PECL または LVDS のエンコード入力には、差動エンコード・モードを推奨します(図12 および図13)。エンコード入力は内部で 10k の等価抵抗を介して 1.2V にバイアスされています。エンコード入力は V_{DD} より高くすることができ(最大 3.6V)、同相範囲は 1.1V ~ 1.6V です。差動エンコード・モードでは、ENC⁺ をグランドより 200mV 以上高い電圧に維持して、シングルエンド・エンコード・モードを誤ってトリガしないようにします。良好なジッタ性能を得るため、ENC⁺ の立ち上がり時間と立ち下がり時間を高速にします。

シングルエンド・エンコード・モードは CMOS エンコード入力で使用します。このモードを選択するには、ENC⁻ をグランドに接続し、ENC⁺ を方形波のエンコード入力でドライブします。ENC⁺ は V_{DD} より高くすることができるので(最大 3.6V)、1.8V ~ 3.3V の CMOS ロジック・レベルを使用することができます。ENC⁺ のスレッショルドは 0.9V です。良好なジッタ性能を得るため、ENC⁺ の立ち上がり時間と立ち下がり時間を高速にします。

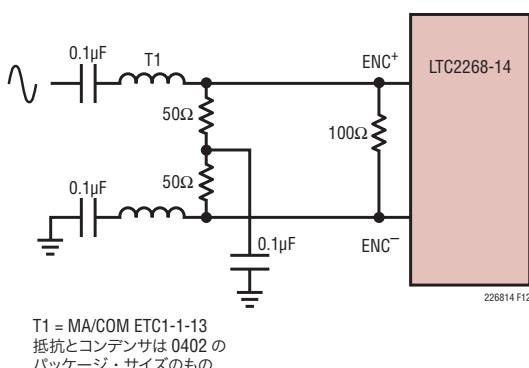


図12. 正弦波のエンコード・ドライブ

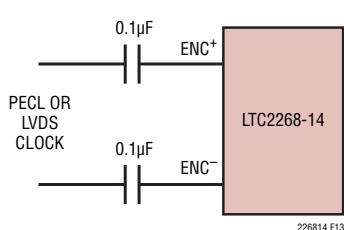


図13.PECL または LVDS のエンコード・ドライブ

クロックPLLとデューティ・サイクル・スタビライザ

エンコード・クロックは内部フェーズロック・ループ(PLL)によって乗算され、シリアル・デジタル出力データを生成します。エンコード信号の周波数が変化するか、エンコード信号がオフになると、PLLが入力クロックにロックするために 25μs かかります。

クロック・デューティ・サイクル・スタビライザ回路により、印加されるエンコード信号のデューティ・サイクルは 30% ~ 70% の範囲の変動が許容されます。シリアル・プログラミング・モードでは、デューティ・サイクル・スタビライザをディスエーブルすることができますが、推奨しません。パラレル・プログラミング・モードでは、デューティ・サイクル・スタビライザは常にイネーブルされています。

デジタル出力

LTC2268-14/LTC2267-14/LTC2266-14 のデジタル出力はシリアル化された LVDS 信号です。各チャネルは、同時に 2 ビットを出力します(2 レーン・モード)。低いサンプリング・レートでは、1 チャネルあたり 1 ビットの選択肢もあります(1 レーン・モード)。データは 16, 14、または 12 ビットにシリアル化できます(詳細については「タイミング図」を参照)。12 ビットにシリアル化する場合、2 つの LSB は使用できないことに注意してください。このモードは、これらのデバイスの 12 ビット・バージョンと互換性をもたせるために用意されています。

出力データは、データ・クロック出力(DCO)の立ち上がりエッジおよび立ち下がりエッジでラッチします。データ・フレーム出力(FR)を使用し、新たな変換のデータが出力され始める時点を決定することができます。2 レーンの 14 ビット・シリアル化モードでは、FR 出力の周波数は 1/2 になります。

データ出力の最大シリアル・データ・レートは 1Gbps なので、ADC の最大サンプリング・レートは ADC の速度グレードだけでなく、シリアル化モードによっても異なります(表1を参照)。全てのシリアル化モードの最小サンプリング・レートは 5Msps です。

アプリケーション情報

表1. 全てのシリアル化モードの最大サンプリング周波数。これらの制限値はLTC2268-14のものであることに注意。
遅い速度グレードのサンプリング周波数は、105MHz(LTC2267-14)または80MHz(LTC2266-14)を超えることはできない。

シリアル化モード		最大サンプリング周波数、 f_S (MHz)	DCO周波数	FR周波数	シリアル・データ・レート
2-Lane	16-Bit Serialization	125	$4 \cdot f_S$	f_S	$8 \cdot f_S$
2-Lane	14-Bit Serialization	125	$3.5 \cdot f_S$	$0.5 \cdot f_S$	$7 \cdot f_S$
2-Lane	12-Bit Serialization	125	$3 \cdot f_S$	f_S	$6 \cdot f_S$
1-Lane	16-Bit Serialization	62.5	$8 \cdot f_S$	f_S	$16 \cdot f_S$
1-Lane	14-Bit Serialization	71.4	$7 \cdot f_S$	f_S	$14 \cdot f_S$
1-Lane	12-Bit Serialization	83.3	$6 \cdot f_S$	f_S	$12 \cdot f_S$

デフォルトでは、出力は出力電流が3.5mA、出力同相電圧が1.25Vの標準LVDSレベルです。各LVDS出力ペアには100Ωの差動終端抵抗を外付けする必要があります。終端抵抗はLVDSレシーバにできるだけ近づけて配置します。

出力はOV_{DD}とOGND(それぞれ、A/Dのコア電源とグラウンドから絶縁されている)から電力供給されます。

プログラム可能なLVDS出力電流

デフォルトの出力ドライバ電流は3.5mAです。シリアル・プログラミング・モードでは、この電流は制御レジスタA2によって調整することができます。使用可能な電流レベルは、1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mAおよび4.5mAです。パラレル・プログラミング・モードでは、SCKピンにより、3.5mAまたは1.75mAを選択できます。

オプションのLVDSドライバの内部終端

ほとんどの場合、100Ωの外付け終端抵抗を使用するだけでLVDSの優れた信号品質が得られます。さらに、モード制御レジスタA2をシリアル・モードにプログラムすることにより、オプションの100Ωの内部終端抵抗をイネーブルすることができます。内部終端には、レシーバ側の不完全な終端によって生じる反射を吸収する効果があります。内部終端がイネーブルされると、出力ドライバ電流が2倍になって同じ出力電圧振幅を維持します。パラレル・プログラミング・モードでは、SDOピンによって内部終端がイネーブルされます。内部終端は、1.75mA、2.1mAまたは2.5mAのLVDS出力電流モードのときのみ使用します。

データ・フォーマット

アナログ入力電圧とデジタル・データ出力ビット間の相関を表2に示します。デフォルトでは、出力のデータ・フォーマットはオフセット・バイナリです。モード制御レジスタA1をシリアル・モードでプログラムすることにより、2の補数のフォーマットを選択することができます。

表2. 出力コードと入力電圧

A _{IN} ⁺ - A _{IN} ⁻ (2V範囲)	D13~D0 (オフセット・バイナリ)	D13~D0 (2の補数)
>1.000000V	11 1111 1111 1111	01 1111 1111 1111
+0.999878V	11 1111 1111 1111	01 1111 1111 1111
+0.999756V	11 1111 1111 1110	01 1111 1111 1110
+0.000122V	10 0000 0000 0001	00 0000 0000 0001
+0.000000V	10 0000 0000 0000	00 0000 0000 0000
-0.000122V	01 1111 1111 1111	11 1111 1111 1111
-0.000244V	01 1111 1111 1110	11 1111 1111 1110
-0.999878V	00 0000 0000 0001	10 0000 0000 0001
-1.000000V	00 0000 0000 0000	10 0000 0000 0000
≤-1.000000V	00 0000 0000 0000	10 0000 0000 0000

デジタル出力ランダマイザ

A/Dのデジタル出力からの干渉を避けられない場合もあります。デジタルの干渉は、容量性や誘導性の結合またはグランド・プレーンを介した結合から生じる可能性があります。結合係数が極めて小さくても、ADCの出力スペクトラルに不要なトーンを生じることができます。デジタル出力をデバイスから送出する前にランダム化することにより、これらの不要なトーンをランダム化し、不要なトーンの振幅を減少させることができます。

アプリケーション情報

デジタル出力は、 LSB と他のすべてのデータ出力ビットとの間で排他的論理和ロジック演算を行うことによってランダム化されます。デコードするには逆の演算を行います。つまり、LSB と他のすべてのビットとの間で排他的論理和演算を行います。FR 出力と DCO 出力は影響を受けません。出力ランダマイザは、モード制御レジスタ A1 をシリアル・モードでプログラムすることによってイネーブルされます。

デジタル出力のテストパターン

A/D へのデジタル・インターフェースのインサーキット・テストを可能にするため、両方のチャネルの A/D のデータ出力 (D13 ~ D0) を既知の値に強制するテスト・モードがあります。モード制御レジスタ A3 および A4 をシリアル・モードでプログラムすることにより、デジタル出力のテストパターンがイネーブルされます。テストパターンがイネーブルされると、他の全てのフォーマット・モード (2 の補数およびランダマイザ) をオーバーライドします。

出力ディスエーブル

モード制御レジスタ A2 をシリアル・モードでプログラムすることにより、デジタル出力をディスエーブルすることができます。節電またはインサーキット・テストのイネーブルのため、DCO や FR を含む全てのデジタル出力の電流ドライブがディスエーブルされます。ディスエーブルされると、同相の各出力ペアが高インピーダンスになりますが、差動インピーダンスは低く保つことができます。

スリープ・モードとナップ・モード

節電のため、A/D をスリープ・モードまたはナップ・モードにすることができます。スリープ・モードでは、デバイス全体がパワーダウンし、消費電力が 1mW になります。スリープ・モードは、モード制御レジスタ A1 (シリアル・プログラミング・モード)、または SDI (パラレル・プログラミング・モード) によってイネーブルされます。スリープ・モードから回復するのに要する時間は、V_{REF}、REFH および REFL のバイパス・コンデンサの容量によって決まります。図 8 の推奨値の場合、A/D は 2ms 後に安定します。

ナップ・モードでは、どの A/D チャネルの組み合わせもパワーダウンでき、内部リファレンス回路と PLL はアクティブなままで、スリープ・モードよりも速く回復することができます。ナップ・モードからの回復には少なくとも 100 クロック・サイクルを必要とします。非常に精確な DC セトリングが必要なアプリケーションの場合、50 μs を追加することにより、A/D がナップ・モードから移行するときの消費電流の変化によって生じるわずかな温度変化に対して内蔵リファレンスがセトリングできる

ようにします。ナップ・モードは、シリアル・プログラミング・モードでモード制御レジスタ A1 によってイネーブルされます。

デバイスのプログラミング・モード

LTC2268-14/LTC2267-14/LTC2266-14 の動作モードはパラレル・インターフェースまたはシンプルなシリアル・インターフェースのどちらでもプログラム可能です。シリアル・インターフェースの方が柔軟性に優れ、使用可能な全てのモードをプログラムすることができます。パラレル・インターフェースはそれに比べて限定されており、プログラムできるのはよく使用されるモードのいくつかだけです。

パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、PAR/SER = V_{DD} に接続します。CS、SCK、SDI、SDO の各ピンはバイナリ・ロジック入力で、特定の動作モードを設定します。これらのピンは V_{DD} またはグランドに接続するか、あるいは 1.8V、2.5V または 3.3V の CMOS ロジックでドライブすることができます。SDO を入力として使用する場合には、1k の直列抵抗を介してドライブします。CS、SCK、SDI および SDO によって設定されるモードを表 3 に示します。

表3. パラレル・プログラミング・モードの制御ビット (PAR/SER = V_{DD})

ピン	説明
CS	2レーン/1レーン選択ビット 0 = 2レーン、16ビット・シリアル化出力モード 1 = 1レーン、14ビット・シリアル化出力モード
SCK	LVDS 電流選択ビット 0 = 3.5mA LVDS 電流モード 1 = 1.75mA LVDS 電流モード
SDI	パワーダウン制御ビット 0 = 通常動作 1 = スリープ・モード
SDO	100Ω の内部終端選択ビット 0 = 内部終端をディスエーブル 1 = 内部終端をイネーブル

シリアル・プログラミング・モード

シリアル・プログラミング・モードを使用するには、PAR/SER をグランドに接続します。CS、SCK、SDI、SDO の各ピンは、A/D のモード制御レジスタをプログラムするシリアル・インターフェースになります。データは、16ビットのシリアル・ワードでレジスタに書き込まれます。レジスタの内容を検証するため、データをレジスタから読み出すこともできます。

22687614fa

アプリケーション情報

シリアル・データ転送は \overline{CS} が“L”になると開始されます。SDIピンのデータはSCKの最初の16個の立ち上がりエッジでラッチされます。最初の16個の後のSCKの立ち上がりエッジはどれも無視されます。データ転送は \overline{CS} が再度“H”になると終了します。

16ビットの入力ワードの最初のビットはR/Wビットです。次の7ビットはレジスタのアドレス(A6:A0)です。最後の8ビットはレジスタのデータ(D7:D0)です。

R/Wビットが“L”的場合、シリアル・データ(D7:D0)が、アドレス・ビット(A6:A0)によって設定されるレジスタに書き込まれます。R/Wビットが“H”的場合、アドレス・ビット(A6:A0)によって設定されるレジスタ内のデータがSDOピンで読み出されます(「タイミング図」を参照)。読み出しコマンドの実行中、レジスタは更新されず、SDIのデータは無視されます。

SDOピンはオープンドレイン出力で、 200Ω のインピーダンスでグランドにプルダウンされています。SDOを介してレジスタのデータを読み出す場合、2kのプルアップ抵抗を外付けする必要があります。シリアル・データが書き込み専用で読み出しの必要がない場合には、SDOをフロートさせておくことができるので、プルアップ抵抗は必要ありません。モード制御レジスタのマップを表4に示します。

ソフトウェア・リセット

シリアル・プログラミングを使用する場合には、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、全てのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットでなければなりません。ソフトウェア・リセットを実行するには、リセット・レジスタのビットD7にロジック1を書き込みます。リセットSPI書き込みコマンドが完了した後、ビットD7は自動的に再度ゼロに設定されます。

表4. シリアル・プログラミング・モードのレジスタ・マップ(PAR/SER = GND)

レジスタA0:リセット・レジスタ(アドレス00h)

D7	D6	D5	D4	D3	D2	D1	D0
RESET	X	X	X	X	X	X	X
ビット7	リセット ソフトウェア・リセット・ビット 0 = 不使用 1 = ソフトウェアによるリセット。全てのモード制御レジスタが00hにリセットされる。ADCは一時的にスリープ・モードになる。 このビットはSPI書き込みコマンドの終了時に自動的に再度ゼロに設定される。 リセット・レジスタは書き込み専用。						
ビット6～0	使用されない、ドントケア・ビット。						

レジスタA1:パワーダウン・レジスタ(アドレス01h)

D7	D6	D5	D4	D3	D2	D1	D0
DCSOFF	RAND	TWOSCOMP	SLEEP	NAP_2	X	X	NAP_1
ビット7	DCSOFF クロック・デューティ・サイクル・スタビライザ・ビット 0 = クロック・デューティ・サイクル・スタビライザをオン 1 = クロック・デューティ・サイクル・スタビライザをオフ。これは推奨されない。						
ビット6	RAND データ出力ランダマイザ・モード制御ビット 0 = データ出力ランダマイザ・モードをオフ 1 = データ出力ランダマイザ・モードをオン						
ビット5	TWOSCOMP 2の補数モード制御ビット 0 = オフセット・バイナリのデータ・フォーマット 1 = 2の補数のデータ・フォーマット						
ビット4, 3, 0	SLEEP:NAP_2:NAP_1 スリープ/ナップ・モード制御ビット 000 = 通常動作 0X1 = チャネル1がナップ・モード 01X = チャネル2がナップ・モード 1XX = スリープ・モード。両方のチャネルがディスエーブル 注記: ナップ・モードではチャネルのどの組み合わせも設定可能。						
ビット2, 1	使用されない、ドントケア・ビット。						

アプリケーション情報

レジスタ A2:出力モード・レジスタ(アドレス 02h)

	D7	D6	D5	D4	D3	D2	D1	D0	
	ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTMODE2	OUTMODE1	OUTMODE0	
ビット7～5	ILVDS2:ILVDS0	LVDS出力電流ビット 000 = 3.5mAのLVDS出力ドライバ電流 001 = 4.0mAのLVDS出力ドライバ電流 010 = 4.5mAのLVDS出力ドライバ電流 011 = 不使用 100 = 3.0mAのLVDS出力ドライバ電流 101 = 2.5mAのLVDS出力ドライバ電流 110 = 2.1mAのLVDS出力ドライバ電流 111 = 1.75mAのLVDS出力ドライバ電流							
ビット4	TERMON	LVDS内部終端ビット 0 = 内部終端をオフ 1 = 内部終端をオン。LVDS出力ドライバ電流はILVDS2:ILVDS0で設定された電流の2倍になる。内部終端は、1.75mA、2.1mAまたは2.5mAのLVDS出力電流モードのときのみ使用する。							
ビット3	OUTOFF	出力ディスエーブル・ビット 0 = デジタル出力をイネーブル 1 = デジタル出力をディスエーブル							
ビット2～0	OUTMODE2:OUTMODE0	デジタル出力モード制御ビット 000 = 2レーン、16ビットのシリアル化 001 = 2レーン、14ビットのシリアル化 010 = 2レーン、12ビットのシリアル化 011 = 不使用 100 = 不使用 101 = 1レーン、14ビットのシリアル化 110 = 1レーン、12ビットのシリアル化 111 = 1レーン、16ビットのシリアル化							

レジスタ A3:テストパターン MSB レジスタ(アドレス 03h)

	D7	D6	D5	D4	D3	D2	D1	D0
	OUTTEST	X	TP13	TP12	TP11	TP10	TP9	TP8
ビット7	OUTTEST	デジタル出力のテストパターン制御ビット 0 = デジタル出力のテストパターンをオフ 1 = デジタル出力のテストパターンをオン						
ビット6		使用されない、ドントケア・ビット。						
ビット5～0	TP13:TP8	テストパターン・データ・ビット(MSB) TP13:TP8 は、データ・ビット13(MSB)からデータ・ビット8までのテスト・パターンを設定します。						

レジスタ A4:テストパターン LSB レジスタ(アドレス 04h)

	D7	D6	D5	D4	D3	D2	D1	D0
	TP7	TP6	TP5	TP4	TP3	TP2	TP1	TP0
ビット7～0	TP7:TP0	テストパターン・データ・ビット LSB TP7:TP0 は、データ・ビット7からデータ・ビット0(LSB)までのテスト・パターンを設定します。						

アプリケーション情報

接地とバイパス

LTC2268-14/LTC2267-14/LTC2266-14には、切れ目のないクリーンなグランド・プレーンを備えたプリント基板が必要です。ADCの下の最初の層に内部グランド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ分離します。特に、アナログ信号トラックの横やADCの下にデジタル・トラックを通さないように注意する必要があります。

VDD、OVDD、VCM、VREF、REFH、REFLの各ピンには、高品質のセラミック・バイパス・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。特に重要なのは、REFHとREFLの間に配置する0.1 μ Fのコンデンサです。このコンデンサはA/Dと同じ回路基板の側に、できるだけデバイスに近づけて(1.5mm以内)配置してください。サイズが0402のセラミック・コンデンサを推奨します。

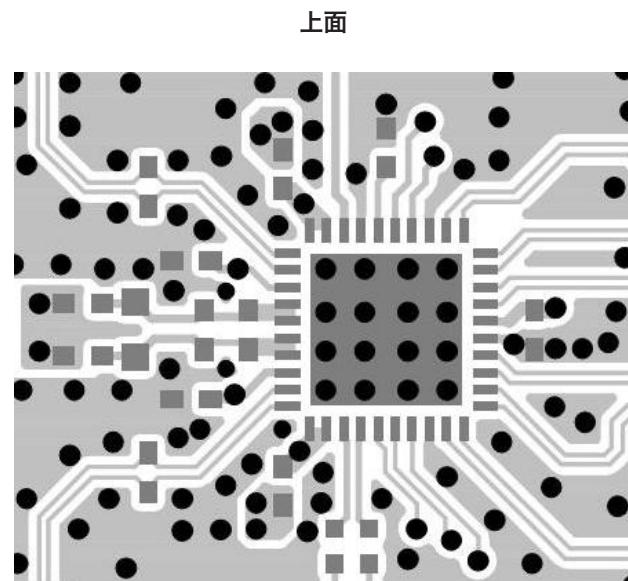
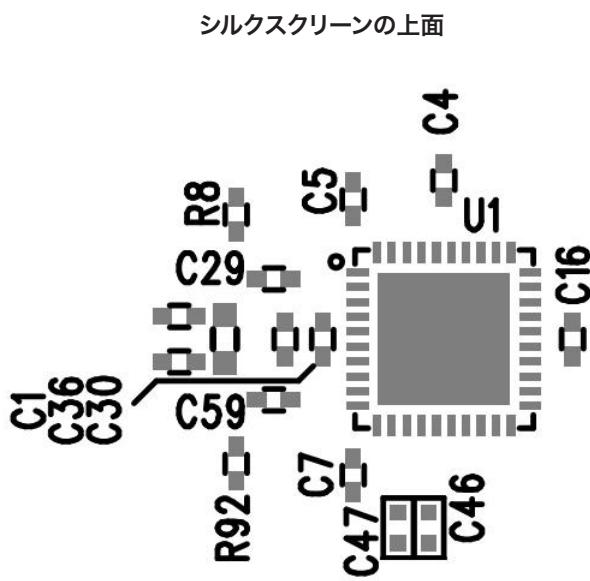
REFHとREFLの間に接続する大型の2.2 μ Fコンデンサは、ある程度離して配置できます。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くする必要があります。

アナログ入力、エンコード信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに絶縁するためのバリアとして、グランド領域とグランド・ビアを使用します。

熱伝導

LTC2268-14/LTC2267-14/LTC2266-14が発生する熱の大部分はダイから底面の露出パッドとパッケージのピンを通してプリント回路基板に伝わります。優れた電気的特性と熱特性を得るために、露出パッドをPC基板の大きな接地されたパッドに半田付けする必要があります。このパッドは複数のビアで内部グランド・プレーンに接続します。

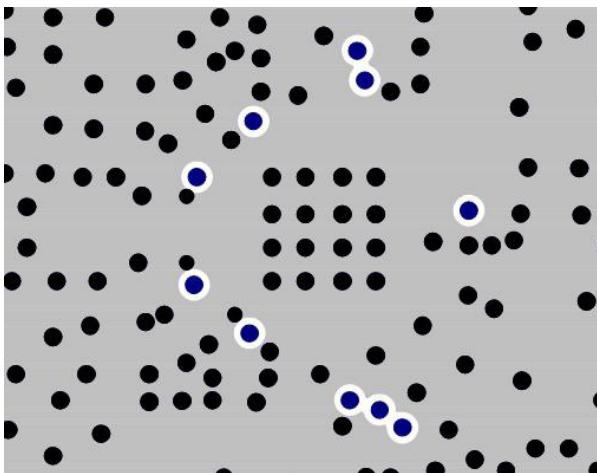
標準的応用例



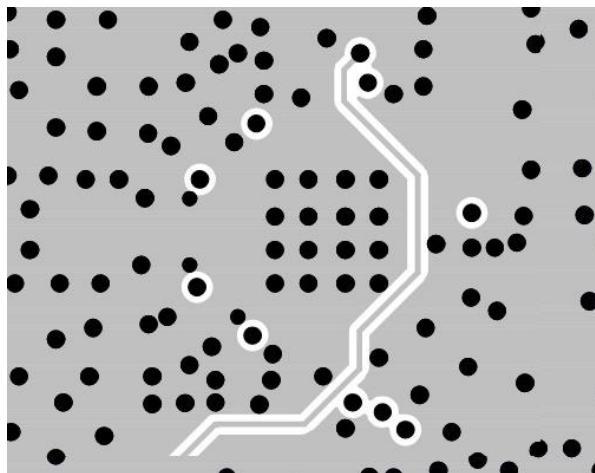
LTC2268-14/ LTC2267-14/LTC2266-14

標準的応用例

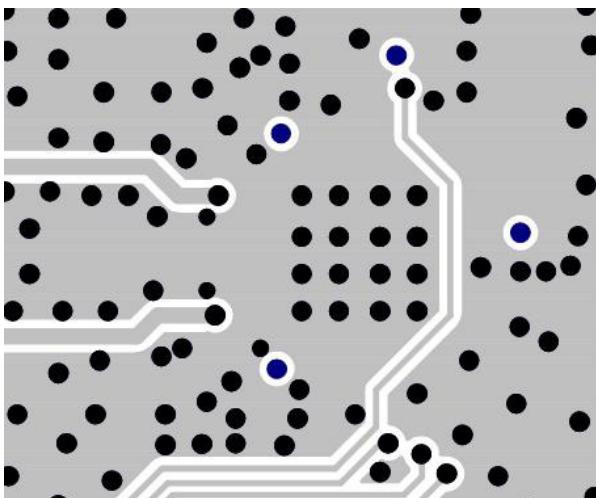
内部第2層 GND



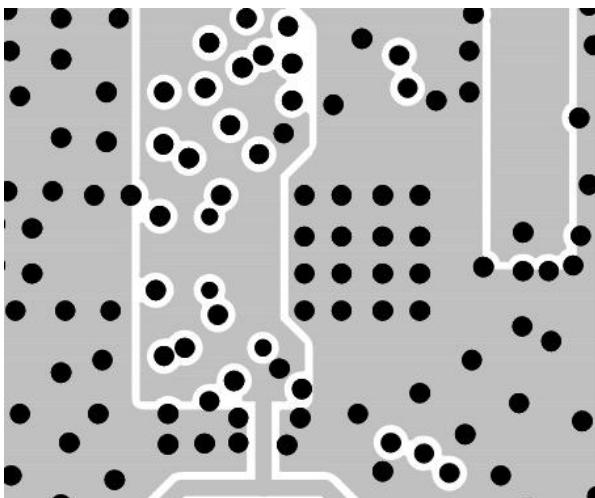
内部第3層



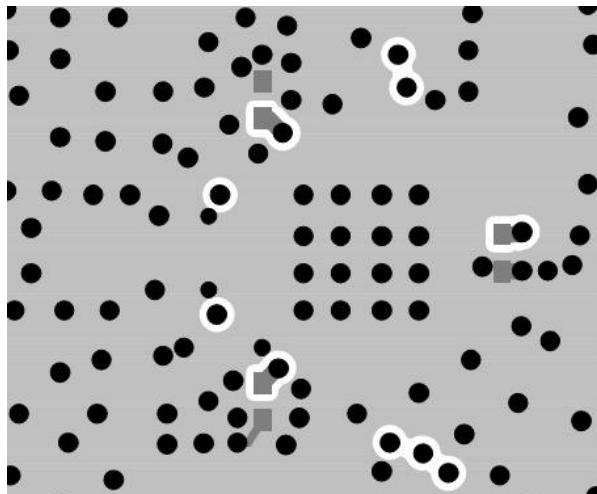
内部第4層



内部第5層電源



底面



シルクスクリーンの底面

C8 =

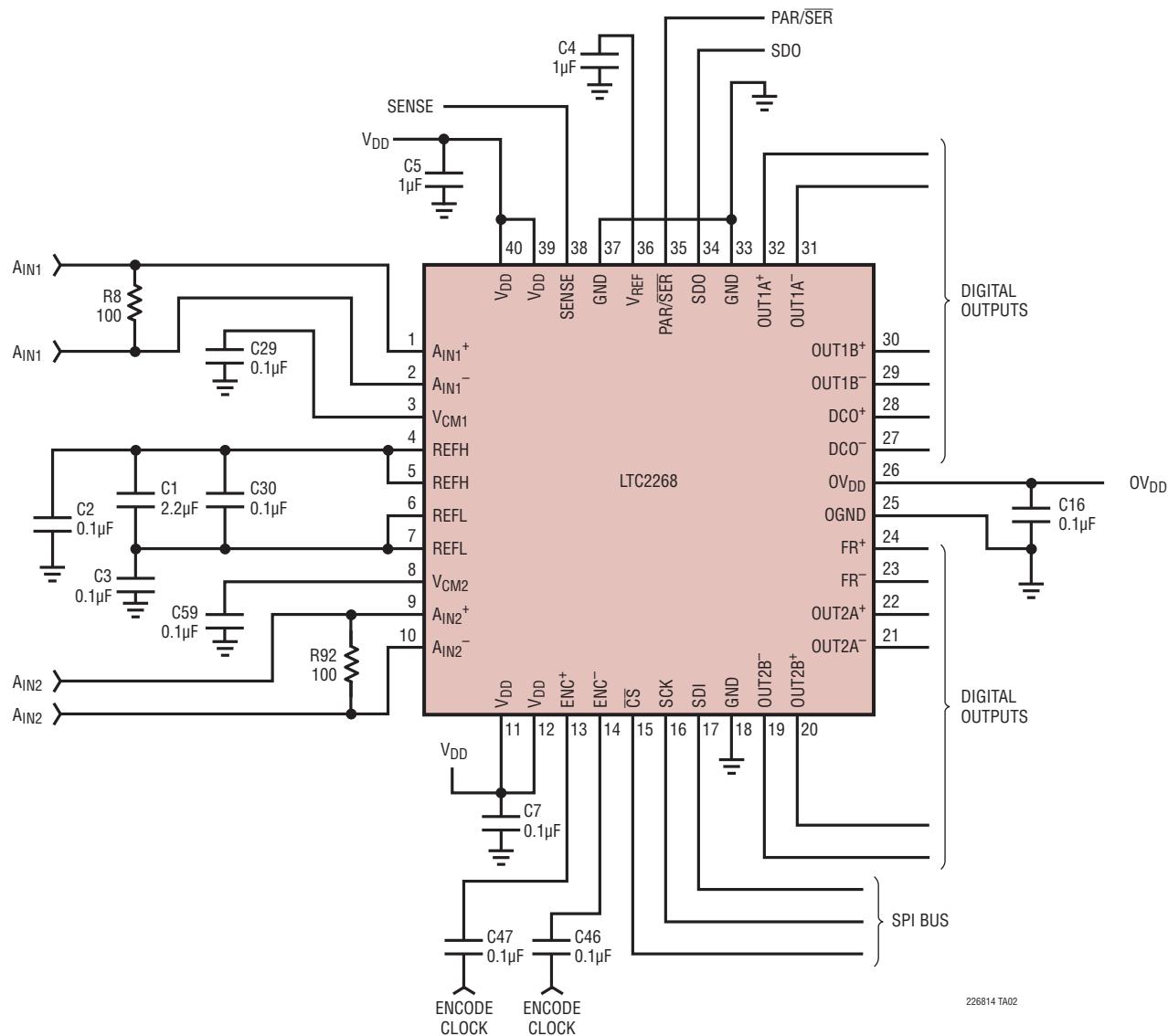
C9 =

C15 =

22687614fa

標準的応用例

LTC2268の回路図



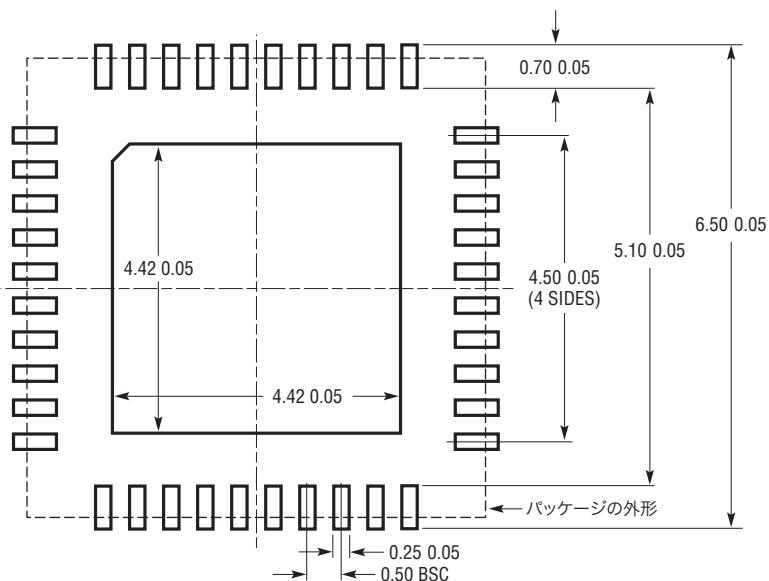
226814 TA02

22687614fa

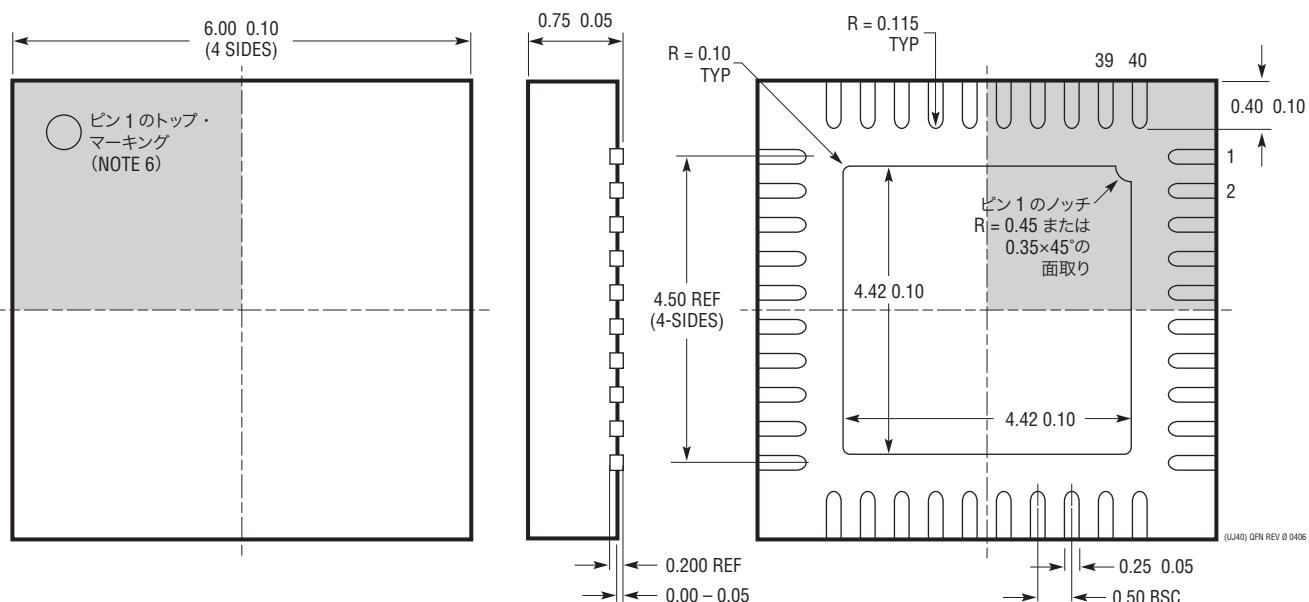
LTC2268-14/ LTC2267-14/LTC2266-14

パッケージ

**UJパッケージ
40ピン・プラスチックQFN(6mm×6mm)**
(Reference LTC DWG # 05-08-1728 Rev Ø)



推奨する半田パッドのピッチと寸法
半田付けされない領域には半田マスクを使用する



NOTE :

1. 図は JEDEC パッケージ外形のバリエーション(WJJD-2)
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで 0.20mm を超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

底面図-露出パッド

改訂履歴

REV	日付	概要	ページ番号
A	6/11	「ピン配置」に対応して「ピン機能」のセクションの A_{IN}^+ と A_{IN}^- を改訂 「アプリケーション情報」のセクションで「ソフトウェア・リセット」の段落および表 4 を改訂 「標準的応用例」のセクションの「LT2268 の回路図」に V_{DD} を追加	16 25 29

LTC2268-14/ LTC2267-14/LTC2266-14

関連製品

製品番号	説明	注釈
ADC		
LTC2170-14/LTC2171-14/ LTC2172-14	14ビット、25Msps/40Msps/65Msps 1.8V クワッド ADC、超低消費電力	178mW/234mW/360mW、SNR: 73.4dB、SFDR: 85dB、シリアルLVDS出力、 7mm×8mm QFN-52パッケージ
LTC2170-12/LTC2171-12/ LTC2172-12	12ビット、25Msps/40Msps/65Msps 1.8V クワッド ADC、超低消費電力	178mW/234mW/360mW、SNR: 70.5dB、SFDR: 85dB、シリアルLVDS出力、 7mm×8mm QFN-52パッケージ
LTC2173-12/LTC2174-12/ LTC2175-12	12ビット、80Msps/105Msps/125Msps 1.8V クワッド ADC、超低消費電力	412mW/481mW/567mW、SNR: 70.5dB、SFDR: 85dB、シリアルLVDS出力、 7mm×8mm QFN-52パッケージ
LTC2256-14/LTC2257-14/ LTC2258-14	14ビット、25Msps/40Msps/65Msps 1.8V ADC、超低消費電力	35mW/49mW/81mW、SNR: 74dB、SFDR: 88dB、DDR LVDS、 DDR CMOS または CMOS 出力、6mm×6mm QFN-36パッケージ
LTC2259-14/LTC2260-14/ LTC2261-14	14ビット、80Msps/105Msps/125Msps 1.8V ADC、超低消費電力	89mW/106mW/127mW、SNR: 73.4dB、SFDR: 85dB、DDR LVDS、 DDR CMOS または CMOS 出力、6mm×6mm QFN-36パッケージ
LTC2262-14	14ビット、150Msps 1.8V ADC、 超低消費電力	149mW、SNR: 72.8dB、SFDR: 88dB、DDR LVDS、 DDR CMOS または CMOS 出力、6mm×6mm QFN-36パッケージ
LTC2263-14/LTC2264-14/ LTC2265-14	14ビット、25Msps/40Msps/65Msps 1.8V デュアル ADC、超低消費電力	99mW/126mW/191mW、SNR: 73.4dB、SFDR: 85dB、シリアルLVDS出力、 6mm×6mm QFN-36パッケージ
LTC2263-12/LTC2264-12/ LTC2265-12	12ビット、25Msps/40Msps/65Msps 1.8V デュアル ADC、超低消費電力	99mW/126mW/191mW、SNR: 70.5dB、SFDR: 85dB、シリアルLVDS出力、 6mm×6mm QFN-36パッケージ
LTC2266-12/LTC2267-12/ LTC2268-12	12ビット、80Msps/105Msps/125Msps 1.8V デュアル ADC、超低消費電力	216mW/250mW/293mW、SNR: 70.5dB、SFDR: 85dB、シリアルLVDS出力、 6mm×6mm QFN-40パッケージ
RFミキサ/復調器		
LT5517	40MHz～900MHzダイレクト・コンバージョン直交復調器	高いIIP3:800MHzで21dBm、LO直交ジェネレータ内蔵
LT5527	400MHz～3.7GHz高直線性ダウンコンバーティング・ミキサ	IIP3:900MHzで24.5dBm、1900MHzで23.5dBm、NF:12.5dB、50ΩシングルエンドのRFポートとLOポート
LT5557	400MHz～3.8GHz高直線性ダウンコンバーティング・ミキサ	IIP3:2.6GHzで23.7dBm、3.5GHzで23.5dBm、NF:13.2dB、3.3V電源動作、トランジスタ内蔵
LT5575	800MHz～2.7GHzダイレクト・コンバージョン直交復調器	高いIIP3:900MHzで28dBm、LO直交ジェネレータ内蔵、RFとLOの入力にトランジスタ内蔵
アンプ/フィルタ		
LTC6412	800MHz、31dBレンジ、アナログ制御VGA	連続調整可能な利得制御、240MHzでのOIP3:35dBm、ノイズ・フィギュア:10dB、4mm×4mm QFN-24パッケージ
LTC6420-20	300MHzのIF周波数向け1.8GHz、低ノイズ、低歪み、デュアル差動ADCドライバ	固定利得:10V/V、総入力ノイズ:1nV/√Hz、アンプ当たり消費電流:80mA、3mm×4mm QFN-20パッケージ
LTC6421-20	1.3GHz、低ノイズ、低歪み、デュアル差動ADCドライバ	固定利得:10V/V、総入力ノイズ:1nV/√Hz、アンプ当たり消費電流:40mA、3mm×4mm QFN-20パッケージ
LTC6605-7/LTC6605-10/ LTC6605-14	ADCドライバ付きの整合したデュアル7MHz/10MHz/14MHzフィルタ	差動ドライバ付きの整合した2個の2次ローパス・フィルタ、利得をピンでプログラム可能、6mm×3mm DFN-22パッケージ
レシーバ・サブシステム		
LTM9002	14ビット・デュアル・チャネルIF/ベースバンド・レシーバ・サブシステム	高速ADC、パッシブ・フィルタ、固定利得差動アンプを内蔵

22687614fa

32

リニアテクノロジー株式会社

〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F
TEL 03-5226-7291 • FAX 03-5226-0268 • www.linear-tech.co.jp

LT 0611 REV A • PRINTED IN JAPAN



© LINEAR TECHNOLOGY CORPORATION 2009