LTC2268-12/ LTC2267-12/LTC2266-12

12ビット、125Msps/105Msps/80Msps 低消費電力デュアルADC

特長

- **2チャネル同時サンプリングADC**
- **SNR：70.6dB**
- **SFDR：88dB**
- 低消費電力：292mW/238mW/200mW（合計）、146mW/119mW/100mW（チャネル当たり）
- 単一1.8V電源
- シリアルLVDS出力：チャネル当たり1ビットまたは2ビット
- 選択可能な入力範囲：$1V_{P-P}$～$2V_{P-P}$
- 800MHzのフルパワー帯域幅S/H
- シャットダウン・モードとナップ・モード
- 設定用のシリアルSPIポート
- ピン互換の14ビットおよび12ビット・バージョン
- 40ピン（6mm×6mm）QFNパッケージ

アプリケーション

- 通信
- セルラー基地局
- ソフトウェア無線
- 携帯型医療用画像処理
- マルチチャネル・データ収集
- 非破壊試験

、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

概要

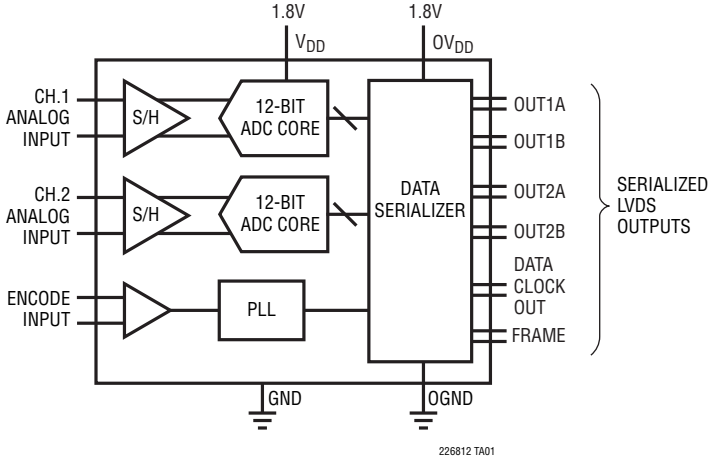
LTC®2268-12/LTC2267-12/LTC2266-12は、広いダイナミック・レンジの高周波信号をデジタル化する2チャネル同時サンプリング12ビットA/Dコンバータです。SNRが70.6dB、SFDRが88dBという優れたAC特性を備えているため、要求の厳しい通信アプリケーションに最適です。また、ジッタがわずか0.15ps_{RMS}なので、優れたノイズ性能を維持しながらIF周波数をアンダーサンプリングできます。

DC仕様では、±0.3LSB（標準）のINLと±0.1LSB（標準）のDNL、全温度範囲でミッシング・コードがないことが規定されています。遷移ノイズは0.3LSB_{RMS}と低く抑えられています。

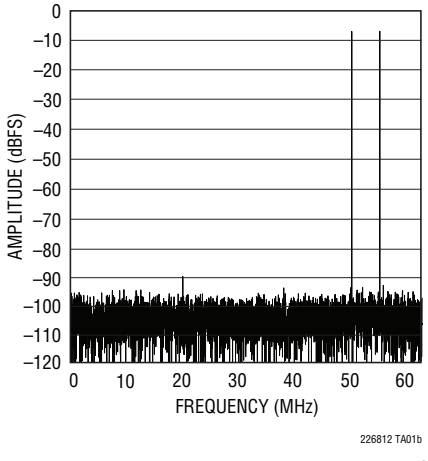
デジタル出力はシリアルLVDSなので、データライン数を最小限に抑えることができます。各チャネルは一度に2ビットを出力します（2レーン・モード）。低いサンプリング・レートでは、チャネル当り1ビットの選択肢（1レーン・モード）もあります。LVDSドライバはオプションの内部終端を備え、出力レベルを調整できるので、クリーンなシグナルインテグリティを確保します。

ENC^+およびENC^-入力は、正弦波、PECL、LVDS、TTLまたはCMOSの入力信号を使って差動またはシングルエンドでドライブ可能です。また、内蔵のクロック・デューティサイクル・スタビライザにより、広範なクロック・デューティサイクルにおいてフルスピードで高性能を達成できます。

標準的応用例



LTC2268-12、125Msps、2トーンFFT、f_{IN} = 70MHzおよび75MHz



絶対最大定格

(Note 1)

電源電圧

V_{DD}、OV_{DD} ..... –0.3V～2V

アナログ入力電圧(A_{IN}^{+}、A_{IN}^{-}、PAR/$\overline{SER}$、SENSE) (Note 3) .....–0.3V～(V_{DD}+0.2V)

デジタル入力電圧(ENC^{+}、ENC^{-}、$\overline{CS}$、SDI、SCK) (Note 4) ..... –0.3V～3.9V

SDO (Note 4) ..... –0.3V～3.9V

デジタル出力電圧 ..... –0.3V～(OV_{DD}+0.3V)

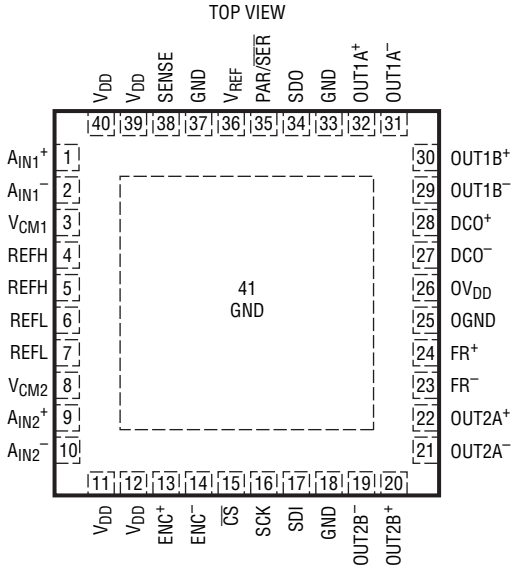
動作温度範囲

LTC2268C、LTC2267C、LTC2266C .....0°C～70°C

LTC2268I、LTC2267I、LTC2266I .....–40°C～85°C

保存温度範囲.....–65°C～150°C

ピン配置



UJ PACKAGE
40-LEAD (6mm × 6mm) PLASTIC QFN
T_{JMAX} = 150°C, θ_{JA} = 32°C/W
EXPOSED PAD (PIN 41) IS GND, MUST BE SOLDERED TO PCB

発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2268CUJ-12#PBF	LTC2268CUJ-12#TRPBF	LTC2268UJ-12	40-Lead (6mm × 6mm) Plastic QFN	0°C to 70°C
LTC2268IUJ-12#PBF	LTC2268IUJ-12#TRPBF	LTC2268UJ-12	40-Lead (6mm × 6mm) Plastic QFN	–40°C to 85°C
LTC2267CUJ-12#PBF	LTC2267CUJ-12#TRPBF	LTC2267UJ-12	40-Lead (6mm × 6mm) Plastic QFN	0°C to 70°C
LTC2267IUJ-12#PBF	LTC2267IUJ-12#TRPBF	LTC2267UJ-12	40-Lead (6mm × 6mm) Plastic QFN	–40°C to 85°C
LTC2266CUJ-12#PBF	LTC2266CUJ-12#TRPBF	LTC2266UJ-12	40-Lead (6mm × 6mm) Plastic QFN	0°C to 70°C
LTC2266IUJ-12#PBF	LTC2266IUJ-12#TRPBF	LTC2266UJ-12	40-Lead (6mm × 6mm) Plastic QFN	–40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。 *温度グレードは出荷時のコンテナのラベルで識別されます。
非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、http://www.linear-tech.co.jp/leadfree/ をご覧ください。
テープアンドリールの仕様の詳細については、http://www.linear-tech.co.jp/tapeandreel/ をご覧ください。

コンバータ特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値。(Note 5)

PARAMETER	CONDITIONS		LTC2268-12 MIN	LTC2268-12 TYP	LTC2268-12 MAX	LTC2267-12 MIN	LTC2267-12 TYP	LTC2267-12 MAX	LTC2266-12 MIN	LTC2266-12 TYP	LTC2266-12 MAX	UNITS
Resolution (No Missing Codes)		●	12			12			12			Bits
Integral Linearity Error	Differential Analog Input (Note 6)	●	–1	±0.3	1	–1	±0.3	1	–1	±0.3	1	LSB
Differential Linearity Error	Differential Analog Input	●	–0.5	±0.1	0.5	–0.4	±0.1	0.4	–0.4	±0.1	0.4	LSB
Offset Error	(Note 7)	●	–12	±3	12	–12	±3	12	–12	±3	12	mV
Gain Error	Internal Reference External Reference	 ●	 –2.4	–0.9 –0.9	 0.6	 –2.4	–0.9 –0.9	 0.6	 –2.4	–0.9 –0.9	 0.6	%FS %FS
Offset Drift				±20			±20			±20		µV/°C
Full-Scale Drift	Internal Reference External Reference			±30 ±10			±30 ±10			±30 ±10		ppm/°C ppm/°C
Gain Matching	External Reference			±0.2			±0.2			±0.2		%FS
Offset Matching				±3			±3			±3		mV
Transition Noise	External Reference			0.3			0.3			0.3		LSB_{RMS}

アナログ入力

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range ($A_{IN}^+ – A_{IN}^–$)	1.7V < V_{DD} < 1.9V	●		1 to 2		$V_{P–P}$
$V_{IN(CM)}$	Analog Input Common Mode ($A_{IN}^+ – A_{IN}^–$)/2	Differential Analog Input (Note 8)	●	V_{CM} – 100mV	V_{CM}	V_{CM} +100mV	V
V_{SENSE}	External Voltage Reference Applied to SENSE	External Reference Mode	●	0.625	1.25	1.3	V
I_{INCM}	Analog Input Common Mode Current	Per Pin, 125Msps Per Pin, 105Msps Per Pin, 80Msps	●		155 130 100		µA µA µA
I_{IN1}	Analog Input Leakage Current (No Encode)	0 < A_{IN}^+, $A_{IN}^–$ < V_{DD}	●	–1		1	µA
I_{IN2}	PAR/$\overline{SER}$ Input Leakage Current	0 < PAR/$\overline{SER}$ < V_{DD}	●	–3		3	µA
I_{IN3}	SENSE Input Leakage Current	0.625 < SENSE < 1.3V	●	–6		6	µA
t_{AP}	Sample-and-Hold Acquisition Delay Time				0		ns
t_{JITTER}	Sample-and-Hold Acquisition Delay Jitter				0.15		ps_{RMS}
CMRR	Analog Input Common Mode Rejection Ratio				80		dB
BW-3B	Full Power Bandwidth	Figure 6 Test Circuit			800		MHz

デジタル精度

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25℃での値。A_{IN} = –1dBFS。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		LTC2268-12 MIN	LTC2268-12 TYP	LTC2268-12 MAX	LTC2267-12 MIN	LTC2267-12 TYP	LTC2267-12 MAX	LTC2266-12 MIN	LTC2266-12 TYP	LTC2266-12 MAX	UNITS
SNR	Signal-to-Noise Ratio	5MHz Input			70.6			70.6			70.6		dBFS
		70MHz Input	●	69.6	70.6		69.2	70.5		69.4	70.5		dBFS
		140MHz Input			70.3			70.3			70.3		dBFS
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic	5MHz Input			88			88			88		dBFS
		70MHz Input	●	75	85		76	85		76	85		dBFS
		140MHz Input			82			82			82		dBFS
	Spurious Free Dynamic Range 4th Harmonic or Higher	5MHz Input			90			90			90		dBFS
		70MHz Input	●	84	90		82	90		84	90		dBFS
		140MHz Input			90			90			90		dBFS
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	5MHz Input			70.6			70.6			70.4		dBFS
		70MHz Input	●	69	70.4		68.8	70.4		69	70.3		dBFS
		140MHz Input			70			70			69.9		dBFS
	Crosstalk	10MHz Input			–105			–105			–105		dBc

内部リファレンスの特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25℃での値。A_{IN} = –1dBFS。(Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CM} Output Voltage	I_{OUT} = 0	0.5 • V_{DD} – 25mV	0.5 • V_{DD}	0.V_{DD} + 25mV	V
V_{CM} Output Temperature Drift			±25		ppm/°C
V_{CM} Output Resistance	–600µA < I_{OUT} < 1mA		4		Ω
V_{REF} Output Voltage	I_{OUT} = 0	1.225	1.25	1.275	V
V_{REF} Output Temperature Drift			±25		ppm/°C
V_{REF} Output Resistance	–400µA < I_{OUT} < 1mA		7		Ω
V_{REF} Line Regulation	1.7V < V_{DD} < 1.9V		0.6		mV/V

デジタル入力とデジタル出力

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25℃での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
ENCODE INPUTS (ENC+, ENC–)							
DIFFERENTIAL ENCODE MODE (ENC– NOT TIED TO GND)							
V_{ID}	Differential Input Voltage	(Note 8)	●	0.2			V
V_{ICM}	Common Mode Input Voltage	Internally Set			1.2		V
		Externally Set (Note 8)	●	1.1		1.6	V
V_{IN}	Input Voltage Range	ENC+, ENC– to GND	●	0.2		3.6	V
R_{IN}	Input Resistance	(See Figure 10)			10		kΩ
C_{IN}	Input Capacitance				3.5		pF
SINGLE-ENDED ENCODE MODE (ENC– TIED TO GND)							
V_{IH}	High Level Input Voltage	V_{DD} =1.8V	●	1.2			V
V_{IL}	Low Level Input Voltage	V_{DD} =1.8V	●			0.6	V
V_{IN}	Input Voltage Range	ENC+ to GND	●	0		3.6	V
R_{IN}	Input Resistance	(See Figure 11)			30		kΩ
C_{IN}	Input Capacitance				3.5		pF

デジタル入力とデジタル出力

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25℃での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
DIGITAL INPUTS ($\overline{CS}$, SDI, SCK in Serial or Parallel Programming Mode. SDO in Parallel Programming Mode)							
V_{IH}	High Level Input Voltage	V_{DD} =1.8V	●	1.3			V
V_{IL}	Low Level Input Voltage	V_{DD} =1.8V	●			0.6	V
I_{IN}	Input Current	V_{IN} = 0V to 3.6V	●	–10		10	µA
C_{IN}	Input Capacitance				3		pF
SDO OUTPUT (Serial Programming Mode. Open Drain Output. Requires 2kΩ Pull-Up Resistor if SDO is Used)							
R_{OL}	Logic Low Output Resistance to GND	V_{DD} =1.8V, SDO = 0V			200		Ω
I_{OH}	Logic High Output Leakage Current	SDO = 0V to 3.6V	●	–10		10	µA
C_{OUT}	Output Capacitance				3		pF
DIGITAL DATA OUTPUTS							
V_{OD}	Differential Output Voltage	100Ω Differential Load, 3.5mA Mode 100Ω Differential Load, 1.75mA Mode	● ●	247 125	350 175	454 250	mV mV
V_{OS}	Common Mode Output Voltage	100Ω Differential Load, 3.5mA Mode 100Ω Differential Load, 1.75mA Mode	● ●	1.125 1.125	1.25 1.25	1.375 1.375	V V
R_{TERM}	On-Chip Termination Resistance	Termination Enabled, OV_{DD} =1.8V			100		Ω

電源条件

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25℃での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS		LTC2268-12			LTC2267-12			LTC2266-12			UNITS
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V_{DD}	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
OV_{DD}	Output Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
I_{VDD}	Analog Supply Current	Sine Wave Input	●		146	165		116	129		96	109	mA
I_{OVDD}	Digital Supply Current	2-Lane Mode, 1.75mA Mode 2-Lane Mode, 3.5mA Mode	● ●		16 30	20 34		16 29	19 33		15 29	18 32	mA mA
P_{DISS}	Power Dissipation	2-Lane Mode, 1.75mA Mode 2-Lane Mode, 3.5mA Mode	● ●		292 317	333 358		238 261	266 292		200 225	229 254	mW mW
P_{SLEEP}	Sleep Mode Power				1			1			1		mW
P_{NAP}	Nap Mode Power				70			70			70		mW
$P_{DIFFCLK}$	Power Increase with Differential Encode Mode Enabled (No Increase for Sleep Mode)				20			20			20		mW

タイミング特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25℃での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		LTC2268-12			LTC2267-12			LTC2266-12			UNITS
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
f_S	Sampling Frequency	(Notes 10, 11)	●	5		125	5		105	5		80	MHz
t_{ENCL}	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off Duty Cycle Stabilizer On	● ●	3.8 2	4 4	100 100	4.52 2	4.76 4.76	100 100	5.93 2	6.25 6.25	100 100	ns ns
t_{ENCH}	Analog Supply Current	Duty Cycle Stabilizer Off Duty Cycle Stabilizer On	● ●	3.8 2	4 4	100 100	4.52 2	4.76 4.76	100 100	5.93 2	6.25 6.25	100 100	ns ns
t_{AP}	Sample-and-Hold Acquisition Delay Time				0			0			0		ns

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25℃での値。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
DIGITAL DATA OUTPUTS (R_{TERM} = 100Ω Differential, C_L = 2pF to GND on Each Output)							
t_{SER}	Serial Data Bit Period	2-Lanes, 16-Bit Serialization 2-Lanes, 14-Bit Serialization 2-Lanes, 12-Bit Serialization 1-Lane, 16-Bit Serialization 1-Lane, 14-Bit Serialization 1-Lane, 12-Bit Serialization			1/(8 • f_S) 1/(7 • f_S) 1/(6 • f_S) 1/(16 • f_S) 1/(14 • f_S) 1/(12 • f_S)		s
t_{FRAME}	FR to DCO Delay	(Note 8)	●	0.35 • t_{SER}	0.5 • t_{SER}	0.65 • t_{SER}	s
t_{DATA}	DATA to DCO Delay	(Note 8)	●	0.35 • t_{SER}	0.5 • t_{SER}	0.65 • t_{SER}	s
t_{PD}	Propagation Delay	(Note 8)	●	0.7n + 2 • t_{SER}	1.1n + 2 • t_{SER}	1.5n + 2 • t_{SER}	s
t_R	Output Rise Time	Data, DCO, FR, 20% to 80%			0.17		ns
t_F	Output Fall Time	Data, DCO, FR, 20% to 80%			0.17		ns
	DCO Cycle-Cycle Jitter	t_{SER} = 1ns			60		ps_{P-P}
	Pipeline Latency				6		Cycles
SPI PORT TIMING (Note 8)							
t_{SCK}	SCK Period	Write Mode Readback Mode, C_{SDO} = 20pF, R_{PULLUP} = 2k	● ●	40 250			ns ns
t_S	CS to SCK Setup Time		●	5			ns
t_H	SCK to CS Setup Time		●	5			ns
t_{DS}	SDI Setup Time		●	5			ns
t_{DH}	SDI Hold Time		●	5			ns
t_{DO}	SCK falling to SDO Valid	Readback Mode, C_{SDO} = 20pF, R_{PULLUP} = 2k	●			125	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての電圧値は(注記がない限り) GNDとOGNDを短絡した状態のGNDを基準にしている。

Note 3: これらのピンの電圧をGNDより低くするかV_{DD}より高くすると、内部のダイオードによってクランプされる。この製品はGNDより低い、またはV_{DD}より高い電圧で、ラッチアップを起こさずに100mA以上の入力電流を処理することができる。

Note 4: これらのピンの電圧をGNDより低くすると、内部のダイオードによってクランプされる。これらのピンの電圧をV_{DD}より高くすると、内部のダイオードによってクランプされない。この製品はGNDより低い電圧で、ラッチアップを起こさずに100mA以上の入力電流を処理することができる。

Note 5: 注記がない限り、V_{DD} = OV_{DD} = 1.8V、f_{SAMPLE} = 125MHz (LTC2268)、105MHz (LTC2267)、80MHz (LTC2266)、2レーン出力モード、差動ENC^+/ENC^- = $2V_{P-P}$の正弦波、入力範囲 = 差動ドライブで$2V_{P-P}$。

Note 6: 積分非直線性は伝達曲線に最も適合する直線からのコードの偏差として定義される。偏差は量子化幅の中心から測定する。

Note 7: オフセット誤差は、2の補数出力モードで出力コードを0000 0000 0000と1111 1111 1111の間でふらつかせるとき、–0.5 LSBから測定したオフセット電圧である。

Note 8: 設計によって保証されており、テストされない。

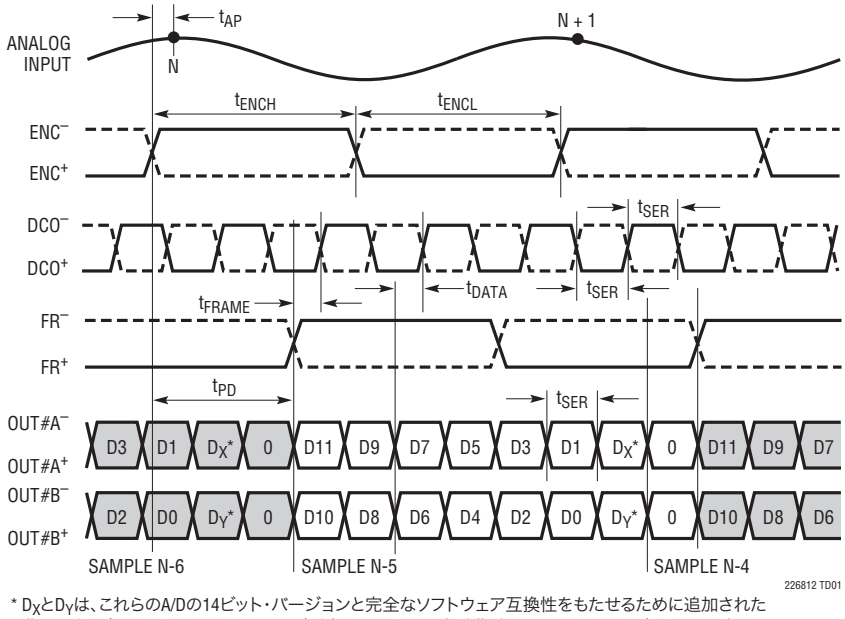
Note 9: 注記がない限り、V_{DD} = OV_{DD} = 1.8V、f_{SAMPLE} = 125MHz (LTC2268)、105MHz (LTC2267)、80MHz (LTC2266)、2レーン出力モード、ENC^+ = シングルエンドの1.8V方形波、ENC^- = 0V、入力範囲 = 差動ドライブで$2V_{P-P}$。消費電流および電力損失の規格値はデバイス全体の合計値であり、1チャネルあたりの値ではない。

Note 10: 推奨動作条件。

Note 11: 最大サンプリング周波数はデバイスの速度グレードによって異なり、どのシリアル化モードが使用されているかによっても異なる。最大シリアル・データ・レートは1000Mbpsなので、t_{SER}は1ns以上でなければならない。

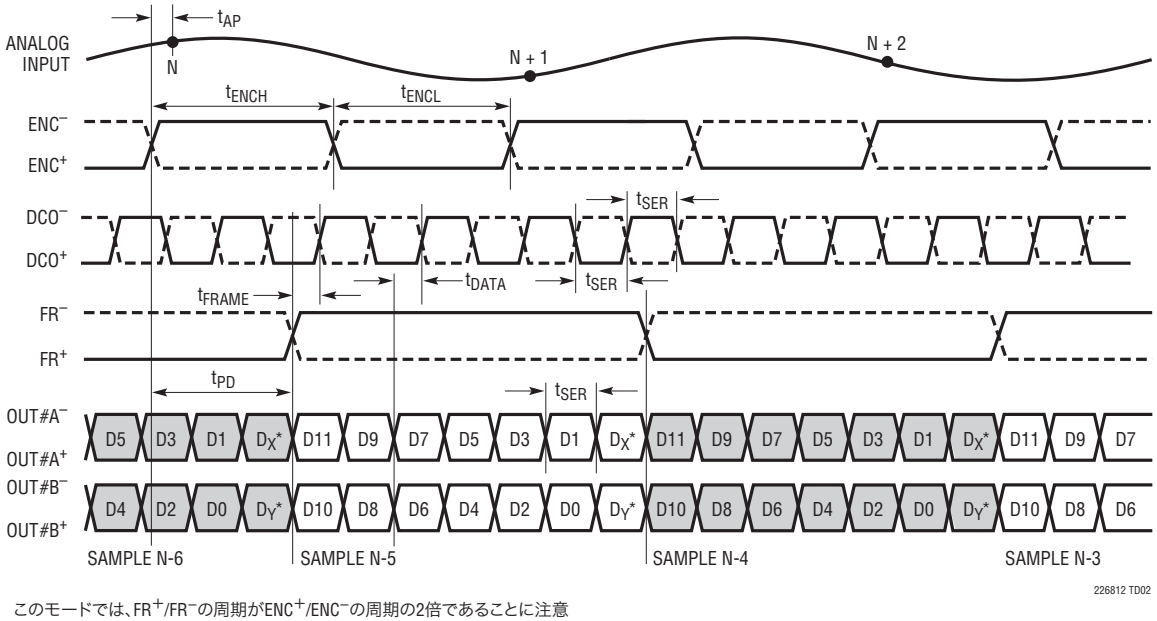
タイミング図

2レーン出力モード、16ビット・シリアル化



* D_XとD_Yは、これらのA/Dの14ビット・バージョンと完全なソフトウェア互換性をもたせるために追加された非データ・ビットである。オーバーレンジが生じていない通常動作時には、D_XとD_Yはロジック0に設定される。詳細については「データ・フォーマット」を参照。

2レーン出力モード、14ビット・シリアル化

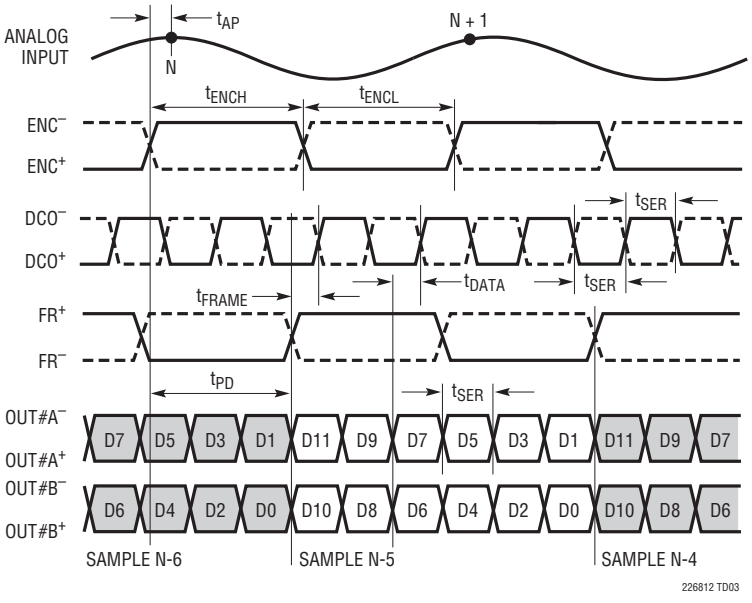


このモードでは、FR^+/FR^-の周期がENC^+/ENC^-の周期の2倍であることに注意

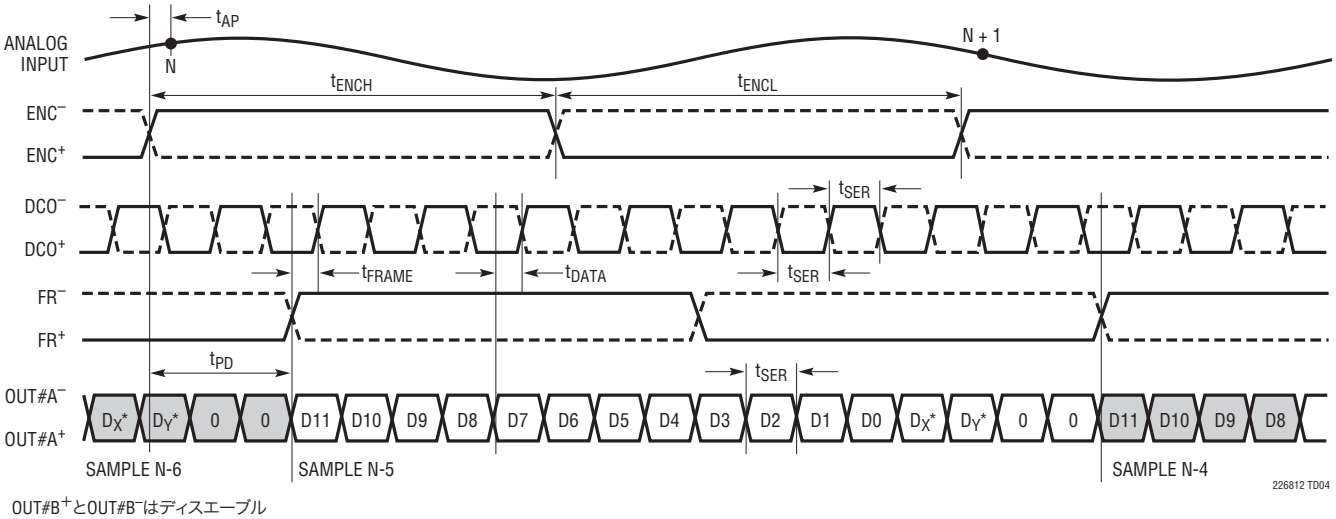
* D_XとD_Yは、これらのA/Dの14ビット・バージョンと完全なソフトウェア互換性をもたせるために追加された非データ・ビットである。オーバーレンジが生じていない通常動作時には、D_XとD_Yはロジック0に設定される。詳細については「データ・フォーマット」を参照。

タイミング図

2レーン出力モード、12ビット・シリアル化



1レーン出力モード、16ビット・シリアル化

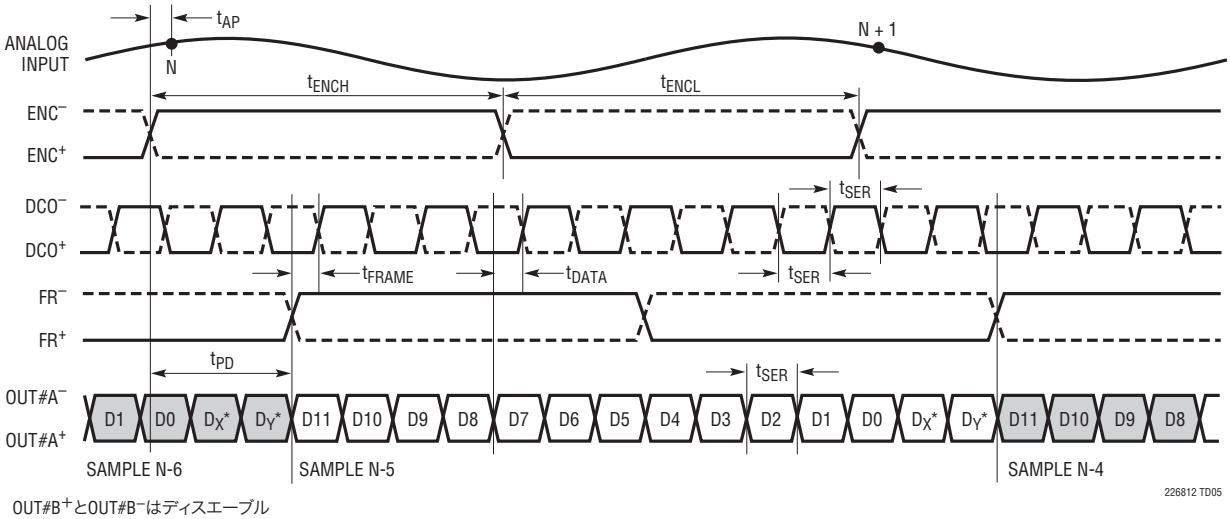


OUT#B+とOUT#B−はディスエーブル

* D_XとD_Yは、これらのA/Dの14ビット・バージョンと完全なソフトウェア互換性をもたせるために追加された非データ・ビットである。オーバーレンジが生じていない通常動作時には、D_XとD_Yはロジック0に設定される。詳細については「データ・フォーマット」を参照。

タイミング図

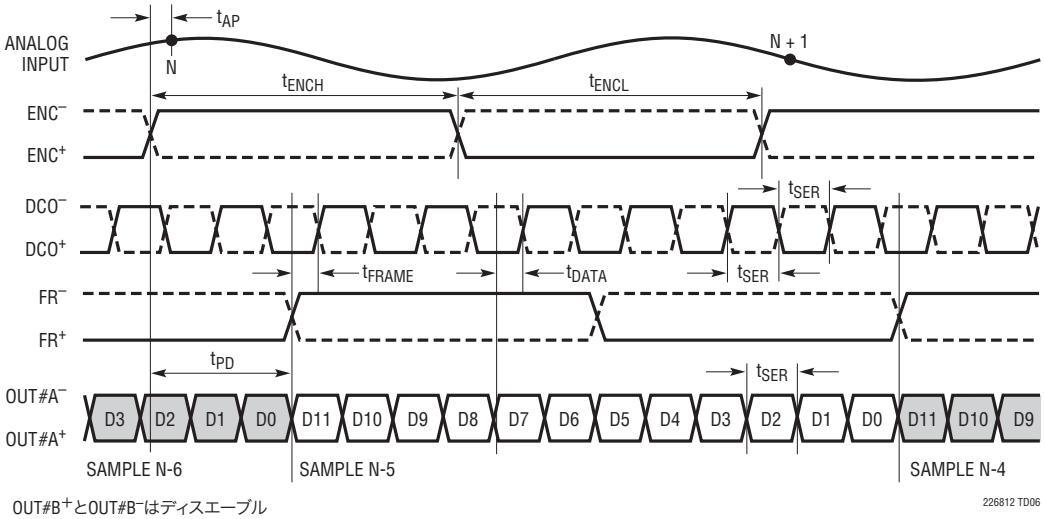
1レーン出力モード、14ビット・シリアル化



OUT#B+とOUT#B−はディスエーブル

* D_XとD_Yは、これらのA/Dの14ビット・バージョンと完全なソフトウェア互換性をもたせるために追加された非データ・ビットである。オーバーレンジが生じていない通常動作時には、D_XとD_Yはロジック0に設定される。詳細については「データ・フォーマット」を参照。

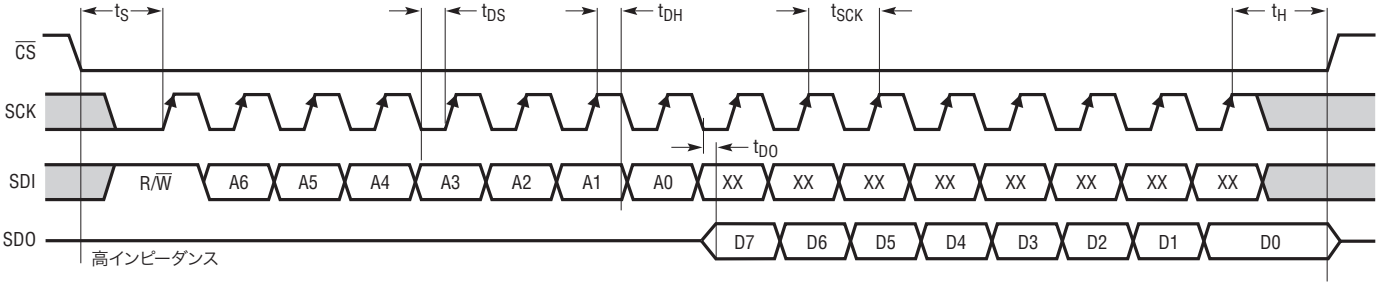
1レーン出力モード、12ビット・シリアル化



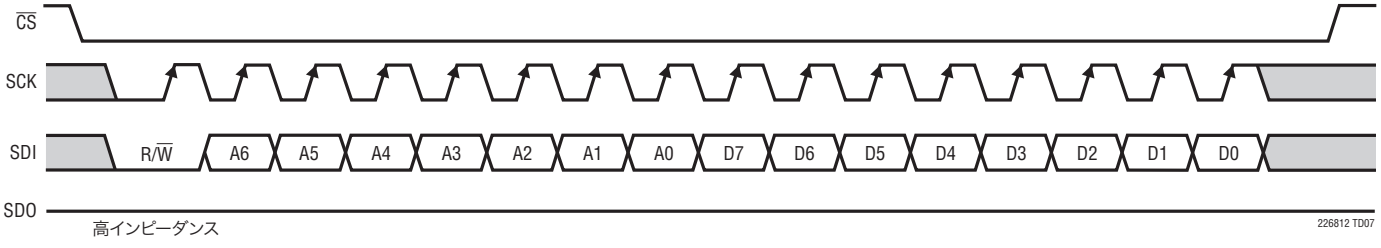
OUT#B+とOUT#B−はディスエーブル

タイミング図

SPIポートのタイミング（読み出しモード）

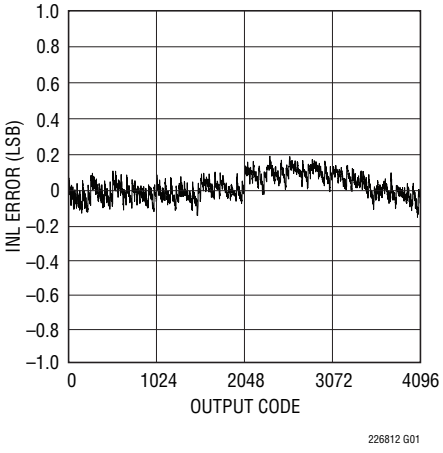


SPIポートのタイミング（書き込みモード）

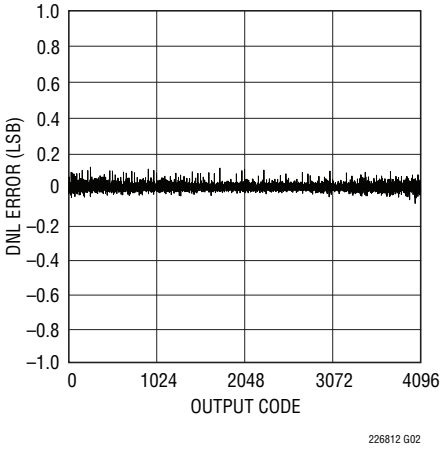


標準的性能特性

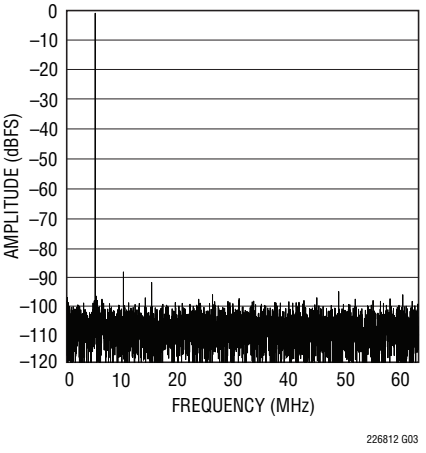
LTC2268-12：積分非直線性（INL）



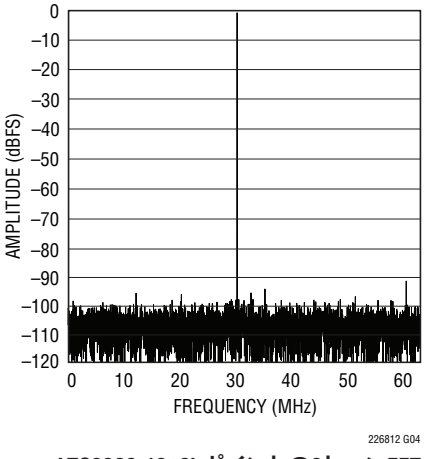
LTC2268-12：微分非直線性（DNL）



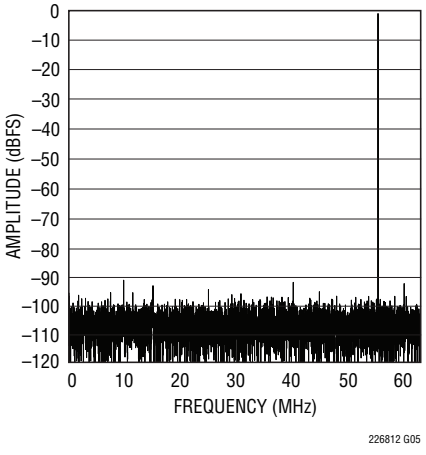
LTC2268-12: 8kポイントのFFT、f_{IN} = 5MHz、–1dBFS、125Msps



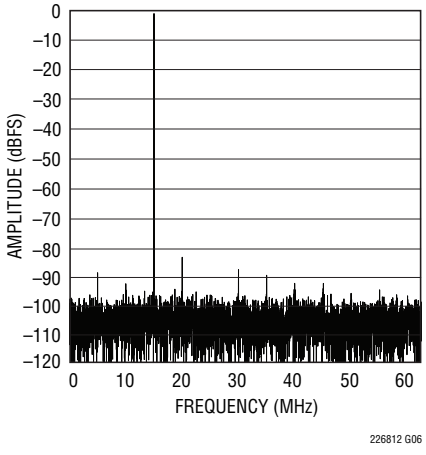
LTC2268-12：8kポイントのFFT、f_{IN} = 30MHz、–1dBFS、125Msps



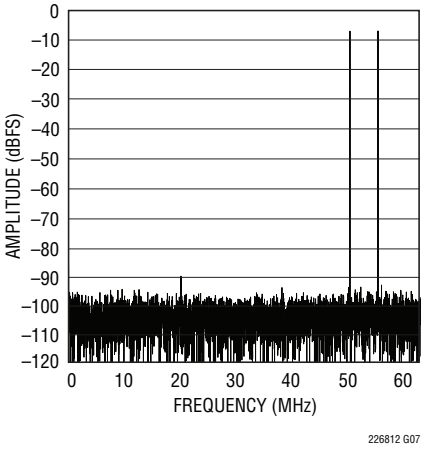
LTC2268-12：8kポイントのFFT、f_{IN} = 70MHz、–1dBFS、125Msps



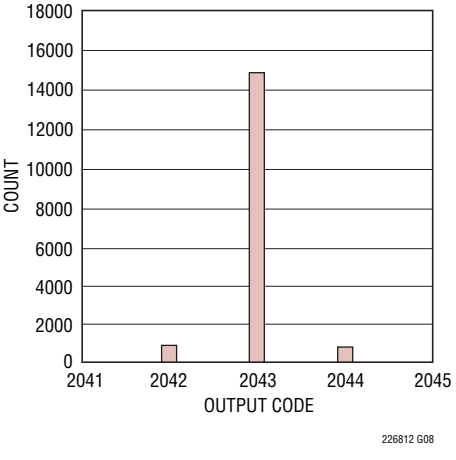
LTC2268-12：8kポイントのFFT、f_{IN} = 140MHz、–1dBFS、125Msps



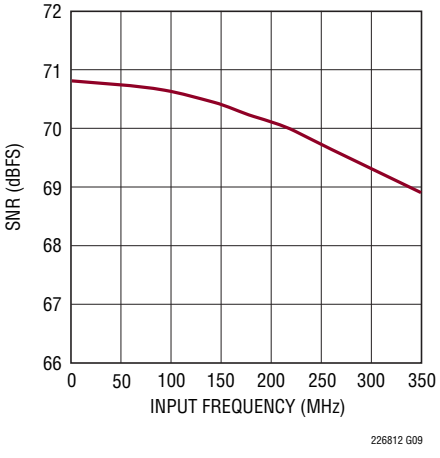
LTC2268-12：8kポイントの2トーンFFT、f_{IN} = 70MHz、75MHz、–1dBFS、125Msps



LTC2268-12：入力短絡状態のヒストグラム

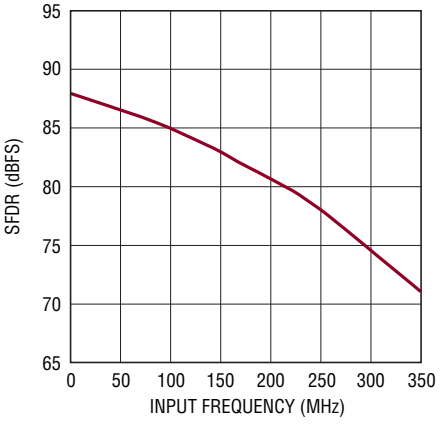


LTC2268-12：SNRと入力周波数、–1dBFS、2V範囲、125Msps

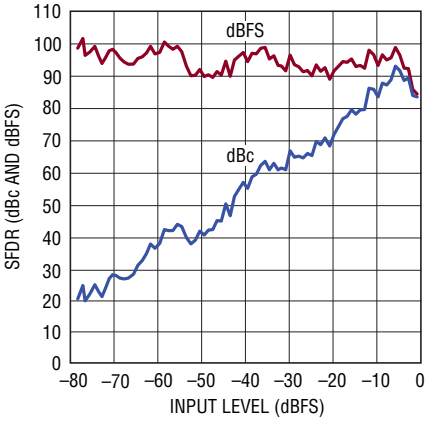


標準的性能特性

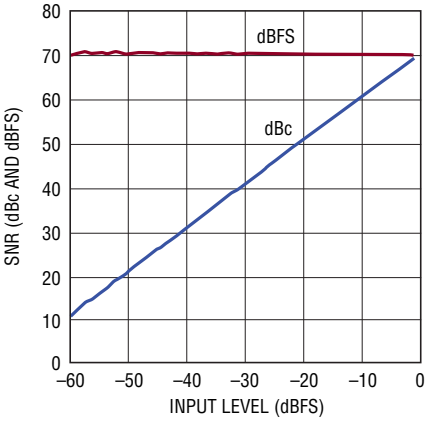
LTC2268-12：SFDRと入力周波数、–1dBFS、2V範囲、125Msps



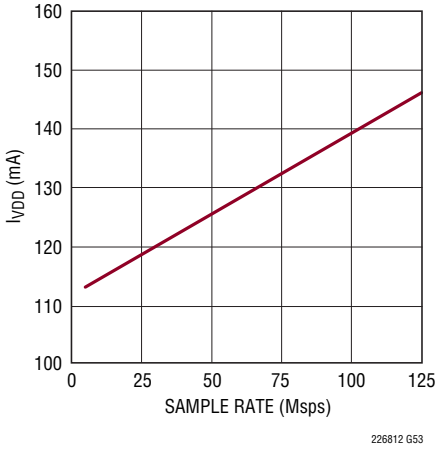
LTC2268-12：SFDRと入力レベル、f_{IN} = 70MHz、2V範囲、125Msps



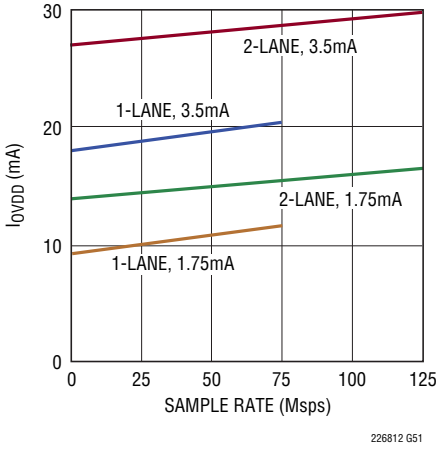
LTC2268-12: SNRと入力レベル、f_{IN} = 70MHz、2V範囲、125Msps



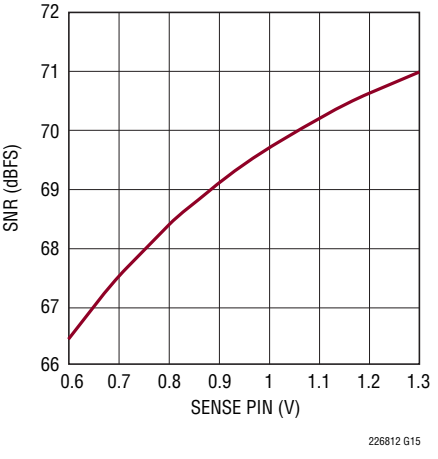
LTC2268-12：I_{VDD}とサンプリング・レート、5MHzの正弦波入力、–1dBFS



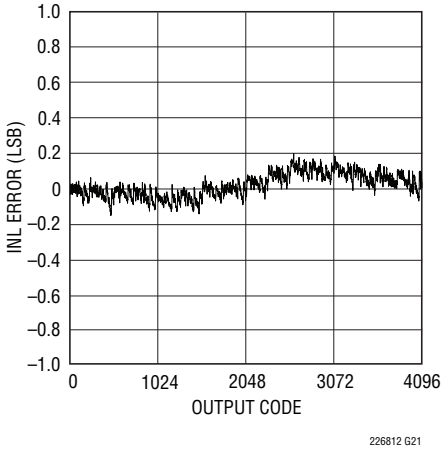
I_{OVDD}とサンプリング・レート、5MHzの正弦波入力、–1dBFS、各データ出力に5pF



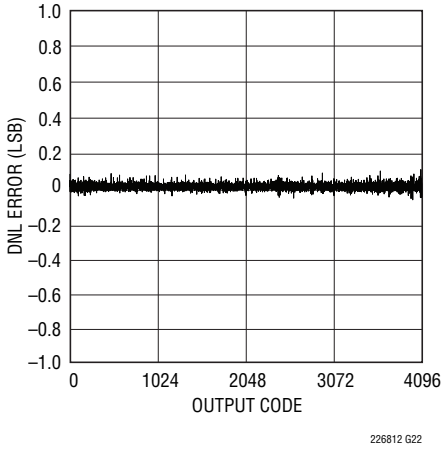
LTC2268-12：SNRとSENSE、f_{IN} = 5MHz、–1dBFS



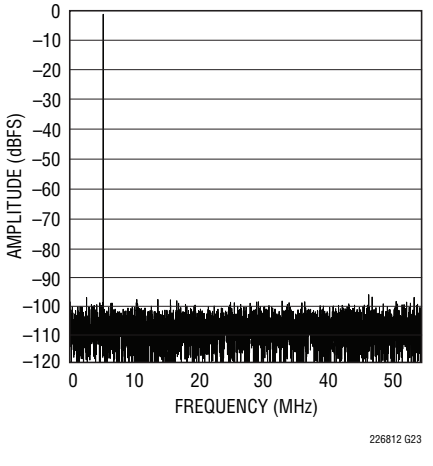
LTC2267-12：積分非直線性（INL）



LTC2267-12：微分非直線性（DNL）

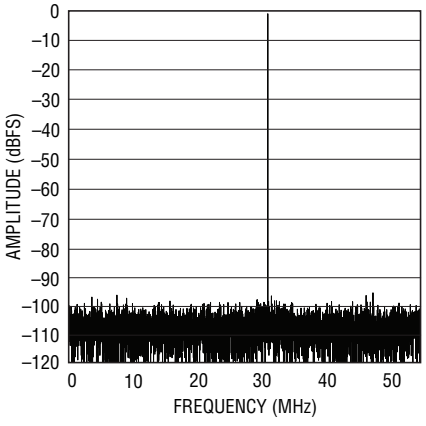


LTC2267-12：8kポイントのFFT、f_{IN} = 5MHz、–1dBFS、105Msps



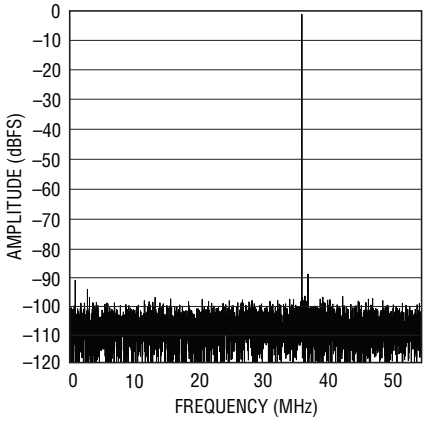
標準的性能特性

LTC2267-12：8kポイントのFFT、f_{IN} = 30MHz、–1dBFS、105Msps



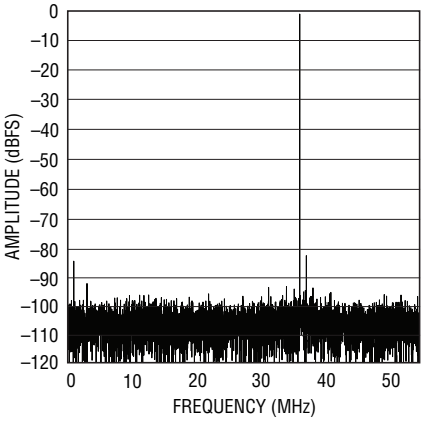
226812 G24

LTC2267-12：8kポイントのFFT、f_{IN} = 70MHz、–1dBFS、105Msps



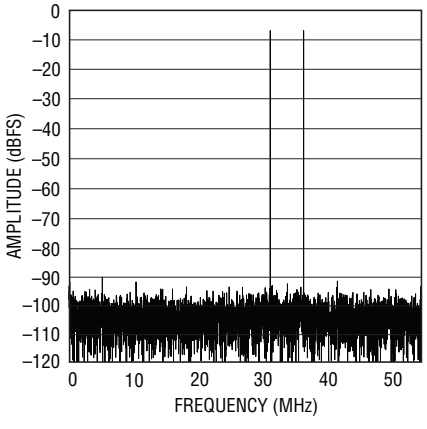
226812 G25

LTC2267-12：8kポイントのFFT、f_{IN} = 140MHz、–1dBFS、105Msps



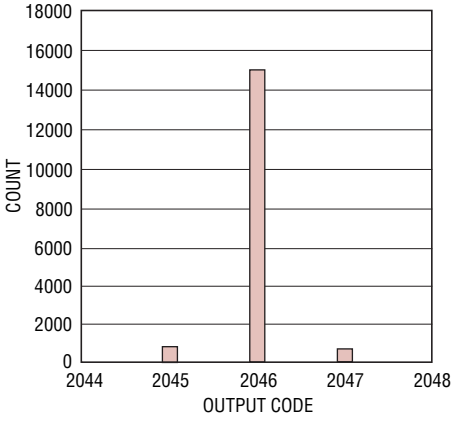
226812 G26

LTC2267-12：8kポイントの2トーンFFT、f_{IN} = 70MHz、75MHz、–1dBFS、105Msps



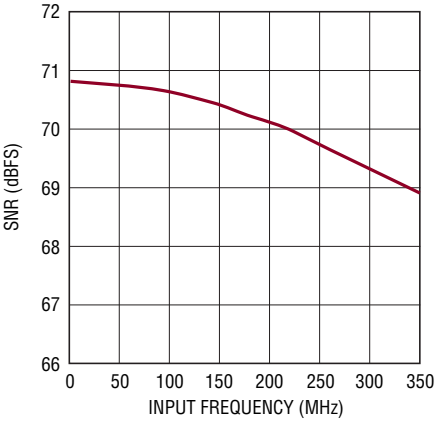
226812 G27

LTC2267-12：入力短絡状態のヒストグラム



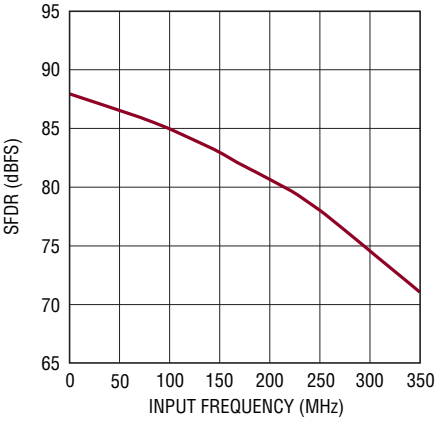
226812 G28

LTC2267-12：SNRと入力周波数、–1dBFS、2V範囲、105Msps



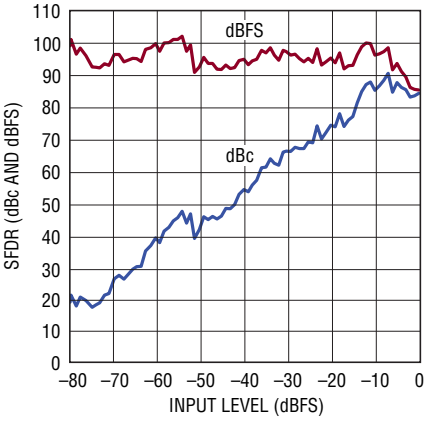
226812 G49

LTC2267-12：SFDRと入力周波数、–1dBFS、2V範囲、105Msps



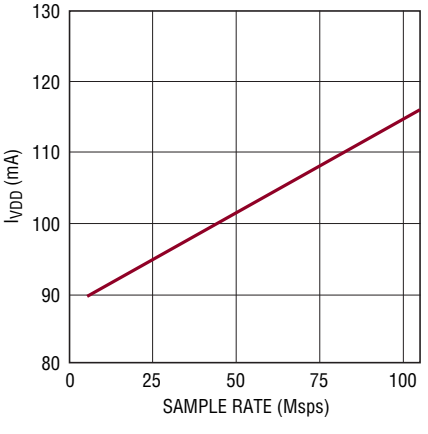
226812 G30

LTC2267-12: SFDRと入力レベル、f_{IN} = 70MHz、2V範囲、105Msps



226812 G32

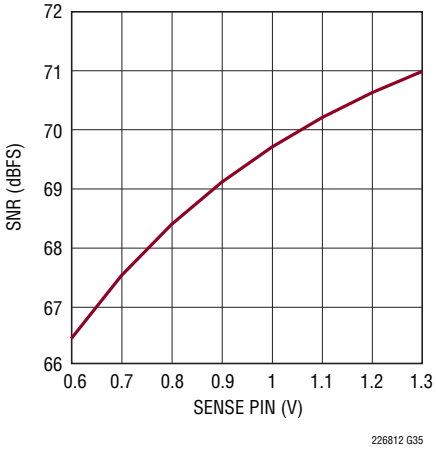
LTC2267-12：I_{VDD}とサンプリング・レート、5MHzの正弦波入力、–1dB



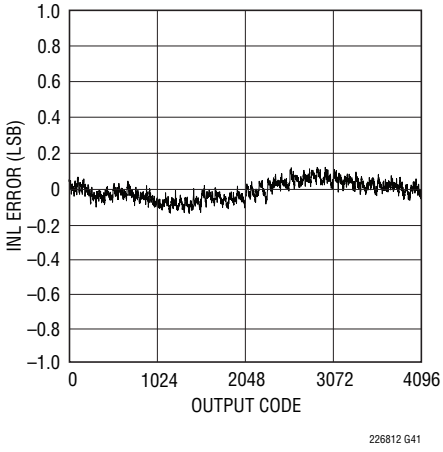
226812 G54

標準的性能特性

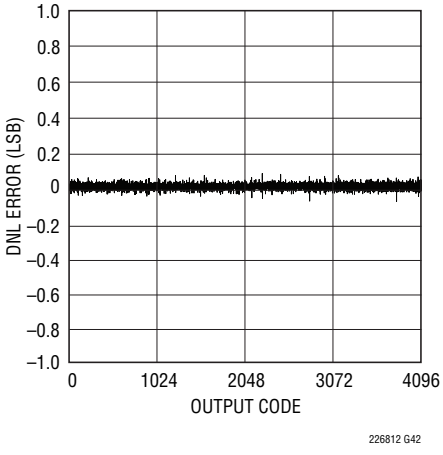
LTC2267-12：SNRとSENSE、f_{IN} = 5MHz、–1dBFS



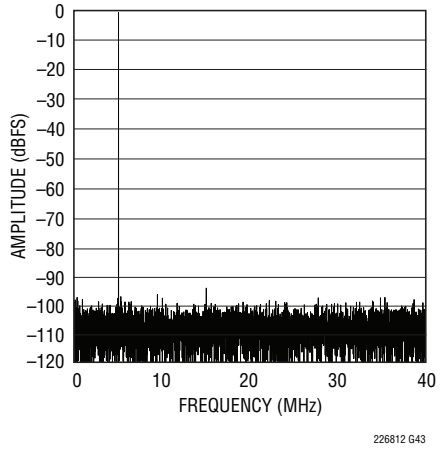
LTC2266-12：積分非直線性（INL）



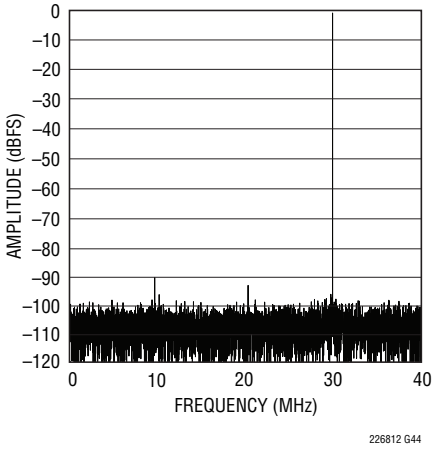
LTC2266-12：微分非直線性（DNL）



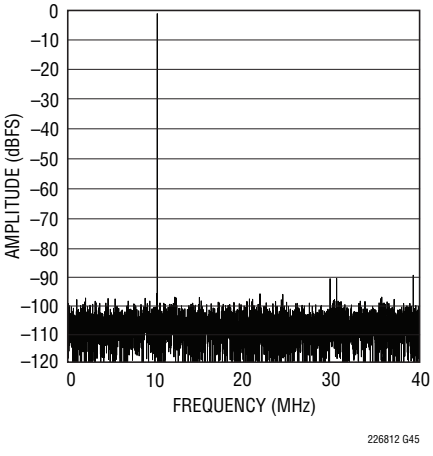
LTC2266-12：8kポイントのFFT、f_{IN} = 5MHz、–1dBFS、80Msps



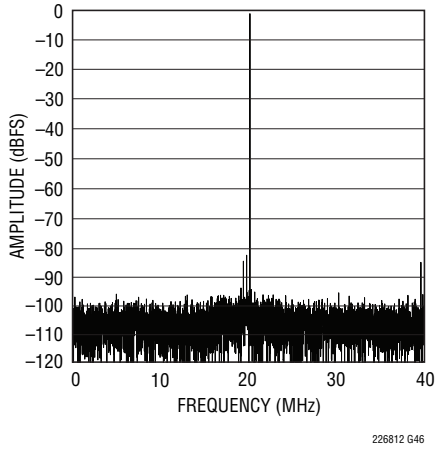
LTC2266-12：8kポイントのFFT、f_{IN} = 30MHz、–1dBFS、80Msps



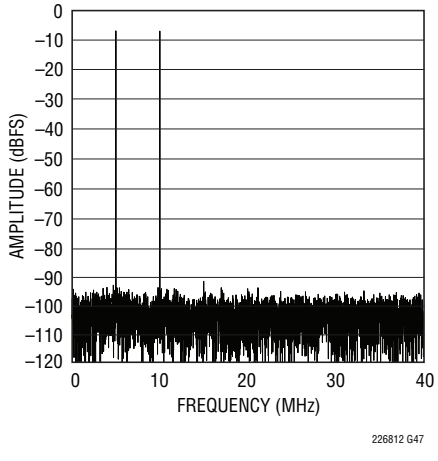
LTC2266-12：8kポイントのFFT、f_{IN} = 70MHz、–1dBFS、80Msps



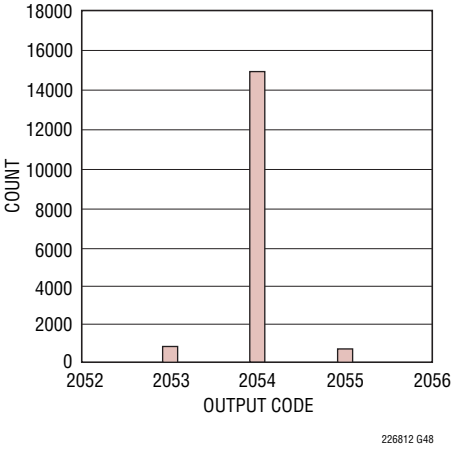
LTC2266-12：8kポイントのFFT、f_{IN} = 140MHz、–1dBFS、80Msps



LTC2266-12：8kポイントの2トーンFFT、f_{IN} = 70MHz、75MHz、–1dBFS、80Msps

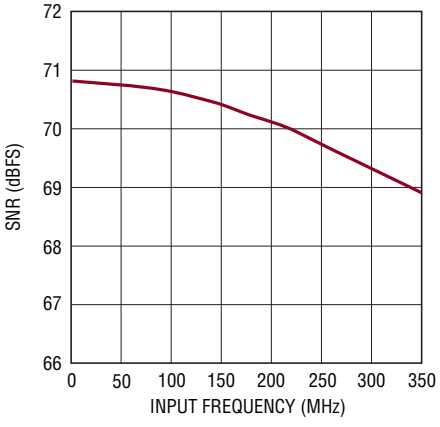


LTC2266-12：入力短絡状態のヒストグラム

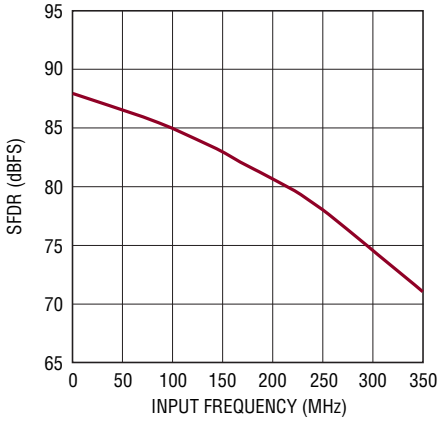


標準的性能特性

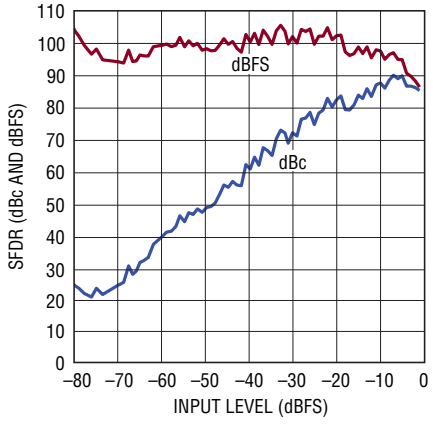
LTC2266-12：SNRと入力周波数、–1dBFS、2V範囲、80Msps



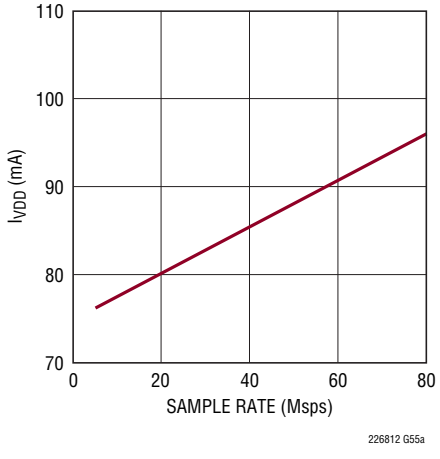
LTC2266-12：SFDRと入力周波数、–1dBFS、2V範囲、80Msps



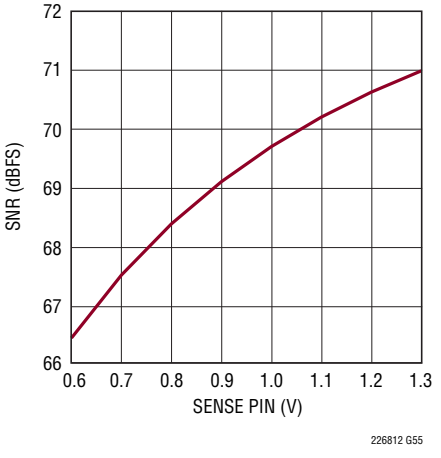
LTC2266-12：SFDRと入力レベル、f_{IN} = 70MHz、2V範囲、80Msps



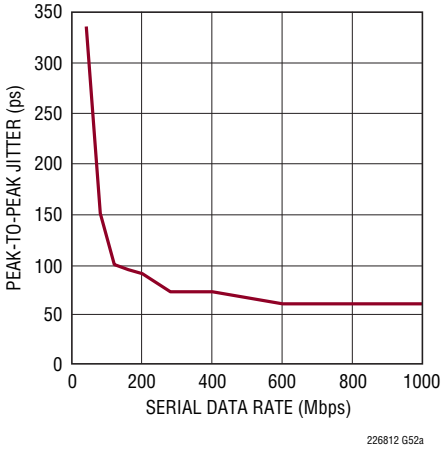
LTC2266-12：I_{VDD}とサンプリング・レート、5MHzの正弦波入力、–1dBFS



LTC2266-12：SNRとSENSE、f_{IN} = 5MHz、–1dBFS



DCOのサイクル間ジッタとシリアル・データ・レート



ピン機能

A_{IN1}^+（ピン1）：チャネル1の正の差動アナログ入力。

A_{IN1}^-（ピン2）：チャネル1の負の差動アナログ入力。

V_{CM1}（ピン3）：公称V_{DD}/2に等しい同相バイアス出力。V_{CM}は、チャネル1のアナログ入力の同相レベルをバイアスするのに使用します。0.1μFのセラミック・コンデンサを使用してグランドにバイパスします。

REFH（ピン4、5）：ADCの“H”リファレンス。2.2μFのセラミック・コンデンサを使用してピン6とピン7にバイパスし、0.1μFのセラミック・コンデンサを使用してグランドにバイパスします。

REFL（ピン6、7）：ADCの“L”リファレンス。2.2μFのセラミック・コンデンサを使用してピン4とピン5にバイパスし、0.1μFのセラミック・コンデンサを使用してグランドにバイパスします。

V_{CM2}（ピン8）：公称V_{DD}/2に等しい同相バイアス出力。V_{CM}は、チャネル2のアナログ入力の同相レベルをバイアスするのに使用します。0.1μFのセラミック・コンデンサを使用してグランドにバイパスします。

A_{IN2}^+（ピン9）：チャネル2の正の差動アナログ入力。

A_{IN2}^-（ピン10）：チャネル2の負の差動アナログ入力。

V_{DD}（ピン11、12、39、40）：1.7V～1.9Vのアナログ電源。0.1μFのセラミック・コンデンサを使用してグランドにバイパスします。隣接するピンはバイパス・コンデンサを共有することができます。

ENC^+（ピン13）：エンコード入力。立ち上がりエッジで変換が開始されます。

ENC^-（ピン14）：エンコード相補入力。立ち下がりエッジで変換が開始されます。

$\overline{CS}$（ピン15）：シリアル・プログラミング・モード（PAR/$\overline{SER}$ = 0V）では、$\overline{CS}$はシリアル・インタフェースのチップ・セレクト入力です。$\overline{CS}$が“L”のとき、SCKがイネーブルされ、SDIのデータをモード制御レジスタにシフトします。パラレル・プログラミング・モード（PAR/$\overline{SER}$ = V_{DD}）では、$\overline{CS}$によって2レーンまたは1レーンの出力モードが選択されます。$\overline{CS}$は1.8V～3.3Vのロジックでドライブできます。

SCK（ピン16）：シリアル・プログラミング・モード（PAR/$\overline{SER}$ = 0V）では、SCKはシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モード（PAR/$\overline{SER}$ = V_{DD}）では、SCKによって3.5mAまたは1.75mAのLVDS出力電流が選択されます。SCKは1.8V～3.3Vのロジックでドライブできます。

SDI（ピン17）：シリアル・プログラミング・モード（PAR/$\overline{SER}$ = 0V）では、SDIはシリアル・インタフェースのデータ入力です。SDIのデータはSCKの立ち上がりエッジでモード制御レジスタにクロックインされます。パラレル・プログラミング・モード（PAR/$\overline{SER}$ = V_{DD}）では、SDIを使用してデバイスをパワーダウンさせることができます。SDIは1.8V～3.3Vのロジックでドライブできます。

GND（ピン18、33、37、露出パッド・ピン41）：ADCの電源グランド。露出パッドはPCBグランドに半田付けする必要があります。

OGND（ピン25）：出力ドライバのグランド。非常に低インダクタンスのパスによってグランド・プレーンに短絡する必要があります。ピンの近くに複数のビアを使用します。

OV_{DD}（ピン26）：1.7V～1.9Vの出力ドライバの電源。0.1μFのセラミック・コンデンサを使用してグランドにバイパスします。

SDO（ピン34）：シリアル・プログラミング・モード（PAR/$\overline{SER}$ = 0V）では、SDOはオプションのシリアル・インタフェースのデータ出力です。SDOのデータは、モード制御レジスタから読み出してSCKの立ち下がりエッジでラッチすることができます。SDOはオープンドレインのNMOS出力で、1.8V～3.3Vへ2kのプルアップ抵抗を外付けする必要があります。モード制御レジスタから読み出す必要がない場合には、プルアップ抵抗は不要でSDOを未接続の状態にしておくことができます。パラレル・プログラミング・モード（PAR/$\overline{SER}$ = V_{DD}）では、SDOはデジタル出力の100Ωの内部終端抵抗をイネーブルする入力です。SDOを入力として使用する場合には、1kの直列抵抗を介して1.8V～3.3Vのロジックでドライブすることができます。

PAR/$\overline{SER}$（ピン35）：プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグランドに接続します。$\overline{CS}$、SCK、SDI、SDOは、A/Dの動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブルするにはV_{DD}に接続します。この場合、$\overline{CS}$、SCK、SDI、SDOは、A/Dの（種類が限定された）動作モー

ピン機能

ドを制御するパラレル・ロジック入力になります。PAR/$\overline{SER}$はグランドまたはデバイスのV_{DD}に直接接続し、ロジック信号ではドライブしません。

V_{REF}（ピン36）：リファレンス電圧出力。1μFのセラミック・コンデンサを使用してグランドにバイパスします。公称1.25Vです。

SENSE（ピン38）：リファレンス・プログラミング・ピン。SENSEをV_{DD}に接続すると、内部リファレンスと±1Vの入力範囲が選択されます。SENSEをグランドに接続すると、内部リファレンスと±0.5Vの入力範囲が選択されます。SENSEに0.625V～1.3Vの外部リファレンスを印加すると、±0.8 • V_{SENSE}の入力範囲が選択されます。

LVDS出力
以下の全てのピンは差動LVDS出力です。出力電流レベルはプログラム可能です。各LVDS出力ペアのピンの間にはオプションの100Ωの内部終端抵抗が備わっています。

$OUT2B^-/OUT2B^+$、$OUT2A^-/OUT2A^+$（ピン19/20、ピン21/22）：チャネル2のシリアル・データ出力。1レーンの出力モードでは、$OUT2A^-/OUT2A^+$のみを使用します。

FR^-/FR^+（ピン23/24）：フレーム開始出力。

DCO^-/DCO^+（ピン27/28）：データ・クロック出力。

$OUT1B^-/OUT1B^+$、$OUT1A^-/OUT1A^+$（ピン29/30、ピン31/32）：チャネル1のシリアル・データ出力。1レーンの出力モードでは、$OUT1A^-/OUT1A^+$のみを使用します。

ブロック図

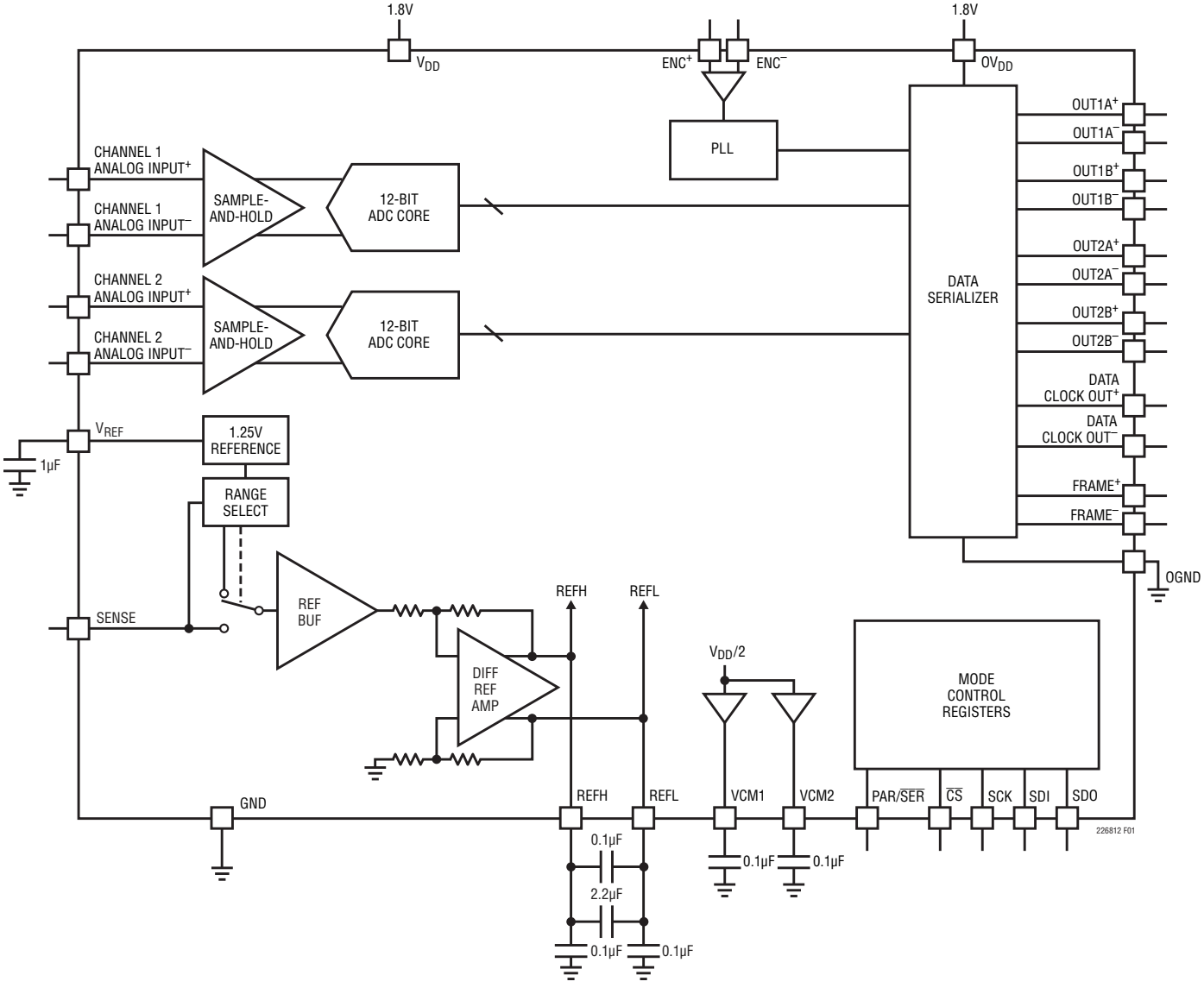


図1. 機能ブロック図

アプリケーション情報

コンバータの動作

LTC2268-12/LTC2267-12/LTC2266-12は、1.8V単一電源で動作する低消費電力、2チャネル、12ビット、125Msps/105Msps/80Msps A/Dコンバータです。アナログ入力は差動でドライブします。エンコード入力は最適なジッタ性能を得るために差動で、または消費電力を下げるためにシングルエンドでドライブすることができます。デジタル出力は、データ・ラインの数を最小限に抑えるためにシリアルLVDSを採用しています。各チャネルは同時に2ビットを出力します（2レーン・モード）。低いサンプリング・レートでは、1チャネルあたり1ビットの選択肢もあります（1レーン・モード）。シリアルSPIポートを介してモード制御レジスタをプログラムすることにより、多くの追加機能を選択することができます。

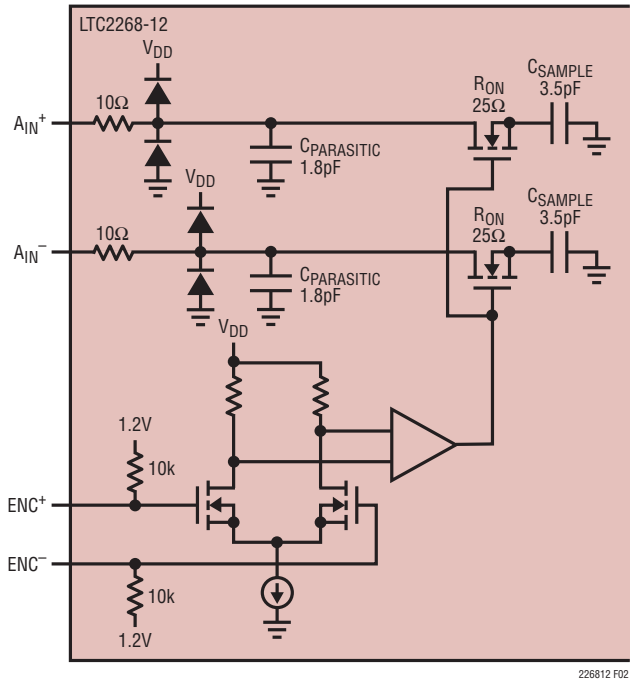


図2. 等価入力回路
2つのアナログ・チャネルの1つだけが示されている。

アナログ入力

アナログ入力は差動CMOSサンプル・ホールド回路です（図2）。入力は、V_{CM1}出力ピンまたはV_{CM2}出力ピンによって設定される同相電圧（公称$V_{DD}/2$）を中心にして差動でドライブする必要があります。2Vの入力範囲の場合、入力を$V_{CM}-0.5V$から$V_{CM}+0.5V$まで振幅させます。入力間には180°の位相差が必要です。

2つのチャネルは共有のエンコード回路（図2）によって同時にサンプリングされます。

入力ドライブ回路

入力フィルタ

可能であれば、アナログ入力の間近にRCローパス・フィルタを置きます。このローパス・フィルタはドライブ回路をA/Dのサンプル・ホールドのスイッチング回路から絶縁し、ドライブ回路の広帯域ノイズも制限します。入力RCフィルタの一例を図3に示します。RC部品の値はアプリケーションの入力周波数に基づいて選択します。

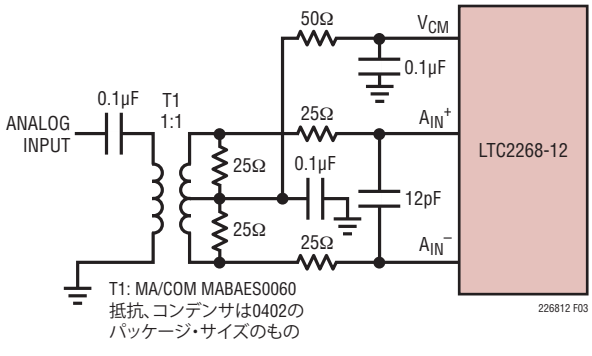
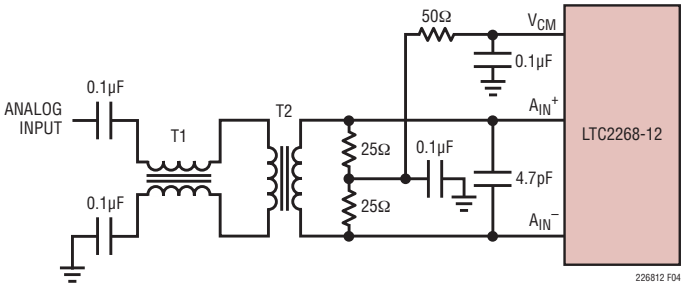


図3. トランスを使用したアナログ入力回路
5MHz～70MHzの入力周波数に対して推奨

アプリケーション情報

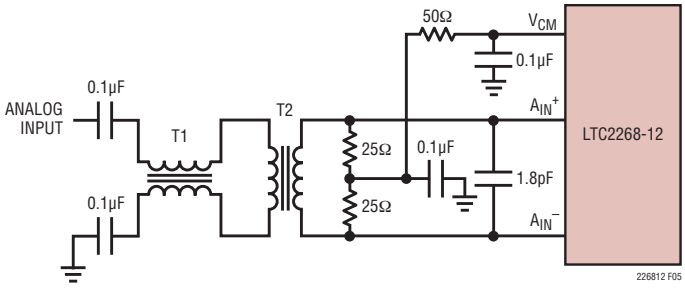
トランス結合回路

2次側にセンタータップを備えたRFトランスによってドライブされるアナログ入力を図3に示します。センタータップはV_{CM}でDCバイアスされており、A/Dの入力を最適DCレベルに設定します。高い入力周波数では、伝送ラインのバラン・トランス（図4～図6）のバランスが良くなるので、A/Dの歪みが小さくなります。



T1：MA/COM MABA-007159-000000
T2：MA/COM MABAES0060
抵抗、コンデンサは0402のパッケージ・サイズのもの

図4. 70MHz～170MHzの入力周波数用の推奨フロントエンド回路



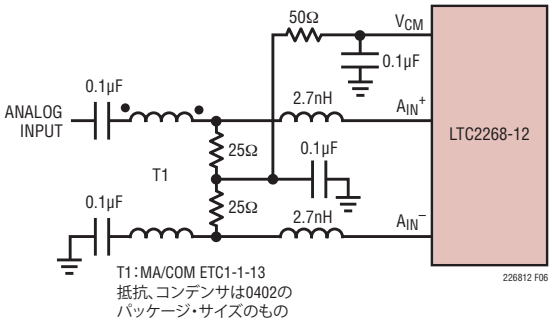
T1: MA/COM MABA-007159-000000
T2: COILCRAFT WBC1-1LB
抵抗、コンデンサは0402のパッケージ・サイズのもの

図5. 170MHz～300MHzの入力周波数用の推奨フロントエンド回路

アンプ回路

高速差動アンプによってドライブされるアナログ入力を図7に示します。アンプの出力はA/DにAC結合されているので、アンプの出力の同相電圧を最適に設定して歪みを最小限に抑えることができます。

非常に高い周波数では多くの場合、RF利得ブロックの方が差動アンプより歪みが小さくなります。利得ブロックがシングルエンドの場合には、A/Dをドライブする前にトランス回路（図4～図6）で信号を差動に変換します。



T1：MA/COM ETC1-1-13
抵抗、コンデンサは0402のパッケージ・サイズのもの

図6. 300MHzを超える入力周波数用の推奨フロントエンド回路

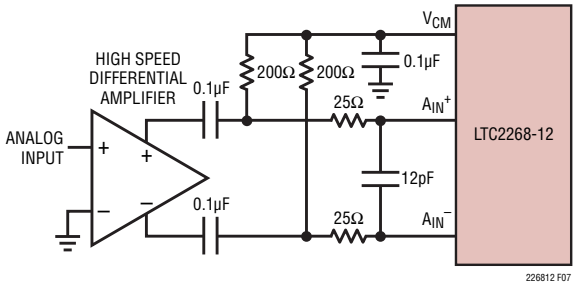


図7. 高速差動アンプを使用したフロントエンド回路

アプリケーション情報

リファレンス

LTC2268-12/LTC2267-12/LTC2266-12は1.25V電圧リファレンスを内蔵しています。内部リファレンスを使用する2Vの入力範囲の場合、SENSEをV_{DD}に接続します。内部リファレンスを使用する1Vの入力範囲の場合、SENSEをグランドに接続します。外部リファレンスを使用する2Vの入力範囲の場合、1.25Vのリファレンス電圧をSENSEに印加します(図9)。

0.625V～1.30Vの電圧をSENSEに印加することによって入力範囲を調整することができます。すると、入力範囲は1.6 • V_{SENSE}になります。

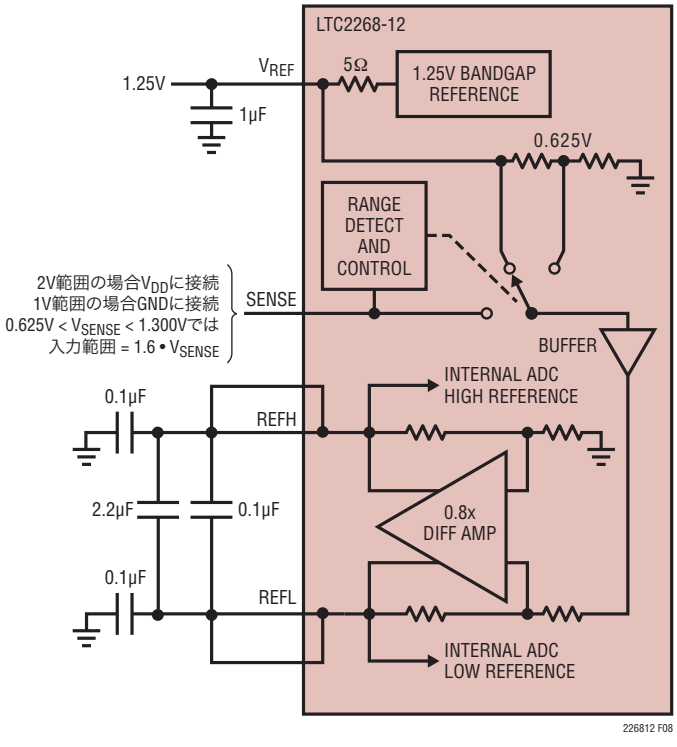


図8. リファレンス回路

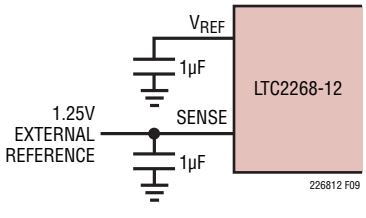


図9. 1.25Vの外部リファレンスを使用

リファレンスは両方のADCチャネルによって共有されているので、各チャネルの入力範囲を個別に調整することはできません。

V_{REF}、REFH、REFLの各ピンは図8に示すようにバイパスします。REFHとREFLの間の0.1μFコンデンサは(回路基板の裏側ではなく)できるだけピンに近づけます。

エンコード入力

エンコード入力の信号品質はA/Dのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。回路基板上でデジタル・トレースの隣に配線しないでください。エンコード入力には2つの動作モードがあります。差動エンコード・モード(図10)とシングルエンド・エンコード・モード(図11)です。

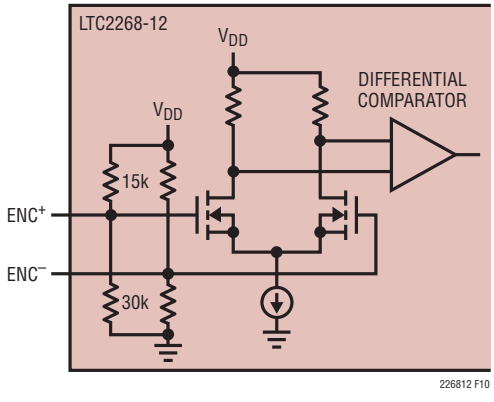


図10. 差動エンコード・モードの等価エンコード入力回路

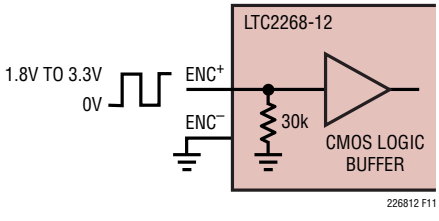
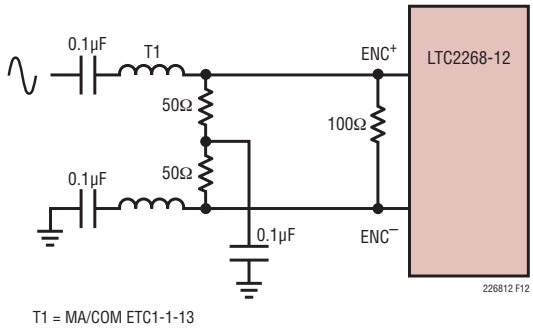


図11. シングルエンド・エンコード・モードの等価エンコード入力回路

アプリケーション情報

正弦波、PECLまたはLVDSのエンコード入力には、差動エンコード・モードを推奨します（図12および図13）。エンコード入力は内部で10kの等価抵抗を介して1.2Vにバイアスされています。エンコード入力はV_{DD}より高くすることができ（最大3.6V）、同相範囲は1.1V～1.6Vです。差動エンコード・モードでは、ENC^-はグランドより200mV以上高く保って、シングルエンド・エンコード・モードを誤ってトリガしないようにします。良好なジッタ性能を得るため、ENC^+の立ち上がり時間と立ち下がり時間を高速にします。

シングルエンド・エンコード・モードはCMOSエンコード入力で使用します。このモードを選択するには、ENC^-をグランドに接続し、ENC^+を方形波のエンコード入力でドライブします。ENC^+はV_{DD}より高くすることができるので（最大3.6V）、1.8V～3.3VのCMOSロジック・レベルを使用することができます。ENC^+のスレッショルドは0.9Vです。良好なジッタ性能を得るため、ENC^+の立ち上がり時間と立ち下がり時間を高速にします。



T1 = MA/COM ETC1-1-13
抵抗とコンデンサは0402の
パッケージ・サイズのもの

図12. 正弦波のエンコード・ドライブ

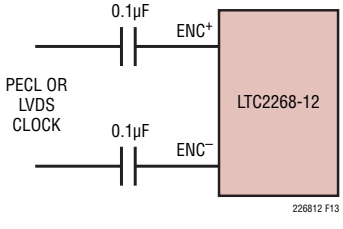


図13. PECLまたはLVDSのエンコード・ドライブ

クロックPLLとデューティ・サイクル・スタビライザ

エンコード・クロックは内部フェーズロック・ループ（PLL）によって乗算され、シリアル・デジタル出力データを生成します。エンコード信号の周波数が変化するか、またはオフした後、PLLが入力クロックにロックするのに25µsを要します。

クロック・デューティ・サイクル・スタビライザ回路により、印加されるエンコード信号のデューティ・サイクルは30%～70%の範囲の変動が許容されます。シリアル・プログラミング・モードでは、デューティ・サイクル・スタビライザをディスエーブルすることができますが、推奨しません。パラレル・プログラミング・モードでは、デューティ・サイクル・スタビライザは常にイネーブルされています。

デジタル出力

LTC2268-12/LTC2267-12/LTC2266-12のデジタル出力はシリアル化されたLVDS信号です。各チャネルは同時に2ビットを出力します（2レーン・モード）。低いサンプリング・レートでは、1チャネル当たり1ビットの選択肢もあります（1レーン・モード）。データは16、14、または12ビットにシリアル化できます（詳細については「タイミング図」を参照）。

出力データは、データ・クロック出力（DCO）の立ち上がりエッジと立ち下がりエッジでラッチされます。データ・フレーム出力（FR）を使用し、新たな変換のデータが出力され始める時点を決定することができます。2レーンの14ビット・シリアル化モードでは、FR出力の周波数は1/2になります。

データ出力の最大シリアル・データ・レートは1Gbpsなので、ADCの最大サンプリング・レートはADCの速度グレードだけでなく、シリアル化モードによっても異なります（表1を参照）。全てのシリアル化モードの最小サンプリング・レートは5Mspsです。

アプリケーション情報

表1. 全てのシリアル化モードの最大サンプリング周波数。これらの制限値はLTC2268-12のものであることに注意。遅い速度グレードのサンプリング周波数は、105MHz (LTC2267-12)または80MHz (LTC2266-12)を超えることはできない。

シリアル化モード		最大サンプリング周波数、f_S(MHz)	DCO周波数	FR周波数	シリアル・データ・レート
2-Lane	16-Bit Serialization	125	$4 \cdot f_S$	f_S	$8 \cdot f_S$
2-Lane	14-Bit Serialization	125	$3.5 \cdot f_S$	$0.5 \cdot f_S$	$7 \cdot f_S$
2-Lane	12-Bit Serialization	125	$3 \cdot f_S$	f_S	$6 \cdot f_S$
1-Lane	16-Bit Serialization	62.5	$8 \cdot f_S$	f_S	$16 \cdot f_S$
1-Lane	14-Bit Serialization	71.4	$7 \cdot f_S$	f_S	$14 \cdot f_S$
1-Lane	12-Bit Serialization	83.3	$6 \cdot f_S$	f_S	$12 \cdot f_S$

デフォルトでは、出力は出力電流が3.5mA、出力同相電圧が1.25Vの標準LVDSレベルです。各LVDS出力ペアには100Ωの差動終端抵抗を外付けする必要があります。終端抵抗はLVDSレシーバにできるだけ近づけて配置します。

出力はOV_{DD}とOGND(それぞれ、A/Dのコア電源とグランドから絶縁されている)から電力供給されます。

プログラム可能なLVDS出力電流

デフォルトの出力ドライバ電流は3.5mAです。シリアル・プログラミング・モードでは、この電流は制御レジスタA2によって調整することができます。使用可能な電流レベルは、1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mAおよび4.5mAです。パラレル・プログラミング・モードでは、SCKピンは3.5mAまたは1.75mAのいずれかを選択できます。

オプションのLVDSドライバの内部終端

ほとんどの場合、100Ωの外付け終端抵抗を使用するだけでLVDSの優れた信号品質が得られます。さらに、モード制御レジスタA2をシリアル・モードでプログラムすることにより、オプションの100Ωの内部終端抵抗をイネーブルすることができます。内部終端には、レシーバ側の不完全な終端によって生じる反射を吸収する効果があります。内部終端がイネーブルされると、出力ドライバ電流が2倍になって同じ出力電圧振幅を維持します。パラレル・プログラミング・モードでは、SDOピンによって内部終端がイネーブルされます。内部終端は、1.75mA、2.1mAまたは2.5mAのLVDS出力電流モードのときのみ使用します。

データ・フォーマット

アナログ入力電圧とデジタル・データ出力ビット間の相関を表2に示します。デフォルトでは、出力のデータ・フォーマットはオフセット・バイナリです。モード制御レジスタA1をシリアル・モードでプログラムすることにより、2の補数のフォーマットを選択することができます。

14ビットおよび16ビットのシリアル化モードでは、12データ・ビット(D11～D0)に続き、2つの追加ビット(D_XおよびD_Y)が送出されます。この追加ビットは、これらのA/Dの14ビット・バージョンとの完全なソフトウェア互換性を確保するためのものです。アナログ入力にオーバーレンジが生じていない通常動作時には、D_XとD_Yは常にロジック0です。アナログ入力に正のオーバーレンジが生じている場合、D_XとD_Yはロジック1になります。アナログ入力に負のオーバーレンジが生じている場合、D_XとD_Yはロジック0になります。D_XとD_Yは、デジタル出力のテストパターンによって制御することもできます。詳細については「タイミング図」を参照してください。

表2. 出力コードと入力電圧

$A_{IN}^+ - A_{IN}^-$ (2V範囲)	D11～D0 (オフセット・バイナリ)	D11～D0 (2の補数)	D_X、D_Y
>+1.000000V	1111 1111 1111	0111 1111 1111	11
+0.999512V	1111 1111 1111	0111 1111 1111	00
+0.999024V	1111 1111 1110	0111 1111 1110	00
+0.000488V	1000 0000 0001	0000 0000 0001	00
0.000000V	1000 0000 0000	0000 0000 0000	00
–0.000488V	0111 1111 1111	1111 1111 1111	00
–0.000976V	0111 1111 1110	1111 1111 1110	00
–0.999512V	0000 0000 0001	1000 0000 0001	00
–1.000000V	0000 0000 0000	1000 0000 0000	00
≤–1.000000V	0000 0000 0000	1000 0000 0000	00

アプリケーション情報

デジタル出力ランダマイザ

A/Dのデジタル出力からの干渉を避けられない場合もあります。デジタルの干渉は、容量性や誘導性の結合またはグランド・プレーンを介した結合から生じる可能性があります。結合係数が小さくても、ADCの出力スペクトルに不要なトーンを生じることがあります。デジタル出力をデバイスから送出する前にランダム化することにより、これらの不要なトーンをランダム化し、不要なトーンの振幅を減少させることができます。

デジタル出力は、LSBと他のすべてのデータ出力ビットの間で排他的論理和ロジック演算を行うことによって**ランダム化**されます。デコードするには、逆の演算を行います。つまりLSBと他のすべてのビットの間で排他的論理和演算を行います。FR出力とDCO出力は影響を受けません。出力ランダマイザは、モード制御レジスタA1をシリアル・モードでプログラムすることによってイネーブルされます。

デジタル出力のテストパターン

A/Dへのデジタル・インタフェースのインサーキット・テストを可能にするため、両方のチャネルのA/Dのデータ出力（D11～D0、D_X、D_Y）を既知の値に強制するテスト・モードがあります。モード制御レジスタA3およびA4をシリアル・モードでプログラムすることにより、デジタル出力のテストパターンがイネーブルされます。テストパターンがイネーブルされると、他の全てのフォーマット・モード（2の補数およびランダマイザ）をオーバーライドします。

出力ディスエーブル

モード制御レジスタA2をシリアル・モードでプログラムすることにより、デジタル出力をディスエーブルすることができます。節電またはインサーキット・テストのイネーブルのため、DCOやFRを含む全てのデジタル出力の電流ドライブがディスエーブルされます。ディスエーブルされると、同相の各出力ペアが高インピーダンスになりますが、差動インピーダンスは低く保つことができます。

スリープ・モードとナップ・モード

節電のため、A/Dをスリープ・モードまたはナップ・モードにすることができます。スリープ・モードでは、デバイス全体がパワーダウンし、1mWの消費電力になります。スリープ・モードは、モード制御レジスタA1（シリアル・プログラミング・モード）、またはSDI（パラレル・プログラミング・モード）によってイネーブルされます。スリープ・モードから回復するのに要する時間は、V_{REF}、REFHおよびREFLのバイパス・コンデンサの容量によって決まります。図8の推奨値の場合、A/Dは2ms後に安定します。

ナップ・モードでは、どのA/Dチャネルの組み合わせもパワーダウンでき、内部リファレンス回路とPLLはアクティブなままなので、スリープ・モードよりも速く回復することができます。ナップ・モードからの回復には少なくとも100クロック・サイクルを必要とします。非常に精確なDCセトリングが必要なアプリケーションの場合、50μsを追加することにより、A/Dがナップ・モードから移行するときの消費電流の変化によって生じるわずかな温度変化に対して内蔵リファレンスがセトリングできるようにします。ナップ・モードは、シリアル・プログラミング・モードのモード制御レジスタA1によってイネーブルされます。

デバイスのプログラミング・モード

LTC2268-12/LTC2267-12/LTC2266-12の動作モードはパラレル・インタフェースまたはシンプルなシリアル・インタフェースのどちらでもプログラム可能です。シリアル・インタフェースの方が柔軟性に優れ、使用可能な全てのモードをプログラムすることができます。パラレル・インタフェースはそれに比べて限定されており、プログラムできるのはよく使用されるモードのいくつかだけです。

パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、PAR/$\overline{SER}$をV_{DD}に接続します。$\overline{CS}$、SCK、SDI、SDOの各ピンはバイナリ・ロジック入力で、特定の動作モードを設定します。これらのピンはV_{DD}またはグランドに接続するか、あるいは1.8V、2.5Vまたは3.3VのCMOSロジックでドライブすることができます。SDOを入力として使用する場合には、1kの直列抵抗を介してドライブします。$\overline{CS}$、SCK、SDIおよびSDOによって設定されるモードを表3に示します。

表3. パラレル・プログラミング・モードの制御ビット（PAR/$\overline{SER}$ = V_{DD}）

ピン	説明
$\overline{CS}$	**2レーン/1レーン選択ビット** 0 = 2レーン、16ビット・シリアル化出力モード 1 = 1レーン、14ビット・シリアル化出力モード
SCK	**LVDS電流選択ビット** 0 = 3.5mA LVDS電流モード 1 = 1.75mA LVDS電流モード
SDI	**パワーダウン制御ビット** 0 = 通常動作 1 = スリープ・モード
SDO	**100Ωの内部終端選択ビット** 0 = 内部終端をディスエーブル 1 = 内部終端をイネーブル

アプリケーション情報

シリアル・プログラミング・モード

シリアル・プログラミング・モードを使用するには、PAR/$\overline{\text{SER}}$をグランドに接続します。$\overline{\text{CS}}$、SCK、SDI、SDOの各ピンは、A/Dのモード制御レジスタをプログラムするシリアル・インタフェースになります。データは16ビットのシリアル・ワードでレジスタに書き込まれます。レジスタの内容を検証するため、データをレジスタから読み出すこともできます。

シリアル・データ転送は$\overline{\text{CS}}$が“L”になると開始されます。SDIピンのデータはSCKの最初の16個の立ち上がりエッジでラッチされます。最初の16個の後のSCKの立ち上がりエッジはどれも無視されます。データ転送は$\overline{\text{CS}}$が再度“H”になると終了します。

16ビットの入力ワードの最初のビットはR/$\overline{\text{W}}$ビットです。次の7ビットはレジスタのアドレス（A6:A0）です。最後の8ビットはレジスタのデータ（D7:D0）です。

R/$\overline{\text{W}}$ビットが“L”の場合、シリアル・データ（D7:D0）が、アドレス・ビット（A6:A0）によって設定されるレジスタに書き込まれます。R/$\overline{\text{W}}$ビットが“H”の場合、アドレス・ビット（A6:A0）によって設定されるレジスタ内のデータがSDOピンで読み出されます（「タイミング図」を参照）。読み出しコマンドの間レジスタは更新されず、SDIのデータは無視されます。

SDOピンはオープンドレイン出力で、200Ωのインピーダンスでグランドにプルダウンされています。SDOを介してレジスタのデータを読み出す場合、2kのプルアップ抵抗を外付けする必要があります。シリアル・データが書き込み専用で読み出しの必要がない場合には、SDOをフロートさせておくことができるので、プルアップ抵抗は必要ありません。モード制御レジスタのマップを表4に示します。

ソフトウェアによるリセット

シリアル・プログラミングを使用する場合には、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、全てのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットでなければなりません。ソフトウェア・リセットを実行するには、リセット・レジスタのビットD7にロジック1を書き込みます。リセットSPI書き込みコマンドが完了した後、ビットD7は再度自動的にゼロに設定されます。

表4. シリアル・プログラミング・モードのレジスタ・マップ（PAR/$\overline{\text{SER}}$ = GND）

レジスタA0: リセット・レジスタ（アドレス00h）

D7	D6	D5	D4	D3	D2	D1	D0
RESET	X	X	X	X	X	X	X

ビット7　**リセット**　ソフトウェア・リセット・ビット
0 = 不使用
1 = ソフトウェアによるリセット。全てのモード制御レジスタが00hにリセットされる。ADCは一時的にスリープ・モードになる。このビットはSPI書き込みコマンドの終了時に、再度、自動的にゼロに設定される。リセット・レジスタは書き込み専用。

ビット6～0　使用されない、ドントケア・ビット。

レジスタA1: パワーダウン・レジスタ（アドレス01h）

D7	D6	D5	D4	D3	D2	D1	D0
DCSOFF	RAND	TWOSCOMP	SLEEP	NAP_2	X	X	NAP_1

ビット7　**DCSOFF**　クロック・デューティ・サイクル・スタビライザ・ビット
0 = クロック・デューティ・サイクル・スタビライザをオン
1 = クロック・デューティ・サイクル・スタビライザをオフ。これは推奨されない。

ビット6　**RAND**　データ出力ランダマイザ・モード制御ビット
0 = データ出力ランダマイザ・モードをオフ
1 = データ出力ランダマイザ・モードをオン

ビット5　**TWOSCOMP**　2の補数モード制御ビット
0 = オフセット・バイナリのデータ・フォーマット
1 = 2の補数のデータ・フォーマット

ビット4、3、0　**SLEEP:NAP_2:NAP_1**　スリープ/ナップ・モード制御ビット
000 = 通常動作
0X1 = チャネル1がナップ・モード
01X = チャネル2がナップ・モード
1XX = スリープ・モード。両方のチャネルがディスエーブル
注記: ナップ・モードではチャネルのどの組み合わせも設定可能。

ビット2、1　使用されない、ドントケア・ビット。

アプリケーション情報

レジスタA2: 出力モード・レジスタ(アドレス02h)

D7	D6	D5	D4	D3	D2	D1	D0
ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTMODE2	OUTMODE1	OUTMODE0

ビット7～5 **ILVDS2:ILVDS0** LVDS出力電流ビット
000 = 3.5mAのLVDS出力ドライバ電流
001 = 4.0mAのLVDS出力ドライバ電流
010 = 4.5mAのLVDS出力ドライバ電流
011 = 不使用
100 = 3.0mAのLVDS出力ドライバ電流
101 = 2.5mAのLVDS出力ドライバ電流
110 = 2.1mAのLVDS出力ドライバ電流
111 = 1.75mAのLVDS出力ドライバ電流

ビット4 **TERMON** LVDS内部終端ビット
0 = 内部終端をオフ
1 = 内部終端をオン。LVDS出力ドライバ電流はILVDS2:ILVDS0で設定された電流の2倍になる。
内部終端は、1.75mA、2.1mAまたは2.5mAのLVDS出力電流モードのときのみ使用する。

ビット3 **OUTOFF** 出力ディスエーブル・ビット
0 = デジタル出力をイネーブル
1 = デジタル出力をディスエーブル

ビット2～0 **OUTMODE2:OUTMODE0** デジタル出力モード制御ビット
000 = 2レーン、16ビットのシリアル化
001 = 2レーン、14ビットのシリアル化
010 = 2レーン、12ビットのシリアル化
011 = 不使用
100 = 不使用
101 = 1レーン、14ビットのシリアル化
110 = 1レーン、12ビットのシリアル化
111 = 1レーン、16ビットのシリアル化

レジスタA3:テストパターンMSBレジスタ(アドレス03h)

D7	D6	D5	D4	D3	D2	D1	D0
OUTTEST	X	TP11	TP10	TP9	TP8	TP7	TP6

ビット7 **OUTTEST** デジタル出力のテストパターン制御ビット
0 = デジタル出力のテストパターンをオフ
1 = デジタル出力のテストパターンをオン

ビット6 使用されない、ドントケア・ビット。

ビット5～0 **TP11:TP6** テストパターン・データ・ビット(MSB)
TP11:TP6により、データ・ビット11 (MSB)のテストパターンがデータ・ビット6を介して設定される。

レジスタA4: テストパターンLSBレジスタ(アドレス04h)

D7	D6	D5	D4	D3	D2	D1	D0
TP5	TP4	TP3	TP2	TP1	TP0	TPX	TPY

ビット7～2 **TP5:TP0** テストパターン・データ・ビット(LSB)
TP5:TP0により、データ・ビット5のテストパターンがデータ・ビット0 (LSB)を介して設定される。

ビット1～0 **TPX:TPY** 追加ビットD_XおよびD_Yのテストパターンを設定。これらのビットは14ビット・バージョンのA/Dと互換性をもたせるためのもの。

アプリケーション情報

接地とバイパス

LTC2268-12/LTC2267-12/LTC2266-12には、切れ目のないクリーンなグランド・プレーンを備えたプリント基板が必要です。ADCの下の最初の層に内部グランド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ分離します。特に、アナログ信号トラックの横やADCの下にデジタル・トラックを通さないように注意する必要があります。

V_{DD}、OV_{DD}、V_{CM}、V_{REF}、REFH、REFLの各ピンには、高品質のセラミック・バイパス・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。特に重要なのは、REFHとREFLの間の0.1μFのコンデンサです。このコンデンサはA/Dと同じ回路基板の側に、できるだけデバイスに近づけて（1.5mm以内）配置してください。サイズが0402のセラミック・コンデンサを推奨します。REFHとREFLの間の大きな2.2μFのコンデンサはこれよりいくらか離れてもかまいません。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くする必要があります。

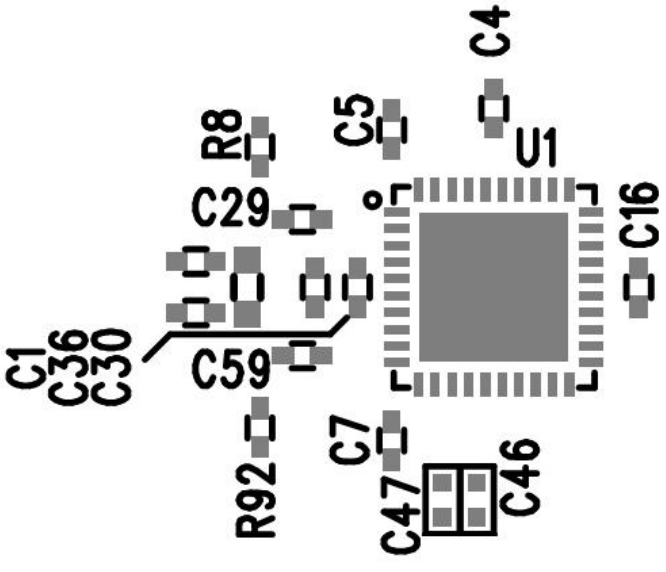
アナログ入力、エンコード信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに絶縁するためのバリヤとして、グランド領域とグランド・ビアを使用します。

熱伝導

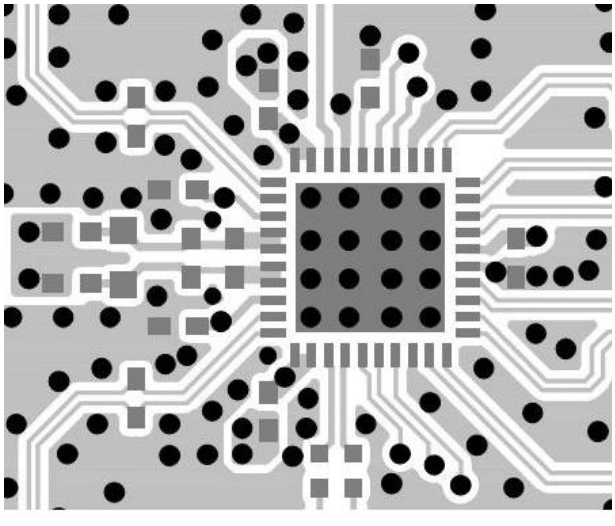
LTC2268-12/LTC2267-12/LTC2266-12が発生する熱の大部分はダイから底面の露出パッドとパッケージの端子を通ってプリント回路基板に伝わります。優れた電気的特性と熱特性を得るためには、露出パッドをPC基板の大きな接地されたパッドに半田付けする必要があります。このパッドは複数のビアで内部グランド・プレーンに接続します。

標準的応用例

シルクスクリーンの上面

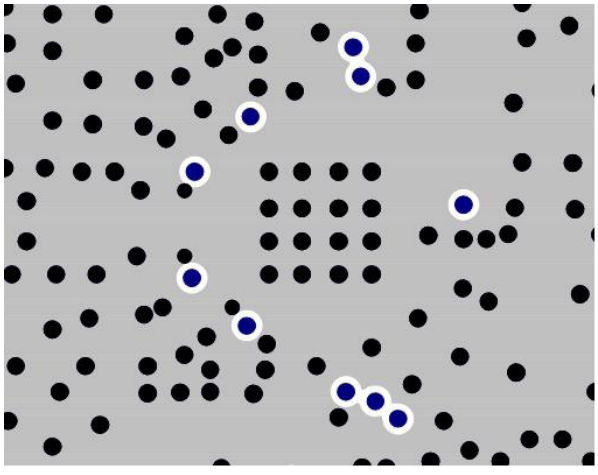


上面

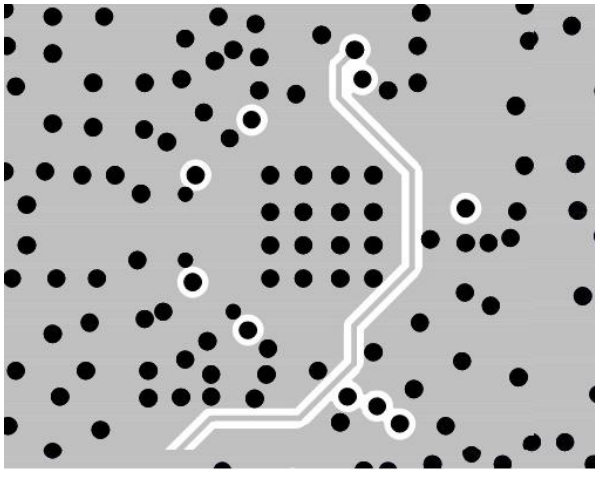


標準的応用例

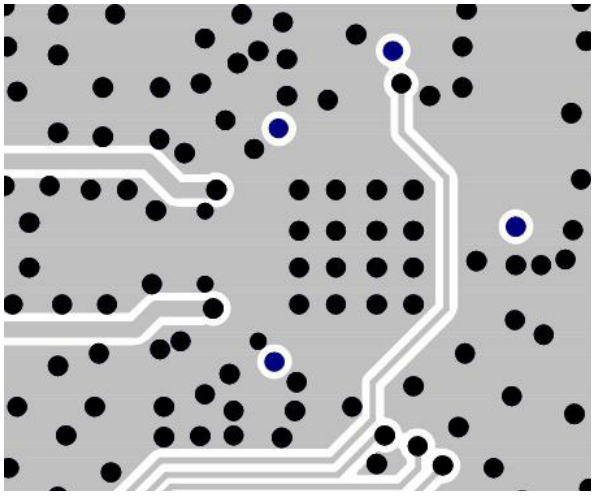
内部第2層GND



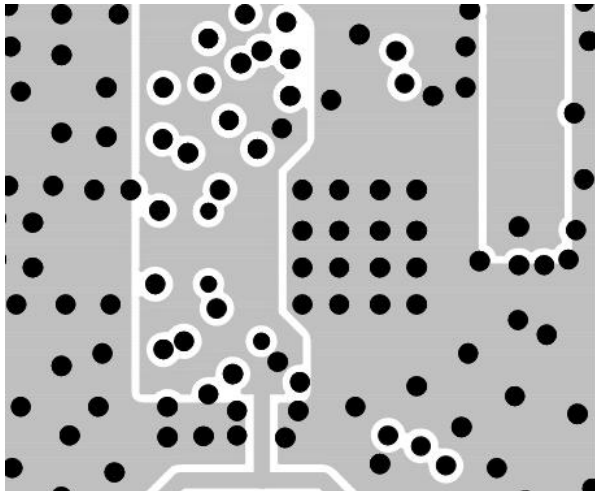
内部第3層



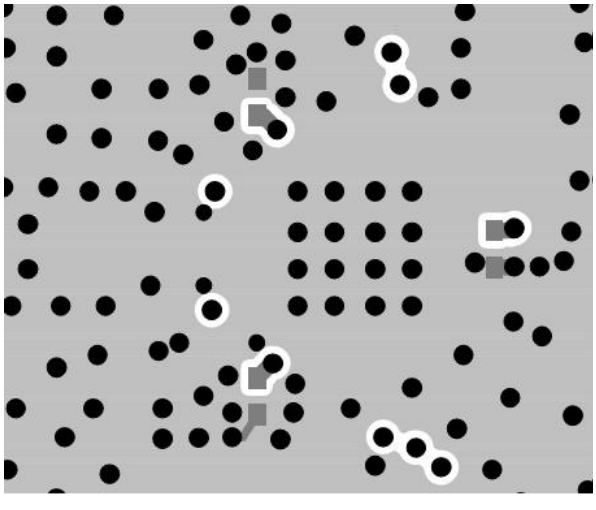
内部第4層



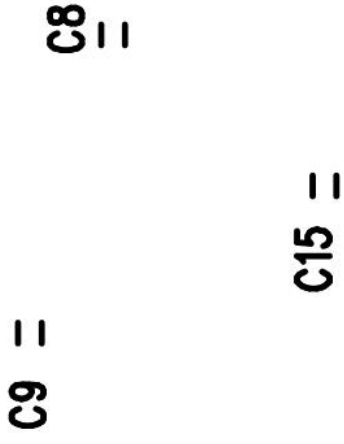
内部第5層電源



底面



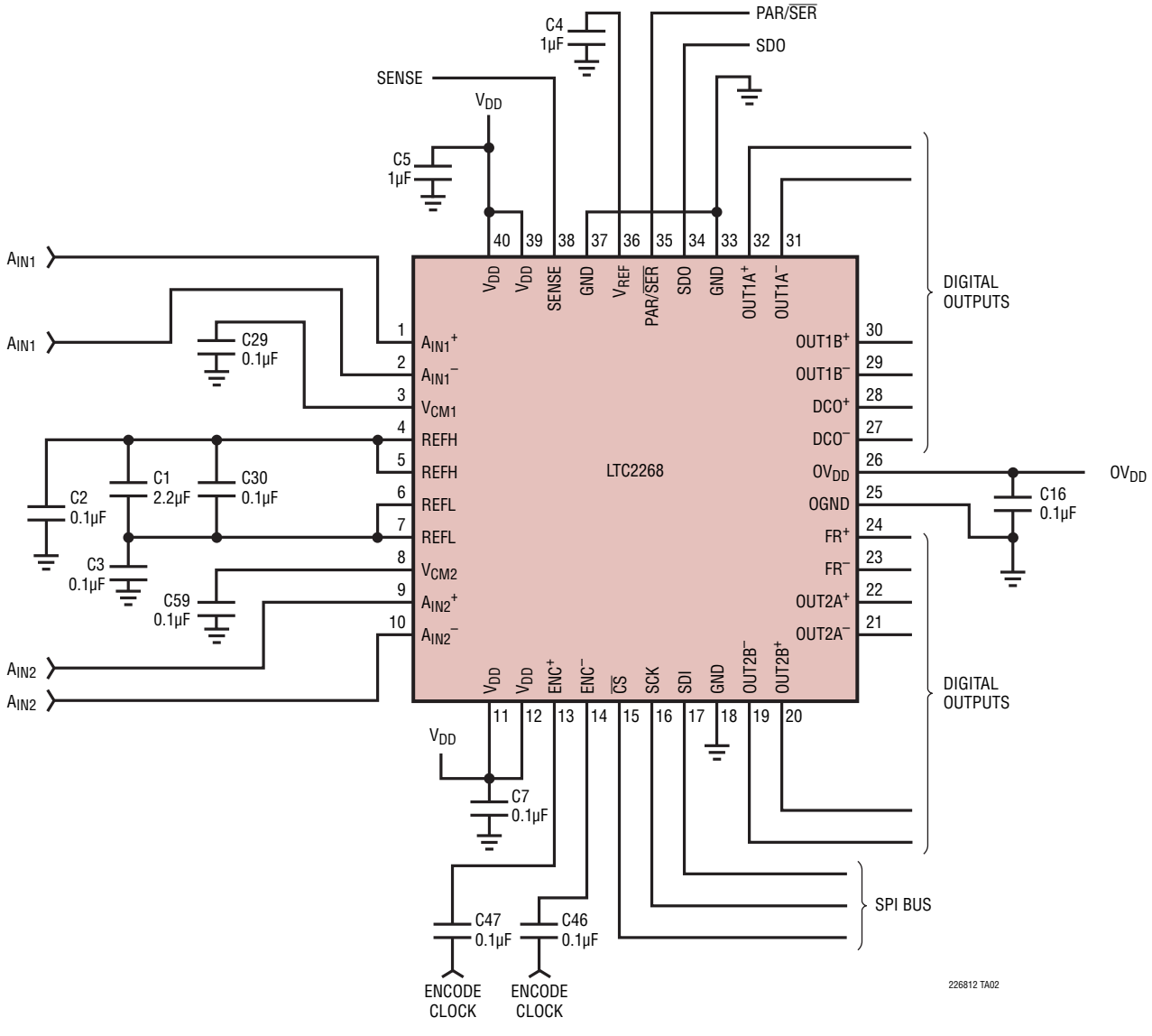
シルクスクリーンの底面



22687612fa

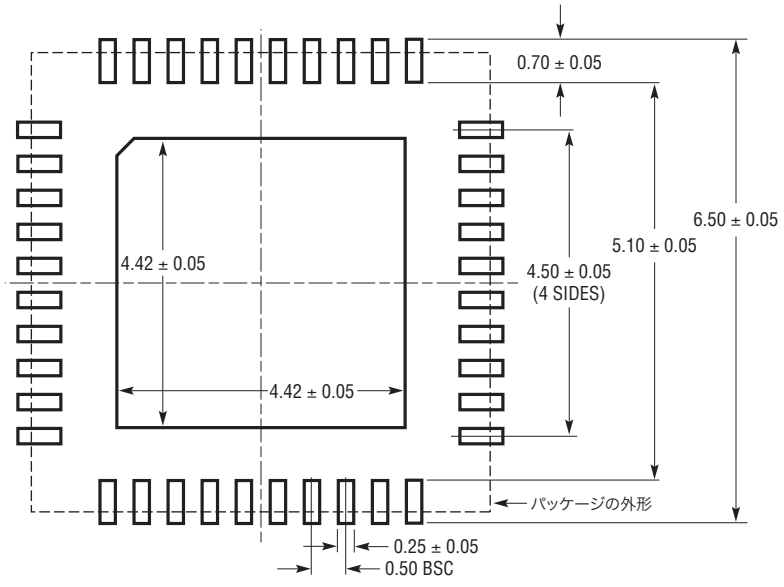
標準的応用例

LTC2268の回路図

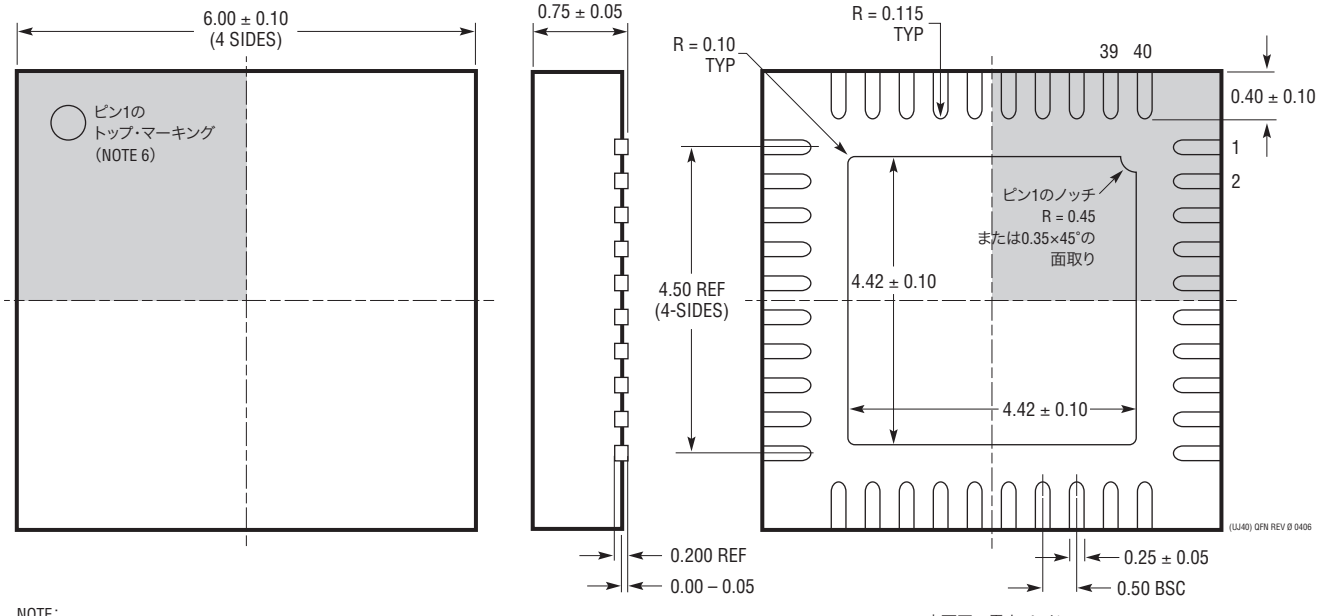


パッケージ

UJパッケージ
40ピンプラスチックQFN（6mm×6mm）
(Reference LTC DWG # 05-08-1728 Rev Ø)



推奨する半田パッドのピッチと寸法
半田付けされない領域には半田マスクを使用する



底面図－露出パッド

NOTE：
1. 図はJEDECパッケージ外形のバリエーション（WJJD-2）
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
   モールドのバリは（もしあれば）各サイドで0.20mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

改訂履歴

REV	日付	概要	ページ番号
A	6/11	「アプリケーション情報」セクションのソフトウェアによるリセットの段落と表4を改訂	25

リニアテクノロジー・コーポレーションがここで提供する情報は正確かつ信頼できるものと考えておりますが、その使用に関する責務は一切負いません。また、ここに記載された回路結線と既存特許とのいかなる関連についても一切関知いたしません。なお、日本語の資料はあくまでも参考資料です。訂正、変更、改版に追従していない場合があります。最終的な確認は必ず最新の英語版データシートでお願いいたします。

関連製品

製品番号	説明	注釈
ADC		
LTC2170-14/LTC2171-14/ LTC2172-14	14ビット、25Msps/40Msps/65Msps 1.8V クワッドADC、超低消費電力	178mW/234mW/360mW、SNR：73.4dB、SFDR：88dB、シリアルLVDS出力、7mm × 8mm QFN-52パッケージ
LTC2170-12/LTC2171-12/ LTC2172-12	12ビット、25Msps/40Msps/65Msps 1.8V クワッドADC、超低消費電力	178mW/234mW/360mW、SNR：70.5dB、SFDR：88dB、シリアルLVDS出力、7mm × 8mm QFN-52パッケージ
LTC2173-14/LTC2174-14/ LTC2175-14	14ビット、80Msps/105Msps/125Msps 1.8V クワッドADC、超低消費電力	373mW/445mW/551mW、SNR：73.2 dB、SFDR：88dB、シリアルLVDS出力、7mm × 8mm QFN-52パッケージ
LTC2173-12/LTC2174-12/ LTC2175-12	12ビット、80Msps/105Msps/125Msps 1.8V クワッドADC、超低消費電力	412mW/481mW/567mW、SNR：70.5 dB、SFDR：88dB、シリアルLVDS出力、7mm × 8mm QFN-52パッケージ
LTC2256-14/LTC2257-14/ LTC2258-14	14ビット、25Msps/40Msps/65Msps 1.8V ADC、超低消費電力	35mW/49mW/81mW、SNR：74dB、SFDR: 88dB、DDR LVDS、DDR CMOSまたはCMOS出力、6mm × 6mm QFN-36パッケージ
LTC2259-14/LTC2260-14/ LTC2261-14	14ビット、80Msps/105Msps/125Msps 1.8V ADC、超低消費電力	89mW/106mW/127mW、SNR：73.4dB、SFDR：85dB、DDR LVDS、DDR CMOSまたはCMOS出力、6mm × 6mm QFN-36パッケージ
LTC2262-14	14ビット、150Msps 1.8V ADC、超低消費電力	149mW、SNR：72.8dB、SFDR：88dB、DDR LVDS、DDR CMOSまたはCMOS出力、6mm × 6mm QFN-36パッケージ
LTC2263-14/LTC2264-14/ LTC2265-14	14ビット、25Msps/40Msps/65Msps 1.8V デュアルADC、超低消費電力	99mW/126mW/191mW、SNR：73.4dB、SFDR：88dB、シリアルLVDS出力、6mm × 6mm QFN-36パッケージ
LTC2263-12/LTC2264-12/ LTC2265-12	12ビット、25Msps/40Msps/65Msps 1.8V デュアルADC、超低消費電力	99mW/126mW/191mW、SNR：70.5dB、SFDR：88dB、シリアルLVDS出力、6mm × 6mm QFN-36パッケージ
LTC2266-14/LTC2267-14/ LTC2268-14	14ビット、80Msps/105Msps/125Msps 1.8V デュアルADC、超低消費電力	216mW/250mW/293mW、SNR：73.4dB、SFDR：88dB、シリアルLVDS出力、6mm × 6mm QFN-36パッケージ
RFミキサ／復調器		
LT5517	40MHz～900MHz ダイレクト・コンバージョン直交復調器	高いIIP3：800MHzで21dBm、LO直交ジェネレータ内蔵
LT5527	400MHz～3.7GHz 高直線性ダウンコンバーティング・ミキサ	IIP3：900MHz で24.5dBm、3.5GHzで23.5dBm、NF = 12.5dB、50Ωシングルエンドの RFポートとLOポート
LT5557	400MHz～3.8GHz 高直線性ダウンコンバーティング・ミキサ	IIP3：2.6GHz で23.7dBm、3.5GHzで23.5dBm、NF = 13.2dB、3.3V電源動作、トランス内蔵
LT5575	800MHz～2.7GHz ダイレクト・コンバージョン直交復調器	高いIIP3：900MHz で28dBm、LO直交ジェネレータ内蔵、RFとLOの入力にトランス内蔵
アンプ／フィルタ		
LTC6412	800MHz、31dBレンジ、アナログ制御VGA	連続調整可能な利得制御、240MHzでのOIP3：35dBm、ノイズ・フィギュア：10dB、4mm × 4mm QFN-24パッケージ
LTC6420-20	300MHzのIF周波数向け1.8GHz、低ノイズ、低歪み、デュアル差動ADCドライバ	固定利得：10V/V、総入力ノイズ：1nV/√Hz、アンプ当り消費電流：80mA、3mm × 4mm QFN-20パッケージ
LTC6421-20	1.3GHz、低ノイズ、低歪み、デュアル差動ADCドライバ	固定利得：10V/V、総入力ノイズ：1nV/√Hz、アンプ当り消費電流：40mA、3mm × 4mm QFN-20パッケージ
LTC6605-7/ LTC6605-10/ LTC6605-14	整合されたデュアル7MHz/10MHz/14MHz フィルタおよびADCドライバ	差動ドライバ付きの整合されたデュアル2次ローパス・フィルタ、利得をピンで選択可能、6mm × 3mm DFN-22パッケージ
LTM9002	14ビット、デュアルチャネルIF/ ベースバンド・レシーバ・サブシステム	高速ADC、パッシブ・フィルタ、固定利得差動アンプを内蔵

32 リニアテクノロジー株式会社
〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F
TEL 03-5226-7291• FAX 03-5226-0268 • www.linear-tech.co.jp

LT 0611 REV A • PRINTED IN JAPAN

© LINEAR TECHNOLOGY CORPORATION 2009