

特長

- SNR: 72.8dB
- SFDR: 88dB
- 低消費電力: 149mW
- 1.8V単電源
- CMOS、DDR CMOSまたはDDR LVDS出力
- 選択可能な入力範囲: 1V_{p-p}~2V_{p-p}
- フルパワー帯域幅が800MHzのサンプル/ホールド
- オプションのデータ出力ランドマイザ
- オプションのクロック・デューティ・サイクル・スタビライザ
- シャットダウン・モードとナップ・モード
- 設定用のシリアルSPIポート
- ピン互換の14ビットおよび12ビット・バージョン
- 40ピン6mm×6mm QFNパッケージ

アプリケーション

- 通信機器
- セルラ基地局
- ソフトウェア無線
- 携帯型医療用画像処理
- マルチチャンネル・データ収集
- 非破壊試験

概要

LTC[®]2262-14は、ダイナミックレンジの広い高周波信号をデジタル化する目的で設計された14ビット・サンプリングA/Dコンバータです。SNRが72.8dB、SFDRが88dBというAC特性を備えたこのデバイスは、要求の厳しい通信アプリケーションに最適です。また、0.17ps_{RMS}という極めて低いジッタにより、優れたノイズ性能を維持しながらIF周波数をアンダーサンプリングできます。

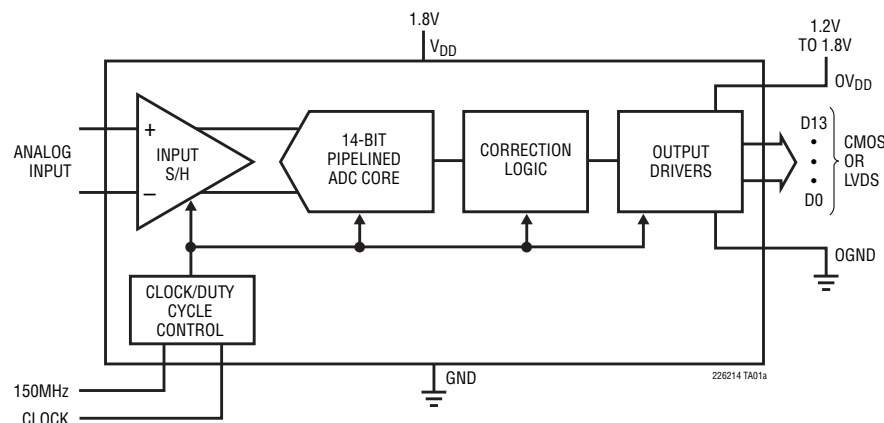
DC仕様では、±1LSB（標準）のINLと±0.3LSB（標準）のDNL、全温度範囲でミッシング・コードがないことが規定されています。遷移ノイズは1.2LSB_{RMS}と低く抑えられています。

デジタル出力は、フルレートCMOS、ダブル・データレートCMOS、ダブル・データレートLVDSのいずれかに設定可能です。独立した出力電源により、1.2V~1.8Vの範囲でのCMOS出力振幅が可能です。

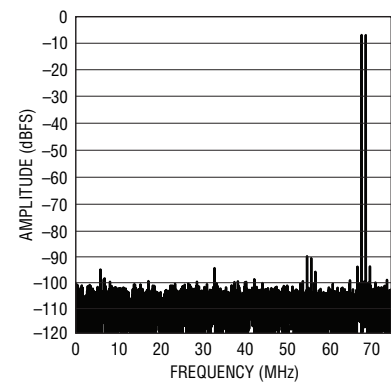
ENC⁺およびENC⁻入力は、正弦波、PECL、LVDS、TTLまたはCMOS入力で差動またはシングルエンド・ドライブ可能です。また、オプションのクロック・デューティ・サイクル・スタビライザにより、広範なクロック・デューティ・サイクルにわたってフルスピードで高い性能を発揮できます。

△、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



LTC2262-14 2トーンFFT、
f_{IN} = 68MHzおよび69MHz



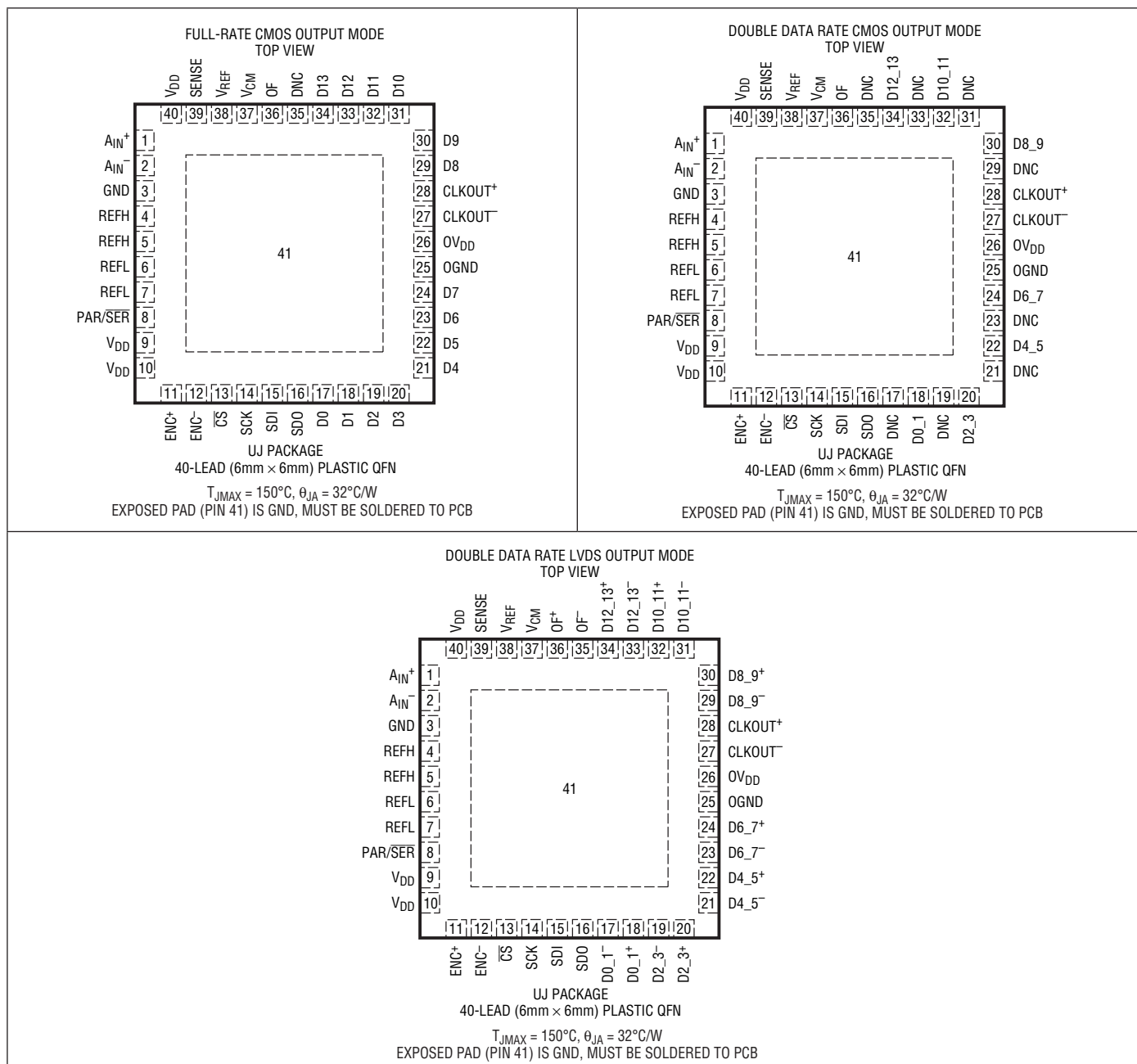
LTC2262-14

絶対最大定格 (Note 1, 2)

電源電圧 (V_{DD}, OV_{DD}) -0.3V~2V
 アナログ入力電圧 (A_{IN}⁺, A_{IN}⁻,
 PAR/SER, SENSE) (Note 3) -0.3V~(V_{DD}+0.2V)
 デジタル入力電圧 (ENC⁺, ENC⁻, CS、
 SDI, SCK) (Note 4) -0.3V~3.9V
 SDO (Note 4) -0.3V~3.9V

デジタル出力電圧 -0.3V~(OV_{DD}+0.3V)
 動作温度範囲:
 LTC2262C 0°C~70°C
 LTC2262I -40°C~85°C
 保存温度範囲 -65°C~150°C

ピン配置



226214fc

発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2262CUJ-14#PBF	LTC2262CUJ-14#TRPBF	LTC2262UJ-14	40-Lead (6mm × 6mm) Plastic QFN	0°C to 70°C
LTC2262IUJ-14#PBF	LTC2262IUJ-14#TRPBF	LTC2262UJ-14	40-Lead (6mm × 6mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

コンバータ特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)		●	14			Bits
Integral Linearity Error	Differential Analog Input (Note 6)	●	-4	±1	4	LSB
Differential Linearity Error	Differential Analog Input	●	-1	±0.3	1	LSB
Offset Error	(Note 7)	●	-9	±1.5	9	mV
Gain Error	Internal Reference External Reference	●	-1.5	±1.5 ±0.4	1.5	%FS %FS
Offset Drift				±20		$\mu\text{V}/^\circ\text{C}$
Full-Scale Drift	Internal Reference External Reference			±30 ±10		ppm/ $^\circ\text{C}$ ppm/ $^\circ\text{C}$
Transition Noise	External Reference			1.2		LSB _{RMS}

アナログ入力

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range ($A_{IN}^+ - A_{IN}^-$)	$1.7\text{V} < V_{DD} < 1.9\text{V}$	●		1 to 2		V_{P-P}
$V_{IN(CM)}$	Analog Input Common Mode ($(A_{IN}^+ + A_{IN}^-)/2$)	Differential Analog Input (Note 8)	●	$V_{CM} - 100\text{mV}$	V_{CM}	$V_{CM} + 100\text{mV}$	V
V_{SENSE}	External Voltage Reference Applied to SENSE	External Reference Mode	●	0.625	1.250	1.300	V
I_{INCM}	Analog Input Common Mode Current	Per Pin, 150Msps			185		μA
I_{IN1}	Analog Input Leakage Current	$0 < A_{IN}^+, A_{IN}^- < V_{DD}$, No Encode	●	-1		1	μA
I_{IN2}	PAR/SER Input Leakage Current	$0 < \text{PAR/SER} < V_{DD}$	●	-3		3	μA
I_{IN3}	SENSE Input Leakage Current	$0.625 < \text{SENSE} < 1.3\text{V}$	●	-6		6	μA
t_{AP}	Sample-and-Hold Acquisition Delay Time				0		ns
t_{JITTER}	Sample-and-Hold Acquisition Delay Jitter				0.17		ps _{RMS}
CMRR	Analog Input Common Mode Rejection Ratio				80		dB
BW-3B	Full-Power Bandwidth	Figure 6 Test Circuit			800		MHz

ダイナミック精度

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SNR	Signal-to-Noise Ratio	5MHz Input		72.8		dB
		30MHz Input		72.7		dB
		70MHz Input	●	70.4	72.5	dB
		140MHz Input			72.1	dB
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic	5MHz Input		88		dB
		30MHz Input		88		dB
		70MHz Input	●	74	82	dB
		140MHz Input			81	dB
	Spurious Free Dynamic Range 4th Harmonic or Higher	5MHz Input			90	dB
		30MHz Input			90	dB
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	5MHz Input		72.7		dB
		30MHz Input		72.5		dB
		70MHz Input	●	69.3	72	dB
		140MHz Input			71.6	dB

内部リファレンスの特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CM} Output Voltage	$I_{OUT} = 0$	$0.5 \cdot V_{DD} - 25\text{mV}$	$0.5 \cdot V_{DD}$	$0.5 \cdot V_{DD} + 25\text{mV}$	V
V_{CM} Output Temperature Drift			± 25		ppm/ $^\circ\text{C}$
V_{CM} Output Resistance	$-600\mu\text{A} < I_{OUT} < 1\text{mA}$		4		Ω
V_{REF} Output Voltage	$I_{OUT} = 0$	1.225	1.250	1.275	V
V_{REF} Output Temperature Drift			± 25		ppm/ $^\circ\text{C}$
V_{REF} Output Resistance	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$		7		Ω
V_{REF} Line Regulation	$1.7\text{V} < V_{DD} < 1.9\text{V}$		0.6		mV/V

デジタル入力とデジタル出力

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
エンコード入力(ENC ⁺ , ENC ⁻)						
差動エンコード・モード(ENC ⁻ はGNDに接続されていない)						
V_{ID}	Differential Input Voltage	(Note 8)	●	0.2		V
V_{ICM}	Common Mode Input Voltage	Internally Set		1.2		V
		Externally Set (Note 8)	●	1.1	1.6	V
V_{IN}	Input Voltage Range	ENC ⁺ , ENC ⁻ to GND	●	0.2	3.6	V
R_{IN}	Input Resistance	(See Figure 10)		10		k Ω
C_{IN}	Input Capacitance	(Note 8)		3.5		pF
シングルエンド・エンコード・モード(ENC ⁻ はGNDに接続されている)						
V_{IH}	High Level Input Voltage	$V_{DD} = 1.8\text{V}$	●	1.2		V
V_{IL}	Low Level Input Voltage	$V_{DD} = 1.8\text{V}$	●		0.6	V
V_{IN}	Input Voltage Range	ENC ⁺ to GND	●	0	3.6	V
R_{IN}	Input Resistance	(See Figure 11)		30		k Ω
C_{IN}	Input Capacitance	(Note 8)		3.5		pF

デジタル入力とデジタル出力

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
デジタル入力 (CS, SDI, SCK)							
V_{IH}	High Level Input Voltage	$V_{DD} = 1.8\text{V}$	●	1.3			V
V_{IL}	Low Level Input Voltage	$V_{DD} = 1.8\text{V}$	●			0.6	V
I_{IN}	Input Current	$V_{IN} = 0\text{V to } 3.6\text{V}$	●	-10		10	μA
C_{IN}	Input Capacitance	(Note 8)			3		pF
SDO出力 (オープン・ドレイン出力。SDOを使用する場合、2kのプルアップ抵抗が必要)							
R_{OL}	Logic Low Output Resistance to GND	$V_{DD} = 1.8\text{V}, \text{SDO} = 0\text{V}$			200		Ω
I_{OH}	Logic High Output Leakage Current	$\text{SDO} = 0\text{V to } 3.6\text{V}$	●	-10		10	μA
C_{OUT}	Output Capacitance	(Note 8)			4		pF
デジタル・データ出力 (CMOSモード: フルデータレートとダブルデータレート)							
$OV_{DD} = 1.8\text{V}$							
V_{OH}	High Level Output Voltage	$I_O = -500\mu\text{A}$	●	1.750	1.790		V
V_{OL}	Low Level Output Voltage	$I_O = 500\mu\text{A}$	●		0.010	0.050	V
$OV_{DD} = 1.5\text{V}$							
V_{OH}	High Level Output Voltage	$I_O = -500\mu\text{A}$			1.488		V
V_{OL}	Low Level Output Voltage	$I_O = 500\mu\text{A}$			0.010		V
$OV_{DD} = 1.2\text{V}$							
V_{OH}	High Level Output Voltage	$I_O = -500\mu\text{A}$			1.185		V
V_{OL}	Low Level Output Voltage	$I_O = 500\mu\text{A}$			0.010		V
デジタル・データ出力 (LVDSモード)							
V_{OD}	Differential Output Voltage	100 Ω Differential Load, 3.5mA Mode 100 Ω Differential Load, 1.75mA Mode	●	247	350 175	454	mV mV
V_{OS}	Common Mode Output Voltage	100 Ω Differential Load, 3.5mA Mode 100 Ω Differential Load, 1.75mA Mode	●	1.125	1.250 1.250	1.375	V V
R_{TERM}	On-Chip Termination Resistance	Termination Enabled, $OV_{DD} = 1.8\text{V}$			100		Ω

電源要件

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
CMOS出力モード: フルデータレートとダブルデータレート							
V_{DD}	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	V
OV_{DD}	Output Supply Voltage	(Note 10)	●	1.1		1.9	V
I_{VDD}	Analog Supply Current	DC Input Sine Wave Input	●		82.7 84.5	95	mA mA
I_{OVDD}	Digital Supply Current	Sine Wave Input, $OV_{DD}=1.2\text{V}$			5.5		mA
P_{DISS}	Power Dissipation	DC Input Sine Wave Input, $OV_{DD}=1.2\text{V}$	●		149 159	171	mW mW

LTC2262-14

電源要件

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
LVDS出力モード							
V_{DD}	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	V
OV_{DD}	Output Supply Voltage	(Note 10)	●	1.7		1.9	V
I_{VDD}	Analog Supply Current	Sine Wave Input	●		88.1	101.3	mA
I_{OVDD}	Digital Supply Current ($OV_{DD} = 1.8\text{V}$)	Sine Input, 1.75mA Mode	●		20.7	23	mA
		Sine Input, 3.5mA Mode	●		40.5	44	mA
P_{DISS}	Power Dissipation	Sine Input, 1.75mA Mode	●		196	224	mW
		Sine Input, 3.5mA Mode	●		231	262	mW

すべての出力モード

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
P_{SLEEP}	Sleep Mode Power				0.5		mW
P_{NAP}	Nap Mode Power				9		mW
$P_{DIFFCLK}$	Power Increase with Differential Encode Mode Enabled (No increase for Nap or Sleep Modes)				10		mW

タイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
f_S	Sampling Frequency	(Note 10)	●	1		150	MHz
t_L	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off	●	3.17	3.33	500	ns
		Duty Cycle Stabilizer On	●	2.0	3.33	500	ns
t_H	ENC High Time (Note 8)	Duty Cycle Stabilizer Off	●	3.17	3.33	500	ns
		Duty Cycle Stabilizer On	●	2.0	3.33	500	ns
t_{AP}	Sample-and-Hold Acquisition Delay Time			0			ns

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
デジタル・データ出力 (CMOSモード: フルデータレートとダブルデータレート)							
t_D	ENC to Data Delay	$C_L = 5\text{pF}$ (Note 8)	●	1.1	1.7	3.1	ns
t_C	ENC to CLKOUT Delay	$C_L = 5\text{pF}$ (Note 8)	●	1	1.4	2.6	ns
t_{SKEW}	DATA to CLKOUT Skew	$t_D - t_C$ (Note 8)	●	0	0.3	0.6	ns
	Pipeline Latency	Full Data Rate Mode Double Data Rate Mode			5.0 5.5		Cycles Cycles

デジタル・データ出力 (LVDSモード)

t_D	ENC to Data Delay	$C_L = 5\text{pF}$ (Note 8)	●	1.1	1.8	3.2	ns
t_C	ENC to CLKOUT Delay	$C_L = 5\text{pF}$ (Note 8)	●	1	1.5	2.7	ns
t_{SKEW}	DATA to CLKOUT Skew	$t_D - t_C$ (Note 8)	●	0	0.3	0.6	ns
	Pipeline Latency				5.5		Cycles

タイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SPIポートのタイミング (Note 8)						
t_{SCK}	SCK Period	Write Mode Readback Mode, $C_{\text{SDO}} = 20\text{pF}$, $R_{\text{PULLUP}} = 2\text{k}$	● ●	40 250		ns ns
t_{S}	$\overline{\text{CS}}$ to SCK Setup Time		●	5		ns
t_{H}	SCK to $\overline{\text{CS}}$ Setup Time		●	5		ns
t_{DS}	SDI Setup Time		●	5		ns
t_{DH}	SDI Hold Time		●	5		ns
t_{DO}	SCK Falling to SDO Valid	Readback Mode, $C_{\text{SDO}} = 20\text{pF}$, $R_{\text{PULLUP}} = 2\text{k}$	●		125	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての電圧値は(注記がない限り)GNDとOGNDを短絡した状態でGNDを基準にしている。

Note 3: これらのピンの電圧をGNDより低くするか V_{DD} より高くすると、内部のダイオードによってクランプされる。この製品はGNDよりも低い、または V_{DD} よりも高い電圧で、ラッチアップを起こさずに100mA以上の入力電流を処理することができる。

Note 4: これらのピンの電圧をGNDよりも低くすると、内部のダイオードによってクランプされる。これらのピンの電圧を V_{DD} よりも高くすると、内部のダイオードによってクランプされない。この製品はGNDよりも低い電圧で、ラッチアップを起こさずに100mA以上の入力電流を処理することができる。

Note 5: 注記がない限り、 $V_{\text{DD}} = 0V_{\text{DD}} = 1.8V$ 、 $f_{\text{SAMPLE}} = 150\text{MHz}$ 、内部終端がディスプレイされたLVDS出力、差動 $\text{ENC}^+/\text{ENC}^- = 2V_{\text{P-P}}$ の正弦波、入力範囲 = 差動ドライブで $2V_{\text{P-P}}$ 。

Note 6: 積分非直線性は、伝達曲線に最も適合する直線からのコードの偏差として定義される。偏差は量子化幅の中心から測定する。

Note 7: オフセット誤差は、2の補数出力モードで出力コードを00 0000 0000 0000と11 1111 1111 1111の間でふつつかせるとき、 -0.5 LSBから測定したオフセット電圧である。

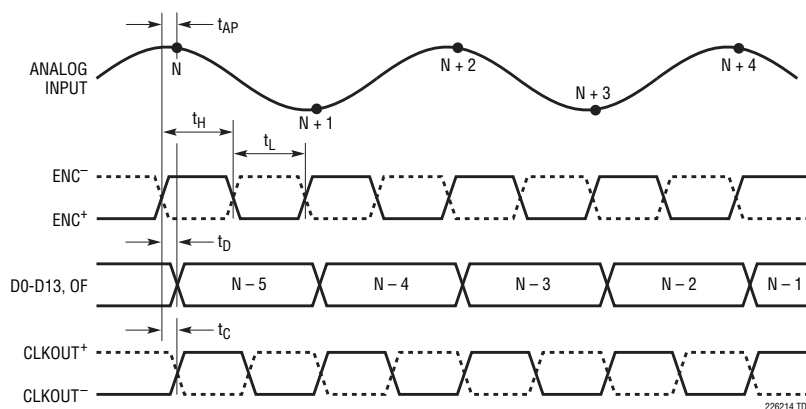
Note 8: 設計によって保証されており、テストされない。

Note 9: 注記がない限り、 $V_{\text{DD}} = 1.8V$ 、 $f_{\text{SAMPLE}} = 150\text{MHz}$ 、 $\text{ENC}^+ =$ シングルエンド1.8Vの方形波、 $\text{ENC}^- = 0V$ 、入力範囲 = 差動ドライブで $2V_{\text{P-P}}$ 、各デジタル出力に5pFの負荷。

Note 10: 推奨動作条件。

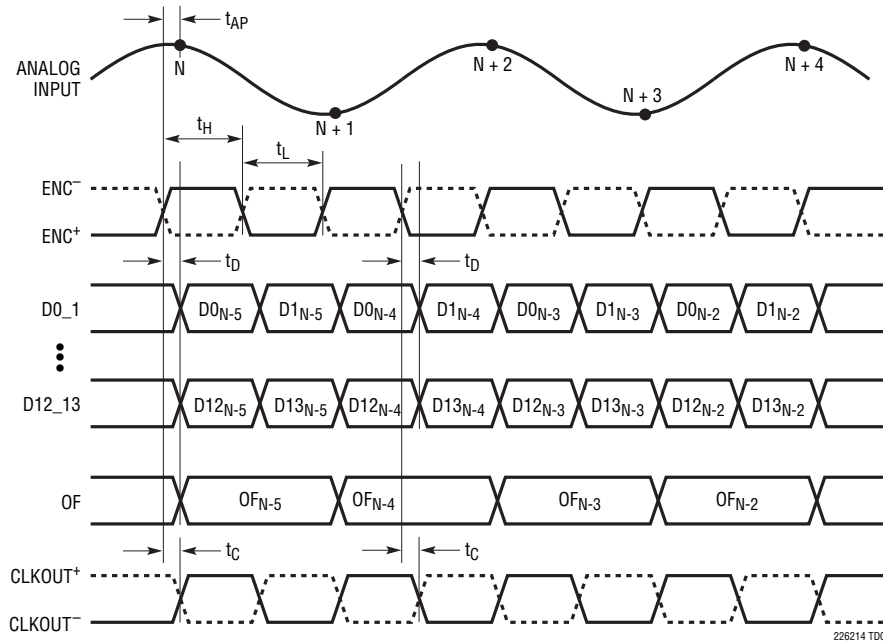
タイミング図

フルレートCMOS出力モードのタイミング
すべての出力はシングルエンドでCMOSレベル

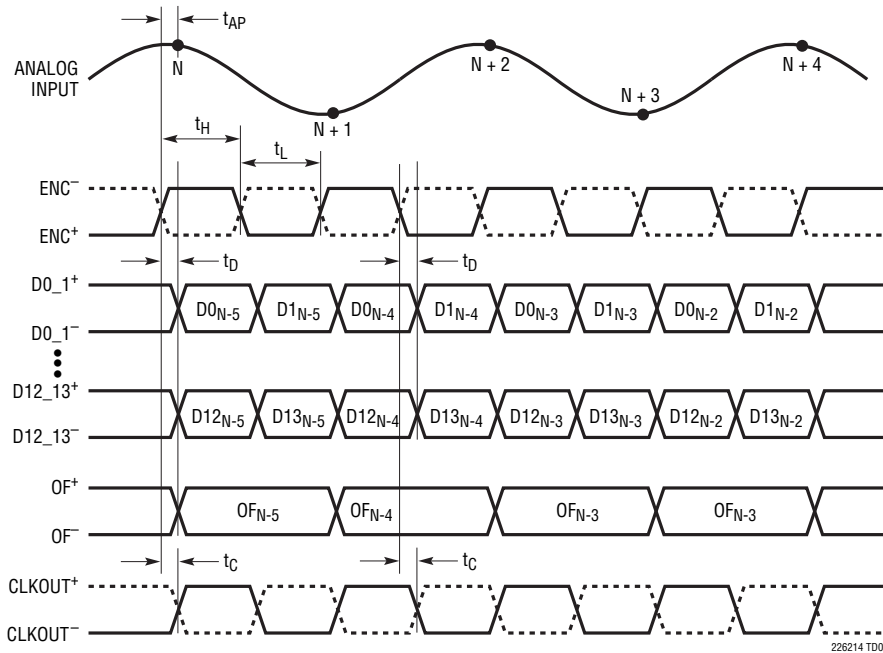


タイミング図

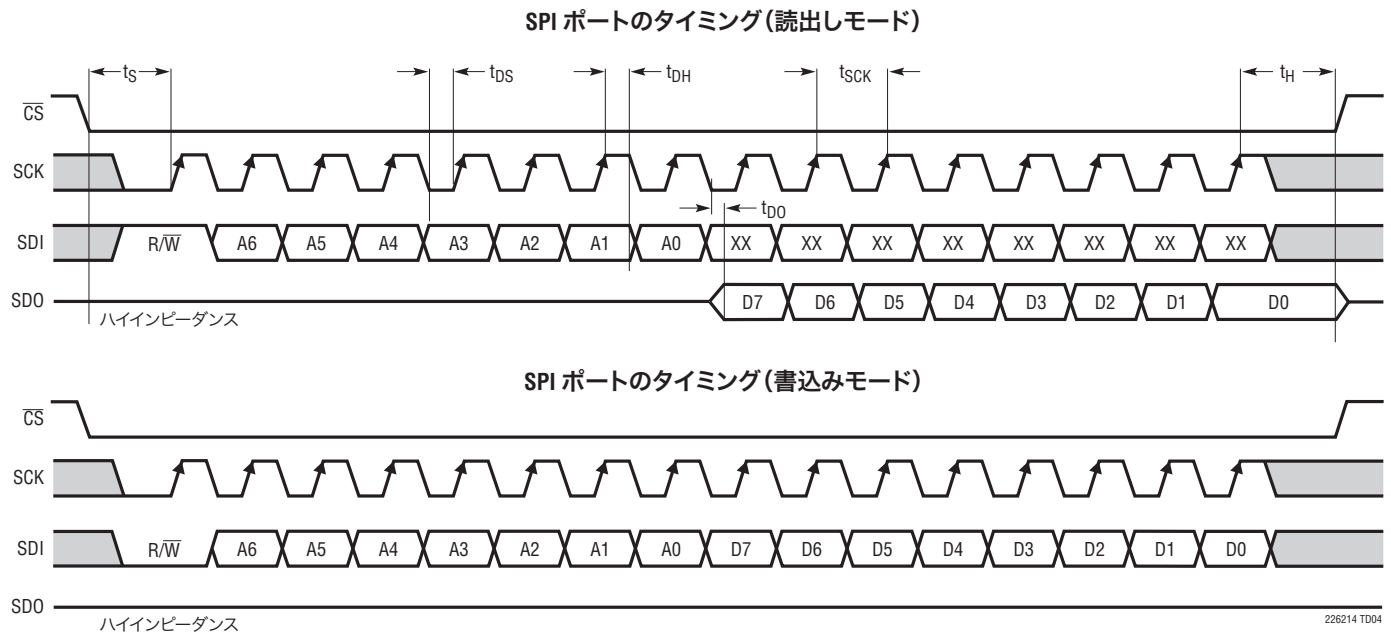
ダブルデータレートCMOS出力モードのタイミング
すべての出力はシングルエンドでCMOSレベル



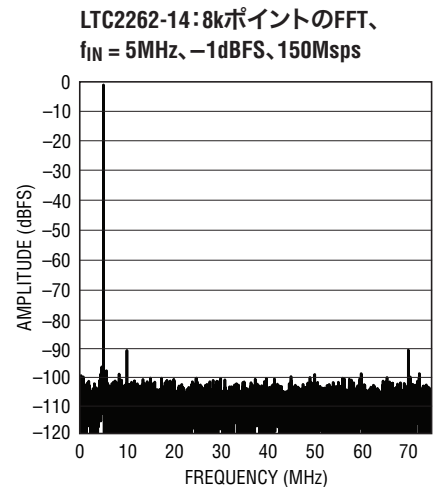
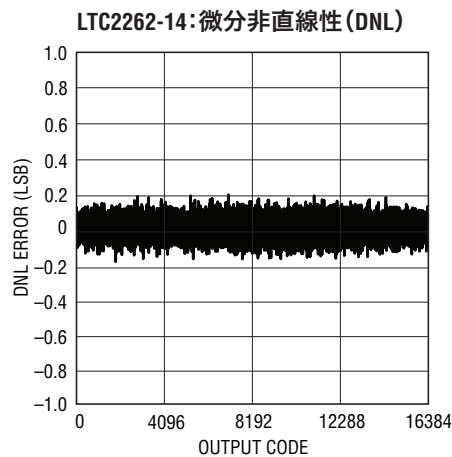
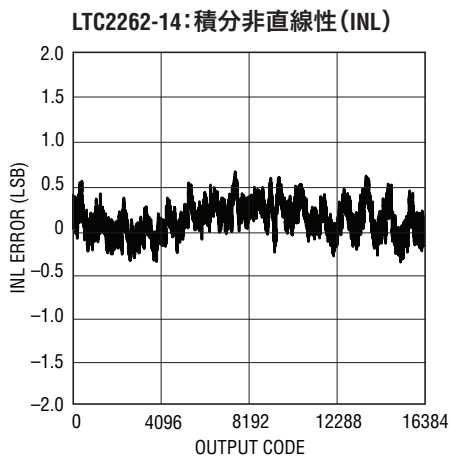
ダブルデータレートLVDS出力モードのタイミング
すべての出力は差動でLVDSレベル



タイミング図

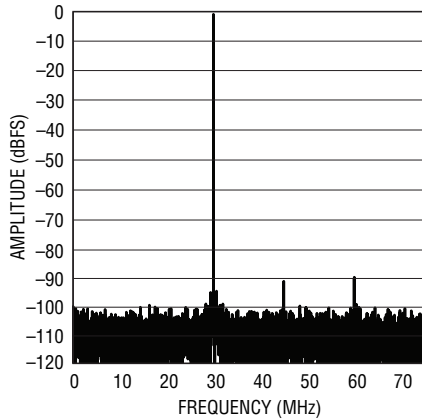


標準的性能特性



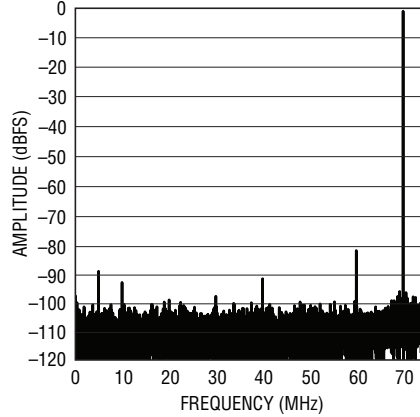
標準的性能特性

LTC2262-14: 8kポイントのFFT、
 $f_{IN} = 30\text{MHz}$ 、 -1dBFS 、 150Mpsps



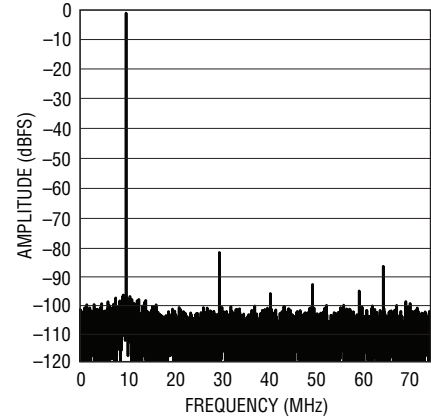
226214 G04

LTC2262-14: 8kポイントのFFT、
 $f_{IN} = 70\text{MHz}$ 、 -1dBFS 、 150Mpsps



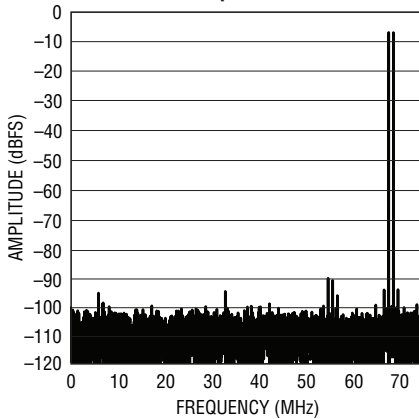
226214 G05

LTC2262-14: 8kポイントのFFT、
 $f_{IN} = 140\text{MHz}$ 、 -1dBFS 、 150Mpsps



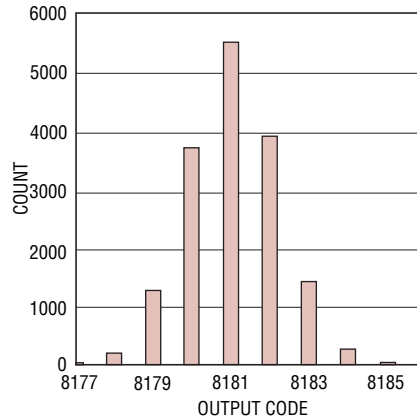
226214 G06

LTC2262-14: 8kポイントの
2トーンFFT、 $f_{IN} = 68\text{MHz}$ 、
 -1dBFS 、 150Mpsps



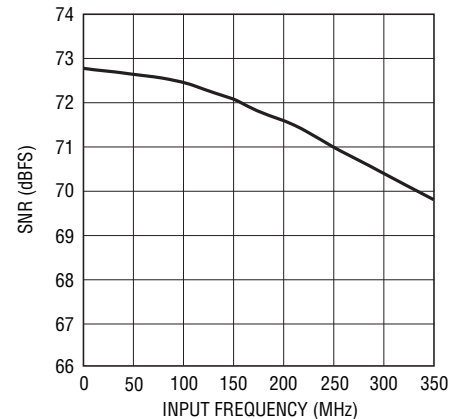
226214 G07

LTC2262-14: 入力短絡状態の
ヒストグラム



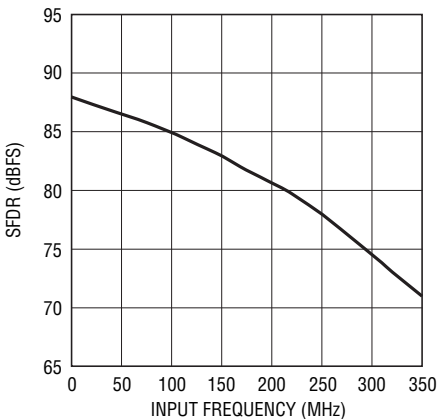
226214 G08

LTC2262-14: SNRと入力周波数、
 -1dB 、 2V 範囲、 150Mpsps



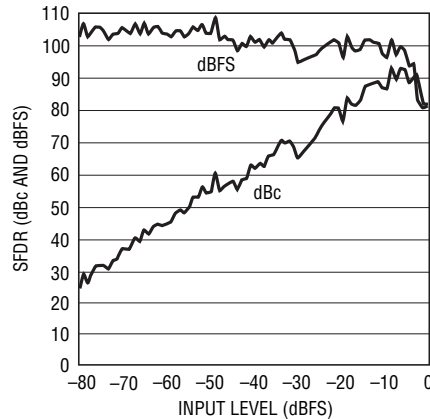
226214 G09

LTC2262-14: SFDRと入力周波数、
 -1dB 、 2V 範囲、 150Mpsps



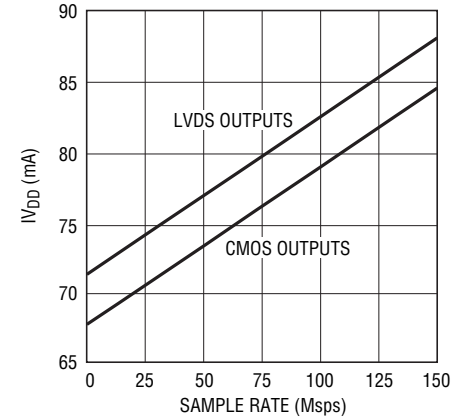
226214 G10

LTC2262-14: SFDRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、 2V 範囲、 150Mpsps



226214 G12

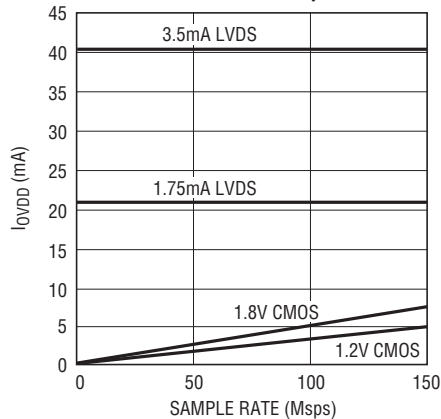
LTC2262-14: I_{VDD} とサンプリング・
レート、 5MHz の正弦波入力、 -1dB



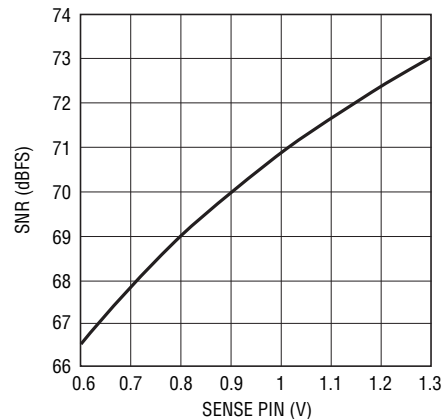
226214 G13

226214fc

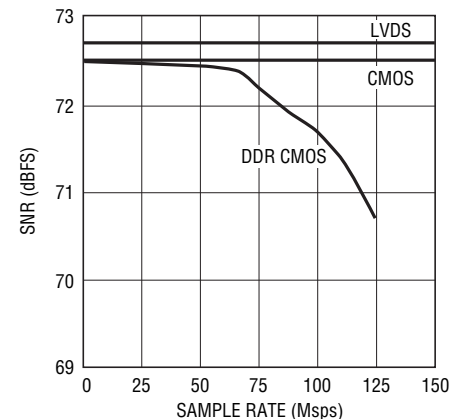
標準的性能特性

LTC2262-14: I_{OVDD} とサンプリング・レート、5MHzの正弦波入力、 -1dB 、各データ出力に5pF

226214 G14

LTC2262-14: SNR と SENSE、 $f_{IN} = 5\text{MHz}$ 、 -1dB 

226214 G15

LTC2262-14: SNRとサンプリング・レートおよびデジタル出力モード、30MHzの正弦波入力、 -1dB 

226214 G18

ピン機能

すべてのデジタル出力モードで同じピン

A_{IN}^+ (ピン1): 正の差動アナログ入力。

A_{IN}^- (ピン2): 負の差動アナログ入力。

GND (ピン3): ADCの電源グラウンド。

REFH (ピン4, 5): ADCの“H”リファレンス。2.2 μF のセラミック・コンデンサを使用してピン6とピン7にバイパスし、0.1 μF のセラミック・コンデンサを使用してグラウンドにバイパスします。

REFL (ピン6, 7): ADCの“L”リファレンス。2.2 μF のセラミック・コンデンサを使用してピン4とピン5にバイパスし、0.1 μF のセラミック・コンデンサを使用してグラウンドにバイパスします。

PAR/SER (ピン8): プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグラウンドに接続します。 $\overline{\text{CS}}$ 、SCK、SDI、SDOはA/Dの動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブルするには V_{DD} に接続します。この場合、 $\overline{\text{CS}}$ 、SCK、SDIは、A/Dの(種類が限定された)動作モードを制御するパラレル・ロジック入力になります。PAR/SERはグラウンドまたはデバイスの V_{DD} に直接接続し、ロジック信号ではドライブしません。

V_{DD} (ピン9, 10, 40): 1.8Vアナログ電源。0.1 μF のセラミック・コンデンサを使用してグラウンドにバイパスします。ピン9とピン10はバイパス・コンデンサを共有することができます。

ENC⁺ (ピン11): エンコード入力。立ち上がりエッジで変換が開始されます。

ENC⁻ (ピン12): エンコード相補入力。立ち下がりエッジで変換が開始されます。

$\overline{\text{CS}}$ (ピン13): シリアル・プログラミング・モード (PAR/SER = 0V) では、 $\overline{\text{CS}}$ はシリアル・インタフェースのチップ・セレクト入力です。 $\overline{\text{CS}}$ が“L”のとき、SCKがイネーブルされ、SDIのデータをモード制御レジスタにシフトします。パラレル・プログラミング・モード (PAR/SER = V_{DD}) では、 $\overline{\text{CS}}$ はクロック・デューティ・サイクル・スタビライザを制御します。 $\overline{\text{CS}}$ が“L”のとき、クロック・デューティ・サイクル・スタビライザはオフになり、 $\overline{\text{CS}}$ が“H”のとき、クロック・デューティ・サイクル・スタビライザはオンになります。 $\overline{\text{CS}}$ は1.8V~3.3Vのロジックでドライブできます。

SCK (ピン14): シリアル・プログラミング・モード (PAR/SER = 0V) では、SCKはシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モード (PAR/SER = V_{DD}) では、SCKはデジタル出力モードを制御します。SCKが“L”のときはフルレートCMOS出力モードがイネーブルされ、SCKが“H”のときは(出力電流が3.5mAの)ダブルデータレートLVDS出力モードがイネーブルされます。SCKは1.8V~3.3Vのロジックでドライブできます。

226214fc

ピン機能

SDI (ピン15): シリアル・プログラミング・モード ($\overline{\text{PAR/SE}} = 0\text{V}$) では、SDIはシリアル・インタフェースのデータ入力です。SDIのデータはSCKの立ち上がりエッジでモード制御レジスタにクロックインされます。パラレル・プログラミング・モード ($\overline{\text{PAR/SE}} = V_{\text{DD}}$) では、SDIを使用してデバイスをパワーダウンさせることができます。SDIが“L”のとき、デバイスは通常動作します。SDIが“H”のとき、デバイスはスリープ・モードになります。SDIは1.8V~3.3Vのロジックでドライブできます。

SDO (ピン16): シリアル・プログラミング・モード ($\overline{\text{PAR/SE}} = 0\text{V}$) では、SDOはオプションのシリアル・インタフェースのデータ出力です。SDOのデータは、モード制御レジスタから読み出してSCKの立ち下がりエッジでラッチすることができます。SDOはオープン・ドレインのNMOS出力で、1.8V~3.3V~2kのプルアップ抵抗を外付けする必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要で、SDOを未接続のままにしておくことができます。パラレル・プログラミング・モード ($\overline{\text{PAR/SE}} = V_{\text{DD}}$) では、SDOは使用されないため接続しません。

OGND (ピン25): 出力ドライバのグラウンド。

OV_{DD} (ピン26): 出力ドライバの電源。0.1μFのセラミック・コンデンサを使ってグラウンドにバイパスします。

V_{CM} (ピン37): 公称 $V_{\text{DD}}/2$ に等しい同相バイアス出力。V_{CM}はアナログ入力の同相レベルをバイアスするのに使用します。0.1μFのセラミック・コンデンサを使ってグラウンドにバイパスします。

V_{REF} (ピン38): リファレンス電圧出力。1μFのセラミック・コンデンサを使ってグラウンドにバイパスします。公称1.25Vです。

SENSE (ピン39): リファレンス・プログラミング・ピン。SENSEを V_{DD} に接続すると、内部リファレンスと±1Vの入力範囲が選択されます。SENSEをグラウンドに接続すると、内部リファレンスと±0.5Vの入力範囲が選択されます。SENSEに0.625V~1.3Vの外部リファレンスを印加すると、±0.8・V_{SENSE}の入力範囲が選択されます。

フルレート CMOS 出力モード

下記のすべてのピンはCMOS出力レベル(OGNDからOV_{DD})を備えています。

D0~D13 (ピン17~24, 29~34): デジタル出力。D13がMSBです。

CLKOUT⁻ (ピン27): CLKOUT⁺の反転バージョン。

CLKOUT⁺ (ピン28): データ出力クロック。デジタル出力は通常CLKOUT⁺の立ち下がりエッジと同時に遷移します。CLKOUT⁺の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

DNC (ピン35): このピンは接続しないでください。

OF (ピン36): オーバーフロー/アンダーフロー・デジタル出力。OFはオーバーフローやアンダーフローが生じると“H”になります。

ダブルデータレートCMOS出力モード

下記のすべてのピンはCMOS出力レベル(OGNDからOV_{DD})を備えています。

D0₁~D12₁₃ (ピン18, 20, 22, 24, 30, 32, 34): ダブルデータレート・デジタル出力。2つのデータ・ビットが各出力ピンに多重化されます。CLKOUT⁺が“L”のとき、偶数データ・ビット(D0, D2, D4, D6, D8, D10, D12)が現れます。CLKOUT⁺が“H”のとき、奇数データ・ビット(D1, D3, D5, D7, D9, D11, D13)が現れます。

CLKOUT⁻ (ピン27): CLKOUT⁺の反転バージョン。

CLKOUT⁺ (ピン28): データ出力クロック。デジタル出力は通常CLKOUT⁺の立ち下がりエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT⁺の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

DNC (ピン17, 19, 21, 23, 29, 31, 33, 35): これらのピンは接続しないでください。

OF (ピン36): オーバーフロー/アンダーフロー・デジタル出力。OFはオーバーフローやアンダーフローが生じると“H”になります。

ダブルデータレートLVDS出力モード

下記のすべてのピンはLVDS出力レベルを備えています。出力電流レベルはプログラム可能です。各LVDS出力ペアのピンの間にはオプションの100Ωの内部終端抵抗が備わっています。

D0₁⁻/D0₁⁺~D12₁₃⁻/D12₁₃⁺ (ピン17/18, 19/20, 21/22, 23/24, 29/30, 31/32, 33/34): ダブルデータレート・デジタル出力。2つのデータ・ビットが各差動出力ペアに多重化されま

ピン機能

す。CLKOUT⁺が“L”のとき、偶数データ・ビット(D0、D2、D4、D6、D8、D10、D12)が現れます。CLKOUT⁺が“H”のとき、奇数データ・ビット(D1、D3、D5、D7、D9、D11、D13)が現れます。

CLKOUT⁻/CLKOUT⁺ (ピン27/28) : データ出力クロック。デジタル出力は通常CLKOUT⁺の立ち下がりエッジおよび立ち上がり

エッジと同時に遷移します。CLKOUT⁺の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

OF⁻/OF⁺ (ピン35/36) : オーバーフロー/アンダーフロー・デジタル出力。OF⁺はオーバーフローやアンダーフローが生じると“H”になります。

機能ブロック図

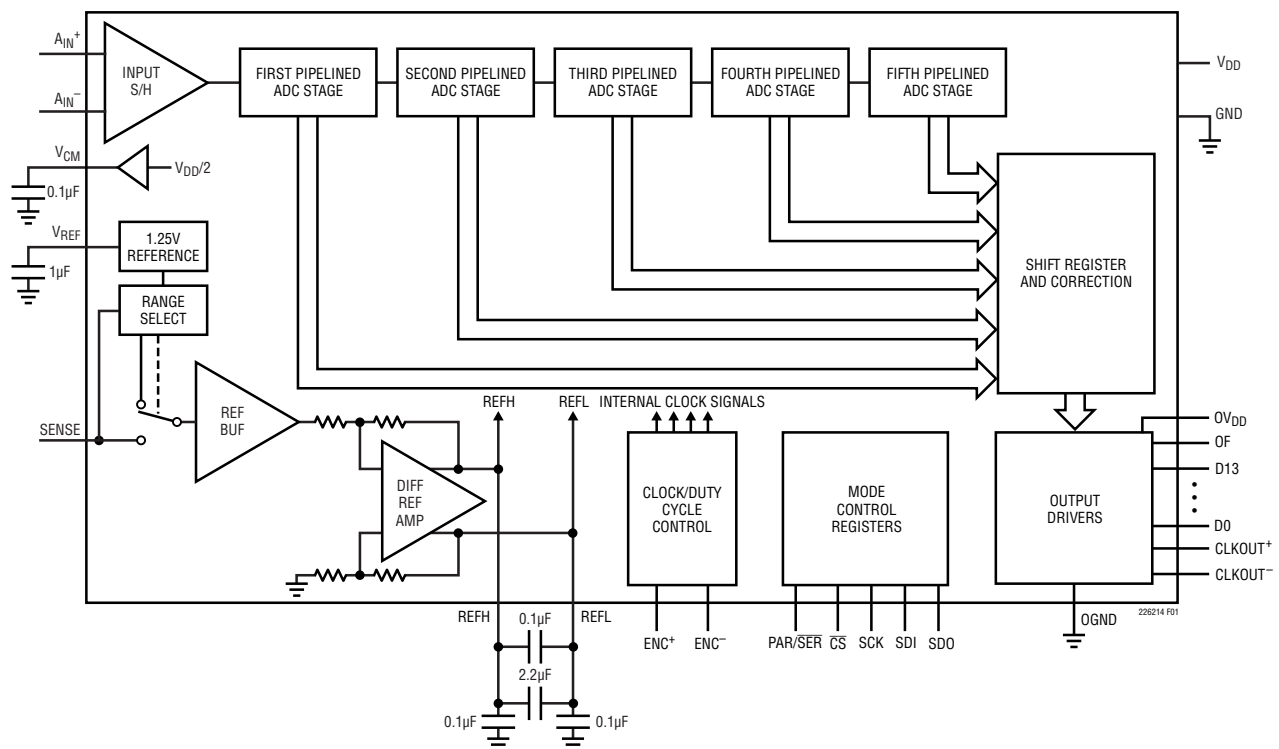


図1. 機能ブロック図

アプリケーション情報

コンバータの動作

LTC2262-14は単一1.8V電源で動作する低消費電力14ビット150Msps A/Dコンバータです。アナログ入力は差動でドライブします。エンコード入力は差動で、または消費電力を下げるためシングルエンドでドライブすることができます。デジタル出力は、CMOS、(出力ライン数を半分に減らすための)ダブルデータレートCMOS、または(システム内のデジタル・ノイズを減らすための)ダブルデータレートLVDSにすることができます。シリアルSPIポートを介してモード制御レジスタをプログラムすることにより、多くの追加機能を選択することができます。「シリアル・プログラミング・モード」のセクションを参照してください。

アナログ入力

アナログ入力は差動CMOSサンプル・ホールド回路です(図2)。入力は、 V_{CM} 出力ピンによって設定される同相電圧(公称 $V_{DD}/2$)を中心にして差動でドライブする必要があります。2Vの入力範囲の場合、入力は $V_{CM}-0.5V$ から $V_{CM}+0.5V$ まで振幅させます。入力間には 180° の位相差が必要です。

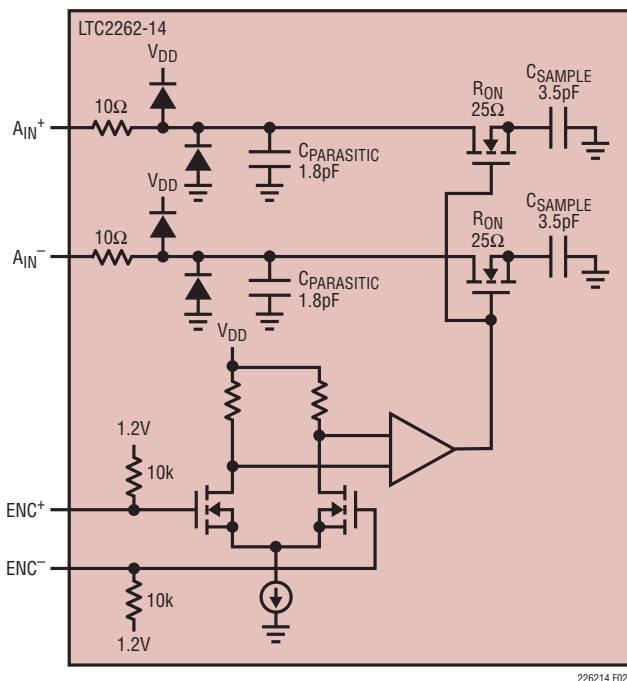


図2. 等価入力回路

入力ドライブ回路

入力フィルタ

可能であれば、アナログ入力の間近にRCローパス・フィルタを置きます。このローパス・フィルタはドライブ回路をA/Dのサンプル・ホールドのスイッチング回路から絶縁し、ドライブ回路の広帯域ノイズも制限します。入力RCフィルタの一例を図3に示します。RC部品の値はアプリケーションの入力周波数に基づいて選択します。

トランス結合回路

2次側にセンタータップを備えたRFトランスによってドライブされるアナログ入力を図3に示します。センタータップは V_{CM} でバイアスされており、A/Dの入力を最適DCレベルに設定します。高い入力周波数では、伝送ラインのバラン・トランス(図4~図6)のバランスが良くなるので、A/Dの歪みが小さくなります。

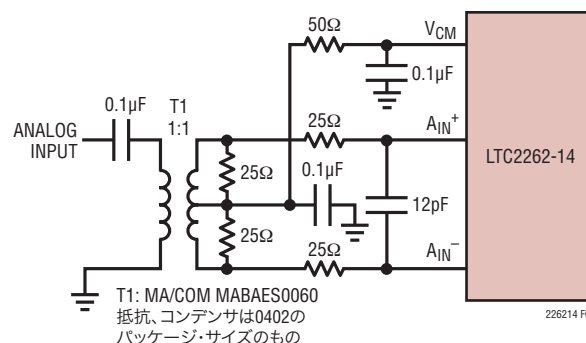


図3. トランスを使用したアナログ入力回路5MHz~70MHzの入力周波数に対して推奨

アプリケーション情報

アンプ回路

高速差動アンプによってドライブされるアナログ入力を図7に示します。アンプの出力はA/DにAC結合されているので、アンプの出力の同相電圧を最適に設定して歪みを最小に抑えることができます。

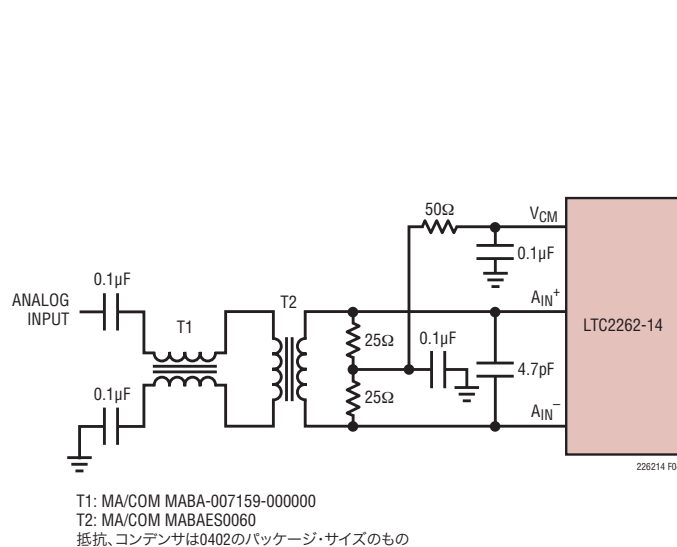


図4. 70MHz～170MHzの入力周波数用の推奨フロントエンド回路

非常に高い周波数では多くの場合、RF利得ブロックの方が差動アンプより歪みが小さくなります。利得ブロックがシングルエンドの場合には、A/Dをドライブする前にトランス回路(図4～図6)で信号を差動に変換します。

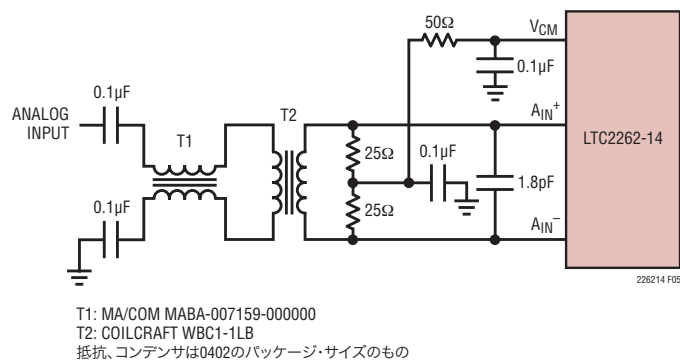


図5. 170MHz～270MHzの入力周波数用の推奨フロントエンド回路

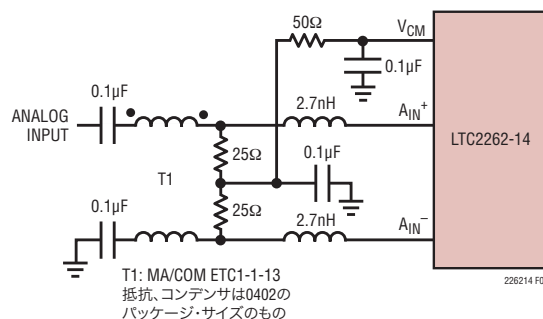


図6. 270MHzを超える入力周波数用の推奨フロントエンド回路

LTC2262-14

アプリケーション情報

リファレンス

LTC2262-14は1.25V電圧リファレンスを内蔵しています。内部リファレンスを使用する2Vの入力範囲の場合、SENSEをV_{DD}に接続します。内部リファレンスを使用する1Vの入力範囲の場合、SENSEをグランドに接続します。外部リファレンスを使用する2Vの入力範囲の場合、1.25Vのリファレンス電圧をSENSEに印加します(図9)。

0.625V~1.30Vの電圧をSENSEに印加することによって入力範囲を調整することができます。入力範囲は $1.6 \cdot V_{SENSE}$ になります。

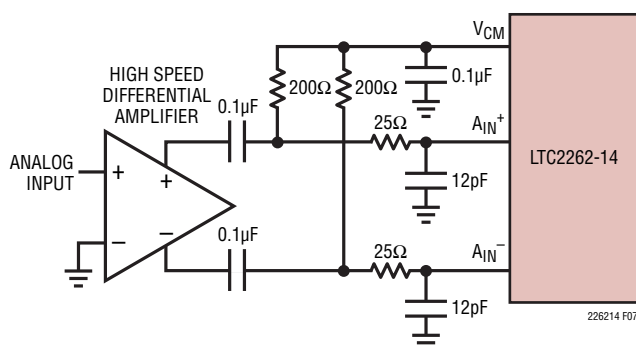


図7. 高速差動アンプを使用したフロントエンド回路

V_{REF}、REFHおよびREFLの各ピンは図8に示されているようにバイパスします。REFHとREFLの間の0.1μFコンデンサは(回路基板の裏側ではなく)できるだけピンに近づけます。

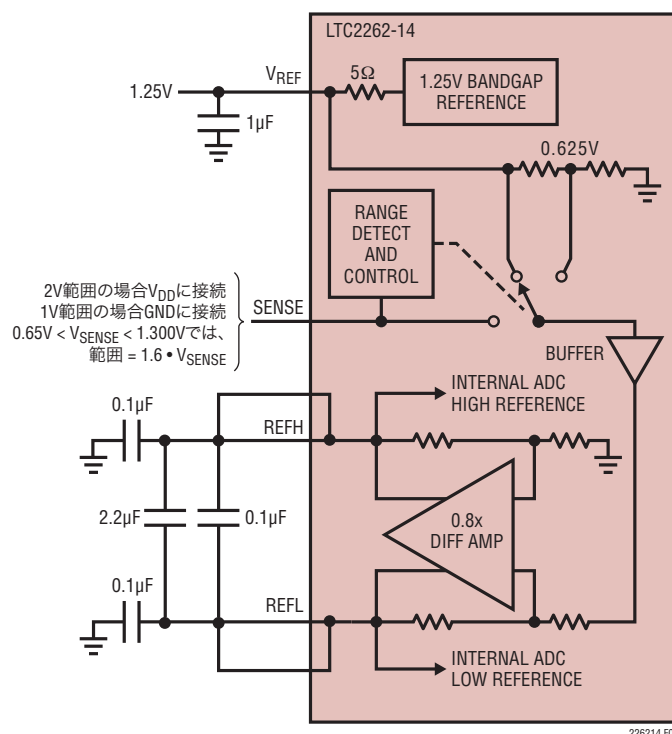


図8. リファレンス回路

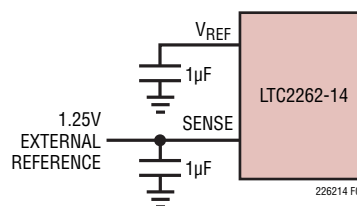


図9. 外部1.25Vリファレンスの使用

アプリケーション情報

エンコード入力

エンコード入力の信号品質はA/Dのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。回路基板上でそれらを決してデジタル・トレースの隣に配線しないでください。エンコード入力には2つの動作モードがあります。差動エンコード・モード(図10)とシングルエンド・エンコード・モード(図11)です。

正弦波、PECLまたはLVDSのエンコード入力には、差動エンコード・モードを推奨します(図12、図13)。エンコード入力は内部で10kの等価抵抗を介して1.2Vにバイアスされています。エンコード入力は V_{DD} よりも高くすることができ(最大3.6V)、同相範囲は1.1V~1.6Vです。差動エンコード・モードでは、 ENC^- はグランドよりも200mV以上高く保って、シングルエンド・エンコード・モードを誤ってトリガしないようにします。良好なジッタ性能を得るため、 ENC^+ と ENC^- の立ち上がり時間と立ち下がり時間を速くします。

シングルエンド・エンコード・モードはCMOSエンコード入力で使用します。このモードを選択するには、 ENC^- をグランドに接続し、 ENC^+ を方形波のエンコード入力でドライブします。 ENC^+ は V_{DD} よりも高くすることができるので(最大3.6V)、1.8V~3.3VのCMOSロジック・レベルを使用することができます。 ENC^+ のスレッシュホールドは0.9Vです。良好なジッタ性能を得るため、 ENC^+ の立ち上がり時間と立ち下がり時間を速くします。

クロック・デューティ・サイクル・スタビライザ

良好な性能を実現するには、エンコード信号のデューティ・サイクルを50%(±5%)にします。オプションのクロック・デューティ・サイクル・スタビライザがイネーブされていると、エンコードのデューティ・サイクルは30%~70%で変化することができ、デューティ・サイクル・スタビライザは一定の50%内部デューティ・サイクルを維持します。エンコード信号の周波数が変化するか、またはオフすると、デューティ・サイクル・スタビライザ回路が入力クロックにロックするのに100クロック・サイクルを要します。デューティ・サイクル・スタビライザはモード制御レジスタA2(シリアル・プログラミング・モード)または \overline{CS} (パラレル・プログラム・モード)によってイネーブされます。

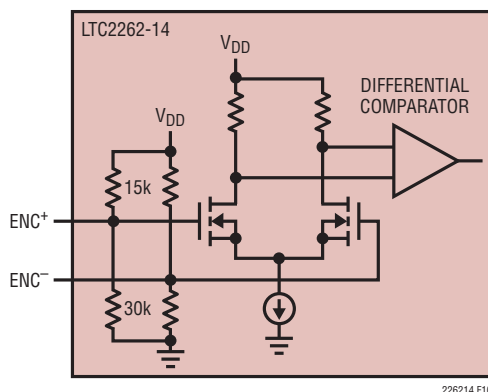


図10. 差動エンコード・モードの等価エンコード入力回路

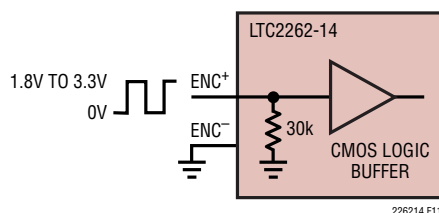


図11. シングルエンド・エンコード・モードの等価エンコード入力回路

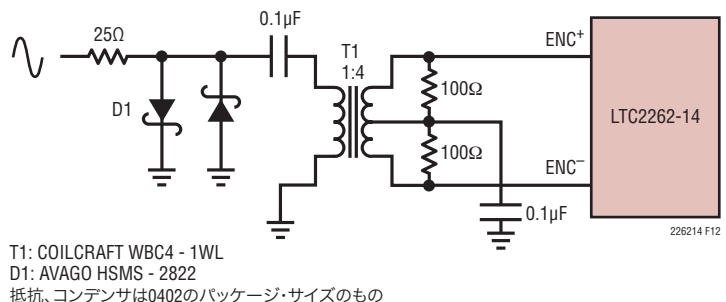


図12. 正弦波のエンコード・ドライブ

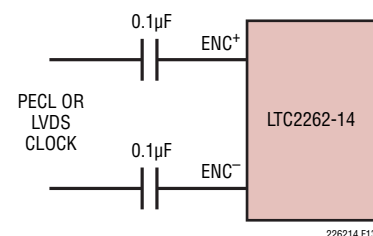


図13. PECLまたはLVDSのエンコード・ドライブ

アプリケーション情報

サンプリング・レートを即座に変更する必要があるアプリケーションでは、クロック・デューティ・サイクル・スタビライザをディスエーブルすることができます。デューティ・サイクル・スタビライザをディスエーブルする場合、サンプリング・クロックのデューティ・サイクルが50% (±5%) になるようにしてください。デューティ・サイクル・スタビライザは5MSPSよりも低いサンプリング・レートでは使わないでください。

デジタル出力

デジタル出力モード

LTC2262-14は、3種類のデジタル出力モード、つまり、フルレートCMOSモード、(出力ライン数を半分に減らすための)ダブルデータレートCMOSモード、(システム内のデジタル・ノイズを減らすための)ダブルデータレートLVDSモードで動作可能です。出力モードはモード制御レジスタA3(シリアル・プログラミング・モード)またはSCK(パラレル・プログラミング・モード)によって設定されます。ダブルデータレートCMOSはパラレル・プログラミング・モードでは選択できないことに注意してください。

フルレート CMOS モード

フルレートCMOSモードでは、14のデジタル出力(D0~D13)、オーバーフロー(OF)、データ出力クロック(CLKOUT⁺、CLKOUT⁻)がCMOS出力レベルになります。出力はOV_{DD}とOGNDから電力を供給され、A/Dコア電源とグラウンドからは絶縁されています。OV_{DD}は1.1V~1.9Vの範囲をとることができるので、1.2V~1.8VのCMOSロジック出力が可能です。

良好な性能を得るため、デジタル出力は最小限の容量性負荷をドライブするようにします。負荷容量が10pFより大きい場合、デジタル・バッファを使用します。

ダブルデータレート CMOS モード

ダブルデータレートCMOSモードでは、2つのデータ・ビットが多重化されて各データピンに出力されます。これにより、必要なデータ・ラインの数が7だけ減るので、基板配線が簡単になり、データを受け取るのに必要な入力ピンの個数が減ります。7つのデジタル出力(D0_1、D2_3、D4_5、D6_7、D8_9、D10_11、D12_13)、オーバーフロー(OF)、データ出力クロック(CLKOUT⁺、CLKOUT⁻)がCMOS出力レベルになります。出力はOV_{DD}とOGNDから電力を供給され、A/Dコア電源とグラウンドからは絶縁されています。OV_{DD}は1.1V~1.9Vの範囲をとることができるので、1.2V~1.8VのCMOSロジック出力が可能です。

良好な性能を得るため、デジタル出力は最小限の容量性負荷

をドライブするようにします。負荷容量が10pFより大きい場合、デジタル・バッファを使用します。

高いサンプリング・レートでダブルデータレートCMOSモードを使用すると、SNRがわずかに劣化します(「標準的性能特性」のセクションを参照)。100MHzを超えるサンプル周波数では、DDR CMOSは推奨しません。

ダブルデータレートLVDSモード

ダブルデータレートLVDSモードでは、2つのデータ・ビットが多重化されて各差動出力ペアに出力されます。デジタル出力データのための7つのLVDS出力ペア(D0_1⁺/D0_1⁻~D12_13⁺/D12_13⁻)があります。オーバーフロー(OF⁺/OF⁻)とデータ出力クロック(CLKOUT⁺/CLKOUT⁻)はそれぞれLVDS出力ペアを備えています。

デフォルトでは、出力は標準LVDSレベルです。つまり、出力電流が3.5mA、出力同相電圧が1.25Vです。各LVDS出力ペアには100Ωの外付け差動終端抵抗が必要です。終端抵抗はLVDSレシーバにできるだけ近づけて配置します。

出力はOV_{DD}とOGNDから電力を供給され、A/Dコア電源とグラウンドからは絶縁されています。LVDSモードでは、OV_{DD}を1.8Vにする必要があります。

プログラム可能な LVDS 出力電流

LVDSモードでは、デフォルトの出力ドライブ電流は3.5mAです。この電流はモード制御レジスタA3をシリアル・モードでプログラムすることにより調整することができます。使用可能な電流レベルは1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mAおよび4.5mAです。

オプションのLVDSドライバの内部終端

ほとんどの場合、100Ωの外付け終端抵抗を使用するだけでLVDSの優れた信号品質が得られます。さらに、モード制御レジスタA3をシリアル・モードでプログラムすることにより、オプションの100Ωの内部終端抵抗をイネーブルすることができます。内部終端はレシーバ側の不完全な終端によって生じる反射を吸収する効果があります。内部終端がイネーブルされると、出力ドライブ電流が1.6倍に増加し、ほぼ同じ出力電圧振幅を維持します。

オーバーフロー・ビット

アナログ入力にオーバーレンジまたはアンダーレンジが生じると、オーバーフロー出力ビット(OF)がロジック“H”を出力します。オーバーフロー・ビットにはデータ・ビットと同じパイプライン待ち時間があります。

226214fc

アプリケーション情報

出カクロックの位相シフト

フルレートCMOSモードでは、データ出力ビットは通常、CLKOUT⁺の立ち下がりエッジと同時に変化するので、CLKOUT⁺の立ち上がりエッジを使って出力データをラッチすることができます。ダブルデータレートCMOSおよびダブルデータレートLVDSの各モードでは、データ出力ビットは通常、CLKOUT⁺の立ち下がりエッジおよび立ち上がりエッジと同時に変化します。データをラッチするときに適切なセットアップ時間とホールド時間を与えるために、電圧出力ビットに対してCLKOUT⁺信号の位相をシフトさせる必要があることがあります。ほとんどのFPGAはこの機能を備えており、これが一般にタイミングを調整する最良のポイントです。

LTC2262-14は、モード制御レジスタA2をシリアル・モードでプログラムすることにより、CLKOUT⁺/CLKOUT⁻信号の位相をシフトすることもできます。出力クロックは0°、45°、90°または135°だけシフトすることができます。位相シフト機能を使うには、クロック・デューティ・サイクル・スタビライザをオンする必要があります。もう1つの制御レジスタ・ビット(CLKINV)は、位相シフトとは関係なくCLKOUT⁺とCLKOUT⁻の極性を反転させることができます。これら2つの機能を組み合わせると、45°から315°までの位相シフトが可能になります(図14)。

データ・フォーマット

アナログ入力電圧、デジタル・データ出力ビット、およびオーバーフロー・ビットの相関を表1に示します。デフォルトでは、出力データ・フォーマットはオフセット・バイナリです。モード制御レジスタA4をシリアル・モードでプログラムすることにより、2の補数のフォーマットを選択することができます。

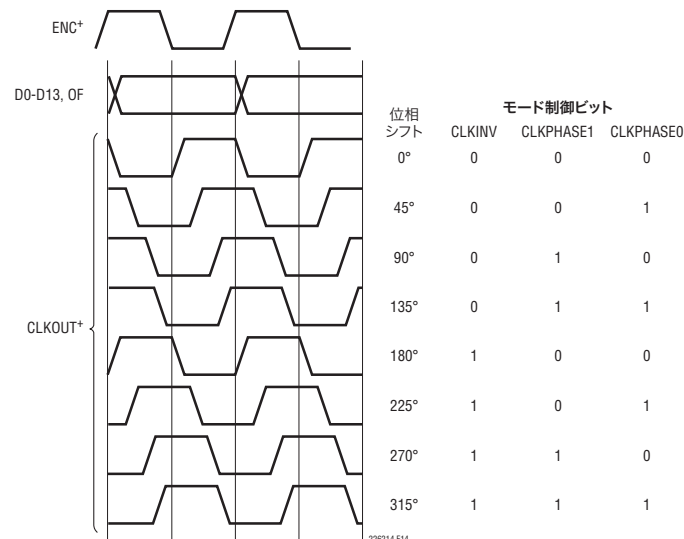


図14. CLKOUTの位相シフト

表1. 出力コードと入力電圧

A _{IN} ⁺ -A _{IN} ⁻ (2V範囲)	OF	D13-D0 (オフセット・バイナリ)	D13-D0 (2の補数)
>1.000000V	1	11 1111 1111 1111	01 1111 1111 1111
+0.999878V	0	11 1111 1111 1111	01 1111 1111 1111
+0.999756V	0	11 1111 1111 1110	01 1111 1111 1110
+0.000122V	0	10 0000 0000 0001	00 0000 0000 0001
+0.000000V	0	10 0000 0000 0000	00 0000 0000 0000
-0.000122V	0	01 1111 1111 1111	11 1111 1111 1111
-0.000244V	0	01 1111 1111 1110	11 1111 1111 1110
-0.999878V	0	00 0000 0000 0001	10 0000 0000 0001
-1.000000V	0	00 0000 0000 0000	10 0000 0000 0000
≤-1.000000V	1	00 0000 0000 0000	10 0000 0000 0000

デジタル出力ランダムマイザ

A/Dのデジタル出力からの干渉を避けられない場合があります。デジタル信号による干渉は、容量性や誘導性の結合またはグラウンド・プレーンを介した結合から生じる可能性があります。結合係数が小さくても、ADCの出力スペクトルに不要トーンを生じることがあります。デジタル出力をデバイスから送出する前にランダム化することにより、これらの不要トーンをランダム化し、不要トーンの振幅を減少させることができます。

デジタル出力は、LSBと他のすべてのデータ出力ビットの間で排他的論理和ロジック演算を行うことによって「ランダム化」されます。デコードするには、逆の演算を行います。つまり、LSBと他のすべてのビットの間で排他的論理和演算を行います。LSB、OF、CLKOUTの各出力は影響を受けません。出力ランダムマイザは、モード制御レジスタA4をシリアル・モードでプログラムすることによってイネーブルされます。

交互ビット極性

回路基板のデジタル帰還を減らすもうひとつの機能は、交互ビット極性モードです。このモードがイネーブルされると、すべての奇数ビット(D1、D3、D5、D7、D9、D11、D13)が出力バッファの前で反転します。偶数ビット(D0、D2、D4、D6、D8、D10、D12)、OF、CLKOUTは影響されません。これにより、回路基板のグラウンド・プレーンのデジタル電流を減らして、(特に非常に小さいアナログ入力信号の場合)デジタル・ノイズを減らすことができます。

A/Dの入力にミッドスケールを中心にした非常に小さい信号があるとき、デジタル出力はほとんどが1とほとんどが0の間をトグルします。このようにほとんどのビットを同時に切り替えると大きな電流がグラウンド・プレーンを流れます。交互ビット極性

226214fc

アプリケーション情報

モードは1つおきにビットを反転させることにより、ビットの半数を”H”に遷移させ、ビットの半数を”L”に遷移させます。これにより、一次近似では、グランド・プレーンを流れる電流がキャンセルされ、デジタル・ノイズが減少します。

デジタル出力は、奇数ビット(D1、D3、D5、D7、D9、D11、D13)を反転することにより、レシーバによってデコードされます。交互ビット極性モードはデジタル出力ランダムマイザからは独立しています。つまり、どちらかの機能だけをオンすることも、両方の機能を同時にオンすることも、両方の機能を同時にオフすることも可能です。交互ビット極性モードがオンしているとき、データ・フォーマットはオフセット・バイナリで、2の補数の制御ビットは無効です。交互ビット極性モードは、モード制御レジスタA4をシリアル・モードでプログラムすることによってイネーブルされます。

デジタル出力のテストパターン

A/Dへのデジタル・インタフェースのインサーキット・テストを可能にするため、A/Dのデータ出力(OF、D13~D0)を既知の値に強制するいくつかのテスト・モードがあります。

オール1:すべての出力が1。

オール0:すべての出力が0。

交替:交互に替わるサンプルの出力がオール1からオール0に変化する。

格子縞:交互に替わるサンプルの出力が10101010101010から010101010101010に変化する。

デジタル出力のテストパターンは、モード制御レジスタA4をシリアル・モードでプログラムすることによってイネーブルされます。テストパターンがイネーブルされると、他のすべてのフォーマット・モード(2の補数、ランダムマイザ、交互ビット極性)をオーバーライドします。

出力ディスエーブル

モード制御レジスタA3をシリアル・モードでプログラムすることにより、デジタル出力をディスエーブルすることができます。OFやCLKOUTを含むすべてのデジタル出力がディスエーブルされます。高インピーダンスのこのディスエーブル状態は長期間の休止状態のためのもので、複数のコンバータの間でデータ・バスをフルスピードで多重化するには遅すぎて使えません。

スリープ・モードとナップ・モード

節電のため、A/Dをスリープ・モードまたはナップ・モードにすることができます。スリープ・モードでは、A/Dコンバータ全体がパワーダウンし、0.5mWの消費電力になります。スリープ・モードは、モード制御レジスタA1(シリアル・プログラミング・モード)、またはSDI(パラレル・プログラミング・モード)によってイネーブルされます。スリープ・モードから回復するのに要する時間は、VREF、REFHおよびREFLのバイパス・コンデンサの容量によって決まります。図8の推奨値の場合、A/Dは2ms後に安定します。

ナップ・モードでは、A/Dのコアはパワーダウンしますが、内部リファレンス回路はアクティブなままなので、スリープ・モードよりも速く回復することができます。ナップ・モードからの回復

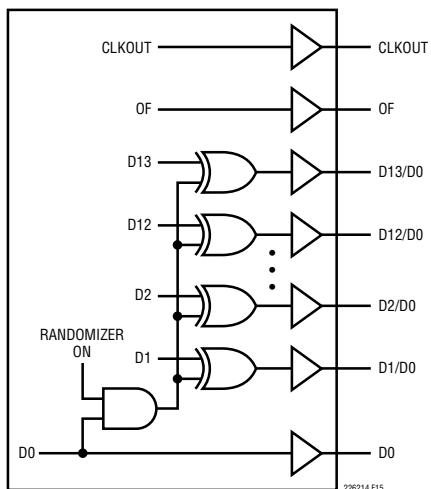


図15. デジタル出力ランダムマイザの機能的に等価な回路

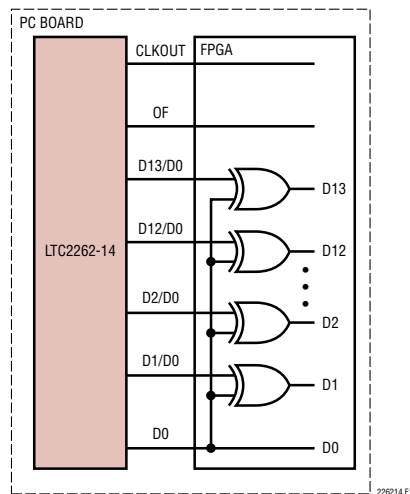


図16. ランダムマイズされたデジタル出力信号の復元

アプリケーション情報

には少なくとも100クロック・サイクルを必要とします。非常に正確なDCセトリングが必要なアプリケーションの場合、50 μ sを追加することにより、A/Dがナップ・モードから移行するときの消費電流の変化によって生じるわずかな温度変化に対して内蔵リファレンスがセトリングできるようにします。ナップ・モードは、シリアル・プログラミング・モードのモード制御レジスタA1によってイネーブルされます。

デバイスのプログラミング・モード

LTC2262-14の動作モードはパラレル・インタフェースまたはシンプルなシリアル・インタフェースのどちらでもプログラム可能です。シリアル・インタフェースの方が柔軟性があり、使用可能なすべてのモードをプログラムすることができます。パラレル・インタフェースはそれに比べて限定されており、プログラムできるのはよく使用されるモードのいくつかだけです。

パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、 $\overline{\text{PAR/SER}}$ を V_{DD} に接続します。 $\overline{\text{CS}}$ 、 SCK 、 SDI の各ピンはバイナリ・ロジック入力で、特定の動作モードを設定します。これらのピンは V_{DD} またはグラウンドに接続するか、あるいは、1.8V、2.5Vまたは3.3VのCMOSロジックでドライブすることができます。 $\overline{\text{CS}}$ 、 SCK および SDI によって設定されるモードを表2に示します。

表2. パラレル・プログラミング・モードの制御ビット ($\overline{\text{PAR/SER}} = V_{DD}$)

ピン	説明
$\overline{\text{CS}}$	クロック・デューティ・サイクル・スタビライザの制御ビット 0 = クロック・デューティ・サイクル・スタビライザをオフ 1 = クロック・デューティ・サイクル・スタビライザをオン
SCK	デジタル出力モードの制御ビット 0 = フルレートCMOS出力モード 1 = ダブルデータレートLVDS出力モード (LVDS電流が3.5mA、内部終端はオフ)
SDI	パワーダウン制御ビット 0 = 通常動作 1 = スリープ・モード

シリアル・プログラミング・モード

シリアル・プログラミング・モードを使用するには、 $\overline{\text{PAR/SER}}$ をグラウンドに接続します。 $\overline{\text{CS}}$ 、 SCK 、 SDI 、 SDO の各ピンは、A/Dのモード制御レジスタをプログラムするシリアル・インタフェースになります。データは16ビットのシリアル・ワードでレジスタに書き込まれます。レジスタの内容を検証するため、データをレジスタから読み出すこともできます。

シリアル・データ転送は $\overline{\text{CS}}$ が“L”になると開始されます。 SDI ピンのデータは SCK の最初の16個の立ち上がりエッジでラッチされます。最初の16個の後の SCK の立ち上がりエッジはどれも無視されます。データ転送は $\overline{\text{CS}}$ が再度“H”になると終了します。

16ビットの入力ワードの最初のビットは $\text{R}/\overline{\text{W}}$ ビットです。次の7ビットはレジスタのアドレス(A6:A0)です。最後の8ビットはレジスタのデータ(D7:D0)です。

$\text{R}/\overline{\text{W}}$ ビットが“L”の場合、シリアル・データ(D7:D0)が、アドレス・ビット(A6:A0)によって設定されるレジスタに書き込まれます。 $\text{R}/\overline{\text{W}}$ ビットが“H”の場合、アドレス・ビット(A6:A0)によって設定されるレジスタ内のデータが SDO ピンで読み出されず(タイミング図を参照)。読み出しコマンドの間レジスタは更新されず、 SDI のデータは無視されます。

SDO ピンはオープン・ドレイン出力で、200 Ω のインピーダンスでグラウンドにプルダウンします。 SDO を介してレジスタのデータを読み出す場合、2kのプルアップ抵抗を外付けする必要があります。シリアル・データが書き込み専用で読み出しの必要がない場合には、 SDO はフロートさせておくことができるので、プルアップ抵抗は不要です。

モード制御レジスタのマップを表3に示します。

ソフトウェアによるリセット

シリアル・プログラミングを使用する場合、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、すべてのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットでなければなりません。ソフトウェア・リセットを実行するには、リセット・レジスタのビットD7にロジック1を書き込みます。リセットSPI書き込み命令が完了した後、ビットD7は自動的に再度ゼロに設定されます。

接地とバイパス

LTC2262-14には、切れ目のないクリーンなグラウンド・プレーンを備えたプリント基板が必要です。内部グラウンド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ分離します。特に、アナログ信号トラックの横やADCの下にデジタル・トラックを通さないように注意する必要があります。

V_{DD} 、 OV_{DD} 、 V_{CM} 、 V_{REF} 、 $REFH$ 、 $REFL$ の各ピンには、高品質のセラミック・バイパス・コンデンサを使います。バイパス・コン

226214fc

アプリケーション情報

デンサは、できるだけピンの近くに配置する必要があります。特に重要なのはREFHとREFLの間の0.1μFのコンデンサです。このコンデンサは回路基板のA/Dと同じ側に、できるだけデバイスに近づけて(1.5mm以内)配置してください。サイズが0402のセラミック・コンデンサを推奨します。REFHとREFLの間の大きな2.2μFのコンデンサはこれよりいくらか離れてもかまいません。V_{CM}コンデンサはできるだけピンの近くに配置する必要があります。このコンデンサにスペースを与えるため、V_{REF}のコンデンサはもっと離して、またはプリント回路基板の裏側に配置することができます。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くする必要があります。

アナログ入力、エンコード信号、およびデジタル出力は相互に隣接しないように配線します。これらの信号を互いに絶縁するためのバリアとして、グランド領域とグランド・ビアを使用します。

熱伝達

LTC2262-14が発生する熱の大部分はダイから底面の露出パッドとパッケージの端子を通してプリント回路基板に伝わります。優れた電気的特性と熱特性を得るためには、露出パッドをプリント回路基板の大きな接地されたパッドに半田付けする必要があります。

表3. シリアル・プログラミング・モードのレジスタ・マップ

レジスタA0:リセット・レジスタ(アドレス00h)

D7	D6	D5	D4	D3	D2	D1	D0
リセット	X	X	X	X	X	X	X

ビット7 **リセット** ソフトウェア・リセット・ビット

0 = 不使用

1 = ソフトウェアによるリセット。すべてのモード制御レジスタが00hにリセットされる。このビットはSPI書き込み命令完了後自動的に再度ゼロに設定される

リセット・レジスタは書き込みのみ

ビット6~0 使用されない、ドントケア・ビット

レジスタA1:パワーダウン・レジスタ(アドレス01h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	PWROFF1	PWROFF0

ビット7~2 使用されない、ドントケア・ビット

ビット1~0 **PWROFF1:PWROFF0** パワーダウン制御ビット

00 = 通常動作

01 = ナップ・モード

10 = 不使用

11 = スリープ・モード

レジスタA2:タイミング・レジスタ(アドレス02h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	CLKINV	CLKPHASE1	CLKPHASE0	DCS

ビット7~4 使用されない、ドントケア・ビット

ビット3 **CLKINV** 出カクロック反転ビット

0 = 通常のCLKOUT極性(タイミング図参照)

1 = 反転したCLKOUT極性

ビット2~1 **CLKPHASE1:CLKPHASE0** 出カクロック位相遅延ビット

00 = CLKOUT遅延なし(タイミング図参照)

01 = CLKOUT⁺/CLKOUT⁻を45°だけ遅延(クロック周期・1/8)

10 = CLKOUT⁺/CLKOUT⁻を90°だけ遅延(クロック周期・1/4)

11 = CLKOUT⁺/CLKOUT⁻を135°だけ遅延(クロック周期・3/8)

注記: CLKOUT位相遅延機能を使用する場合、クロック・デューティ・サイクル・スタビライザもオンする必要がある。

ビット0 **DCS** クロック・デューティ・サイクル・スタビライザ・ビット

0 = クロック・デューティ・サイクル・スタビライザをオフ

1 = クロック・デューティ・サイクル・スタビライザをオン

アプリケーション情報

レジスタ A3: 出力モード・レジスタ(アドレス03h)

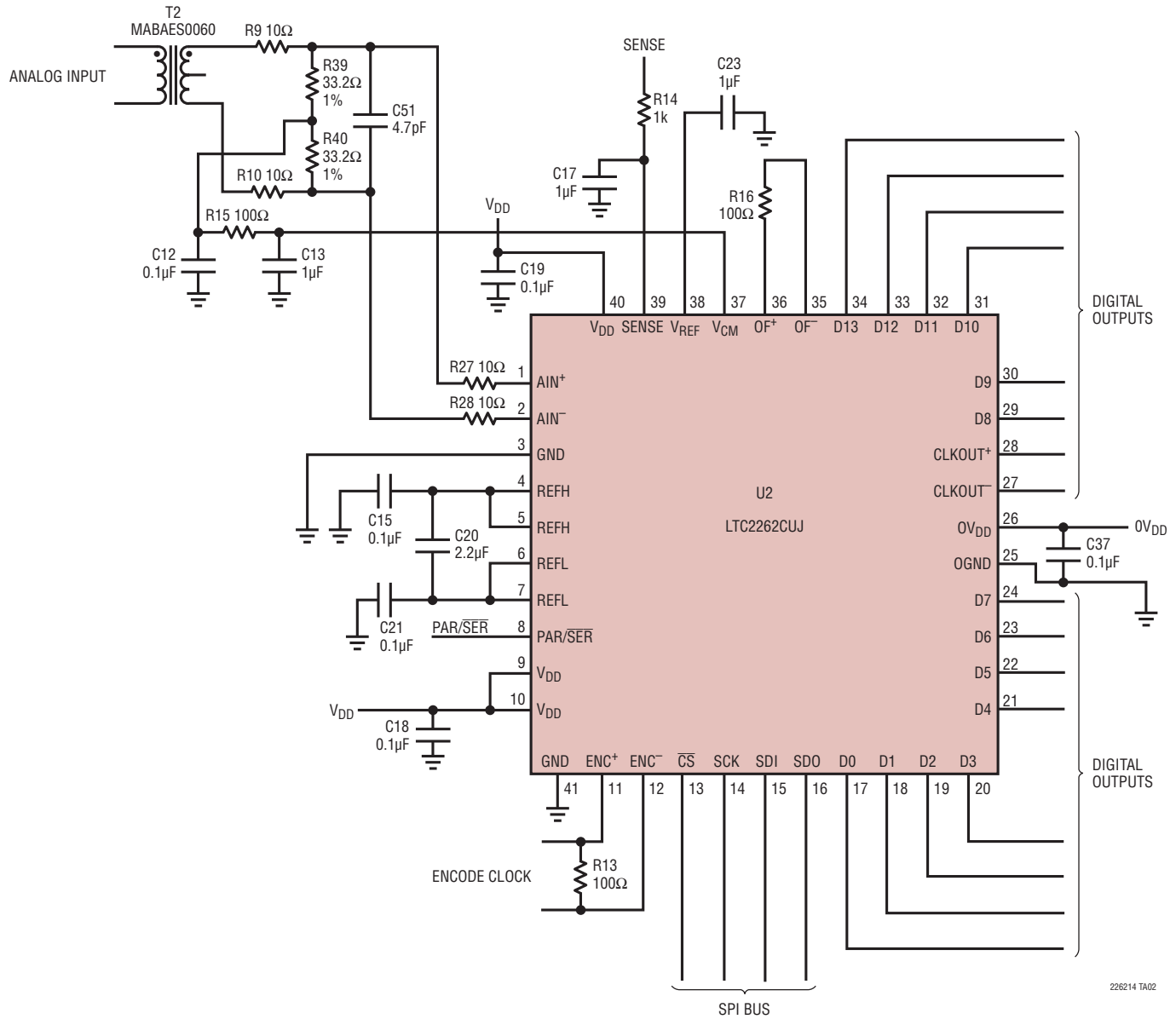
D7	D6	D5	D4	D3	D2	D1	D0
X	ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTMODE1	OUTMODE0
ビット7	使用されない、ドントケア・ビット						
ビット6~4	ILVDS2:ILVDS0 LVDS出力電流ビット 000 = 3.5mAのLVDS出力ドライバ電流 001 = 4.0mAのLVDS出力ドライバ電流 010 = 4.5mAのLVDS出力ドライバ電流 011 = 不使用 100 = 3.0mAのLVDS出力ドライバ電流 101 = 2.5mAのLVDS出力ドライバ電流 110 = 2.1mAのLVDS出力ドライバ電流 111 = 1.75mAのLVDS出力ドライバ電流						
ビット3	TERMON LVDSの内部終端ビット 0 = 内部終端をオフ 1 = 内部終端をオン。LVDS出力ドライバ電流はILVDS2:ILVDS0で設定された電流の1.6倍。						
ビット2	OUTOFF 出力ディスエーブル・ビット 0 = デジタル出力をイネーブル 1 = デジタル出力をディスエーブルし、出力を高インピーダンスにする						
ビット1~0	OUTMODE1:OUTMODE0 デジタル出力モード制御ビット 00 = フルレートCMOS出力モード 01 = ダブルデータレートLVDS出力モード 10 = ダブルデータレートCMOS出力モード 11 = 不使用						

レジスタA4: データ・フォーマット・レジスタ(アドレス04h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	OUTTEST2	OUTTEST1	OUTTEST0	ABP	RAND	TWOSCOMP
ビット7~6	使用されない、ドントケア・ビット						
ビット5~3	OUTTEST2:OUTTEST0 デジタル出力のテストパターン・ビット 000 = デジタル出力のテストパターンをオフ 001 = すべてのデジタル出力 = 0 011 = すべてのデジタル出力 = 1 101 = 格子縞出力パターン。0F、D13~D0が101 0101 0101 0101と010 1010 1010 1010の間を交替する 111 = 交替出力パターン。0F、D13~D0が000 0000 0000 0000と111 1111 1111 1111の間を交替する 注記: 他のビットの組合せは使用されない						
ビット2	ABP 交互ビット極性モード制御ビット 0 = 交互ビット極性モードをオフ 1 = 交互ビット極性モードをオン						
ビット1	RAND データ出力ランダマイザ・モード制御ビット 0 = データ出力ランダマイザ・モードをオフ 1 = データ出力ランダマイザ・モードをオン						
ビット0	TWOSCOMP 2の補数モード制御ビット 0 = オフセット・バイナリのデータ・フォーマット 1 = 2の補数のデータ・フォーマット 注記: ABP = 1は出力フォーマットをオフセット・バイナリに強制する						

標準的応用例

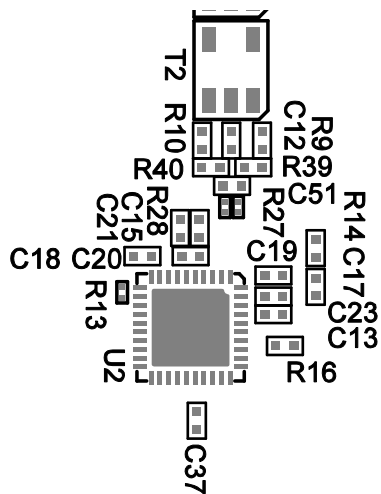
LTC2262の評価用ボードの回路図



226214 TA02

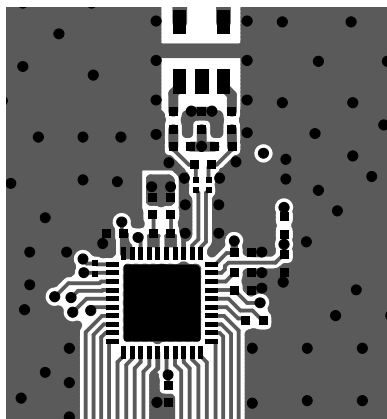
標準的応用例

シルクスクリーンの上面



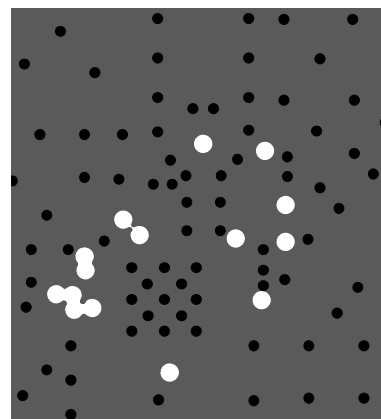
226214 TA03

上面



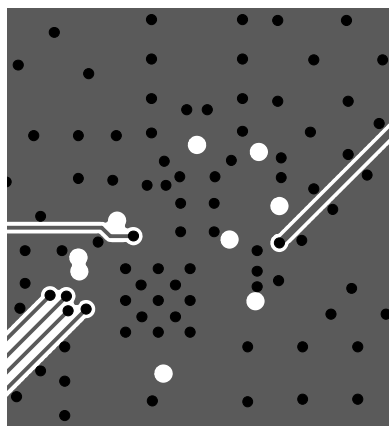
226214 TA04

内部第2層GND



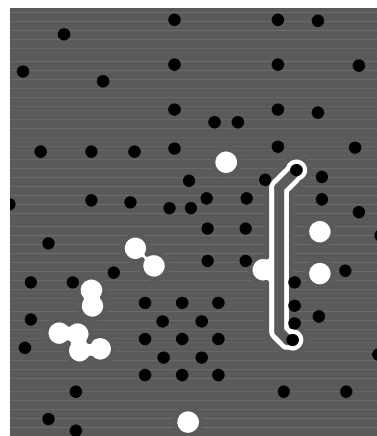
226214 TA04

内部第3層



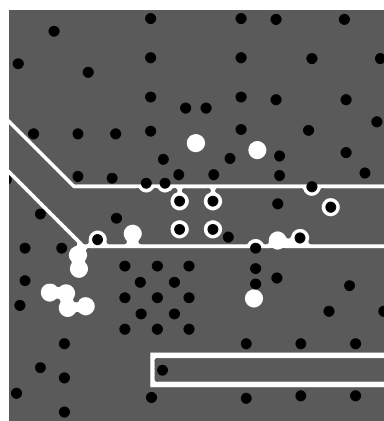
226214 TA06

内部第4層



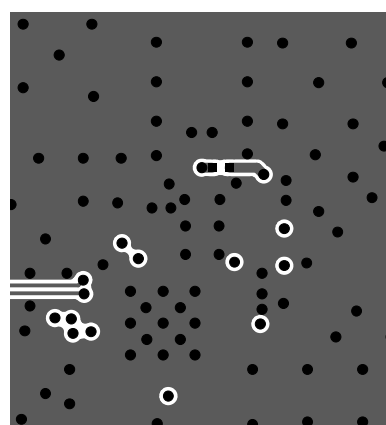
226214 TA07

内部第5層電源



226214 TA08

底面



226214 TA09

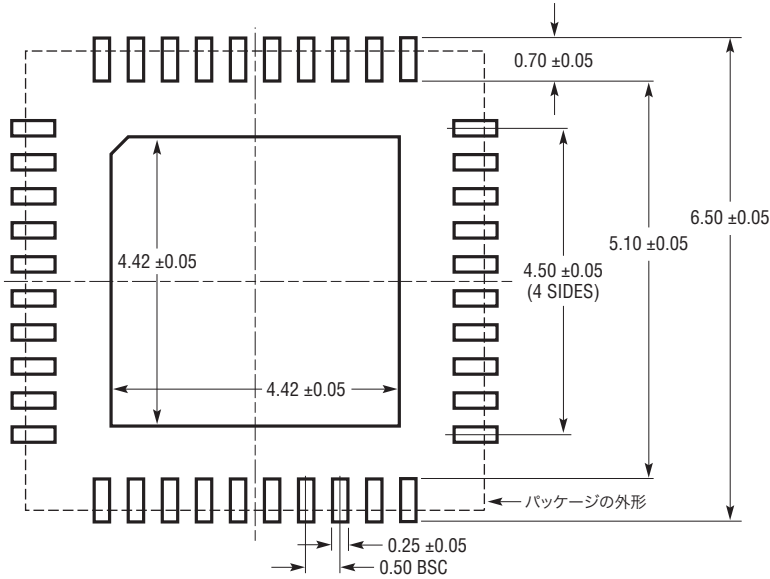
226214fc

LTC2262-14

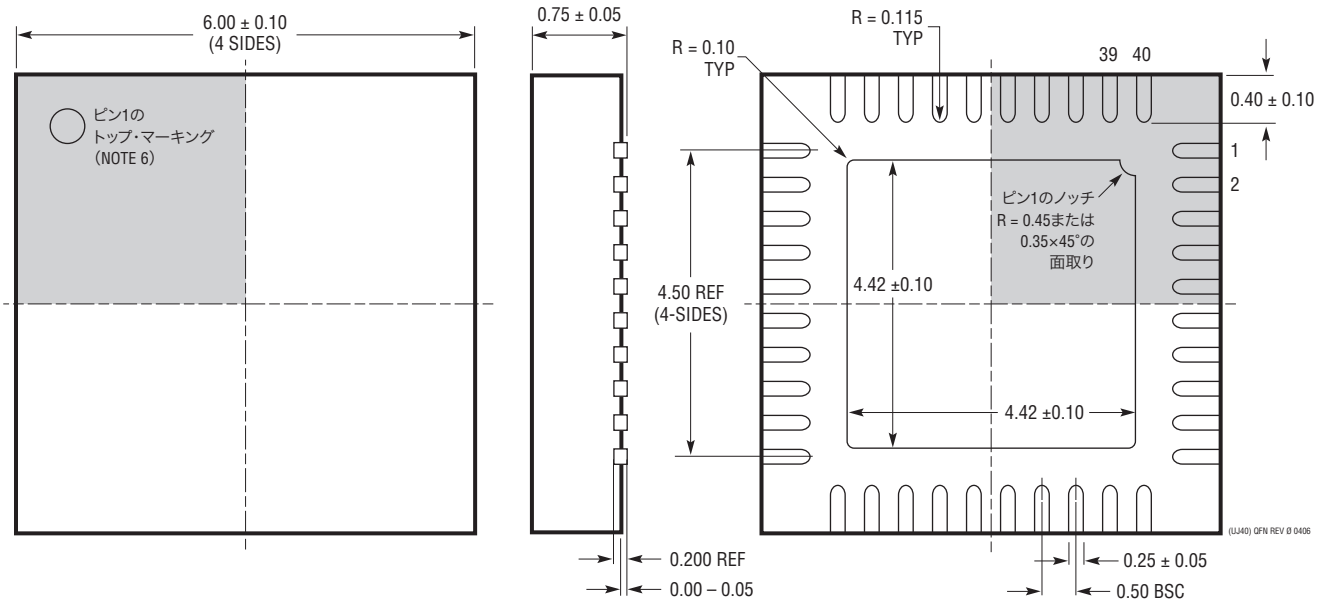
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

UJ Package
40-Lead Plastic QFN (6mm × 6mm)
 (Reference LTC DWG # 05-08-1728 Rev 0)



推奨する半田パッドのピッチと寸法
 半田付けされない領域には半田マスクを使用する



- NOTE:
1. 図面はJEDECのパッケージ外形バリエーション(WJJD-2)
 2. 図は実寸とは異なる
 3. すべての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
 モールドのバリは(もしあれば)各サイドで0.20mmを超えないこと
 5. 露出パッドは半田メッキとする
 6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

底面図—露出パッド

226214fc

改訂履歴 (改訂履歴は Rev B から開始)

REV	日付	概要	ページ番号
B	8/12	IO _{VDD} をIO _{VDD} に訂正	11
		リセット・レジスタA0、D7の記述を訂正	21
		回路図において、V _{DD} をピン9、10、40に接続	24
C	1/14	1Vの入力範囲の場合の「外部リファレンス」を「内部リファレンス」に訂正	16

LTC2262-14

関連製品

製品番号	説明	注釈
LT1993-2	高速差動オペアンプ	帯域幅:800MHz、歪み:70dBc(70MHz)、利得:6dB
LT1994	低ノイズ、低歪みの完全差動入出力アンプ/ドライバ	低歪み:-94dBc(1MHz)
LTC2215	16ビット、65Msps、低ノイズADC	700mW、SNR:81.5dB、SFDR:100dB、64ピンQFNパッケージ
LTC2216	16ビット、80Msps、低ノイズADC	970mW、SNR:81.3dB、SFDR:100dB、64ピンQFNパッケージ
LTC2217	16ビット、105Msps、低ノイズADC	1190mW、SNR:81.2dB、SFDR:100dB、64ピンQFNパッケージ
LTC2202	16ビット10Msps 3.3V ADC、最小ノイズ	140mW、SNR:81.6dB、SFDR:100dB、48ピンQFNパッケージ
LTC2203	16ビット25Msps 3.3V ADC、最小ノイズ	220mW、SNR:81.6dB、SFDR:100dB、48ピンQFNパッケージ
LTC2204	16ビット、40Msps、3.3V ADC	480mW、SNR:79dB、SFDR:100dB、48ピンQFNパッケージ
LTC2205	16ビット、65Msps、3.3V ADC	590mW、SNR:79dB、SFDR:100dB、48ピンQFNパッケージ
LTC2206	16ビット、80Msps、3.3V ADC	725mW、SNR:77.9dB、SFDR:100dB、48ピンQFNパッケージ
LTC2207	16ビット、105Msps、3.3V ADC	900mW、SNR:77.9dB、SFDR:100dB、48ピンQFNパッケージ
LTC2208	16ビット、130Msps、3.3V ADC、LVDS出力	1250mW、SNR:77.7dB、SFDR:100dB、64ピンQFNパッケージ
LTC2209	16ビット、160Msps、3.3V ADC、LVDS出力	1450mW、SNR:77.1dB、SFDR:100dB、64ピンQFNパッケージ
LTC2220	12ビット、170Msps ADC	890mW、SNR:67.5dB、9mm×9mm QFNパッケージ
LTC2220-1	12ビット、185Msps、3.3V ADC、LVDS出力	910mW、SNR:67.7dB、SFDR:80dB、64ピンQFNパッケージ
LTC2224	12ビット、135Msps、3.3V ADC、高IFサンプリング	630mW、SNR:67.6dB、SFDR:84dB、48ピンQFNパッケージ
LTC2249	14ビット、80Msps ADC	230mW、SNR:73dB、5mm×5mm QFNパッケージ
LTC2252	12ビット、105Msps ADC	320mW、SNR:70.2dB、5mm×5mm QFNパッケージ
LTC2253	12ビット、125Msps ADC	395mW、SNR:70.2dB、5mm×5mm QFNパッケージ
LTC2254	14ビット、105Msps ADC	320mW、SNR:72.5dB、5mm×5mm QFNパッケージ
LTC2255	14ビット、125Msps低消費電力3V ADC	395mW、SNR:72.5dB、SFDR:88dB、32ピンQFNパッケージ
LTC2256-14/ LTC2257-14/ LTC2258-14	14ビット、25/40/65Msps超低消費電力1.8V ADC	35mW/49mW/81mW、SNR:74dB、SFDR:88dB、 DDR LVDS/ DDR CMOS/CMOSの出力、6mm×6mm QFNパッケージ
LTC2259-14/ LTC2260-14/ LTC2261-14	14ビット、80/105/125Msps超低消費電力1.8V ADC	89mW/106mW/127mW、SNR:73.4dB、SFDR:85dB、 DDR LVDS/ DDR CMOS/CMOSの出力、6mm×6mm QFNパッケージ
LTC2262-12	12ビット、150Msps 超低消費電力1.8V ADC	146mW、SNR:70.5dB、SFDR:88dB、 DDR LVDS/ DDR CMOS/CMOSの出力、6mm×6mm QFNパッケージ
LTC2284	14ビット、デュアル105Msps 3V ADC、低クロストーク	540mW、SNR:72.4dB、SFDR:88dB、64ピンQFNパッケージ
LTC2299	デュアルの14ビット80Msps ADC	230mW、SNR:71.6dB、5mm×5mm QFNパッケージ
LT5517	40MHz~900MHz直接変換直交復調器	高いIIP3:800MHzで21dBm、内蔵LO直交ジェネレータ
LT5527	400MHz~3.7GHz高直線性ダウコンバーティング・ミキサ	IIP3:900MHzで24.5dBm、IIP3:3.5GHzで23.5dBm、NF:12.5dB、 50ΩシングルエンドのRFポートとLOポート
LT5557	400MHz~3.8GHz高直線性ダウコンバーティング・ミキサ	IIP3:2.6GHzで23.7dBm、IIP3:3.5GHzで23.5dBm、NF = 13.2dB、 3.3V電源で動作、トランスを内蔵
LT5575	800MHz~2.7GHz直接変換直交復調器	高いIIP3:900MHzで28dBm、内蔵LO直交ジェネレータ、 内蔵RFおよびLOトランス
LTC6400-20	300MHz IF向け、1.8GHz、低ノイズ、 低歪み差動ADCドライバ	固定利得:10V/V、合計入力ノイズ:2.1nV $\sqrt{\text{Hz}}$ 、 3mm×3mm QFN-16パッケージ
LT6604-2.5/ LT6604-5/ LT6604-10/ LT6604-15	デュアル整合2.5MHz、5MHz、10MHz、 15MHzフィルタ、ADCドライバ付き	差動ドライバ付き、デュアル整合4次LPフィルタ。低ノイズ、低歪みアンプ

226214fc