

## 特長

- SNR: 73.4dB
- SFDR: 85dB
- 低消費電力: 127mW/106mW/89mW
- 1.8V単電源
- CMOS、DDR CMOSまたはDDR LVDS出力
- 選択可能な入力範囲: 1V<sub>p-p</sub>~2V<sub>p-p</sub>
- フルパワー帯域幅が800MHzのサンプル/ホールド
- オプションのデータ出力ランドマイザ
- オプションのクロック・デューティ・サイクル・スタビライザ
- シャットダウン・モードとナップ・モード
- 設定用のシリアルSPIポート
- ピン互換の14ビットおよび12ビット・バージョン
- 40ピン6mm×6mm QFNパッケージ

## アプリケーション

- 通信機器
- セルラ基地局
- ソフトウェア無線
- 携帯型医療用画像処理
- マルチチャンネル・データ収集
- 非破壊試験

## 概要

LTC<sup>®</sup>2261-14/LTC2260-14/LTC2259-14は、高周波の広いダイナミックレンジの信号をデジタル化するサンプリング14ビットA/Dコンバータです。SNRが73.4dB、SFDRが85dBという優れたAC特性を備えているため、要求の厳しい通信アプリケーションに最適です。また、0.17pSRMSという極めて低いジッタにより、優れたノイズ性能を維持しながらIF周波数をアンダーサンプリングできます。

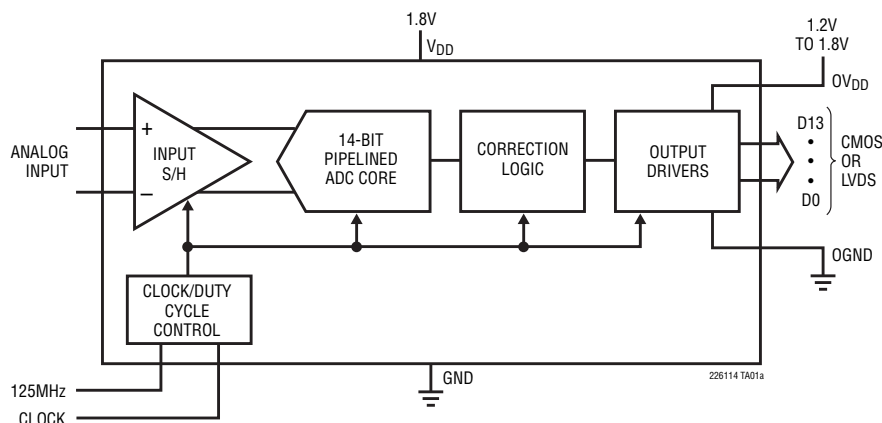
DC仕様では、±1LSB（標準）のINLと±0.3LSB（標準）のDNL、全温度範囲でミッシング・コードがないことが規定されています。遷移ノイズは1.2LSBRMSと低く抑えられています。

デジタル出力は、フルレートCMOS、ダブル・データレートCMOS、ダブル・データレートLVDSのいずれかに設定可能です。独立した出力電源により、1.2V~1.8Vの範囲でのCMOS出力振幅が可能です。

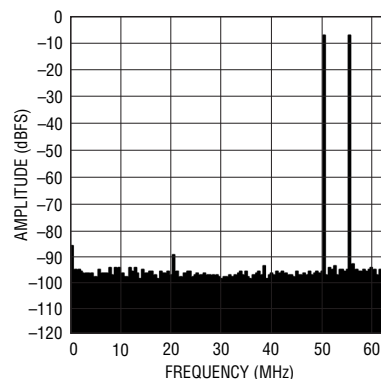
ENC<sup>+</sup>およびENC<sup>-</sup>入力は、正弦波、PECL、LVDS、TTLまたはCMOS入力で差動またはシングルエンド・ドライブ可能です。また、オプションのクロック・デューティ・サイクル・スタビライザにより、広範なクロック・デューティ・サイクルにわたってフルスピードで高い性能を発揮できます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。他の全ての商標はそれぞれの所有者に所有権があります。

## 標準的応用例



2トーンFFT,  $f_{IN} = 70\text{MHz}$ および $75\text{MHz}$



# LTC2261-14

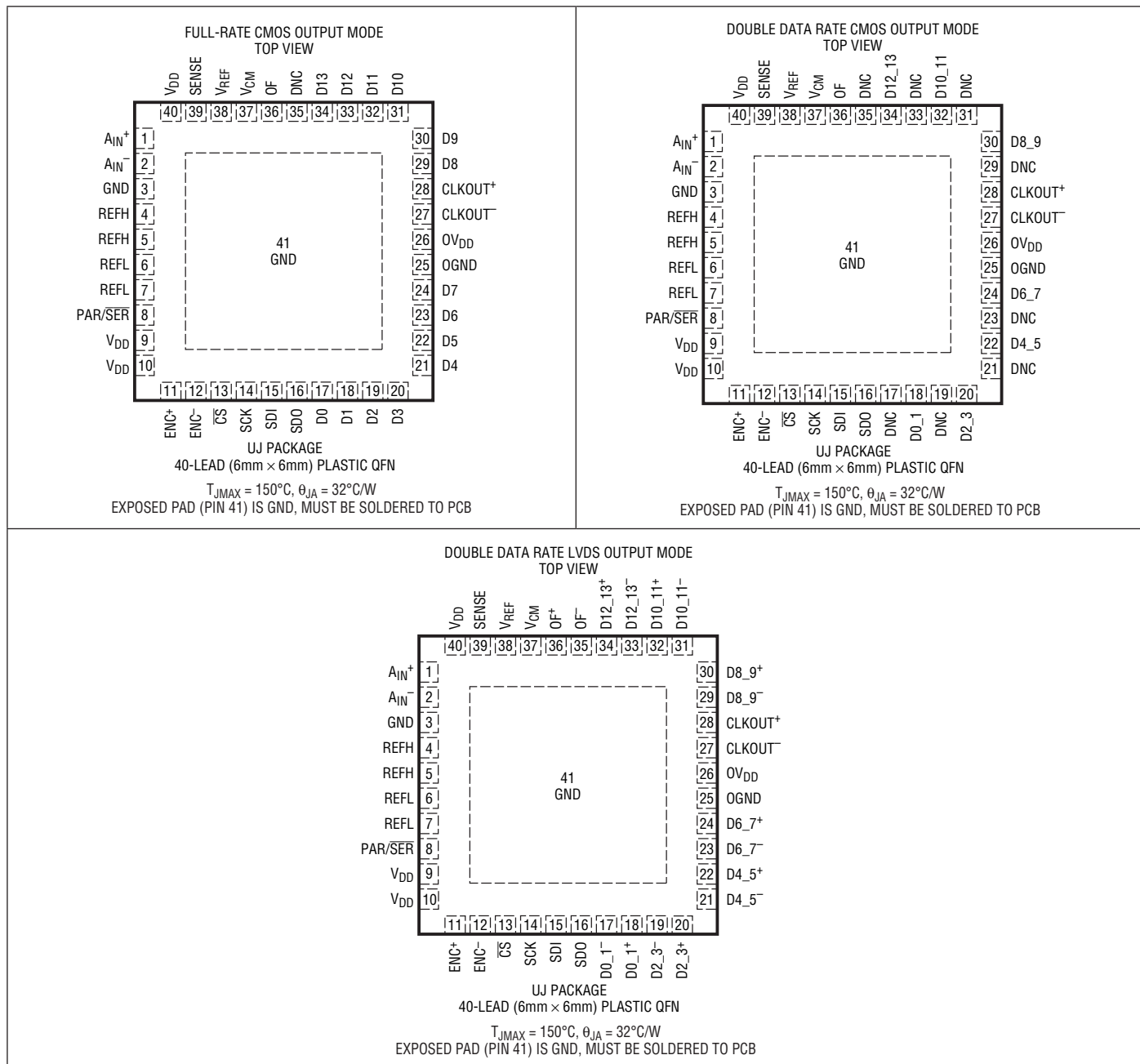
## LTC2260-14/LTC2259-14

### 絶対最大定格 (Note 1, 2)

電源電圧 ( $V_{DD}$ ,  $OV_{DD}$ ) .....  $-0.3V \sim 2V$   
 アナログ入力電圧 ( $A_{IN}^+$ ,  $A_{IN}^-$ ,  
 PAR/SER, SENSE) (Note 3) .....  $-0.3V \sim (V_{DD} + 0.2V)$   
 デジタル入力電圧 ( $ENC^+$ ,  $ENC^-$ ,  $\overline{CS}$ ,  
 SDI, SCK) (Note 4) .....  $-0.3V \sim 3.9V$   
 SDO (Note 4) .....  $-0.3V \sim 3.9V$

デジタル出力電圧 .....  $-0.3V \sim (OV_{DD} + 0.3V)$   
 動作温度範囲:  
 LTC2261C, LTC2260C, LTC2259C .....  $0^{\circ}C \sim 70^{\circ}C$   
 LTC2261I, LTC2260I, LTC2259I .....  $-40^{\circ}C \sim 85^{\circ}C$   
 保存温度範囲 .....  $-65^{\circ}C \sim 150^{\circ}C$

### ピン配置



## 発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2261CUJ-14#PBF	LTC2261CUJ-14#TRPBF	LTC2261UJ-14	40-Lead (6mm × 6mm) Plastic QFN	0°C to 70°C
LTC2261IUJ-14#PBF	LTC2261IUJ-14#TRPBF	LTC2261UJ-14	40-Lead (6mm × 6mm) Plastic QFN	-40°C to 85°C
LTC2260CUJ-14#PBF	LTC2260CUJ-14#TRPBF	LTC2260UJ-14	40-Lead (6mm × 6mm) Plastic QFN	0°C to 70°C
LTC2260IUJ-14#PBF	LTC2260IUJ-14#TRPBF	LTC2260UJ-14	40-Lead (6mm × 6mm) Plastic QFN	-40°C to 85°C
LTC2259CUJ-14#PBF	LTC2259CUJ-14#TRPBF	LTC2259UJ-14	40-Lead (6mm × 6mm) Plastic QFN	0°C to 70°C
LTC2259IUJ-14#PBF	LTC2259IUJ-14#TRPBF	LTC2259UJ-14	40-Lead (6mm × 6mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。\*温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。  
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

## コンバータの特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS	LTC2261-14			LTC2260-14			LTC2259-14			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Resolution (No Missing Codes)		● 14			14			14			Bits
Integral Linearity Error	Differential Analog Input (Note 6)	● -3.75	±1	3.75	-3.75	±1	3.75	-3.5	±1	3.5	LSB
Differential Linearity Error	Differential Analog Input	● -0.9	±0.3	0.9	-0.9	±0.3	0.9	-0.9	±0.3	0.9	LSB
Offset Error	(Note 7)	● -9	±1.5	9	-9	±1.5	9	-9	±1.5	9	mV
Gain Error	Internal Reference		±1.5			±1.5			±1.5		%FS
	External Reference	● -1.5	±0.4	1.5	-1.5	±0.4	1.5	-1.5	±0.4	1.5	%FS
Offset Drift			±20			±20			±20		μV/°C
Full-Scale Drift	Internal Reference		±30			±30			±30		ppm/°C
	External Reference		±10			±10			±10		ppm/°C
Transition Noise	External Reference		1.2			1.2			1.2		LSB <sub>RMS</sub>

# LTC2261-14

## LTC2260-14/LTC2259-14

### アナログ入力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$V_{IN}$	Analog Input Range ( $A_{IN}^+ - A_{IN}^-$ )	$1.7V < V_{DD} < 1.9V$	●		1 to 2		$V_{P-P}$
$V_{IN(CM)}$	Analog Input Common Mode ( $A_{IN}^+ + A_{IN}^-$ )/2	Differential Analog Input (Note 8)	●	$V_{CM} - 100\text{mV}$	$V_{CM}$	$V_{CM} + 100\text{mV}$	V
$V_{SENSE}$	External Voltage Reference Applied to SENSE	External Reference Mode	●	0.625	1.250	1.300	V
$I_{INCM}$	Analog Input Common Mode Current	Per Pin, 125Msps Per Pin, 105Msps Per Pin, 80Msps			155 130 100		$\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$
$I_{IN1}$	Analog Input Leakage Current	$0 < A_{IN}^+, A_{IN}^- < V_{DD}$ , No Encode	●	-1		1	$\mu\text{A}$
$I_{IN2}$	PAR/SER Input Leakage Current	$0 < \text{PAR/SER} < V_{DD}$	●	-3		3	$\mu\text{A}$
$I_{IN3}$	SENSE Input Leakage Current	$0.625 < \text{SENSE} < 1.3V$	●	-6		6	$\mu\text{A}$
$t_{AP}$	Sample-and-Hold Acquisition Delay Time				0		ns
$t_{JITTER}$	Sample-and-Hold Acquisition Delay Jitter				0.17		$\text{pSRMS}$
CMRR	Analog Input Common Mode Rejection Ratio				80		dB
BW-3B	Full-Power Bandwidth	Figure 6 Test Circuit			800		MHz

### ダイナミック精度

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		LTC2261-14			LTC2260-14			LTC2259-14			UNITS
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
SNR	Signal-to-Noise Ratio	5MHz Input			73.4			73.4			73.1	dB	
		70MHz Input	●	71.3	73.2		71.3	73.2		70.9	72.9	dB	
		140MHz Input			72.7			72.7			72.4	dB	
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic	5MHz Input			88			88			88	dB	
		70MHz Input	●	76	85		76	85		79	85	dB	
		140MHz Input			82			82			82	dB	
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	5MHz Input			73			73			72.9	dB	
		70MHz Input	●	70.2	72.6		70.2	72.6		70.4	72.6	dB	
		140MHz Input			72			72			72	dB	

### 内部リファレンスの特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{CM}$ Output Voltage	$I_{OUT} = 0$	$0.5 \cdot V_{DD} - 25\text{mV}$	$0.5 \cdot V_{DD}$	$0.5 \cdot V_{DD} + 25\text{mV}$	V
$V_{CM}$ Output Temperature Drift			$\pm 25$		$\text{ppm}/^\circ\text{C}$
$V_{CM}$ Output Resistance	$-600\mu\text{A} < I_{OUT} < 1\text{mA}$		4		$\Omega$
$V_{REF}$ Output Voltage	$I_{OUT} = 0$	1.225	1.250	1.275	V
$V_{REF}$ Output Temperature Drift			$\pm 25$		$\text{ppm}/^\circ\text{C}$
$V_{REF}$ Output Resistance	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$		7		$\Omega$
$V_{REF}$ Line Regulation	$1.7V < V_{DD} < 1.9V$		0.6		$\text{mV}/\text{V}$

## デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
<b>エンコード入力 (ENC<sup>+</sup>, ENC<sup>-</sup>)</b>							
<b>差動エンコード・モード (ENC<sup>-</sup>はGNDに接続されていない)</b>							
V <sub>ID</sub>	Differential Input Voltage	(Note 8)	●	0.2			V
V <sub>ICM</sub>	Common Mode Input Voltage	Internally Set Externally Set (Note 8)	●	1.1	1.2	1.6	V
V <sub>IN</sub>	Input Voltage Range	ENC <sup>+</sup> , ENC <sup>-</sup> to GND	●	0.2		3.6	V
R <sub>IN</sub>	Input Resistance	(See Figure 10)			10		k $\Omega$
C <sub>IN</sub>	Input Capacitance	(Note 8)			3.5		pF
<b>シングルエンド・エンコード・モード (ENC<sup>-</sup>はGNDに接続されている)</b>							
V <sub>IH</sub>	High Level Input Voltage	V <sub>DD</sub> = 1.8V	●	1.2			V
V <sub>IL</sub>	Low Level Input Voltage	V <sub>DD</sub> = 1.8V	●			0.6	V
V <sub>IN</sub>	Input Voltage Range	ENC <sup>+</sup> to GND	●	0		3.6	V
R <sub>IN</sub>	Input Resistance	(See Figure 11)			30		k $\Omega$
C <sub>IN</sub>	Input Capacitance	(Note 8)			3.5		pF
<b>デジタル入力 (CS, SDI, SCK)</b>							
V <sub>IH</sub>	High Level Input Voltage	V <sub>DD</sub> = 1.8V	●	1.3			V
V <sub>IL</sub>	Low Level Input Voltage	V <sub>DD</sub> = 1.8V	●			0.6	V
I <sub>IN</sub>	Input Current	V <sub>IN</sub> = 0V to 3.6V	●	-10		10	$\mu\text{A}$
C <sub>IN</sub>	Input Capacitance	(Note 8)			3		pF
<b>SDO OUTPUT (オープン・ドレイン出力。SDOが使われる場合、2kのプルアップ抵抗が必要)</b>							
R <sub>OL</sub>	Logic Low Output Resistance to GND	V <sub>DD</sub> = 1.8V, SDO = 0V			200		$\Omega$
I <sub>OH</sub>	Logic High Output Leakage Current	SDO = 0V to 3.6V	●	-10		10	$\mu\text{A}$
C <sub>OUT</sub>	Output Capacitance	(Note 8)			4		pF
<b>デジタル・データ出力 (CMOSモード: フルデータレートとダブルデータレート)</b>							
<b>OV<sub>DD</sub> = 1.8V</b>							
V <sub>OH</sub>	High Level Output Voltage	I <sub>O</sub> = -500 $\mu\text{A}$	●	1.750	1.790		V
V <sub>OL</sub>	Low Level Output Voltage	I <sub>O</sub> = 500 $\mu\text{A}$	●		0.010	0.050	V
<b>OV<sub>DD</sub> = 1.5V</b>							
V <sub>OH</sub>	High Level Output Voltage	I <sub>O</sub> = -500 $\mu\text{A}$			1.488		V
V <sub>OL</sub>	Low Level Output Voltage	I <sub>O</sub> = 500 $\mu\text{A}$			0.010		V
<b>OV<sub>DD</sub> = 1.2V</b>							
V <sub>OH</sub>	High Level Output Voltage	I <sub>O</sub> = -500 $\mu\text{A}$			1.185		V
V <sub>OL</sub>	Low Level Output Voltage	I <sub>O</sub> = 500 $\mu\text{A}$			0.010		V
<b>デジタル・データ出力 (LVDSモード)</b>							
V <sub>OD</sub>	Differential Output Voltage	100 $\Omega$ Differential Load, 3.5mA Mode 100 $\Omega$ Differential Load, 1.75mA Mode	●	247	350 175	454	mV mV
V <sub>OS</sub>	Common Mode Output Voltage	100 $\Omega$ Differential Load, 3.5mA Mode 100 $\Omega$ Differential Load, 1.75mA Mode	●	1.125	1.250 1.250	1.375	V V
R <sub>TERM</sub>	On-Chip Termination Resistance	Termination Enabled, OV <sub>DD</sub> = 1.8V			100		$\Omega$

# LTC2261-14

## LTC2260-14/LTC2259-14

### 電源要件

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS	LTC2261-14			LTC2260-14			LTC2259-14			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
<b>CMOS出力モード:フルデータレートとダブルデータレート</b>													
$V_{DD}$	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
$OV_{DD}$	Output Supply Voltage	(Note 10)	●	1.1		1.9	1.1		1.9	1.1		1.9	V
$I_{VDD}$	Analog Supply Current	DC Input Sine Wave Input	●		70.5 71.8	83.2		58.6 59.8	69.1		49.2 50.2	58.1	mA mA
$I_{OVDD}$	Digital Supply Current	Sine Wave Input, $OV_{DD}=1.2\text{V}$			3.9			3.3			2.5		mA
$P_{DISS}$	Power Dissipation	DC Input Sine Wave Input, $OV_{DD}=1.2\text{V}$	●		127 134	150		106 112	125		89 93	105	mW mW
<b>LVDS出力モード</b>													
$V_{DD}$	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
$OV_{DD}$	Output Supply Voltage	(Note 10)	●	1.7		1.9	1.7		1.9	1.7		1.9	V
$I_{VDD}$	Analog Supply Current	Sine Wave Input	●		75.4	89		63.4	74.8		53.8	63.5	mA
$I_{OVDD}$	Digital Supply Current ( $OV_{DD} = 1.8\text{V}$ )	Sine Input, 1.75mA Mode Sine Input, 3.5mA Mode	● ●		20.7 40.5	26 47.8		20.7 40.5	26 47.8		20.7 40.5	26 47.8	mA mA
$P_{DISS}$	Power Dissipation	Sine Input, 1.75mA Mode Sine Input, 3.5mA Mode	● ●		173 209	207 246		151 187	182 221		134 170	161 201	mW mW
<b>全ての出力モード</b>													
$P_{SLEEP}$	Sleep Mode Power				0.5			0.5			0.5		mW
$P_{NAP}$	Nap Mode Power				9			9			9		mW
$P_{DIFFCLK}$	Power Increase with Differential Encode Mode Enabled (No increase for Nap or Sleep Modes)				10			10			10		mW

### タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	LTC2261-14			LTC2260-14			LTC2259-14			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
$f_S$	Sampling Frequency	(Note 10)	●	1		125	1		105	1		80	MHz
$t_L$	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off Duty Cycle Stabilizer On	● ●	3.8 2.0	4 4	500 500	4.52 2.00	4.76 4.76	500 500	5.93 2.00	6.25 6.25	500 500	ns ns
$t_H$	ENC High Time (Note 8)	Duty Cycle Stabilizer Off Duty Cycle Stabilizer On	● ●	3.8 2.0	4 4	500 500	4.52 2.00	4.76 4.76	500 500	5.93 2.00	6.25 6.25	500 500	ns ns
$t_{AP}$	Sample-and-Hold Acquisition Delay Time				0			0			0		ns

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>デジタル・データ出力 (CMOSモード:フルデータレートとダブルデータレート)</b>							
$t_D$	ENC to Data Delay	$C_L = 5\text{pF}$ (Note 8)	●	1.1	1.7	3.1	ns
$t_C$	ENC to CLKOUT Delay	$C_L = 5\text{pF}$ (Note 8)	●	1	1.4	2.6	ns
$t_{SKEW}$	DATA to CLKOUT Skew	$t_D - t_C$ (Note 8)	●	0	0.3	0.6	ns
	Pipeline Latency	Full Data Rate Mode Double-Data Rate Mode			5.0 5.5	Cycles Cycles	

226114fc

## タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>デジタル・データ出力 (LVDSモード)</b>							
$t_D$	ENC to Data Delay	$C_L = 5\text{pF}$ (Note 8)	●	1.1	1.8	3.2	ns
$t_C$	ENC to CLKOUT Delay	$C_L = 5\text{pF}$ (Note 8)	●	1	1.5	2.7	ns
$t_{\text{SKEW}}$	DATA to CLKOUT Skew	$t_D - t_C$ (Note 8)	●	0	0.3	0.6	ns
	Pipeline Latency				5.5	Cycles	

### SPIポートのタイミング (Note 8)

$t_{\text{SCK}}$	SCK Period	Write Mode Readback Mode, $C_{\text{SDO}} = 20\text{pF}$ , $R_{\text{PULLUP}} = 2\text{k}$	● ●	40 250			ns ns
$t_S$	$\overline{\text{CS}}$ to SCK Setup Time		●	5			ns
$t_H$	SCK to $\overline{\text{CS}}$ Setup Time		●	5			ns
$t_{\text{DS}}$	SDI Setup Time		●	5			ns
$t_{\text{DH}}$	SDI Hold Time		●	5			ns
$t_{\text{DO}}$	SCK Falling to SDO Valid	Readback Mode, $C_{\text{SDO}} = 20\text{pF}$ , $R_{\text{PULLUP}} = 2\text{k}$	●			125	ns

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的の損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

**Note 2:** 全ての電圧値は(注記がない限り)GNDとOGNDを短絡した状態でGNDを基準にしている。

**Note 3:** これらのピンの電圧がGNDより下に引き下げられるか、 $V_{\text{DD}}$ より上に引き上げられると、内部のダイオードによってクランプされる。この製品は、GNDより低いか、または $V_{\text{DD}}$ より高い電圧でラッチアップを生じることなしに100mAを超える入力電流を処理することができる。

**Note 4:** これらのピンの電圧がGNDより下に引き下げられると、内部のダイオードによってクランプされる。これらのピンの電圧が $V_{\text{DD}}$ より上に引き上げられると、内部のダイオードによってクランプされない。この製品はGNDより下でラッチアップを生じることなしに100mAを超える入力電流を処理することができる。

**Note 5:** 注記がない限り、 $V_{\text{DD}} = 0V_{\text{DD}} = 1.8\text{V}$ 、 $f_{\text{SAMPLE}} = 125\text{MHz}$  (LTC2261)、 $105\text{MHz}$  (LTC2260)、または $80\text{MHz}$  (LTC2259)、内部終端がディスエーブルされたLVDS出力、差動ENC<sup>+</sup>/ENC<sup>-</sup> =  $2V_{\text{P-P}}$ の正弦波、入力範囲 = 差動ドライブで $2V_{\text{P-P}}$ 。

**Note 6:** 積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

**Note 7:** オフセット誤差は、2の補数出力モードで出力コードが00 0000 0000 0000と11 1111 1111 1111の間を行ったり来たりするとき、 $-0.5$  LSBから測定したオフセット電圧である。

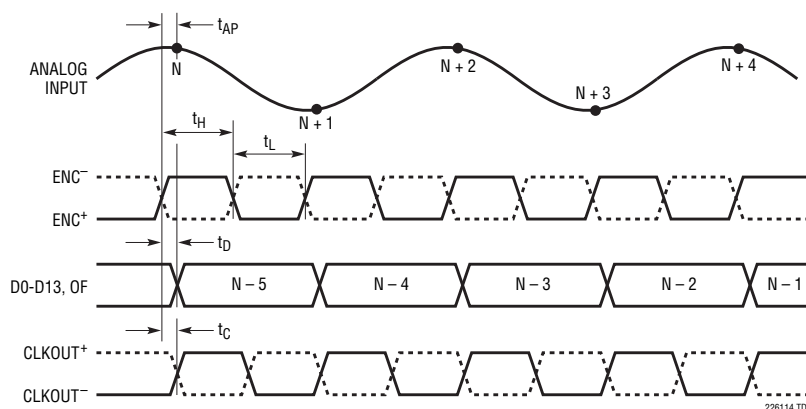
**Note 8:** 設計によって保証されているが、テストされない。

**Note 9:** 注記がない限り、 $V_{\text{DD}} = 1.8\text{V}$ 、 $f_{\text{SAMPLE}} = 125\text{MHz}$  (LTC2261)、 $105\text{MHz}$  (LTC2260)、または $80\text{MHz}$  (LTC2259)、ENC<sup>+</sup> = シングルエンド1.8Vの方形波、ENC<sup>-</sup> = 0V、入力範囲 = 差動ドライブで $2V_{\text{P-P}}$ 、各デジタル出力に5pFの負荷。

**Note 10:** 推奨動作条件。

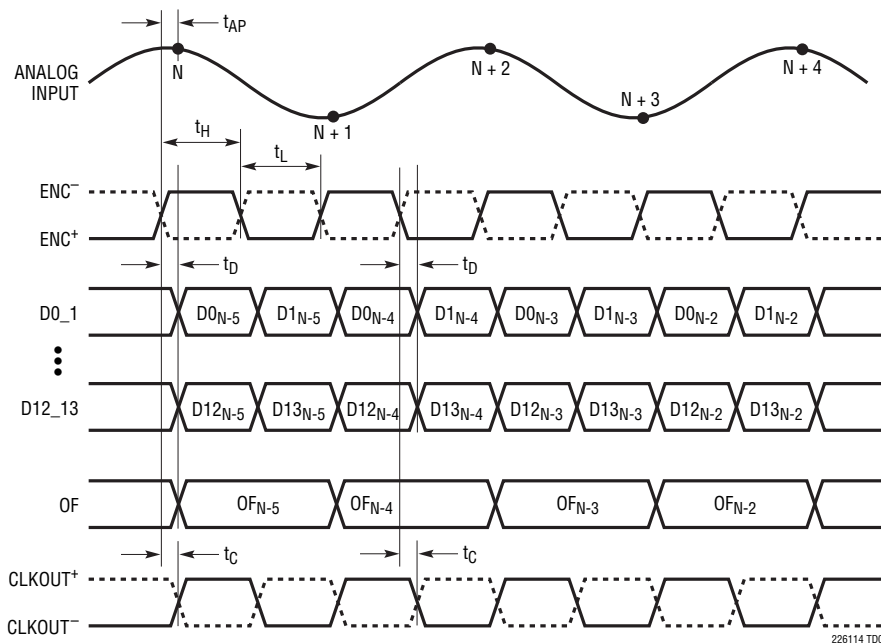
## タイミング図

フルレートCMOS出力モードのタイミング  
全ての出力はシングルエンドでCMOSレベル

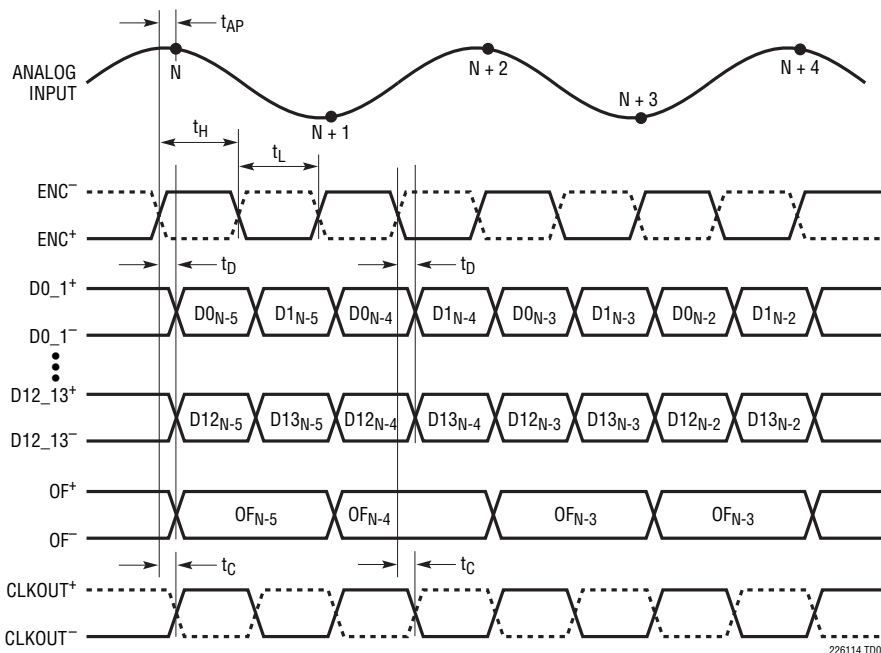


タイミング図

ダブルデータレートCMOS出力モードのタイミング  
全ての出力はシングルエンドでCMOSレベル

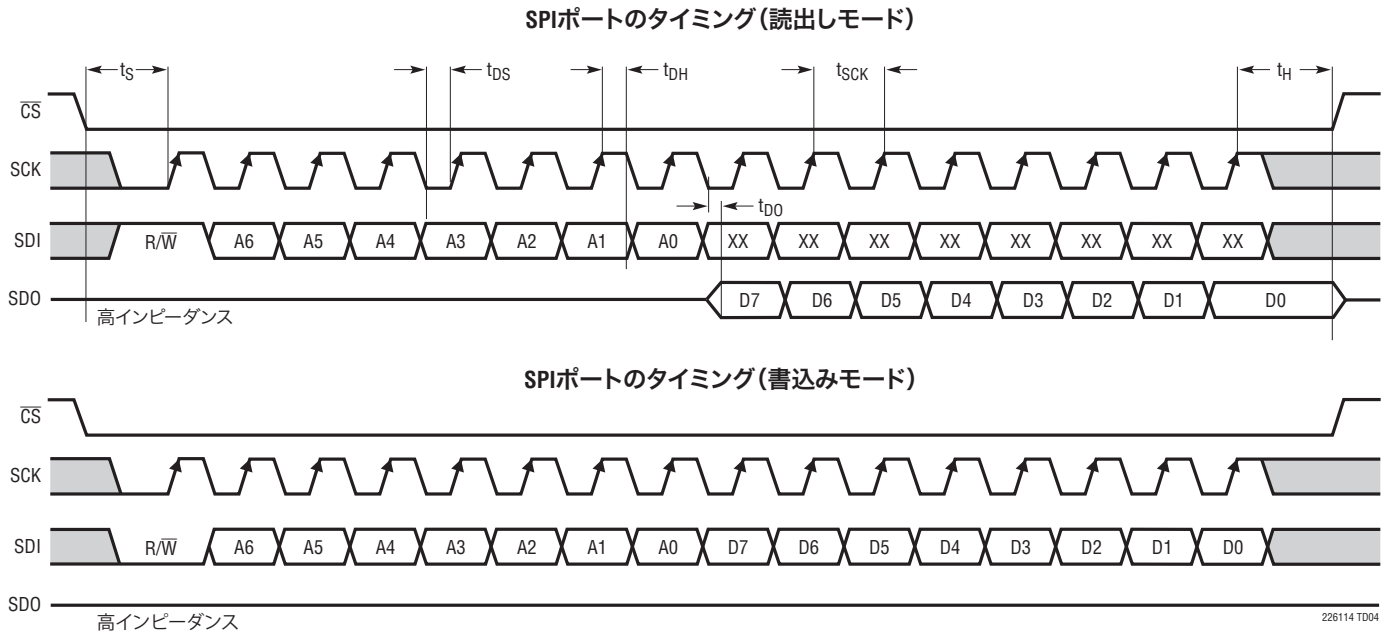


ダブルデータレートLVDS出力モードのタイミング  
全ての出力は差動でLVDSレベル

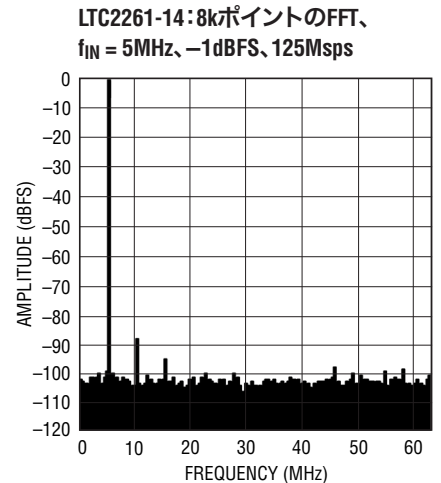
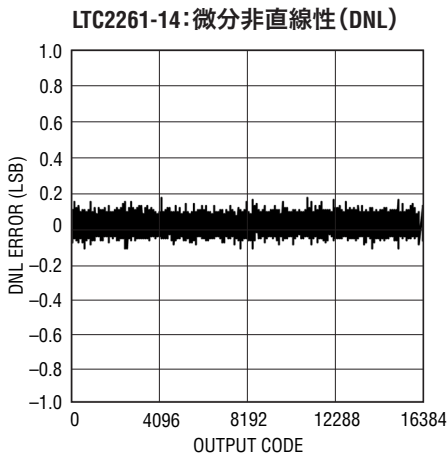
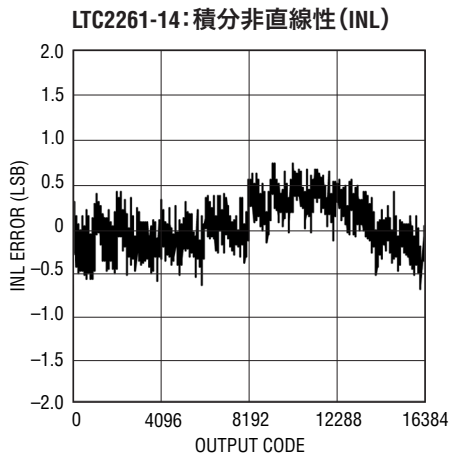




タイミング図



標準的性能特性

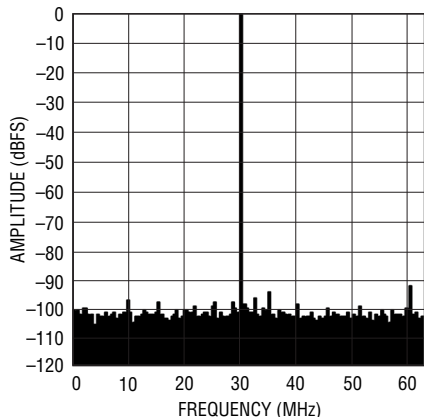


# LTC2261-14

## LTC2260-14/LTC2259-14

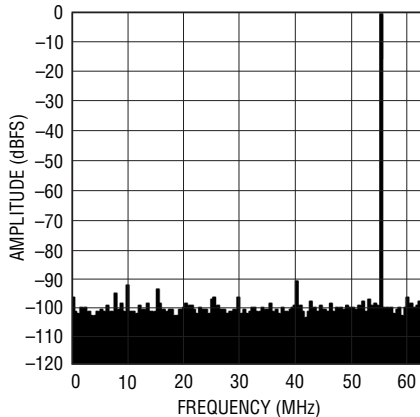
### 標準的性能特性

LTC2261-14: 8kポイントのFFT、  
 $f_{IN} = 30\text{MHz}$ 、 $-1\text{dBFS}$ 、 $125\text{Mpsps}$



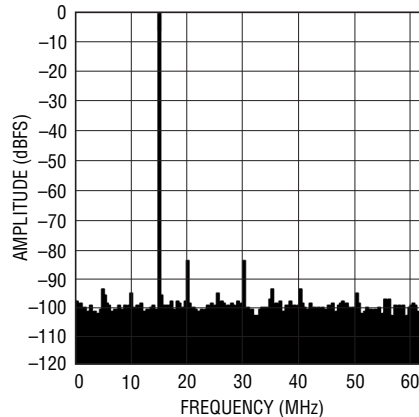
226114 G04

LTC2261-14: 8kポイントのFFT、  
 $f_{IN} = 70\text{MHz}$ 、 $-1\text{dBFS}$ 、 $125\text{Mpsps}$



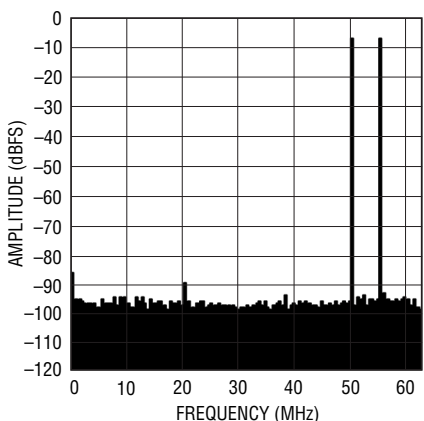
226114 G05

LTC2261-14: 8kポイントのFFT、  
 $f_{IN} = 140\text{MHz}$ 、 $-1\text{dBFS}$ 、 $125\text{Mpsps}$



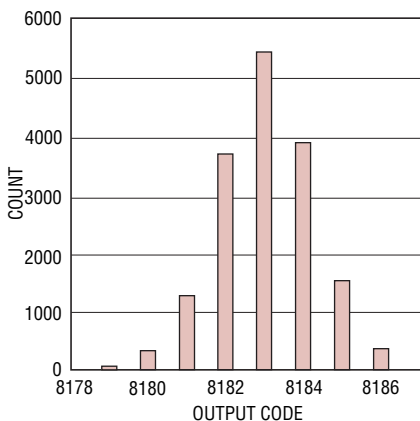
226114 G06

LTC2261-14: 8kポイントの  
2トーンFFT、 $f_{IN} = 70\text{MHz}$ 、 $75\text{MHz}$ 、  
 $-1\text{dBFS}$ 、 $125\text{Mpsps}$



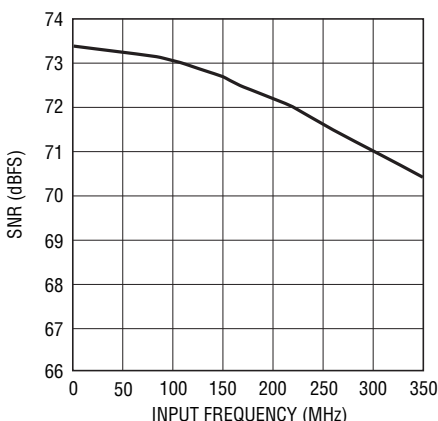
226114 G07

LTC2261-14: 短絡した入力の  
ヒストグラム



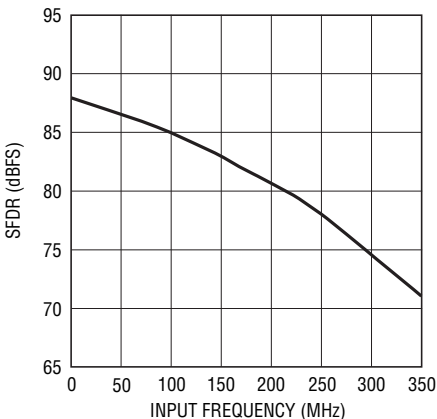
226114 G08

LTC2261-14: SNRと入力周波数、  
 $-1\text{dB}$ 、 $2\text{V}$ 範囲、 $125\text{Mpsps}$



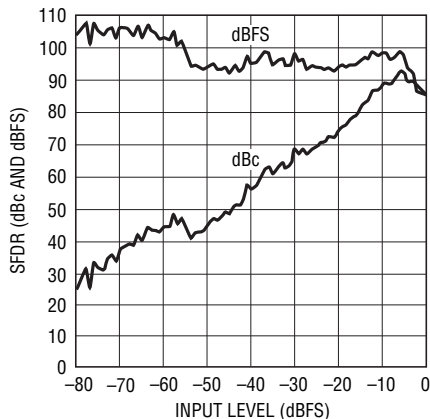
226114 G09

LTC2261-14: SFDRと入力周波数、  
 $-1\text{dB}$ 、 $2\text{V}$ 範囲、 $125\text{Mpsps}$



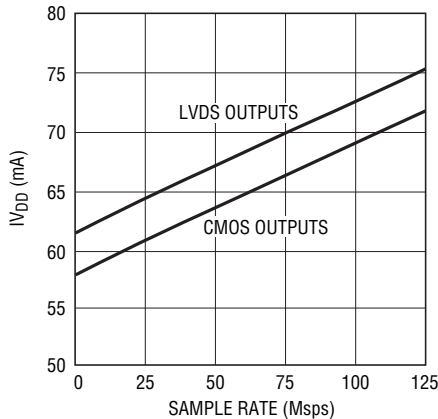
226114 G10

LTC2261-14: SFDRと入力レベル、  
 $f_{IN} = 70\text{MHz}$ 、 $2\text{V}$ 範囲、 $125\text{Mpsps}$



226114 G12

LTC2261-14:  $I_{VDD}$ とサンプル・レート、  
 $5\text{MHz}$ の正弦波入力、 $-1\text{dB}$

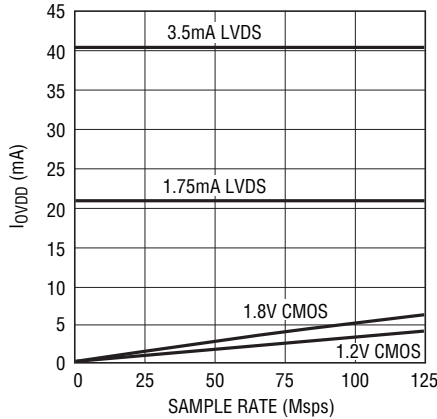


226114 G13

226114fc

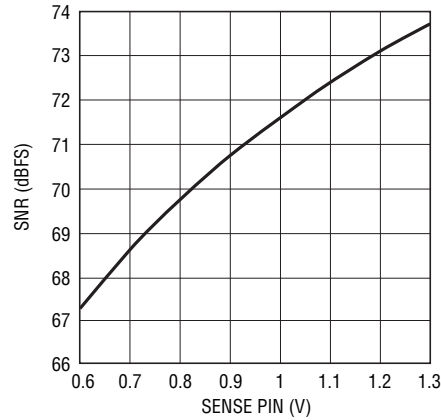
## 標準的性能特性

LTC2261-14:  $I_{OVDD}$ とサンプル・レート、5MHzの正弦波入力、-1dB、各データ出力に5pF



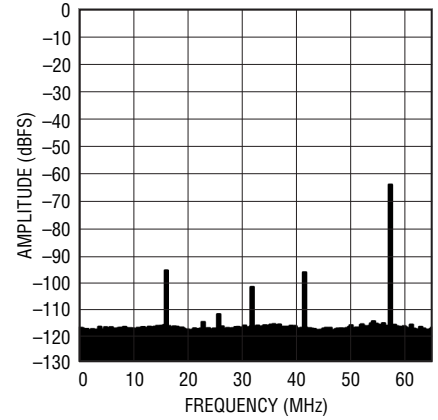
226114 G14

LTC2261-14: SNRとSENSE、 $f_{IN} = 5\text{MHz}$ 、-1dB



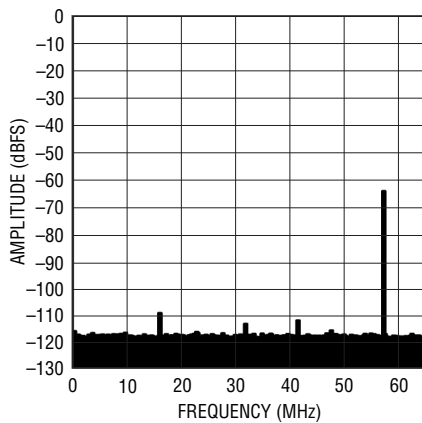
226114 G15

LTC2261-14: 128kポイントの平均FFT、 $f_{IN} = 70\text{MHz}$ 、-65dBFS、125Msps、RANDをオフ、ABPをオフ



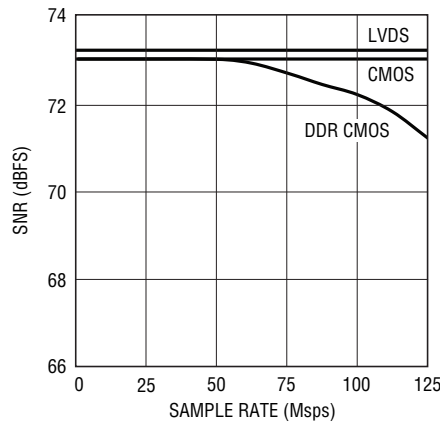
226114 G16

LTC2261-14: 128kポイントの平均FFT、 $f_{IN} = 70\text{MHz}$ 、-65dBFS、125Msps、RANDをオン、ABPをオン



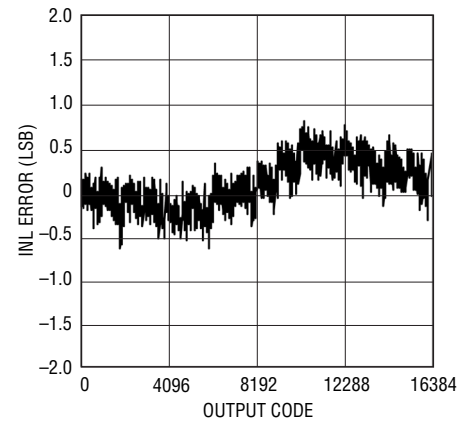
226114 G17

LTC2261-14: SNRとサンプル・レート、デジタル出力モード、30MHzの正弦波入力、-1dB



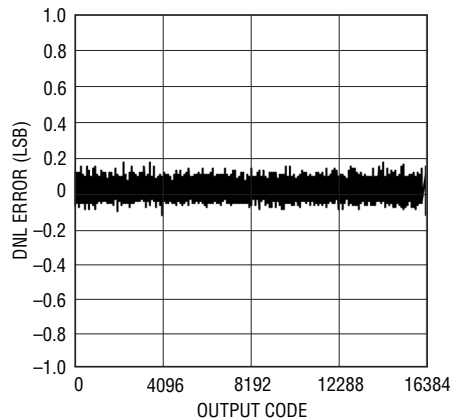
226114 G18

LTC2260-14: 積分非直線性 (INL)



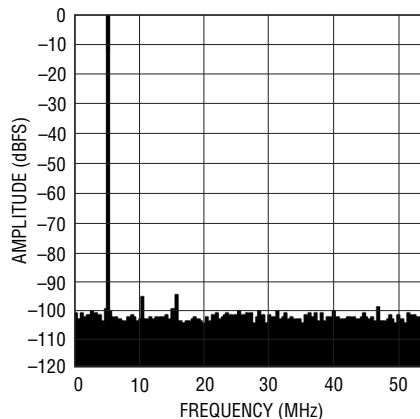
226114 G21

LTC2260-14: 微分非直線性 (DNL)



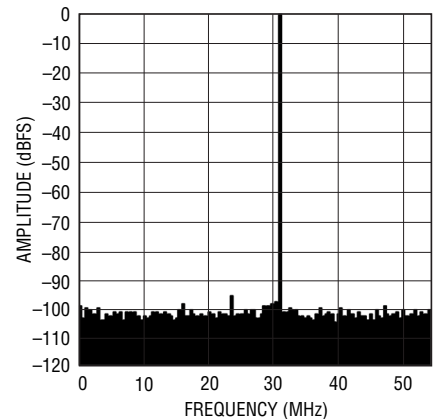
226114 G22

LTC2260-14: 8kポイントのFFT、 $f_{IN} = 5\text{MHz}$ 、-1dBFS、105Msps



226114 G23

LTC2260-14: 8kポイントのFFT、 $f_{IN} = 30\text{MHz}$ 、-1dBFS、105Msps



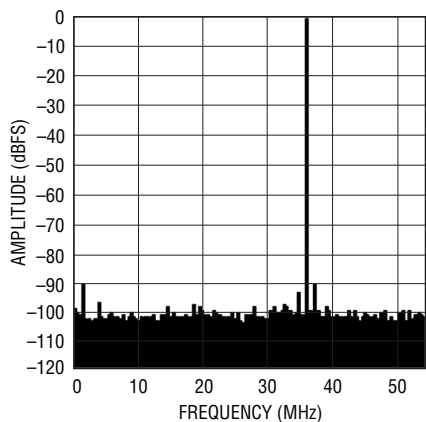
226114 G24

# LTC2261-14

## LTC2260-14/LTC2259-14

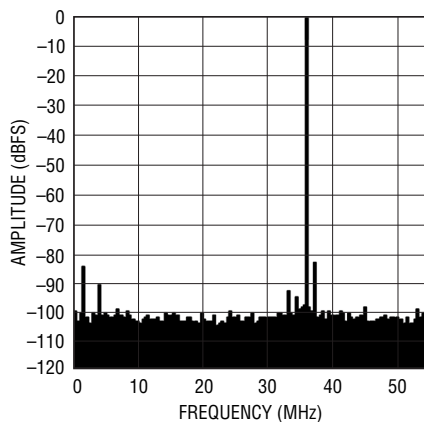
### 標準的性能特性

LTC2260-14: 8kポイントのFFT、  
 $f_{IN} = 70\text{MHz}$ 、 $-1\text{dBFS}$ 、 $105\text{Mpsps}$



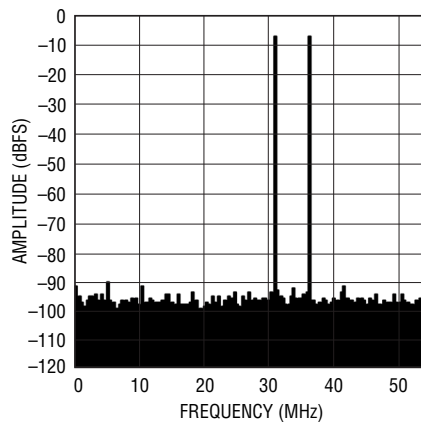
226114 G25

LTC2260-14: 8kポイントのFFT、  
 $f_{IN} = 140\text{MHz}$ 、 $-1\text{dBFS}$ 、 $105\text{Mpsps}$



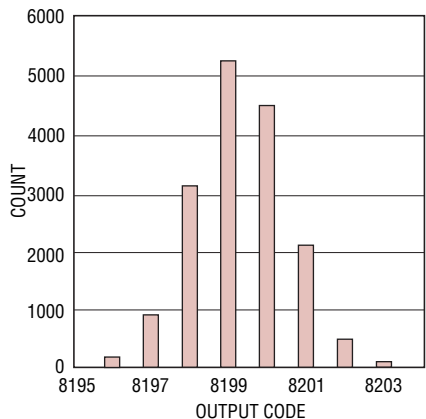
226114 G26

LTC2260-14: 8kポイントの  
2トーンFFT、 $f_{IN} = 70\text{MHz}$ 、 $75\text{MHz}$ 、  
 $-1\text{dBFS}$ 、 $105\text{Mpsps}$



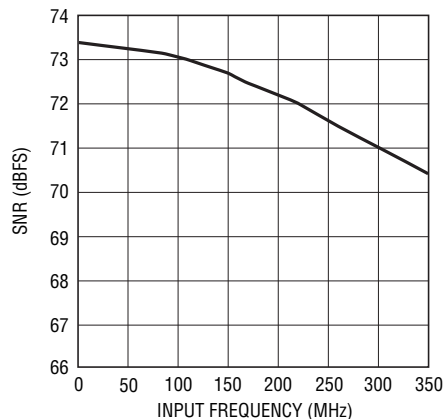
226114 G27

LTC2260-14: 短絡した入力の  
ヒストグラム



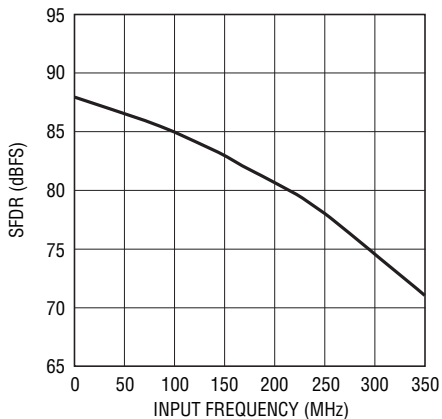
226114 G28

LTC2260-14: SNRと入力周波数、  
 $-1\text{dB}$ 、 $2\text{V}$ 範囲、 $105\text{Mpsps}$



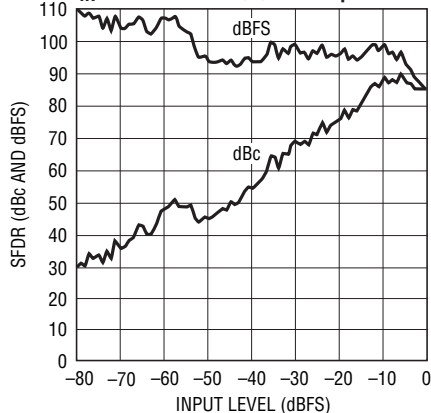
226114 G29

LTC2260-14: SFDRと入力周波数、  
 $-1\text{dB}$ 、 $2\text{V}$ 範囲、 $105\text{Mpsps}$



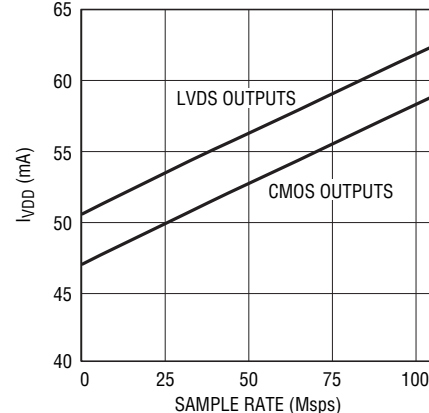
226114 G30

LTC2260-14: SFDRと入力レベル、  
 $f_{IN} = 70\text{MHz}$ 、 $2\text{V}$ 範囲、 $105\text{Mpsps}$



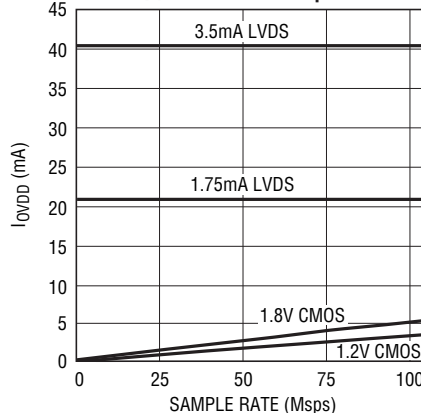
226114 G32

LTC2260-14:  $I_{VDD}$ とサンプル・レート、  
 $5\text{MHz}$ の正弦波入力、 $-1\text{dB}$



226114 G33

LTC2260-14:  $I_{VDD}$ とサンプル・  
レート、 $5\text{MHz}$ の正弦波入力、  
 $-1\text{dB}$ 、各データ出力に $5\text{pF}$

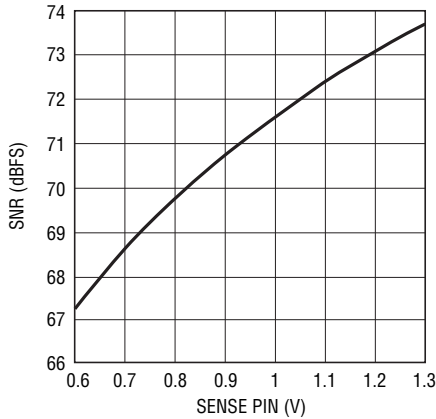


226114 G34

226114fc

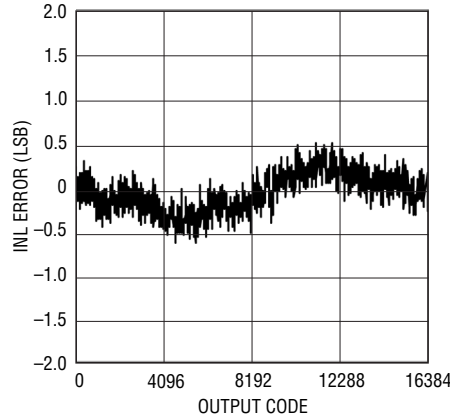
標準的性能特性

LTC2260-14: SNRとSENSE、  
 $f_{IN} = 5\text{MHz}$ 、 $-1\text{dB}$



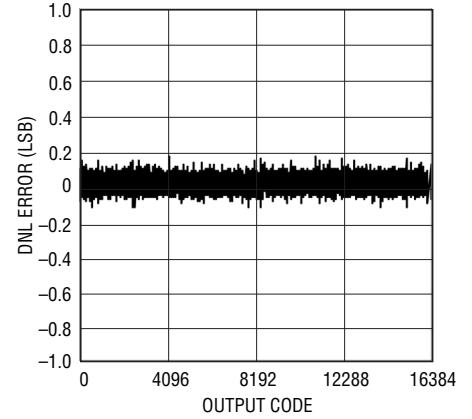
226114 G35

LTC2259-14: 積分非直線性 (INL)



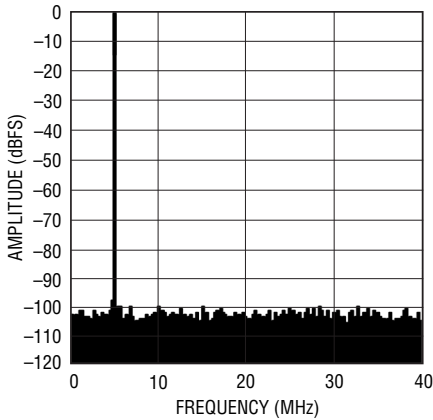
226114 G41

LTC2259-14: 微分非直線性 (DNL)



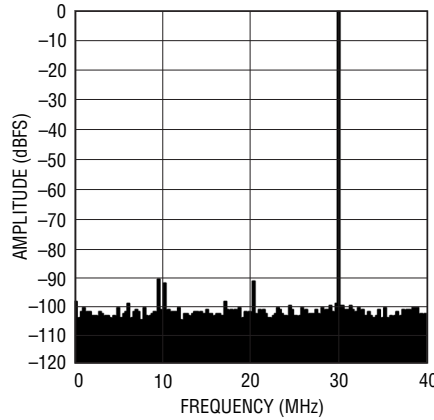
226114 G42

LTC2259-14: 8kポイントのFFT、  
 $f_{IN} = 5\text{MHz}$ 、 $-1\text{dBFS}$ 、 $80\text{Mps}$



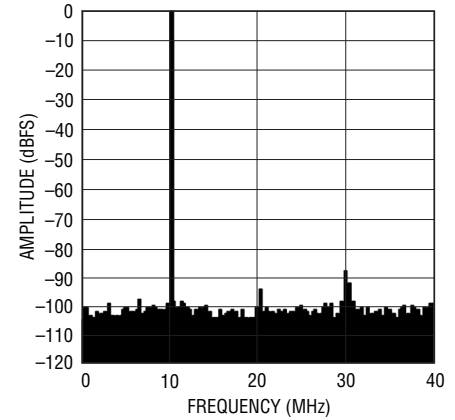
226114 G43

LTC2259-14: 8kポイントのFFT、  
 $f_{IN} = 30\text{MHz}$ 、 $-1\text{dBFS}$ 、 $80\text{Mps}$



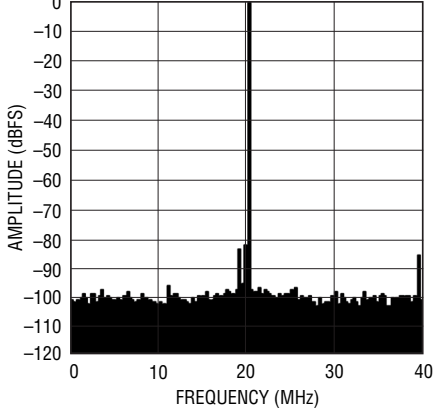
226114 G44

LTC2259-14: 8kポイントのFFT、  
 $f_{IN} = 70\text{MHz}$ 、 $-1\text{dBFS}$ 、 $80\text{Mps}$



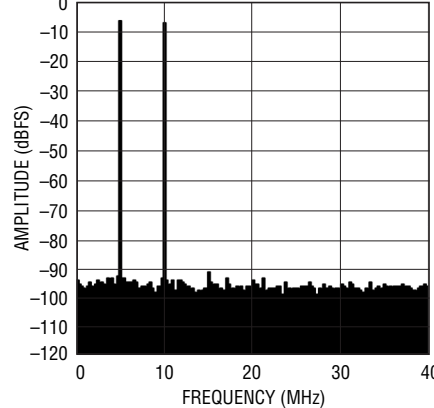
226114 G45

LTC2259-14: 8kポイントのFFT、  
 $f_{IN} = 140\text{MHz}$ 、 $-1\text{dBFS}$ 、 $80\text{Mps}$



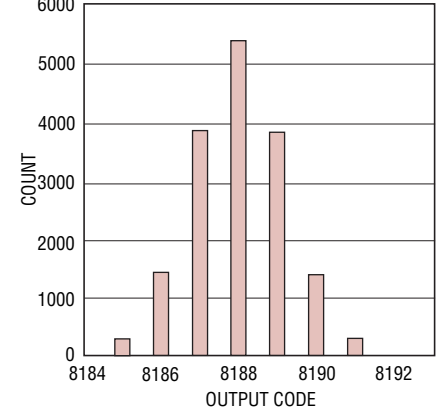
226114 G46

LTC2259-14: 8kポイントの  
2トーンFFT、 $f_{IN} = 70\text{MHz}$ 、 $75\text{MHz}$ 、  
 $-1\text{dBFS}$ 、 $80\text{Mps}$



226114 G47

LTC2259-14: 短絡した入力の  
ヒストグラム



226114 G48

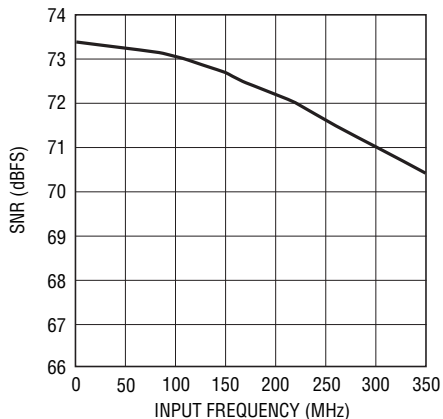
226114fc

# LTC2261-14

## LTC2260-14/LTC2259-14

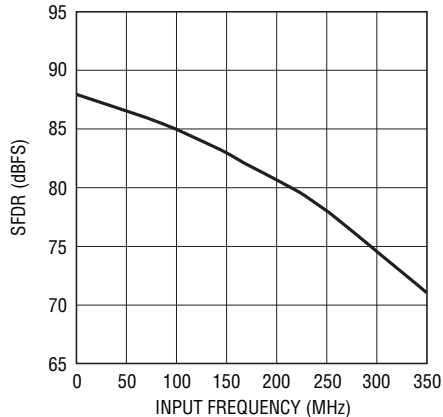
### 標準的性能特性

LTC2259-14: SNRと入力周波数、  
-1dB、2V範囲、80Msps



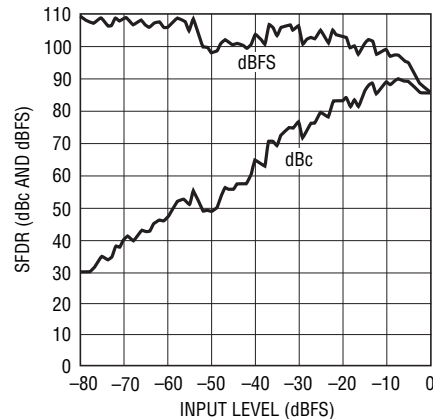
226114 G49

LTC2259-14: SFDRと入力周波数、  
-1dB、2V範囲、80Msps



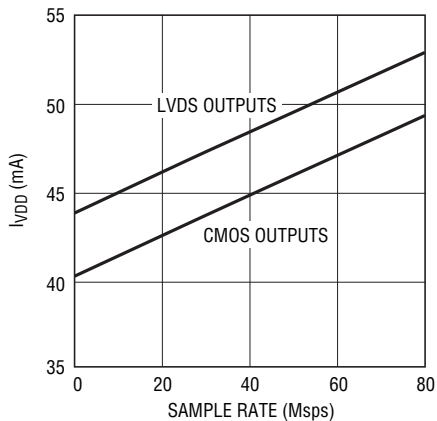
226114 G50

LTC2259-14: SFDRと入力レベル、  
 $f_{IN} = 70\text{MHz}$ 、2V範囲、80Msps



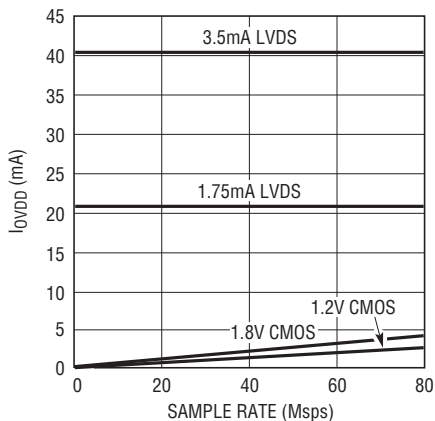
226114 G52

LTC2259-14:  $I_{VDD}$ とサンプル・レート、  
5MHzの正弦波入力、-1dB



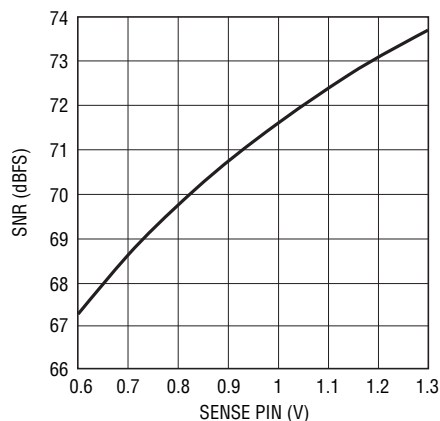
226114 G53

LTC2259-14:  $I_{OVD0}$ とサンプル・レート、  
5MHzの正弦波入力、-1dB、  
各データ出力に5pF



226114 G54

LTC2259-14: SNRとSENSE、  
 $f_{IN} = 5\text{MHz}$ 、-1dB



226114 G55

226114fc

## ピン機能

### 全てのデジタル出力モードで同じピン

**A<sub>IN</sub><sup>+</sup> (ピン1)**: 正の差動アナログ入力。

**A<sub>IN</sub><sup>-</sup> (ピン2)**: 負の差動アナログ入力。

**GND (ピン3)**: ADCの電源グランド。

**REFH (ピン4, 5)**: ADCの高リファレンス。2.2μFのセラミック・コンデンサを使ってピン6とピン7にバイパスし、0.1μFのセラミック・コンデンサを使ってグランドにバイパスします。

**REFL (ピン6, 7)**: ADCの低リファレンス。2.2μFのセラミック・コンデンサを使ってピン4とピン5にバイパスし、0.1μFのセラミック・コンデンサを使ってグランドにバイパスします。

**PAR/SER (ピン8)**: プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグランドに接続します。 $\overline{CS}$ 、SCK、SDI、SDOはA/Dの動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブルするにはV<sub>DD</sub>に接続します。この場合、 $\overline{CS}$ 、SCK、SDIは、種類が減少した一組のA/D動作モードを制御するパラレル・ロジック入力になります。PAR/SERはグランドまたはデバイスのV<sub>DD</sub>に直接接続し、ロジック信号ではドライブしません。

**V<sub>DD</sub> (ピン9, 10, 40)**: 1.8Vアナログ電源。0.1μFのセラミック・コンデンサを使ってグランドにバイパスします。ピン9とピン10はバイパス・コンデンサを共有することができます。

**ENC<sup>+</sup> (ピン11)**: エンコード入力。立上りエッジで変換が開始されます。

**ENC<sup>-</sup> (ピン12)**: エンコード相補入力。立下りエッジで変換が開始されます。

**$\overline{CS}$  (ピン13)**: シリアル・プログラミング・モードでは(PAR/SER = 0V)、 $\overline{CS}$ はシリアル・インタフェース・チップ選択入力です。 $\overline{CS}$ が“L”のとき、SCKがイネーブルされ、SDIのデータをモード制御レジスタにシフトします。パラレル・プログラミング・モードでは(PAR/SER = V<sub>DD</sub>)、 $\overline{CS}$ はクロック・デューティ・サイクル・スタビライザを制御します。 $\overline{CS}$ が“L”のとき、クロック・デューティ・サイクル・スタビライザはオフになります。 $\overline{CS}$ が“H”のとき、クロック・デューティ・サイクル・スタビライザはオンになります。 $\overline{CS}$ は1.8V～3.3Vのロジックでドライブすることができます。

**SCK (ピン14)**: シリアル・プログラミング・モードでは(PAR/SER = 0V)、SCKはシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モードでは(PAR/SER = V<sub>DD</sub>)、SCKはデジタル出力モードを制御します。SCKが“L”のときは、フルレートCMOS出力モードがイネーブルされます。SCKが“H”のときは、(出力電流が3.5mAの)ダブルデータレートLVDS出力モードがイネーブルされます。SCKは1.8V～3.3Vのロジックでドライブすることができます。

**SDI (ピン15)**: シリアル・プログラミング・モードでは(PAR/SER = 0V)、SDIはシリアル・インタフェースのデータ入力です。SDIのデータはSCKの立上りエッジでクロッキングされてモード制御レジスタに入力されます。パラレル・プログラミング・モードでは(PAR/SER = V<sub>DD</sub>)、SDIを使ってデバイスをパワーダウンすることができます。SDIが“L”のとき、デバイスは通常動作します。SDIが“H”のとき、デバイスはスリープ・モードに入ります。SDIは1.8V～3.3Vのロジックでドライブすることができます。

**SDO (ピン16)**: シリアル・プログラミング・モードでは(PAR/SER = 0V)、SDOはオプションのシリアル・インタフェースのデータ出力です。SDOのデータはモード制御レジスタから読み出してSCKの立下りエッジでラッチすることができます。SDOはオープン・ドレインのNMOS出力で、1.8V～3.3Vへの外部2kプルアップ抵抗が必要です。モード制御レジスタから読み出す必要がなければ、プルアップ抵抗は不要でSDOを未接続のままにしておくことができます。パラレル・プログラミング・モードでは(PAR/SER = V<sub>DD</sub>)、SDOは使われないので接続しません。

**OGND (ピン25)**: 出力ドライバのグランド。

**OV<sub>DD</sub> (ピン26)**: 出力ドライバの電源。0.1μFのセラミック・コンデンサを使ってグランドにバイパスします。

**V<sub>CM</sub> (ピン37)**: 公称V<sub>DD</sub>/2に等しい同相バイアス出力。V<sub>CM</sub>はアナログ入力の同相レベルをバイアスするのに使います。0.1μFのセラミック・コンデンサを使ってグランドにバイパスします。

**V<sub>REF</sub> (ピン38)**: リファレンス電圧出力。1μFのセラミック・コンデンサを使ってグランドにバイパスします。公称1.25V。

**SENSE (ピン39)**: リファレンス・プログラミング・ピン。SENSEをV<sub>DD</sub>に接続すると、内部リファレンスと±1Vの入力範囲が選択されます。SENSEをグランドに接続すると、内部リファレンスと±0.5Vの入力範囲が選択されます。0.625V～1.3Vの外部リファレンスをSENSEに与えると、±0.8・V<sub>SENSE</sub>の入力範囲が選択されます。

## ピン機能

### フルレートCMOS出力モード

下の全てのピンはCMOS出力レベル(0GNDから0V<sub>DD</sub>)を備えています。

**D0~D13 (ピン17~24、29~34)** : デジタル出力。D13がMSBです。

**CLKOUT<sup>-</sup> (ピン27)** : CLKOUT<sup>+</sup>の反転バージョン。

**CLKOUT<sup>+</sup> (ピン28)** : データ出力クロック。デジタル出力は通常CLKOUT<sup>+</sup>の立下りエッジと同時に遷移します。CLKOUT<sup>+</sup>の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

**DNC (ピン35)** : このピンは接続しないでください。

**OF (ピン36)** : オーバーフロー/アンダーフロー・デジタル出力。OFはオーバーフローやアンダーフローが生じると“H”になります。

### ダブルデータレートCMOS出力モード

下の全てのピンはCMOS出力レベル(0GNDから0V<sub>DD</sub>)を備えています。

**D0\_1~D12\_13 (ピン18、20、22、24、30、32、34)** : ダブルデータレート・デジタル出力。2データ・ビットが各出力ピンに多重化されます。CLKOUT<sup>+</sup>が“L”のとき、偶数データ・ビット(D0、D2、D4、D6、D8、D10、D12)が現れます。CLKOUT<sup>+</sup>が“H”のとき、奇数データ・ビット(D1、D3、D5、D7、D9、D11、D13)が現れます。

**CLKOUT<sup>-</sup> (ピン27)** : CLKOUT<sup>+</sup>の反転バージョン。

**CLKOUT<sup>+</sup> (ピン28)** : データ出力クロック。デジタル出力は通常CLKOUT<sup>+</sup>の立下りエッジおよび立上りエッジと同時に遷移します。CLKOUT<sup>+</sup>の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

**DNC (ピン17、19、21、23、29、31、33、35)** : これらのピンは接続しないでください。

**OF (ピン36)** : オーバーフロー/アンダーフロー・デジタル出力。OFはオーバーフローやアンダーフローが生じると“H”になります。

### ダブルデータレートLVDS出力モード

下の全てのピンはLVDS出力レベルを備えています。出力電流レベルはプログラム可能です。各LVDS出力対(ペア)の間にはオプションの内部100Ω終端抵抗があります。

**D0\_1<sup>-</sup>/D0\_1<sup>+</sup>~D12\_13<sup>-</sup>/D12\_13<sup>+</sup> (ピン17/18、19/20、21/22、23/24、29/30、31/32、33/34)** : ダブルデータレート・デジタル出力。2データ・ビットが各差動出力対に多重化されます。CLKOUT<sup>+</sup>が“L”のとき、偶数データ・ビット(D0、D2、D4、D6、D8、D10、D12)が現れます。CLKOUT<sup>+</sup>が“H”のとき、奇数データ・ビット(D1、D3、D5、D7、D9、D11、D13)が現れます。

**CLKOUT<sup>-</sup>/CLKOUT<sup>+</sup> (ピン27/28)** : データ出力クロック。デジタル出力は通常CLKOUT<sup>+</sup>の立下りエッジおよび立上りエッジと同時に遷移します。CLKOUT<sup>+</sup>の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

**OF<sup>-</sup>/OF<sup>+</sup> (ピン35/36)** : オーバーフロー/アンダーフロー・デジタル出力。OF<sup>+</sup>はオーバーフローやアンダーフローが生じると“H”になります。



機能ブロック図

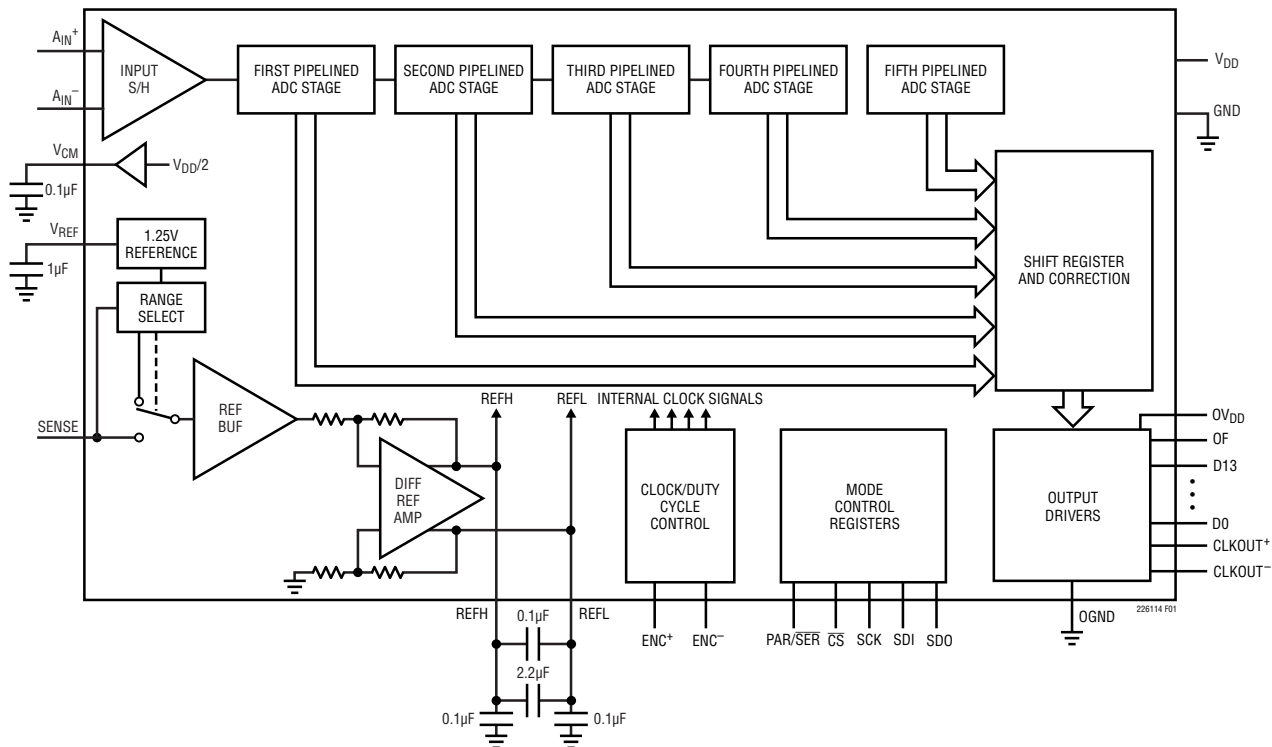


図1. 機能ブロック図

# LTC2261-14

## LTC2260-14/LTC2259-14

### アプリケーション情報

#### コンバータの動作

LTC2261-14/LTC2260-14/LTC2259-14は単一1.8V電源で作成する低消費電力14ビット125Msps/105Msps/80Msps A/Dコンバータです。アナログ入力は差動でドライブします。エンコード入力は差動で、または消費電力を下げるためシングルエンドでドライブすることができます。デジタル出力は、CMOS、(多数の出力ラインを使うため)ダブルデータレートCMOS、または(システム内のデジタル・ノイズを減らすため)ダブルデータレートLVDSにすることができます。シリアルSPIポートを通してモード制御レジスタをプログラムすることにより、多くの追加機能を選択することができます。「シリアル・プログラミング・モード」のセクションを参照してください。

#### アナログ入力

アナログ入力は差動CMOSサンプル・ホールド回路です(図2)。入力は(通常 $V_{DD}/2$ である) $V_{CM}$ 出力ピンによって設定される同相電圧の周りで差動でドライブします。2Vの入力

範囲では、入力は $V_{CM}-0.5V$ から $V_{CM}+0.5V$ まで振幅させます。入力間には $180^\circ$ の位相差を持たせません。

#### 入力ドライブ回路

##### 入力フィルタ

できれば、アナログ入力にRCローパス・フィルタを置きます。このローパス・フィルタはドライブ回路をA/Dのサンプル・ホールドのスイッチングから分離し、ドライブ回路の広帯域ノイズも制限します。入力RCフィルタの一例を図3に示します。RC部品の値はアプリケーションの入力周波数に基づいて選択します。

##### トランス結合回路

2次側にセンタータップを備えたRF変圧器によってドライブされるアナログ入力を図3に示します。センタータップは $V_{CM}$ でバイアスされており、A/Dの入力を最適DCレベルに設定しま

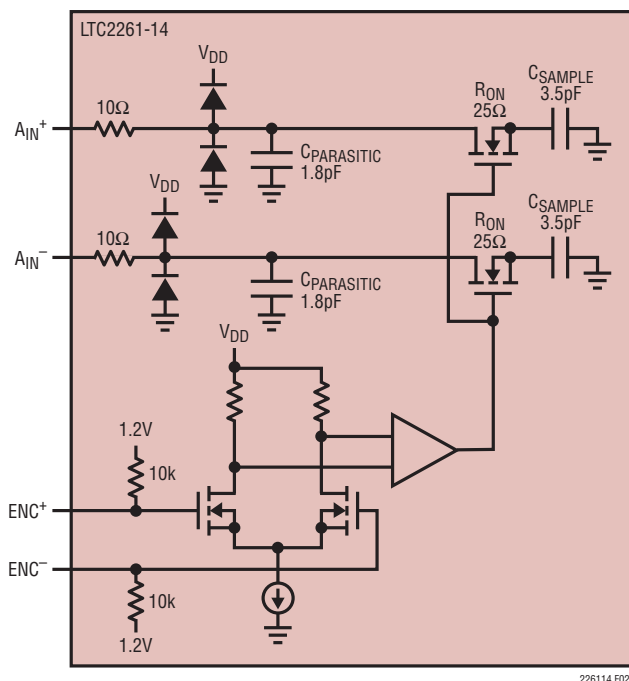


図2. 等価入力回路

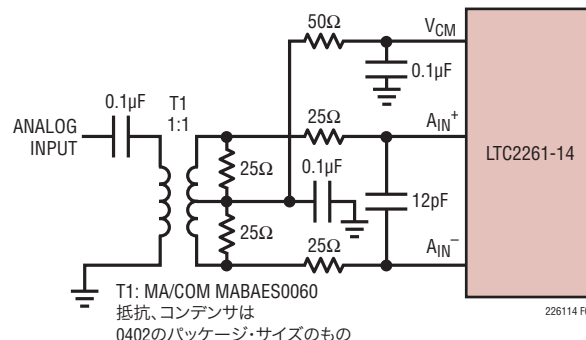


図3. トランスを使ったアナログ入力回路  
5MHz~70MHzの入力周波数に対して推奨

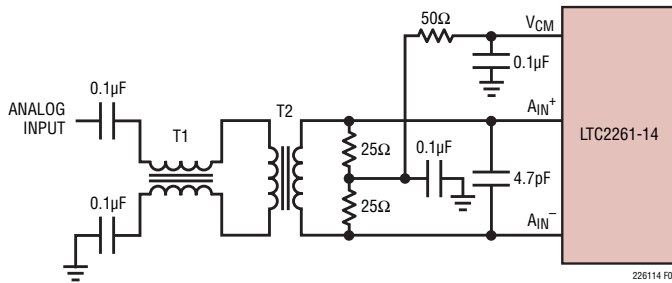
### アプリケーション情報

す。高い入力周波数では、伝送ラインのバラン・トランス (図4～図6) はもっと良くバランスがとれているので、A/Dの歪みが低くなります。

### アンプ回路

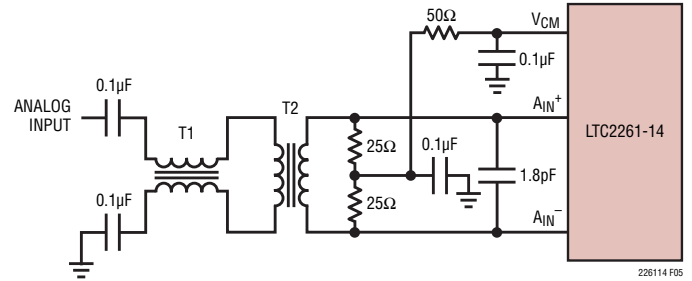
高速差動アンプによってドライブされるアナログ入力を図7に示します。アンプの出力はA/DにAC結合されているので、アンプの出力の同相電圧を最適に設定して歪みを最小に抑える

ことができます。非常に高い周波数では、RF利得ブロックの歪みの方が多くの場合差動アンプのそれより小さくなります。利得ブロックがシングルエンドであれば、A/Dをドライブする前にトランス回路 (図4～図6) で信号を差動に変換します。



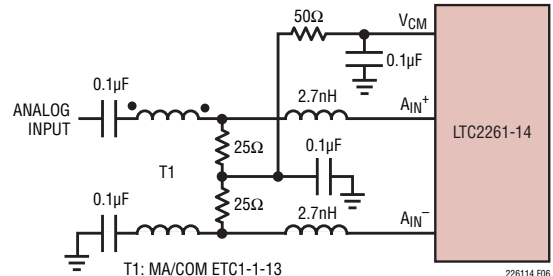
T1: MA/COM MABA-007159-000000  
T2: MA/COM MABAES0060  
RESISTORS, CAPACITORS ARE 0402 PACKAGE SIZE

図4. 70MHz～170MHzの入力周波数用の推奨フロントエンド回路



T1: MA/COM MABA-007159-000000  
T2: COILCRAFT WBC1-1LB  
RESISTORS, CAPACITORS ARE 0402 PACKAGE SIZE

図5. 170MHz～270MHzの入力周波数用の推奨フロントエンド回路



T1: MA/COM ETC1-1-13  
RESISTORS, CAPACITORS ARE 0402 PACKAGE SIZE

図6. 270MHzを超える入力周波数用の推奨フロントエンド回路

# LTC2261-14

## LTC2260-14/LTC2259-14

### アプリケーション情報

#### リファレンス

LTC2261-14/2260-14/2259-14は1.25V電圧リファレンスを内蔵しています。内部リファレンスを使った2Vの入力範囲の場合、SENSEをV<sub>DD</sub>に接続します。内部リファレンスを使った1Vの入力範囲の場合、SENSEをグランドに接続します。外部リファレンスを使った2Vの入力範囲の場合、1.25Vのリファレンス電圧をSENSEに与えます(図9)。

入力範囲は0.625V~1.30Vの電圧をSENSEに与えて調節することができます。入力範囲は $1.6 \cdot V_{SENSE}$ になります。

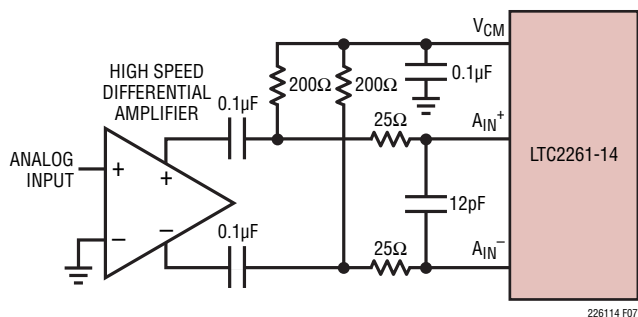


図7. 高速差動アンプを使ったフロントエンド回路

V<sub>REF</sub>、REFHおよびREFLの各ピンは図8に示されているようにバイパスします。REFHとREFLの間の0.1μFコンデンサは(回路基板の裏側ではなく)できるだけピンに近づけます。

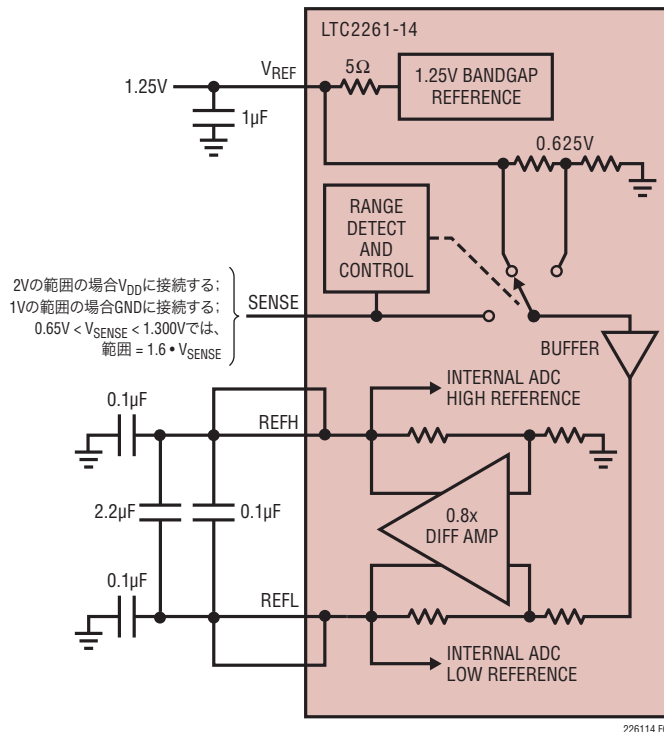


図8 リファレンス回路

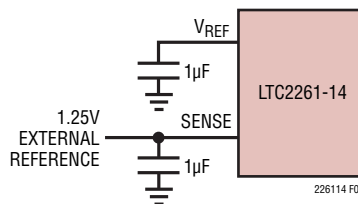


図9. 外部1.25Vリファレンスの使い方

## アプリケーション情報

### エンコード入力

エンコード入力の信号品質はA/Dのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。回路基板上でそれらを決してデジタル・トレースの隣に配線しないでください。エンコード入力には2つの動作モードがあります。差動エンコード・モード(図10)とシングルエンド・エンコード・モード(図11)です。

差動エンコード・モードは正弦波、PECLまたはLVDSのエンコード入りに推奨します(図12、図13)。エンコード入力は内部で10kの等価抵抗を介して1.2Vにバイアスされています。エンコード入力は $V_{DD}$ より上にすることができ(最大3.6V)、同相範囲は1.1V~1.6Vです。差動エンコード・モードでは、 $ENC^-$ はグランドより少なくとも200mV上に保って、シングルエンド・エンコード・モードを誤ってトリガするのを避けます。良いジッタ性能を得るため、 $ENC^+$ と $ENC^-$ の立上り時間と立下り時間を速くします。

シングルエンド・エンコード・モードはCMOSエンコード入力に使用します。このモードを選択するには、 $ENC^-$ をグランドに接続し、 $ENC^+$ を方形波のエンコード入力でドライブします。 $ENC^+$ は $V_{DD}$ より上にすることができ(最大3.6V)、1.8V~3.3VのCMOSロジック・レベルを使うことができます。 $ENC^+$ のスレッショルドは0.9Vです。良いジッタ性能を得るため、 $ENC^+$ の立上り時間と立下り時間を速くします。

### クロック・デューティ・サイクル・スタビライザ

良い性能を実現するには、エンコード信号のデューティ・サイクルを50%( $\pm 5\%$ )にします。オプションのクロック・デューティ・サイクル・スタビライザがイネーブルされていると、エンコードのデューティ・サイクルは30%~70%で変化することができ、デューティ・サイクル・スタビライザは一定の50%内部デューティ・サイクルを維持します。エンコード信号が周波数を変えるか、またはオフすると、デューティ・サイクル・スタビライザ回路は入力クロックにロックするのに100クロック・サイクルを必要とします。デューティ・サイクル・スタビライザはモード制御レジスタA2(シリアル・プログラミング・モード)によって、または $CS$ (パラレル・プログラム・モード)によってイネーブルされます。

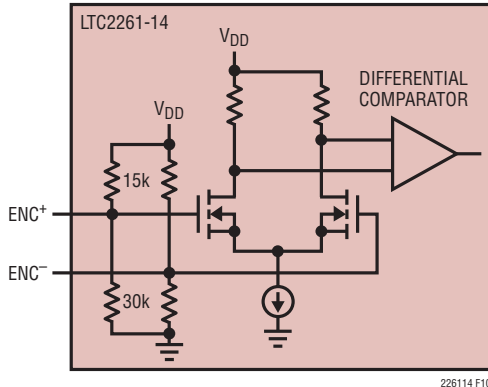


図10. 差動エンコード・モードの等価エンコード入力回路

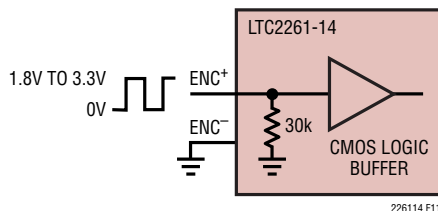


図11. シングルエンド・エンコード・モードの等価エンコード入力回路

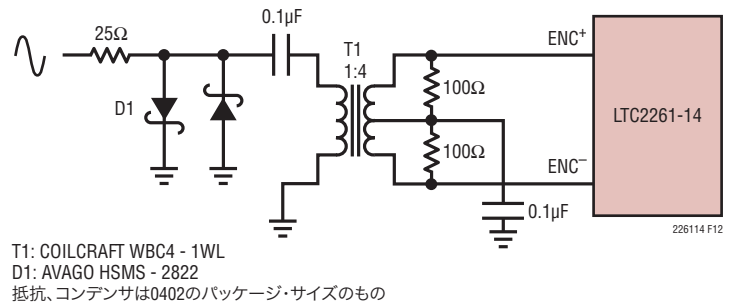


図12. 正弦波エンコード・ドライブ

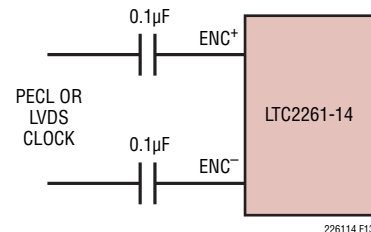


図13. PECLまたはLVDSのエンコード・ドライブ

### アプリケーション情報

サンプル・レートを即座に変更する必要のあるアプリケーションでは、クロック・デューティ・サイクル・スタビライザをディスエーブルすることができます。デューティ・サイクル・スタビライザをディスエーブルする場合、サンプリング・クロックのデューティ・サイクルが50% (±5%) になるように注意してください。デューティ・サイクル・スタビライザは5Mspsより下では使わないでください。

### デジタル出力

#### デジタル出力モード

LTC2261-14/LTC2260-14/LTC2259-14は3種類のデジタル出力モードで動作可能です。これらの出力モードは、フルレートCMOS、(多数の出力ラインを使うための)ダブルデータレートCMOS、または(システム内のデジタル・ノイズを減らすための)ダブルデータレートLVDSです。出力モードはモード制御レジスタA3(シリアル・プログラミング・モード)によって、またはSCK(パラレル・プログラミング・モード)によって設定されます。ダブルデータレートCMOSはパラレル・プログラミング・モードでは選択できないことに注意してください。

#### フルレートCMOSモード

フルレートCMOSモードでは、14のデジタル出力(D0~D13)、オーバーフロー(OF)、およびデータ出力クロック(CLKOUT<sup>+</sup>、CLKOUT<sup>-</sup>)がCMOS出力レベルになります。出力はOV<sub>DD</sub>とOGNDから電力を供給され、A/Dコア電源とグランドからは分離されています。OV<sub>DD</sub>は1.1V~1.9Vの範囲をとることができるので、1.2V~1.8VのCMOSロジック出力が可能です。

良い性能を得るため、デジタル出力は最小限の容量性負荷をドライブするようにします。負荷容量が10pFより大きい場合、デジタル・バッファを使用します。

#### ダブルデータレートCMOSモード

ダブルデータレートCMOSモードでは、2つのデータ・ビットが多重化されて各データピンに出力されます。これにより、必要なデータ・ラインの数が7だけ減るので、基板配線が簡単になり、データを受け取るのに必要な入力ピンの個数が減ります。7デジタル出力(D0\_1、D2\_3、D4\_5、D6\_7、D8\_9、D10\_11、D12\_13)、オーバーフロー(OF)、およびデータ出力クロック(CLKOUT<sup>+</sup>、CLKOUT<sup>-</sup>)がCMOS出力レベルになります。出力はOV<sub>DD</sub>とOGNDから電力を供給され、A/Dコア電源とグランドからは分離されています。OV<sub>DD</sub>は1.1V~1.9Vの範囲をとることができるので、1.2V~1.8VのCMOSロジック出力が可能です。

良い性能を得るため、デジタル出力は最小限の容量性負荷をドライブするようにします。負荷容量が10pFより大きい場合、デジタル・バッファを使用します。

高いサンプル・レートでダブルデータレートCMOSを使うとき、SNRがわずかに悪くなります(「標準的性能特性」のセクションを参照)。100MHzを超えるサンプル周波数ではDDR CMOSは推奨しません。

#### ダブルデータレートLVDSモード

ダブルデータレートLVDSモードでは、2つのデータ・ビットが多重化されて各差動出力対に出力されます。デジタル出力データのための7つのLVDS出力対(D0\_1<sup>+</sup>/D0\_1<sup>-</sup> ~ D12\_13<sup>+</sup>/D12\_13<sup>-</sup>)があります。オーバーフロー(OF<sup>+</sup>/OF<sup>-</sup>)とデータ出力クロック(CLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>)はそれぞれLVDS出力対を備えています。

既定では、出力は標準LVDSレベルです。つまり、出力電流が3.5mA、出力同相電圧が1.25Vです。各LVDS出力対には外部100Ω差動終端抵抗が必要です。終端抵抗はLVDSレシーバにできるだけ近づけて配置します。

出力はOV<sub>DD</sub>とOGNDから電力を供給され、A/Dコア電源とグランドからは分離されています。LVDSモードでは、OV<sub>DD</sub>を1.8Vにする必要があります。

#### プログラム可能なLVDS出力電流

LVDSモードでは、既定の出力ドライバ電流は3.5mAです。この電流はモード制御レジスタA3をシリアルにプログラムすることにより調節することができます。利用可能な電流レベルは1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mAおよび4.5mAです。

#### オプションのLVDSドライバの内部終端

ほとんどの場合、外部100Ω終端抵抗を使えばLVDS信号の優れた完全性が得られます。さらに、モード制御レジスタA3をシリアルにプログラムすることにより、オプションの内部100Ω終端抵抗をイネーブルすることができます。内部終端はレシーバ側の不完全な終端によって生じる反射を吸収するのに役立ちます。内部終端がイネーブルされると、出力ドライバ電流が1.6倍に増加し、ほぼ同じ出力電圧振幅を維持します。

#### オーバーフロー・ビット

アナログ入力にオーバーレンジまたはアンダーレンジが生じていると、オーバーフロー出力ビット(OF)がロジック“H”を出力します。オーバーフロー・ビットにはデータ・ビットと同じパイプライン待ち時間があります。

## アプリケーション情報

### 出力クロックの位相シフト

フルレートCMOSモードでは、データ出力ビットは通常CLKOUT<sup>+</sup>の立下りエッジと同時に変化するので、CLKOUT<sup>+</sup>の立上りエッジを使って出力データをラッチすることができます。ダブルデータレートのCMOSおよびLVDSの各モードでは、データ出力ビットは通常CLKOUT<sup>+</sup>の立下りエッジおよび立上りエッジと同時に変化します。データをラッチするとき適切なセットアップ時間とホールド時間を与えるには、電圧出力ビットに対してCLKOUT<sup>+</sup>信号の位相をシフトさせる必要があるかもしれません。ほとんどのFPGAはこの機能を備えています。これは一般にタイミングを調整する最良の場所です。

LTC2261-14/LTC2260-14/LTC2259-14は、モード制御レジスタA2をシリアルにプログラムすることにより、CLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>信号の位相をシフトすることもできます。出力クロックは0°、45°、90°または135°だけシフトすることができます。位相シフト機能を使うには、クロック・デューティ・サイクル・スタビライザをオンする必要があります。もう1つの制御レジスタ・ビットは、位相シフトとは独立に、CLKOUT<sup>+</sup>とCLKOUT<sup>-</sup>の極性を反転させることができます。これら2つの機能を組み合わせると、45°から315°までの位相シフトが可能になります(図14)。

### データ形式

アナログ入力電圧、デジタル・データ出力ビット、およびオーバーフロー・ビットの相互関係を表1に示します。既定では、出力データの形式はオフセット・バイナリです。モード制御レジスタA4をシリアルにプログラムすることにより、2の補数形式を選択することができます。

表1. 出力コードと入力電圧

A <sub>IN</sub> <sup>+</sup> -A <sub>IN</sub> <sup>-</sup> (2V範囲)	OF	D13-D0 (オフセット・バイナリ)	D13-D0 (2の補数)
>1.000000V	1	11 1111 1111 1111	01 1111 1111 1111
+0.999878V	0	11 1111 1111 1111	01 1111 1111 1111
+0.999756V	0	11 1111 1111 1110	01 1111 1111 1110
+0.000122V	0	10 0000 0000 0001	00 0000 0000 0001
+0.000000V	0	10 0000 0000 0000	00 0000 0000 0000
-0.000122V	0	01 1111 1111 1111	11 1111 1111 1111
-0.000244V	0	01 1111 1111 1110	11 1111 1111 1110
-0.999878V	0	00 0000 0000 0001	10 0000 0000 0001
-1.000000V	0	00 0000 0000 0000	10 0000 0000 0000
≤-1.000000V	1	00 0000 0000 0000	10 0000 0000 0000

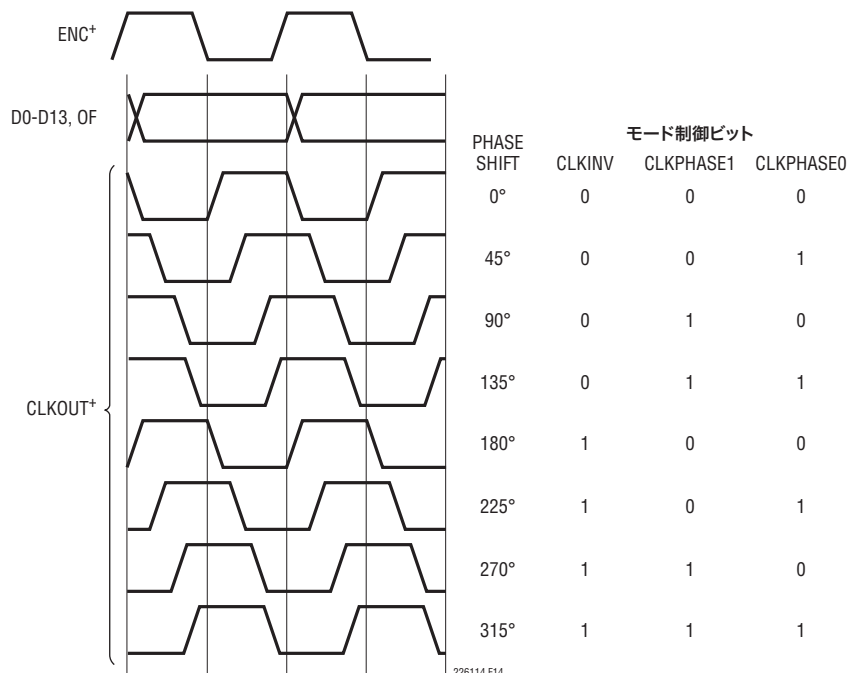


図14. CLKOUTの位相シフト

## アプリケーション情報

### デジタル出力ランダマイザ

A/Dのデジタル出力からの干渉を避けられないことがあります。デジタルの干渉は、容量性や誘導性の結合またはグラウンド・プレーンによる結合から生じる可能性があります。微小な結合係数であっても、ADCの出力スペクトルに不要なトーンを生じることがあります。デジタル出力をデバイスから送出する前にランダム化することにより、これらの不要トーンをランダム化し、不要トーンの振幅を減少させることができます。

デジタル出力は、排他的ORロジック演算をLSBと他の全てのデータ出力ビットとの間で行うことによって「ランダム化」されます。デコードするには逆演算を行います。つまり、排他的OR演算をLSBと他の全てのビットとの間で行います。LSB、OFおよびCLKOUTの各出力は影響を受けません。モード制御レジスタA4をシリアルにプログラムすることにより、出力ランダマイザをイネーブルすることができます。

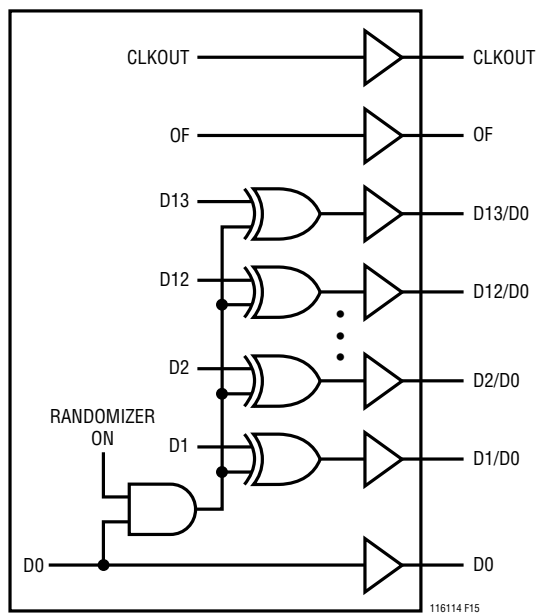


図15. デジタル出力ランダマイザの等価機能

### 交互ビット極性

回路基板のデジタル帰還を減らす別の機能は交互ビット極性モードです。このモードがイネーブルされると、全ての奇数ビット(D1、D3、D5、D7、D9、D11、D13)が出力バッファの前で反転します。偶数ビット(D0、D2、D4、D6、D8、D10、D12)およびCLKOUTは影響されません。これは、回路基板のグラウンド・プレーンのデジタル電流を減らして、(特に非常に小さなアナログ入力信号の場合)デジタル・ノイズを減らすことができます。

A/Dの入力にミッドスケールのあたりを中心にした非常に小さな信号があるとき、デジタル出力はほとんど1とほとんど0の間をトグルします。このようにほとんどのビットを同時に切り替えると大きな電流がグラウンド・プレーンを流れます。1つおきにビットを反転させることにより、交互ビット極性モードはビットの半数を“H”に遷移させ、ビットの半数を“L”に遷移させます。これは1次近似でグラウンド・プレーンの電流をキャンセルし、デジタルノイズを減らします。

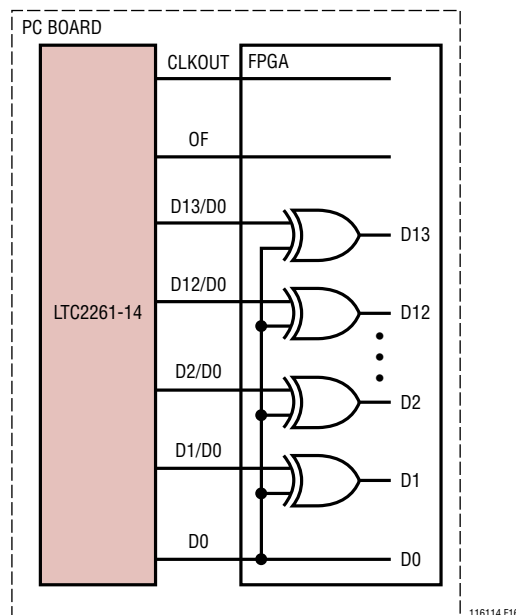


図16. ランダム化されたデジタル出力信号の復元



## アプリケーション情報

デジタル出力は、奇数ビット (D1、D3、D5、D7、D9、D11、D13) を反転することにより、レシーバによってデコードされます。交互ビット極性モードはデジタル出力ランダムマイザからは独立しています。つまり、どちらかの機能だけをオンすることも、両方の機能を同時にオンすることも、両方の機能を同時にオフすることも可能です。交互ビット極性モードがオンしているとき、データ形式はオフセット・バイナリで、2の補数の制御ビットは無効です。モード制御レジスタA4をシリアルにプログラムすることにより、交互ビット極性モードがイネーブルされます。

### デジタル出力のテストパターン

A/Dへのデジタル・インタフェースのインサーキット・テストを可能にするため、A/Dデータ出力 (OF、D13～D0) を既知の値に強制するいくつかのテスト・モードがあります。

オール1: 全ての出力が1。

オール0: 全ての出力が0。

交替: 交互に替わるサンプルの出力がオール1からオール0に変化する。

格子縞: 交互に替わるサンプルの出力が1010101010101010から01010101010101010に変化する。

モード制御レジスタA4をシリアルにプログラムすることにより、デジタル出力テストパターンをイネーブルすることができます。テストパターンがイネーブルされると、他の全ての形式設定モード (2の補数、ランダムマイザ、交互ビット極性) をオーバーライドします。

### 出力ディスエーブル

モード制御レジスタA3をシリアルにプログラムすることにより、デジタル出力をディスエーブルすることができます。OFやCLKOUTを含む全てのデジタル出力がディスエーブルされます。高インピーダンスのディスエーブルされた状態は長期間の休止状態のためのものです。これは、複数のコンバータの間でデータ・バスをフルスピードで多重化するには遅すぎます。

### スリープ・モードとナップ・モード

節電のため、A/Dをスリープ・モードまたはナップ・モードにすることができます。スリープ・モードでは、A/Dコンバータ全体がパワーダウンし、電力消費は0.5mWになります。スリープ・モードは、モード制御レジスタA1 (シリアル・プログラミング・モード) によって、またはSDI (パラレル・プログラミング・モード) によってイネーブルされます。スリープ・モードから回復するのに要する時間は、 $V_{REF}$ 、REFHおよびREFLのバイパス・コンデンサのサイズに依存します。図8の推奨値の場合、A/Dは2msで安定します。

ナップ・モードでは、A/Dのコアはパワーダウンしますが、内部リファレンス回路はアクティブなままなので、スリープ・モードよりも速く覚醒することができます。ナップ・モードからの回復には少なくとも100クロック・サイクルが必要です。非常に高精度なDCセトリングを要求するアプリケーションの場合、追加の50 $\mu$ sを与えて、A/Dがナップ・モードから移行するときの消費電流の変化によって生じるわずかな温度変化に対して内蔵リファレンスがセトリングするようにします。ナップ・モードは、シリアル・プログラミング・モードのモード制御レジスタA1によってイネーブルされます。

### デバイスのプログラミング・モード

LTC2261-14の動作モードはパラレル・インタフェースまたは簡単なシリアル・インタフェースのどちらでもプログラム可能です。シリアル・インタフェースの方が柔軟性があり、利用可能な全てのモードをプログラムすることができます。パラレル・インタフェースはもっと制限されており、よく使われるモードのいくつかだけをプログラムすることができます。

### パラレル・プログラミング・モード

パラレル・プログラミング・モードを使うには、 $\overline{PAR/SER}$ を $V_{DD}$ に接続します。 $\overline{CS}$ 、SCKおよびSDIの各ピンはバイナリ・ロジック入力で、特定の動作モードを設定します。これらのピンは $V_{DD}$ またはグランドに接続することができます。または、1.8V、2.5Vまたは3.3VのCMOSロジックでドライブすることができます。 $\overline{CS}$ 、SCKおよびSDIによって設定されるモードを表2に示します。

表2. パラレル・プログラミング・モード制御ビット ( $\overline{PAR/SER} = V_{DD}$ )

PIN	説明
$\overline{CS}$	クロック・デューティ・サイクル・スタビライザ制御ビット 0 = クロック・デューティ・サイクル・スタビライザをオフ 1 = クロック・デューティ・サイクル・スタビライザをオン
SCK	デジタル出力モード制御ビット 0 = フルレートCMOS出力モード 1 = ダブルデータレートLVDS出力モード (3.5mA LVDS電流、内部終端はオフ)
SDI	パワーダウン制御ビット 0 = 通常動作 1 = スリープ・モード

### アプリケーション情報

#### シリアル・プログラミング・モード

シリアル・プログラミング・モードを使うには、 $\overline{\text{PAR/SER}}$ をグラウンドに接続します。 $\overline{\text{CS}}$ 、SCK、SDIおよびSDOの各ピンは、A/Dのモード制御レジスタをプログラムするシリアル・インタフェースになります。データは16ビットのシリアル・ワードでレジスタに書き込まれます。レジスタの内容を検証するため、データをレジスタから読み出すこともできます。

シリアル・データ転送は $\overline{\text{CS}}$ が“L”になると開始されます。SDIピンのデータはSCKの最初の16個の立上りエッジでラッチされます。最初の16個の後のSCKの立上りエッジはどれも無視されます。データ転送は $\overline{\text{CS}}$ が再度“H”になると終了します。

16ビットの入力ワードの最初のビットは $\text{R}/\overline{\text{W}}$ ビットです。次の7ビットはレジスタのアドレス(A6:A0)です。最後の8ビットはレジスタのデータ(D7:D0)です。

$\text{R}/\overline{\text{W}}$ ビットが“L”だと、シリアル・データ(D7:D0)はアドレス・ビット(A6:A0)によって選択されるレジスタに書き込まれます。 $\text{R}/\overline{\text{W}}$ ビットが“H”だと、アドレス・ビット(A6:A0)によって選択されるレジスタ内のデータがSDOピンで読み出されます(タイミング図を参照)。読み出し命令の間レジスタは更新されず、SDIのデータは無視されます。

表3. シリアル・プログラミング・モードのレジスタ・マップ

#### レジスタA0: リセット・レジスタ(アドレス00h)

D7	D6	D5	D4	D3	D2	D1	D0
リセット	X	X	X	X	X	X	X

ビット7      **リセット**      ソフトウェア・リセット・ビット

0 = 不使用

1 = ソフトウェアによるリセット。全てのモード制御レジスタが00hにリセットされる。このビットはSPI書き込み命令完了後自動的に再度ゼロに設定される

リセット・レジスタは書き込みのみ

ビット6~0      使用されない、ドントケア・ビット

#### レジスタA1: パワーダウン・レジスタ(アドレス01h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	PWROFF1	PWROFF0

ビット7~2      使用されない、ドントケア・ビット

ビット1~0      **PWROFF1: PWROFF0**      パワーダウン制御ビット

00 = 通常動作

01 = ナップ・モード

10 = 不使用

11 = スリープ・モード

SDOピンはオープン・ドレイン出力で、200Ωのインピーダンスでグラウンドに引き下げます。SDOを介してレジスタのデータを読み出す場合、外部に2kのプルアップ抵抗が必要です。シリアル・データは書き込み専用で読出しは不要であれば、SDOはフロートさせておくことができ、プルアップ抵抗は不要です。

モード制御レジスタのマップを表3に示します。

#### ソフトウェアによるリセット

シリアル・プログラミングを使う場合、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル命令は、全てのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットでなければなりません。ソフトウェア・リセットを実行するには、リセット・レジスタのビットD7にロジック1を書き込みます。リセットSPI書き込み命令が完了した後、ビットD7は自動的に再度ゼロに設定されます。

## アプリケーション情報

### レジスタA2: タイミング・レジスタ (アドレス02h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	CLKINV	CLKPHASE1	CLKPHASE0	DCS
ビット7~4	使用されない、ドントケア・ビット						
ビット3	<b>CLKINV</b> 出力クロック反転ビット 0 = 通常CLKOUT極性 (タイミング図に示されているとおり) 1 = 反転CLKOUT極性						
ビット2~1	<b>CLKPHASE1:CLKPHASE0</b> 出力クロック位相遅延ビット 00 = CLKOUT遅延なし (タイミング図に示されているとおり) 01 = CLKOUT+/CLKOUT-を45°だけ遅延 (クロック周期・1/8) 10 = CLKOUT+/CLKOUT-を90°だけ遅延 (クロック周期・1/4) 11 = CLKOUT+/CLKOUT-を135°だけ遅延 (クロック周期・3/8) 注記: CLKOUT位相遅延機能を使う場合、クロック・デューティ・サイクル・スタビライザもオンする必要がある。						
ビット0	<b>DCS</b> クロック・デューティ・サイクル・スタビライザ・ビット 0 = クロック・デューティ・サイクル・スタビライザをオフ 1 = クロック・デューティ・サイクル・スタビライザをオン						

### レジスタA3: 出力モード・レジスタ (アドレス03h)

D7	D6	D5	D4	D3	D2	D1	D0
X	ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTMODE1	OUTMODE0
ビット7	使用されない、ドントケア・ビット						
ビット6~4	<b>ILVDS2:ILVDS0</b> LVDS出力電流ビット 000 = 3.5mAのLVDS出力ドライバ電流 001 = 4.0mAのLVDS出力ドライバ電流 010 = 4.5mAのLVDS出力ドライバ電流 011 = 不使用 100 = 3.0mAのLVDS出力ドライバ電流 101 = 2.5mAのLVDS出力ドライバ電流 110 = 2.1mAのLVDS出力ドライバ電流 111 = 1.75mAのLVDS出力ドライバ電流						
ビット3	<b>TERMON</b> LVDSの内部終端ビット 0 = 内部終端をオフ 1 = 内部終端をオン。LVDS出力ドライバ電流はILVDS2:ILVDS0によって設定される電流の1.6倍						
ビット2	<b>OUTOFF</b> 出力ディスエーブル・ビット 0 = デジタル出力をイネーブル 1 = デジタル出力をディスエーブルし、出カインピーダンスを高くする						
ビット1~0	<b>OUTMODE1:OUTMODE0</b> デジタル出力モード制御ビット 00 = フルレートCMOS出力モード 01 = ダブルデータレートLVDS出力モード 10 = ダブルデータレートCMOS出力モード 11 = 不使用						

# LTC2261-14

## LTC2260-14/LTC2259-14

### アプリケーション情報

#### レジスタA4:データ形式レジスタ(アドレス04h)

	D7	D6	D5	D4	D3	D2	D1	D0
	X	X	OUTTEST2	OUTTEST1	OUTTEST0	ABP	RAND	TWOSCOMP
ビット7~6	使用されない、ドントケア・ビット							
ビット5~3	<b>OUTTEST2:OUTTEST0</b> デジタル出力のテストパターン・ビット 000 = デジタル出力のテストパターンをオフ 001 = 全てのデジタル出力 = 0 011 = 全てのデジタル出力 = 1 101 = 格子縞出力パターン。0F、D13~D0が101 0101 0101 0101と010 1010 1010 1010の間を交替する 111 = 交替出力パターン。0F、D13~D0が000 0000 0000 0000と111 1111 1111 1111の間を交替する 注記:他のビットの組合せは使われない							
ビット2	<b>ABP</b> 交互ビット極性モード制御ビット 0 = 交互ビット極性モードをオフ 1 = 交互ビット極性モードをオン							
ビット1	<b>RAND</b> データ出力ランダムマイザ・モード制御ビット 0 = データ出力ランダムマイザ・モードをオフ 1 = データ出力ランダムマイザ・モードをオン							
ビット0	<b>TWOSCOMP</b> 2の補数モード制御ビット 0 = オフセット・バイナリのデータ形式 1 = 2の補数のデータ形式 注記:ABP = 1は出力形式をオフセット・バイナリに強制する							

#### 接地とバイパス

LTC2261-14には切れ目の無いクリーンなグランド・プレーンを備えたプリント基板が必要です。内部グランド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ分離します。特に、どのデジタル・トラックもアナログ信号トラックに沿って配置しないように、またADCの下に配置しないように注意します。

高品質のセラミック・バイパス・コンデンサを、 $V_{DD}$ 、 $OV_{DD}$ 、 $V_{CM}$ 、 $V_{REF}$ 、 $REFH$ および $REFL$ の各ピンに使用します。バイパス・コンデンサはできるだけピンに近づけて配置してください。特に重要なのは $REFH$ と $REFL$ の間の $0.1\mu F$ のコンデンサです。このコンデンサはA/Dと同じ回路基板の側に、できるだけデバイスに近づけて(1.5mm以内)配置してください。サイズが0402のセラミック・コンデンサを推奨します。 $REFH$ と $REFL$ の間の大きな $2.2\mu F$ のコンデンサはこれよりいっぴり離してもかまいません。

$V_{CM}$ コンデンサはできるだけピンに近づけて配置する必要があります。これにスペースを与えるため、 $V_{REF}$ のコンデンサはもっと離して、またはPCボードの裏側に配置することができます。ピンやバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くします。

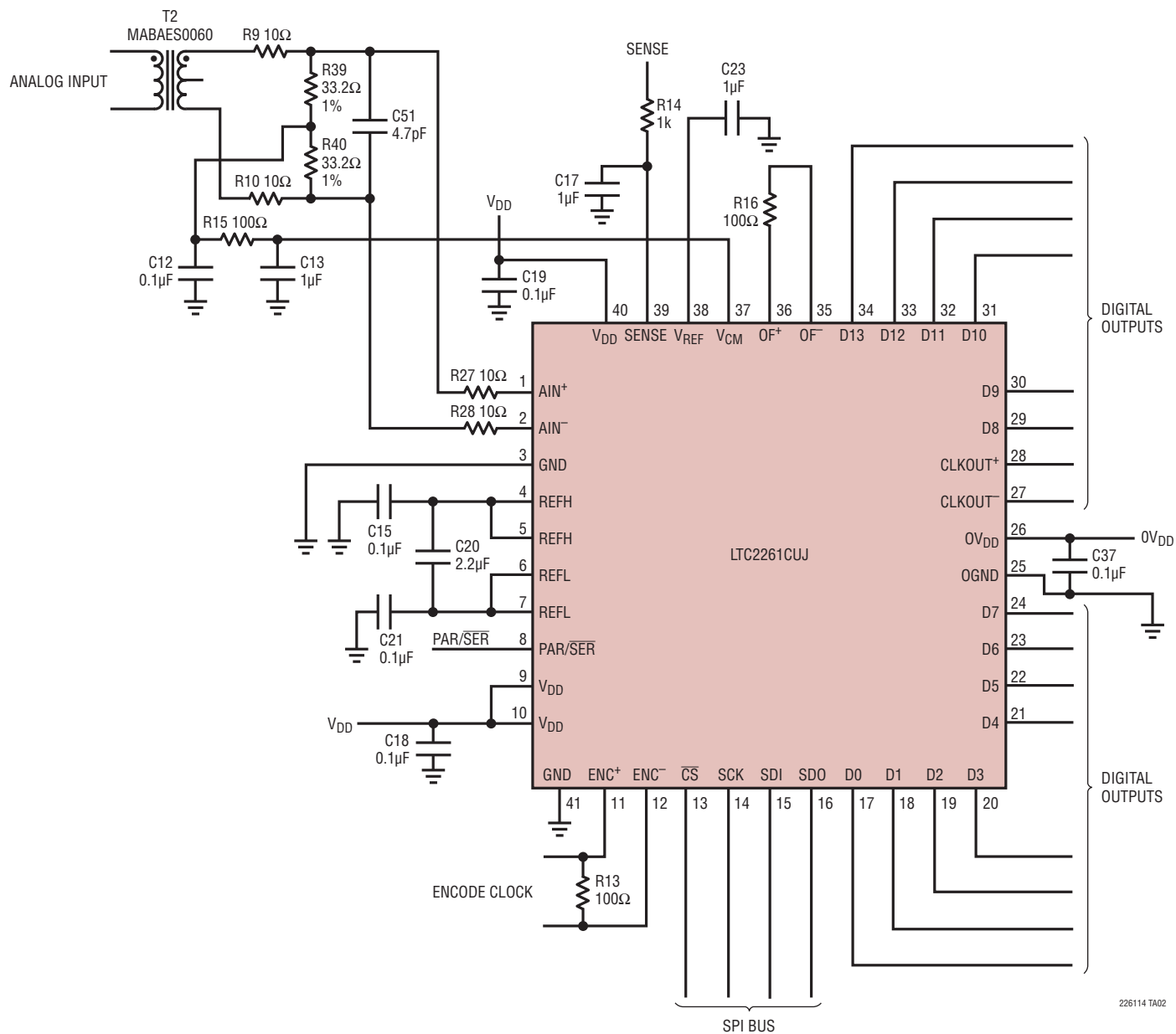
アナログ入力、エンコード信号、およびデジタル出力は相互に隣接しないように配線します。これらの信号を相互に分離するためのバリアとして、グランド領域とグランド・ビアを使用します。

#### 熱伝達

LTC2261-14が発生する熱の大部分はダイから底面の露出パッドとパッケージのピンを通してプリント回路基板に伝わります。すぐれた電気特性と熱特性を得るには、露出パッドをPCボードの大きな接地されたパッドに半田付けする必要があります。

標準的応用例

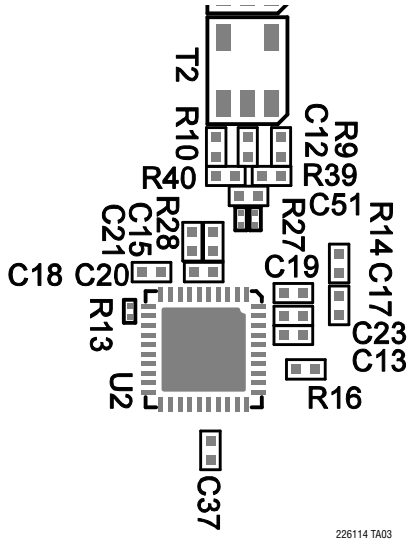
LTC2261の回路図



226114 TA02

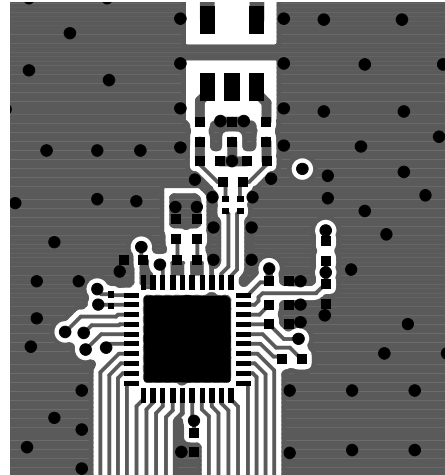
標準的応用例

シルクスクリーンのトップ



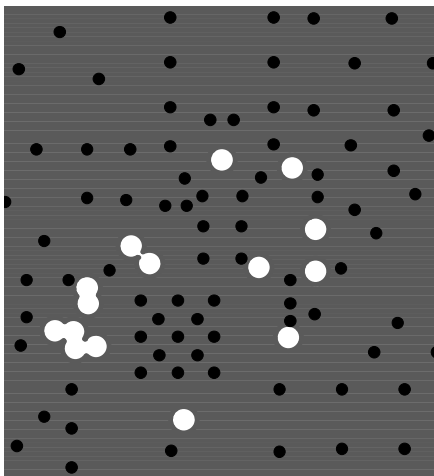
226114 TA03

トップサイド



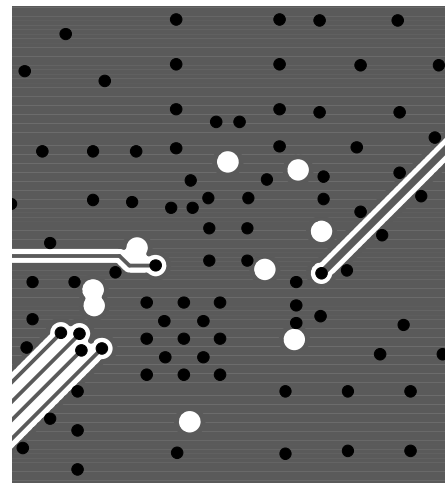
226114 TA04

内部2層GND



226114 TA04

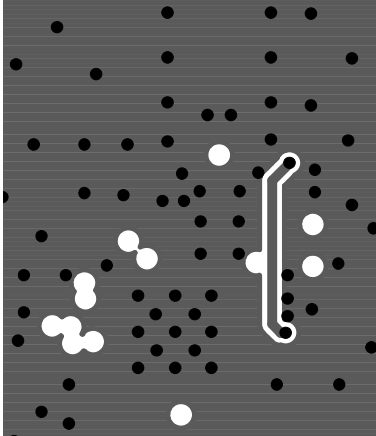
内部3層



226114 TA06

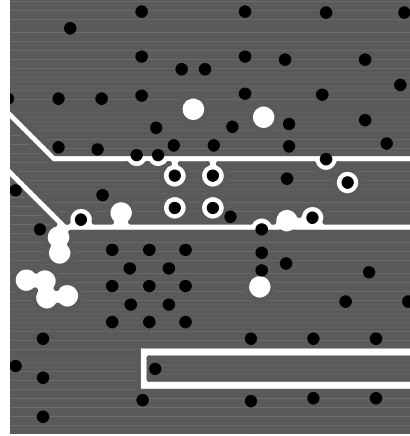
標準的応用例

内部4層



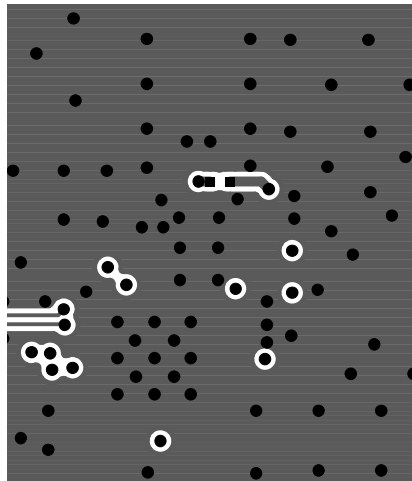
226114 TA07

内部5層電源



226114 TA08

ボトムサイド



226114 TA09

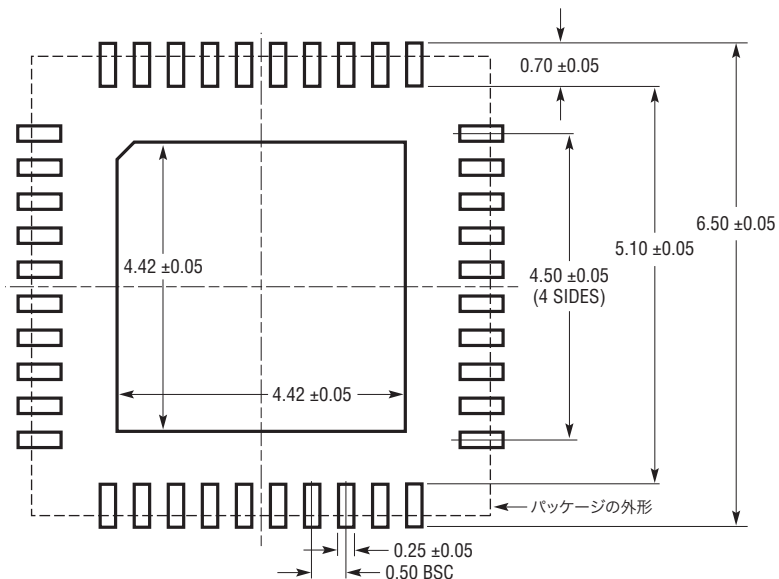
# LTC2261-14

## LTC2260-14/LTC2259-14

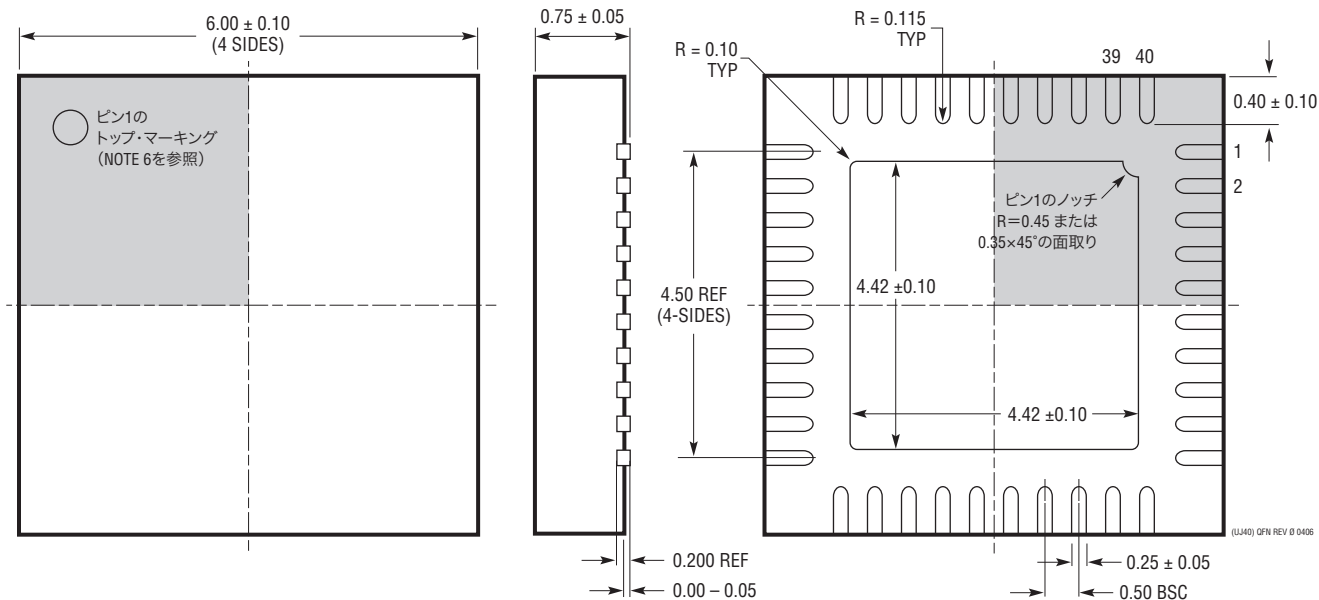
### パッケージ

最新のパッケージ図面については、 <http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

**UJ Package**  
**40-Lead Plastic QFN (6mm × 6mm)**  
 (Reference LTC DWG # 05-08-1728 Rev 0)



推奨する半田パッドのピッチと寸法  
 半田付けされない領域には半田マスクを使用する



**NOTE:**

1. 図面はJEDECのパッケージ外形バリエーション(WJJD-2)
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない  
モールドのバリは(もしあれば)各サイドで0.20mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

底面図—露出パッド

226114fc



改訂履歴 (改訂履歴は Rev B から開始)

REV	日付	概要	ページ番号
B	8/12	IO <sub>VDD</sub> をI <sub>OVDD</sub> に訂正	14
		リセット・レジスタA0、D7の記述を訂正	26
		回路図において、V <sub>DD</sub> をピン9、10、40に接続	29
C	01/14	1Vの入力範囲の場合の「外部リファレンス」を「内部リファレンス」に訂正	20

# LTC2261-14

## LTC2260-14/LTC2259-14

### 関連製品

製品番号	説明	注釈
LT1993-2	高速差動オペアンプ	BW:800MHz、歪み:70dBc(70MHz)、利得:6dB
LT1994	低ノイズ、低歪みの完全差動入出力 アンプ/ドライバ	低歪み:-94dBc(1MHz)
LTC2215	16ビット、65Msps、低ノイズADC	700mW、SNR:81.5dB、SFDR:100dB、64ピンQFN
LTC2216	16ビット、80Msps、低ノイズADC	970mW、SNR:81.3dB、SFDR:100dB、64ピンQFN
LTC2217	16ビット、105Msps、低ノイズADC	1190mW、SNR:81.2dB、SFDR:100dB、64ピンQFN
LTC2202	16ビット、10Msps、3.3V ADC、低ノイズ	140mW、SNR:81.6dB、SFDR:100dB、48ピンQFN
LTC2203	16ビット、25Msps、3.3V ADC、低ノイズ	220mW、SNR:81.6dB、SFDR:100dB、48ピンQFN
LTC2204	16ビット、40Msps、3.3V ADC	480mW、SNR:79dB、SFDR:100dB、48ピンQFN
LTC2205	16ビット、65Msps、3.3V ADC	590mW、SNR:79dB、SFDR:100dB、48ピンQFN
LTC2206	16ビット、80Msps、3.3V ADC	725mW、SNR:77.9dB、SFDR:100dB、48ピンQFN
LTC2207	16ビット、105Msps、3.3V ADC	900mW、SNR:77.9dB、SFDR:100dB、48ピンQFN
LTC2208	16ビット、130Msps、3.3V ADC、LVDS出力	1250mW、SNR:77.7dB、SFDR:100dB、64ピンQFN
LTC2209	16ビット、160Msps、3.3V ADC、LVDS出力	1450mW、SNR:77.1dB、SFDR:100dB、64ピンQFN
LTC2220	12ビット、170Msps ADC	890mW、SNR:67.5dB、9mm×9mm QFNパッケージ
LTC2220-1	12ビット、185Msps、3.3V ADC、LVDS出力	910mW、SNR:67.7dB、SFDR:80dB、64ピンQFN
LTC2224	12ビット、135Msps、3.3V ADC、高IFサンプリング	630mW、SNR:67.6dB、SFDR:84dB、48ピンQFN
LTC2249	14ビット、80Msps ADC	230mW、SNR:73dB、5mm×5mm QFNパッケージ
LTC2250	10ビット、105Msps ADC	320mW、SNR:61.6dB、5mm×5mm QFNパッケージ
LTC2251	10ビット、125Msps ADC	395mW、SNR:61.6dB、5mm×5mm QFNパッケージ
LTC2252	12ビット、105Msps ADC	320mW、SNR:70.2dB、5mm×5mm QFNパッケージ
LTC2253	12ビット、125Msps ADC	395mW、SNR:70.2dB、5mm×5mm QFNパッケージ
LTC2254	14ビット、105Msps ADC	320mW、SNR:72.5dB、5mm×5mm QFNパッケージ
LTC2255	14ビット、125Msps、3V ADC、低消費電力	395mW、SNR:72.5dB、SFDR:88dB、32ピンQFN
LTC2259-12/ LTC2260-12/ LTC2261-12	12ビット、80/105/125Msps超低消費電力1.8V ADC	87mW/103mW/124mW、SNR:70.8dB、SFDR:85dB、DDR LVDS/ DDR CMOS/CMOSの出力、6mm×6mm QFNパッケージ
LTC2284	14ビット、デュアル、105Msps、3V ADC、低クロストーク	540mW、SNR:72.4dB、SFDR:88dB、64ピンQFN
LTC2299	デュアルの14ビット、80Msps ADC	230mW、SNR:71.6dB、5mm×5mm QFNパッケージ
LT5517	40MHz~900MHz直接変換直交復調器	高いIIP3:800MHzで21dBm、内蔵LO直交ジェネレータ
LT5527	400MHz~3.7GHz高直線性ダウンコンバーティング・ ミキサ	IIP3:900MHzで24.5dBm、IIP3:3.5GHzで23.5dBm、NF:12.5dB、 50ΩシングルエンドのRFポートとLOポート
LT5557	400MHz~3.8GHz高直線性ダウンコンバーティング・ ミキサ	IIP3:2.6GHzで23.7dBm、IIP3:3.5GHzで23.5dBm、NF = 13.2dB、 3.3V電源で動作、トランスを内蔵
LT5575	800MHz~2.7GHz直接変換直交復調器	高いIIP3:900MHzで28dBm、内蔵LO直交ジェネレータ、 内蔵RFおよびLOトランス
LTC6400-20	300MHz IF向け、1.8GHz、低ノイズ、 低歪み差動ADCドライバ	固定利得:10V/V、合計入力ノイズ:2.1nV√Hz、 3mm×3mm QFN-16パッケージ
LT6604-2.5/ LT6604-5/ LT6604-10/ LT6604-15	デュアル整合2.5MHz、5MHz、10MHz、15MHzフィルタ、 ADCドライバ付き	差動ドライバ付き、デュアル整合4次LPフィルタ。 低ノイズ、低歪みアンプ

226114fc