

## 特長

- SNR: 73.1dB
- SFDR: 88dB
- 低消費電力: 89mW
- 単一1.8V電源
- CMOS、DDR CMOSまたはDDR LVDS出力
- 選択可能な入力範囲: 1V<sub>p-p</sub>~2V<sub>p-p</sub>
- 800MHzのフルパワー帯域幅S/H
- オプションのデータ出力ランドマイザ
- オプションのクロック・デューティ・サイクル・スタビライザ
- シャットダウン・モードとナップ・モード
- 設定用のシリアルSPIポート
- 40ピン6mm×6mm QFNパッケージ

## アプリケーション

- 通信
- セルラー基地局
- ソフトウェア無線
- 携帯型医療用画像処理
- マルチチャネル・データ収集
- 非破壊試験

## 概要

LTC<sup>®</sup>2259-16 は、広いダイナミック・レンジの高周波信号をデジタル化するサンプリング 16 ビット A/D コンバータです。SNR が 73.1dB、SFDR が 88dB という優れた AC 特性を備えたこのデバイスは、要求の厳しい通信アプリケーションに最適です。ジッタがわずか 0.17psRMS なので、優れたノイズ性能を維持しながら IF 周波数をアンダーサンプリングできます。

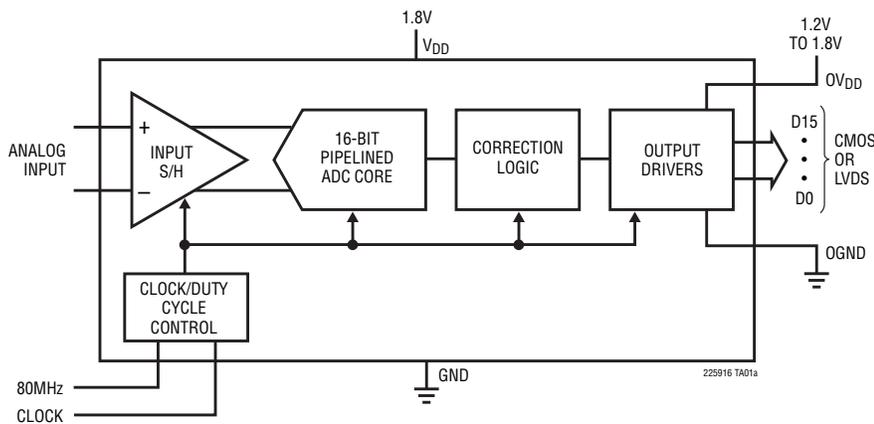
DC 仕様では、±4LSB (標準) の INL と ±0.5LSB (標準) の DNL が規定されています。

デジタル出力は、フルレート CMOS、ダブルデータレート CMOS、ダブルデータレート LVDS のいずれかに設定可能です。独立した出力電源により、1.2V ~ 1.8V の CMOS 出力振幅が可能です。

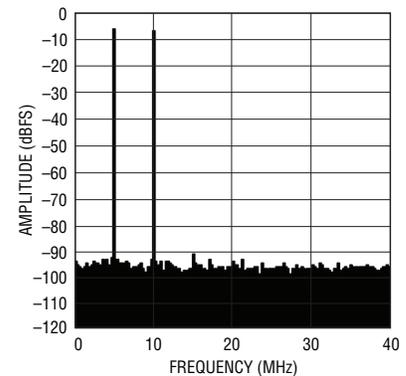
ENC<sup>+</sup> および ENC<sup>-</sup> 入力、正弦波、PECL、LVDS、TTL または CMOS の入力信号を使って差動またはシングルエンドでドライブ可能です。また、オプションのクロック・デューティ・サイクル・スタビライザにより、広範なクロック・デューティ・サイクルにおいてフルスピードで高性能を達成できます。

LT、LT、LTC、LTM、Linear Technology および Linear のロゴはリアクタテクノロジー社の登録商標です。他の全ての商標はそれぞれの所有者に所有権があります。

## 標準的応用例



2トーンFFT、 $f_{IN} = 70\text{MHz}$ および $75\text{MHz}$



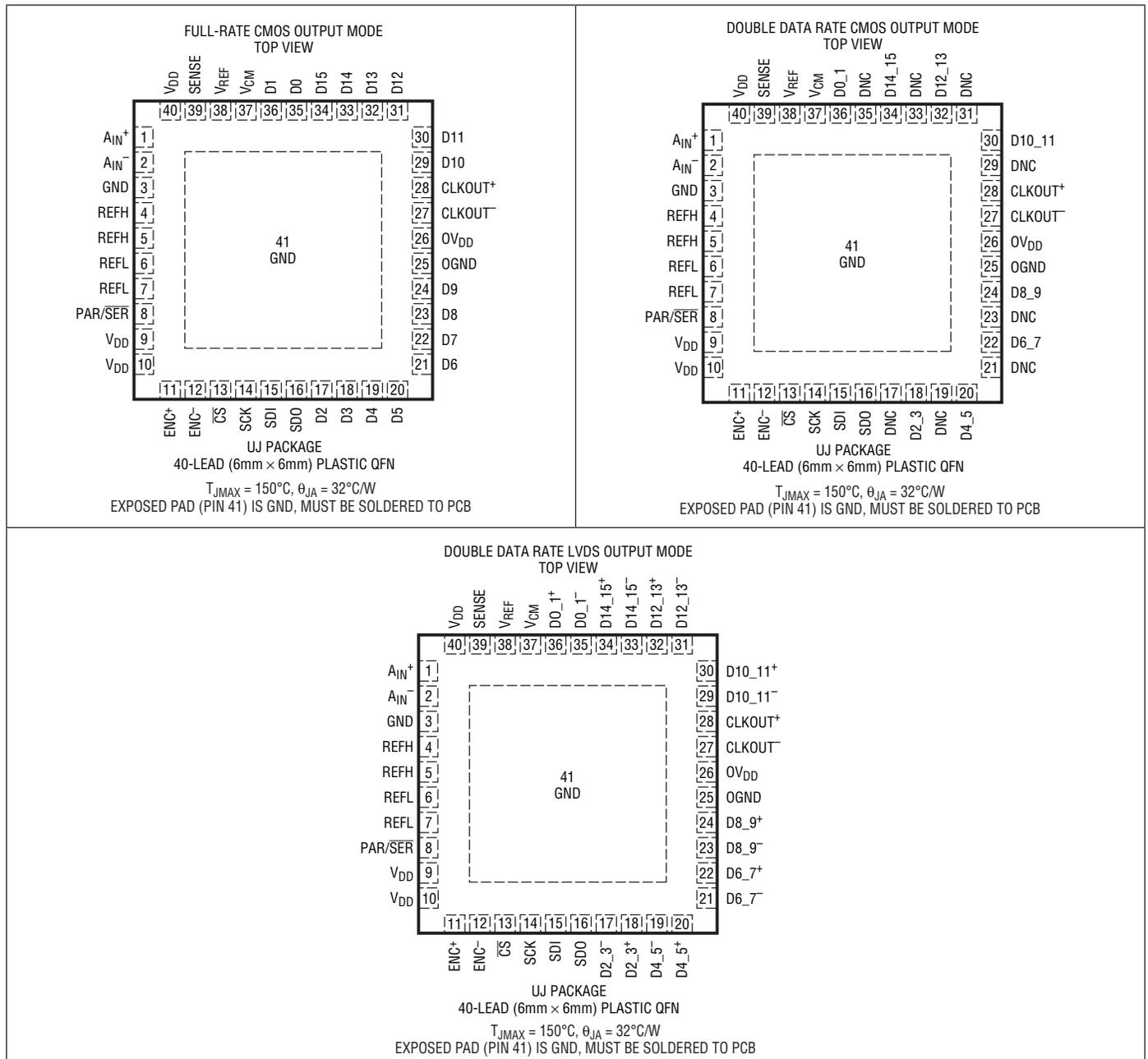
# LTC2259-16

## 絶対最大定格 (Note 1, 2)

電源電圧 ( $V_{DD}$ ,  $OV_{DD}$ ) .....  $-0.3V \sim 2V$   
 アナログ入力電圧 ( $A_{IN}^+$ ,  $A_{IN}^-$ , PAR/SER, SENSE)  
 (Note 3) .....  $-0.3V \sim (V_{DD} + 0.2V)$   
 デジタル入力電圧 ( $ENC^+$ ,  $ENC^-$ ,  $\overline{CS}$ , SDI, SCK)  
 (Note 4) .....  $-0.3V \sim 3.9V$   
 SDO (Note 4) .....  $-0.3V \sim 3.9V$

デジタル出力電圧 .....  $-0.3V \sim (OV_{DD} + 0.3V)$   
 動作温度範囲:  
 LTC2259C .....  $0^{\circ}C \sim 70^{\circ}C$   
 LTC2259I .....  $-40^{\circ}C \sim 85^{\circ}C$   
 保存温度範囲 .....  $-65^{\circ}C \sim 150^{\circ}C$

## ピン配置



## 発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2259CUJ-16#PBF	LTC2259CUJ-16#TRPBF	LTC2259UJ-16	40-Lead (6mm × 6mm) Plastic QFN	0°C to 70°C
LTC2259IUJ-16#PBF	LTC2259IUJ-16#TRPBF	LTC2259UJ-16	40-Lead (6mm × 6mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

\*温度グレードは出荷時のコンテナのラベルで識別されます。

非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

## コンバータの特性

● は全動作温度範囲の規格値を意味する。それ以外は $T_A=25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Resolution (No Missing Codes)		●	16		Bits	
Integral Linearity Error	Differential Analog Input (Note 6)	●	-12	±4	12	LSB
Differential Linearity Error	Differential Analog Input	●	-1	±0.5	1.2	LSB
Offset Error	(Note 7)	●	-9	±1.5	9	mV
Gain Error	Internal Reference External Reference	●		±1.5 ±0.4	1.5	%FS %FS
Offset Drift				±20		$\mu\text{V}/^\circ\text{C}$
Full-Scale Drift	Internal Reference External Reference			±30 ±10		ppm/ $^\circ\text{C}$ ppm/ $^\circ\text{C}$
Transition Noise	External Reference			5		LSB <sub>RMS</sub>

## アナログ入力

● は全動作温度範囲の規格値を意味する。それ以外は $T_A=25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{IN}$	Analog Input Range ( $A_{IN}^+ - A_{IN}^-$ )	$1.7\text{V} < V_{DD} < 1.9\text{V}$	●	1 to 2		$V_{P-P}$	
$V_{INCM}$	Analog Input Common Mode ( $A_{IN}^+ + A_{IN}^-$ )/2	Differential Analog Input (Note 8)	●	$V_{CM} - 100\text{mV}$	$V_{CM}$ $V_{CM} + 100\text{mV}$	V	
$V_{SENSE}$	External Voltage Reference Applied to SENSE	External Reference Mode	●	0.625	1.250	1.300	V
$I_{INCM}$	Analog Input Common Mode Current	Per Pin, 80Msps		100		$\mu\text{A}$	
$I_{IN1}$	Analog Input Leakage Current	$0 < A_{IN}^+, A_{IN}^- < V_{DD}$ , No Encode	●	-1	1	$\mu\text{A}$	
$I_{IN2}$	PAR/SER Input Leakage Current	$0 < \text{PAR/SER} < V_{DD}$	●	-3	3	$\mu\text{A}$	
$I_{IN3}$	SENSE Input Leakage Current	$0.625 < \text{SENSE} < 1.3\text{V}$	●	-6	6	$\mu\text{A}$	
$t_{AP}$	Sample-and-Hold Acquisition Delay Time			0		ns	
$t_{JITTER}$	Sample-and-Hold Acquisition Delay Jitter			0.17		ps <sub>RMS</sub>	
CMRR	Analog Input Common Mode Rejection Ratio			80		dB	
BW-3B	Full-Power Bandwidth	Figure 6 Test Circuit		800		MHz	

## ダイナミック精度

● は全動作温度範囲の規格値を意味する。それ以外は $T_A=25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SNR	Signal-to-Noise Ratio	5MHz Input 70MHz Input 140MHz Input	●	70.9	73.1 72.9 72.4	dBFS dBFS dBFS

225916fa

## ダイナミック精度

● は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic	5MHz Input	●	88		dBFS
		70MHz Input		85		
140MHz Input	82					
S/(N+D)	Spurious Free Dynamic Range 4th Harmonic or Higher	5MHz Input	●	90		dBFS
		70MHz Input		90		
		140MHz Input		90		
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	5MHz Input	●	72.9		dBFS
		70MHz Input		72.6		
		140MHz Input		72		

## 内部リファレンスの特性

● は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{CM}$ Output Voltage	$I_{OUT} = 0$	$0.5 \cdot V_{DD} - 25\text{mV}$	$0.5 \cdot V_{DD}$	$0.5 \cdot V_{DD} + 25\text{mV}$	V
$V_{CM}$ Output Temperature Drift			$\pm 25$		ppm/ $^\circ\text{C}$
$V_{CM}$ Output Resistance	$-600\mu\text{A} < I_{OUT} < 1\text{mA}$		4		$\Omega$
$V_{REF}$ Output Voltage	$I_{OUT} = 0$	1.225	1.250	1.275	V
$V_{REF}$ Output Temperature Drift			$\pm 25$		ppm/ $^\circ\text{C}$
$V_{REF}$ Output Resistance	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$		7		$\Omega$
$V_{REF}$ Line Regulation	$1.7\text{V} < V_{DD} < 1.9\text{V}$		0.6		mV/V

## デジタル入力とデジタル出力

● は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>エンコード入力 (ENC<sup>+</sup>, ENC<sup>-</sup>)</b>						
<b>差動エンコード・モード (ENC<sup>-</sup>はGNDに接続されていない)</b>						
$V_{ID}$	Differential Input Voltage	(Note 8)	●	0.2		V
$V_{ICM}$	Common Mode Input Voltage	Internally Set	●	1.2		V
		Externally Set (Note 8)	●	1.1	1.6	V
$V_{IN}$	Input Voltage Range	ENC <sup>+</sup> , ENC <sup>-</sup> to GND	●	0.2	3.6	V
$R_{IN}$	Input Resistance	(See Figure 10)		10		k $\Omega$
$C_{IN}$	Input Capacitance	(Note 8)		3.5		pF
<b>シングルエンド・エンコード・モード (ENC<sup>-</sup>はGNDに接続されている)</b>						
$V_{IH}$	High Level Input Voltage	$V_{DD} = 1.8\text{V}$	●	1.2		V
$V_{IL}$	Low Level Input Voltage	$V_{DD} = 1.8\text{V}$	●		0.6	V
$V_{IN}$	Input Voltage Range	ENC <sup>+</sup> to GND	●	0	3.6	V
$R_{IN}$	Input Resistance	(See Figure 11)		30		k $\Omega$
$C_{IN}$	Input Capacitance	(Note 8)		3.5		pF
<b>デジタル入力 (CS, SDI, SCK)</b>						
$V_{IH}$	High Level Input Voltage	$V_{DD} = 1.8\text{V}$	●	1.3		V
$V_{IL}$	Low Level Input Voltage	$V_{DD} = 1.8\text{V}$	●		0.6	V
$I_{IN}$	Input Current	$V_{IN} = 0\text{V to } 3.6\text{V}$	●	-10	10	$\mu\text{A}$
$C_{IN}$	Input Capacitance	(Note 8)		3		pF

## デジタル入力とデジタル出力

● は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>SDO OUTPUT (オープン・ドレイン出力。SDOが使われる場合、2kのプルアップ抵抗が必要)</b>							
$R_{OL}$	Logic Low Output Resistance to GND	$V_{DD} = 1.8\text{V}$ , $SDO = 0\text{V}$		200		$\Omega$	
$I_{OH}$	Logic High Output Leakage Current	$SDO = 0\text{V}$ to $3.6\text{V}$	●	-10	10	$\mu\text{A}$	
$C_{OUT}$	Output Capacitance	(Note 8)		4		pF	
<b>デジタル・データ出力 (CMOSモード: フルデータレートとダブルデータレート)</b>							
<b><math>OV_{DD} = 1.8\text{V}</math></b>							
$V_{OH}$	High Level Output Voltage	$I_O = -500\mu\text{A}$	●	1.750	1.790	V	
$V_{OL}$	Low Level Output Voltage	$I_O = 500\mu\text{A}$	●		0.010	0.050	V
<b><math>OV_{DD} = 1.5\text{V}</math></b>							
$V_{OH}$	High Level Output Voltage	$I_O = -500\mu\text{A}$			1.488	V	
$V_{OL}$	Low Level Output Voltage	$I_O = 500\mu\text{A}$			0.010	V	
<b><math>OV_{DD} = 1.2\text{V}</math></b>							
$V_{OH}$	High Level Output Voltage	$I_O = -500\mu\text{A}$			1.185	V	
$V_{OL}$	Low Level Output Voltage	$I_O = 500\mu\text{A}$			0.010	V	
<b>デジタル・データ出力 (LVDSモード)</b>							
$V_{OD}$	Differential Output Voltage	100 $\Omega$ Differential Load, 3.5mA Mode 100 $\Omega$ Differential Load, 1.75mA Mode	●	247	350 175	454	mV mV
$V_{OS}$	Common Mode Output Voltage	100 $\Omega$ Differential Load, 3.5mA Mode 100 $\Omega$ Differential Load, 1.75mA Mode	●	1.125	1.250 1.250	1.375	V V
$R_{TERM}$	On-Chip Termination Resistance	Termination Enabled, $OV_{DD} = 1.8\text{V}$			100		$\Omega$

## 電源要件

● は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>CMOS出力モード: フルデータレートとダブルデータレート</b>							
$V_{DD}$	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	V
$OV_{DD}$	Output Supply Voltage	(Note 10)	●	1.1		1.9	V
$I_{VDD}$	Analog Supply Current	DC Input Sine Wave Input	●		49.2 50.2	58.1	mA mA
$I_{OVDD}$	Digital Supply Current	Sine Wave Input, $OV_{DD} = 1.2\text{V}$			2.5		mA
$P_{DISS}$	Power Dissipation	DC Input Sine Wave Input, $OV_{DD} = 1.2\text{V}$	●		89 93	105	mW mW
<b>LVDS出力モード</b>							
$V_{DD}$	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	V
$OV_{DD}$	Output Supply Voltage	(Note 10)	●	1.7		1.9	V
$I_{VDD}$	Analog Supply Current	Sine Wave Input	●		53.8	63.5	mA
$I_{OVDD}$	Digital Supply Current ( $OV_{DD} = 1.8\text{V}$ )	Sine Input, 1.75mA Mode Sine Input, 3.5mA Mode	● ●		20.7 40.5	26 47.8	mA mA
$P_{DISS}$	Power Dissipation	Sine Input, 1.75mA Mode Sine Input, 3.5mA Mode	● ●		134 170	161 201	mW mW
<b>全ての出力モード</b>							
$P_{SLEEP}$	Sleep Mode Power				0.5		mW
$P_{NAP}$	Nap Mode Power				9		mW
$P_{DIFFCLK}$	Power Increase with Differential Encode Mode Enabled (No increase for Nap or Sleep Modes)				10		mW

225916fa

## タイミング特性

● は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$f_S$	Sampling Frequency	(Note 10)	●	1		80	MHz
$t_L$	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off	●	5.93	6.25	500	ns
		Duty Cycle Stabilizer On	●	2.00	6.25	500	ns
$t_H$	ENC High Time (Note 8)	Duty Cycle Stabilizer Off	●	5.93	6.25	500	ns
		Duty Cycle Stabilizer On	●	2.00	6.25	500	ns
$t_{AP}$	Sample-and-Hold Acquisition Delay Time				0		ns

### デジタル・データ出力 (CMOSモード: フルデータレートとダブルデータレート)

$t_D$	ENC to Data Delay	$C_L = 5\text{pF}$ (Note 8)	●	1.1	1.7	3.1	ns
$t_C$	ENC to CLKOUT Delay	$C_L = 5\text{pF}$ (Note 8)	●	1	1.4	2.6	ns
$t_{SKEW}$	DATA to CLKOUT Skew	$t_D - t_C$ (Note 8)	●	0	0.3	0.6	ns
	Pipeline Latency	Full Data Rate Mode Double-Data Rate Mode			5.0 5.5		Cycles Cycles

### デジタル・データ出力 (LVDSモード)

$t_D$	ENC to Data Delay	$C_L = 5\text{pF}$ (Note 8)	●	1.1	1.8	3.2	ns
$t_C$	ENC to CLKOUT Delay	$C_L = 5\text{pF}$ (Note 8)	●	1	1.5	2.7	ns
$t_{SKEW}$	DATA to CLKOUT Skew	$t_D - t_C$ (Note 8)	●	0	0.3	0.6	ns
	Pipeline Latency				5.5		Cycles

### SPIポートのタイミング (Note 8)

$t_{SCK}$	SCK Period	Write Mode	●	40			ns
		Readback Mode, $C_{SDO} = 20\text{pF}$ , $R_{PULLUP} = 2\text{k}$	●	250			ns
$t_S$	$\overline{CS}$ to SCK Setup Time		●	5			ns
$t_H$	SCK to $\overline{CS}$ Setup Time		●	5			ns
$t_{DS}$	SDI Setup Time		●	5			ns
$t_{DH}$	SDI Hold Time		●	5			ns
$t_{DO}$	SCK Falling to SDO Valid	Readback Mode, $C_{SDO} = 20\text{pF}$ , $R_{PULLUP} = 2\text{k}$	●			125	ns

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

**Note 2:** 全ての電圧値は（注記がない限り）GNDとOGNDを短絡した状態でGNDを基準にしている。

**Note 3:** これらのピンの電圧がGNDより下になると、 $V_{DD}$ より上になると、内部のダイオードによってクランプされる。この製品は、GNDより低いか、または $V_{DD}$ より高い電圧でラッチアップを生じることなしに100mAを超える入力電流を処理することができる。

**Note 4:** これらのピンの電圧がGNDより下になると、内部のダイオードによってクランプされる。これらのピンの電圧が $V_{DD}$ より上になると、内部のダイオードによってクランプされない。この製品はGNDより下でラッチアップを生じることなしに100mAを超える入力電流を処理することができる。

**Note 5:** 注記がない限り、 $V_{DD} = 0V_{DD} = 1.8V$ 、 $f_{SAMPLE} = 80\text{MHz}$ 、内部終端がディスエーブルされたLVDS出力、差動ENC<sup>+</sup>/ENC<sup>-</sup> = 2V<sub>p-p</sub>の正弦波、入力範囲 = 差動ドライブで2V<sub>p-p</sub>。

**Note 6:** 積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

**Note 7:** オフセット誤差は、2の補数出力モードで出力コードが0000000000000000と1111111111111111の間を行ったり来たりするとき、-0.5LSBから測定したオフセット電圧である。

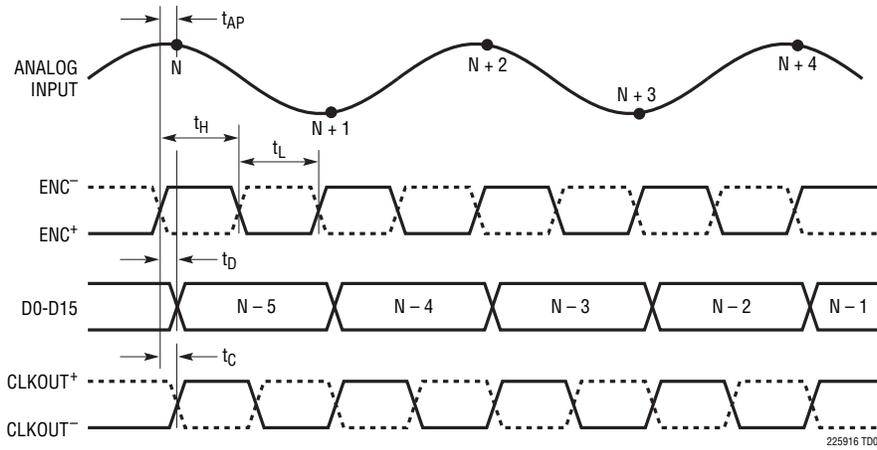
**Note 8:** 設計によって保証されているが、テストされない。

**Note 9:** 注記がない限り、 $V_{DD} = 1.8V$ 、 $f_{SAMPLE} = 80\text{MHz}$ 、ENC<sup>+</sup> = シングルエンド1.8Vの方形波、ENC<sup>-</sup> = 0V、入力範囲 = 差動ドライブで2V<sub>p-p</sub>、各デジタル出力に5pFの負荷。

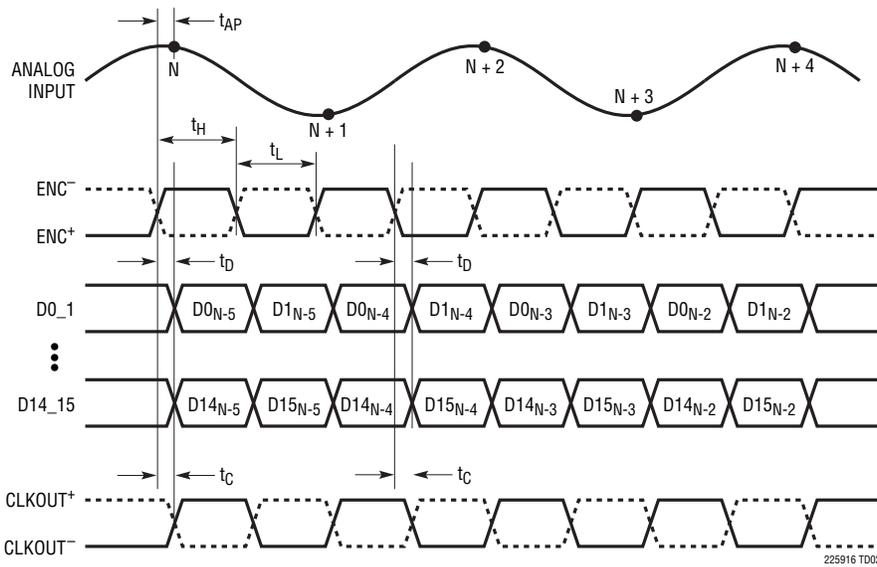
**Note 10:** 推奨動作条件。

タイミング図

フルレートCMOS出力モードのタイミング  
全ての出力はシングルエンドでCMOSレベル

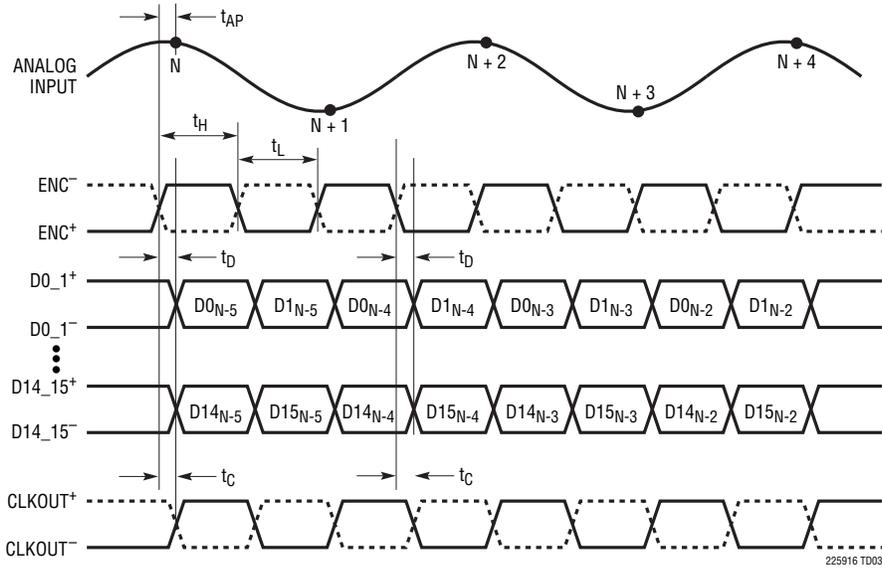


ダブルデータレートCMOS出力モードのタイミング  
全ての出力はシングルエンドでCMOSレベル

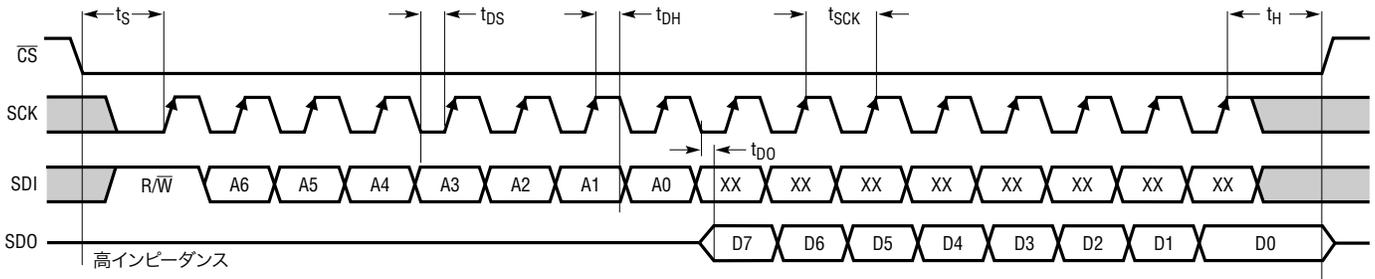


タイミング図

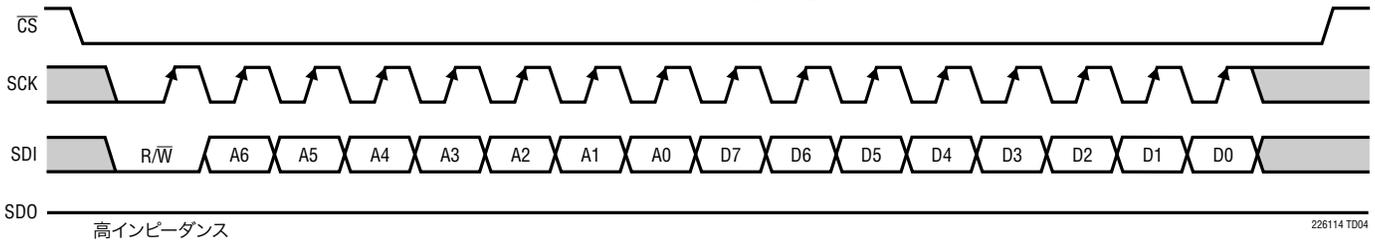
ダブルデータレートLVDS出力モードのタイミング  
全ての出力は差動でLVDSレベル



SPIポートのタイミング(読み出しモード)

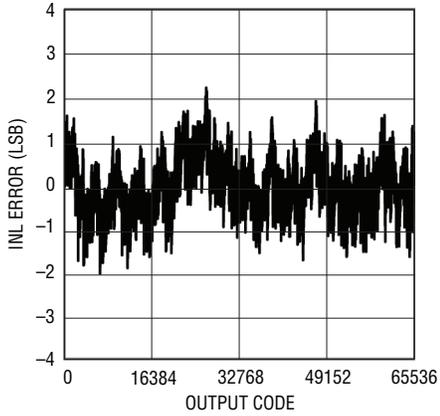


SPIポートのタイミング(書き込みモード)



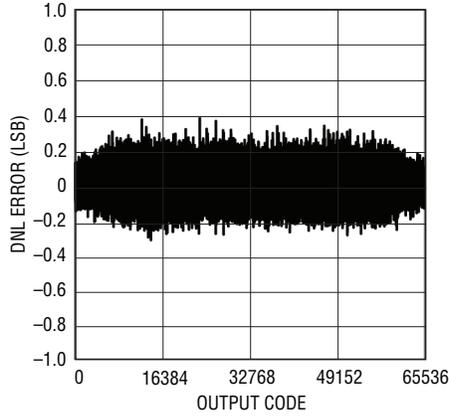
標準的性能特性

LTC2259-16: 積分非直線性 (INL)



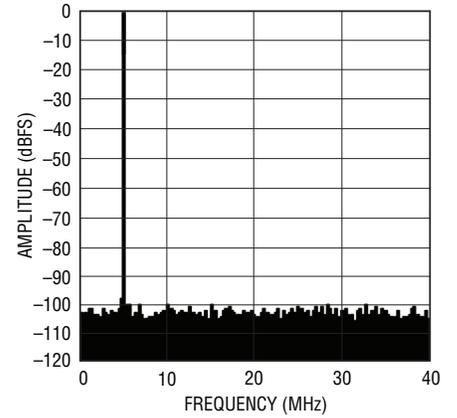
225916 G01

LTC2259-16: 微分非直線性 (DNL)



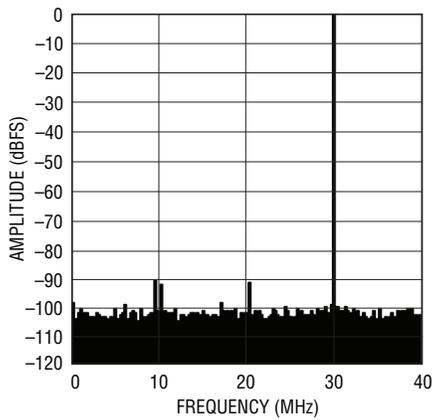
225916 G02

LTC2259-16: 8kポイントのFFT、  
 $f_{IN} = 5\text{MHz} -1\text{dBFS}$ 、80Mps

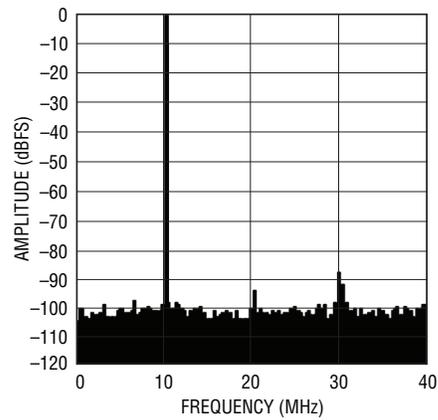


225916 G03

LTC2259-16: 8kポイントのFFT、  
 $f_{IN} = 30\text{MHz} -1\text{dBFS}$ 、80Mps

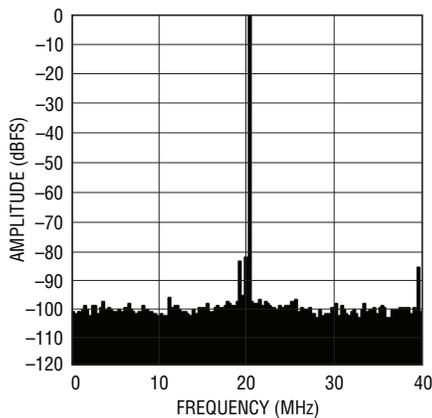


225916 G04



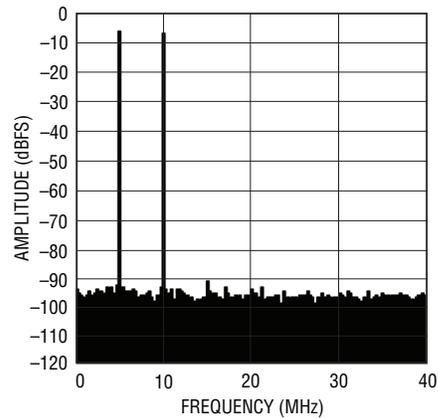
225916 G05

LTC2259-16: 8kポイントのFFT、  
 $f_{IN} = 140\text{MHz} -1\text{dBFS}$ 、80Mps



225916 G06

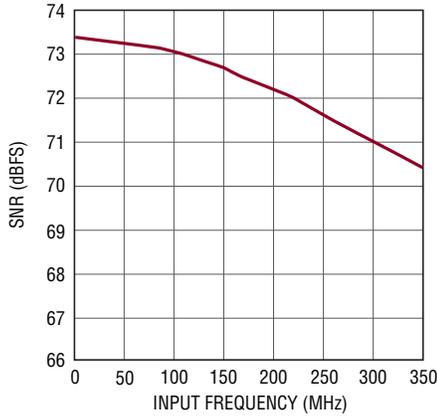
LTC2259-16: 8kポイントの2トーンFFT、  
 $f_{IN} = 70\text{MHz}$ 、75MHz、-1dBFS、  
80Mps



225916 G07

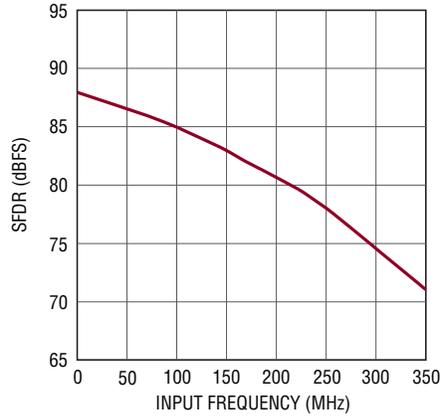
## 標準的性能特性

LTC2259-16: SNRと入力周波数、  
-1dBFS、2V範囲、  
80Msps



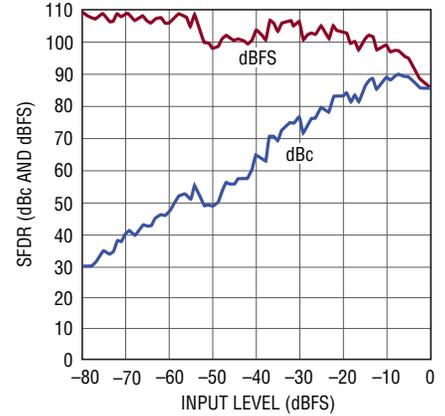
225916 G08

LTC2259-16: SFDRと入力周波数、  
-1dBFS、2V範囲、  
80Msps



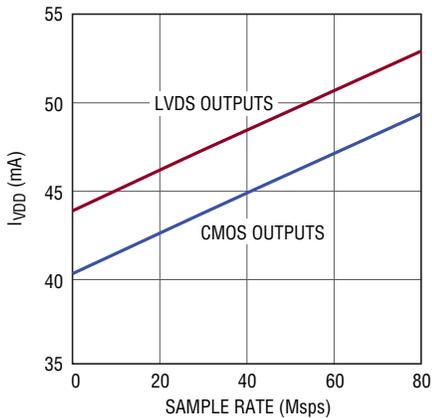
225916 G09

LTC2259-16: SFDRと入力レベル、  
 $f_{IN} = 70\text{MHz}$ 、2V範囲、80Msps



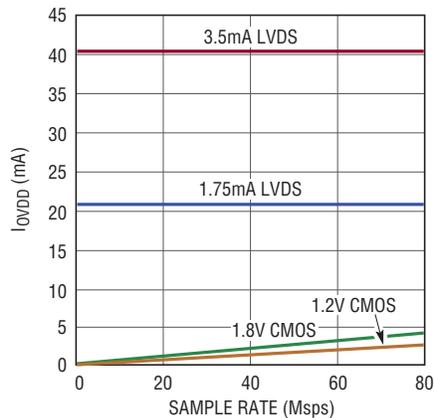
225916 G10

LTC2259-16:  $I_{VDD}$ とサンプル・レート、  
5MHzの正弦波入力、-1dBFS



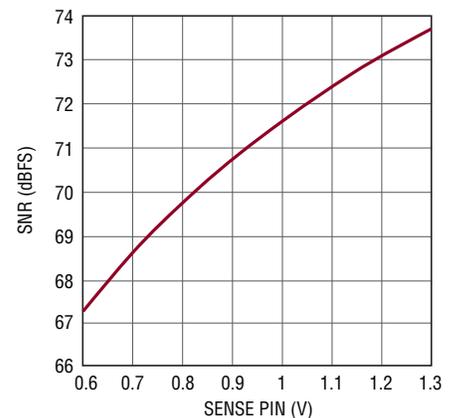
225916 G11

LTC2259-16:  $I_{OVD}$ とサンプル・レート、  
5MHzの正弦波入力、-1dBFS、  
各データ出力に5pF



225916 G12

LTC2259-16: SNRとSENSE、  
 $f_{IN} = 5\text{MHz}$ 、-1dBFS



225916 G13

## ピン機能

### 全てのデジタル出力モードで同じピン

**A<sub>IN</sub><sup>+</sup> (ピン 1)** : 正の差動アナログ入力。

**A<sub>IN</sub><sup>-</sup> (ピン 2)** : 負の差動アナログ入力。

**GND (ピン 3、露出パッドのピン 41)** : ADC の電源グラウンド。

**REFH (ピン 4、5)** : ADC の高リファレンス。2.2 $\mu$ F のセラミック・コンデンサを使ってピン 6 とピン 7 にバイパスし、0.1 $\mu$ F のセラミック・コンデンサを使ってグラウンドにバイパスします。

**REFL (ピン 6、7)** : ADC の低リファレンス。2.2 $\mu$ F のセラミック・コンデンサを使ってピン 4 とピン 5 にバイパスし、0.1 $\mu$ F のセラミック・コンデンサを使ってグラウンドにバイパスします。

**PAR/SER (ピン 8)** : プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブ爾するにはグラウンドに接続します。 $\overline{\text{CS}}$ 、SCK、SDI、SDO は A/D の動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブ爾するには  $V_{\text{DD}}$  に接続します。この場合、 $\overline{\text{CS}}$ 、SCK、SDI は、種類が減少した一組の A/D 動作モードを制御するパラレル・ロジック入力になります。PAR/SER はグラウンドまたはデバイスの  $V_{\text{DD}}$  に直接接続し、ロジック信号ではドライブしません。

**V<sub>DD</sub> (ピン 9、10、40)** : 1.8V アナログ電源。0.1 $\mu$ F のセラミック・コンデンサを使ってグラウンドにバイパスします。ピン 9 とピン 10 はバイパス・コンデンサを共有することができます。

**ENC<sup>+</sup> (ピン 11)** : エンコード入力。立ち上がりエッジで変換が開始されます。

**ENC<sup>-</sup> (ピン 12)** : エンコード相補入力。立ち下がりエッジで変換が開始されます。

**$\overline{\text{CS}}$  (ピン 13)** : シリアル・プログラミング・モードでは (PAR/SER = 0V)、 $\overline{\text{CS}}$  はシリアル・インタフェース・チップ選択入力です。 $\overline{\text{CS}}$  が “L” のとき、SCK がイネーブ爾され、SDI のデータをモード制御レジスタにシフトします。パラレル・プログラミング・モードでは (PAR/SER =  $V_{\text{DD}}$ )、 $\overline{\text{CS}}$  はクロック・デューティ・サイクル・スタビライザを制御します。 $\overline{\text{CS}}$  が “L” のとき、クロック・デューティ・サイクル・スタビライザはオフになります。 $\overline{\text{CS}}$  が “H” のとき、クロック・デューティ・サイクル・スタビライザはオンになります。 $\overline{\text{CS}}$  は 1.8V ~ 3.3V のロジックでドライブすることができます。

**SCK (ピン 14)** : シリアル・プログラミング・モードでは (PAR/SER = 0V)、SCK はシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モードでは (PAR/SER =  $V_{\text{DD}}$ )、SCK はデジタル出力モードを制御します。SCK が “L” のときは、フルレート CMOS 出力モードがイネーブ爾されます。SCK が “H” のときは、(出力電流が 3.5mA の) ダブルデータレート LVDS 出力モードがイネーブ爾されます。SCK は 1.8V ~ 3.3V のロジックでドライブすることができます。

**SDI (ピン 15)** : シリアル・プログラミング・モードでは (PAR/SER = 0V)、SDI はシリアル・インタフェースのデータ入力です。SDI のデータは SCK の立ち上がりエッジでクロッキングされてモード制御レジスタに入力されます。パラレル・プログラミング・モードでは (PAR/SER =  $V_{\text{DD}}$ )、SDI を使ってデバイスをパワーダウンすることができます。SDI が “L” のとき、デバイスは通常動作します。SDI が “H” のとき、デバイスはスリープ・モードに入ります。SDI は 1.8V ~ 3.3V のロジックでドライブすることができます。

**SDO (ピン 16)** : シリアル・プログラミング・モードでは (PAR/SER = 0V)、SDO はオプションのシリアル・インタフェースのデータ出力です。SDO のデータはモード制御レジスタから読み出して SCK の立ち下がりエッジでラッチすることができます。SDO はオープン・ドレインの NMOS 出力で、1.8V ~ 3.3V への外部 2k  $\Omega$  プルアップ抵抗が必要です。モード制御レジスタから読み出す必要がなければ、プルアップ抵抗は不要で SDO を未接続のままにしておくことができます。パラレル・プログラミング・モードでは (PAR/SER =  $V_{\text{DD}}$ )、SDO は使われないので接続しません。

**OGND (ピン 25)** : 出力ドライバのグラウンド。

**OV<sub>DD</sub> (ピン 26)** : 出力ドライバの電源。0.1 $\mu$ F のセラミック・コンデンサを使ってグラウンドにバイパスします。

**V<sub>CM</sub> (ピン 37)** : 公称  $V_{\text{DD}}/2$  に等しい同相バイアス出力。V<sub>CM</sub> はアナログ入力の同相レベルをバイアスするのに使います。0.1 $\mu$ F のセラミック・コンデンサを使ってグラウンドにバイパスします。

**V<sub>REF</sub> (ピン 38)** : リファレンス電圧出力。1 $\mu$ F のセラミック・コンデンサを使ってグラウンドにバイパスします。公称 1.25V です。

**SENSE (ピン 39)** : リファレンス・プログラミング・ピン。SENSE を  $V_{\text{DD}}$  に接続すると、内部リファレンスと  $\pm 1V$  の入力範囲が選択されます。SENSE をグラウンドに接続すると、内部リファレンスと  $\pm 0.5V$  の入力範囲が選択されます。0.625V ~ 1.3V の外部リファレンスを SENSE に与えると、 $\pm 0.8 \cdot V_{\text{SENSE}}$  の入力範囲が選択されます。

## ピン機能

### フルレート CMOS 出力モード

下の全てのピンは CMOS 出力レベル (OGND から  $0V_{DD}$ ) を備えています。

**D0 ~ D15 (ピン 35、36、17 ~ 24、29 ~ 34) :** デジタル出力。D15 が MSB です。D0 が LSB です。

**CLKOUT<sup>-</sup> (ピン 27) :** CLKOUT<sup>+</sup> の反転バージョン。

**CLKOUT<sup>+</sup> (ピン 28) :** データ出力クロック。デジタル出力は通常 CLKOUT<sup>+</sup> の立ち下がリエッジと同時に遷移します。CLKOUT<sup>+</sup> の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

### ダブルデータレート CMOS 出力モード

下の全てのピンは CMOS 出力レベル (OGND から  $0V_{DD}$ ) を備えています。

**D0\_1 ~ D14\_15 (ピン 36、18、20、22、24、30、32、34) :** ダブルデータレート・デジタル出力。2 データ・ビットが各出力ピンに多重化されます。CLKOUT<sup>+</sup> が “L” のとき、偶数データ・ビット (D0、D2、D4、D6、D8、D10、D12、D14) が現れます。CLKOUT<sup>+</sup> が “H” のとき、奇数データ・ビット (D1、D3、D5、D7、D9、D11、D13、D15) が現れます。

**CLKOUT<sup>-</sup> (ピン 27) :** CLKOUT<sup>+</sup> の反転バージョン。

**CLKOUT<sup>+</sup> (ピン 28) :** データ出力クロック。デジタル出力は通常 CLKOUT<sup>+</sup> の立ち下がリエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT<sup>+</sup> の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

**DNC (ピン 17、19、21、23、29、31、33、35) :** これらのピンは接続しないでください。

### ダブルデータレート LVDS 出力モード

下の全てのピンは LVDS 出力レベルを備えています。出力電流レベルはプログラム可能です。各 LVDS 出力対 (ペア) の間にはオプションの内部 100Ω 終端抵抗があります。

**D0\_1<sup>-</sup>/D0\_1<sup>+</sup> ~ D14\_15<sup>-</sup>/D14\_15<sup>+</sup> (ピン 35/36、17/18、19/20、21/22、23/24、29/30、31/32、33/34) :** ダブルデータレート・デジタル出力。2 データ・ビットが各差動出力対に多重化されます。CLKOUT<sup>+</sup> が “L” のとき、偶数データ・ビット (D0、D2、D4、D6、D8、D10、D12、D14) が現れます。CLKOUT<sup>+</sup> が “H” のとき、奇数データ・ビット (D1、D3、D5、D7、D9、D11、D13、D15) が現れます。

**CLKOUT<sup>-</sup>/CLKOUT<sup>+</sup> (ピン 27/28) :** データ出力クロック。デジタル出力は通常 CLKOUT<sup>+</sup> の立ち下がリエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT<sup>+</sup> の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

機能ブロック図

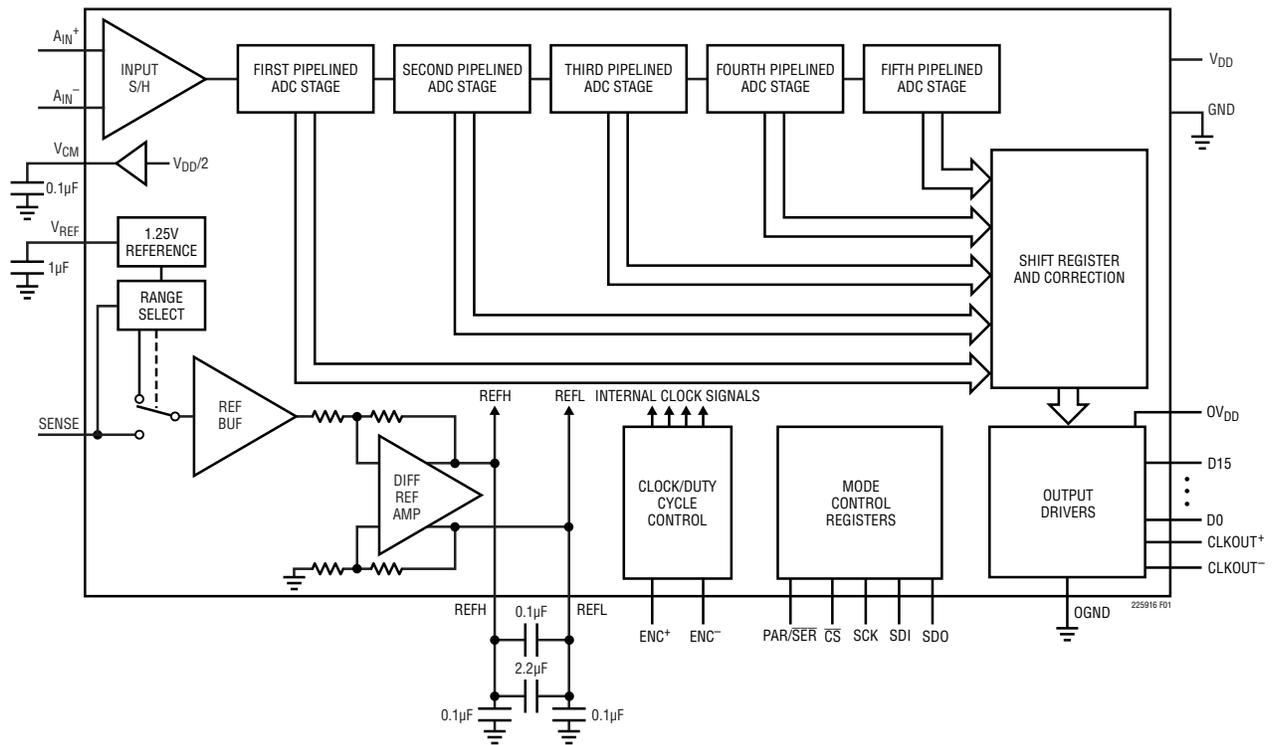


図1. 機能ブロック図

## アプリケーション情報

### コンバータの動作

LTC2259-16 は単一 1.8V 電源で動作する低消費電力 16 ビット 80MSPS A/D コンバータです。アナログ入力は差動でドライブします。エンコード入力は差動で、または消費電力を下げるためシングルエンドでドライブすることができます。デジタル出力は、CMOS、(多数の出力ラインを使うため) ダブルデータレート CMOS、または (システム内のデジタル・ノイズを減らすため) ダブルデータレート LVDS にすることができます。シリアル SPI ポートを通してモード制御レジスタをプログラムすることにより、多くの追加機能を選択することができます。「シリアル・プログラミング・モード」のセクションを参照してください。

### アナログ入力

アナログ入力は差動 CMOS サンプル・ホールド回路です (図 2)。入力は (通常  $V_{DD}/2$  である)  $V_{CM}$  出力ピンによって設定される同相電圧を中心にして差動でドライブします。2V の入力範囲では、入力は  $V_{CM} - 0.5V$  から  $V_{CM} + 0.5V$  まで振幅させます。入力間には  $180^\circ$  の位相差を持たせます。

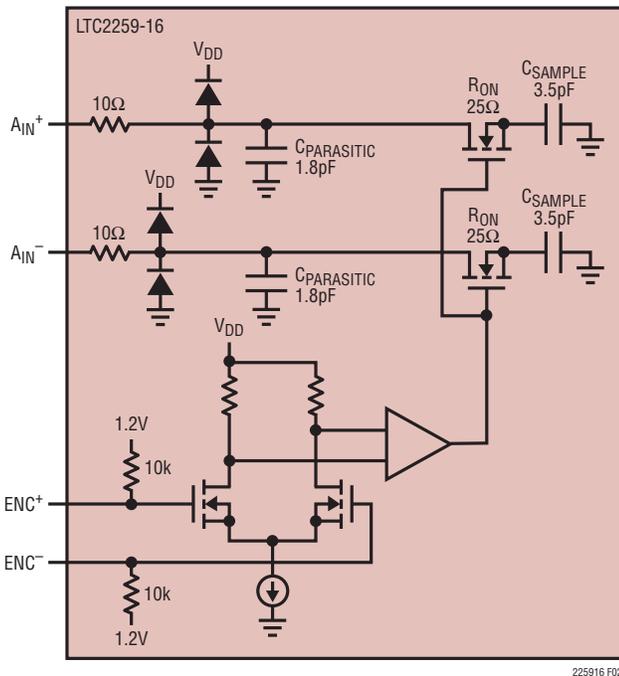


図2. 等価入力回路

### 入力ドライブ回路

#### 入力のフィルタリング

できれば、アナログ入りに RC ローパス・フィルタを置きます。このローパス・フィルタはドライブ回路を A/D のサンプル・ホールドのスイッチングから分離し、ドライブ回路の広帯域ノイズも制限します。入力 RC フィルタの一例を図 3 に示します。RC 部品値はアプリケーションの入力周波数に基づいて選択します。

#### トランス結合回路

2 次側にセンタータップを備えた RF 変圧器によってドライブされるアナログ入力を図 3 に示します。センタータップは  $V_{CM}$  でバイアスされており、A/D の入力を最適 DC レベルに設定します。高い入力周波数では、伝送ラインの balan・トランス (図 4 ~ 図 6) はもっと良くバランスがとれているので、A/D の歪みが小さくなります。

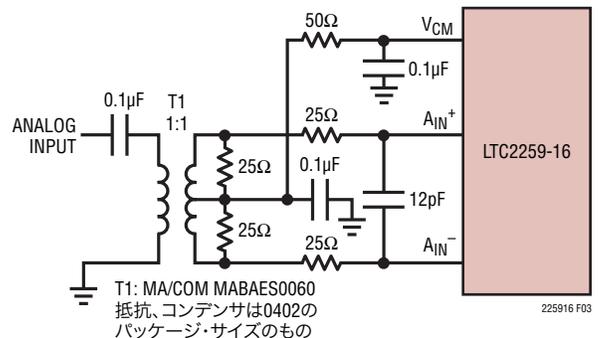


図3. トランスを使ったアナログ入力回路。  
5MHz~70MHzの入力周波数に対して推奨

## アプリケーション情報

## アンプ回路

高速差動アンプによってドライブされるアナログ入力を図7に示します。アンプの出力はA/DにAC結合されているので、アンプの出力の同相電圧を最適に設定して歪みを最小に抑えることができます。

非常に高い周波数では、RF利得ブロックの歪みの方が多くの場合差動アンプのそれより小さくなります。利得ブロックがシングルエンドであれば、A/Dをドライブする前にトランス回路(図4～図6)で信号を差動に変換します。

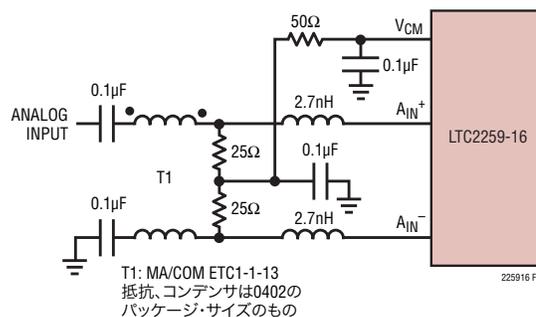


図6. 270MHzを超える入力周波数用の  
推奨フロントエンド回路

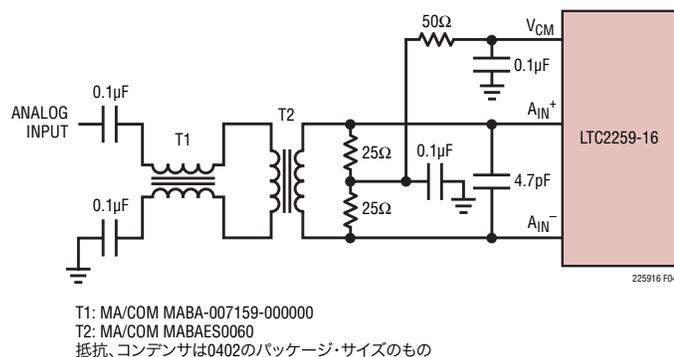


図4. 70MHz～170MHzの入力周波数用の  
推奨フロントエンド回路

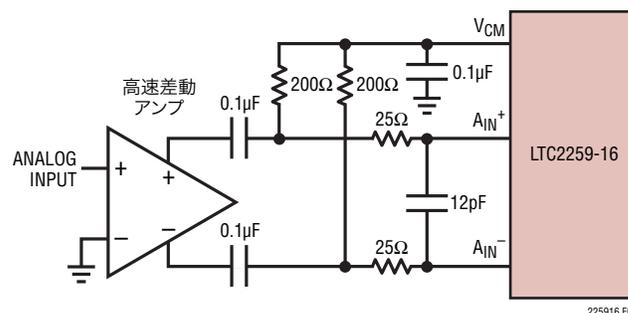


図7. 高速差動アンプを使った  
フロントエンド回路

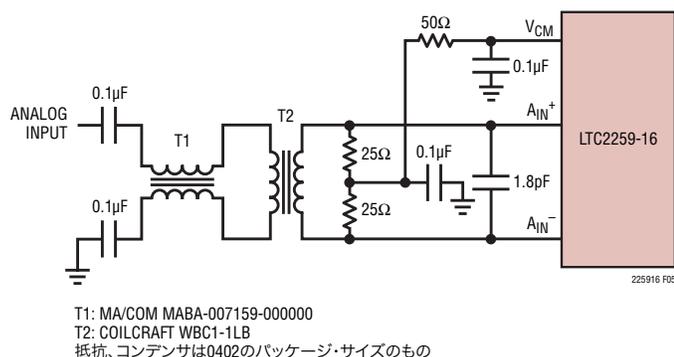


図5. 170MHz～270MHzの入力周波数用の  
推奨フロントエンド回路

## アプリケーション情報

### リファレンス

LTC2259-16は1.25Vの電圧リファレンスを内蔵しています。内部リファレンスを使った2Vの入力範囲の場合、SENSEをV<sub>DD</sub>に接続します。内部リファレンスを使った1Vの入力範囲の場合、SENSEをグランドに接続します。外部リファレンスを使った2Vの入力範囲の場合、1.25Vのリファレンス電圧をSENSEに与えます(図9)。

入力範囲は0.625V～1.30Vの電圧をSENSEに与えて調節することができます。この場合、入力範囲は1.6・V<sub>SENSE</sub>になります。

V<sub>REF</sub>、REFHおよびREFLの各ピンは図8に示されているようにバイパスします。REFHとREFLの間の0.1μFコンデンサは(回路基板の裏側ではなく)できるだけピンに近づけます。

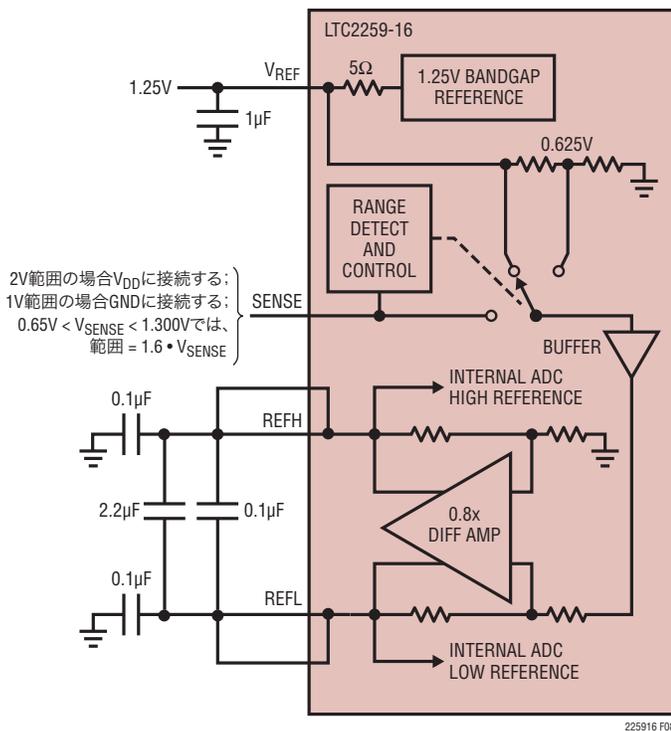


図8. リファレンス回路

### エンコード入力

エンコード入力の信号品質はA/Dのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。回路基板上でそれらを決してデジタル・トレースの隣に配線しないでください。エンコード入力には2つの動作モードがあります。差動エンコード・モード(図10)とシングルエンド・エンコード・モード(図11)です。

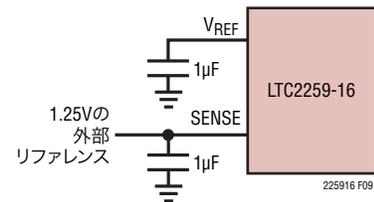


図9. 外部1.25Vリファレンスの使い方

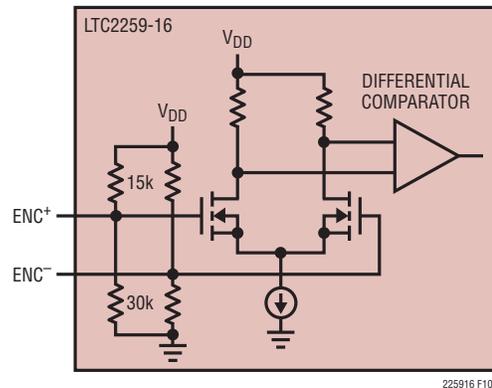


図10. 差動エンコード・モードの等価エンコード入力回路

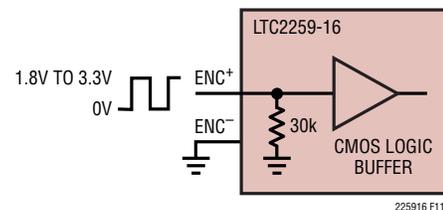
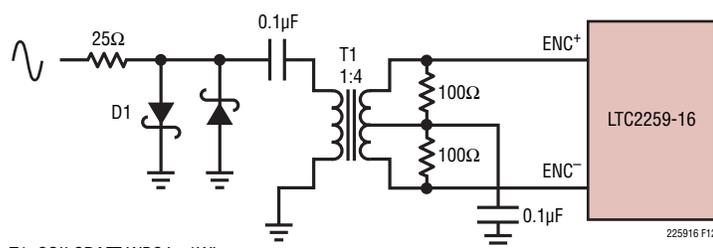


図11. シングルエンド・エンコード・モードの等価エンコード入力回路

差動エンコード・モードは、正弦波、PECL または LVDS のエンコード入力に推奨します (図 12、図 13)。エンコード入力は内部で 10k の等価抵抗を介して 1.2V にバイアスされています。エンコード入力は  $V_{DD}$  より上にすることができ (最大 3.6V)、同相範囲は 1.1V ~ 1.6V です。差動エンコード・モードでは、 $ENC^-$  はグランドより少なくとも 200mV 上に保って、シングルエンド・エンコード・モードを誤ってトリガするのを防ぎます。良いジッタ性能を得るため、 $ENC^+$  と  $ENC^-$  の立ち上がり時間と立ち下がり時間を速くします。

シングルエンド・エンコード・モードは CMOS エンコード入力で使います。このモードを選択するには、 $ENC^-$  をグランドに接続し、 $ENC^+$  を方形波のエンコード入力でドライブします。 $ENC^+$  は  $V_{DD}$  より上にすることができ (最大 3.6V)、1.8V ~ 3.3V の CMOS ロジック・レベルを使うことができます。 $ENC^+$  のスレッショルドは 0.9V です。良いジッタ性能を得るため、 $ENC^+$  の立ち上がり時間と立ち下がり時間を速くします。



T1: COILCRAFT WBC4 - 1WL  
D1: AVAGO HSMS - 2822  
抵抗、コンデンサは0402のパッケージ・サイズのもの

図12. 正弦波エンコード・ドライブ

### クロック・デューティ・サイクル・スタビライザ

良い性能を実現するには、エンコード信号のデューティ・サイクルを 50% ( $\pm 5\%$ ) にします。オプションのクロック・デューティ・サイクル・スタビライザがイネーブルされていると、エンコードのデューティ・サイクルは 30% ~ 70% で変化することができ、デューティ・サイクル・スタビライザは一定の 50% 内部デューティ・サイクルを維持します。エンコード信号が周波数を変えるか、またはオフすると、デューティ・サイクル・スタビライザ回路は入力クロックにロックするのに 100 クロック・サイクルを必要とします。デューティ・サイクル・スタビライザはモード制御レジスタ A2 (シリアル・プログラミング・モード) によって、または  $\overline{CS}$  (パラレル・プログラミング・モード) によってイネーブルされます。

サンプル・レートを即座に変更する必要があるアプリケーションでは、クロック・デューティ・サイクル・スタビライザをディセーブルすることができます。デューティ・サイクル・スタビライザをディセーブルする場合、サンプリング・クロックのデューティ・サイクルが 50% ( $\pm 5\%$ ) になるように注意してください。デューティ・サイクル・スタビライザは 5Msps より下では使わないでください。

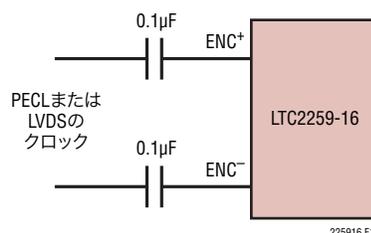


図13. PECLまたはLVDSのエンコード・ドライブ

## アプリケーション情報

### デジタル出力

#### デジタル出力モード

LTC2259-16 は 3 つのデジタル出力モードで動作可能です。フルレート CMOS、(多数の出力ラインを使うための) ダブルデータレート CMOS、または (システム内のデジタル・ノイズを減らすための) ダブルデータレート LVDS です。出力モードはモード制御レジスタ A3 (シリアル・プログラミング・モード) によって、または SCK (パラレル・プログラミング・モード) によって設定されます。ダブルデータレート CMOS はパラレル・プログラミング・モードでは選択できないことに注意してください。

#### フルレート CMOS モード

フルレート CMOS モードでは、16 のデジタル出力 (D0 ~ D15)、およびデータ出力クロック (CLKOUT<sup>+</sup>、CLKOUT<sup>-</sup>) が CMOS 出力レベルになります。出力は OV<sub>DD</sub> と OGND から電力を供給され、A/D コア電源とグラウンドからは分離されています。OV<sub>DD</sub> は 1.1V ~ 1.9V の範囲をとることができるので、1.2V ~ 1.8V の CMOS ロジック出力が可能です。

良い性能を得るため、デジタル出力は最小限の容量性負荷をドライブするようにします。負荷容量が 10pF より大きい場合、デジタル・バッファを使用します。

#### ダブルデータレート CMOS モード

ダブルデータレート CMOS モードでは、2 つのデータ・ビットが多重化されて各データピンに出力されます。これにより、必要なデータ・ラインの数が 8 だけ減るので、基板配線が簡単になり、データを受け取るのに必要な入力ピンの個数が減ります。8 デジタル出力 (D0\_1、D2\_3、D4\_5、D6\_7、D8\_9、D10\_11、D12\_13、D14\_15)、およびデータ出力クロック (CLKOUT<sup>+</sup>、CLKOUT<sup>-</sup>) が CMOS 出力レベルになります。出力は OV<sub>DD</sub> と OGND から電力を供給され、A/D コア電源とグラウンドからは分離されています。OV<sub>DD</sub> は 1.1V ~ 1.9V の範囲をとることができるので、1.2V ~ 1.8V の CMOS ロジック出力が可能です。

良い性能を得るため、デジタル出力は最小限の容量性負荷をドライブするようにします。負荷容量が 10pF より大きい場合、デジタル・バッファを使用します。

#### ダブルデータレート LVDS モード

ダブルデータレート LVDS モードでは、2 つのデータ・ビットが多重化されて各差動出力対に出力されます。デジタル出力データのための 8 つの LVDS 出力対 (D0\_1<sup>+</sup>/D0\_1<sup>-</sup> ~ D14\_15<sup>+</sup>/D14\_15<sup>-</sup>) があります。データ出力クロック (CLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>) は LVDS 出力対を備えています。

既定では、出力は標準 LVDS レベルです。つまり、出力電流が 3.5mA、出力同相電圧が 1.25V です。各 LVDS 出力対には外部 100Ω 差動終端抵抗が必要です。終端抵抗は LVDS レシーバにできるだけ近づけて配置します。

出力は OV<sub>DD</sub> と OGND から電力を供給され、A/D コア電源とグラウンドからは分離されています。LVDS モードでは、OV<sub>DD</sub> を 1.8V にする必要があります。

#### プログラム可能な LVDS 出力電流

LVDS モードでは、既定の出力ドライバ電流は 3.5mA です。この電流はモード制御レジスタ A3 をシリアルにプログラムすることにより調節することができます。利用可能な電流レベルは 1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mA および 4.5mA です。

#### オプションの LVDS ドライバの内部終端

ほとんどの場合、外部 100Ω 終端抵抗を使えば LVDS 信号の優れた完全性が得られます。さらに、モード制御レジスタ A3 をシリアルにプログラムすることにより、オプションの内部 100Ω 終端抵抗をイネーブルすることができます。内部終端はレシーバ側の不完全な終端によって生じる反射を吸収するのに役立ちます。内部終端がイネーブルされると、出力ドライバ電流が 1.6 倍に増加し、ほぼ同じ出力電圧振幅を維持します。

#### 出力クロックの位相シフト

フルレート CMOS モードでは、データ出力ビットは通常 CLKOUT<sup>+</sup> の立ち下がりエッジと同時に変化するので、CLKOUT<sup>+</sup> の立ち上がりエッジを使って出力データをラッチすることができます。ダブルデータレートの CMOS および LVDS の各モードでは、データ出力ビットは通常 CLKOUT<sup>+</sup> の立ち下がりエッジおよび立ち上がりエッジと同時に変化します。データをラッチするとき適切なセットアップ時間とホールド時間を与えるには、電圧出力ビットに対して CLKOUT<sup>+</sup> 信号の位相をシフトさ

## アプリケーション情報

せる必要があるかもしれません。ほとんどのFPGAはこの機能を備えています。これは一般にタイミングを調整する最良の場所です。

LTC2259-16は、モード制御レジスタA2をシリアルにプログラムすることにより、CLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>信号の位相をシフトすることもできます。出力クロックは0°、45°、90°または135°だけシフトすることができます。位相シフト機能を使うには、クロック・デューティ・サイクル・スタビライザをオンする必要があります。もう1つの制御レジスタ・ビットは、位相シフトとは独立に、CLKOUT<sup>+</sup>とCLKOUT<sup>-</sup>の極性を反転させることができます。これら2つの機能を組み合わせると、45°から315°までの位相シフトが可能になります（図14）。

## データ形式

アナログ入力電圧とデジタル・データ出力ビットの相互関係を表1に示します。既定では、出力データの形式はオフセット・バイナリです。モード制御レジスタA4をシリアルにプログラムすることにより、2の補数形式を選択することができます。アナログ入力がある動作範囲から外れると、2つのLSB（D1、D0）が変化することがあるので、無視すべきであることに注意してください。

表1. 出力コードと入力電圧

A <sub>IN</sub> <sup>+</sup> - A <sub>IN</sub> <sup>-</sup> (2V範囲)	D15-D0 (オフセット・バイナリ)	D15-D0 (2の補数)
>1.000000V	1111 1111 1111 11XX	0111 1111 1111 11XX
+0.999970V	1111 1111 1111 1111	0111 1111 1111 1111
+0.999939V	1111 1111 1111 1110	0111 1111 1111 1110
+0.999909V	1111 1111 1111 1101	0111 1111 1111 1101
+0.999978V	1111 1111 1111 1100	0111 1111 1111 1100
+0.000030V	1000 0000 0000 0001	0000 0000 0000 0001
+0.000000V	1000 0000 0000 0000	0000 0000 0000 0000
+0.000030V	0111 1111 1111 1111	1111 1111 1111 1111
+0.000061V	0111 1111 1111 1110	1111 1111 1111 1110
-0.999878V	0000 0000 0000 0011	1000 0000 0000 0011
-0.999909V	0000 0000 0000 0010	1000 0000 0000 0010
-0.999939V	0000 0000 0000 0001	1000 0000 0000 0001
-1.000000V	0000 0000 0000 0000	1000 0000 0000 0000
<-1.000000V	0000 0000 0000 00XX	1000 0000 0000 00XX

注記: Xはデータが1または0であることを意味します。

## デジタル出力ランダムマイザ

A/Dのデジタル出力からの干渉を避けられないことがあります。デジタルの干渉は、容量性や誘導性の結合またはグラウンド・プレーンによる結合から生じる可能性があります。微小な結合係数であっても、ADCの出力スペクトルに不要なトーンを生じることがあります。デジタル出力をデバイスから送出する前にランダム化することにより、これらの不要トーンをランダム化し、不要トーン

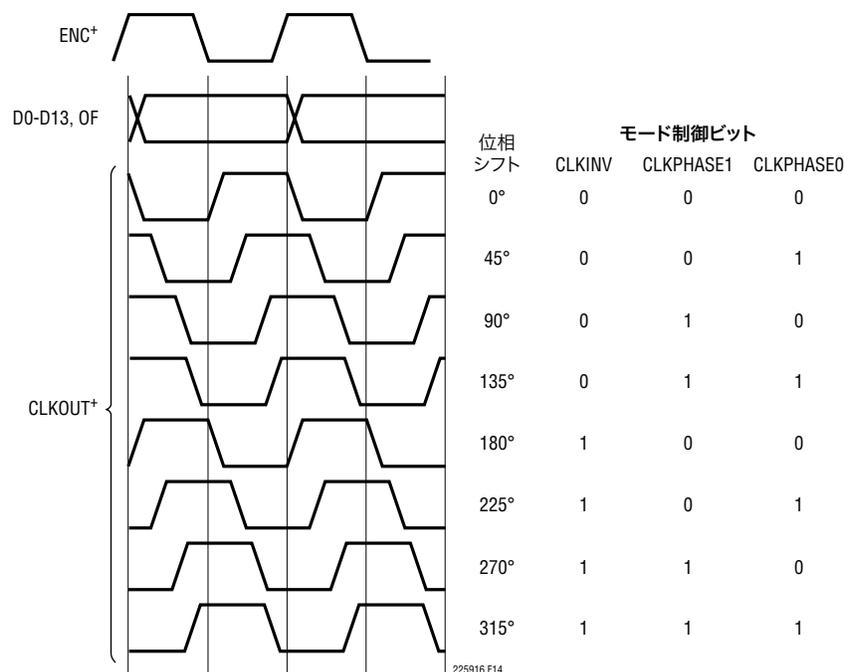


図14. CLKOUTの位相シフト

## アプリケーション情報

ンの振幅を減少させることができます。

デジタル出力は、排他的 OR ロジック演算を D2 と他の全てのデータ出力ビットとの間で行うことによってランダム化されます。デコードするには逆演算を行います。つまり、排他的 OR 演算を D2 と他の全てのビットとの間で行います。D2 および CLKOUT の各出力は影響を受けません。モード制御レジスタ A4 をシリアルにプログラムすることにより、出力ランダマイザをイネーブルすることができます。

## 交互ビット極性

回路基板のデジタル帰還を減らす別の機能は交互ビット極性モードです。このモードがイネーブルされると、全ての奇数ビット (D1、D3、D5、D7、D9、D11、D13、D15) が出力バッファの前で反転します。偶数ビット (D0、D2、D4、D6、D8、D10、D12、D14) および CLKOUT は影響されません。これは、回路基板のグランド・プレーンのデジタル電流を減らして、(特に非常に小さなアナ

ログ入力信号の場合) デジタル・ノイズを減らすことができます。

A/D の入力にミッドスケールのあたりを中心にした非常に小さな信号があるとき、デジタル出力はほとんど 1 とほとんど 0 の間をトグルします。このようにほとんどのビットを同時に切り替えると大きな電流がグランド・プレーンを流れます。1 つおきにビットを反転させることにより、交互ビット極性モードはビットの半数を “H” に遷移させ、ビットの半数を “L” に遷移させます。これは 1 次近似でグランド・プレーンの電流をキャンセルし、デジタルノイズを減らします。

デジタル出力は、奇数ビット (D1、D3、D5、D7、D9、D11、D13、D15) を反転することにより、レシーバによってデコードされます。交互ビット極性モードはデジタル出力ランダマイザからは独立しています。つまり、どちらかの機能だけをオンすることも、両方の機能を同時にオンすることも、両方の機能を同時にオフすることも可能です。交互ビット極性モードがオンしているとき、データ形式はオフセット・バイナリで、2 の補数の制御ビットは無効です。モード制御レジスタ A4 をシリアルにプログラムすることにより、交互ビット極性モードがイ

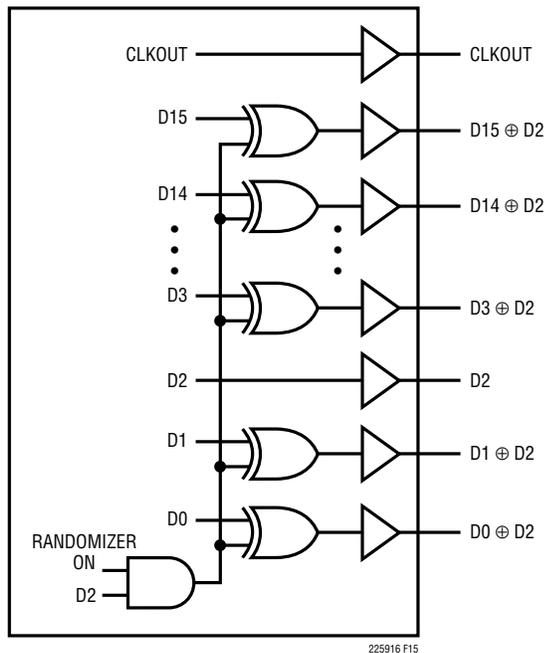


図15. デジタル出力ランダマイザの等価機能

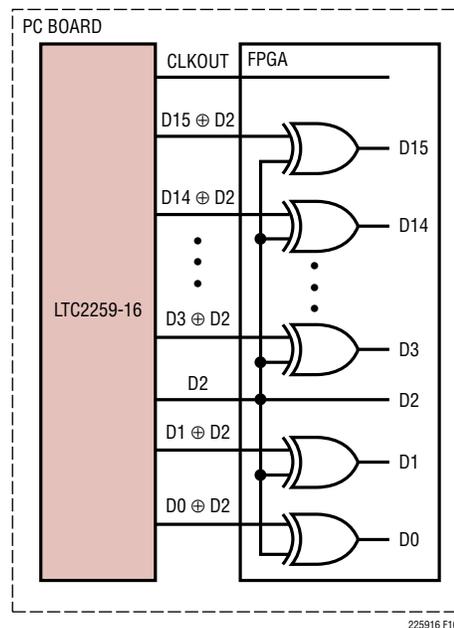


図16. ランダム化されたデジタル出力信号の復元

## アプリケーション情報

ネーブルされます。

### デジタル出力のテストパターン

A/D へのデジタル・インタフェースのインサーキット・テストを可能にするため、A/D データ出力 (D15 ~ D2) の大部分を既知の値に強制するいくつかのテスト・モードがあります。2つの LSB (D1 と D0) はテストパターン・モードでは制御されず、未知の値にすることができることに注意してください。

オール 1: 出力は 1111 1111 1111 11XX です。

オール 0: 出力は 0000 0000 0000 00XX です。

交替: サンプルを交替させると、出力は 1111 1111 1111 11XX から 0000 0000 0000 00XX に変化します。

格子縞: サンプルを交替させると、出力は 1010 1010 1010 10XX から 0101 0101 0101 01XX に変化します。

モード制御レジスタ A4 をシリアルにプログラムすることにより、デジタル出力テストパターンをイネーブルすることができます。テストパターンがイネーブルされると、他の全ての形式設定モード (2 の補数、ランダムイザ、交互ビット極性) をオーバーライドします。

### 出力ディスエーブル

モード制御レジスタ A3 をシリアルにプログラムすることにより、デジタル出力をディスエーブルすることができます。CLKOUT を含む全てのデジタル出力がディスエーブルされます。高インピーダンスのディスエーブルされた状態は長期間の休止状態のためのものです。これは、複数のコンバータの間でデータ・バスをフルスピードで多重化するには遅すぎます。

### スリープ・モードとナップ・モード

節電のため、A/D をスリープ・モードまたはナップ・モードにすることができます。スリープ・モードでは、A/D コンバータ全体がパワーダウンし、電力消費は 0.5mW になります。スリープ・モードは、モード制御レジスタ A1 (シリアル・プログラミング・モード) によって、または SDI (パラレル・プログラミング・モード) によってイネーブルされます。スリープ・モードから回復するのに要する時間は、 $V_{REF}$ 、REFH および REFL のバイパス・コンデンサの大きさに依存します。図 8 の推奨値の場合、A/D は 2ms で安定します。

ナップ・モードでは、A/D のコアはパワーダウンしますが、内部リファレンス回路はアクティブなままなので、スリープ・モードよりも速く覚醒することができます。ナップ・モードからの回復には少なくとも 100 クロック・サイクルが必要です。非常に正確な DC セトリングを要求するアプリケーションの場合、追加の 50 $\mu$ s を与えて、

A/D がナップ・モードから移行するときの消費電流の変化によって生じるわずかな温度変化に対して内蔵リファレンスがセトリングするようにします。ナップ・モードは、シリアル・プログラミング・モードのモード制御レジスタ A1 によってイネーブルされます。

### デバイスのプログラミング・モード

LTC2259-16 の動作モードはパラレル・インタフェースまたは簡単なシリアル・インタフェースのどちらでもプログラム可能です。シリアル・インタフェースの方が柔軟性があり、利用可能な全てのモードをプログラムすることができます。パラレル・インタフェースはもっと制限されており、よく使われるモードのいくつかだけをプログラムすることができます。

### パラレル・プログラミング・モード

パラレル・プログラミング・モードを使うには、 $\overline{\text{PAR/SER}}$  を  $V_{DD}$  に接続します。 $\overline{\text{CS}}$ 、SCK および SDI の各ピンはバイナリ・ロジック入力で、特定の動作モードを設定します。これらのピンは  $V_{DD}$  またはグラウンドに接続することができます。または、1.8V、2.5V または 3.3V の CMOS ロジックでドライブすることができます。 $\overline{\text{CS}}$ 、SCK および SDI によって設定されるモードを表 2 に示します。

表2. パラレル・プログラミング・モード制御ビット (PAR/SER =  $V_{DD}$ )

ピン	概要
$\overline{\text{CS}}$	クロック・デューティ・サイクル・スタビライザ制御ビット 0 = クロック・デューティ・サイクル・スタビライザをオフ 1 = クロック・デューティ・サイクル・スタビライザをオン
SCK	デジタル出力モード制御ビット 0 = フルレート CMOS 出力モード 1 = ダブルデータレート LVDS 出力モード (3.5mA LVDS 電流、内部終端はオフ)
SDI	パワーダウン制御ビット 0 = 通常動作 1 = スリープ・モード

### シリアル・プログラミング・モード

シリアル・プログラミング・モードを使うには、 $\overline{\text{PAR/SER}}$  をグラウンドに接続します。 $\overline{\text{CS}}$ 、SCK、SDI および SDO の各ピンは、A/D モード制御レジスタをプログラムするシリアル・インタフェースになります。データは 16 ビットのシリアル・ワードでレジスタに書き込まれます。レジスタの内容を検証するため、データをレジスタから読み出すこともできます。

シリアル・データ転送は  $\overline{\text{CS}}$  が“L”になると開始されます。

225916fa

## アプリケーション情報

SDI ピンのデータは SCK の最初の 16 の立ち上がりエッジでラッチされます。SCK の最初の 16 の立ち上がりエッジ後の立ち上がりエッジはどれも無視されます。データ転送は  $\overline{CS}$  が再度 “H” になると終了します。

16 ビットの入力ワードの最初のビットは R/ $\overline{W}$  ビットです。次の 7 ビットはレジスタのアドレス (A6:A0) です。最後の 8 ビットはレジスタのデータ (D7:D0) です。

R/ $\overline{W}$  ビットが “L” だと、シリアル・データ (D7:D0) はアドレス・ビット (A6:A0) によって選択されるレジスタに書き込まれます。R/ $\overline{W}$  ビットが “H” だと、アドレス・ビット (A6:A0) によって選択されるレジスタ内のデータが SDO ピンで読み出されます (タイミング図を参照)。読み出し命令の間レジスタは更新されず、SDI のデータは無視されます。

SDO ピンはオープン・ドレイン出力で、200 $\Omega$  のインピーダンスでグラウンドに引き下げます。SDO を介してレジスタのデータを読み出す場合、外部に 2k のプルアップ抵抗が必要です。シリアル・データは書き込み専用で読み出しは不要であれば、SDO はフロートさせておくことができ、プルアップ抵抗は不要です。

モード制御レジスタのマップを表 3 に示します。

### ソフトウェアによるリセット

シリアル・プログラミングを使う場合、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル命令は、全てのレジスタのデータ・ビットをロジック 0 にリセットするソフトウェア・リセットでなければなりません。ソフトウェア・リセットを実行するには、リセット・レジスタのビット D7 にロジック 1 を書き込みます。リセット SPI 書き込み命令が完了した後、ビット D7 は自動的に再度ゼロに設定されます。

### 接地とバイパス

LTC2259-16 には切れ目の無いクリーンなグラウンド・プレーンを備えたプリント基板が必要です。ADC の下の最初の層に内部グラウンド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ分離します。特に、どのデジタル・トラックもアナログ信号トラックに沿って配置しないように、また ADC の下に

表3. シリアル・プログラミング・モードのレジスタ・マップ

#### レジスタA0:リセット・レジスタ(アドレス00h)

D7	D6	D5	D4	D3	D2	D1	D0
リセット	X	X	X	X	X	X	X

ビット7      **リセット**      ソフトウェア・リセット・ビット

0 = 不使用

1 = ソフトウェアによるリセット。全てのモード制御レジスタが 00h にリセットされる。このビットは SPI 書き込み命令完了後自動的に再度ゼロに設定される

リセット・レジスタは書き込みのみ

ビット6~0      使用されない、ドントケア・ビット

#### レジスタA1:パワーダウン・レジスタ(アドレス01h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	PWROFF1	PWROFF0

ビット7~2      使用されない、ドントケア・ビット

ビット1~0      **PWROFF1:PWROFF0**      パワーダウン制御ビット

00 = 通常動作

01 = ナップ・モード

10 = 不使用

11 = スリープ・モード

## アプリケーション情報

## レジスタA2: タイミング・レジスタ (アドレス02h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	CLKINV	CLKPHASE1	CLKPHASE0	DCS

- ビット7~4 使用されない、ドントケア・ビット
- ビット3 **CLKINV** 出力クロック反転ビット  
0 = 通常CLKOUT極性 (タイミング図に示されているとおり)  
1 = 反転CLKOUT極性
- ビット2~1 **CLKPHASE1:CLKPHASE0** 出力クロックの位相遅延ビット  
00 = CLKOUT遅延なし (タイミング図に示されているとおり)  
01 = CLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>を45°だけ遅延 (クロック周期・1/8)  
10 = CLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>を90°だけ遅延 (クロック周期・1/4)  
11 = CLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>を135°だけ遅延 (クロック周期・3/8)  
注記: CLKOUT位相遅延機能を使う場合、クロック・デューティ・サイクル・スタビライザもオンする必要がある。
- ビット0 **DCS** クロック・デューティ・サイクル・スタビライザ・ビット  
0 = クロック・デューティ・サイクル・スタビライザをオフ  
1 = クロック・デューティ・サイクル・スタビライザをオン

## レジスタA3: 出力モード・レジスタ (アドレス03h)

D7	D6	D5	D4	D3	D2	D1	D0
X	ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTMODE1	OUTMODE0

- ビット7 使用されない、ドントケア・ビット
- ビット6~4 **ILVDS2:ILVDS0** LVDS出力電流ビット  
000 = 3.5mAのLVDS出力ドライバ電流  
001 = 4.0mAのLVDS出力ドライバ電流  
010 = 4.5mAのLVDS出力ドライバ電流  
011 = 不使用  
100 = 3.0mAのLVDS出力ドライバ電流  
101 = 2.5mAのLVDS出力ドライバ電流  
110 = 2.1mAのLVDS出力ドライバ電流  
111 = 1.75mAのLVDS出力ドライバ電流
- ビット3 **TERMON** LVDSの内部終端ビット  
0 = 内部終端をオフ  
1 = 内部終端をオン。LVDS出力ドライバ電流はILVDS2:ILVDS0によって設定される電流の1.6倍
- ビット2 **OUTOFF** 出力ディスエーブル・ビット  
0 = デジタル出力をイネーブル  
1 = デジタル出力をディスエーブルし、出力インピーダンスを高くする
- ビット1~0 **OUTMODE1:OUTMODE0** デジタル出力モード制御ビット  
00 = フルレートCMOS出力モード  
01 = ダブルデータレートLVDS出力モード  
10 = ダブルデータレートCMOS出力モード  
11 = 不使用

## アプリケーション情報

## レジスタA4:データ形式レジスタ(アドレス04h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	OUTTEST2	OUTTEST1	OUTTEST0	ABP	RAND	TWOSCOMP
ビット7~6	使用されない、ドントケア・ビット						
ビット5~3	<b>OUTTEST2:OUTTEST0</b> デジタル出力のテストパターン・ビット 000 = デジタル出力のテストパターンをオフ 001 = デジタル出力 = 0000 0000 0000 00XX 011 = デジタル出力 = 1111 1111 1111 11XX 101 = 格子縞出力パターン。D15~D0は0101 0101 0101 01XXと1010 1010 1010 10XXの間で交替。 111 = 交替出力パターン。D15~D0は0000 0000 0000 00XXと1111 1111 1111 11XXの間で交替。 注記:他のビットの組み合わせは使われない。D1とD0はデジタル出力テスト・パターンで制御されない。						
ビット2	<b>ABP</b> 交互ビット極性モード制御ビット 0 = 交互ビット極性モードをオフ 1 = 交互ビット極性モードをオン						
ビット1	<b>RAND</b> データ出力ランダムマイザ・モード制御ビット 0 = データ出力ランダムマイザ・モードをオフ 1 = データ出力ランダムマイザ・モードをオン						
ビット0	<b>TWOSCOMP</b> 2の補数モード制御ビット 0 = オフセット・バイナリのデータ形式 1 = 2の補数のデータ形式 注記:ABP = 1は出力形式をオフセット・バイナリに強制する						

配置しないように注意します。

高品質のセラミック・バイパス・コンデンサを、V<sub>DD</sub>、OV<sub>DD</sub>、V<sub>CM</sub>、V<sub>REF</sub>、REFH および REFL の各ピンに使用します。バイパス・コンデンサはできるだけピンに近づけて配置してください。特に重要なのは REFH と REFL の間の 0.1 $\mu$ F のコンデンサです。このコンデンサは A/D と同じ回路基板の側に、できるだけデバイスに近づけて (1.5mm 以内) 配置してください。サイズが 0402 のセラミック・コンデンサを推奨します。REFH と REFL の間の大きな 2.2 $\mu$ F のコンデンサはこれよりいくらか離してもかまいません。

V<sub>CM</sub> コンデンサはできるだけピンに近づけて配置する必要があります。これにスペースを与えるため、V<sub>REF</sub> のコンデンサはもっと離して、または PC ボードの裏側に配置することができます。ピンやバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くします。

アナログ入力、エンコード信号、およびデジタル出力は相互に隣接しないように配線します。これらの信号を相

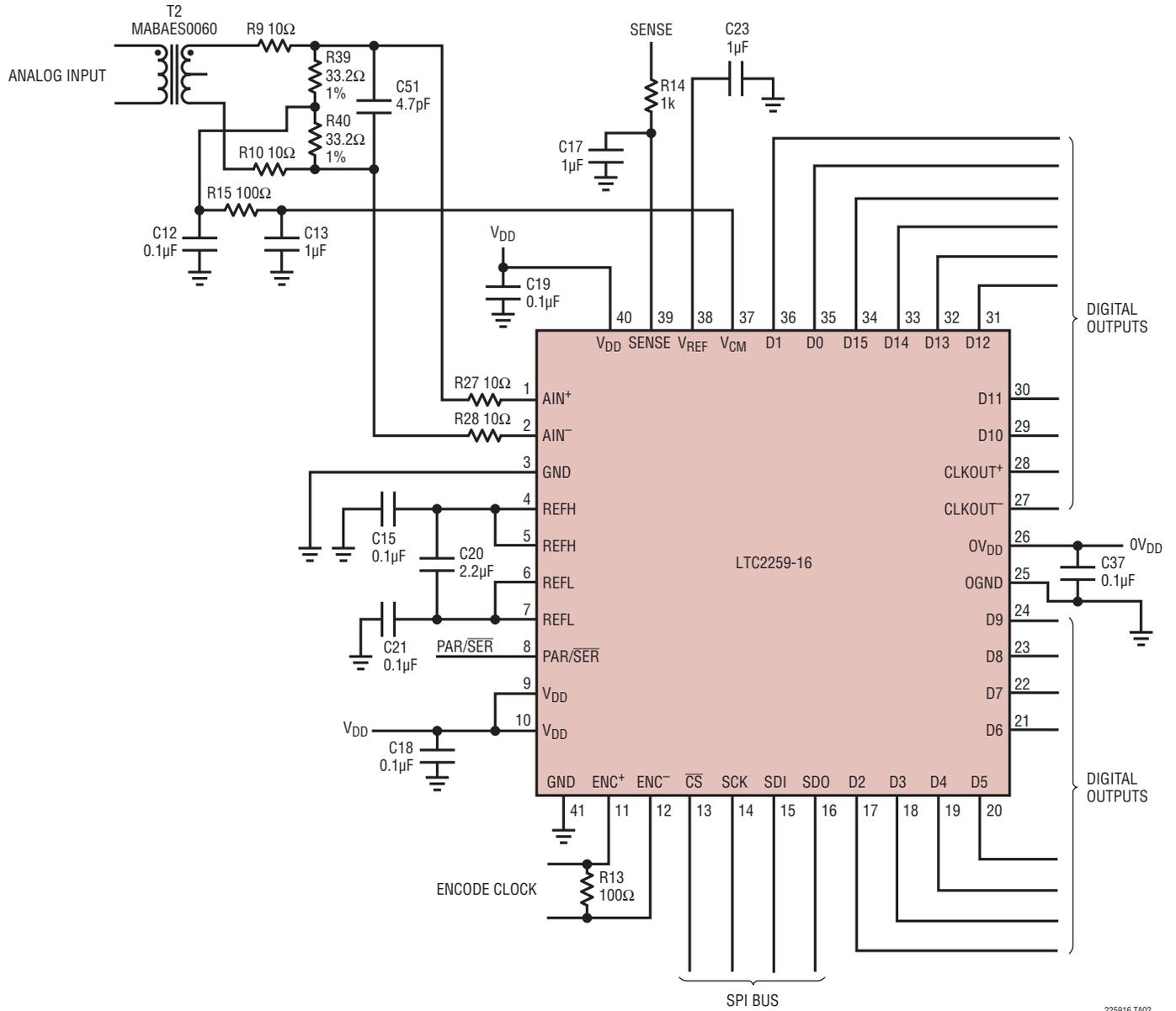
互に分離するためのバリアとして、グランド領域とグランド・ビアを使用します。

## 熱伝達

LTC2259-16 が発生する熱の大部分はダイから底面の露出パッドとパッケージのピンを通過してプリント回路基板に伝わります。優れた電気特性と熱特性を得るには、露出パッドを PC ボードの大きな接地されたパッドに半田付けする必要があります。このパッドは多数のビアで内部グランド・プレーンに接続します。

標準的応用例

LTC2259-16の回路図

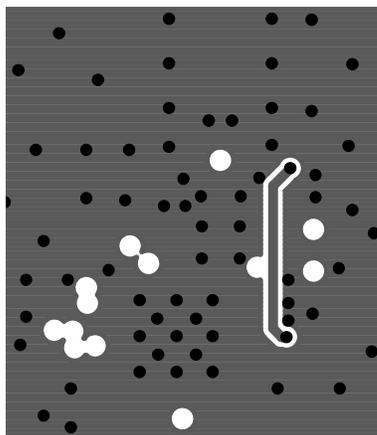


225916 TA02



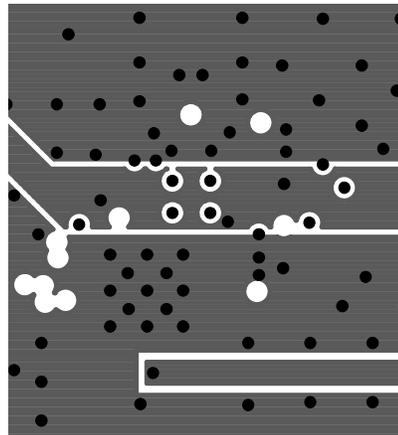
標準的応用例

内部4層



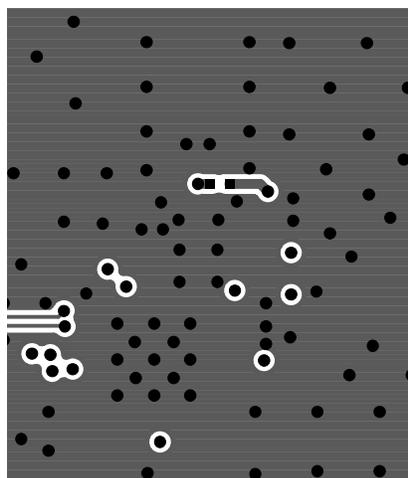
225916 TA07

内部5層 電源



225916 TA08

ボトムサイド

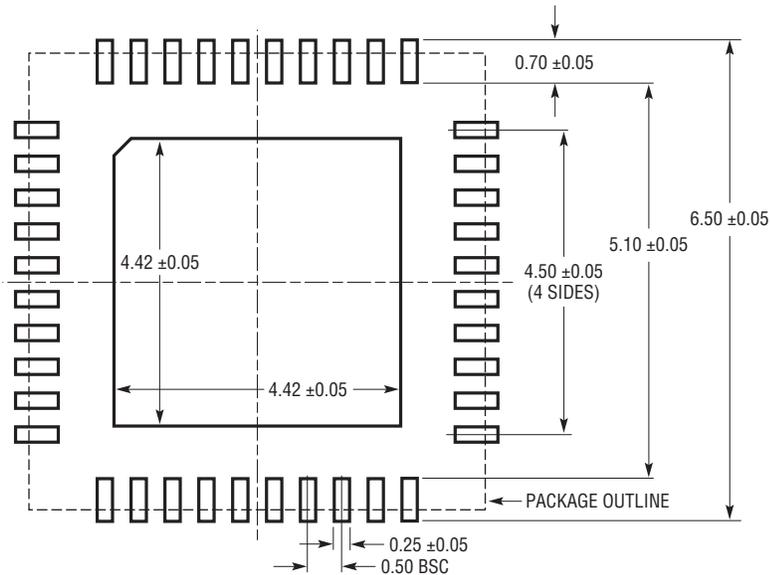


225916 TA09

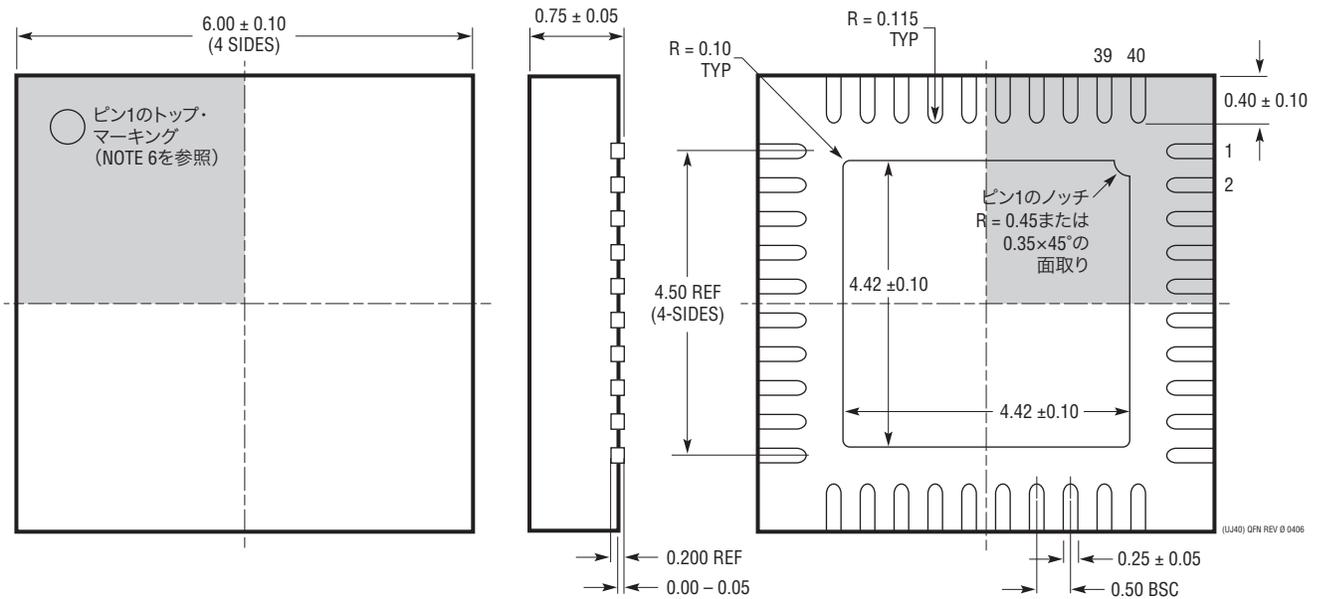
## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

### UJ パッケージ 40ピン・プラスチック QFN (6mm×6mm) (Reference LTC DWG # 05-08-1728 Rev 0)



推奨する半田パッドのピッチと寸法  
半田付けされない領域には半田マスクを使用する



**NOTE:**

1. 図面はJEDECのパッケージ外形バリエーション(WJJD-2)
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。  
モールドのバリは(もしあれば)各サイドで0.20mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

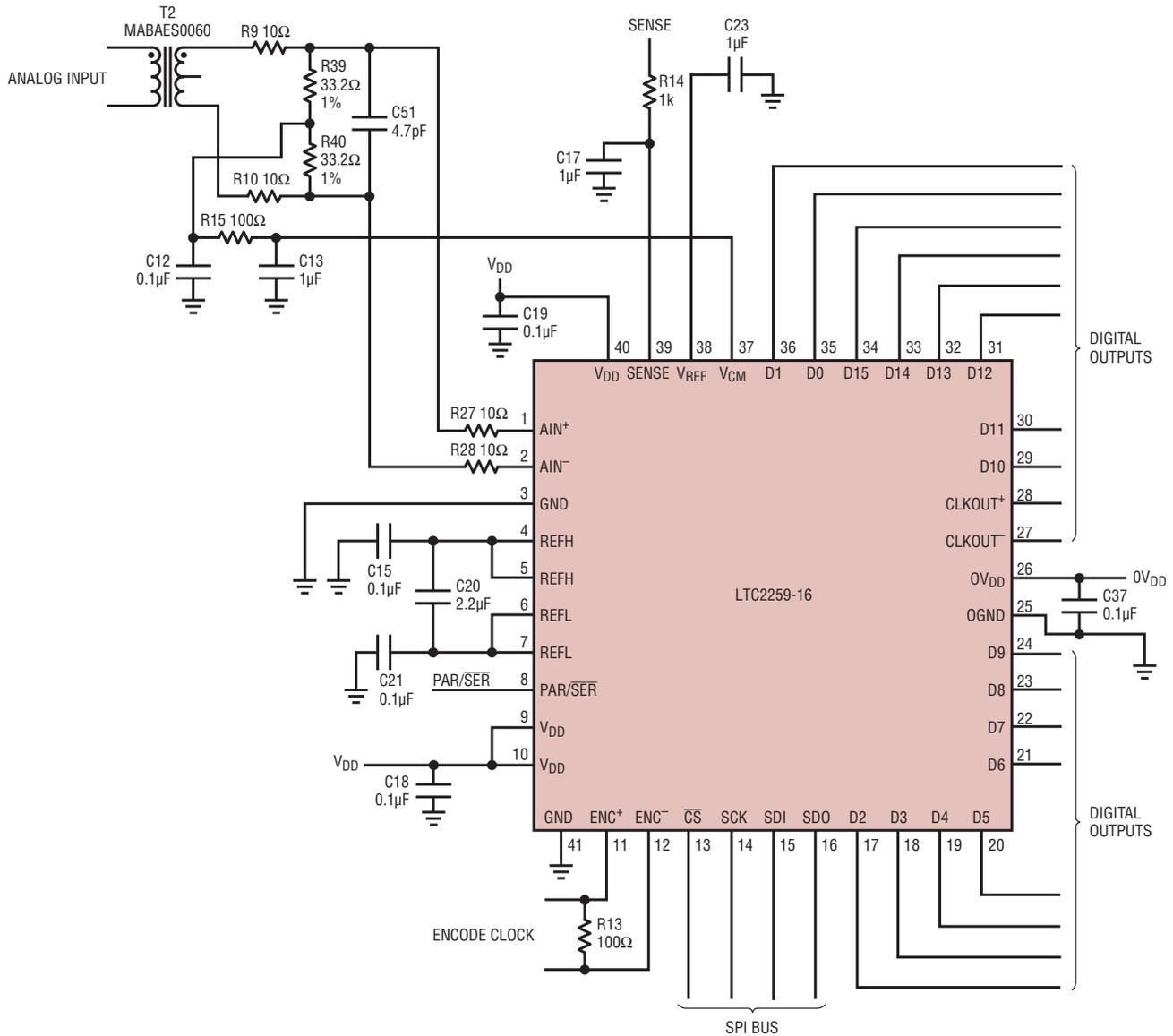
底面図—露出パッド

## 改訂履歴 (改訂履歴は Rev B から開始)

REV	日付	概要	ページ番号
A	8/12	IO <sub>VDD</sub> をI <sub>OVDD</sub> に訂正	10
		リセット・レジスタA0、D7の記述を訂正	22
		回路図において、V <sub>DD</sub> をピン9、10、40に接続	25

# LTC2259-16

## 標準的応用例



225916 TA10

## 関連製品

製品番号	説明	注釈
LTC1993-2	高速差動オペアンプ/ADCドライバ	800MHz、歪み: 70MHzで70dBc、利得: 6dB
LTC1994	低ノイズ、低歪みの完全差動入力アンプドライバ	低歪み: 1MHzで-94dBc
LTC6406	3GHz、低ノイズ、レール・トゥ・レール入力差動アンプドライバ	低ノイズ: 1.6nV/√Hz RTI
LTC2259-14/ LTC2260-14/ LTC2261-14	14ビット、80Msps/105Msps/125Msps超低消費電力1.8V ADC	89mW/106mW/127mW、SNR: 73.4dB、SFDR: 85dB、DDR LVDS/DDR CMOS/CMOSの出力、6mm×6mm QFNパッケージ
LTC2259-12/ LTC2260-12/ LTC2261-12	12ビット、80Msps/105Msps/125Msps超低消費電力1.8V ADC	87mW/103mW/124mW、SNR: 70.8dB、SFDR: 85dB、DDR LVDS/DDR CMOS/CMOSの出力、6mm×6mm QFNパッケージ

225916fa