

### 特長

- サンプル・レート: 250Msps
- SNR: 65.4dB
- SFDR: 78dB
- 1.2GHzのフルパワー帯域幅 S/H
- 単一 2.5V 電源
- 低消費電力: 740mW
- LVDS、CMOS または デマルチプレクス CMOS 出力
- 選択可能な入力範囲:  $\pm 0.5V$  または  $\pm 1V$
- ミッシング・コードなし
- オプションのクロック・デューティ・サイクル・スタビライザ
- シャットダウン・モードとナップ・モード
- データ・レディ出力クロック
- ピン互換ファミリ
  - 250Msps: LTC2242-12 (12ビット)、LTC2242-10 (10ビット)
  - 210Msps: LTC2241-12 (12ビット)、LTC2241-10 (10ビット)
  - 170Msps: LTC2240-12 (12ビット)、LTC2240-10 (10ビット)
  - 185Msps: LTC2220-1 (12ビット)\*
  - 170Msps: LTC2220 (12ビット)、LTC2230 (10ビット)\*
  - 135Msps: LTC2221 (12ビット)、LTC2231 (10ビット)\*
- 64ピン 9mm $\times$ 9mm QFN パッケージ

### アプリケーション

- 無線および有線の広帯域通信
- ケーブル・ヘッドエンド・システム
- パワーアンプの直線化
- 通信テスト機器

### 概要

LTC<sup>®</sup>2242-12は、高周波の広いダイナミック・レンジの信号をデジタル化する250Msps サンプリング 12ビット A/D コンバータです。SNRが65.4dB、SFDRが78dBという優れたAC特性を備えているため、要求の厳しい通信アプリケーションに最適です。また、95fs<sub>RMS</sub>という極めて低いジッタにより、優れたノイズ性能を維持しながらIF周波数をアンダーサンプリングできます。

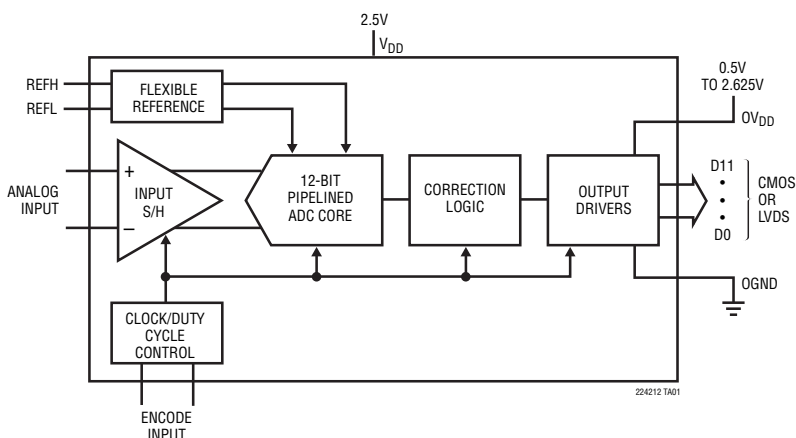
DC仕様では、 $\pm 1.0\text{LSB}$  (標準)のINLと $\pm 0.4\text{LSB}$  (標準)のDNL、全温度範囲でミッシング・コードがないことが規定されています。

デジタル出力は、差動LVDSまたはシングルエンドCMOSのいずれかに設定可能です。CMOS出力フォーマットは、1本のバスがフル・データレートで動作する形式、2本のデマルチプレクス・バスが半分のデータレートで動作し、インターリーブ間隔で更新を行う形式、2本のデマルチプレクス・バスが半分のデータレートで動作し、同時更新を行う形式の3つから選択できます。個別の出力電源により、0.5V~2.625VのCMOS出力振幅が可能です。

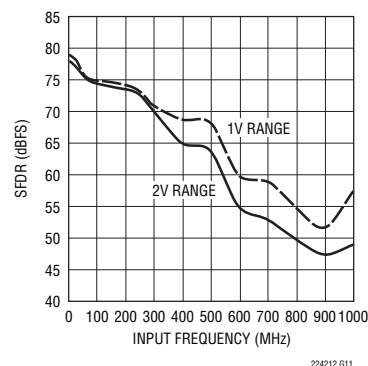
ENC<sup>+</sup>およびENC<sup>-</sup>入力は、正弦波、PECL、LVDS、TTLまたはCMOSで差動またはシングルエンド・ドライブ可能です。また、オプションのクロック・デューティ・サイクル・スタビライザにより、広範なクロック・デューティ・サイクルで高性能を達成できます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはLinearテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。\*LTC2220-1、LTC2220、LTC2221、LTC2230、LTC2231は3.3V用の製品です。

### 標準的応用例



SFDRと入力周波数

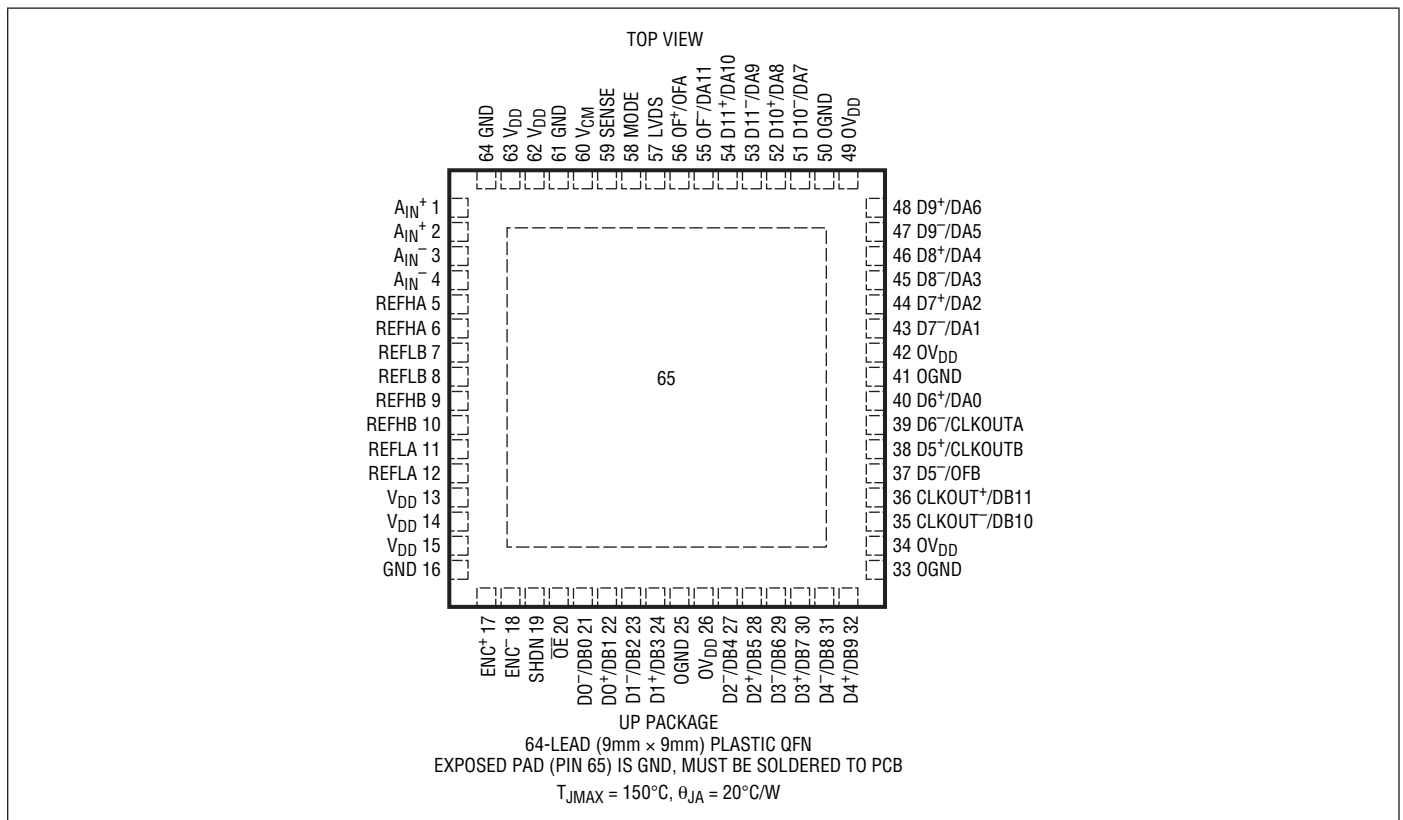


# LTC2242-12

## 絶対最大定格 $OV_{DD} = V_{DD}$ (Note 1, 2)

電源電圧 ( $V_{DD}$ ) .....	2.8V	電力損失 .....	1500mW
デジタル出力のグランド電圧 (OGND) .....	-0.3V ~ 1V	動作温度範囲	
アナログ入力電圧 (Note 3) .....	-0.3V ~ ( $V_{DD} + 0.3V$ )	LTC2242C-12 .....	0°C ~ 70°C
デジタル入力電圧 .....	-0.3V ~ ( $V_{DD} + 0.3V$ )	LTC2242I-12 .....	-40°C ~ 85°C
デジタル出力電圧 .....	-0.3V ~ ( $OV_{DD} + 0.3V$ )	保存温度範囲 .....	-65°C ~ 150°C

## ピン配置



## 発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2242CUP-12#PBF	LTC2242CUP-12#TRPBF	LTC2242UP-12	64-Lead (9mm×9mm) Plastic QFN	0°C to 70°C
LTC2242IUP-12#PBF	LTC2242IUP-12#TRPBF	LTC2242UP-12	64-Lead (9mm×9mm) Plastic QFN	-40°C to 85°C
鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2242CUP-12	LTC2242CUP-12#TR	LTC2242UP-12	64-Lead (9mm×9mm) Plastic QFN	0°C to 70°C
LTC2242IUP-12	LTC2242IUP-12#TR	LTC2242UP-12	64-Lead (9mm×9mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。\* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。  
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

### コンバータ特性 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Resolution (No Missing Codes)		●	12		Bits	
Integral Linearity Error	Differential Analog Input (Note 5)	●	-2.7	$\pm 1$	2.7	LSB
Differential Linearity Error	Differential Analog Input	●	-1	$\pm 0.4$	1	LSB
Offset Error	(Note 6)	●	-17	$\pm 5$	17	mV
Gain Error	External Reference	●	-3.2	$\pm 0.7$	3.2	%FS
Offset Drift			$\pm 10$		$\mu\text{V}/\text{C}$	
Full-Scale Drift	Internal Reference External Reference		$\pm 60$ $\pm 45$		ppm/C ppm/C	
Transition Noise	SENSE = 1V		0.74		$\text{LSB}_{\text{RMS}}$	

### アナログ入力 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{\text{IN}}$	Analog Input Range ( $A_{\text{IN}}^+ - A_{\text{IN}}^-$ )	$2.375\text{V} < V_{\text{DD}} < 2.625\text{V}$ (Note 7)	●	$\pm 0.5$ to $\pm 1$		V	
$V_{\text{IN, CM}}$	Analog Input Common Mode ( $A_{\text{IN}}^+ + A_{\text{IN}}^-$ )/2	Differential Input (Note 7)	●	1.2	1.25	1.3	V
$I_{\text{IN}}$	Analog Input Leakage Current	$0 < A_{\text{IN}}^+, A_{\text{IN}}^- < V_{\text{DD}}$	●	-1	1	$\mu\text{A}$	
$I_{\text{SENSE}}$	SENSE Input Leakage	$0\text{V} < \text{SENSE} < 1\text{V}$	●	-1	1	$\mu\text{A}$	
$I_{\text{MODE}}$	MODE Pin Pull-Down Current to GND			7		$\mu\text{A}$	
$I_{\text{LVDS}}$	LVDS Pin Pull-Down Current to GND			7		$\mu\text{A}$	
$t_{\text{AP}}$	Sample and Hold Acquisition Delay Time			0.4		ns	
$t_{\text{JITTER}}$	Sample and Hold Acquisition Delay Time Jitter			95		$\text{fs}_{\text{RMS}}$	
	Full Power Bandwidth	Figure 8 Test Circuit		1200		MHz	

### ダイナミック精度 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{\text{IN}} = -1\text{dBFS}$ 。(Note 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SNR	Signal-to-Noise Ratio (Note 10)	10MHz Input		65.4		dB
		70MHz Input	●	63.4	65.3	dB
		140MHz Input		65.3		dB
		240MHz Input		65.1		dB
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic (Note 11)	10MHz Input		78		dB
		70MHz Input	●	65	75	dB
		140MHz Input		74		dB
		240MHz Input		73		dB
	Spurious Free Dynamic Range 4th Harmonic or Higher (Note 11)	10MHz Input		87		dB
		70MHz Input	●	73	87	dB
		140MHz Input		87		dB
		240MHz Input		87		dB
S/(N+D)	Signal-to-Noise Plus Distortion Ratio (Note 12)	10MHz Input		65.3		dB
		70MHz Input	●	61.8	65.1	dB
		140MHz Input		64.8		dB
		240MHz Input		64.5		dB
IMD	Intermodulation Distortion	$f_{\text{IN1}} = 135\text{MHz}, f_{\text{IN2}} = 140\text{MHz}$		81		dBc

# LTC2242-12

## 内部リファレンスの特性 (Note 4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{CM}$ Output Voltage	$I_{OUT} = 0$	1.225	1.25	1.275	V
$V_{CM}$ Output Tempco			±35		ppm/°C
$V_{CM}$ Line Regulation	$2.375V < V_{DD} < 2.625V$		3		mV/V
$V_{CM}$ Output Resistance	$-1mA < I_{OUT} < 1mA$		2		Ω

## デジタル入力とデジタル出力 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ C$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>エンコード入力 (ENC<sup>+</sup>, ENC<sup>-</sup>)</b>						
$V_{ID}$	Differential Input Voltage	(Note 7)	●	0.2		V
$V_{ICM}$	Common Mode Input Voltage	Internally Set Externally Set (Note 7)	●	1.2	1.5 2.0	V V
$R_{IN}$	Input Resistance			4.8		kΩ
$C_{IN}$	Input Capacitance	(Note 7)		2		pF
<b>ロジック入力 (OE, SHDN)</b>						
$V_{IH}$	High Level Input Voltage	$V_{DD} = 2.5V$	●	1.7		V
$V_{IL}$	Low Level Input Voltage	$V_{DD} = 2.5V$	●		0.7	V
$I_{IN}$	Input Current	$V_{IN} = 0V$ to $V_{DD}$	●	-10	10	μA
$C_{IN}$	Input Capacitance	(Note 7)		3		pF
<b>ロジック出力 (CMOS モード)</b>						
<b><math>OV_{DD} = 2.5V</math></b>						
$C_{OZ}$	Hi-Z Output Capacitance	$\overline{OE} = \text{High}$ (Note 7)		3		pF
$I_{SOURCE}$	Output Source Current	$V_{OUT} = 0V$		37		mA
$I_{SINK}$	Output Sink Current	$V_{OUT} = 2.5V$		23		mA
$V_{OH}$	High Level Output Voltage	$I_O = -10\mu A$ $I_O = -500\mu A$		2.495 2.45		V V
$V_{OL}$	Low Level Output Voltage	$I_O = 10\mu A$ $I_O = 500\mu A$		0.005 0.07		V V
<b><math>OV_{DD} = 1.8V</math></b>						
$V_{OH}$	High Level Output Voltage	$I_O = -500\mu A$		1.75		V
$V_{OL}$	Low Level Output Voltage	$I_O = 500\mu A$		0.07		V
<b>ロジック出力 (LVDS モード)</b>						
$V_{OD}$	Differential Output Voltage	100Ω Differential Load	●	247	350 454	mV
$V_{OS}$	Output Common Mode Voltage	100Ω Differential Load	●	1.125	1.250 1.375	V

**電源条件** ● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値 (Note 9)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V <sub>DD</sub>	Analog Supply Voltage	(Note 8)	●	2.375	2.5	2.625	V
P <sub>SLEEP</sub>	Sleep Mode Power	SHDN = High, $\overline{\text{OE}}$ = High, No CLK			1		mW
P <sub>NAP</sub>	Nap Mode Power	SHDN = High, $\overline{\text{OE}}$ = Low, No CLK			28		mW

**LVDS 出力モード**

OV <sub>DD</sub>	Output Supply Voltage	(Note 8)	●	2.375	2.5	2.625	V
I <sub>VDD</sub>	Analog Supply Current		●		285	320	mA
I <sub>OVDD</sub>	Output Supply Current		●		58	70	mA
P <sub>DISS</sub>	Power Dissipation		●		858	975	mW

**CMOS 出力モード**

OV <sub>DD</sub>	Output Supply Voltage	(Note 8)	●	0.5	2.5	2.625	V
I <sub>VDD</sub>	Analog Supply Current	(Note 7)	●		285	320	mA
P <sub>DISS</sub>	Power Dissipation				740		mW

**タイミング特性** ● は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
f <sub>S</sub>	Sampling Frequency	(Note 8)	●	1		250	MHz
t <sub>L</sub>	ENC Low Time (Note 7)	Duty Cycle Stabilizer Off	●	1.9	2	500	ns
		Duty Cycle Stabilizer On	●	1.5	2	500	ns
t <sub>H</sub>	ENC High Time (Note 7)	Duty Cycle Stabilizer Off	●	1.9	2	500	ns
		Duty Cycle Stabilizer On	●	1.5	2	500	ns
t <sub>AP</sub>	Sample-and-Hold Aperture Delay				0.4		ns
t <sub>OE</sub>	Output Enable Delay	(Note 7)	●		5	10	ns

**LVDS 出力モード**

t <sub>D</sub>	ENC to DATA Delay	(Note 7)	●	1	1.7	2.8	ns
t <sub>C</sub>	ENC to CLKOUT Delay	(Note 7)	●	1	1.7	2.8	ns
	DATA to CLKOUT Skew	(t <sub>C</sub> - t <sub>D</sub> ) (Note 7)	●	-0.6	0	0.6	ns
	Rise Time				0.5		ns
	Fall Time				0.5		ns
	Pipeline Latency				5		Cycles

**CMOS 出力モード**

t <sub>D</sub>	ENC to DATA Delay	(Note 7)	●	1	1.7	2.8	ns
t <sub>C</sub>	ENC to CLKOUT Delay	(Note 7)	●	1	1.7	2.8	ns
	DATA to CLKOUT Skew	(t <sub>C</sub> - t <sub>D</sub> ) (Note 7)	●	-0.6	0	0.6	ns
Pipeline Latency	Full Rate CMOS				5		Cycles
	Demuxed Interleaved				5		Cycles
	Demuxed Simultaneous				5 and 6		Cycles

## 電気的特性

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

**Note 2:** 全ての電圧値は(注記がない限り)GNDとOGNDを結線したグラウンドを基準にしている。

**Note 3:** これらのピンの電圧をGNDより低くするか、 $V_{DD}$ より高くすると、内部のダイオードによってクランプされる。この製品は、GNDより低いか、または $V_{DD}$ より高い電圧でラッチアップを生じることなく100mAを超える入力電流を処理することができる。

**Note 4:** 注記がない限り、 $V_{DD} = 2.5V$ 、 $f_{SAMPLE} = 250MHz$ 、LVDS出力、差動  $ENC^+/ENC^- = 2V_{P-P}$  の正弦波、入力レンジ = 差動ドライブで  $2V_{P-P}$ 。

**Note 5:** 積分非直線性は、伝達曲線に合致する「最善の直線」からのコードの偏差として定義されている。偏差は量子化幅の中心から測定する。

**Note 6:** オフセット誤差は、2の補数の出力モードで出力コードが 0000 0000 0000 と 1111 1111 1111 の間を行ったり来たりするとき、 $-0.5$  LSBから測定したオフセット電圧である。

**Note 7:** 設計によって保証されているが、テストされない。

**Note 8:** 推奨動作条件。

**Note 9:**  $V_{DD} = 2.5V$ 、 $f_{SAMPLE} = 250MHz$ 、差動  $ENC^+/ENC^- = 2V_{P-P}$  の正弦波、入力レンジ = 差動ドライブで  $1V_{P-P}$ 、出力の  $C_{LOAD} = 5pF$ 。

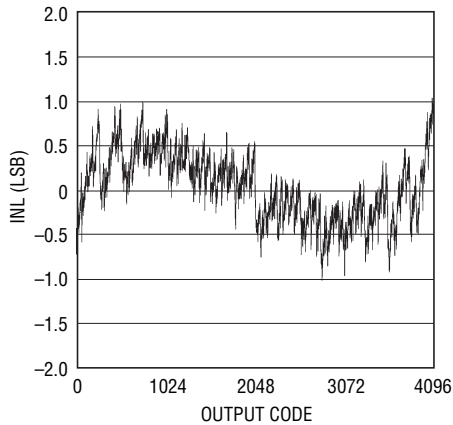
**Note 10:** SNRの最小値と標準値はLVDSモードの場合。CMOSモードの場合の標準値はさらに標準で0.3dBほど低い。

**Note 11:** SFDRの最小値はLVDSモードの場合。標準値はLVDSとCMOSの両方のモードの場合。

**Note 12:** SINADの最小値と標準値はLVDSモードの場合。CMOSモードの場合の標準値はさらに標準で0.3dBほど低い。

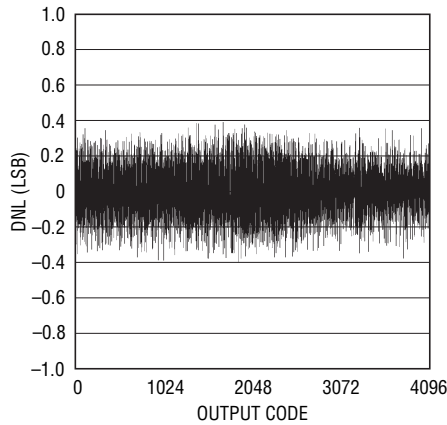
## 標準的性能特性 (注記がない限り $T_A = 25^\circ C$ 、Note 4)

積分非直線性



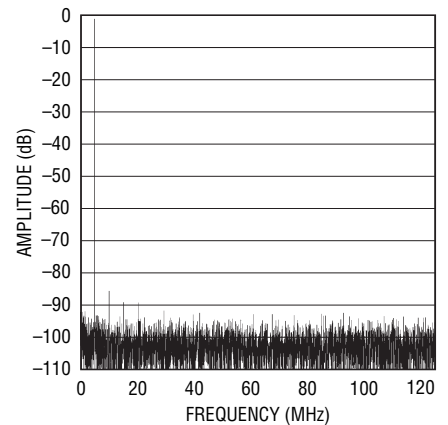
224212 G01

微分非直線性



224212 G02

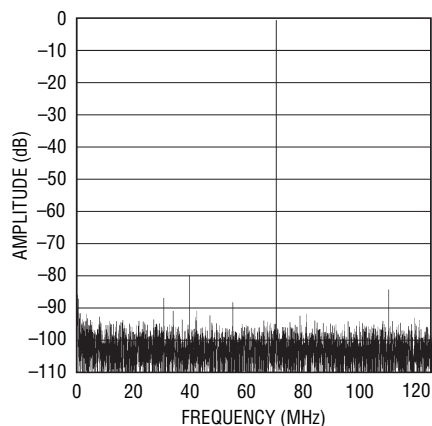
8192ポイントのFFT、 $f_{IN} = 5MHz$ 、 $-1dB$ 、 $2V$ レンジ、LVDSモード



224212 G03

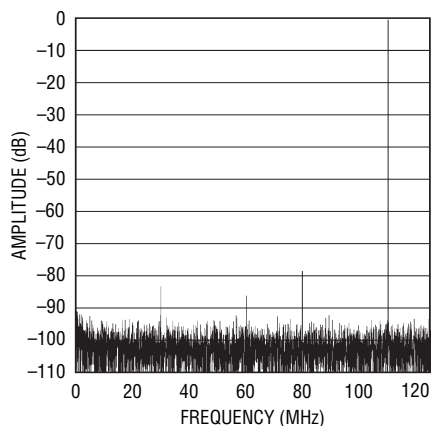
## 標準的性能特性 (注記がない限り $T_A = 25^\circ\text{C}$ 、Note 4)

8192ポイントのFFT、 $f_{IN} = 70\text{MHz}$ 、 $-1\text{dB}$ 、2Vレンジ、LVDSモード



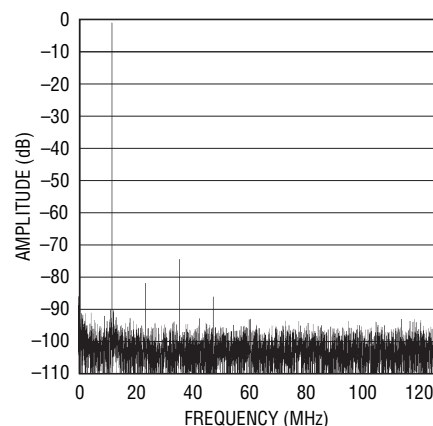
224212 G04

8192ポイントのFFT、 $f_{IN} = 140\text{MHz}$ 、 $-1\text{dB}$ 、2Vレンジ、LVDSモード



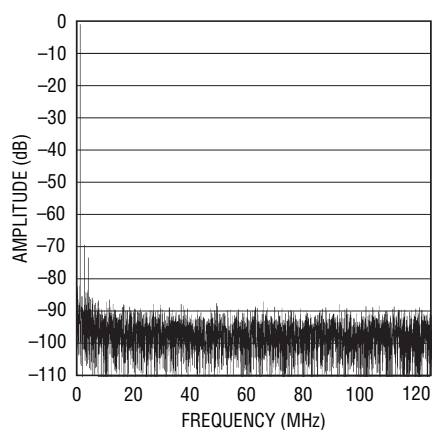
224212 G05

8192ポイントのFFT、 $f_{IN} = 240\text{MHz}$ 、 $-1\text{dB}$ 、2Vレンジ、LVDSモード



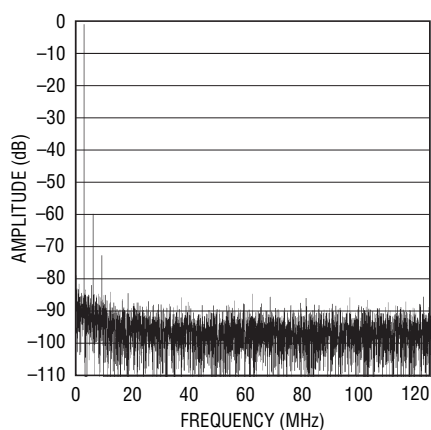
224212 G06

8192ポイントのFFT、 $f_{IN} = 500\text{MHz}$ 、 $-1\text{dB}$ 、1Vレンジ、LVDSモード



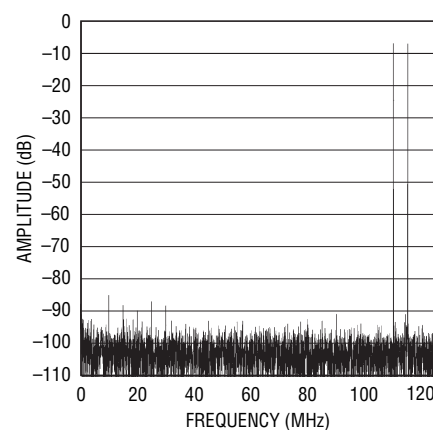
224212 G07

8192ポイントのFFT、 $f_{IN} = 1\text{GHz}$ 、 $-1\text{dB}$ 、1Vレンジ、LVDSモード



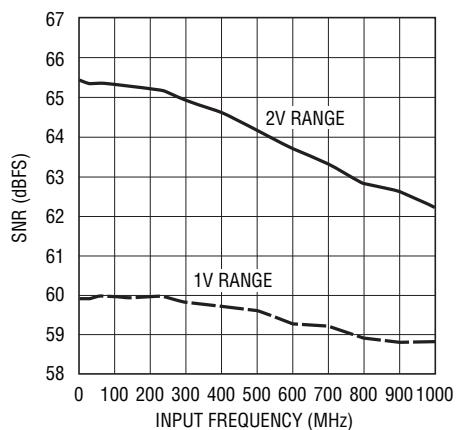
224212 G08

8192ポイントの2トーンFFT、 $f_{IN} = 135\text{MHz}$ および $140\text{MHz}$ 、 $-1\text{dB}$ 、2Vレンジ、LVDSモード



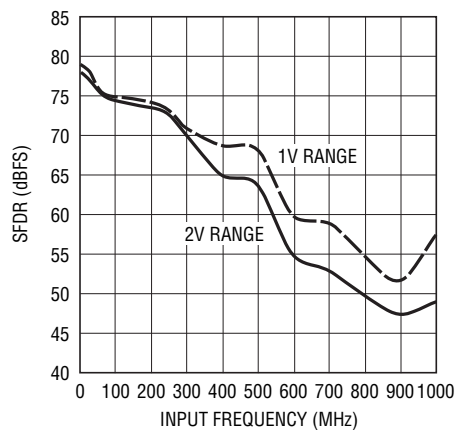
224212 G09

SNRと入力周波数、 $-1\text{dB}$ 、LVDSモード



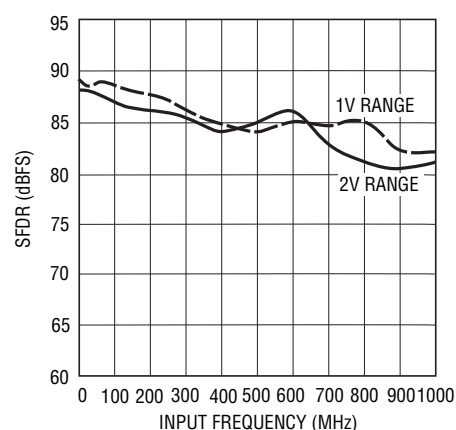
224212 G10

SFDR (HD2およびHD3)と入力周波数、 $-1\text{dB}$ 、LVDSモード



224212 G11

SFDR (HD4+)と入力周波数、 $-1\text{dB}$ 、LVDSモード



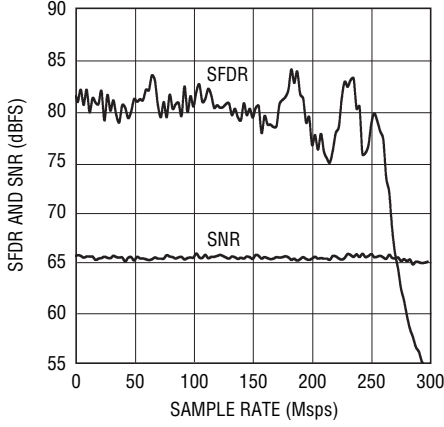
224212 G12

224212fc

# LTC2242-12

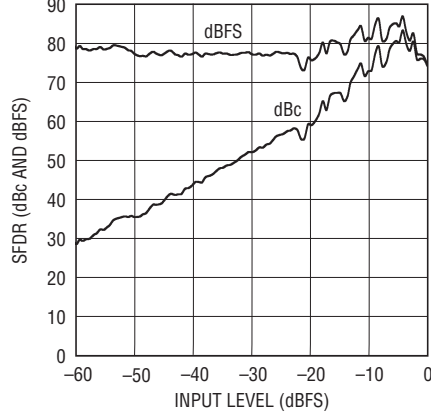
## 標準的性能特性 (注記がない限り $T_A = 25^\circ\text{C}$ 、Note 4)

SFDRおよびSNRとサンプル・レート、  
2Vレンジ、 $f_{IN} = 30\text{MHz}$ 、 $-1\text{dB}$ 、  
LVDSモード



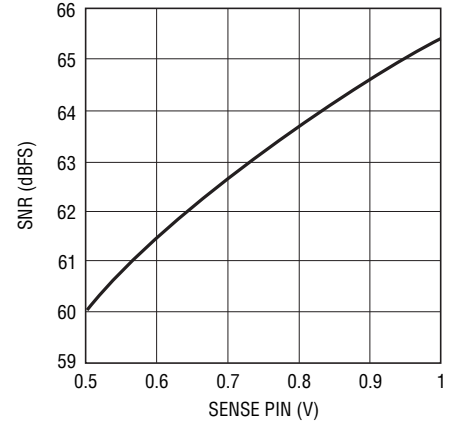
224212 G13

SFDRと入力レベル、  
 $f_{IN} = 70\text{MHz}$  2Vレンジ



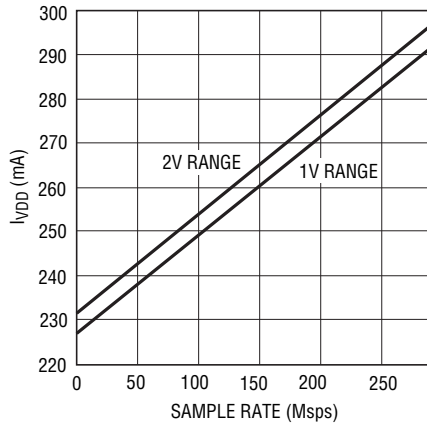
224212 G14

SNRとSENSE、 $f_{IN} = 5\text{MHz}$ 、 $-1\text{dB}$



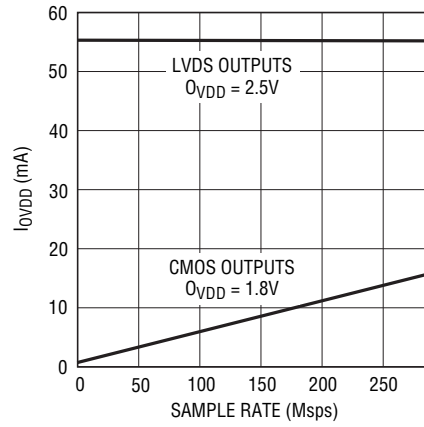
224212 G15

$I_{VDD}$ とサンプル・レート、  
5MHzの正弦波入力、 $-1\text{dB}$



224212 G16

$I_{OVD}$ とサンプル・レート、  
5MHzの正弦波入力、 $-1\text{dB}$



224212 G17



## ピン機能

### (CMOSモード)

**A<sub>IN</sub><sup>+</sup> (ピン1, 2)**: 正の差動アナログ入力。

**A<sub>IN</sub><sup>-</sup> (ピン3, 4)**: 負の差動アナログ入力。

**REFHA (ピン5, 6)**: ADCの“H”リファレンス。0.1μFのセラミック・チップ・コンデンサでピン7とピン8に、2.2μFのセラミック・コンデンサでピン11とピン12に、1μFのセラミック・コンデンサでグラウンドに、それぞれバイパスします。

**REFLB (ピン7, 8)**: ADCの“L”リファレンス。0.1μFのセラミック・チップ・コンデンサを使ってピン5とピン6にバイパスします。ピン11とピン12には接続しないでください。

**REFHB (ピン9, 10)**: ADCの“H”リファレンス。0.1μFのセラミック・チップ・コンデンサを使ってピン11とピン12にバイパスします。ピン5とピン6には接続しないでください。

**REFLA (ピン11, 12)**: ADCの“L”リファレンス。0.1μFのセラミック・チップ・コンデンサでピン9とピン10に、2.2μFのセラミック・コンデンサでピン5とピン6に、1μFのセラミック・コンデンサでグラウンドに、それぞれバイパスします。

**V<sub>DD</sub> (ピン13, 14, 15, 62, 63)**: 2.5V電源。0.1μFのセラミック・チップ・コンデンサを使用してGNDにバイパスします。

**GND (ピン16, 61, 64)**: ADCの電源グラウンド。

**ENC<sup>+</sup> (ピン17)**: エンコード入力。立ち上がりエッジで変換が開始されます。

**ENC<sup>-</sup> (ピン18)**: エンコード相補入力。立ち下がりエッジで変換が開始されます。シングルエンドのエンコード信号の場合、0.1μFのセラミック・コンデンサを使用してグラウンドにバイパスします。

**SHDN (ピン19)**: シャットダウン・モードの選択ピン。SHDNと $\overline{OE}$ をGNDに接続すると通常動作になり、出力がイネーブルされます。SHDNをGNDに接続し、 $\overline{OE}$ をV<sub>DD</sub>に接続すると通常動作になり、出力がハイインピーダンスになります。SHDNをV<sub>DD</sub>に接続し、 $\overline{OE}$ をGNDに接続するとナップ・モードになり、出力がハイインピーダンスになります。SHDNと $\overline{OE}$ をV<sub>DD</sub>に接続するとスリープ・モードになり、出力がハイインピーダンスになります。

**$\overline{OE}$  (ピン20)**: 出力イネーブル・ピン。SHDNピンの機能を参照してください。

**DB0 ~ DB11 (ピン21, 22, 23, 24, 27, 28, 29, 30, 31, 32, 35, 36)**: デジタル出力、Bバス。DB11がMSBです。フルレートCMOSモードではハイインピーダンスになります。

**OGND (ピン25, 33, 41, 50)**: 出力ドライバのグラウンド。

**OV<sub>DD</sub> (ピン26, 34, 42, 49)**: 出力ドライバの正電源。0.1μFのセラミック・チップ・コンデンサを使用してグラウンドにバイパスします。

**OFB (ピン37)**: Bバスのオーバーフロー/アンダーフロー出力。オーバーフローやアンダーフローが生じると“H”になります。フルレートCMOSモードではハイインピーダンスになります。

**CLKOUTB (ピン38)**: Bバスのデータ有効出力。交互更新のデマルチプレクス・モードでは、CLKOUTBの立ち下がりエッジでBバスのデータをラッチします。同時更新のデマルチプレクス・モードでは、CLKOUTBの立ち上がりエッジでBバスのデータをラッチします。このピンはフルレートCMOSモードではハイインピーダンスになりません。

**CLKOUTA (ピン39)**: Aバスのデータ有効出力。CLKOUTAの立ち下がりエッジでAバスのデータをラッチします。

**DA0 ~ DA11 (ピン40, 43, 44, 45, 46, 47, 48, 51, 52, 53, 54, 55)**: デジタル出力、Aバス。DA11がMSBです。

**OFA (ピン56)**: Aバスのオーバーフロー/アンダーフロー出力。オーバーフローやアンダーフローが生じると“H”になります。

**LVDA (ピン57)**: 出力モードの選択ピン。LVDSを0Vに接続すると、フルレートCMOSモードが選択されます。LVDSを1/3V<sub>DD</sub>に接続すると、同時更新のデマルチプレクスCMOSモードが選択されます。LVDSを2/3V<sub>DD</sub>に接続すると、交互更新のデマルチプレクスCMOSモードが選択されます。LVDSをV<sub>DD</sub>に接続すると、LVDSモードが選択されます。

**MODE (ピン58)**: 出力形式とクロック・デューティ・サイクル・スタビライザの選択ピン。MODEを0Vに接続すると、オフセット・バイナリの出力形式が選択され、クロックのデューティ・サイクル・スタビライザがオフします。MODEを1/3V<sub>DD</sub>に接続すると、オフセット・バイナリの出力形式が選択され、クロックのデューティ・サイクル・スタビライザがオンします。2/3V<sub>DD</sub>に接続すると、2の補数の出力形式が選択され、クロック・デューティ・サイクル・スタビライザがオンします。V<sub>DD</sub>に接続すると、2の補数の出力形式が選択され、クロック・デューティ・サイクル・スタビライザがオフします。

**SENSE (ピン59)**: リファレンス・プログラミング・ピン。SENSEをV<sub>CM</sub>に接続すると、内部リファレンスと±0.5Vの入力レンジが選択されます。SENSEをV<sub>DD</sub>に接続すると、内部リファレンスと±1Vの入力レンジが選択されます。0.5Vより大きく1Vより小さい外部リファレンスをSENSEに印加すると、±V<sub>SENSE</sub>の入力レンジが選択されます。±1Vが最大有効入力レンジです。

**V<sub>CM</sub> (ピン60)**: 出力と入力の1.25V同相バイアス。2.2μFのセラミック・チップ・コンデンサを使用してグラウンドにバイパスします。

**GND (背面パッド) (ピン65)**: ADCの電源グラウンド。パッケージの底面の背面パッドはグラウンドに半田付けする必要があります。

## ピン機能

## (LVDSモード)

**AIN<sup>+</sup> (ピン1, 2)**: 正の差動アナログ入力。

**AIN<sup>-</sup> (ピン3, 4)**: 負の差動アナログ入力。

**REFHA (ピン5, 6)**: ADCの“H”リファレンス。0.1 $\mu$ Fのセラミック・チップ・コンデンサでピン7とピン8に、2.2 $\mu$ Fのセラミック・コンデンサでピン11とピン12に、1 $\mu$ Fのセラミック・コンデンサでグラウンドに、それぞれバイパスします。

**REFLB (ピン7, 8)**: ADCの“L”リファレンス。0.1 $\mu$ Fのセラミック・チップ・コンデンサを使ってピン5とピン6にバイパスします。ピン11とピン12には接続しないでください。

**REFHB (ピン9, 10)**: ADCの“H”リファレンス。0.1 $\mu$ Fのセラミック・チップ・コンデンサを使ってピン11とピン12にバイパスします。ピン5とピン6には接続しないでください。

**REFLA (ピン11, 12)**: ADCの“L”リファレンス。0.1 $\mu$ Fのセラミック・チップ・コンデンサでピン9とピン10に、2.2 $\mu$ Fのセラミック・コンデンサでピン5とピン6に、1 $\mu$ Fのセラミック・コンデンサでグラウンドに、それぞれバイパスします。

**V<sub>DD</sub> (ピン13, 14, 15, 62, 63)**: 2.5V電源。0.1 $\mu$ Fのセラミック・チップ・コンデンサを使用してGNDにバイパスします。

**GND (ピン16, 61, 64)**: ADCの電源グラウンド。

**ENC<sup>+</sup> (ピン17)**: エンコード入力。立ち上がりエッジで変換が開始されます。

**ENC<sup>-</sup> (ピン18)**: エンコード相補入力。立ち下がりエッジで変換が開始されます。シングルエンドのエンコード信号の場合、0.1 $\mu$ Fのセラミック・コンデンサを使用してグラウンドにバイパスします。

**SHDN (ピン19)**: シャットダウン・モードの選択ピン。SHDNと $\overline{OE}$ をGNDに接続すると通常動作になり、出力がイネーブルされます。SHDNをGNDに接続し、 $\overline{OE}$ をV<sub>DD</sub>に接続すると通常動作になり、出力がハイインピーダンスになります。SHDNをV<sub>DD</sub>に接続し、 $\overline{OE}$ をGNDに接続するとナップ・モードになり、出力がハイインピーダンスになります。SHDNと $\overline{OE}$ をV<sub>DD</sub>に接続するとスリープ・モードになり、出力がハイインピーダンスになります。

**OE (ピン20)**: 出力イネーブル・ピン。SHDNピンの機能を参照してください。

**D0<sup>-</sup>/D0<sup>+</sup> ~ D11<sup>-</sup>/D11<sup>+</sup> (ピン21, 22, 23, 24, 27, 28, 29, 30, 31, 32, 37, 38, 39, 40, 43, 44, 45, 46, 47, 48, 51, 52, 53, 54)**: LVDS デジタル出力。すべてのLVDS出力には、LVDSレシーバに100 $\Omega$ の差動終端抵抗が必要です。D11<sup>-</sup>/D11<sup>+</sup>がMSBです。

**OGND (ピン25, 33, 41, 50)**: 出力ドライバのグラウンド。

**OV<sub>DD</sub> (ピン26, 34, 42, 49)**: 出力ドライバの正電源。0.1 $\mu$ Fのセラミック・チップ・コンデンサを使用してグラウンドにバイパスします。

**CLKOUT<sup>-</sup>/CLKOUT<sup>+</sup> (ピン35/36)**: LVDS データが有効であることを示す出力。CLKOUT<sup>-</sup>の立ち上がりエッジ(CLKOUT<sup>+</sup>の立ち下がりエッジ)でデータをラッチします。

**OF<sup>-</sup>/OF<sup>+</sup> (ピン55/56)**: LVDSのオーバーフロー/アンダーフロー出力。オーバーフローやアンダーフローが生じると“H”になります。

**LVDS (ピン57)**: 出力モードの選択ピン。LVDSを0Vに接続すると、フルレートCMOSモードが選択されます。LVDSを1/3V<sub>DD</sub>に接続すると、同時更新のデマルチプレクスCMOSモードが選択されます。LVDSを2/3V<sub>DD</sub>に接続すると、交互更新のデマルチプレクスCMOSモードが選択されます。LVDSをV<sub>DD</sub>に接続すると、LVDSモードが選択されます。

**MODE (ピン58)**: 出力形式とクロック・デューティ・サイクル・スタビライザの選択ピン。MODEを0Vに接続すると、オフセット・バイナリの出力形式が選択され、クロックのデューティ・サイクル・スタビライザがオフします。MODEを1/3V<sub>DD</sub>に接続すると、オフセット・バイナリの出力形式が選択され、クロックのデューティ・サイクル・スタビライザがオンします。2/3V<sub>DD</sub>に接続すると、2の補数の出力形式が選択され、クロック・デューティ・サイクル・スタビライザがオンします。V<sub>DD</sub>に接続すると、2の補数の出力形式が選択され、クロック・デューティ・サイクル・スタビライザがオフします。

**SENSE (ピン59)**: リファレンス・プログラミング・ピン。SENSEをV<sub>CM</sub>に接続すると、内部リファレンスと $\pm 0.5V$ の入力レンジが選択されます。SENSEをV<sub>DD</sub>に接続すると、内部リファレンスと $\pm 1V$ の入力レンジが選択されます。0.5Vより大きく1Vより小さい外部リファレンスをSENSEに印加すると、 $\pm V_{SENSE}$ の入力レンジが選択されます。 $\pm 1V$ が最大有効入力レンジです。

**V<sub>CM</sub> (ピン60)**: 出力と入力の1.25V同相バイアス。2.2 $\mu$ Fのセラミック・チップ・コンデンサを使用してグラウンドにバイパスします。

**GND (背面パッド) (ピン65)**: ADCの電源グラウンド。パッケージの底面の背面パッドはグラウンドに半田付けする必要があります。

## 機能ブロック図

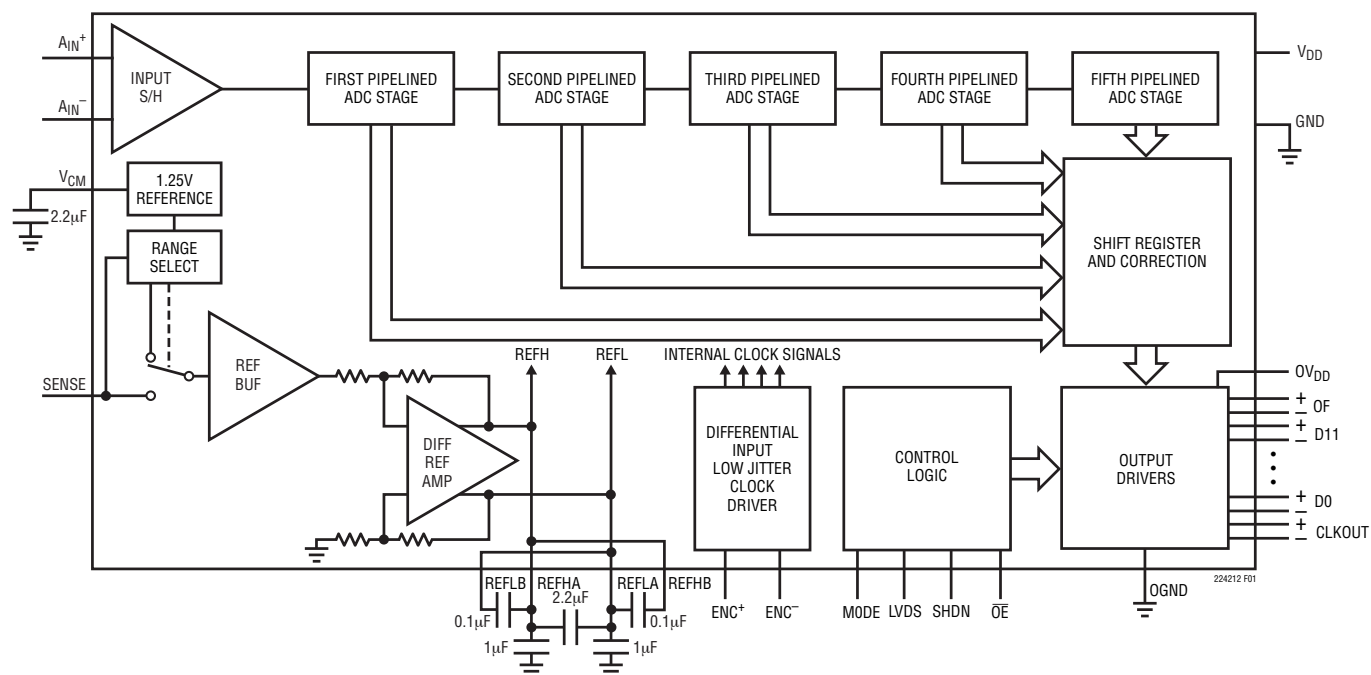
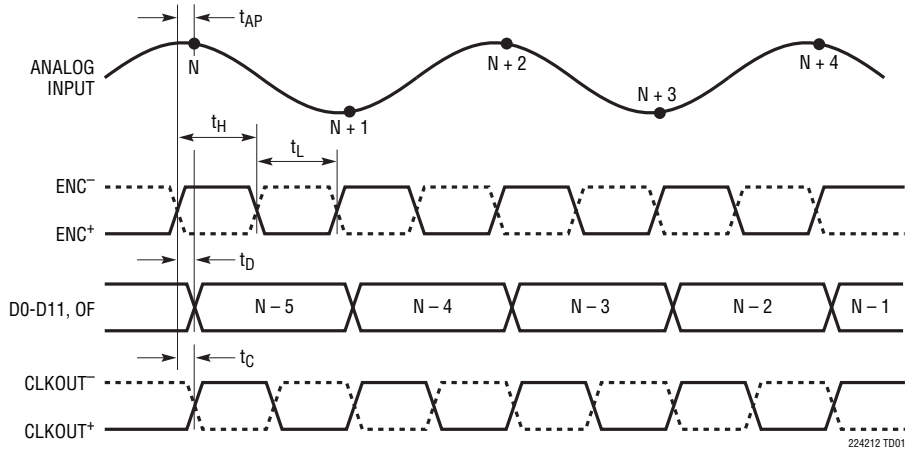


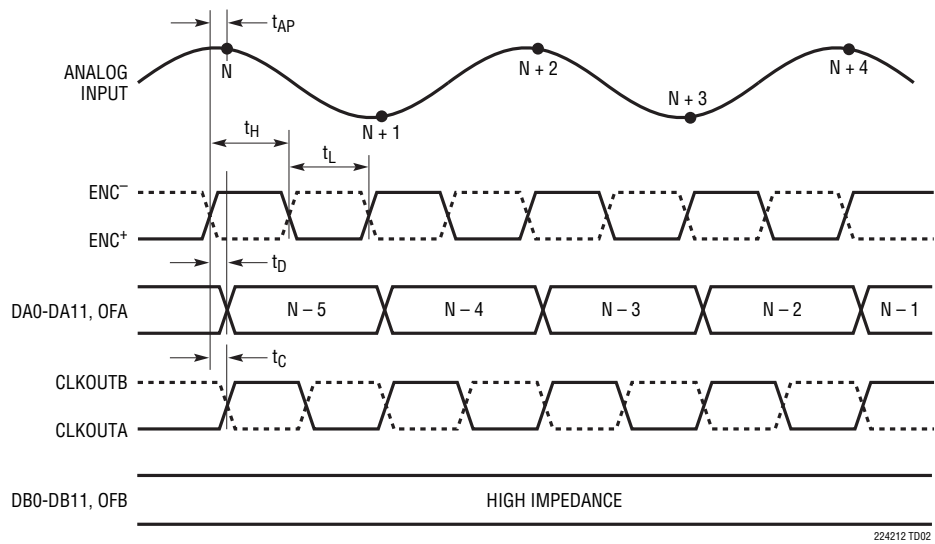
図1. 機能ブロック図

## タイミング図

LVDS 出力モードのタイミング  
すべての出力は差動でLVDSレベル

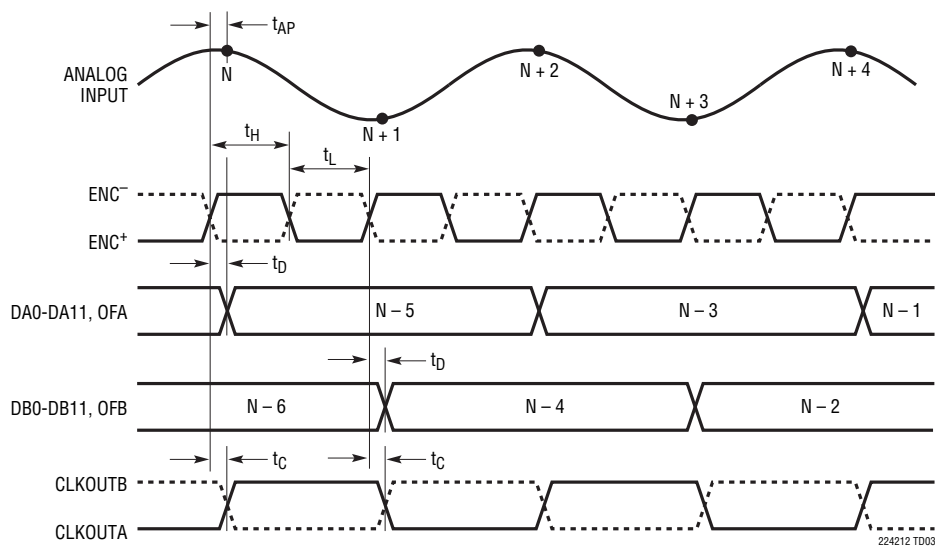


フルレート CMOS 出力モードのタイミング  
すべての出力はシングルエンドでCMOSレベル

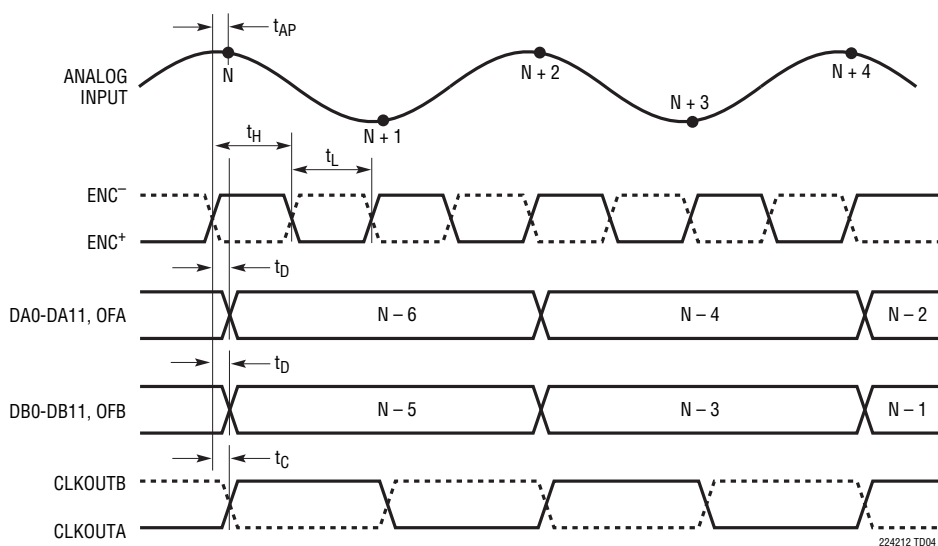


## タイミング図

交互更新デマルチプレクス CMOS 出力  
すべての出力はシングルエンドで CMOS レベル



同時更新デマルチプレクス CMOS 出力  
すべての出力はシングルエンドで CMOS レベル



## アプリケーション情報

### ダイナミック性能

#### 信号対ノイズ+歪みの比

信号対ノイズ+歪みの比  $S/(N+D)$  は、ADC出力での基本入力周波数のRMS振幅と他のすべての周波数成分のRMS振幅の比です。出力の帯域はDCからサンプリング周波数の半分より低い周波数に制限されています。

#### 信号対ノイズ比

信号対ノイズ比(SNR)は基本入力周波数のRMS振幅と、最初の5つの高調波およびDCを除く他のすべての周波数成分のRMS振幅の比です。

#### 全高調波歪み

全高調波歪みは入力信号の全高調波の実効値の和の基本周波数に対する比です。帯域外高調波はDCとサンプリング周波数の半分の間の周波数帯域でエイリアスを生じます。THDは次のように表されます。

$$THD = 20 \log \left( \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2}}{V_1} \right)$$

ここで、 $V_1$ は基本周波数のRMS振幅で、 $V_2 \sim V_n$ は2次～ $n$ 次の高調波の振幅です。このデータシートで計算されているTHDには、5次までの高調波がすべて使われています。

#### 混変調歪み

ADCの入力信号に複数のスペクトル成分が含まれていると、ADCの伝達関数の非直線性により、THDに加えて混変調歪み(IMD)が生じることがあります。IMDは周波数の異なる別の正弦波入力が存在するためある正弦波入力に生じる変化です。

周波数が $f_a$ と $f_b$ の2つの純粋な正弦波がADCの入力に与えられると、ADCの伝達関数の非直線性により $m f_a \pm n f_b$ の和と差の周波数で歪み積を生じることがあります。ここで、 $m$ と $n$ は0、1、2、3などです。3次の混変調歪み積は $2 f_a + f_b$ 、 $2 f_b + f_a$ 、 $2 f_a - f_b$ および $2 f_b - f_a$ です。混変調歪みは、最大の3次混変調積の実効値に対する、どちらかの入力トーンの実効値の比として定義されます。

### スプリアスフリー・ダイナミックレンジ(SFDR)

スプリアスフリー・ダイナミックレンジは、入力信号とDCを除いた最大のスペクトル成分であるピーク高調波またはスプリアス・ノイズです。この値は、フルスケール入力信号の実効値を基準にしたデシベル値で表されます。

### フルパワー帯域幅

フルパワー帯域幅は、フルスケールの入力信号から再構成された基本波の振幅が3dBだけ減少する入力周波数です。

### アパーチャ遅延時間

立ち上がりつつある $ENC^+$ の電圧が $ENC^-$ の電圧に等しくなったときから、入力信号がサンプル・ホールド回路によってホールドされる瞬間までの時間。

### アパーチャ遅延ジッタ

変換から変換までのアパーチャ遅延時間の変動。このランダムな変動により、AC入力のサンプリング時にノイズが生じます。ジッタだけによるSNRは次のようになります。

$$SNR_{JITTER} = -20 \log (2\pi \cdot f_{IN} \cdot t_{JITTER})$$

### コンバータの動作

図1に示すように、LTC2242-12はCMOSのパイプライン構成の多段コンバータです。パイプライン構成の5個のADC段を備えており、サンプリングされたアナログ入力は5サイクル後にデジタル値になります(「タイミング図」を参照)。最適な特性を得るには、アナログ入力を差動でドライブします。同相ノイズ除去性能を高めるため、エンコード入力は差動です。LTC2242-12は差動の $ENC^+$ / $ENC^-$ 入力ピンの状態で定まる2つのフェーズで動作します。簡単にするため、この説明では、 $ENC^+$ が $ENC^-$ より大きいときはENCは“H”であると表現し、 $ENC^+$ が $ENC^-$ より小さいときはENCは“L”であると表現します。



## アプリケーション情報

図1に示すパイプライン構成の各段は、1個のADC、再構成DAC、および段間残差アンプを備えています。動作時、ADCは各段の入力を量子化し、量子化された値はDACによって入力から差し引かれ、残差を生じます。残差は残差アンプによって増幅されて出力されます。奇数段がその残差を出力しているとき偶数段がその残差を取得するように、またその逆のように、後続段は先行段から位相がずれて動作します。

ENCが“L”のとき、アナログ入力はブロック図に示す「入力S/H」内部の入力サンプル・ホールド・コンデンサに差動で直接サンプリングされます。ENCが“L”から“H”に遷移する瞬間、サンプリングされた入力がホールドされます。ENCが“H”の間、ホールドされた入力電圧はS/Hアンプによってバッファされます。このS/Hアンプはパイプライン構成の最初のADC段をドライブします。最初の段はENCのこの“H”フェーズの間にS/Hの出力を取得します。ENCが“L”に戻ると最初の段はその残差を出力し、この残差が2番目の段によって取得されます。同時に、入力のS/Hは再度アナログ入力を取得します。ENCが“H”に戻ると2番目の段はその残差を出力し、この残差が3番目の段によって取得されます。同様の過程が3番目と4番目の段で繰り返され、4番目の段の残差は最終評価のために5番目の段のADCに送られます。

初段に続く各ADC段にはフラッシュ誤差とアンプのオフセット誤差を調節するための追加範囲があります。ADCの全段からの結果は、出力バッファに送る前に、それらの結果を補正ロジックで適切に結合できるようにデジタル動作で同期させます。

## サンプル/ホールド動作と入力ドライブ

### サンプル/ホールド動作

LTC2242-12のCMOS差動サンプル・ホールドの等価回路を図2に示します。アナログ入力はNMOSトランジスタを介してサンプリング・コンデンサ( $C_{SAMPLE}$ )に接続されています。各入力に付加されているコンデンサ( $C_{PARASITIC}$ )は各入力に関連した他のすべての容量の和です。

ENCが“L”のとき、サンプリング・フェーズの間トランジスタはアナログ入力をサンプリング・コンデンサに接続するので、これらのコンデンサは差動入力電圧まで充電され、さらにこの電圧を追尾します。ENCが“L”から“H”に移行する際には、サンプリングされた入力電圧がサンプリング・コンデンサに保持されます。ENCが“H”のとき、ホールド・フェーズの間サンプリング・コンデンサは入力から切り離され、ホールドされた電圧

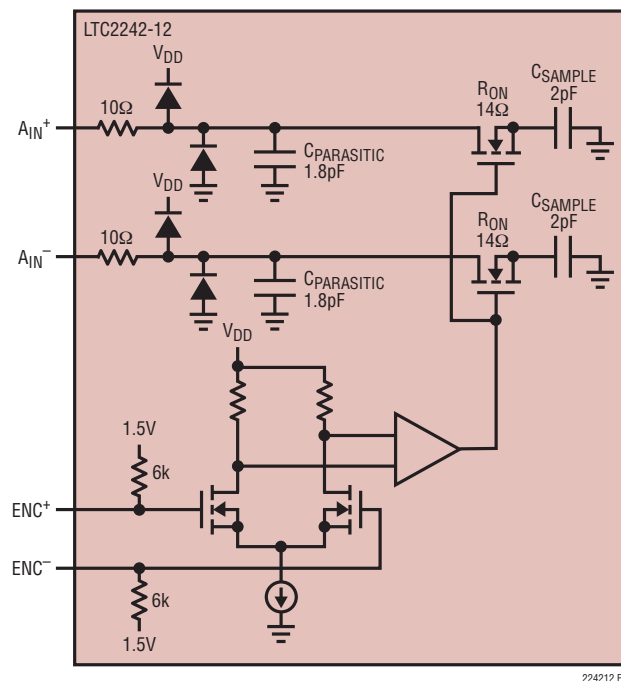


図2. 等価入力回路

はADCコアに渡されて処理されます。ENCが“H”から“L”に遷移すると、入力はサンプリング・コンデンサに再度接続され、新しいサンプルを収集します。サンプリング・コンデンサには直前のサンプルがまだホールドされているので、隣接するサンプル間の電圧変化に比例した充電グリッチがこのとき見られます。直前のサンプルと新しいサンプル間の変化が小さいと、入力に見られる充電グリッチは小さくなります。ナイキスト周波数の近くの入力周波数で見られる変化のように、入力の変化が大きければ、さらに大きな充電グリッチが見られます。

### 同相バイアス

最適な特性を得るには、アナログ入力を差動でドライブします。各入力は1.25Vの同相電圧を中心として、2Vレンジでは±0.5V、1Vレンジでは±0.25Vの振幅が必要です。V<sub>CM</sub>出力ピン(ピン60)を使って同相バイアス・レベルを供給することができます。V<sub>CM</sub>はトランスのセンタータップに直接接続してDC入力レベルを設定するか、またはオペアンプの差動ドライバ回路のリファレンス・レベルとして接続することができます。V<sub>CM</sub>ピンは2.2μF以上のコンデンサを使ってADCの近くのグラウンドにバイパスする必要があります。

## アプリケーション情報

### 入カドライブのインピーダンス

すべての高性能高速ADCの場合と同様、LTC2242-12のダイナミック特性は入力ドライブ回路、とくに2次と3次の高調波の影響を受けることがあります。ソース・インピーダンスと入力リアクタンスはSFDRに影響を与えることがあります。サンプル・ホールド回路はENCの立ち上がりエッジで2pFのサンプリング・コンデンサを入力ピンに接続してサンプリング期間を開始します。サンプリング期間はENCが立ち上がると終了し、サンプリングされた入力をサンプリング・コンデンサにホールドします。入力回路は理想的にはサンプリング期間 $1/(2f_s)$ のあいだにサンプリング・コンデンサを完全に充電するのに十分なだけ高速である必要があります。ただし、これが常に可能だとはかぎらず、不完全なセリングのためにSFDRが低下することがあります。不十分なセリングの影響を小さくするため、サンプリング・グリッチができるだけリニアになるように設計されています。

最高の性能を得るため、ソース・インピーダンスを各入力について $100\Omega$ 以下とすることを推奨します。差動入力のソース・インピーダンスは整合させる必要があります。よく整合していないと、偶数次高調波、特に2次高調波が大きくなります。

### 入カドライブ回路

2次側にセンタータップを備えたRFトランスによってドライブされるLTC2242-12を図3に示します。2次側センタータップは $V_{CM}$ でDCバイアスされており、ADCの入力信号を最適なDCレベルに設定します。トランスの2次側を終端するのは望ましいことです。これによりサンプル・ホールドによって生じる充電グリッチの同相経路が確保されるからです。図3には巻数比が1:1のトランスが示されています。ADCから見たソース・インピーダンスが各ADC入力で $100\Omega$ を超えなければ、他の巻線比を使うこともできます。トランスを使う場合の不利な点は、低周波応答の低下です。ほとんどの小型RFトランスは1MHzより低い周波数での性能が良くありません。

差動アンプを使ってシングルエンド入力信号を差動入力信号に変換する例を図4に示します。この方法の利点は、低い入力周波数に対する応答が良いことです。ただし、ほとんどのオペアンプ

プでは、利得帯域幅の制限により、高い入力周波数でのSFDRが制限されます。

容量性結合の入力回路を図5に示します。アナログ入力から見たインピーダンスを整合させる必要があります。

アナログ入力に接続されている $25\Omega$ の抵抗と12pFのコンデンサは2つの役目を果たします。サンプル・ホールドの充電グリッ

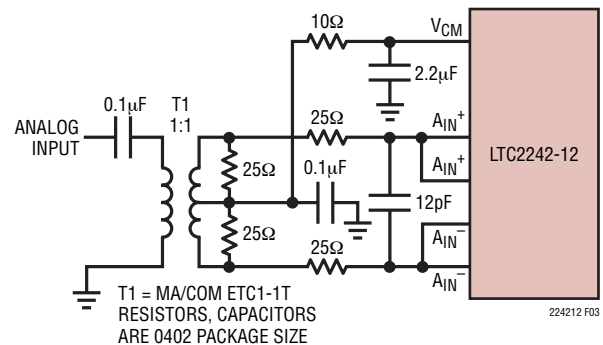


図3. トランスを使ったシングルエンドから差動への変換

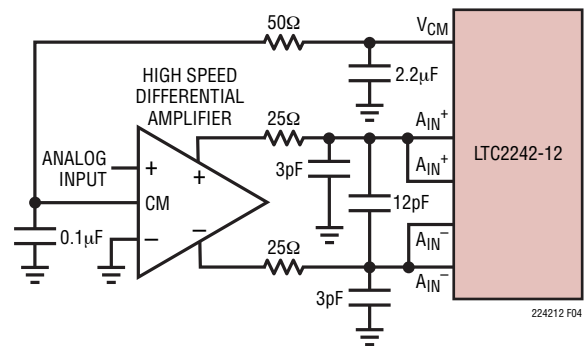


図4. アンプを使った差動ドライブ

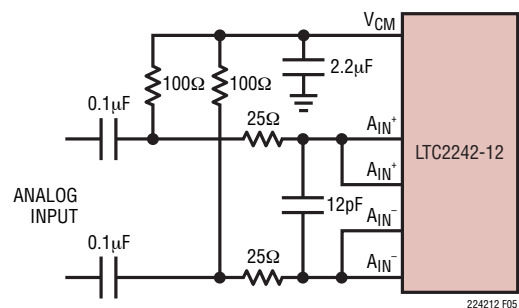


図5. 容量性結合のドライブ



## アプリケーション情報

チからドライブ回路を分離し、コンバータの入力の広帯域ノイズを制限します。100MHzを超える入力周波数では、過度の信号損失を防ぐためコンデンサの容量を減らす必要があるかもしれません。

$A_{IN}^+$  と  $A_{IN}^-$  の入力はパッケージのインダクタンスを減らすためそれぞれ2本のピンを備えています。2本の  $A_{IN}^+$  ピンと2本の  $A_{IN}^-$  ピンはそれぞれ短絡します。

100MHzを超える入力周波数では、図6、図7および図8の入力回路を推奨します。センタータップ付き磁束結合型トランスに比べて、バラシトランスは高周波応答が優れています。カップリング・コンデンサにより、アナログ入力を1.25VにDCバイアスすることができます。図8の直列インダクタはインピーダンス整合用素子で、ADCの帯域幅を最大にします。

### リファレンスの動作

1.25Vのバンドギャップ・リファレンス、差動アンプ、およびスイッチングと制御の回路で構成されるLTC2242-12のリファレンス回路を図9に示します。内部電圧リファレンスはピンで選択可能な2V (差動 $\pm 1V$ ) または1V (差動 $\pm 0.5V$ ) の2つの入力レンジに設定することができます。SENSEピンを  $V_{DD}$  に接続すると2Vレンジが選択され、SENSEピンを  $V_{CM}$  に接続すると1Vレンジが選択されます。

1.25Vのバンドギャップ・リファレンスは2つの機能を果たします。このリファレンスの出力は任意の外部入力回路の同相電圧を設定するためのDCバイアス点を与えます。さらに、差動アンプと一緒に使われて、内部のADC回路が必要とする差動リファレンス・レベルを生成します。1.25Vリファレンスの出力 ( $V_{CM}$ ) には外付けのバイパス・コンデンサが必要です。このコンデンサは、内部回路と外部回路のための、高周波で低インピーダンスのグラウンド経路を確保します。

差動アンプはADCの“H”リファレンスと“L”リファレンスを発生します。高速スイッチング回路がこれらの出力に接続されているので、これらの出力は外部でバイパスする必要があります。各出力には4本のピンが備わっています。“H”リファレンス用にそれぞれ2本のREFHAとREFHB、および“L”リファレンス用にそれぞれ2本のREFLAとREFLBです。複数の出力ピンは、パッケージのインダクタンスを減らすために必要です。バイパス・コンデンサは図9に示されているように接続する必要があります。

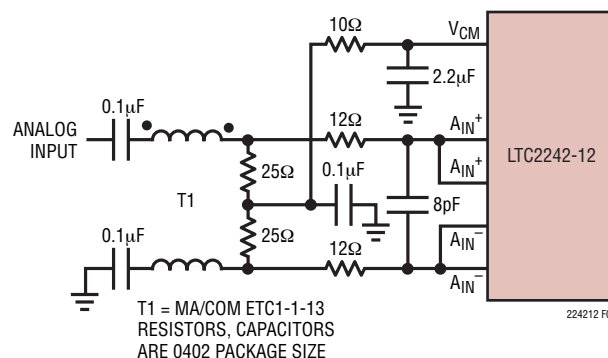


図6. 100MHz～250MHzの入力周波数用の推奨フロントエンド回路

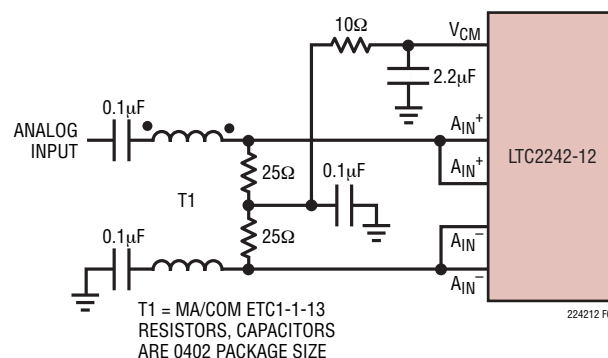


図7. 250MHz～500MHzの入力周波数用の推奨フロントエンド回路

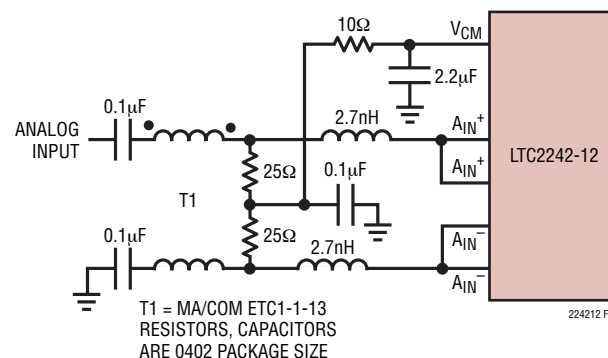


図8. 500MHzを超す入力周波数用の推奨フロントエンド回路

## アプリケーション情報

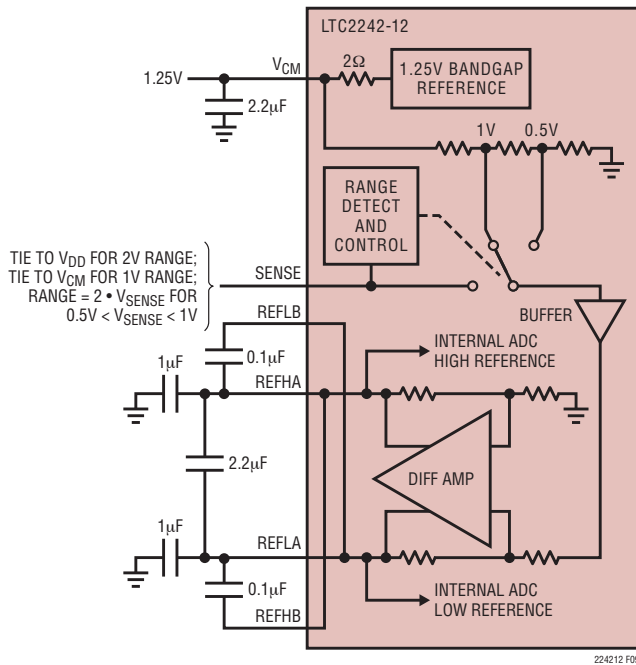


図9. 等価入力回路

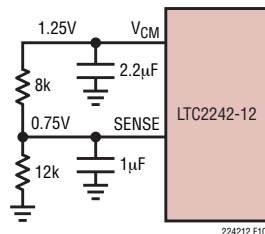


図10. 1.5VレンジのADC

ピンで選択可能なレンジの間にくる他の電圧レンジは、図10に示すように、2つの外付け抵抗を使ってプログラムすることができます。外部リファレンスを使って、その出力を直接に、または抵抗分割器を介してSENSEに与えることができます。ロジック・デバイスを使ってSENSEピンをドライブすることは推

奨しません。SENSEピンはできるだけコンバータの近くで適切なレベルに接続します。SENSEピンを外部からドライブする場合、1μFのセラミック・コンデンサを使ってデバイスのできるだけ近くでグラウンドにバイパスします。

## 入力レンジ

入力レンジはアプリケーションに基づいて設定することができます。2V入力レンジでは優れたSFDRを保ったまま最良のSNRが得られます。1V入力レンジのSFDR性能はさらに優れていますが、SNRは5dBだけ低下します。「標準的性能特性」を参照してください。

## エンコード入力のドライブ

LTC2242-12のノイズ特性は、アナログ入力に依存するのと同程度にエンコード信号の品質に依存することがあります。ENC<sup>+</sup>/ENC<sup>-</sup>入力は、主に同相ノイズ源に対して耐性をもたせるため、差動でドライブするように意図されています。各入力には4.8kの抵抗を介して1.5Vにバイアスされています。これらのバイアス抵抗はトランス結合のドライブ回路のDC動作点を設定し、シングルエンドのドライブ回路のロジックしきい値を設定することができます。

エンコード信号に含まれるどんなノイズも新たなアパーチャ・ジッタを生じ、このジッタは本来のADCアパーチャ・ジッタにRMSとして加算されます。

ジッタが重要な問題となる(高入力周波数)アプリケーションでは、以下の配慮が必要です。

1. 差動ドライブを使います。
2. できるだけ大きな振幅を使います。トランス結合の場合、高い巻線比を使って振幅を大きくします。
3. 正弦波信号でADCをクロック駆動する場合、エンコード信号にフィルタをかけて広帯域ノイズを減らします。
4. 両方のエンコード入力で容量と直列抵抗値をバランスさせ、どの結合ノイズも同相ノイズとして両方の入力に現われるようにします。エンコード入力の同相範囲は1.2V~2.0Vです。シングルエンドのドライブの場合、各入力はグラウンド~V<sub>DD</sub>の範囲でドライブすることができます。

## アプリケーション情報

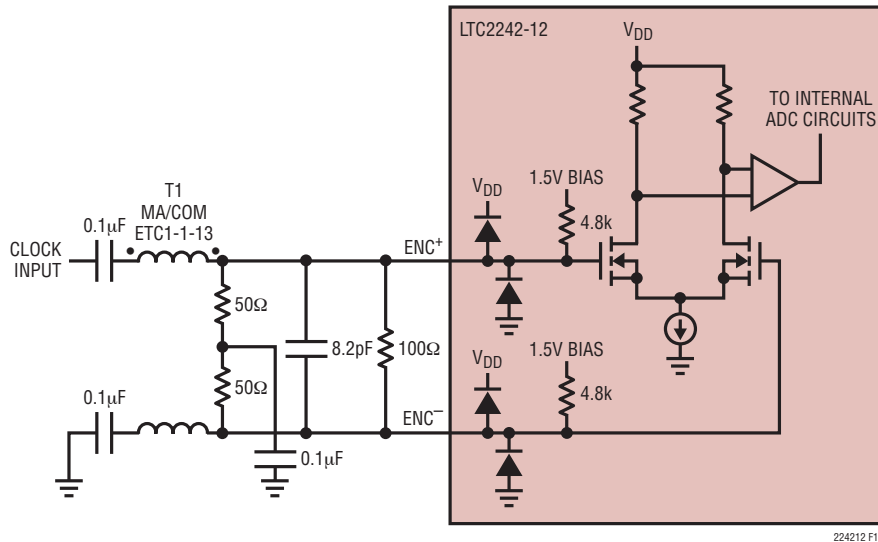
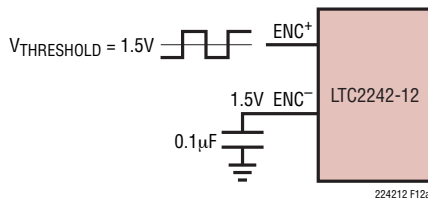
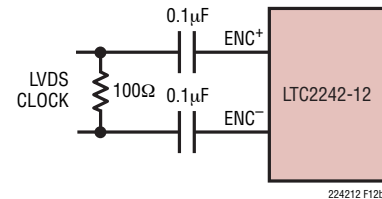
図11. トランスでドライブされる ENC<sup>+</sup>/ENC<sup>-</sup>図12a. シングルエンドの ENC ドライブで、  
低ジッタ用には推奨できない

図12b. LVDSを使った ENC ドライブ

## 最大エンコード・レートと最小エンコード・レート

LTC2242-12の最大エンコード・レートは250MSPSです。ADCを正しく差動させるには、エンコード信号のデューティ・サイクルが50% (±5%) でなければなりません。各半周期は、十分なセティング時間をADCの内部回路に確保して正常動作させるため、少なくとも1.9ns が必要です。正確に50%のデューティ・サイクルを容易に実現するには、トランスを使った、あるいはPECLやLVDSなどの対称型差動ロジックを使った差動正弦波ドライブを使います。

入力クロックのデューティ・サイクルが50%でない場合、オプションのクロック・デューティ・サイクル・スタビライザ回路を使うことができます。この回路はENC<sup>+</sup>ピンの立ち上がりエッジを使って、アナログ入力をサンプルします。ENC<sup>+</sup>の立ち下がりエッジは無視され、フェーズロック・ループにより内部で立ち下がりエッジが作られます。入力クロックのデューティ・サイクルは40%～60%の範囲で変化することができ、クロック・

デューティ・サイクル・スタビライザは内部デューティ・サイクルを50%に保ちます。クロックが長時間オフする場合、デューティ・サイクル・スタビライザ回路のPLLが入力クロックにロックするのに100クロック・サイクルを必要とします。クロック・デューティ・サイクル・スタビライザを使うには、外付け抵抗を使ってMODEピンを1/3V<sub>DD</sub>または2/3V<sub>DD</sub>に接続します。

LTC2242-12のサンプル・レートの下限は、サンプル・ホールド回路の垂下によって決まります。このADCのパイプライン・アーキテクチャでは、アナログ信号を小容量のコンデンサに保存します。接合部のリーク電流によりコンデンサが放電します。LTC2242-12の規定最小動作周波数は1MSPSです。

## デジタル出力

アナログ入力電圧、デジタル・データ・ビット、およびオーバーフロー・ビットの相互関係を表1に示します。

## アプリケーション情報

表1. 出力コードと入力電圧

$A_{IN}^+ - A_{IN}^-$ (2V範囲)	OF	D11~D0 (オフセット・バイナリ)	D11~D0 (2の補数)
>+1.000000V	1	1111 1111 1111	0111 1111 1111
+0.999512V	0	1111 1111 1111	0111 1111 1111
+0.999024V	0	1111 1111 1110	0111 1111 1110
+0.000488V	0	1000 0000 0001	0000 0000 0001
0.000000V	0	1000 0000 0000	0000 0000 0000
-0.000488V	0	0111 1111 1111	1111 1111 1111
-0.000976V	0	0111 1111 1110	1111 1111 1110
-0.999512V	0	0000 0000 0001	1000 0000 0001
-1.000000V	0	0000 0000 0000	1000 0000 0000
<-1.000000V	1	0000 0000 0000	1000 0000 0000

## デジタル出力モード

LTC2242-12はいくつかのデジタル出力モードで動作可能です。これらは、LVDS、フルスピードで動作するCMOS、および（それぞれ半分の速度で動作する）2つのバスにデマルチプレクスされたCMOSです。デマルチプレクスCMOSモードでは、2本のバス（バスAおよびバスBと呼ばれる）は1つおきのクロック・サイクルで（交互モード）、または同時に（同時モード）更新することができます。クロックのタイミングの詳細については、タイミング図を参照してください。

LVDSピンにより、どのデジタル出力モードをデバイスが使用するかが選択されます。このピンには4レベルのロジック入力があり、GND、 $1/3V_{DD}$ 、 $2/3V_{DD}$ または $V_{DD}$ に接続します。外付け抵抗分割器を使って $1/3V_{DD}$ または $2/3V_{DD}$ のロジック値を設定することができます。LVDSピンのロジック状態を表2に示します。

表2. LVDSピンの機能

LVDS	デジタル出力モード
GND	フルレートCMOS
$1/3V_{DD}$	同時更新デマルチプレクスCMOS
$2/3V_{DD}$	交互更新デマルチプレクスCMOS
$V_{DD}$	LVDS

## デジタル出力バッファ(CMOSモード)

CMOS出力モードの1個の出力バッファの等価回路を図13aに示します。各バッファは $OV_{DD}$ と $OGND$ から電力を供給され、ADCの電源とグランドからは絶縁されています。出力ドライバにNチャンネル・トランジスタが追加されているので、0.5Vの低電圧まで動作可能です。出力に直列接続された内部抵抗により、外部回路から見ると出力は $50\Omega$ に見えるので、外部の減衰抵抗が不要になることがあります。

すべての高速/高分解能コンバータの場合と同様、デジタル出力負荷が性能に影響を与えることがあります。デジタル出力と敏感な入力回路の間に生じるおそれのある相互反応を抑えるため、LTC2242-12のデジタル出力はできるだけ小さな容量性負荷をドライブするようにします。出力は74VXCX245 CMOSラッチのようなデバイスを使ってバッファします。フルスピード動作では負荷の容量は $10pF$ 以下に抑えます。

$OV_{DD}$ 電圧を低くすることも、デジタル出力からの干渉を減らすのに役立ちます。

## デジタル出力バッファ(LVDSモード)

LVDS出力モードの差動出力ペアの等価回路を図13bに示します。3.5mAの電流が $OUT^+$ から $OUT^-$ に、またはその逆方向に流れるので、LVDSレシーバの $100\Omega$ 終端抵抗両端に $\pm 350mV$ の差動電圧が生じます。帰還ループが同相出力電圧を1.25Vに安定化します。正しく動作するには、(OF<sup>+</sup>/OF<sup>-</sup>またはCLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>などの)信号を使用しなくても、各LVDS出力ペアには $100\Omega$ の外付け終端抵抗が必要です。ノイズを最小限に抑えるには、PCボード上の各LVDS出力ペアのトレースは互いに近接させて配線します。クロックのスキューを最小限に抑えるため、すべてのLVDSのPCボード・トレースをほぼ同じ長さにします。

## アプリケーション情報

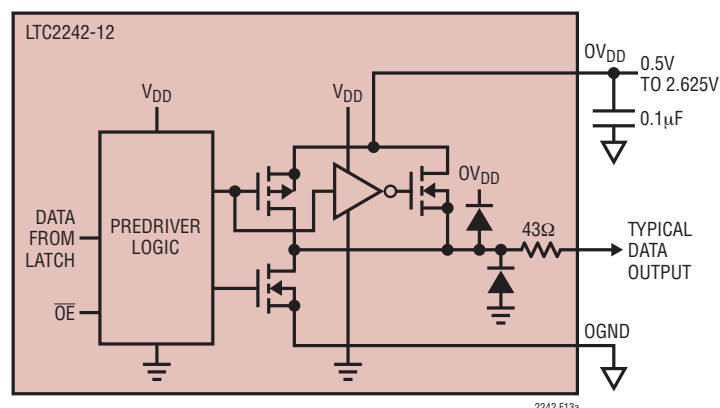


図 13a. CMOS モードのデジタル出力バッファ

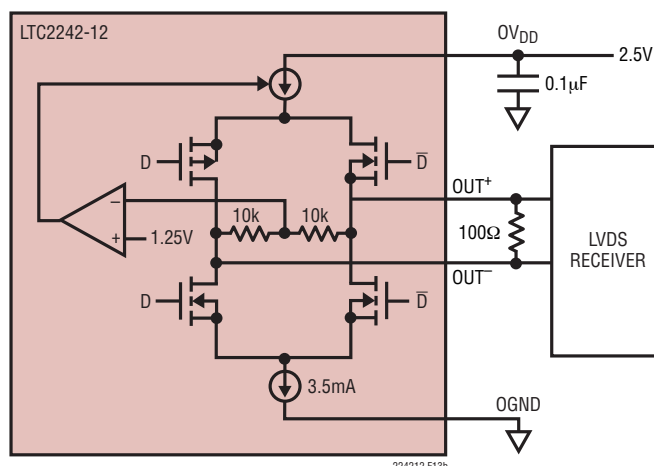


図 13b. LVDS モードのデジタル出力

## データ形式

LTC2242-12 のパラレル・デジタル出力は、オフセット・バイナリ形式または2の補数形式に設定できます。形式はMODEピンを使って選択します。MODEをGNDまたは $1/3V_{DD}$ に接続すると、オフセット・バイナリの出力形式が選択されます。MODEを $2/3V_{DD}$ または $V_{DD}$ に接続すると、2の補数の出力形式が選択されます。外付け抵抗分割器を使って $1/3V_{DD}$ または $2/3V_{DD}$ のロジック値を設定することができます。MODEピンのロジック状態を表3に示します。

表 3. MODEピンの機能

MODEピン	出力形式	クロック・デューティ・サイクル・スタビライザ
0	オフセット・バイナリ	オフ
$1/3V_{DD}$	オフセット・バイナリ	オン
$2/3V_{DD}$	2の補数	オン
$V_{DD}$	2の補数	オフ

## オーバーフロー・ビット

オーバーフロー出力ビットはコンバータにオーバーレンジまたはアンダーレンジの信号が入力されていることを示します。CMOSモードでは、OFAピンのロジック“H”はAデータバスのオーバーフローまたはアンダーフローを示し、OFBピンのロジック“H”はBデータバスのオーバーフローまたはアンダーフローを示します。LVDSモードでは、OF<sup>+</sup>ピン/OF<sup>-</sup>ピンの差動ロジック“H”がオーバーフローまたはアンダーフローを示します。

## 出力クロック

ADCにはENC<sup>+</sup>入力を遅延させた信号がデジタル出力(CLKOUT)として備わっています。このCLKOUTピンを使っ

て、コンバータのデータをデジタル・システムに同期させることができます。これは正弦波のエンコードを使用する場合に必要です。すべてのCMOSモードで、AバスのデータはCLKOUTAが立ち上がった直後に更新され、CLKOUTAの立ち下がりエッジでラッチすることができます。交互更新のデマルチプレクスCMOSモードでは、BバスのデータはCLKOUTBが立ち上がった直後に更新され、CLKOUTBの立ち下がりエッジでラッチすることができます。同時更新のデマルチプレクスCMOSモードでは、BバスのデータはCLKOUTBが立ち下がった直後に更新され、CLKOUTBの立ち上がりエッジでラッチすることができます。LVDSモードでは、データはCLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>が立ち上がった直後に更新され、CLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>の立ち下がりエッジでラッチすることができます。

## 出力ドライバの電源

出力専用の電源ピンとグランド・ピンが備わっているので、出力ドライバをアナログ回路から分離することができます。デジタル出力バッファの電源(OV<sub>DD</sub>)は、ドライブされるロジックと同じ電源に接続します。たとえば、1.8V電源から電力を供給されているDSPをコンバータがドライブする場合、OV<sub>DD</sub>は同じ1.8V電源に接続します。

CMOS出力モードでは、OV<sub>DD</sub>は2.625Vまでの任意の電圧で電力供給を受けることができます。OGNDはGND~1Vの任意の電圧で電力供給を受けることができ、OV<sub>DD</sub>より低くなければなりません。ロジック出力はOGNDとOV<sub>DD</sub>の間で振幅します。

LVDS出力モードでは、OV<sub>DD</sub>は2.5V電源に接続し、OGNDはGNDに接続します。

224212fc



## アプリケーション情報

### 出力イネーブル

出力イネーブル・ピン ( $\overline{OE}$ ) を使って出力をディスエーブルすることができます。CMOS 出力モードまたは LVDS 出力モードでは、 $\overline{OE}$  を “H” にすると、OF や CLKOUT を含むすべてのデータ出力がディスエーブルされます。データのアクセス時間やバスの解放時間は、フルスピード動作時に出力のイネーブルやディスエーブルをするには長すぎます。出力のハイインピーダンス状態は長期の休止時に使うことを意図しています。

このハイインピーダンス状態は真のオープン状態ではありません。LVDS 出力ペアを形成する出力ピンの間には 20k の抵抗があります。したがって、CMOS 出力モードでは、ハイインピーダンス状態であっても隣接するデータ・ビットのあいだには 20k の抵抗があります。

### スリープ・モードとナップ・モード

節電のため、コンバータをシャットダウン・モードまたはナップ・モードにすることができます。SHDN を GND に接続すると正常動作になります。SHDN を  $V_{DD}$  に接続して  $\overline{OE}$  を  $V_{DD}$  に接続するとスリープ・モードになり、リファレンスを含むすべての回路をパワーダウンし、電力損失は標準で 1mW になります。スリープ・モードから回復するときは、リファレンスのコンデンサを再充電して安定させる必要があるため、出力データが有効になるまで数ミリ秒かかります。SHDN を  $V_{DD}$  に接続して  $\overline{OE}$  を GND に接続するとナップ・モードになり、電力損失は標準で 28mW になります。ナップ・モードでは内蔵リファレンス回路はオンしたままなので、ナップ・モードからの回復はスリープ・モードからの回復よりも速く、標準で 100 クロック・サイクルしかかかりません。スリープとナップの両方のモードですべてのデジタル出力はディスエーブルされ、ハイインピーダンス状態になります。

### 接地とバイパス

LTC2242-12 には切れ目の無いクリーンなグラウンド・プレーンを備えたプリント回路基板が必要です。内部グラウンド・プレーンを備えた多層基板を推奨します。プリント基板のレイアウトは、デジタル信号線とアナログ信号線をできるだけ離すようにしなければなりません。特に、どのデジタル信号もアナログ信号に沿って配線しないように、また ADC の下に配線しないように注意します。

高品質のセラミック・バイパス・コンデンサを、 $V_{DD}$ 、 $OV_{DD}$ 、 $V_{CM}$ 、REFHA、REFHB、REFLA および REFLB の各ピンに使

います。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。特に重要なのは、REFHA と REFLB の間、および REFHB と REFLA の間のコンデンサです。これらのコンデンサはできるだけデバイスに近づけて (1.5mm 以内) 配置してください。サイズが 0402 のセラミック・コンデンサを推奨します。REFHA と REFLA の間に接続する 2.2 $\mu$ F のコンデンサは、ある程度離して配置できます。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くする必要があります。

LTC2242-12 の差動入力はい互いに並行にし、近づけて配線します。容量とノイズの混入を最小限に抑えるために、入力トレースはできるだけ短くします。

### 熱伝導

LTC2242-12 が発生する熱の大部分は、ダイから底面の背面パッドとパッケージのピンを通してプリント回路基板に伝わります。すぐれた電気的性能と熱性能を得るには、背面パッドを PC 基板の大きな接地されたパッドに半田付けします。すべてのグラウンド・ピンを面積が十分大きなグラウンド・プレーンに接続することが重要です。

### アンダーサンプリングのクロック・ソース

アンダーサンプリングでは、クロック・ソースに対して特に要求が厳しく、入力周波数が高いほどクロックのジッタや位相ノイズに対して敏感になります。フルスケール信号の SNR を 70MHz で 1dB だけ低下させるクロック・ソースは、SNR を 140MHz では 3dB、190MHz では 4.5dB だけ低下させます。

絶対クロック周波数の精度が比較的重要ではなく、1つの ADC だけが必要とされる場合、Saronix や Vectron のような製造販売元のメタルキャン発振器を ADC の近くに配置して ADC に直接接続することができます。ADC までいくらかでも距離がある場合、何らかのソース終端を行って、たとえ数分の 1 インチでも生じる可能性のあるリングングを抑えます。クロックが電源の値をオーバーシュートしないようにする必要があります。オーバーシュートすると性能が低下します。正弦波のクロック・ソースでない限り、クロック信号は狭帯域のバンド・フィルタを通さないでください。フィルタを通すと、標準的なデジタル・クロック信号に含まれる立ち上がり時間と立ち下がり時間のアーチファクトが位相ノイズに変換されるからです。

## アプリケーション情報

位相ノイズが最も小さい発振器は出力がシングルエンドの正弦波であり、これらのデバイスの場合は、ADCの近くにフィルタを使用すると効果的な場合があります。このフィルタはADCに近づけて配置して、往復の反射時間を短くするとともに、フィルタとADCの間のトレースが外部の影響を受けにくくします。回路が近接位相ノイズの影響を受けやすい場合、発振器の電源とすべてのバッファは非常に安定したものでなければなりません。電源が安定していないと、電源による伝播遅延の変動によって位相ノイズが生じます。これらのクロック・ソースはデジタル・デバイスと見なされるかもしれませんが、それらをデジタル電源で動作させないでください。そのクロックがFPGAなどのデジタル・デバイスをドライブするのにも使用される場合、発振器とすべてのクロックのファンアウト・デバイスをADCの近くに配置し、ADCへの配線を優先させます。FPGAへのクロック信号はドライバで直列終端を行い、FPGAからの高周波ノイズがクロックのファン

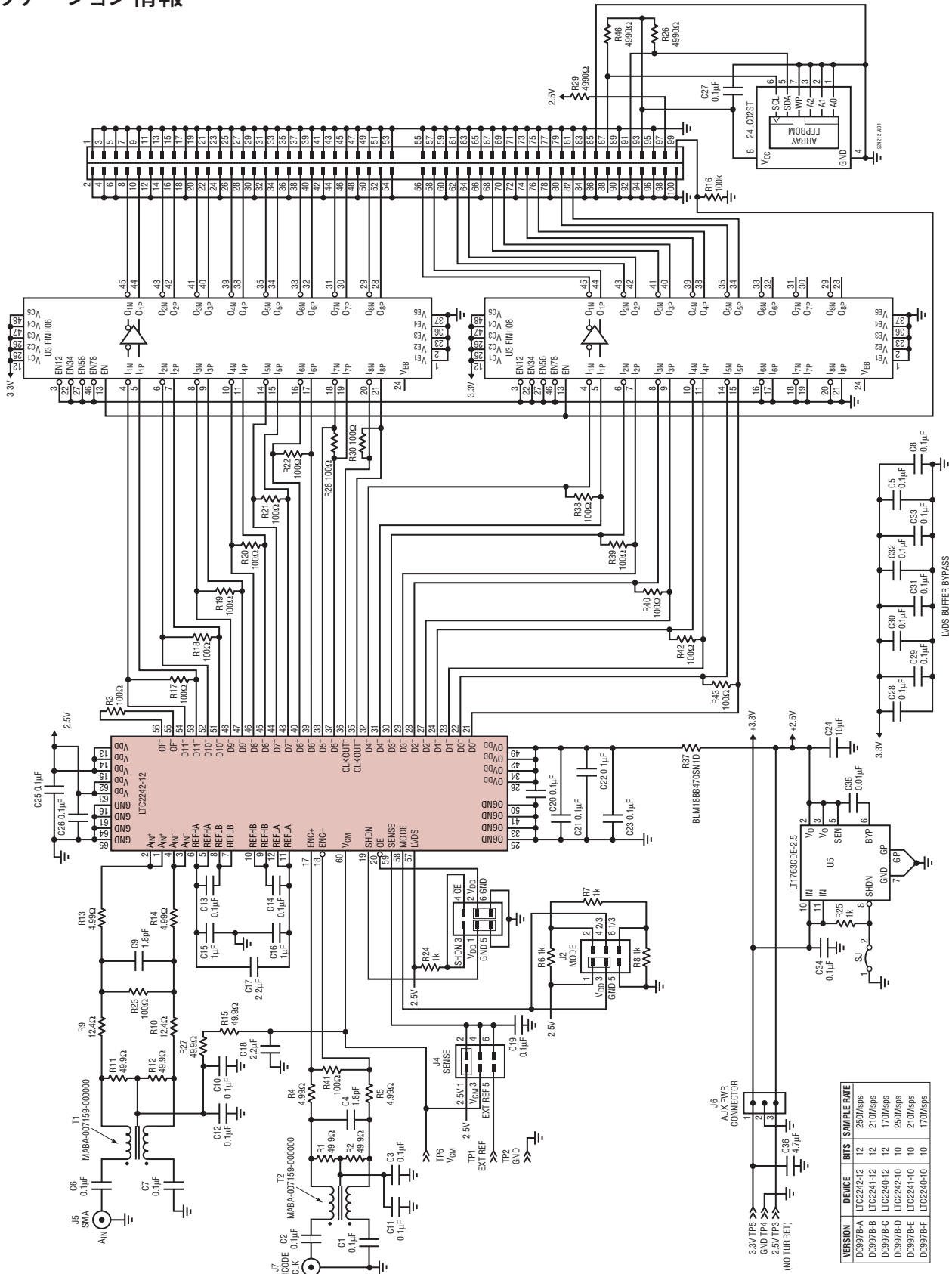
アウト・デバイスのサブストレートの状態を乱さないようにします。FPGAをプログラム可能な分割器として使用する場合は、元の発振器を使って信号の時間合せを行う必要があり、タイミング調整用フリップ・フロップと発振器をADCに近づけて配置し、十分に安定した電源から電力を供給します。

複数のADCが存在する場合、またはクロック・ソースがいくらか離れている場合、クロックを差動で分配することを推奨します。これは、EMIの観点からだけでなく、デジタル・ソースからの放射ノイズや多層PCBの層間に存在する導波路内を伝播するノイズを防ぐ観点からも推奨します。この差動ペアは互いに近接させ、他の信号から離す必要があります。この差動ペアは(トレース間の距離の少なくとも3倍距離をとって)両側に銅でガードを設け、1/4インチ以下の間隔でビアを使って接地します。

# LTC2242-12

## アプリケーション情報

LTC2242-12の評価回路図

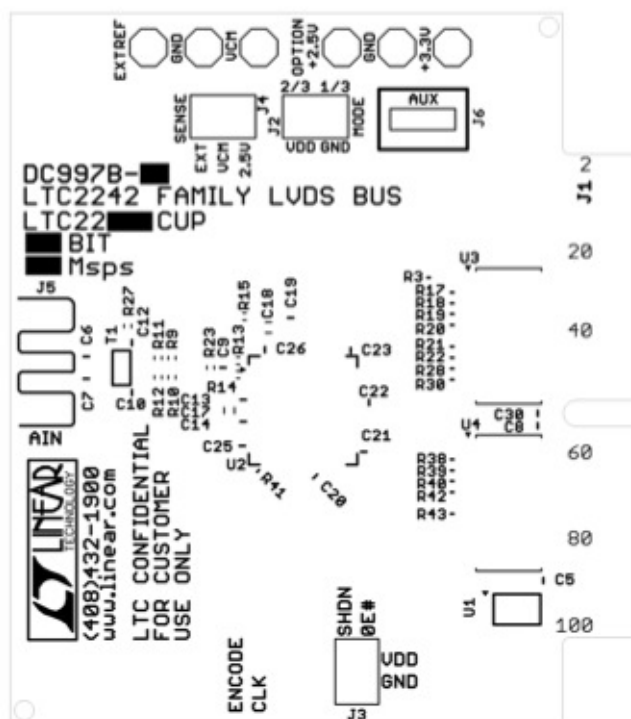


VERSION	DEVICE	BITS	SAMPLE RATE
D0397B-A	LTC2242-12	12	250MS/s
D0397B-B	LTC2241-12	12	210MS/s
D0397B-C	LTC2240-12	12	170MS/s
D0397B-D	LTC2242-10	10	250MS/s
D0397B-E	LTC2241-10	10	210MS/s
D0397B-F	LTC2240-10	10	170MS/s

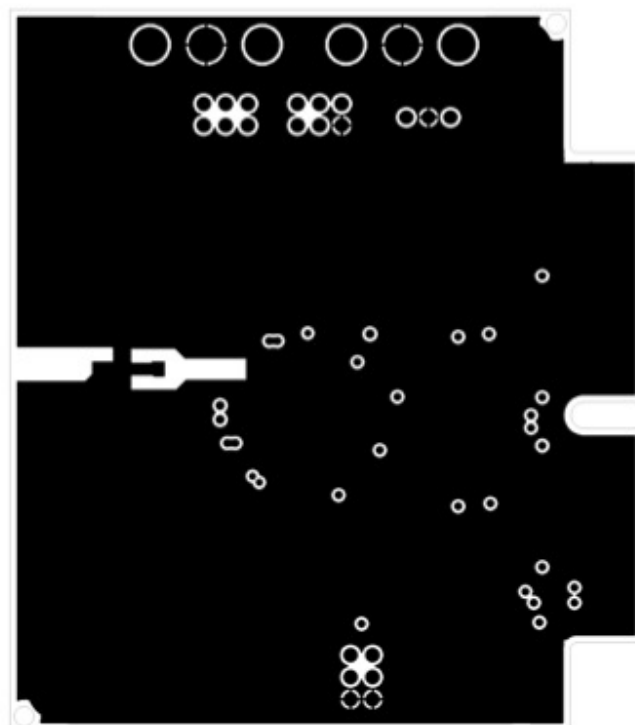


アプリケーション情報

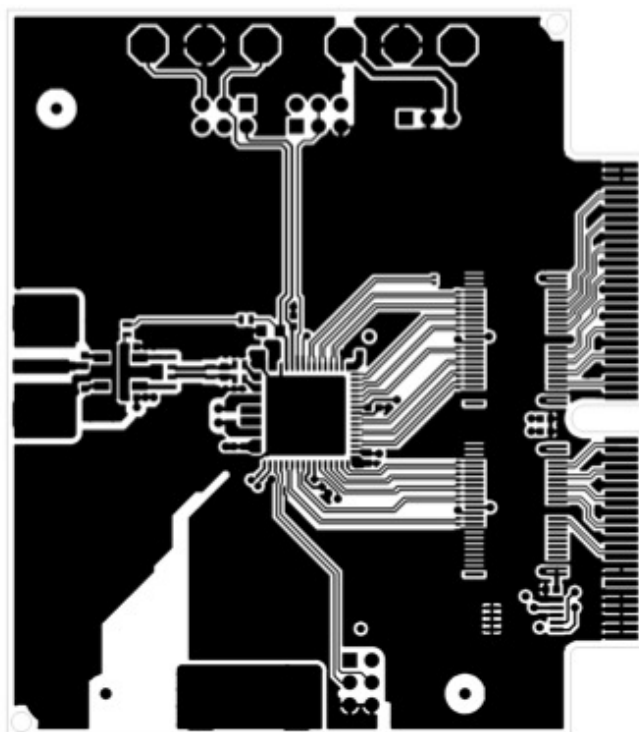
部品面シルク



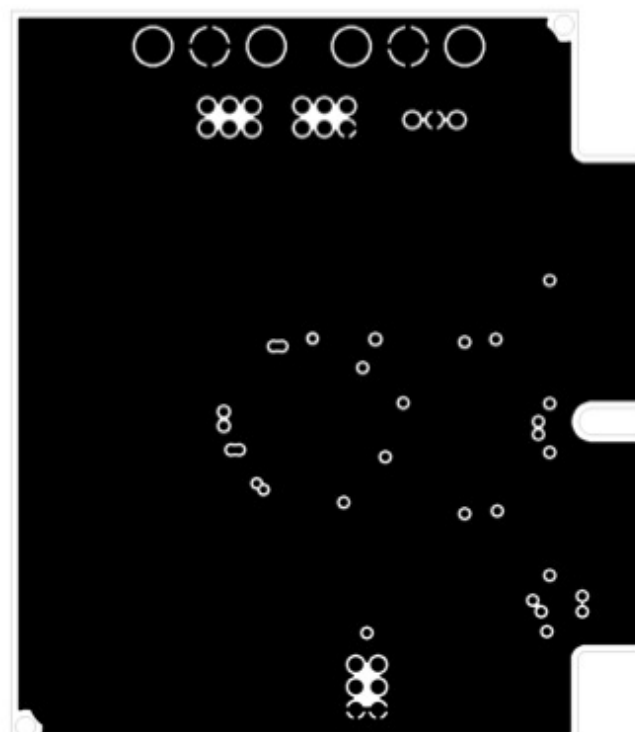
第2層、GNDプレーン



第1層、部品面

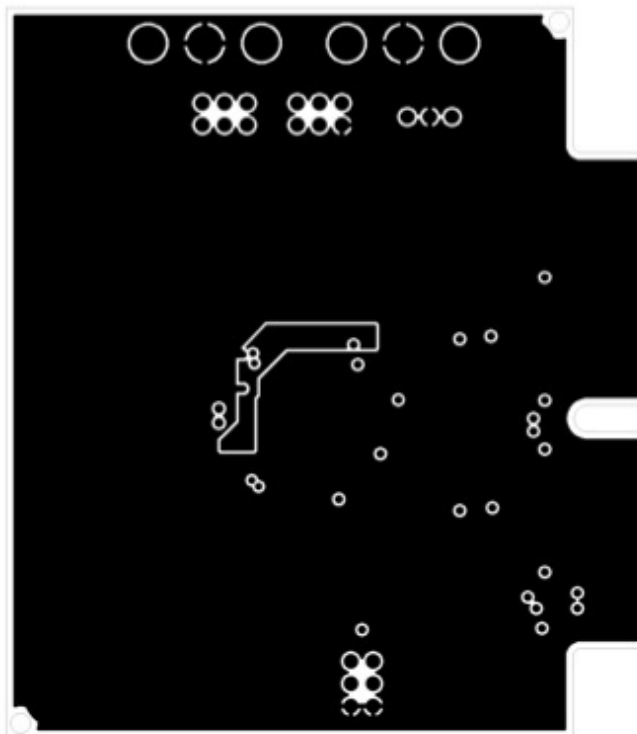


第3層、電源/グランド・プレーン

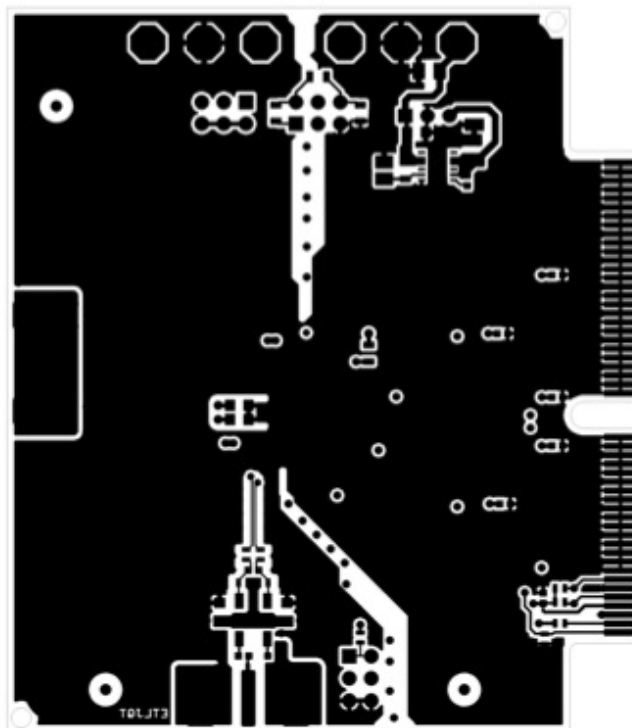


## アプリケーション情報

第4層、電源/グランド・プレーン

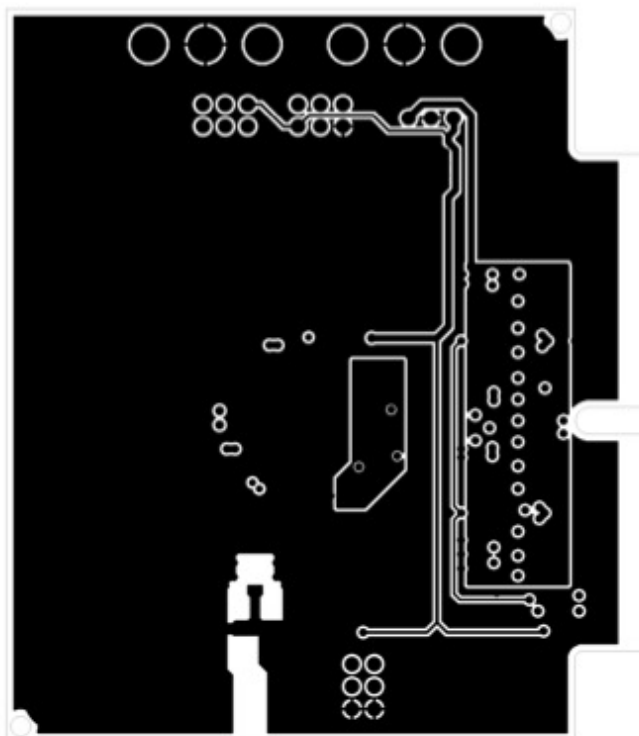


第5層、電源/グランド・プレーン



アプリケーション情報

裏側、半田面



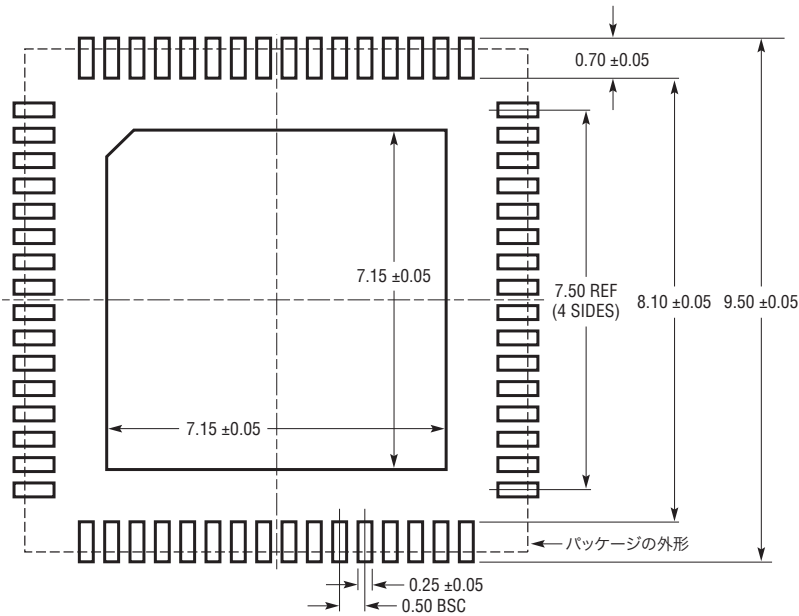
シルクスクリーンの裏側、半田面



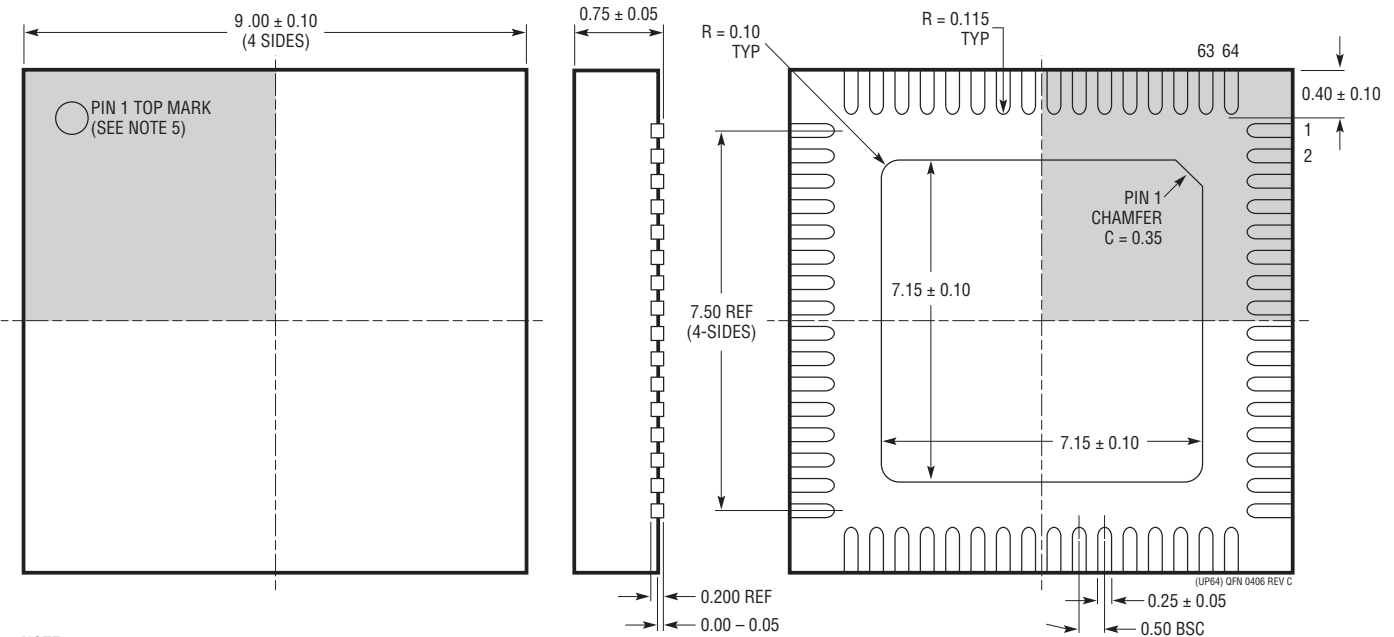
## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

### UPパッケージ 64ピン・プラスチックQFN(9mm×9mm) (Reference LTC DWG # 05-08-1705 Rev C)



推奨する半田パッドのピッチと寸法  
半田付けされない領域には半田マスクを使用する



底面図 - 背面パッド

**NOTE:**

1. 図は JEDEC のパッケージ外形 MO-220 のバリエーション WNJR-5 に適合
2. すべての寸法はミリメートル
3. パッケージ底面の背面パッドの寸法にはモールドのバリを含まない  
モールドのバリは(もしあれば)各サイドで 0.20mm を超えないこと
4. 露出パッドは半田メッキとする
5. 網掛けの部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない
6. 図は実寸とは異なる

## 改訂履歴 (改訂履歴は Rev C から開始)

REV	日付け	概要	ページ番号
C	10/11	「標準的性能特性」のG14の軸ラベルを修正。 回路図のピン名を変更。	8 24

# LTC2242-12

## 関連製品

製品番号	説明	注釈
LTC1748	14ビット、80Msps、5V ADC	SNR:76.3dB、SFDR:90dB、48ピンTSSOP
LTC1750	14ビット、80Msps、5V広帯域ADC	最大500MHzのIFアンダーサンプリング、SFDR:90dB
LT®1993-2	高速差動オペアンプ	BW:800MHz、歪み:70dBc(70MHz)、利得:6dB
LT1994	低ノイズ、低歪みの完全差動入出力アンプ/ドライバ	低歪み:1MHzで-94dBc
LTC2202	16ビット、10Msps、3.3V ADC、最低ノイズ	140mW、SNR:81.6dB、SFDR:100dB、48ピンQFN
LTC2208	16ビット、130Msps、3.3V ADC、LVDS出力	1250mW、SNR:77.7dB、SFDR:100dB、48ピンQFN
LTC2220	12ビット、170Msps、3.3V ADC、LVDS出力	890mW、SNR:67.7dB、SFDR:84dB、64ピンQFN
LTC2220-1	12ビット、185Msps、3.3V ADC、LVDS出力	910mW、SNR:67.7dB、SFDR:80dB、64ピンQFN
LTC2221	12ビット、135Msps、3.3V ADC、LVDS出力	660mW、SNR:67.8dB、SFDR:84dB、64ピンQFN
LTC2224	12ビット、135Msps、3.3V ADC、高IFサンプリング	630mW、SNR:67.6dB、SFDR:84dB、48ピンQFN
LTC2230	10ビット、170Msps、3.3V ADC、LVDS出力	890mW、SNR:61.2dB、SFDR:78dB、64ピンQFN
LTC2231	10ビット、135Msps、3.3V ADC、LVDS出力	660mW、SNR:61.2dB、SFDR:78dB、64ピンQFN
LTC2240-10	10ビット、170Msps、2.5V ADC、LVDS出力	460mW、SNR:60.6dB、SFDR:78dB、64ピンQFN
LTC2240-12	12ビット、170Msps、2.5V ADC、LVDS出力	445mW、SNR:65.5dB、SFDR:80dB、64ピンQFN
LTC2241-10	10ビット、210Msps、2.5V ADC、LVDS出力	620mW、SNR:60.6dB、SFDR:78dB、64ピンQFN
LTC2242-12	12ビット、210Msps、2.5V ADC、LVDS出力	585mW、SNR:65.5dB、SFDR:78dB、64ピンQFN
LTC2242-10	10ビット、250Msps、2.5V ADC、LVDS出力	775mW、SNR:60.5dB、SFDR:78dB、64ピンQFN
LTC2255	14ビット、125Msps、3V ADC、低消費電力	395mW、SNR:72.5dB、SFDR:88dB、32ピンQFN
LTC2284	14ビット、デュアル、105Msps、3V ADC、低クロストーク	540mW、SNR:72.4dB、SFDR:88dB、64ピンQFN
LT5512	DC~3GHz高信号レベル・ダウンコンバーティング・ミキサ	DC~3GHz、IIP3:21dBm、LOバッファ内蔵
LT5514	デジタル利得制御付き超低歪みIFアンプ/ADCドライバ	1dB BW:450MHz、OIP3:47dB、 デジタル利得制御:1.5dB/ステップで10.5dB~33dB
LT5515	1.5GHz~2.5GHz直接変換直交復調器	高いIIP3:1.9GHzで20dBm、LO直交ジェネレータ内蔵
LT5516	800MHz~1.5GHz直接変換直交復調器	高いIIP3:900MHzで21.5dBm、LO直交ジェネレータ内蔵
LT5517	40MHz~900MHz直接変換直交復調器	高いIIP3:800MHzで21dBm、LO直交ジェネレータ内蔵
LT5522	600MHz~2.7GHz高直線性ダウンコンバーティング・ミキサ	4.5V~5.25V電源、IIP3:900MHzで25dBm、NF=12.5dB、 50ΩシングルエンドのRFポートとLOポート