

特長

- サンプル・レート: 250Msps
- SNR: 60.5dB
- SFDR: 78dB
- 1.2GHzのフルパワー帯域幅 S/H
- 2.5V単電源
- 低消費電力: 740mW
- LVDS、CMOS、またはデマルチプレクスCMOSの出力
- 選択可能な入力範囲: ±0.5Vまたは±1V
- ミッシング・コードなし
- オプションのクロック・デューティ・サイクル・スタビライザ
- シャットダウン・モードとナップ・モード
- データ・レディ出力クロック
- ピン互換の製品ファミリー
 - 250Msps: LTC2242-12 (12ビット)、LTC2242-10 (10ビット)
 - 210Msps: LTC2241-12 (12ビット)、LTC2241-10 (10ビット)
 - 170Msps: LTC2240-12 (12ビット)、LTC2240-10 (10ビット)
 - 185Msps: LTC2220-1 (12ビット)*
 - 170Msps: LTC2220 (12ビット)、LTC2230 (10ビット)*
 - 135Msps: LTC2221 (12ビット)、LTC2231 (10ビット)*
- 64ピン9mm×9mm QFNパッケージ

アプリケーション

- 無線および有線の広帯域通信
- ケーブル・ヘッドエンドシステム
- パワーアンプの直線化
- 通信テスト機器

概要

LTC[®]2242-10は、高周波の広いダイナミックレンジの信号をデジタル化する250Mspsサンプリング10ビットA/Dコンバータです。SNRが60.5dB、SFDRが78dBという優れたAC特性を備えているため、要求の厳しい通信アプリケーションに最適です。また、95fs_{RMS}という極めて低いジッタにより、優れたノイズ性能を維持しながらIF周波数をアンダーサンプリングできます。

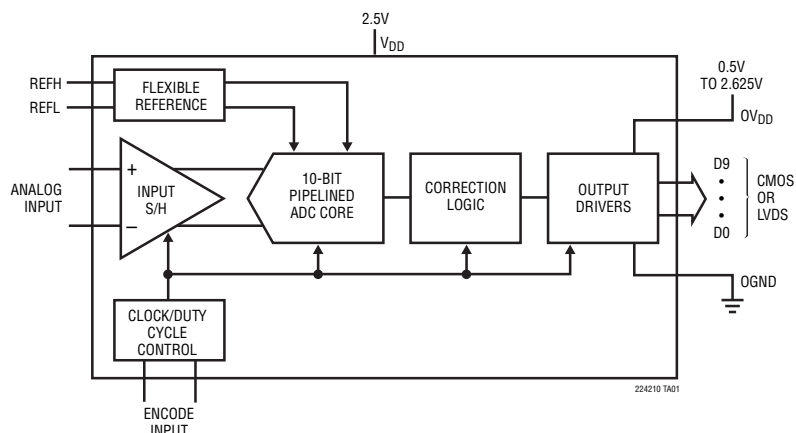
DC仕様では、±0.4LSB (標準)のINLと±0.2LSB (標準)のDNL、全温度範囲でミッシング・コードがないことが規定されています。

デジタル出力は、差動LVDSまたはシングルエンドCMOSのいずれかに設定可能です。CMOS出力フォーマットは、1本のバスがフル・データレートで動作する形式、2本のデマルチプレクス・バスがハーフ・データレートで動作し、インターリーブ間隔で更新を行う形式、2本のデマルチプレクス・バスがハーフ・データレートで動作し、同時更新を行う形式の3つから選択できます。別の出力電源により、0.5V～2.625VのCMOS出力振幅が可能です。

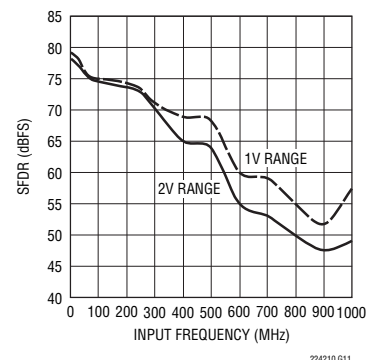
ENC⁺入力とENC⁻入力は、正弦波、PECL、LVDS、TTLまたはCMOS入力で差動またはシングルエンド・ドライブ可能です。また、オプションのクロック・デューティ・サイクル・スタビライザにより、広範なクロック・デューティ・サイクルで高性能を達成できます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。*LTC2220-1、LTC2220、LTC2221、LTC2230、LTC2231は3.3V用の製品です。

標準的応用例



SFDRと入力周波数



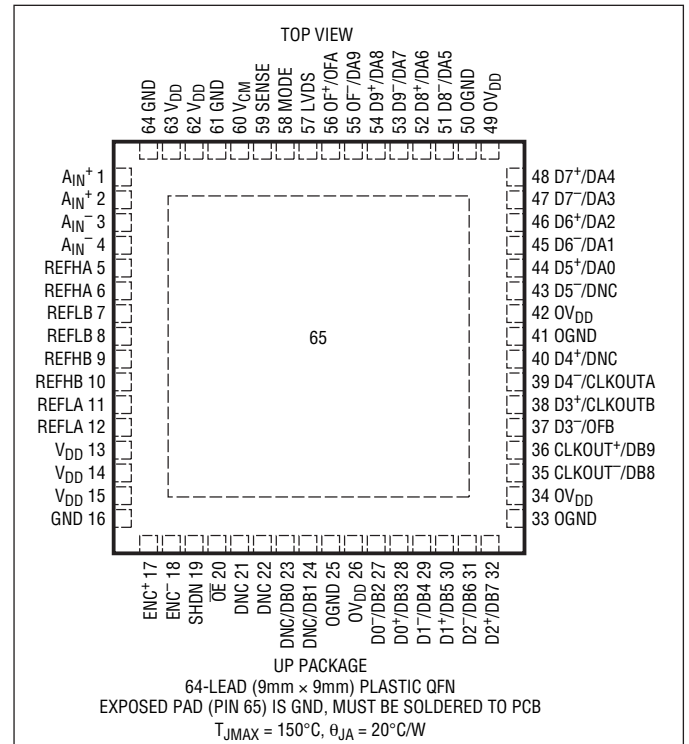
LTC2242-10

絶対最大定格

$0V_{DD} = V_{DD}$ (Notes 1, 2)

電源電圧 (V_{DD})	2.8V
デジタル出力のグランド電圧 (OGND)	-0.3V ~ 1V
アナログ入力電圧 (Note 3)	-0.3V ~ ($V_{DD} + 0.3V$)
デジタル入力電圧	-0.3V ~ ($V_{DD} + 0.3V$)
デジタル出力電圧	-0.3V ~ ($0V_{DD} + 0.3V$)
消費電力	1500mW
動作温度範囲	
LTC2242C-10	0°C ~ 70°C
LTC2242I-10	-40°C ~ 85°C
保存温度範囲	-65°C ~ 150°C

パッケージ



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2242CUP-10#PBF	LTC2242CUP-10#TRPBF	LTC2242UP-10	64-Lead (9mm x 9mm) Plastic QFN	0°C to 70°C
LTC2242IUP-10#PBF	LTC2242IUP-10#TRPBF	LTC2242UP-10	64-Lead (9mm x 9mm) Plastic QFN	-40°C to 85°C
鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2242CUP-10#PBF	LTC2242CUP-10#TR	LTC2242UP-10	64-Lead (9mm x 9mm) Plastic QFN	0°C to 70°C
LTC2242IUP-10#PBF	LTC2242IUP-10#TR	LTC2242UP-10	64-Lead (9mm x 9mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

コンバータ特性

● は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Resolution (No Missing Codes)		●	10		Bits	
Integral Linearity Error	Differential Analog Input (Note 5)	●	-1	±0.4	1	LSB
Differential Linearity Error	Differential Analog Input	●	-0.7	±0.2	0.7	LSB
Offset Error	(Note 6)	●	-17	±5	17	mV
Gain Error	External Reference	●	-3.5	±0.7	3.5	%FS

224210fd

コンバータ特性

- は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Offset Drift			± 10		$\mu\text{V/C}$
Full-Scale Drift	Internal Reference External Reference		± 60 ± 45		ppm/C ppm/C
Transition Noise	SENSE = 1V		0.18		LSBRMS

アナログ入力

- は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range ($A_{IN}^+ - A_{IN}^-$)	$2.375\text{V} < V_{DD} < 2.625\text{V}$ (Note 7)		± 0.5 to ± 1		V
$V_{IN, CM}$	Analog Input Common Mode ($A_{IN}^+ + A_{IN}^-$)/2	Differential Input (Note 7)	1.2	1.25	1.3	V
I_{IN}	Analog Input Leakage Current	$0 < A_{IN}^+, A_{IN}^- < V_{DD}$	-1		1	μA
I_{SENSE}	SENSE Input Leakage	$0\text{V} < \text{SENSE} < 1\text{V}$	-1		1	μA
I_{MODE}	MODE Pin Pull-Down Current to GND			7		μA
I_{LVDS}	LVDS Pin Pull-Down Current to GND			7		μA
t_{AP}	Sample and Hold Acquisition Delay Time			0.4		ns
t_{JITTER}	Sample and Hold Acquisition Delay Time Jitter			95		fsRMS
	Full Power Bandwidth	Figure 8 Test Circuit		1200		MHz

ダイナミック精度

- は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SNR	Signal-to-Noise Ratio (Note 10)	10MHz Input		60.6		dB
		70MHz Input	●	59.2	60.5	dB
		140MHz Input			60.5	dB
		240MHz Input			60.4	dB
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic (Note 11)	10MHz Input		78		dB
		70MHz Input	●	63	75	dB
		140MHz Input			74	dB
		240MHz Input			73	dB
	Spurious Free Dynamic Range 4th Harmonic or Higher (Note 11)	10MHz Input			85	dB
		70MHz Input	●	71	85	dB
		140MHz Input			85	dB
		240MHz Input			85	dB
S/(N+D)	Signal-to-Noise Plus Distortion Ratio (Note 12)	10MHz Input		60.4		dB
		70MHz Input	●	58.2	60.4	dB
		140MHz Input			60.3	dB
		240MHz Input			60.2	dB
IMD	Intermodulation Distortion	$f_{IN1} = 135\text{MHz}, f_{IN2} = 140\text{MHz}$		81		dBc

LTC2242-10

内蔵リファレンス特性 (Note 4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CM} Output Voltage	$I_{OUT} = 0$	1.225	1.25	1.275	V
V_{CM} Output Tempco			±35		ppm/°C
V_{CM} Line Regulation	$2.375V < V_{DD} < 2.625V$		3		mV/V
V_{CM} Output Resistance	$-1mA < I_{OUT} < 1mA$		2		Ω

デジタル入力とデジタル出力

● は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
ENCODE INPUTS (ENC⁺, ENC⁻)							
V_{ID}	Differential Input Voltage	(Note 7)	●	0.2		V	
V_{ICM}	Common Mode Input Voltage	Internally Set Externally Set (Note 7)	●	1.2	1.5 1.5 2.0	V V	
R_{IN}	Input Resistance			4.8		kΩ	
C_{IN}	Input Capacitance	(Note 7)		2		pF	
LOGIC INPUTS (\overline{OE}, SHDN)							
V_{IH}	High Level Input Voltage	$V_{DD} = 2.5V$	●	1.7		V	
V_{IL}	Low Level Input Voltage	$V_{DD} = 2.5V$	●		0.7	V	
I_{IN}	Input Current	$V_{IN} = 0V$ to V_{DD}	●	-10	10	μA	
C_{IN}	Input Capacitance	(Note 7)		3		pF	
LOGIC OUTPUTS (CMOS MODE)							
$OV_{DD} = 2.5V$							
C_{OZ}	Hi-Z Output Capacitance	$\overline{OE} = \text{High}$ (Note 7)		3		pF	
I_{SOURCE}	Output Source Current	$V_{OUT} = 0V$		37		mA	
I_{SINK}	Output Sink Current	$V_{OUT} = 2.5V$		23		mA	
V_{OH}	High Level Output Voltage	$I_O = -10\mu A$ $I_O = -500\mu A$		2.495 2.45		V V	
V_{OL}	Low Level Output Voltage	$I_O = 10\mu A$ $I_O = 500\mu A$		0.005 0.07		V V	
$OV_{DD} = 1.8V$							
V_{OH}	High Level Output Voltage	$I_O = -500\mu A$		1.75		V	
V_{OL}	Low Level Output Voltage	$I_O = 500\mu A$		0.07		V	
LOGIC OUTPUTS (LVDS MODE)							
V_{OD}	Differential Output Voltage	100Ω Differential Load	●	247	350	454	mV
V_{OS}	Output Common Mode Voltage	100Ω Differential Load	●	1.125	1.250	1.375	V

電源要件

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{DD}	Analog Supply Voltage	(Note 8)	●	2.375	2.5	2.625	V
P_{SLEEP}	Sleep Mode Power	SHDN = High, \overline{OE} = High, No CLK			1		mW
P_{NAP}	Nap Mode Power	SHDN = High, \overline{OE} = Low, No CLK			28		mW

LVDS OUTPUT MODE

OV_{DD}	Output Supply Voltage	(Note 8)	●	2.375	2.5	2.625	V
I_{VDD}	Analog Supply Current		●		285	320	mA
I_{OVDD}	Output Supply Current		●		58	70	mA
P_{DISS}	Power Dissipation		●		858	975	mW

CMOS OUTPUT MODE

OV_{DD}	Output Supply Voltage	(Note 8)	●	0.5	2.5	2.625	V
I_{VDD}	Analog Supply Current	(Note 7)	●		285	320	mA
P_{DISS}	Power Dissipation				740		mW

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
f_s	Sampling Frequency	(Note 8)	●	1		250	MHz
t_L	ENC Low Time (Note 7)	Duty Cycle Stabilizer Off	●	1.9	2	500	ns
		Duty Cycle Stabilizer On	●	1.5	2	500	ns
t_H	ENC High Time (Note 7)	Duty Cycle Stabilizer Off	●	1.9	2	500	ns
		Duty Cycle Stabilizer On	●	1.5	2	500	ns
t_{AP}	Sample-and-Hold Aperture Delay				0.4		ns
t_{OE}	Output Enable Delay	(Note 7)	●		5	10	ns

LVDS OUTPUT MODE

t_D	ENC to DATA Delay	(Note 7)	●	1	1.7	2.8	ns
t_C	ENC to CLKOUT Delay	(Note 7)	●	1	1.7	2.8	ns
	DATA to CLKOUT Skew	$(t_C - t_D)$ (Note 7)	●	-0.6	0	0.6	ns
	Rise Time				0.5		ns
	Fall Time				0.5		ns
	Pipeline Latency				5		Cycles

CMOS OUTPUT MODE

t_D	ENC to DATA Delay	(Note 7)	●	1	1.7	2.8	ns
t_C	ENC to CLKOUT Delay	(Note 7)	●	1	1.7	2.8	ns
	DATA to CLKOUT Skew	$(t_C - t_D)$ (Note 7)	●	-0.6	0	0.6	ns
Pipeline Latency	Full Rate CMOS				5		Cycles
	Demuxed Interleaved				5		Cycles
	Demuxed Simultaneous				5 and 6		Cycles

LTC2242-10

電気的特性

Note 1: 絶対最大定格に記載された値を越すストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての電圧値は(注記がない限り) GNDとOGNDを結線したグラウンドを基準にしている。

Note 3: これらのピンの電圧がGNDより下に引き下げられるか、 V_{DD} より上に引き上げられると、内部のダイオードによってクランプされる。この製品は、GNDより低いか、または V_{DD} より高い電圧でラッチアップを生じることなしに100mAを超える入力電流を処理することができる。

Note 4: 注記がない限り、 $V_{DD} = 2.5V$ 、 $f_{SAMPLE} = 250MHz$ 、LVDS出力、差動ENC⁺/ENC⁻ = 2V_{P-P}の正弦波、入力レンジ = 差動ドライブで2V_{P-P}。

Note 5: 積分非直線性は、伝達曲線に合致する「最善の直線」からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 6: オフセット誤差は、2の補数出力モードで出力コードが00 0000 0000と11 1111 1111の間を行ったり来たりするとき、-0.5 LSBから測定したオフセット電圧である。

Note 7: 設計によって保証されているが、テストされない。

Note 8: 推奨動作条件。

Note 9: $V_{DD} = 2.5V$ 、 $f_{SAMPLE} = 250MHz$ 、差動ENC⁺/ENC⁻ = 2V_{P-P}の正弦波、入力レンジ = 差動ドライブで1V_{P-P}、出力の $C_{LOAD} = 5pF$ 。

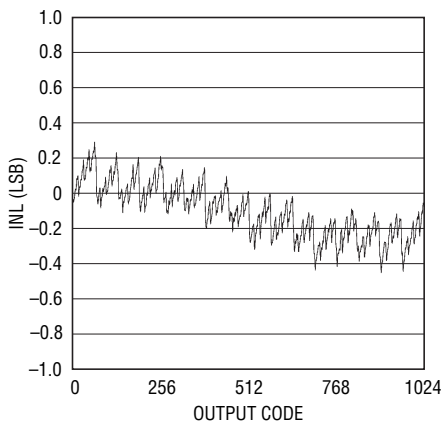
Note 10: SNRの最小値と標準値はLVDSモードの場合。CMOSモードの場合の標準値はさらに標準で0.2dBほど低い。

Note 11: SFDRの最小値はLVDSモードの場合。標準値はLVDSとCMOSの両方のモードの場合。

Note 12: SINADの最小値と標準値はLVDSモードの場合。CMOSモードの場合の標準値はさらに標準で0.2dBほど低い。

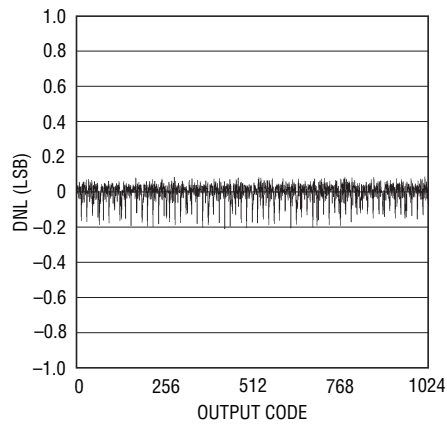
標準的性能特性 (注記がない限り $T_A = 25^\circ C$ 、Note 4)

積分非直線性



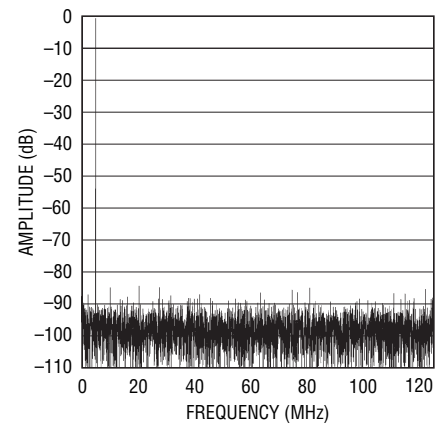
224210 G01

微分非直線性



224210 G02

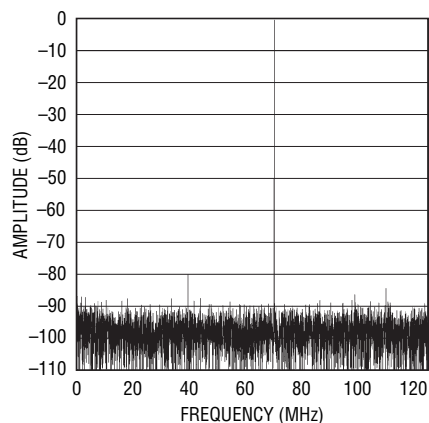
8192ポイントのFFT、 $f_{IN} = 5MHz$ 、 $-1dB$ 、2Vレンジ、LVDSモード



224210 G03

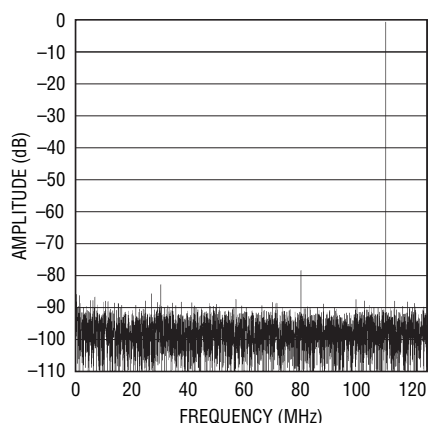
標準的性能特性 (注記がない限り TA = 25°C、Note 4)

8192ポイントのFFT、 $f_{IN} = 70\text{MHz}$ 、 -1dB 、2Vレンジ、LVDSモード



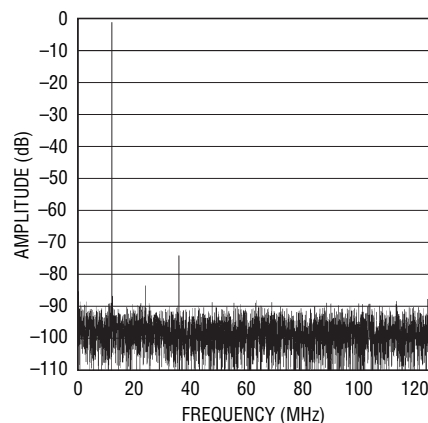
224210 G04

8192ポイントのFFT、 $f_{IN} = 140\text{MHz}$ 、 -1dB 、2Vレンジ、LVDSモード



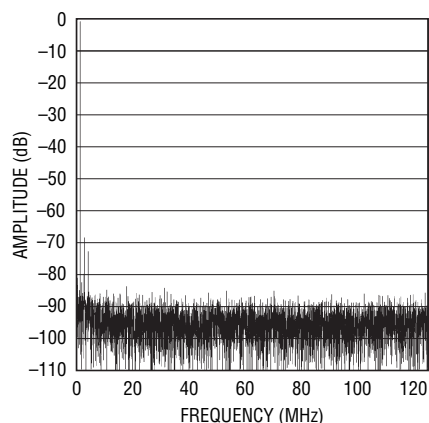
224210 G05

8192ポイントのFFT、 $f_{IN} = 240\text{MHz}$ 、 -1dB 、2Vレンジ、LVDSモード



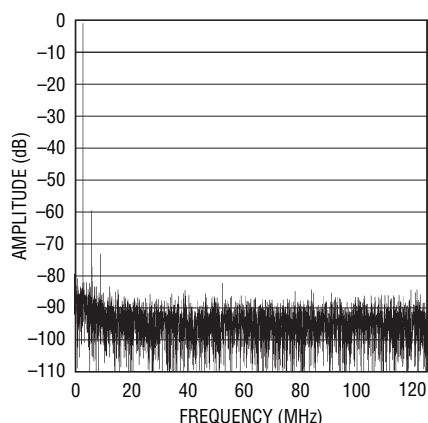
224210 G06

8192ポイントのFFT、 $f_{IN} = 500\text{MHz}$ 、 -1dB 、1Vレンジ、LVDSモード



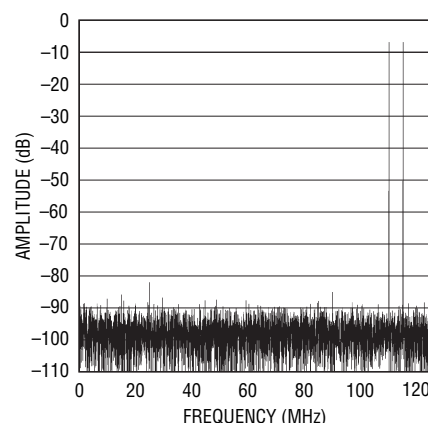
224210 G07

8192ポイントのFFT、 $f_{IN} = 1\text{GHz}$ 、 -1dB 、1Vレンジ、LVDSモード



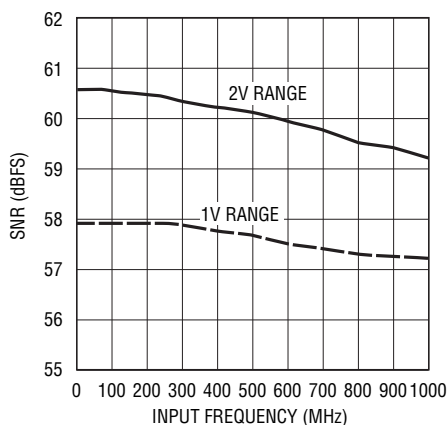
224210 G08

8192ポイントの2トーンFFT、 $f_{IN} = 135\text{MHz}$ と 140MHz 、 -1dB 、2Vレンジ、LVDSモード



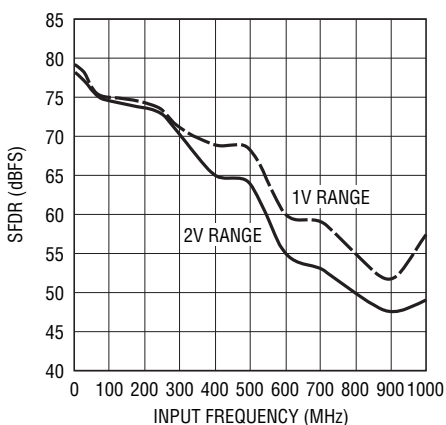
224210 G09

SNRと入力周波数、 -1dB 、LVDSモード



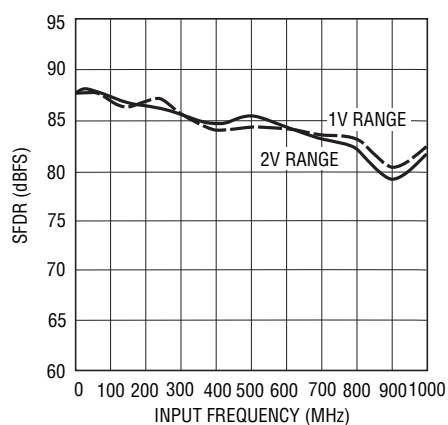
224210 G10

SFDR (HD2とHD3)と入力周波数、 -1dB 、LVDSモード



224210 G11

SFDR (HD4+)と入力周波数、 -1dB 、LVDSモード

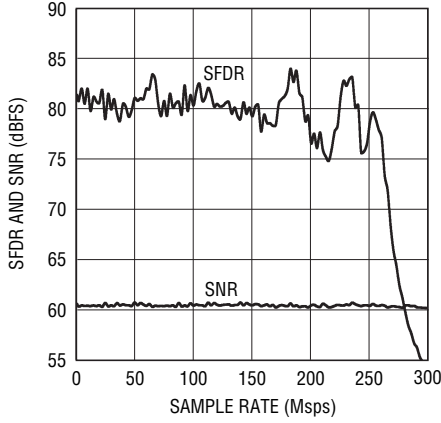


224210 G12

LTC2242-10

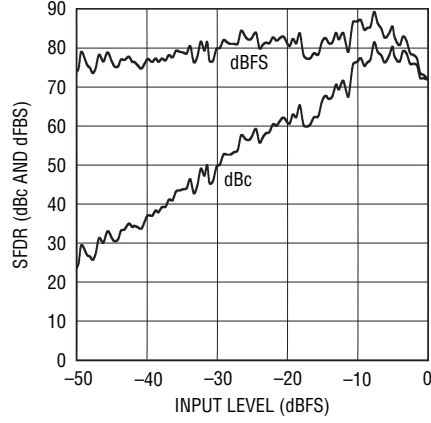
標準的性能特性 (注記がない限り $T_A = 25^\circ\text{C}$ 、Note 4)

SFDRおよびSNRとサンプリング・レート、2Vレンジ、 $f_{IN} = 30\text{MHz}$ 、 -1dB 、LVDSモード



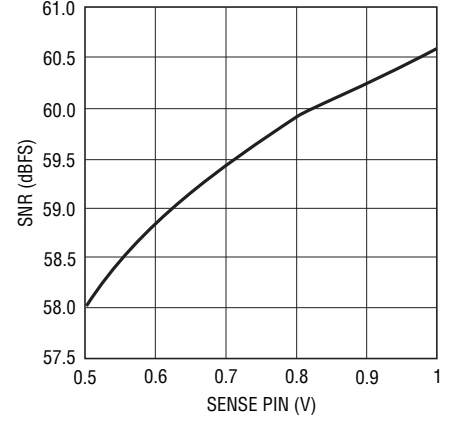
224210 G13

SFDRと入力レベル、 $f_{IN} = 70\text{MHz}$ 、2Vレンジ



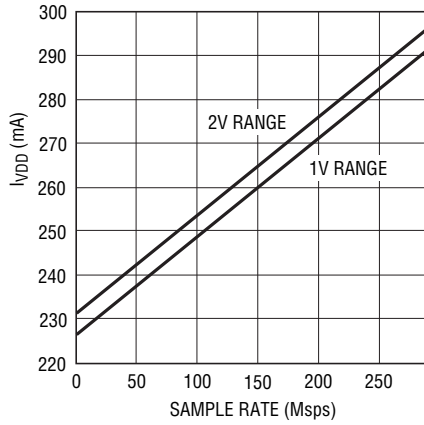
224210 G14

SNRとSENSE、 $f_{IN} = 5\text{MHz}$ 、 -1dB



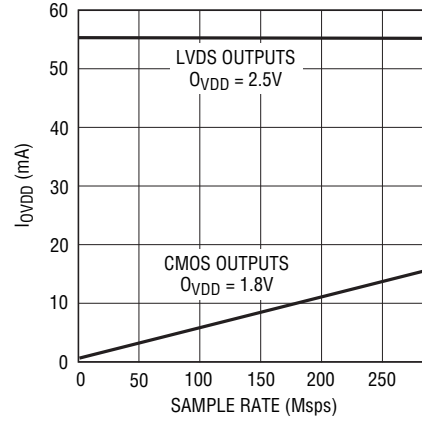
224210 G15

I_{VDD} とサンプリング・レート、5MHzの正弦波入力、 -1dB



224210 G16

I_{OVD} とサンプリング・レート、5MHzの正弦波入力、 -1dB



224210 G17

ピン機能 (CMOSモード)

A_{IN}⁺ (ピン1, 2) : 正の差動アナログ入力。

A_{IN}⁻ (ピン3, 4) : 負の差動アナログ入力。

REFHA (ピン5, 6) : ADCの高リファレンス。0.1 μ Fのセラミック・チップ・コンデンサでピン7とピン8へ、2.2 μ Fのセラミック・コンデンサでピン11とピン12へ、1 μ Fのセラミック・コンデンサでグランドへ、それぞれバイパスします。

REFLB (ピン7, 8) : ADCの低リファレンス。0.1 μ Fのセラミック・チップ・コンデンサを使ってピン5とピン6にバイパスします。ピン11とピン12には接続しないでください。

REFHB (ピン9, 10) : ADCの高リファレンス。0.1 μ Fのセラミック・チップ・コンデンサを使ってピン11とピン12にバイパスします。ピン5とピン6には接続しないでください。

REFLA (ピン11, 12) : ADCの低リファレンス。0.1 μ Fのセラミック・チップ・コンデンサでピン9とピン10へ、2.2 μ Fのセラミック・コンデンサでピン5とピン6へ、1 μ Fのセラミック・コンデンサでグランドへ、それぞれバイパスします。

V_{DD} (ピン13, 14, 15, 62, 63) : 2.5V電源。0.1 μ Fのセラミック・チップ・コンデンサを使ってGNDにバイパスします。

GND (ピン16, 61, 64) : ADCの電源グランド。

ENC⁺ (ピン17) : エンコード入力。立上りエッジで変換が開始されます。

ENC⁻ (ピン18) : エンコード相補入力。立下りエッジで変換が開始されます。シングルエンドのエンコード信号の場合、0.1 μ Fのセラミック・コンデンサを使ってグランドにバイパスします。

SHDN (ピン19) : シャットダウン・モードの選択ピン。SHDNと \overline{OE} をGNDに接続すると通常動作になり、出力がイネーブルされます。SHDNをGNDに接続し、 \overline{OE} をV_{DD}に接続すると通常動作になり、出力が高インピーダンスになります。SHDNをV_{DD}に接続し、 \overline{OE} をGNDに接続するとナップ・モードになり、出力が高インピーダンスになります。SHDNと \overline{OE} をV_{DD}に接続するとスリープ・モードになり、出力が高インピーダンスになります。

\overline{OE} (ピン20) : 出力イネーブル・ピン。SHDNピンの機能を参照してください。

DNC (ピン21, 22, 40, 43) : これらのピンは接続しないでください。

DB0 ~ DB9 (ピン23, 24, 27, 28, 29, 30, 31, 32, 35, 36) : デジタル出力、Bバス。DB9がMSBです。全速CMOSモードでは高インピーダンスになります。

OGND (ピン25, 33, 41, 50) : 出力ドライバのグランド。

OV_{DD} (ピン26, 34, 42, 49) : 出力ドライバの正電源。0.1 μ Fのセラミック・チップ・コンデンサを使ってグランドにバイパスします。

OFB (ピン37) : Bバスのオーバーフロー/アンダーフロー出力。オーバーフローやアンダーフローが生じると“H”になります。全速CMOSモードでは高インピーダンスになります。

CLKOUTB (ピン38) : Bバスのデータ有効出力。交互更新のデマルチプレクス・モードでは、CLKOUTBの立下りエッジでBバスのデータをラッチします。同時更新のデマルチプレクス・モードでは、CLKOUTBの立上りエッジでBバスのデータをラッチします。このピンは全速CMOSモードでは高インピーダンスになりません。

CLKOUTA (ピン39) : Aバスのデータ有効出力。CLKOUTAの立下りエッジでAバスのデータをラッチします。

DA0 ~ DA9 (ピン44, 45, 46, 47, 48, 51, 52, 53, 54, 55) : デジタル出力、Aバス。DA9がMSBです。

OFA (ピン56) : Aバスのオーバーフロー/アンダーフロー出力。オーバーフローやアンダーフローが生じると“H”になります。

LVDS (ピン57) : 出力モードの選択ピン。LVDSを0Vに接続すると、全速CMOSモードが選択されます。LVDSを1/3V_{DD}に接続すると、同時更新のデマルチプレクスCMOSモードが選択されます。LVDSを2/3V_{DD}に接続すると、交互更新のデマルチプレクスCMOSモードが選択されます。LVDSをV_{DD}に接続すると、LVDSモードが選択されます。

MODE (ピン58) : 出力のフォーマットとクロック・デューティ・サイクル・スタビライザの選択ピン。MODEを0Vに接続すると、オフセット・バイナリ出力フォーマットが選択され、クロックのデューティ・サイクル・スタビライザがオフします。MODEを1/3V_{DD}に接続すると、オフセット・バイナリ出力フォーマットが選択され、クロックのデューティ・サイクル・スタビライザがオンします。MODEを2/3V_{DD}に接続すると、2の補数の出力フォーマットが選択され、クロックのデューティ・サイクル・スタビライザがオンします。MODEをV_{DD}に接続すると、2の補数の出力フォーマットが選択され、クロックのデューティ・サイクル・スタビライザがオフします。

SENSE (ピン59) : リファレンス・プログラミング・ピン。SENSEをV_{CM}に接続すると、内部リファレンスと $\pm 0.5V$ の入力レンジが選択されます。SENSEをV_{DD}に接続すると、内部リファレンスと $\pm 1V$ の入力レンジが選択されます。0.5Vより大きく1Vより小さい外部リファレンスをSENSEに印加すると、 $\pm V_{SENSE}$ の入力レンジが選択されます。 $\pm 1V$ が最大有効入力レンジです。

V_{CM} (ピン60) : 出力と入力の1.25V同相バイアス。2.2 μ Fのセラミック・チップ・コンデンサを使ってグランドにバイパスします。

GND (露出パッド) (ピン65) : ADCの電源グランド。パッケージの底面の露出パッドはグランドに半田付けする必要があります。

ピン機能 (LVDSモード)

AIN⁺ (ピン1, 2): 正の差動アナログ入力。

AIN⁻ (ピン3, 4): 負の差動アナログ入力。

REFHA (ピン5, 6): ADCの高リファレンス。0.1 μ Fのセラミック・チップ・コンデンサでピン7とピン8へ、2.2 μ Fのセラミック・コンデンサでピン11とピン12へ、1 μ Fのセラミック・コンデンサでグランドへ、それぞれバイパスします。

REFLB (ピン7, 8): ADCの低リファレンス。0.1 μ Fのセラミック・チップ・コンデンサを使ってピン5とピン6にバイパスします。ピン11とピン12には接続しないでください。

REFHB (ピン9, 10): ADCの高リファレンス。0.1 μ Fのセラミック・チップ・コンデンサを使ってピン11とピン12にバイパスします。ピン5とピン6には接続しないでください。

REFLA (ピン11, 12): ADCの低リファレンス。0.1 μ Fのセラミック・チップ・コンデンサでピン9とピン10へ、2.2 μ Fのセラミック・コンデンサでピン5とピン6へ、1 μ Fのセラミック・コンデンサでグランドへ、それぞれバイパスします。

V_{DD} (ピン13, 14, 15, 62, 63): 2.5V電源。0.1 μ Fのセラミック・チップ・コンデンサを使ってGNDにバイパスします。

GND (ピン16, 61, 64): ADCの電源グランド。

ENC⁺ (ピン17): エンコード入力。立上りエッジで変換が開始されます。

ENC⁻ (ピン18): エンコード相補入力。立下りエッジで変換が開始されます。シングルエンドのエンコード信号の場合、0.1 μ Fのセラミック・コンデンサを使ってグランドにバイパスします。

SHDN (ピン19): シャットダウン・モードの選択ピン。SHDNと \overline{OE} をGNDに接続すると通常動作になり、出力がイネーブルされます。SHDNをGNDに接続し、 \overline{OE} をV_{DD}に接続すると通常動作になり、出力が高インピーダンスになります。SHDNをV_{DD}に接続し、 \overline{OE} をGNDに接続するとナップ・モードになり、出力が高インピーダンスになります。SHDNと \overline{OE} をV_{DD}に接続するとスリープ・モードになり、出力が高インピーダンスになります。

\overline{OE} (ピン20): 出力イネーブル・ピン。SHDNピンの機能を参照してください。

DNC (ピン21, 22, 23, 24): これらのピンは接続しないでください。

D0⁻/D0⁺ ~ D9⁻/D9⁺ (ピン27, 28, 29, 30, 31, 32, 37, 38, 39, 40, 43, 44, 45, 46, 47, 48, 51, 52, 53, 54): LVDS デジタル出力。すべてのLVDS出力にはLVDSレシーバに差動100 Ω

終端抵抗が必要です。D9⁻/D9⁺がMSBです。

OGND (ピン25, 33, 41, 50): 出力ドライバのグランド。

OV_{DD} (ピン26, 34, 42, 49): 出力ドライバの正電源。0.1 μ Fのセラミック・チップ・コンデンサを使ってグランドにバイパスします。

CLKOUT⁻/CLKOUT⁺ (ピン35, 36): LVDSデータが有効であることを示す出力。CLKOUT⁻の立上りエッジ(CLKOUT⁺の立下りエッジ)でデータをラッチします。

OF⁻/OF⁺ (ピン55, 56): LVDSのオーバーフロー/アンダーフロー出力。オーバーフローやアンダーフローが生じると“H”になります。

LVDS (ピン57): 出力モードの選択ピン。LVDSを0Vに接続すると、全速CMOSモードが選択されます。LVDSを1/3V_{DD}に接続すると、同時更新のデマルチプレクスCMOSモードが選択されます。LVDSを2/3V_{DD}に接続すると、交互更新のデマルチプレクスCMOSモードが選択されます。LVDSをV_{DD}に接続すると、LVDSモードが選択されます。

MODE (ピン58): 出力のフォーマットとクロック・デューティ・サイクル・スタビライザの選択ピン。MODEを0Vに接続すると、オフセット・バイナリの出力フォーマットが選択され、クロックのデューティ・サイクル・スタビライザがオフします。MODEを1/3V_{DD}に接続すると、オフセット・バイナリの出力フォーマットが選択され、クロックのデューティ・サイクル・スタビライザがオンします。MODEを2/3V_{DD}に接続すると、2の補数の出力フォーマットが選択され、クロックのデューティ・サイクル・スタビライザがオンします。MODEをV_{DD}に接続すると、2の補数の出力フォーマットが選択され、クロックのデューティ・サイクル・スタビライザがオフします。

SENSE (ピン59): リファレンス・プログラミング・ピン。SENSEをV_{CM}に接続すると、内部リファレンスと $\pm 0.5V$ の入力レンジが選択されます。SENSEをV_{DD}に接続すると、内部リファレンスと $\pm 1V$ の入力レンジが選択されます。0.5Vより大きく1Vより小さい外部リファレンスをSENSEに印加すると、 $\pm V_{SENSE}$ の入力レンジが選択されます。 $\pm 1V$ が最大有効入力レンジです。

V_{CM} (ピン60): 出力と入力の1.25V同相バイアス。2.2 μ Fのセラミック・チップ・コンデンサを使ってグランドにバイパスします。

GND (露出パッド) (ピン65): ADCの電源グランド。パッケージの底面の露出パッドはグランドに半田付けする必要があります。

機能ブロック図

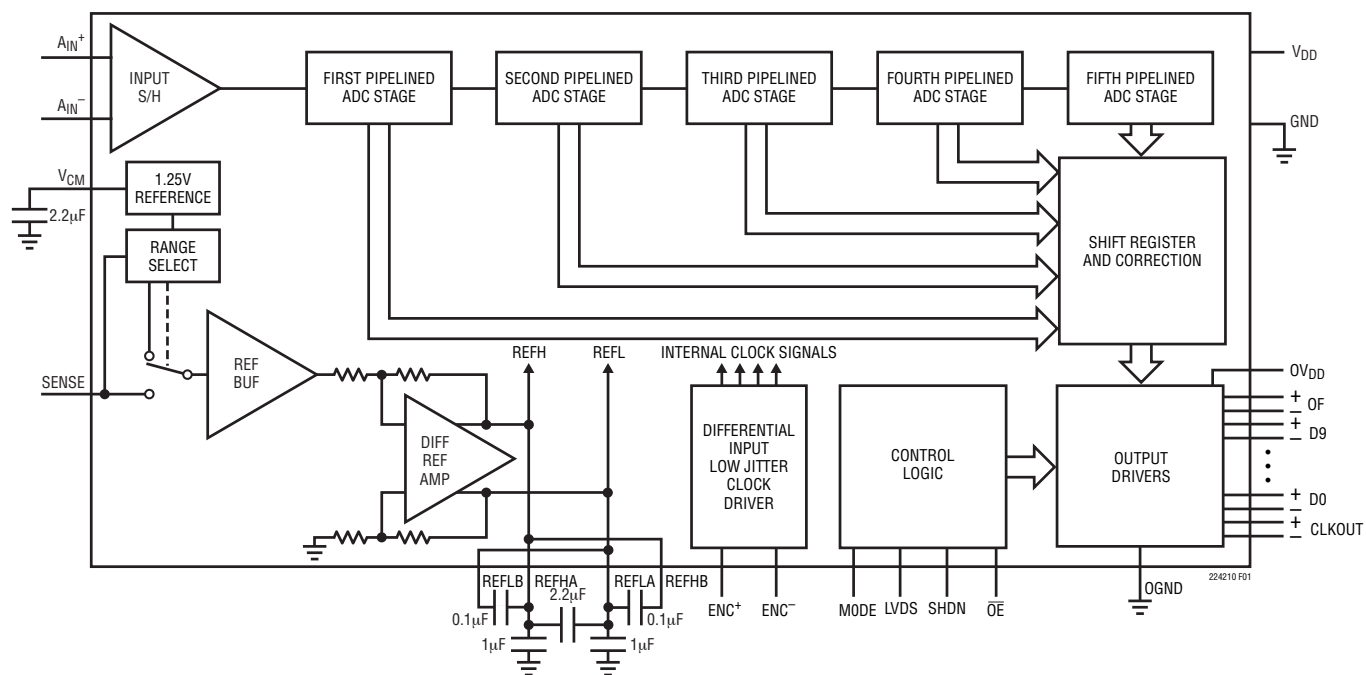
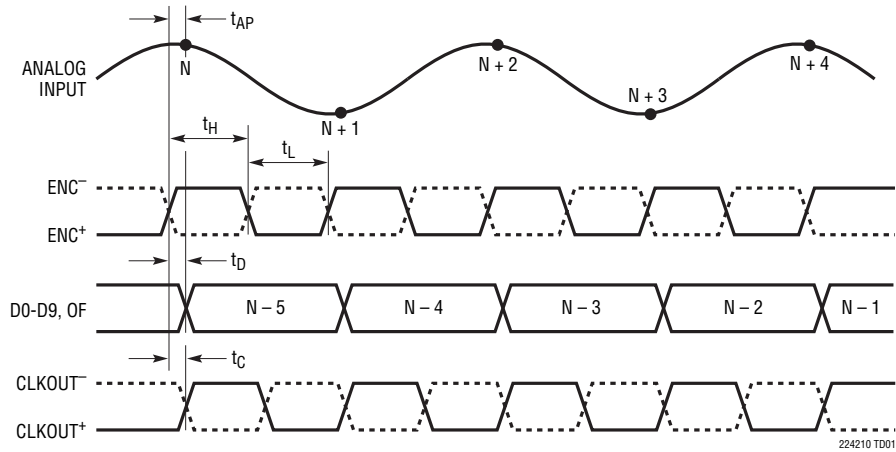


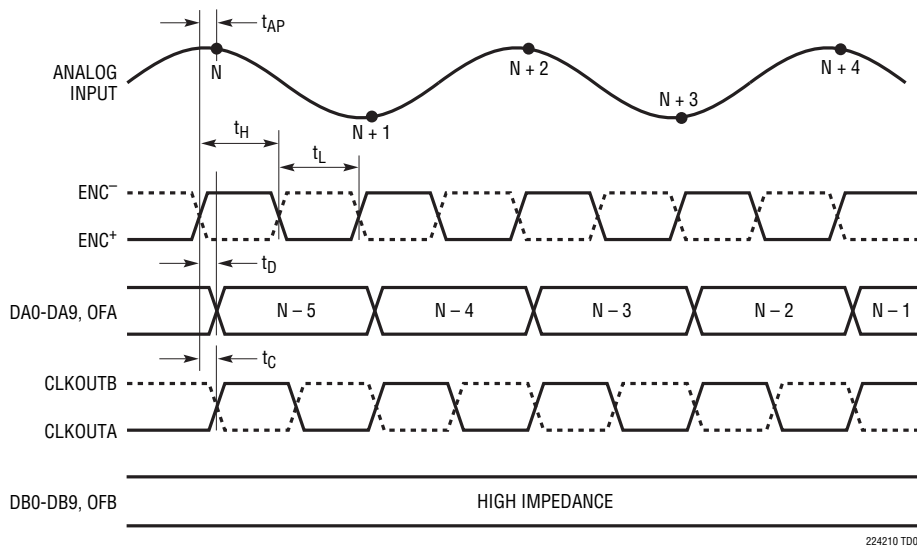
図1. 機能を示すブロック図

タイミング図

LVDS 出力モードのタイミング
すべての出力は差動でLVDSレベル

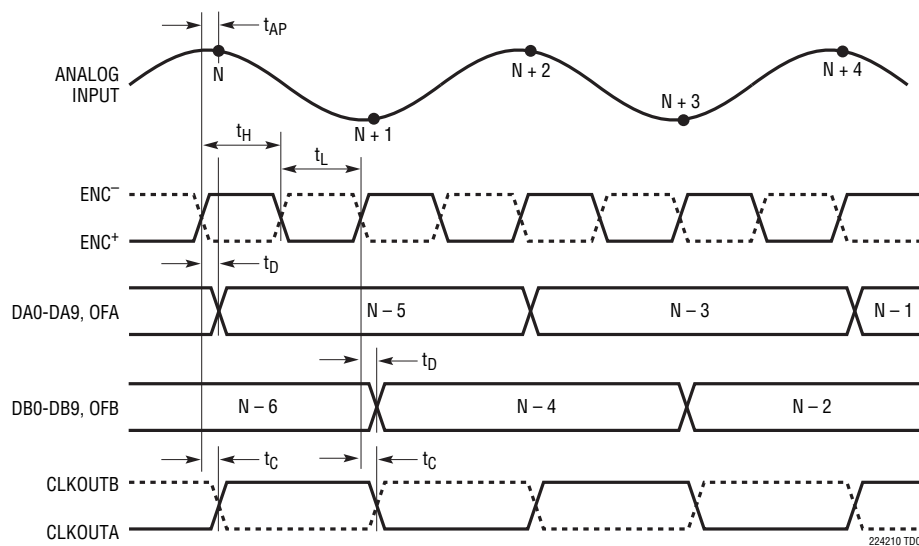


全速CMOS出力モードのタイミング
すべての出力はシングルエンドでCMOSレベル

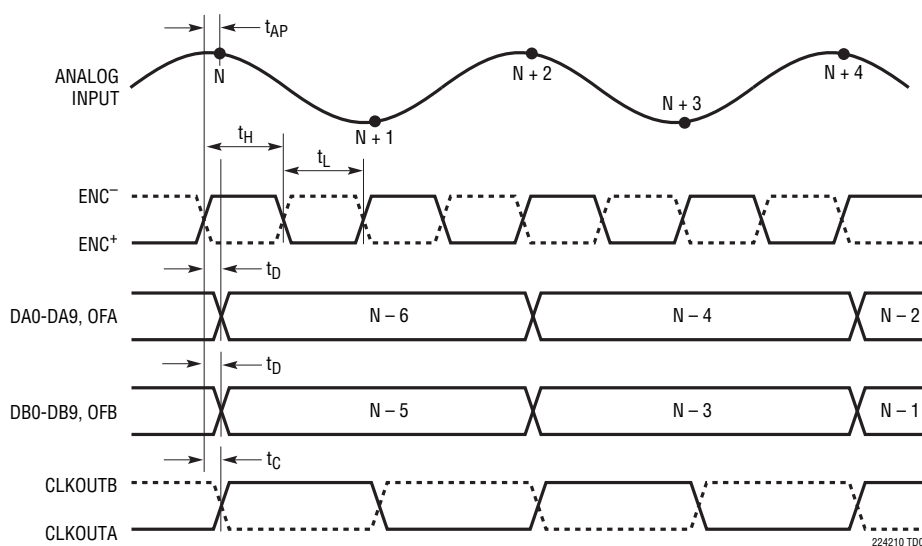


タイミング図

交互更新デマルチプレクス CMOS 出力
すべての出力はシングルエンドで CMOS レベル



同時更新デマルチプレクス CMOS 出力
すべての出力はシングルエンドで CMOS レベル



アプリケーション情報

ダイナミック特性

信号と雑音+歪みの比

信号と雑音+歪みの比[S/(N + D)]は、ADC出力での基本入力周波数のRMS振幅と他のすべての周波数成分のRMS振幅の比です。出力の帯域はDCからサンプリング周波数の半分より低い周波数に制限されています。

SNR

信号対雑音比(SNR)は基本入力周波数のRMS振幅と、最初の5つの高調波およびDCを除く他のすべての周波数成分のRMS振幅の比です。

全高調波歪み

全高調波歪みは入力信号の全高調波のRMS和の基本周波数に対する比です。帯域外高調波はDCとサンプリング周波数の半分の間の周波数帯域でエイリアスを生じます。THDは次のように表されます。

$$\text{THD} = 20 \text{Log} \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2}}{V_1} \right)$$

ここで、V1は基本周波数のRMS振幅で、V2～Vnは2次～n次の高調波の振幅です。このデータシートで計算されているTHDには5次までの高調波がすべて使われています。

混変調歪み

ADCの入力信号に複数のスペクトル成分が含まれていると、ADCの伝達関数の非直線性により、THDに加えて混変調歪み(IMD)が生じることがあります。IMDは周波数の異なる別の正弦波入力が存在するためある正弦波入力に生じる変化です。

周波数がfaとfbの2つの純粋な正弦波がADCの入力に与えられると、ADCの伝達関数の非直線性によりmfa ± nfbの和と差の周波数で歪み積を生じることがあります。ここで、mとnは0、1、2、3などです。3次の混変調歪み積は2fa + fb、2fb + fa、2fa - fbおよび2fb - faです。混変調歪みは、最大の3次混変調積のRMS値に対する、どちらかの入力トーンのRMS値の比として定義されます。

スプリアスフリー・ダイナミックレンジ(SFDR)

スプリアスフリー・ダイナミックレンジは、入力信号とDCを除いた最大のスペクトル成分であるピーク高調波またはスプリアス・ノイズです。この値はフルスケール入力信号のRMS値を基準にしたデシベル値で表されます。

フルパワー帯域幅

フルパワー帯域幅はフルスケールの入力信号から再構成された基本波の振幅が3dBだけ減少する入力周波数です。

アパーチャ遅延時間

立ち上がりつつあるENC⁺の電圧がENC⁻の電圧に等しくなったときから、入力信号がサンプル&ホールド回路によってホールドされる瞬間までの時間。

アパーチャ遅延ジッタ

変換ごとのアパーチャ遅延時間の変動。このランダムな変動により、AC入力のサンプリング時にノイズが生じます。ジッタだけによるSNRは次のようになります。

$$\text{SNR}_{\text{JITTER}} = -20 \log (2\pi \cdot f_{\text{IN}} \cdot t_{\text{JITTER}})$$

コンバータの動作

図1に示されているように、LTC2242-10はCMOSのパイプライン構成の多段コンバータです。パイプライン構成の5個のADC段を備えており、サンプルされたアナログ入力は5サイクル後にデジタル値になります(タイミング図を参照)。最適な特性を得るにはアナログ入力を差動でドライブします。エンコード入力は同相ノイズ耐性を改善するため差動です。LTC2242-10は差動のENC⁺/ENC⁻入力ピンの状態で定まる2つのフェーズで動作します。簡単にするため、この説明では、ENC⁺がENC⁻より大きいときENCは“H”であると表現し、ENC⁺がENC⁻より小さいときENCは“L”であると表現します。

アプリケーション情報

図1に示されているパイプライン構成の各段は、1個のADC、再構成DAC、および段間残余アンプを備えています。動作時、ADCは各段の入力を量子化し、量子化された値はDACによって入力から差し引かれ、残余を生じます。残余は残余アンプによって増幅されて出力されます。奇数段がその残余を出力しているとき偶数段がその残余を取得するように、またその逆になるように、後続段は先行段から位相がずれて動作します。

ENCが“L”のとき、アナログ入力はブロック図に示されている「入力S/H」内部の入力サンプル&ホールド・コンデンサに差動で直接サンプリングされます。ENCが“L”から“H”に遷移する瞬間、サンプルされた入力がホールドされます。ENCが“H”のあいだ、ホールドされた入力電圧はS/Hアンプによってバッファされます。このS/Hアンプはパイプライン構成の最初のADC段をドライブします。最初の段はENCの“H”フェーズの間にS/Hの出力を取得します。ENCが再度“L”に戻るとき最初の段はその残余を出力し、この残余が2番目の段によって取得されます。同時に、入力のS/Hは再度アナログ入力を取得します。ENCが“H”に戻ると2番目の段はその残余を出力し、この残余が3番目の段によって取得されます。同様の過程が3番目と4番目の段で繰り返され、4番目の段の残余は最終評価のために5番目の段のADCに送られます。

初段に続く各ADC段にはフラッシュ誤差とアンプのオフセット誤差を調節するための追加範囲があります。ADCの全段からの結果は、出力バッファに送る前に、それらの結果を補正ロジックで適切に結合できるようにデジタル動作で同期させます。

サンプル/ホールド動作と入力ドライブ

サンプル/ホールド動作

LTC2242-10のCMOS差動サンプル&ホールドの等価回路を図2に示します。アナログ入力はNMOSトランジスタを介してサンプリング・コンデンサ(C_{SAMPLE})に接続されています。各入力のところ示されているコンデンサ($C_{PARASITIC}$)は各入力に関連した他のすべての容量の和です。

ENCが“L”のとき、サンプリング・フェーズの間トランジスタはアナログ入力をサンプリング・コンデンサに接続するので、これらのコンデンサは差動入力電圧まで充電され、さらにこの電圧を追尾します。ENCが“L”から“H”に遷移するとき、サンプリングされた入力電圧はサンプリング・コンデンサにホールドされます。ENCが“H”のとき、ホールド・フェーズの間サンプリング・コンデンサは入力から切り離され、ホールドされた電

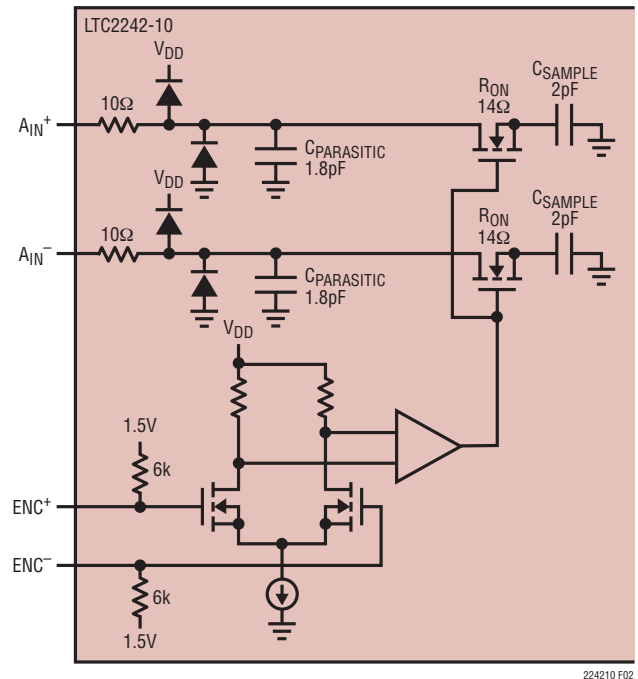


図2. 等価入力回路

圧はADCコアに渡されて処理されます。ENCが“H”から“L”に遷移すると、入力はサンプリング・コンデンサに再度接続され、新しいサンプルを収集します。サンプリング・コンデンサには直前のサンプルがまだホールドされているので、隣接するサンプル間の電圧変化に比例した充電グリッチがこのとき見られます。直前のサンプルと新しいサンプル間の変化が小さいと、入力に見られる充電グリッチは小さくなります。ナイキスト周波数の近くの入力周波数で見られる変化のように、入力の変化が大きければ、さらに大きな充電グリッチが見られます。

同相バイアス

最適な特性を得るにはアナログ入力を差動でドライブします。各入力は1.25Vの同相電圧を中心として、2Vレンジでは $\pm 0.5V$ 、1Vレンジでは $\pm 0.25V$ の振幅が必要です。 V_{CM} 出力ピン(ピン60)を使って同相バイアス・レベルを与えることができます。 V_{CM} はトランスのセンタータップに直接接続してDC入力レベルを設定するか、またはオペアンプ差動ドライブ回路の基準レベルとして接続することができます。 V_{CM} ピンは2.2 μF 以上のコンデンサを使ってADCの近くのグラウンドにバイパスする必要があります。

アプリケーション情報

入カドライブのインピーダンス

すべての高性能高速ADCの場合と同様、LTC2242-10のダイナミック動作は入力ドライブ回路、特に2次と3次の高調波の影響を受けることがあります。ソース・インピーダンスと入力リアクタンスはSFDRに影響を与えることがあります。サンプル&ホールド回路はENCの立下りエッジで2pFのサンプリング・コンデンサを入力ピンに接続してサンプリング周期を開始します。サンプリング周期はENCが立ち上がると終了し、サンプリングされた入力をサンプリング・コンデンサにホールドします。入力回路は理想的にはサンプリング周期 $1/(2f_s)$ のあいだにサンプリング・コンデンサを完全に充電するのに十分なだけ高速である必要があります。ただし、これが常に可能だとはかぎらず、不完全なセトリングのためにSFDRが減少することがあります。不十分なセトリングの影響を小さくするため、サンプリング・グリッチができるだけリニアになるように設計されています。

最適動作のため、各入力のソース・インピーダンスを 100Ω 以下にすることを推奨します。差動入力のソース・インピーダンスは整合させる必要があります。よく整合していないと、偶数次高調波、特に2次高調波が高くなります。

入カドライブ回路

2次側にセンタータップを備えたRFトランスによってドライブされるLTC2242-10を図3に示します。2次側センタータップは V_{CM} でDCバイアスされており、ADCの入力信号を最適DCレベルに設定します。トランスの2次側を終端するのは望ましいことです。これによりサンプル&ホールドによって生じる充電グリッチの同相経路が与えられるからです。図3には巻線比が1:1のトランスが示されています。ADCから見たソース・インピーダンスが各ADC入力で 100Ω を超えなければ、他の巻線比を使うこともできます。トランスを使う場合の不利な点は低周波応答の低下です。ほとんどの小型RFトランスは1MHzより低い周波数での性能が良くありません。

差動アンプを使ってシングルエンド入力信号を差動入力信号に変換する例を図4に示します。この方法の利点は低い入力周波数に対する応答が良いことです。ただし、ほとんどのオペアンプでは、利得帯域幅の制限により、高い入力周波数でのSFDRが制限されます。

容量性結合の入力回路を図5に示します。アナログ入力から見たインピーダンスを整合させる必要があります。

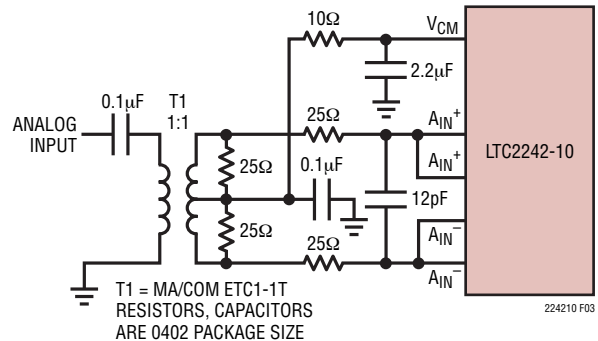


図3. トランスを使ったシングルエンドから差動への変換

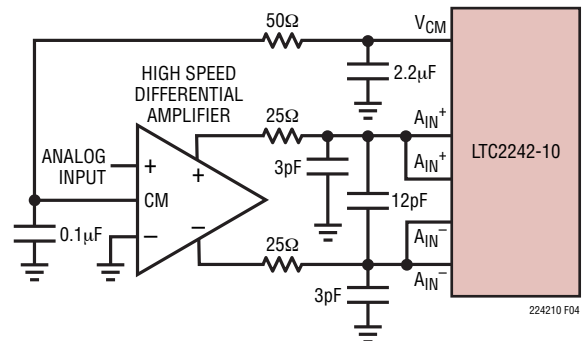


図4. アンプを使った差動ドライブ

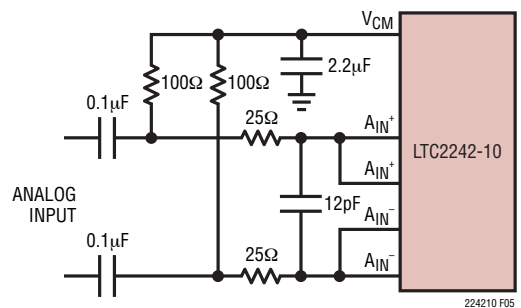


図5. 容量性結合のドライブ

アプリケーション情報

アナログ入力に接続されている25Ωの抵抗と12pFのコンデンサは2つの役目を果たします。サンプル&ホールドの充電グリッチからドライブ回路を分離し、コンバータの入力の広帯域ノイズを制限します。100MHzを超える入力周波数では、過度の信号損失を防ぐためコンデンサの容量を減らす必要があるかもしれません。

A_{IN}^+ と A_{IN}^- の入力はパッケージのインダクタンスを減らすためそれぞれ2本のピンを備えています。2本の A_{IN}^+ ピンと2本の A_{IN}^- ピンはそれぞれ短絡します。

100MHzを超す入力周波数では、図6、図7および図8の入力回路を推奨します。センタータップ付き磁束結合型トランスに比べて、バラン・トランスは高周波応答が優れています。カップリング・コンデンサにより、アナログ入力を1.25VにDCバイアスすることができます。図8の直列インダクタはインピーダンス整合用素子で、ADCの帯域幅を最大にします。

リファレンスの動作

1.25Vのバンドギャップ・リファレンス、差動アンプ、およびスイッチングと制御の回路で構成されるLTC2242-10のリファレンス回路を図9に示します。内部電圧リファレンスはピンで選択可能な2V(差動±1V)または1V(差動±0.5V)の2つの入力レンジに設定することができます。SENSEピンを V_{DD} に接続すると2Vレンジが選択され、SENSEピンを V_{CM} に接続すると1Vレンジが選択されます。

1.25Vのバンドギャップ・リファレンスは2つの機能を果たします。このリファレンスの出力は任意の外部入力回路の同相電圧を設定するためのDCバイアス点を与えます。さらに、差動アンプと一緒に使われて、内部のADC回路が必要とする差動リファレンス・レベルを発生します。1.25Vリファレンスの出力(V_{CM})には外付けのバイパス・コンデンサが必要です。このコンデンサは、内部回路と外部回路のための、高周波で低インピーダンスのグラウンド経路を与えます。

差動アンプはADCの高リファレンスと低リファレンスを発生します。高速スイッチング回路がこれらの出力に接続されているので、これらの出力は外部でバイパスする必要があります。各出力には4本のピンが備わっています。高リファレンス用にそれぞれ2本のREFHAとREFHB、および低リファレンス用にそれぞれ2本のREFLAとREFLBです。複数の出力ピンはパッケージのインダクタンスを減らすために必要です。バイパス・コンデンサは図9に示されているように接続する必要があります。

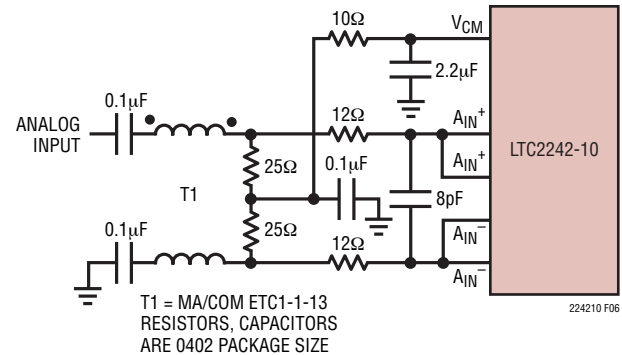


図6. 100MHz～250MHzの入力周波数用の推奨フロントエンド回路

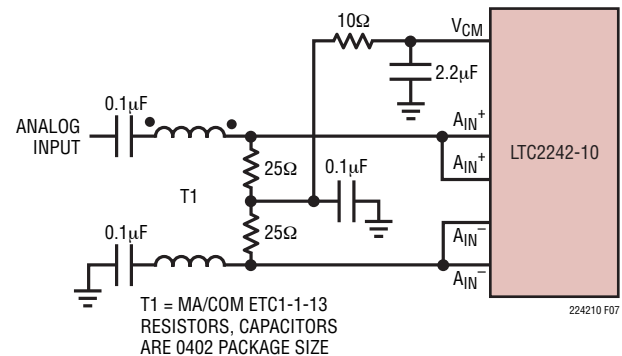


図7. 250MHz～500MHzの入力周波数用の推奨フロントエンド回路

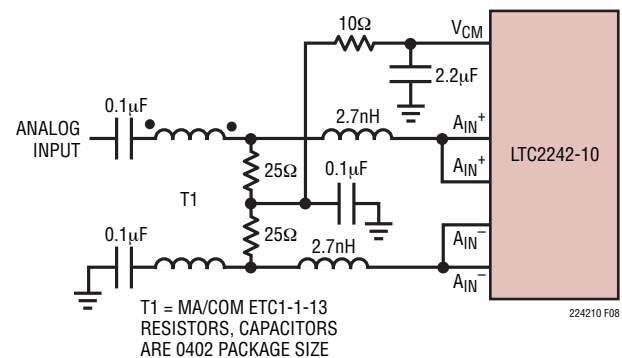


図8. 500MHzを超す入力周波数用の推奨フロントエンド回路

アプリケーション情報

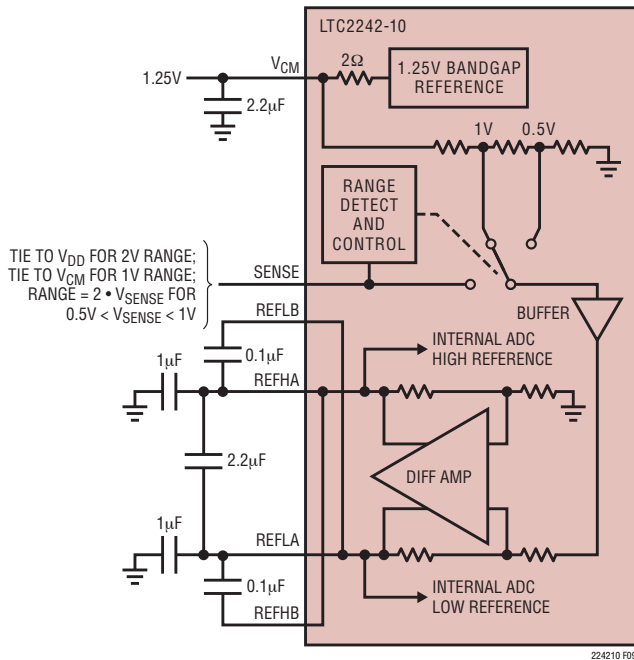


図9. 等価リファレンス回路

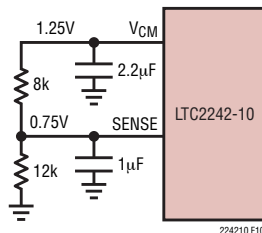


図10. 1.5VレンジのADC

ピンで選択可能なレンジの間にくる他の電圧レンジは、図10に示されているように、2つの外付け抵抗を使ってプログラムすることができます。外部リファレンスを使い、その出力を直接に、または抵抗分割器を通してSENSEに印加することができます。ロジック・デバイスを使ってSENSEピンをドライブするこ

とは推奨されていません。SENSEピンはできるだけコンバータの近くで適切なレベルに接続します。SENSEピンを外部からドライブする場合、1µFのセラミック・コンデンサを使ってデバイスのできるだけ近くでグラウンドにバイパスします。

入力レンジ

入力レンジはアプリケーションに基づいて設定することができます。2V入力レンジではすぐれたSFDRを保ったまま最良のSNRが得られます。1V入力レンジのSFDR性能はさらに優れていますが、SNRは1.7dBほど低下します。「標準的性能特性」のセクションを参照してください。

エンコード入力のドライブ

LTC2242-10のノイズ特性は、アナログ入力に依存するのと同じ程度エンコード信号の質に依存することがあります。ENC⁺/ENC⁻入力は、主に同相ノイズ源に対して耐性をもたせるため、差動でドライブするように意図されています。各入力には4.8kの抵抗を通して1.5Vにバイアスされています。これらのバイアス抵抗はトランス結合のドライブ回路のDC動作点を設定し、シングルエンドのドライブ回路のロジック・スレッシュホールドを設定することができます。

エンコード信号に含まれるどんなノイズも新たなアパーチャ・ジッタを生じ、このジッタは本来のADCアパーチャ・ジッタにRMSとして加算されます。

ジッタが重要な問題となる(高入力周波数)アプリケーションでは、以下の配慮が必要です。

1. 差動ドライブを使います。
2. できるだけ大きな振幅を使います。トランス結合の場合、高い巻線比を使って振幅を大きくします。
3. 正弦波信号でADCをクロック駆動する場合、エンコード信号にフィルタをかけて広帯域ノイズを減らします。
4. 両方のエンコード入力で容量と直列抵抗値をバランスさせ、どの結合ノイズも同相ノイズとして両方の入力に現われるようにします。エンコード入力の同相範囲は1.2V~2.0Vです。シングルエンドのドライブの場合、各入力はグラウンド~V_{DD}の範囲でドライブすることができます。

アプリケーション情報

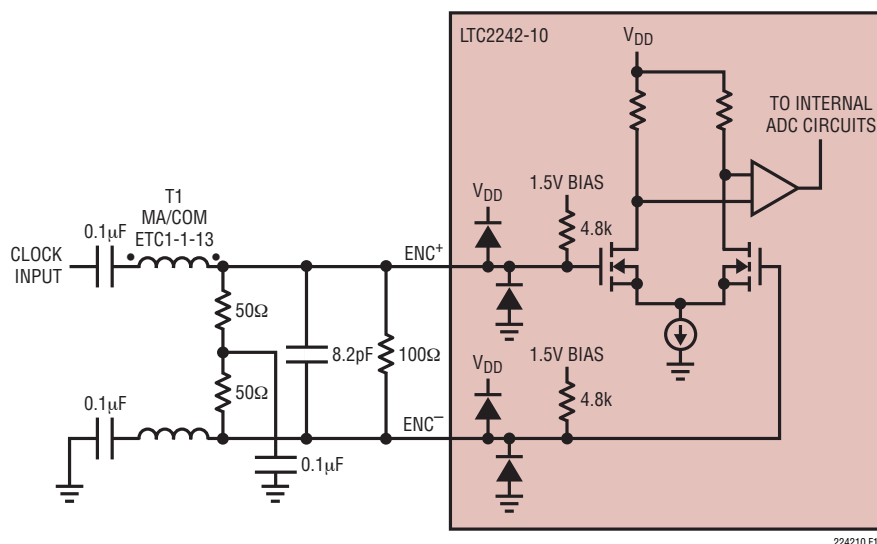


図11. トランスでドライブされるENC+/ENC-

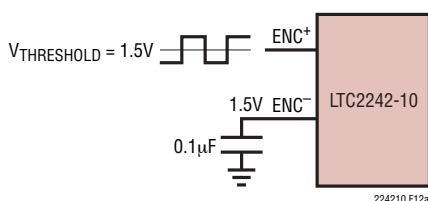


図12a. シングルエンドのENCドライブで、低ジッタ用には推奨できない

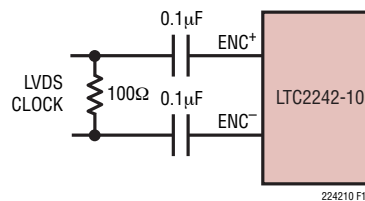


図12b. LVDSを使ったENCドライブ

最大エンコード・レートと最小エンコード・レート

LTC2242-10の最大エンコード・レートは250Mpspsです。ADCが正常に動作するには、エンコード信号のデューティ・サイクルは50% (±5%) である必要があります。各半周期は、十分なセリング時間をADCの内部回路に与えて正常動作させるため、少なくとも1.9ns必要です。正確に50%のデューティ・サイクルを簡単に実現するには、トランスを使った、あるいはPECLやLVDSのような対称型差動ロジックを使った差動正弦波ドライブを使います。

入力クロックのデューティ・サイクルが50%でない場合、オプションのクロック・デューティ・サイクル・スタビライザ回路を使うことができます。この回路はENC+ピンの立上りエッジを使って、アナログ入力をサンプルします。ENC+の立下りエッジは無視され、フェーズロック・ループにより内部で立下りエッジが作られます。入力クロックのデューティ・サイクルは40%～60%の範囲で変化することができ、クロック・デューティ・サイクル・

スタビライザは内部デューティ・サイクルを50%に保ちます。クロックが長時間オフすると、デューティ・サイクル・スタビライザ回路のPLLが入力クロックにロックするのに100クロック・サイクルを必要とします。クロック・デューティ・サイクル・スタビライザを使うには、外付け抵抗を使ってMODEピンを $1/3V_{DD}$ または $2/3V_{DD}$ に接続します。

LTC2242-10のサンプリング・レートの下限はサンプル&ホールド回路の垂下によって決まります。このADCのパイプライン・アーキテクチャでは、アナログ信号を小容量のコンデンサに保存します。接合部の漏れ電流によりコンデンサが放電します。LTC2242-10の規定最小動作周波数は1Mpspsです。

デジタル出力

アナログ入力電圧、デジタル・データ・ビット、およびオーバーフロー・ビットの相互関係を表1に示します。

アプリケーション情報

表1. 出力コードと入力電圧

$A_{IN}^+ - A_{IN}^-$ (2V Range)	OF	D9 - D0 (Offset Binary)	D9 - D0 (2's Complement)
>+1.000000V	1	11 1111 1111	01 1111 1111
+0.998047V	0	11 1111 1111	01 1111 1111
+0.996094V	0	11 1111 1110	01 1111 1110
+0.001953V	0	10 0000 0001	00 0000 0001
0.000000V	0	10 0000 0000	00 0000 0000
-0.001953V	0	01 1111 1111	11 1111 1111
-0.003906V	0	01 1111 1110	11 1111 1110
-0.998047V	0	00 0000 0001	10 0000 0001
-1.000000V	0	00 0000 0000	10 0000 0000
<-1.000000V	1	00 0000 0000	10 0000 0000

デジタル出力モード

LTC2242-10はいくつかのデジタル出力モードで動作可能です。これらは、LVDS、全速で動作するCMOS、および(それぞれ半分の速度で動作する)2つのバスにデマルチプレクスされたCMOSです。デマルチプレクスCMOSモードでは、2本のバス(バスAおよびバスBと呼ばれる)は1つおきのクロック・サイクルで(交互モード)、または同時に(同時モード)更新することができます。クロックのタイミングの詳細については、タイミング図を参照してください。

LVDSピンにより、どのデジタル出力モードをデバイスが使用するかが選択されます。このピンには4レベルのロジック入力があり、GND、 $1/3V_{DD}$ 、 $2/3V_{DD}$ または V_{DD} に接続します。外部抵抗分割器を使って $1/3V_{DD}$ または $2/3V_{DD}$ のロジック値を設定することができます。LVDSピンのロジック状態を表2に示します。

表2. LVDSピンの機能

LVDS	DIGITAL OUTPUT MODE
GND	Full-Rate CMOS
$1/3V_{DD}$	Demultiplexed CMOS, Simultaneous Update
$2/3V_{DD}$	Demultiplexed CMOS, Interleaved Update
V_{DD}	LVDS

デジタル出力バッファ(CMOSモード)

CMOS出力モードの1個の出力バッファの等価回路を図13aに示します。各バッファは OV_{DD} とOGNDから電力を供給され、ADCの電源とグラウンドからは分離されています。出力ドライバにNチャンネル・トランジスタが追加されているので、わずか0.5Vの低電圧まで動作可能です。出力に直列接続された内部抵抗により、外部回路から見ると出力は50Ωに見えるので、外部の減衰抵抗を必要としないこともあります。

すべての高速/高分解能コンバータの場合と同様、デジタル出力負荷が性能に影響を与えることがあります。デジタル出力と敏感な入力回路の間に生じるおそれのある相互反応を抑えるため、LTC2242-10のデジタル出力はできるだけ小さな容量性負荷をドライブするようにします。出力は74VCMX245 CMOSラッチのようなデバイスを使ってバッファします。全速動作では負荷の容量は10pF以下に抑えます。

OV_{DD} 電圧を低くすることも、デジタル出力からの干渉を減らすのに役立ちます。

デジタル出力バッファ(LVDSモード)

LVDS出力モードの1個の差動出力対の等価回路を図13bに示します。3.5mAの電流が OUT^+ から OUT^- に、またはその逆方向に流れますので、LVDSレシーバの100Ω終端抵抗両端に±350mVの差動電圧が生じます。帰還ループが同相出力電圧を1.25Vに安定化します。正しく動作するには、(OF^+/OF^- または $CLKOUT^+/CLKOUT^-$ などの)信号を使用しなくても、各LVDS出力対には100Ωの外付け終端抵抗が必要です。ノイズを最小に抑えるには、PCボード上の各LVDS出力対のトレースは一緒に近接させて配置します。クロックのスキューを最小に抑えるため、すべてのLVDSのPCボード・トレースは同じ長さにします。

アプリケーション情報

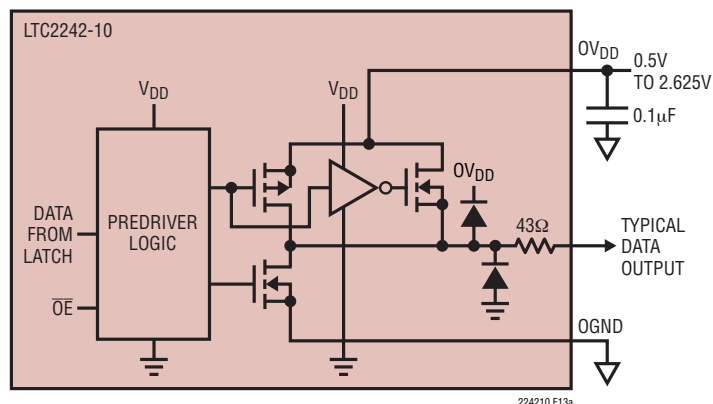


図13a. CMOSモードのデジタル出力バッファ

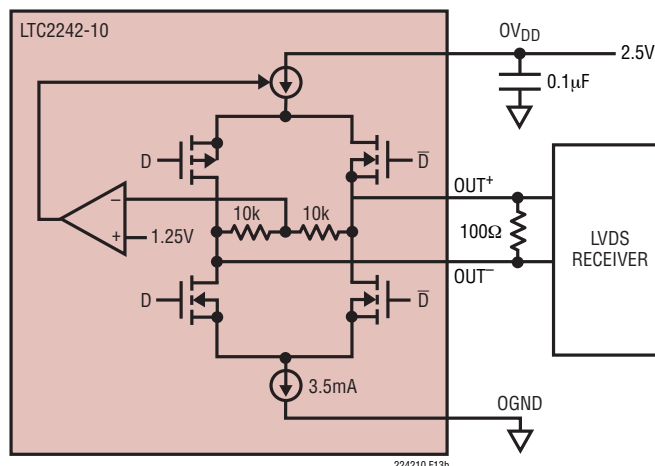


図13b. LVDSモードのデジタル出力

データのフォーマット

LTC2242-10の平行・デジタル出力は、オフセット・バイナリ形式または2の補数形式を選択できます。フォーマットはMODEピンを使って選択します。MODEをGNDまたは $1/3V_{DD}$ に接続するとオフセット・バイナリの出力フォーマットが選択されます。MODEを $2/3V_{DD}$ または V_{DD} に接続すると2の補数の出力フォーマットが選択されます。外部抵抗分割器を使って $1/3V_{DD}$ または $2/3V_{DD}$ のロジック値を設定することができます。MODEピンのロジック状態を表3に示します。

表3. MODEピンの機能

MODEピン	出力フォーマット	クロック・デューティ・サイクル・スタビライザ
0	オフセット・バイナリ	オフ
$1/3V_{DD}$	オフセット・バイナリ	オン
$2/3V_{DD}$	2の補数	オン
V_{DD}	2の補数	オフ

オーバーフロー・ビット

オーバーフロー出力ビットはコンバータにオーバーレンジまたはアンダーレンジの信号が入力されていることを示します。CMOSモードでは、OFAピンのロジック“H”はAデータバスのオーバーフローまたはアンダーフローを示し、OFBピンのロジック“H”はBデータバスのオーバーフローまたはアンダーフローを示します。LVDSモードでは、OF⁺ピン/OF⁻ピンの差動ロジック“H”がオーバーフローまたはアンダーフローを示します。

出力クロック

ADCにはENC⁺入力を遅延させた信号がデジタル出力(CLKOUT)として備わっています。このCLKOUTピンを使って、コンバータのデータをデジタル・システムに同期させること

ができます。これは正弦波のエンコードを使っているとき必要です。すべてのCMOSモードで、AバスのデータはCLKOUTAが立ち上がった直後に更新され、CLKOUTAの立下りエッジでラッチすることができます。交互更新のデマルチプレクスCMOSモードでは、BバスのデータはCLKOUTBが立ち上がった直後に更新され、CLKOUTBの立下りエッジでラッチすることができます。同時更新のデマルチプレクスCMOSモードでは、BバスのデータはCLKOUTBが立ち下がった直後に更新され、CLKOUTBの立上りエッジでラッチすることができます。LVDSモードでは、データはCLKOUT⁺/CLKOUT⁻が立ち上がった直後に更新され、CLKOUT⁺/CLKOUT⁻の立下りエッジでラッチすることができます。

出力ドライバの電源

出力専用の電源ピンとグランド・ピンが備わっているので、出力ドライバをアナログ回路から分離することができます。デジタル出力バッファの電源(OV_{DD})はドライブされるロジックと同じ電源に接続します。たとえば、1.8V電源から給電されているDSPをコンバータがドライブする場合、OV_{DD}は同じ1.8V電源に接続します。

CMOS出力モードでは、OV_{DD}は2.625Vまでの任意の電圧で電力供給を受けることができます。OGNDはGND~1Vの任意の電圧で電力供給を受けることができ、OV_{DD}より低くなければなりません。ロジック出力はOGNDとOV_{DD}の間で振幅します。

LVDS出力モードでは、OV_{DD}を2.5V電源に接続し、OGNDをGNDに接続します。

アプリケーション情報

出力イネーブル

出力イネーブル・ピン(\overline{OE})を使って出力をディスエーブルすることができます。CMOS出力モードまたはLVDS出力モードでは、 \overline{OE} を“H”にすると、OFやCLKOUTを含むすべてのデータ出力がディスエーブルされます。データのアクセス時間やバスの解放時間は、全速動作時に出力のイネーブルやディスエーブルをするには遅すぎます。出力のHi-Z状態は長期の休止時に使うことを意図しています。

このHi-Z状態は真の開放回路ではありません。LVDS出力対を形成する出力ピンのあいだには20kの抵抗があります。したがって、CMOS出力モードでは、Hi-Z状態であっても隣接するデータ・ビットの間には20kの抵抗があります。

スリープ・モードとナップ・モード

節電のため、コンバータをシャットダウン・モードまたはナップ・モードにすることができます。SHDNをGNDに接続すると正常動作になります。SHDNを V_{DD} に接続し、 \overline{OE} を V_{DD} に接続するとスリープ・モードになり、リファレンスを含むすべての回路をパワーダウンし、消費電力は標準で1mWになります。スリープ・モードを抜け出すとき、リファレンスのコンデンサを再充電して安定化する必要があるため、出力データが有効になるまで数ミリ秒かかります。SHDNを V_{DD} に接続し、 \overline{OE} をGNDに接続するとナップ・モードになり、消費電力は標準で28mWになります。ナップ・モードでは内蔵リファレンス回路はオンしたままなので、ナップ・モードからの回復はスリープ・モードからの回復よりも速く、標準で100クロック・サイクルかかります。スリープとナップの両方のモードですべてのデジタル出力はディスエーブルされ、Hi-Z状態になります。

接地とバイパス

LTC2242-10には切れ目の無いクリーンなグラウンド・プレーンを備えたプリント基板が必要です。内部グラウンド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ分離します。特に、どのデジタル信号もアナログ信号に沿って配置しないように、またADCの下に配置しないように注意します。

高品質のセラミック・バイパス・コンデンサを、 V_{DD} 、 OV_{DD} 、 V_{CM} 、REFHA、REFHB、REFLAおよびREFLBの各ピンに使

います。バイパス・コンデンサはできるだけピンに近づけて配置してください。特に重要なのはREFHAとREFLBのあいだ、およびREFHBとREFLAの間のコンデンサです。これらのコンデンサはできるだけデバイスに近づけて(1.5mm以内)配置してください。サイズが0402のセラミック・コンデンサを推奨します。REFHAとREFLAの間の2.2 μ Fのコンデンサはこれよりいくらか離れてもかまいません。ピンやバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くします。

LTC2242-10の差動入力はい互いに並行にできるだけ近づけて配置します。入力トレースはできるだけ短くして容量を小さくし、ノイズを拾わないようにします。

熱伝達

LTC2242-10が発生する熱の大部分はダイから底面の露出パッドとパッケージのピンを通してプリント回路基板に伝わります。すぐれた電気特性と熱特性を得るには、露出パッドをPCボードの大きな接地されたパッドに半田付けします。すべてのグラウンド・ピンを面積が十分大きなグラウンド・プレーンに接続することが重要です。

アンダーサンプリングのクロック・ソース

アンダーサンプリングでは、クロック・ソースに対して特に要求が厳しく、入力周波数が高いほどクロックのジッタや位相ノイズに対して敏感になります。フルスケール信号のSNRを70MHzで1dBだけ悪化させるクロック・ソースは、SNRを140MHzでは3dB、190MHzでは4.5dBだけ悪化させます。

絶対クロック周波数の精度が比較的重要ではなく、1つのADCだけが必要とされるケースでは、SaronixやVectronのようなベンダーのメタルキャン発振器をADCの近くに配置してADCに直接簡単に接続することができます。ADCまでいくらかでも距離がある場合、たとえ数分の1インチでも生じることのあるリングングを減らすために、ソースを終端することを推奨します。クロックが電源をオーバーシュートするのを許してはいけません。そうでないと性能が低下します。正弦波のクロック・ソースでない限り、クロック信号は狭帯域のバンド・フィルタを通さないでください。フィルタを通すと、標準的なデジタル・クロック信号に含まれる立上り時間と立下り時間のアーチファクトが位相ノイズに変換されるからです。

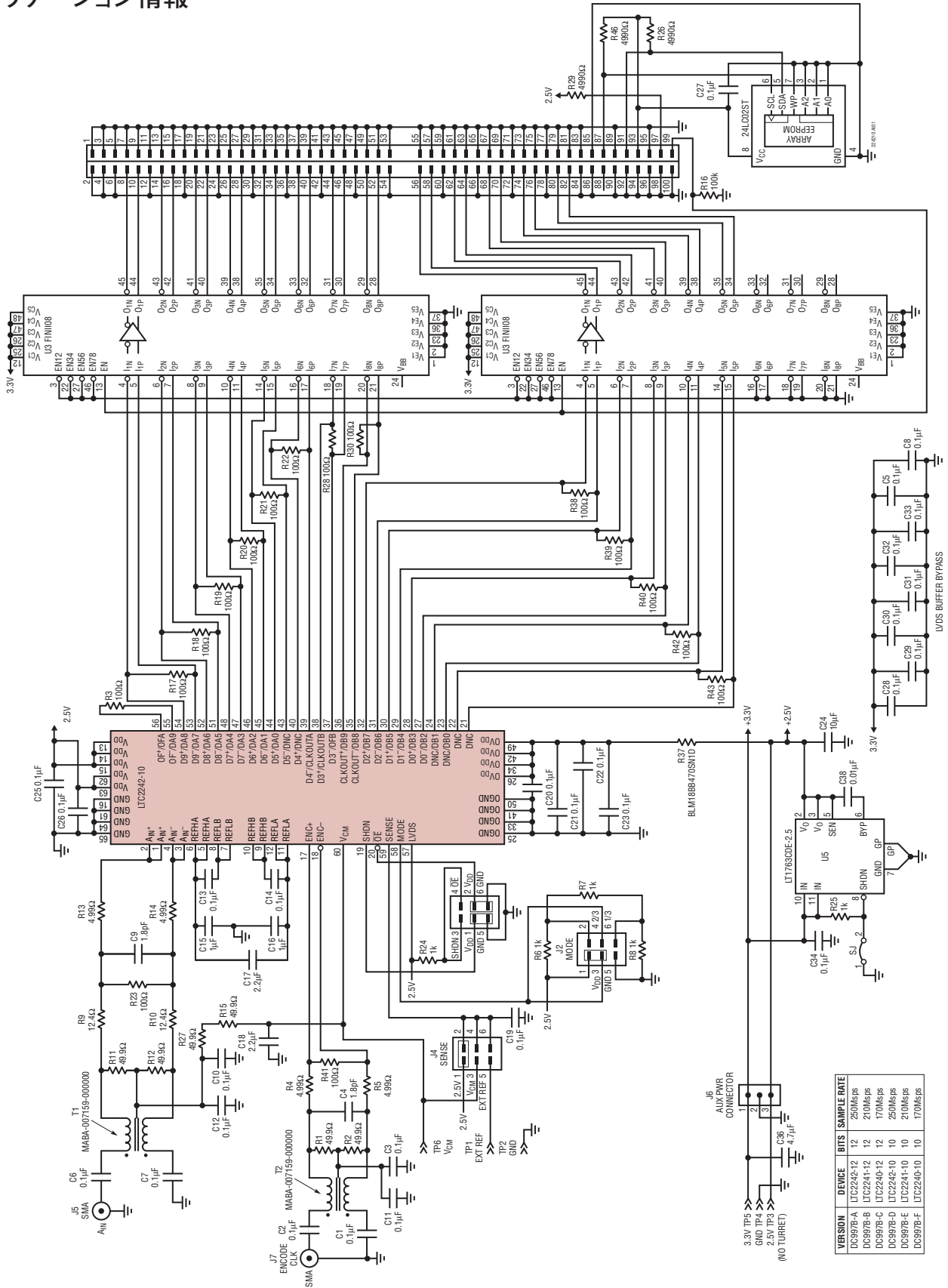
アプリケーション情報

位相ノイズが最低の発振器はシングルエンドの正弦波出力を備えており、これらのデバイスの場合、ADCの近くにフィルタを使用すると有益かもしれません。このフィルタはADCに近づけて配置して、往復の反射時間を短くするとともに、フィルタとADCの間のトレースが外部の影響を受けにくくします。回路が近接位相ノイズに敏感であれば、発振器の電源とバッファは非常に安定したものでなければなりません。そうでないと、電源による伝播遅延の変動が位相ノイズに変換されます。これらのクロック・ソースはデジタル・デバイスと見なされるかもしれませんが、それらをデジタル電源で動作させないでください。クロックがFPGAなどのデジタル・デバイスのドライブにも使用される場合、発振器とクロックのファンアウトに使われるデバイスをADCの近くに配置し、ADCへの配線を優先させます。FPGAへのクロック信号はドライバのところで直列に終端し、FPGAからの高周波ノイズがクロックのファンアウト・

デバイスのサブストレートを乱すのを防ぎます。FPGAをプログラム可能な分割器として使用する場合は、元の発振器を使って信号の時間合せを行う必要があり、タイミング調整用フリップ・フロップと発振器をADCに近づけて配置し、非常に静かな電源から給電します。

複数のADCが存在する場合、またはクロック・ソースがいくらか離れている場合、クロックを差動で分配することを推奨します。これは、EMIの観点からだけでなく、(放射と、多層PCBのレイヤ間に存在するウェーブガイド内の伝播による)デジタル・ソースからのノイズを防ぐ観点からも推奨します。この差動対は一緒に近接させ、他の信号から離す必要があります。この差動対は(トレース間の距離の少なくとも3倍距離をとって)両側に銅でガードを設け、1/4インチ以下の間隔でビアを使って接地します。

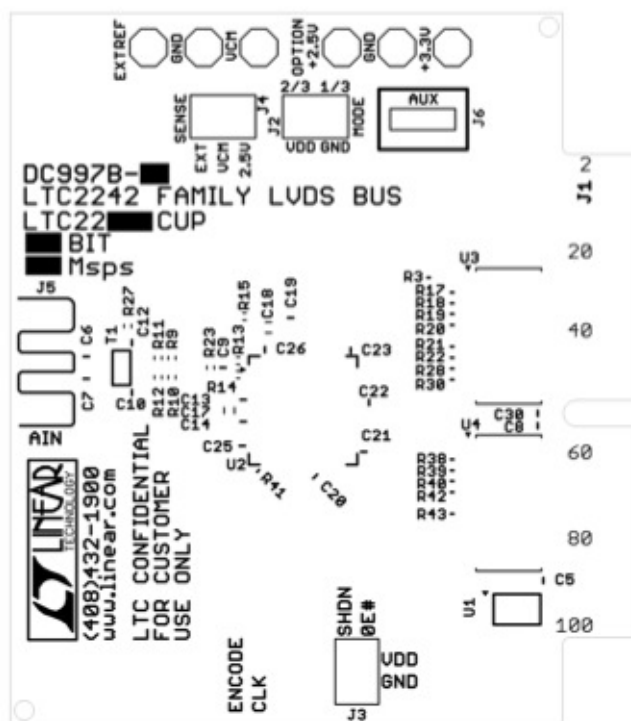
LTC2242-10の評価回路図



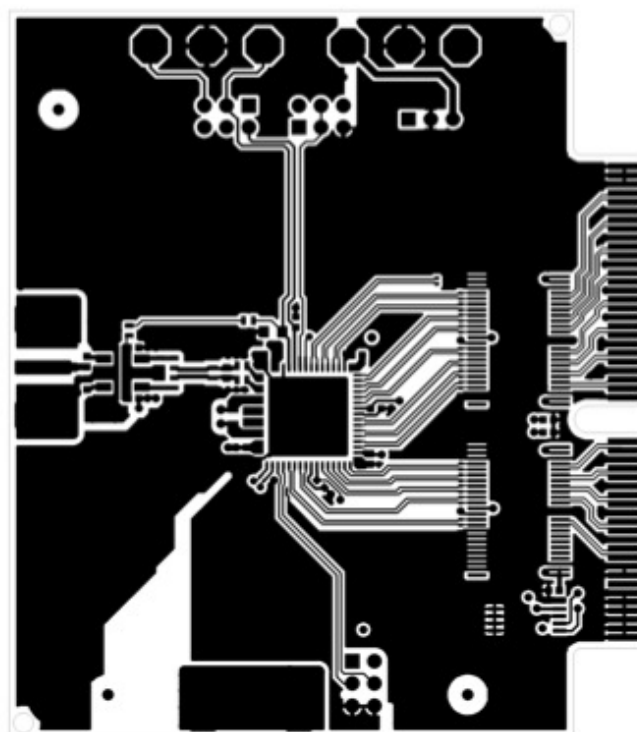
VERSION	DEVICE	BITS	SAMPLE RATE
DC9978-A	LTC2242-12	12	250Msps
DC9978-B	LTC2244-12	12	210Msps
DC9978-C	LTC2240-12	12	170Msps
DC9978-D	LTC2242-10	10	250Msps
DC9978-E	LTC2241-10	10	210Msps
DC9978-F	LTC2240-10	10	170Msps

アプリケーション情報

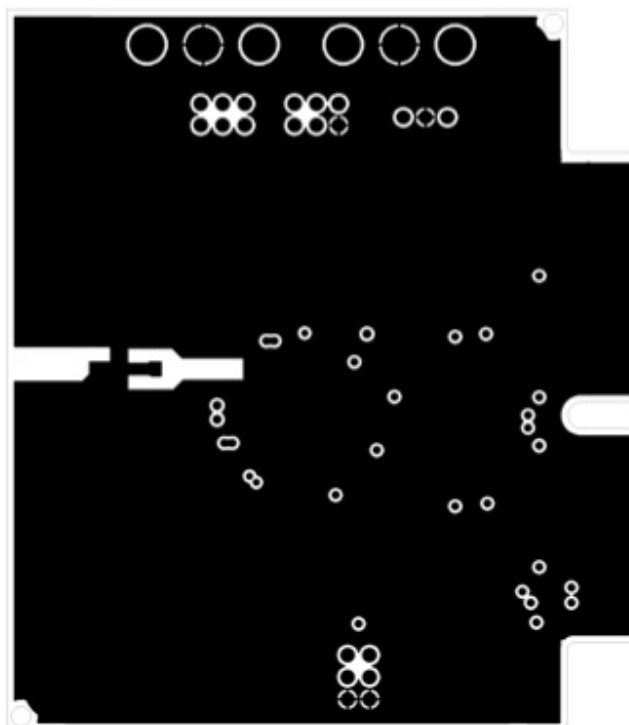
部品面シルク



1層 部品側

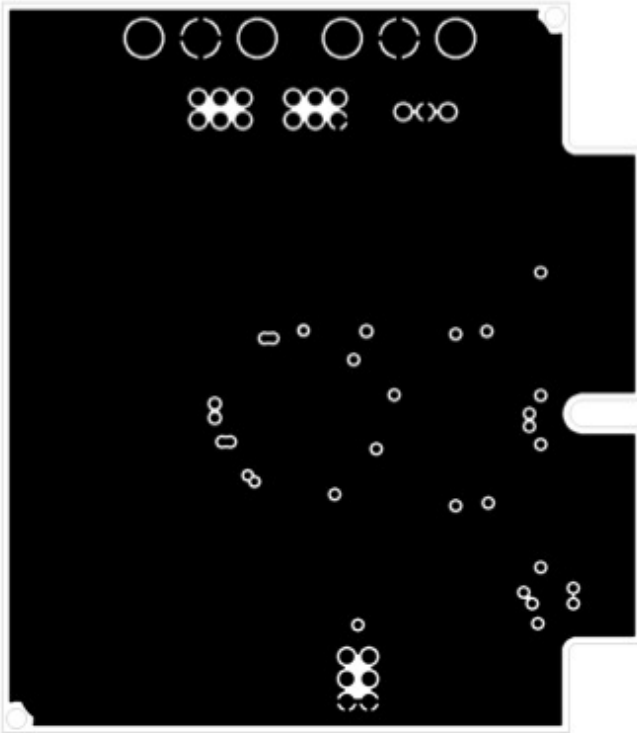


2層 GNDプレーン

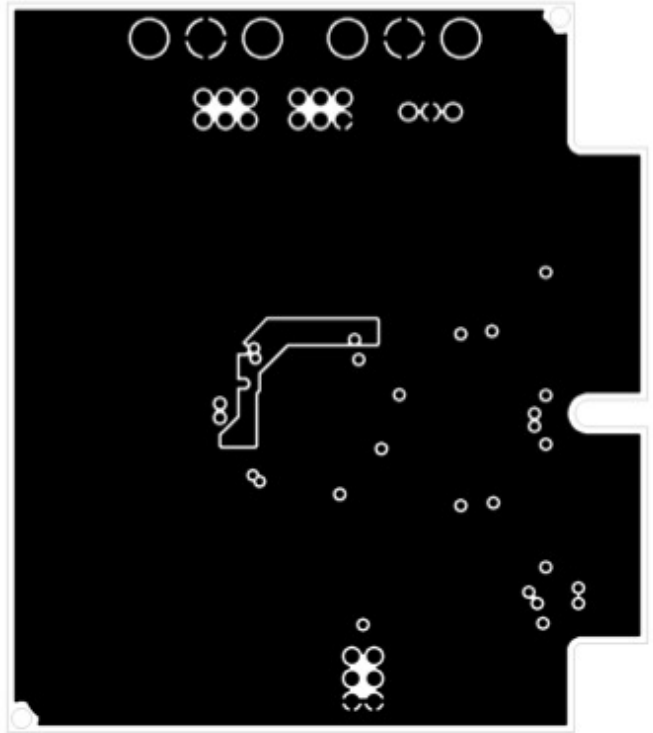


アプリケーション情報

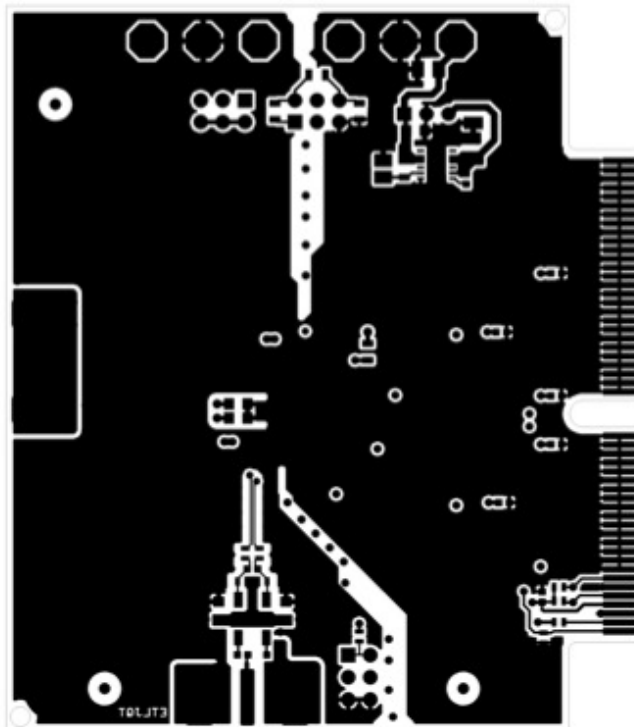
3層 電源/グランド・プレーン



4層 電源/グランド・プレーン

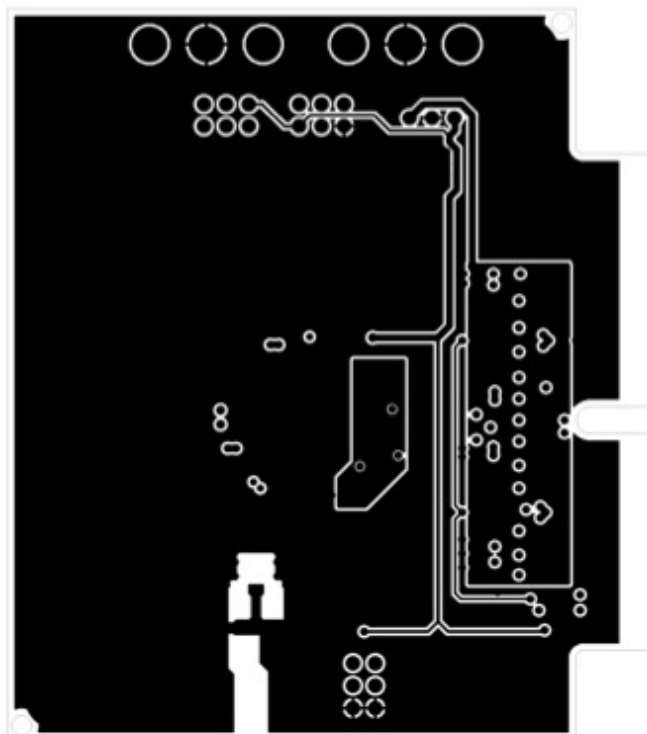


5層 電源/グランド・プレーン



アプリケーション情報

裏面(半田付け側)



半田面シルク(半田付け側)

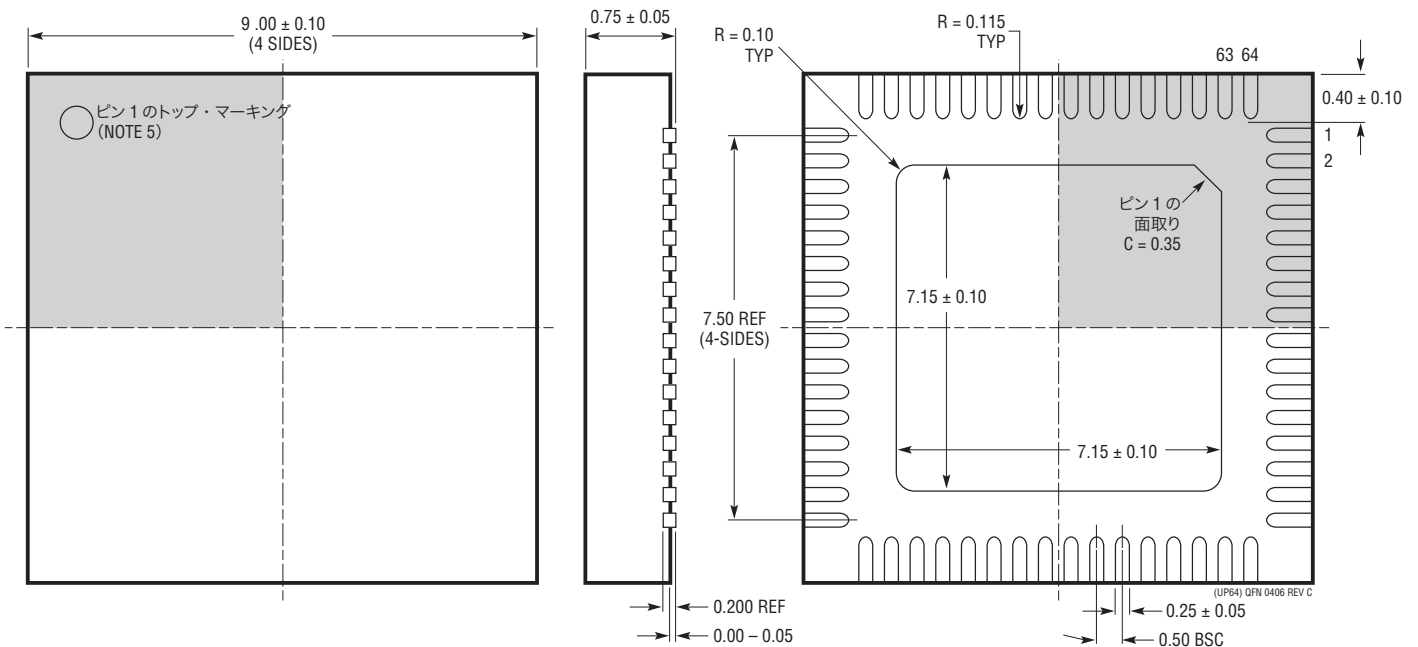
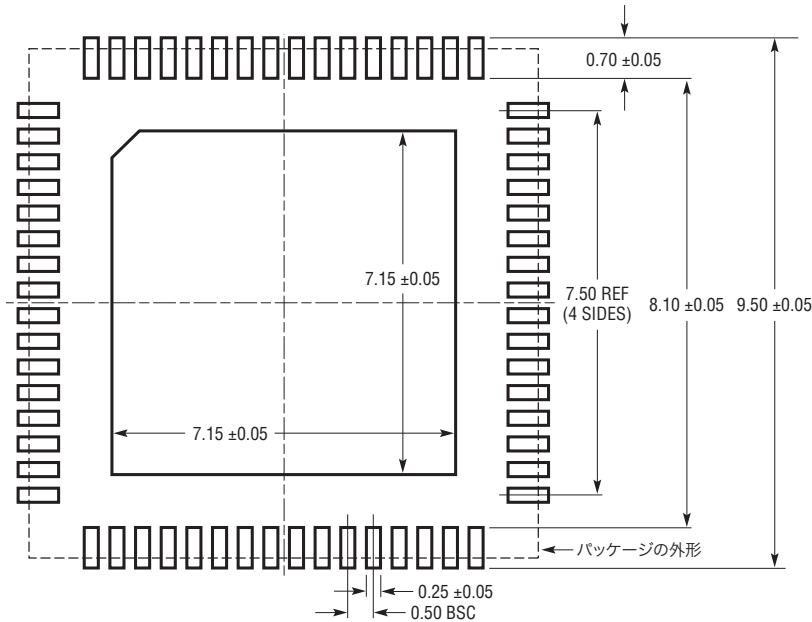


LTC2242-10

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

UPパッケージ 64ピン・プラスチックQFN(9mm×9mm) (Reference LTC DWG # 05-08-1705 Rev C)



NOTE:

1. 図面は JEDEC のパッケージ外形 M0-220 のバリエーション (WNJR-5) に適合
2. すべての寸法はミリメートル
3. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで 0.20mm を超えないこと
4. 露出パッドは半田メッキとする
5. 網掛けの部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない
6. 図は実寸とは異なる

改訂履歴 (改訂履歴は Rev D から開始)

REV	日付	概要	ページ番号
D	10/11	「アプリケーション情報」セクションの回路図の製品名を修正 「アプリケーション情報」の基板層の並び替え	24 25 - 27

LTC2242-10

関連製品

製品番号	説明	注釈
LTC1748	14ビット、80Msps、5V ADC	SNR:76.3dB、SFDR:90dB、48ピン TSSOP
LTC1750	14ビット、80Msps、5V 広帯域 ADC	最大500MHzのIFアンダーサンプリング、SFDR:90dB
LT®1993-2	高速差動オペアンプ	BW:800MHz、歪み:70dBc(70MHz)、利得:6dB
LT1994	低ノイズ、低歪み、完全差動入力/出力のアンプ/ドライバ	低歪み:-94dBc(1MHz)
LTC2202	16ビット、10Msps、3.3V ADC、低ノイズ	150mW、SNR:81.6dB、SFDR:100dB、48ピン QFN
LTC2208	16ビット、130Msps、3.3V ADC、LVDS 出力	1250mW、SNR:78dB、SFDR:100dB、48ピン QFN
LTC2220	12ビット、170Msps、3.3V ADC、LVDS 出力	890mW、SNR:67.7dB、SFDR:84dB、64ピン QFN
LTC2220-1	12ビット、185Msps、3.3V ADC、LVDS 出力	910mW、SNR:67.7dB、SFDR:80dB、64ピン QFN
LTC2221	12ビット、135Msps、3.3V ADC、LVDS 出力	660mW、SNR:67.8dB、SFDR:84dB、64ピン QFN
LTC2224	12ビット、135Msps、3.3V ADC、高IFサンプリング	630mW、SNR:67.6dB、SFDR:84dB、48ピン QFN
LTC2230	10ビット、170Msps、3.3V ADC、LVDS 出力	890mW、SNR:61.2dB、SFDR:78dB、64ピン QFN
LTC2231	10ビット、135Msps、3.3V ADC、LVDS 出力	660mW、SNR:61.2dB、SFDR:78dB、64ピン QFN
LTC2240-10	10ビット、170Msps、2.5V ADC、LVDS 出力	445mW、SNR:60.6dB、SFDR:78dB、64ピン QFN
LTC2240-12	12ビット、170Msps、2.5V ADC、LVDS 出力	445mW、SNR:65.5dB、SFDR:78dB、64ピン QFN
LTC2241-10	10ビット、210Msps、2.5V ADC、LVDS 出力	585mW、SNR:60.6dB、SFDR:78dB、64ピン QFN
LTC2242-12	12ビット、210Msps、2.5V ADC、LVDS 出力	585mW、SNR:65.5dB、SFDR:78dB、64ピン QFN
LTC2242-12	12ビット、250Msps、2.5V ADC、LVDS 出力	740mW、SNR:65.5dB、SFDR:78dB、64ピン QFN
LTC2255	14ビット、125Msps、3V ADC、低パワー	395mW、SNR:72.5dB、SFDR:88dB、32ピン QFN
LTC2284	14ビット、デュアル、105Msps、3V ADC、低クロストーク	540mW、SNR:72.4dB、SFDR:88dB、64ピン QFN
LT5512	DC～3GHz 高信号レベル・ダウンコンバーティング・ミキサ	DC～3GHz、IIP3:21dBm、内蔵LOバッファ
LT5514	デジタル利得制御付き超低歪みIFアンプ/ADCドライバ	1dB BW:450MHz、OIP3:47dB、 デジタル利得制御:1.5dB/ステップで10.5dB～33dB
LT5515	1.5GHz～2.5GHz 直接変換直交復調器	高いIIP3:1.9GHzで20dBm、内蔵LO直交ジェネレータ
LT5516	800MHz～1.5GHz 直接変換直交復調器	高いIIP3:900MHzで21.5dBm、内蔵LO直交ジェネレータ
LT5517	40MHz～900MHz 直接変換直交復調器	高いIIP3:800MHzで21dBm、内蔵LO直交ジェネレータ
LT5522	600MHz～2.7GHz 高直線性ダウンコンバーティング・ミキサ	4.5V～5.25V 電源、IIP3:900MHzで25dBm、 NF = 12.5dB、50Ω シングルエンドのRFポートとLOポート