LTC2216/LTC2215

16ビット、80Msps/65Msps 低ノイズADC

特長

- **サンプル・レート：80Msps/65Msps**
- **ノイズフロア：81.5dBFS**
- **SFDR：100dB**
- **SFDR：70MHzで>95dB**
- **ジッタ：85fs_{RMS}**
- **2.75V_{P-P}の入力範囲**
- **400MHzのフルパワー帯域幅S/H**
- **オプションの内部ディザー**
- **オプションのデータ出力ランダマイザ**
- LDVSまたはCMOS出力
- 単一3.3V電源
- 消費電力：970mW/700mW
- クロック・デューティ・サイクル・スタビライザ
- LTC2208、LTC2217とピン互換
- 64ピン (9mm × 9mm) QFNパッケージ

アプリケーション

- テレコム
- 受信機
- 携帯電話基地局
- スペクトル解析
- イメージング・システム
- ATE

概要

LTC®2216/LTC2215は、入力周波数が最大400MHzという高周波で広いダイナミック・レンジの信号をデジタル化する80Msps/65Msps、サンプリング16ビットA/Dコンバータです。このADCの入力範囲は、2.75V_{P-P}に固定されています。

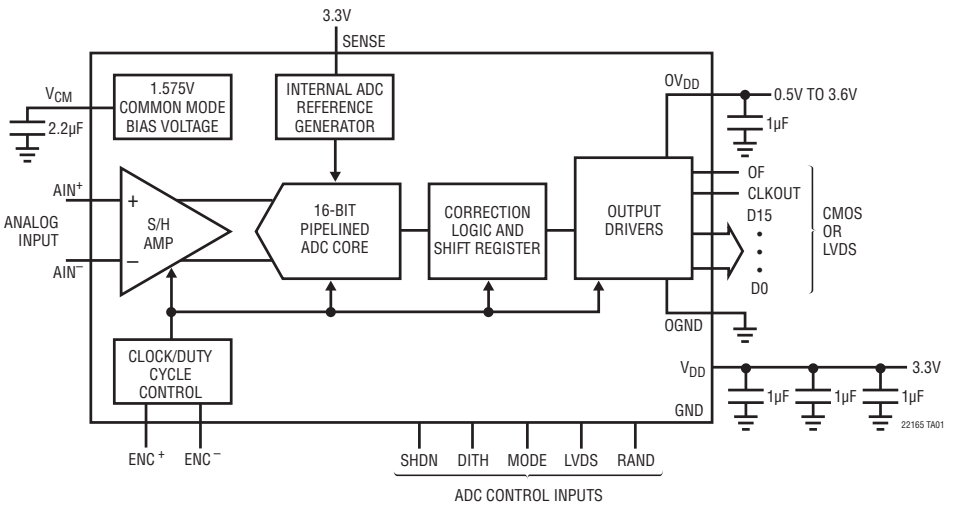
LTC2216/LTC2215はノイズフロアが81.5dBFS、SFDRが100dBという優れたAC特性を備えているため、要求の厳しい通信アプリケーションに最適です。また、85fs_{RMS}という極めて低いジッタにより、優れたノイズ性能を維持しながら高い入力周波数をアンダーサンプリングできます。最大DC仕様では、±3.5LSBのINLと±1LSBのDNL(ミッシング・コードなし)が規定されています。

デジタル出力は、差動LVDSまたはシングルエンドCMOSのいずれかに設定可能です。CMOS出力フォーマットは、1本のバスがフル・データレートで動作する形式、デマルチプレクス・バスが半分のデータレートで動作する形式のいずれかを選択できます。また、個別の出力電源により、0.5V～3.6VのCMOS出力振幅が可能です。

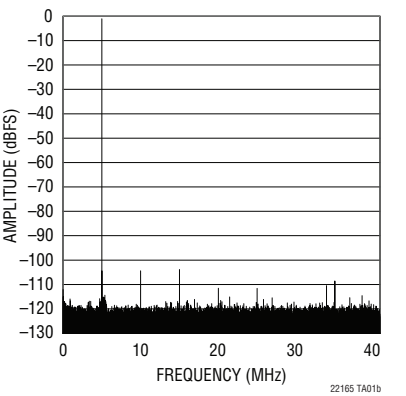
ENC^+およびENC^-入力は、正弦波、PECL、LVDS、TTLまたはCMOS入力で差動またはシングルエンド・ドライブ可能です。また、オプションのクロック・デューティ・サイクル・スタビライザにより、広範なクロック・デューティ・サイクルに対してフルスピードで高性能を達成できます。

LT、LTC、LTMはリニアテクノロジー社の登録商標です。他のすべての商標はそれぞれの所有者に所有権があります。

標準的応用例



LTC2216:64kポイントのFFT、f_{IN} = 4.9MHz、–1dBFS

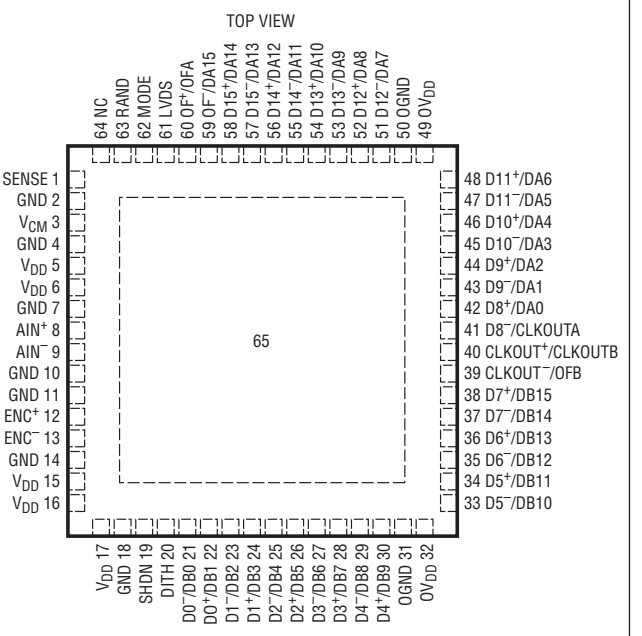


絶対最大定格

$OV_{DD} = V_{DD}$（Note 1、2）

電源電圧（V_{DD}）.....–0.3V～4V
デジタル出力電源電圧（OV_{DD}）.....–0.3V～4V
デジタル出力のグランド電圧（OGND）.....–0.3V～1V
アナログ入力電圧（Note 3）.....–0.3V～（V_{DD}＋0.3V）
デジタル入力電圧.....–0.3V～（V_{DD}＋0.3V）
デジタル出力電圧..... –0.3V～（OV_{DD}＋0.3V）
消費電力.....2000mW
動作温度範囲
　LTC2215C/LTC2216C.....0°C～70°C
　LTC2215I/LTC2216I .....–40°C～85°C
保存温度範囲.....–65°C～150°C

ピン配置



UP PACKAGE
64-LEAD (9mm × 9mm) PLASTIC QFN

T_{JMAX} = 150°C, θ_{JA} = 20°C/W
EXPOSED PAD (PIN 65) IS GND, MUST BE SOLDERED TO PCB

発注情報

鉛フリー仕様	テープアンドリール	製品マーキング	パッケージ	温度範囲
LTC2215CUP#PBF	LTC2215CUP#TRPBF	LTC2215UP	64-Lead (9mm × 9mm) Plastic QFN	0°C to 70°C
LTC2215IUP#PBF	LTC2215IUP#TRPBF	LTC2215UP	64-Lead (9mm × 9mm) Plastic QFN	–40°C to 85°C
LTC2216CUP#PBF	LTC2216CUP#TRPBF	LTC2216UP	64-Lead (9mm × 9mm) Plastic QFN	0°C to 70°C
LTC2216IUP#PBF	LTC2216IUP#TRPBF	LTC2216UP	64-Lead (9mm × 9mm) Plastic QFN	–40°C to 85°C
鉛ベース仕様	**テープアンドリール**	**製品マーキング**	**パッケージ**	**温度範囲**
LTC2215CUP	LTC2215CUP#TR	LTC2215UP	64-Lead (9mm × 9mm) Plastic QFN	0°C to 70°C
LTC2215IUP	LTC2215IUP#TR	LTC2215UP	64-Lead (9mm × 9mm) Plastic QFN	–40°C to 85°C
LTC2216CUP	LTC2216CUP#TR	LTC2216UP	64-Lead (9mm × 9mm) Plastic QFN	0°C to 70°C
LTC2216IUP	LTC2216IUP#TR	LTC2216UP	64-Lead (9mm × 9mm) Plastic QFN	–40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、http://www.linear-tech.co.jp/leadfree/ をご覧ください。
テープアンドリールの仕様の詳細については、http://www.linear-tech.co.jp/tapeandreel/ をご覧ください。

コンバータ特性

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25°Cでの値。(Note 4)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Integral Linearity Error	Differential Analog Input (Note 5)	●		±1.2	±3.5	LSB
Differential Linearity Error	Differential Analog Input	●		0.16/–0.2	±1	LSB
Offset Error	(Note 6)	●		±1.5	±8	mV
Offset Drift				±4		μV/°C
Gain Error	External Reference	●		±0.3	±1	%FS
Full-Scale Drift	Internal Reference External Reference			–65 ±12		ppm/°C ppm/°C
Transition Noise	External Reference			2		LSB_{RMS}

アナログ入力

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25°Cでの値。(Note 4)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range ($A_{IN}^+ – A_{IN}^–$)	3.135V ≤ V_{DD} ≤ 3.465V			2.75		V_{P-P}
$V_{IN, CM}$	Analog Input Common Mode	Differential Input (Note 7)	●	1.2	1.575	1.8	V
I_{IN}	Analog Input Leakage Current	0V ≤ A_{IN}^+, $A_{IN}^–$ ≤ V_{DD}	●	–1		1	μA
I_{SENSE}	SENSE Input Leakage Current	0V ≤ SENSE ≤ V_{DD}	●	–3		3	μA
I_{MODE}	MODE Pin Pull-Down Current to GND				10		μA
I_{LVDS}	LVDS Pin Pull-Down Current to GND				10		μA
C_{IN}	Analog Input Capacitance	Sample Mode $ENC^+ < ENC^–$ Hold Mode $ENC^+ > ENC^–$			9.1 1.8		pF pF
t_{AP}	Sample-and-Hold Acquisition Delay Time				0.35		ns
t_{JITTER}	Sample-and-Hold Aperture Jitter				85		fs RMS
CMRR	Analog Input Common Mode Rejection Ratio	1.2V < ($A_{IN}^+ = A_{IN}^–$) <1.8V			80		dB
BW-3dB	Full Power Bandwidth	R_S < 25Ω			400		MHz

ダイナミック精度

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25°Cでの値。注記がない限り、2.75Vの範囲でA_{IN} = –1dBFS。(Note 4)

SYMBOL	PARAMETER	CONDITIONS		LTC2215 MIN	LTC2215 TYP	LTC2215 MAX	LTC2216 MIN	LTC2216 TYP	LTC2216 MAX	UNITS
SNR	Signal-to-Noise Ratio	5MHz Input			81.5			81.3		dBFS
		15MHz Input, T_A = 25°C 15MHz Input	 ●	80.8 80.5	81.4 81		80.6 80.2	81.2 80.8		dBFS dBFS
		30MHz Input, T_A = 25°C			81.2			81.1		dBFS
		70MHz Input, T_A = 25°C 70MHz Input	 ●	80 79.7	80.6 80.2		80 79.7	80.5 80.2		dBFS dBFS
		140MHz Input			79			79		dBFS
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic	5MHz Input			100			100		dBc
		15MHz Input, T_A = 25°C 15MHz Input	 ●	88 88	100 96		88 88	100 99		dBc dBc
		30MHz Input			91			95		dBc
		70MHz Input, T_A = 25°C 70MHz Input	 ●	85 84	96 95		85 84	97 97		dBc dBc
		140MHz Input			89			91		dBc
SFDR	Spurious Free Dynamic Range 4th Harmonic or Higher	5MHz Input			105			105		dBc
		15MHz Input	●	95	105		94	105		dBc
		30MHz Input			105			105		dBc
		70MHz Input	●	94	104		93	103		dBc
		140MHz Input			100			100		dBc
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	5MHz Input			81.5			81.3		dBc
		15MHz Input, T_A = 25°C 15MHz Input	 ●	80.3 80.2	81.2 80.8		80.2 80	81.1 80.7		dBFS dBFS
		30MHz Input			80.9			80.8		dBFS
		70MHz Input, T_A = 25°C 70MHz Input	 ●	79.3 79.2	80.3 80		79.6 79.4	80.4 80.1		dBFS dBFS
		140MHz Input			78.8			78.8		dBFS
SFDR	Spurious Free Dynamic Range at –25dBFS Dither “OFF”	5MHz Input			105			105		dBFS
		15MHz Input			105			105		dBFS
		30MHz Input			105			105		dBFS
		70MHz Input			105			105		dBFS
		140MHz Input			100			100		dBFS
SFDR	Spurious Free Dynamic Range at –25dBFS Dither “ON”	5MHz Input			115			115		dBFS
		15MHz Input	●	100	115		100	115		dBFS
		30MHz Input			115			115		dBFS
		70MHz Input			115			115		dBFS
		140MHz Input			110			110		dBFS
IMD	Intermodulation Distortion	f_{IN1} = 14MHz, f_{IN2} = 21MHz, –7dBFS f_{IN1} = 67MHz, f_{IN2} = 74MHz, –7dBFS			100 96			100 97		dBc dBc

同相バイアス特性

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25°Cでの値。(Note 4)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{CM} Output Voltage	I_{OUT} = 0	●	1.475	1.575	1.675	V
V_{CM} Output Tempco	I_{OUT} = 0			±60		ppm/°C
V_{CM} Line Regulation	3.135V ≤ V_{DD} ≤ 3.465V			2.4		mV/V
V_{CM} Output Resistance	| I_{OUT} | ≤ 0.8mA			1.1		Ω

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25°Cでの値。(Note 4)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Encode Inputs (ENC+, ENC–)							
V_{ID}	Differential Input Voltage	(Note 7)	●	0.2			V
V_{ICM}	Common Mode Input Voltage	Internally Set Externally Set (Note 7)		 1.2	1.6 	 3	V V
R_{IN}	Input Resistance	(See Figure 2)			6		kΩ
C_{IN}	Input Capacitance	(Note 7)			3		pF
Logic Inputs							
V_{IH}	High Level Input Voltage	V_{DD} = 3.3V	●	2			V
V_{IL}	Low Level Input Voltage	V_{DD} = 3.3V	●			0.8	V
I_{IN}	Digital Input Current	V_{IN} = 0V to V_{DD}	●			±10	µA
C_{IN}	Digital Input Capacitance	(Note 7)			1.5		pF
LOGIC OUTPUTS (CMOS MODE)							
OV_{DD} = 3.3V							
V_{OH}	High Level Output Voltage	V_{DD} = 3.3V, I_O = –10µA I_O = –200µA	 ●	 3.1	3.299 3.29		V V
V_{OL}	Low Level Output Voltage	V_{DD} = 3.3V, I_O = 160µA I_O = 1.6mA	 ●		0.01 0.10	 0.4	V V
I_{SOURCE}	Output Source Current	V_{OUT} = 0V			–50		mA
I_{SINK}	Output Sink Current	V_{OUT} = 3.3V			50		mA
OV_{DD} = 2.5V							
V_{OH}	High Level Output Voltage	V_{DD} = 3.3V, I_O = –200µA			2.49		V
V_{OL}	Low Level Output Voltage	V_{DD} = 3.3V, I_O = 1.60mA			0.1		V
OV_{DD} = 1.8V							
V_{OH}	High Level Output Voltage	V_{DD} = 3.3V, I_O = –200µA			1.79		V
V_{OL}	Low Level Output Voltage	V_{DD} = 3.3V, I_O = 1.60mA			0.1		V
LOGIC OUTPUTS (LVDS MODE)							
STANDARD LVDS							
V_{OD}	Differential Output Voltage	100Ω Differential Load	●	247	350	454	mV
V_{OS}	Output Common Mode Voltage	100Ω Differential Load	●	1.125	1.2	1.375	V
Low Power LVDS							
V_{OD}	Differential Output Voltage	100Ω Differential Load	●	125	175	250	mV
V_{OS}	Output Common Mode Voltage	100Ω Differential Load	●	1.125	1.2	1.375	V

電源要件

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25°Cでの値。注記がない限り、A_{IN} = –1dBFS。(Note 4)

SYMBOL	PARAMETER	CONDITIONS		LTC2215 MIN	LTC2215 TYP	LTC2215 MAX	LTC2216 MIN	LTC2216 TYP	LTC2216 MAX	UNITS
V_{DD}	Analog Supply Voltage	(Note 8)	●	3.135	3.3	3.465	3.135	3.3	3.465	V
P_{SHDN}	Shutdown Power	SHDN = V_{DD}			17			17		mW
Standard LVDS Output Mode										
OV_{DD}	Output Supply Voltage	(Note 8)	●	3	3.3	3.6	3	3.3	3.6	V
I_{VDD}	Analog Supply Current		●		217	290		300	370	mA
I_{OVDD}	Output Supply Current		●		75	90		75	90	mA
P_{DIS}	Power Dissipation		●		964	1254		1240	1518	mW
Low Power LVDS Output Mode										
OV_{DD}	Output Supply Voltage	(Note 8)	●	3	3.3	3.6	3	3.3	3.6	V
I_{VDD}	Analog Supply Current		●		215	290		298	370	mA
I_{OVDD}	Output Supply Current		●		42	50		42	50	mA
P_{DIS}	Power Dissipation		●		848	1122		1120	1386	mW
CMOS Output Mode										
OV_{DD}	Output Supply Voltage	(Note 8)	●	0.5		3.6	0.5		3.6	V
I_{VDD}	Analog Supply Current		●		212	290		295	370	mA
P_{DIS}	Power Dissipation		●		700	957		970	1220	mW

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25°Cでの値。(Note 4)

SYMBOL	PARAMETER	CONDITIONS		LTC2215 MIN	LTC2215 TYP	LTC2215 MAX	LTC2216 MIN	LTC2216 TYP	LTC2216 MAX	UNITS
f_S	Sampling Frequency	(Note 8)	●	1		65	1		80	MHz
t_L	ENC Low Time	Duty Cycle Stabilizer Off (Note 7) Duty Cycle Stabilizer On (Note 7)	● ●	7.31 5	7.692 7.692	500 500	5.94 4.06	6.25 6.25	500 500	ns ns
t_H	ENC High Time	Duty Cycle Stabilizer Off (Note 7) Duty Cycle Stabilizer On (Note 7)	● ●	7.31 5	7.692 7.692	500 500	5.94 4.06	6.25 6.25	500 500	ns ns
LVDS Output Mode (Standard and Low Power)										
t_D	ENC to DATA Delay	(Note 7)	●	1.3	2.5	3.8	1.3	2.5	3.8	ns
t_C	ENC to CLKOUT Delay	(Note 7)	●	1.3	2.5	3.8	1.3	2.5	3.8	ns
t_{SKEW}	DATA to CLKOUT Skew	(t_C-t_D) (Note 7)	●	–0.6	0	0.6	–0.6	0	0.6	ns
t_{RISE}	Output Rise Time				0.5			0.5		ns
t_{FALL}	Output Fall Time				0.5			0.5		ns
Data Latency	Data Latency				7			7		Cycles
CMOS Output Mode										
t_D	ENC to DATA Delay	(Note 7)	●	1.3	2.7	4	1.3	2.7	4	ns
t_C	ENC to CLKOUT Delay	(Note 7)	●	1.3	2.7	4	1.3	2.7	4	ns
t_{SKEW}	DATA to CLKOUT Skew	(t_C-t_D) (Note 7)	●	–0.6	0	0.6	–0.6	0	0.6	ns
Data Latency	Data Latency	Full Rate CMOS Demuxed			7 7			7 7		Cycles Cycles

電気的特性

Note 1: 絶対最大定格はそれを超えるとデバイスに永続的な損傷を与える可能性がある値。また、絶対最大定格状態が長時間続くと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: すべての電圧値は(注記がない限り)GNDとOGNDを短絡した状態のGNDを基準にしている。

Note 3: これらのピンの電圧をGNDより低くするかV_{DD}より高くすると、内部のダイオードによってクランプされる。この製品はGNDより低い、またはV_{DD}より高い電圧で、ラッチアップを起こさずに100mA以上の入力電流を処理することができる。

Note 4: 注記がない限り、V_{DD} = 3.3V、f_{SAMPLE} = 65MHz(LTC2215)または80MHz(LTC2216)、LVDS出力、差動ENC^+/ENC^- = $2V_{P-P}$の正弦波(1.6Vの同相電圧)、入力範囲 = 差動ドライブで$2.75V_{P-P}$。

Note 5: 積分非直線性は、伝達曲線に「最も適合する直線」からのコードの偏差として定義されている。偏差は量子化帯域の中心から測定される。

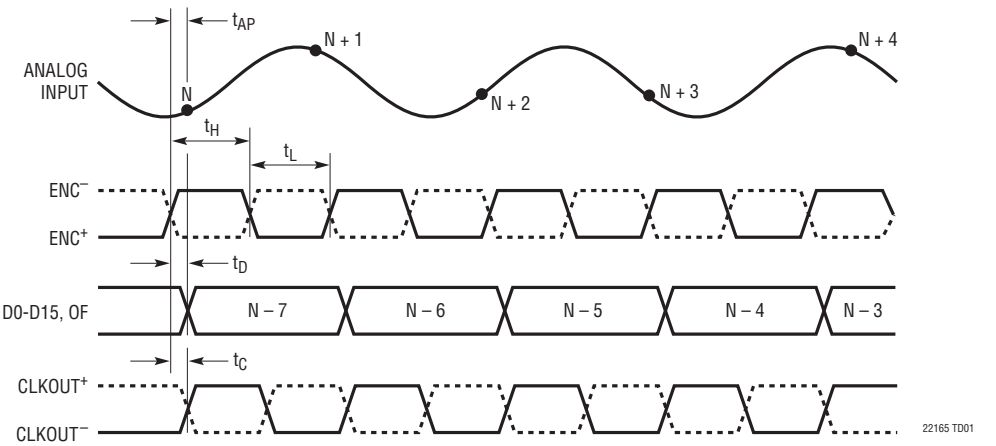
Note 6: オフセット誤差は、2の補数出力モードで出力コードが0000 0000 0000 0000と1111 1111 1111 1111の間で変化するときに、–1/2LSBから測定したオフセット電圧である。

Note 7: 設計によって保証されているが、テストは行われない。

Note 8: 推奨動作条件。

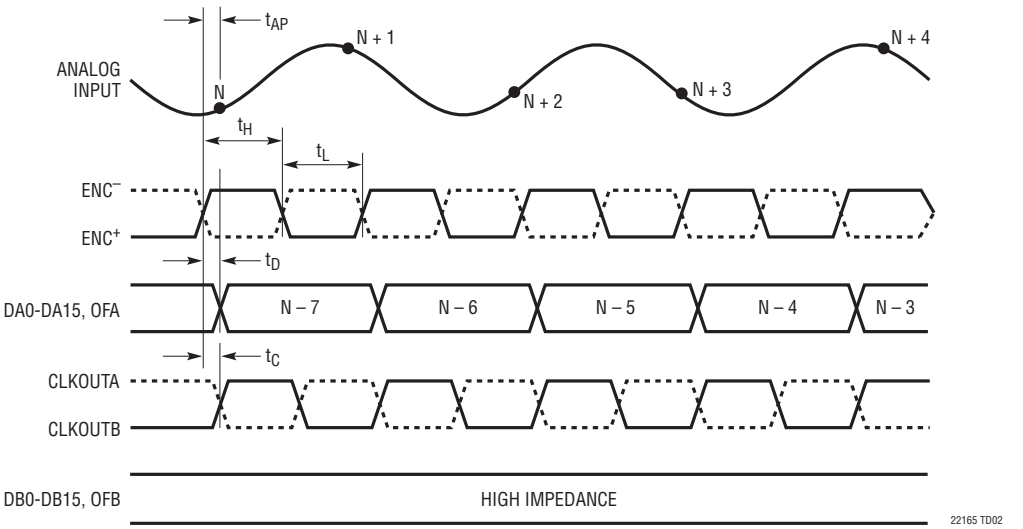
タイミング図

LVDS出力モードのタイミング
すべての出力は差動でLVDSレベル

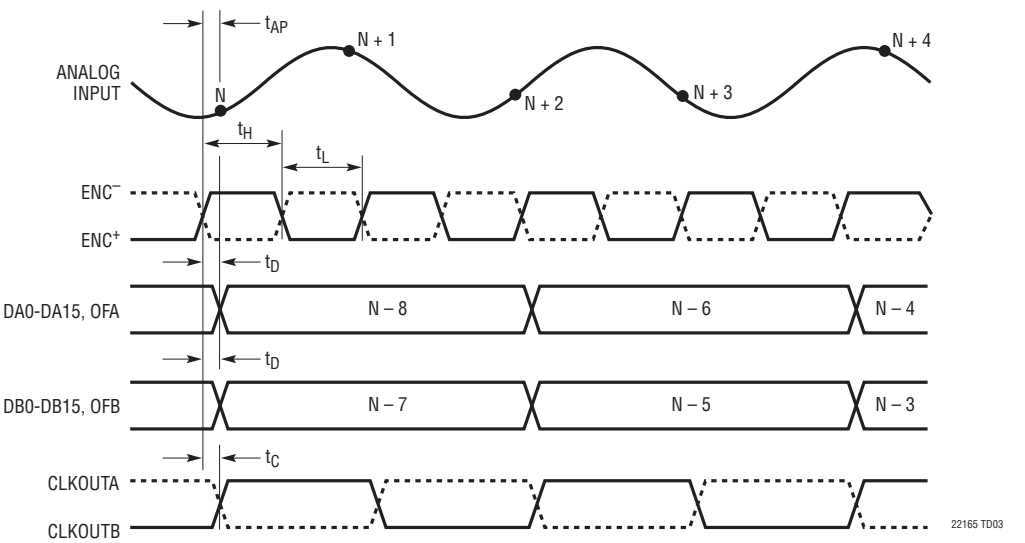


タイミング図

フルレートCMOS出力モードのタイミング
すべての出力はシングルエンドでCMOSレベル

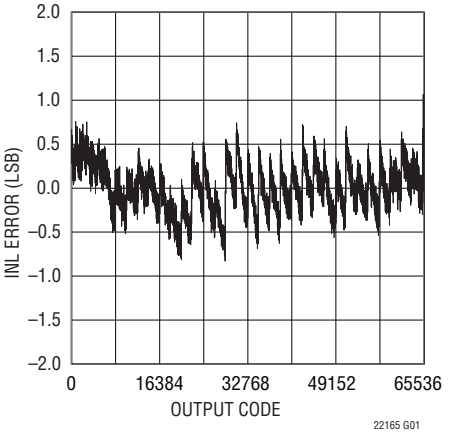


デマルチプレクスCMOS出力モードのタイミング
すべての出力はシングルエンドでCMOSレベル

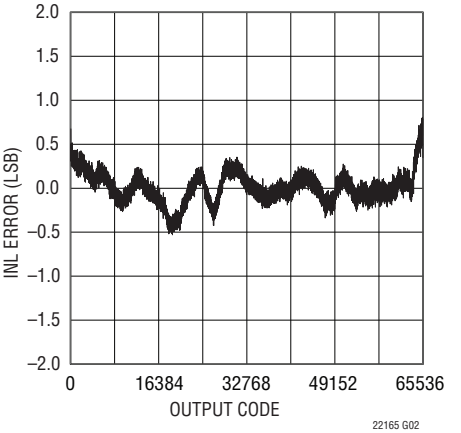


標準的性能特性

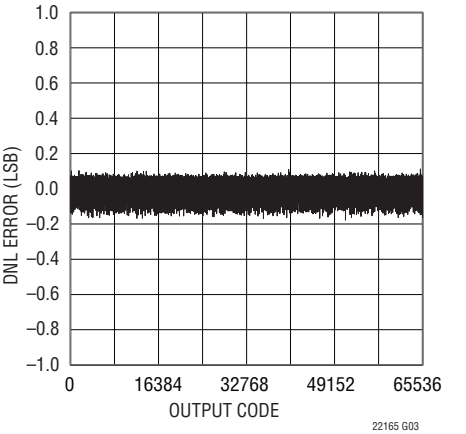
LTC2216の積分非直線性(INL)と出力コード、ディザーは「オフ」



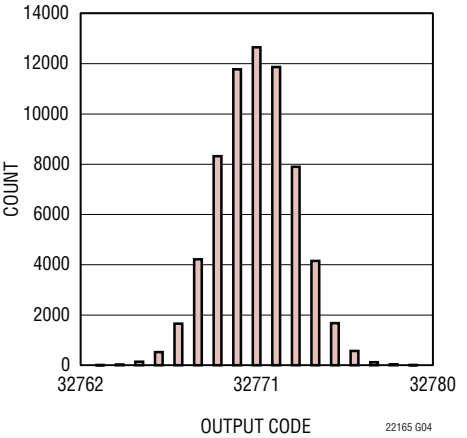
LTC2216の積分非直線性(INL)と出力コード、ディザーは「オン」



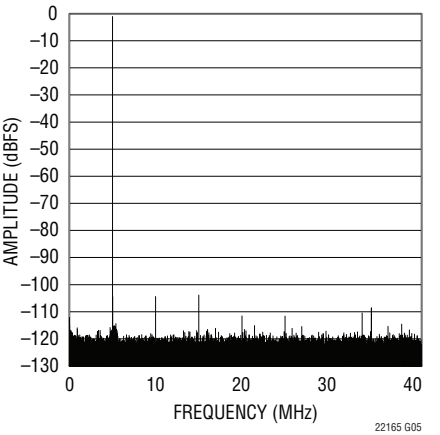
LTC2216の微分非直線性(DNL)と出力コード



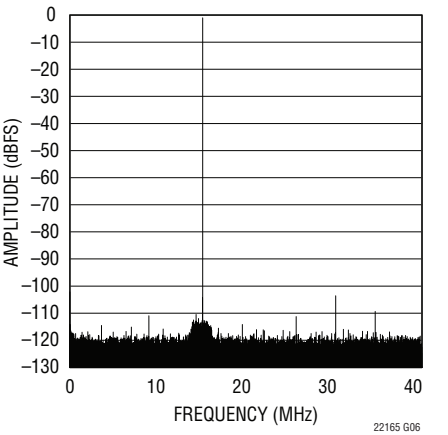
LTC2216のAC接地された入力のヒストグラム



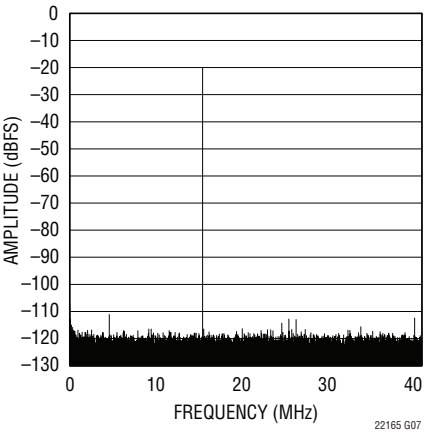
LTC2216の64kポイントのFFT、f_{IN} = 4.9MHz、–1dBFS



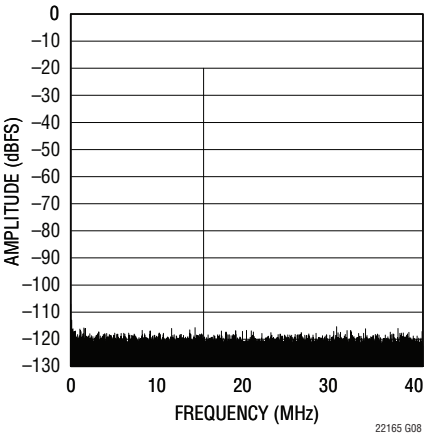
LTC2216の64kポイントのFFT、f_{IN} = 15.1MHz、–1dBFS



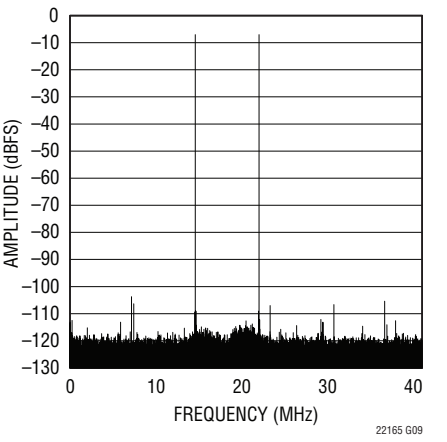
LTC2216の64kポイントのFFT、f_{IN} = 15.1MHz、–20dBFS、ディザーは「オフ」



LTC2216の64kポイントのFFT、f_{IN} = 15.1MHz、–20dBFS、ディザーは「オン」

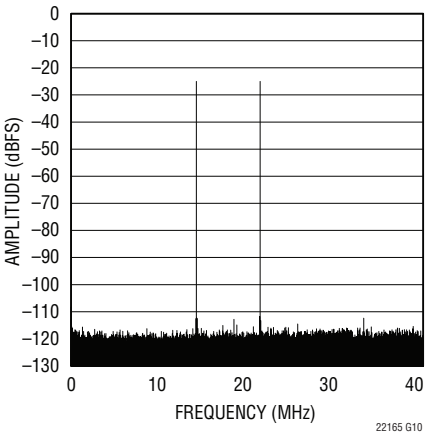


LTC2216の64kポイントの2トーンFFT、f_{IN} = 14.25MHzおよび21.5MHz、–7dBFS

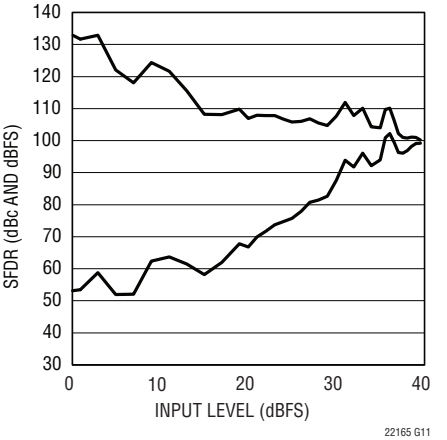


標準的性能特性

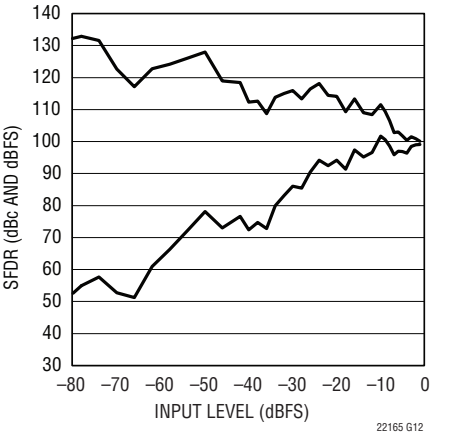
LTC2216の64kポイントの2トーンFFT、f_{IN} = 14.25MHzおよび21.5MHz、–25dBFS、ディザーは「オン」



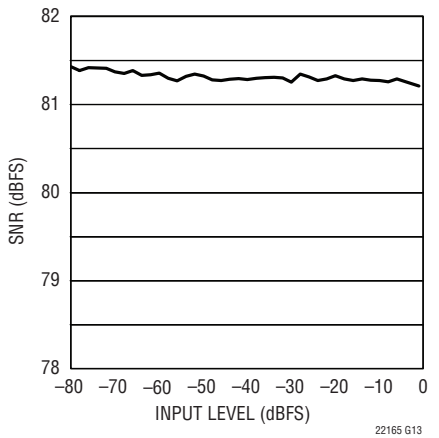
LTC2216のSFDRと入力レベル、f_{IN} = 15.2MHz、ディザーは「オフ」



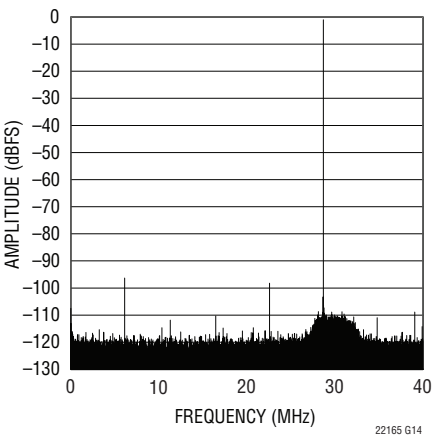
LTC2216のSFDRと入力レベル、f_{IN} = 15.2MHz、ディザーは「オン」



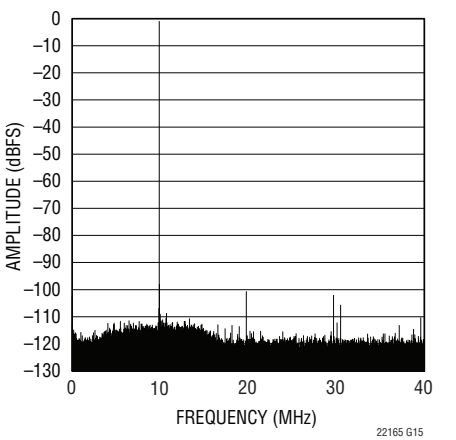
LTC2216のSNRと入力レベル、f_{IN} = 15.2MHz



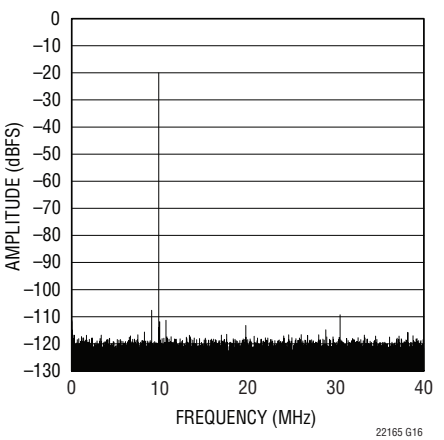
LTC2216の64kポイントのFFT、f_{IN} = 28.7MHz、–1dBFS



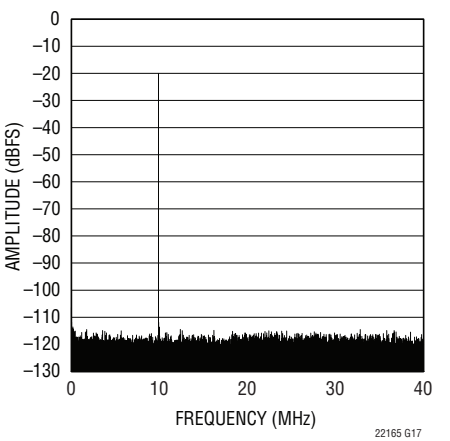
LTC2216の64kポイントのFFT、f_{IN} = 70.2MHz、–1dBFS



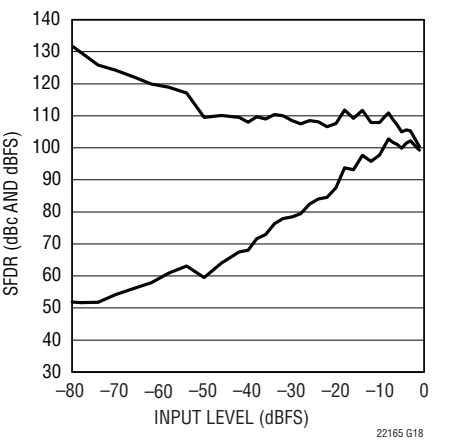
LTC2216の64kポイントのFFT、f_{IN} = 70.1MHz、–20dBFS、ディザーは「オフ」



LTC2216の64kポイントのFFT、f_{IN} = 70.1MHz、–20dBFS、ディザーは「オン」

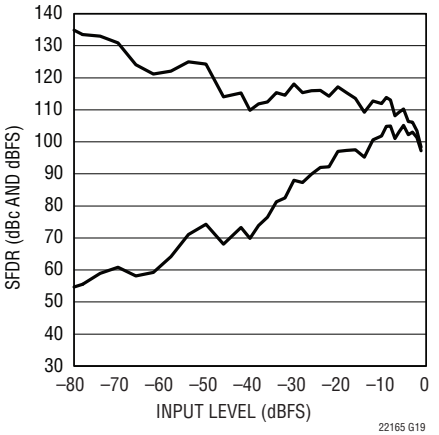


LTC2216のSFDRと入力レベル、f_{IN} = 70.5MHz、ディザーは「オフ」

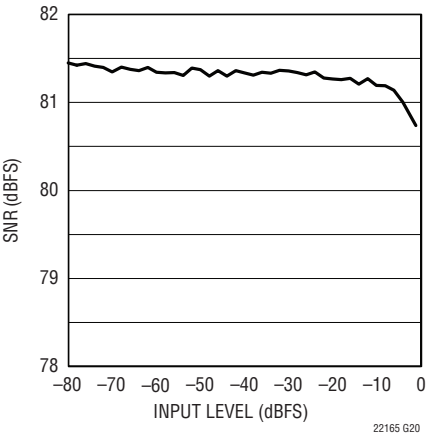


標準的性能特性

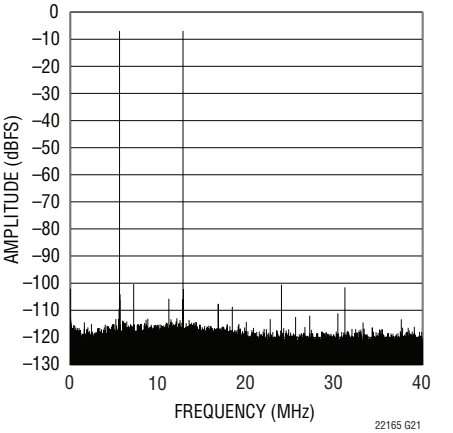
LTC2216のSFDRと入力レベル、f_{IN} = 70.5MHz、ディザーは「オン」



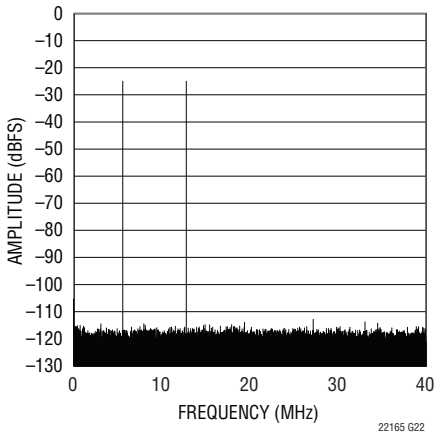
LTC2216のSNRと入力レベル、f_{IN} = 70.5MHz



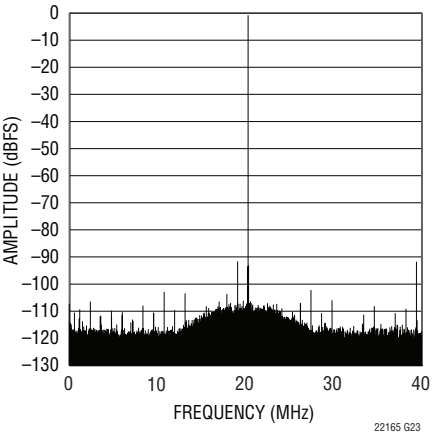
LTC2216の64kポイントの2トーンFFT、f_{IN} = 67.2MHzおよび74.4MHz、–7dBFS



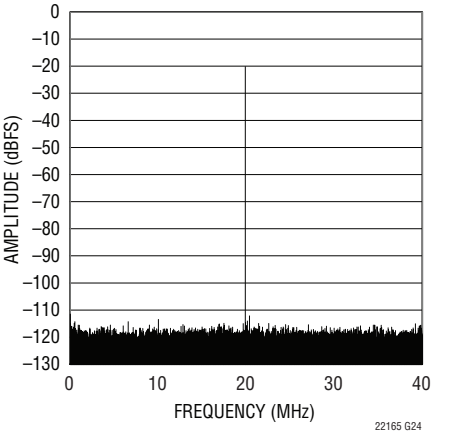
LTC2216の64kポイントの2トーンFFT、f_{IN} = 67.2MHzおよび74.4MHz、–25dBFS、ディザーは「オン」



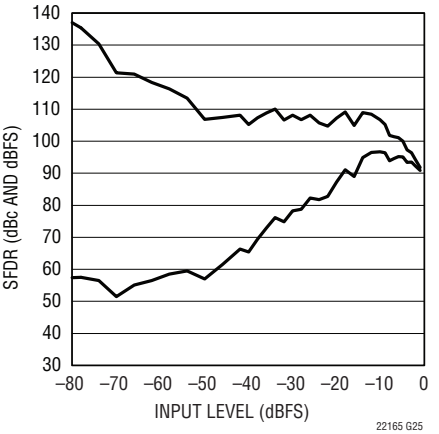
LTC2216の64kポイントのFFT、f_{IN} = 140.5MHz、–1dBFS



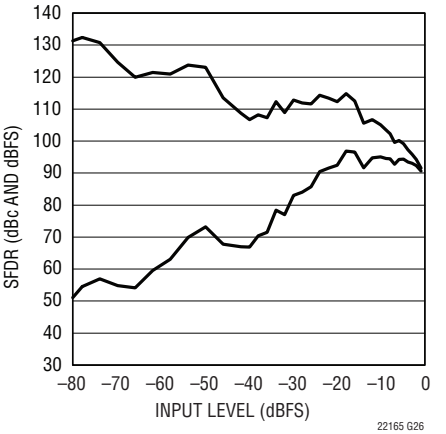
LTC2216の64kポイントのFFT、f_{IN} = 140.1MHz、–20dBFS、ディザーは「オン」



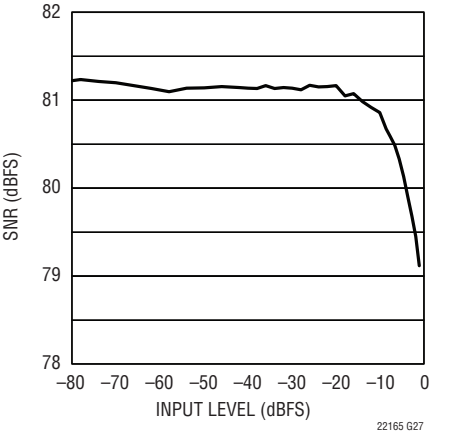
LTC2216のSFDRと入力レベル、f_{IN} = 140.5MHz、ディザーは「オフ」



LTC2216のSFDRと入力レベル、f_{IN} = 140.5MHz、ディザーは「オン」

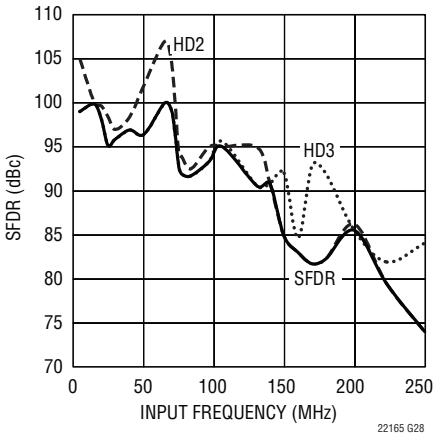


LTC2216のSNRと入力レベル、f_{IN} = 140.5MHz

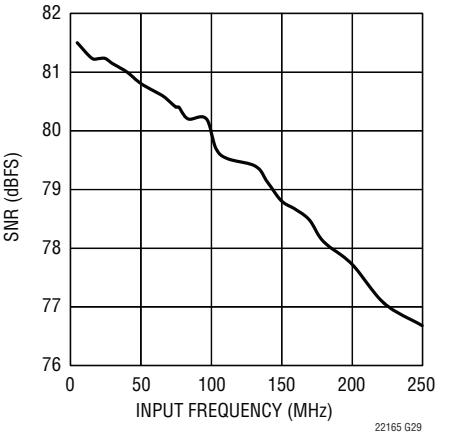


標準的性能特性

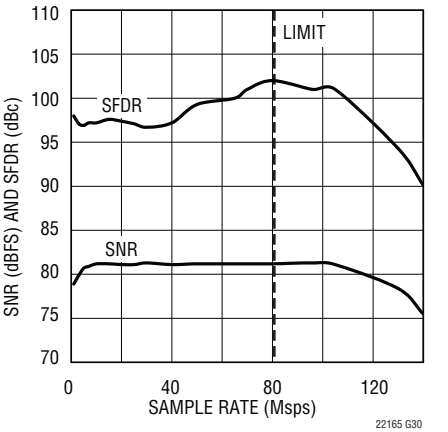
LTC2216のSFDR(HD2およびHD3)と入力周波数



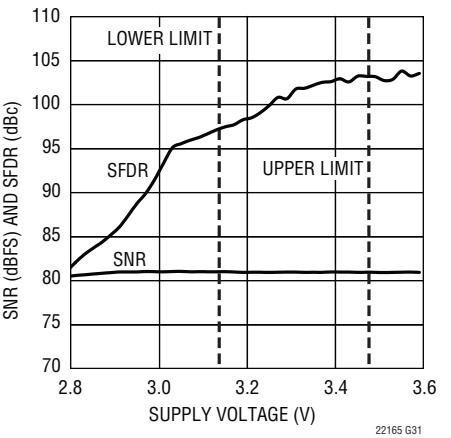
LTC2216 の SNR と入力周波数



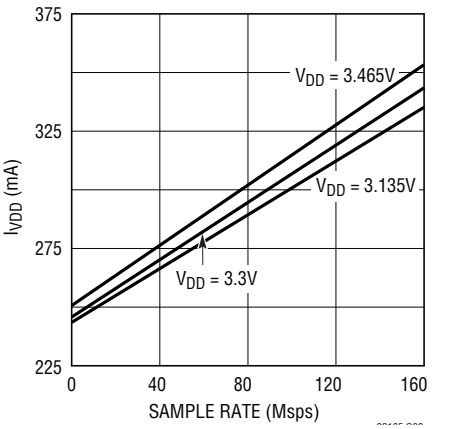
LTC2216のSNRおよびSFDRとサンプリング・レート、f_{IN} = 5.2MHz



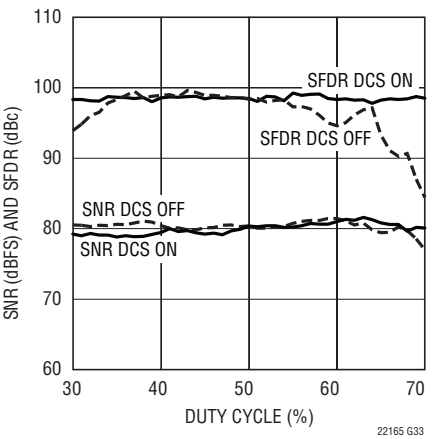
LTC2216のSNRおよびSFDRと電源電圧(V_{DD})、f_{IN} = 5.1MHz



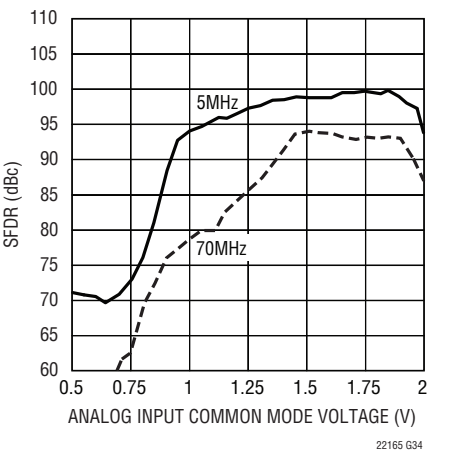
LTC2216のI_{VDD}とサンプリング・レートおよび電源電圧、f_{IN} = 5MHz、–1dBFS



LTC2216のSNRおよびSFDRとクロック・デューティ・サイクル、f_{IN} = 5.2MHz

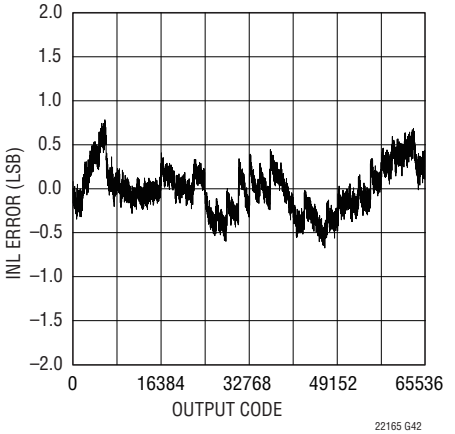


LTC2216のSFDRとアナログ入力同相電圧、5MHzおよび70MHz、–1dBFS

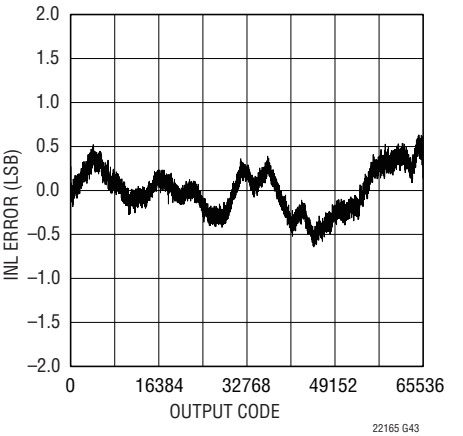


標準的性能特性

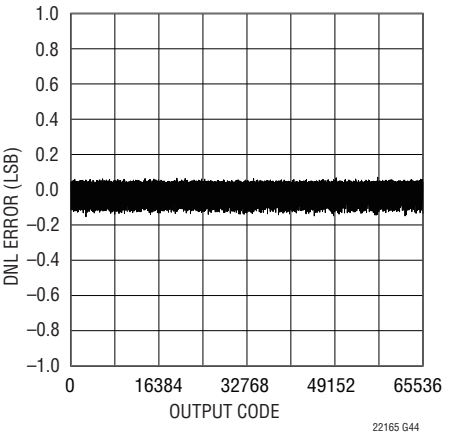
LTC2215の積分非直線性(INL)と出力コード、ディザーは「オフ」



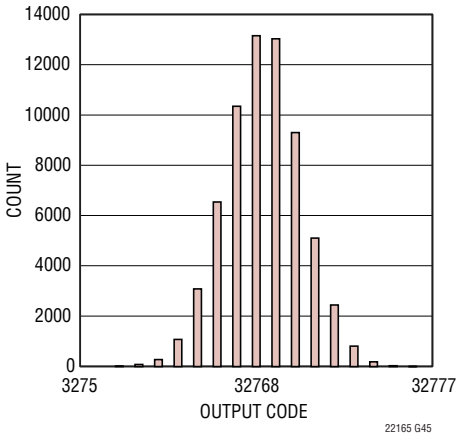
LTC2215の積分非直線性(INL)と出力コード、ディザーは「オン」



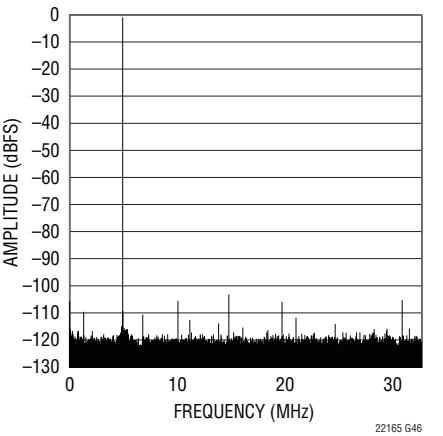
LTC2215の微分非直線性(DNL)と出力コード



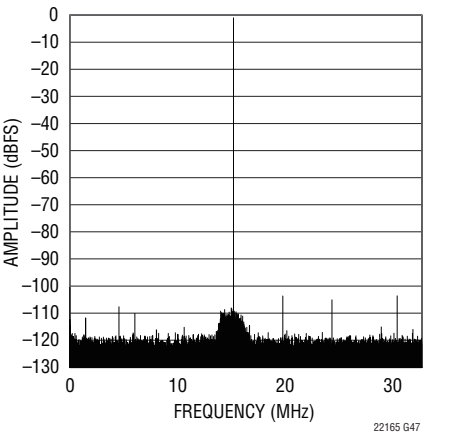
LTC2215のAC接地された入力のヒストグラム



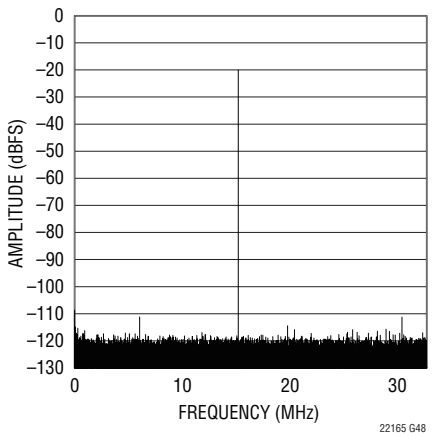
LTC2215の64kポイントのFFT、f_{IN} = 4.9MHz、–1dBFS



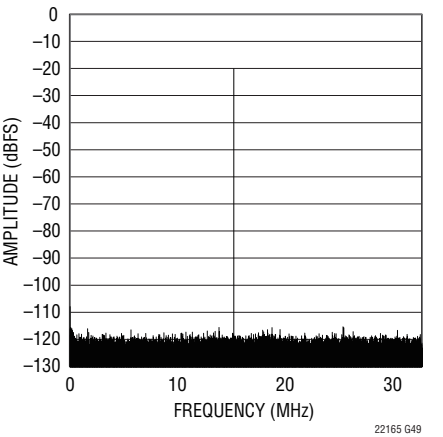
LTC2215の64kポイントのFFT、f_{IN} = 15.1MHz、–1dBFS



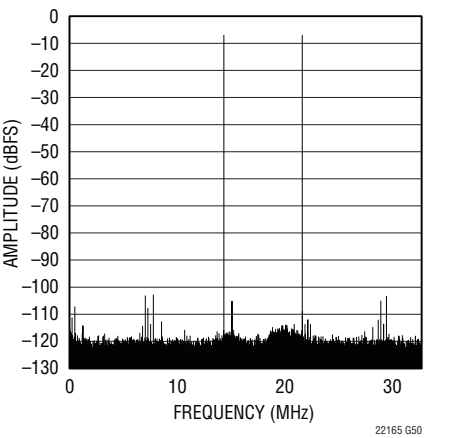
LTC2215の64kポイントのFFT、f_{IN} = 15.1MHz、–20dBFS、ディザーは「オフ」



LTC2215の64kポイントのFFT、f_{IN} = 15.1MHz、–20dBFS、ディザーは「オン」

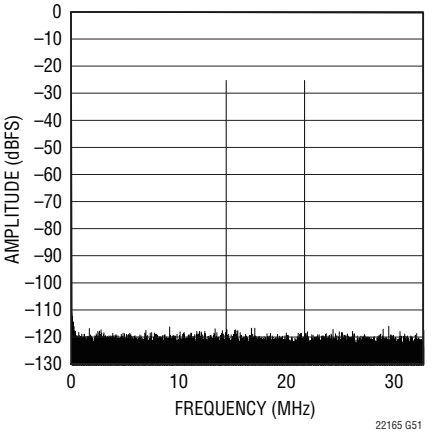


LTC2215の64kポイントの2トーンFFT、f_{IN} = 14.25MHzおよび21.5MHz、–7dBFS

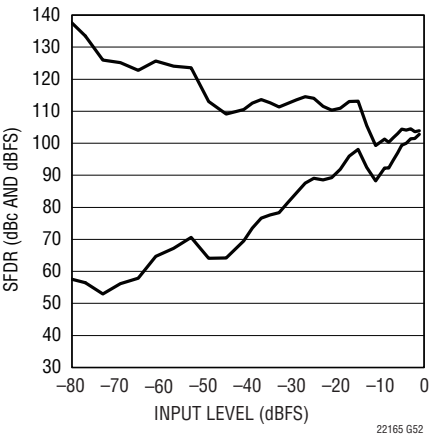


標準的性能特性

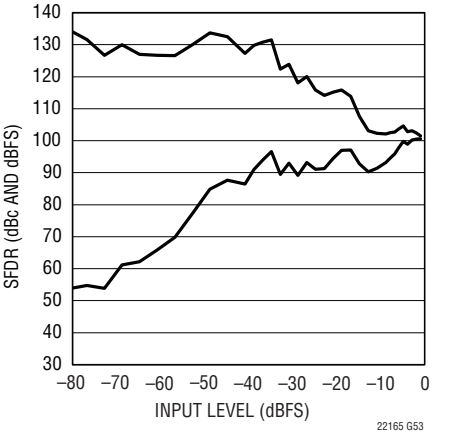
LTC2215の64kポイントの2トーンFFT、f_{IN} = 14.25MHzおよび21.5MHz、–25dBFS、ディザーは「オン」



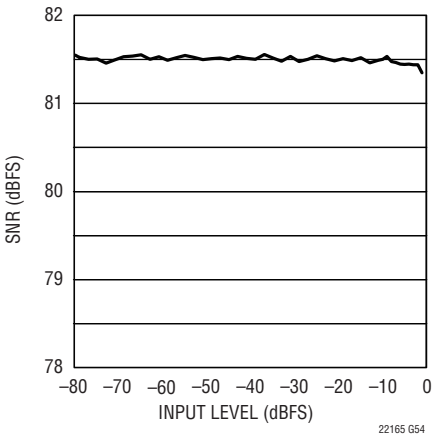
LTC2215のSFDRと入力レベル、f_{IN} = 15.2MHz、ディザーは「オフ」



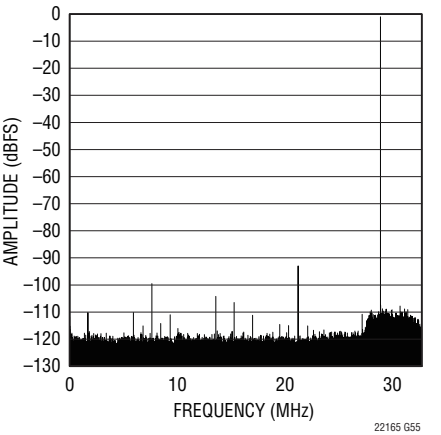
LTC2215のSFDRと入力レベル、f_{IN} = 15.2MHz、ディザーは「オン」



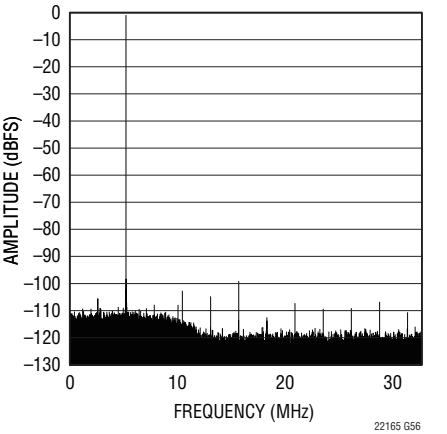
LTC2215のSNRと入力レベル、f_{IN} = 15.2MHz



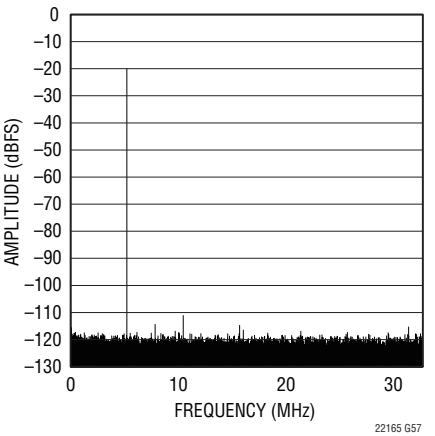
LTC2215の64kポイントのFFT、f_{IN} = 28.7MHz、–1dBFS



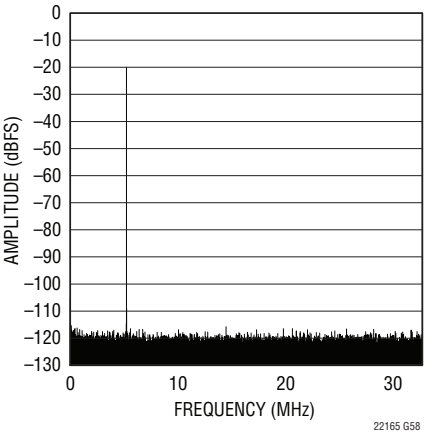
LTC2215の64kポイントのFFT、f_{IN} = 70.2MHz、–1dBFS



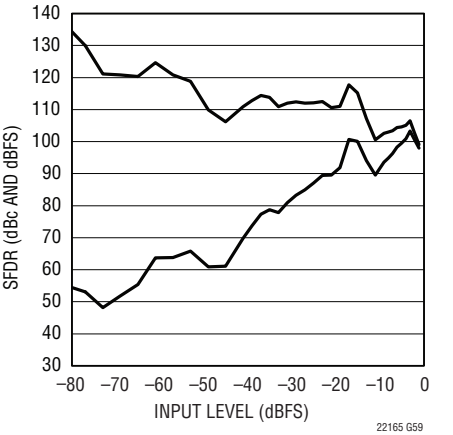
LTC2215の64kポイントのFFT、f_{IN} = 70.1MHz、–20dBFS、ディザーは「オフ」



LTC2215の64kポイントのFFT、f_{IN} = 70.1MHz、–20dBFS、ディザーは「オン」

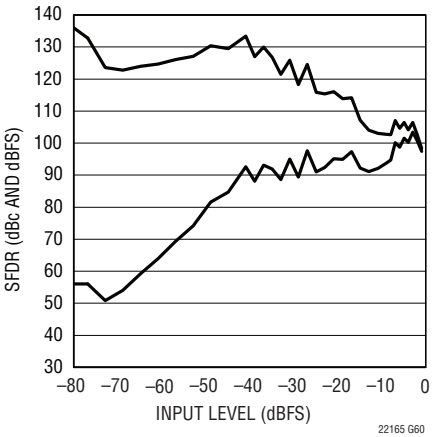


LTC2215のSFDRと入力レベル、f_{IN} = 70.5MHz、ディザーは「オフ」

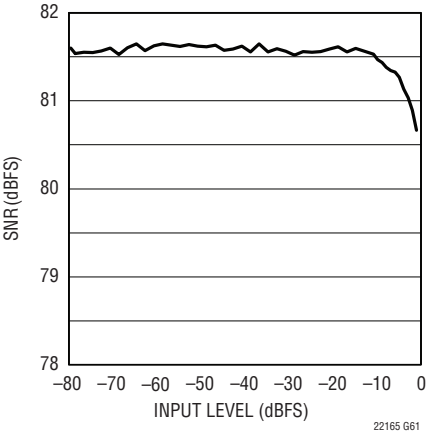


標準的性能特性

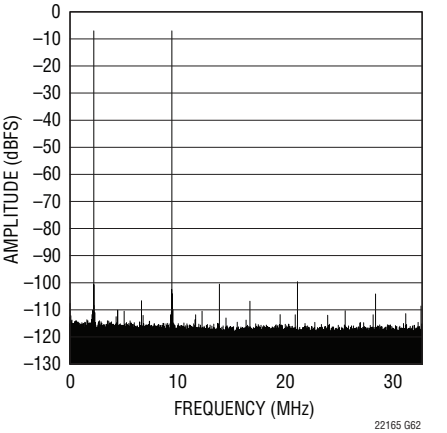
LTC2215のSFDRと入力レベル、f_{IN} = 70.5MHz、ディザーは「オン」



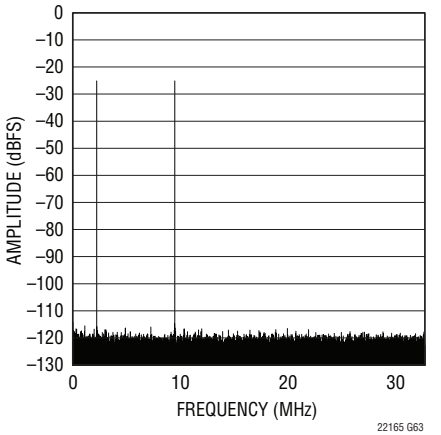
LTC2215のSNRと入力レベル、f_{IN} = 70.5MHz



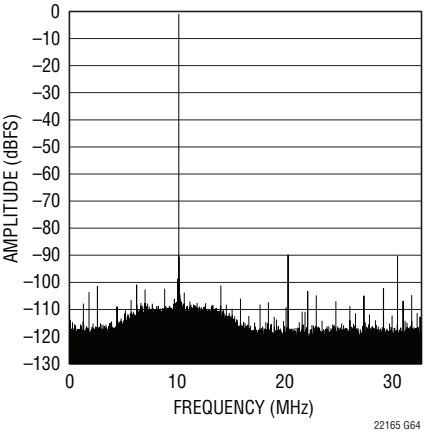
LTC2215の64kポイントの2トーンFFT、f_{IN} = 67.2MHzおよび74.4MHz、–7dBFS



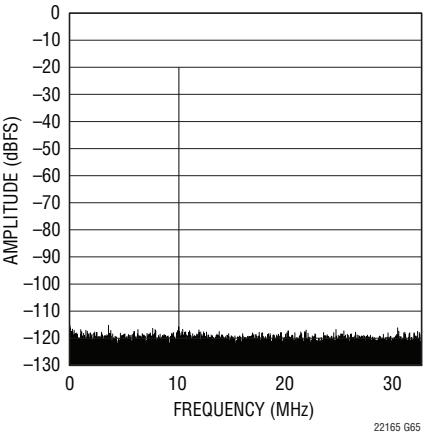
LTC2215の64kポイントの2トーンFFT、f_{IN} = 67.2MHzおよび74.4MHz、–25dBFS、ディザーは「オン」



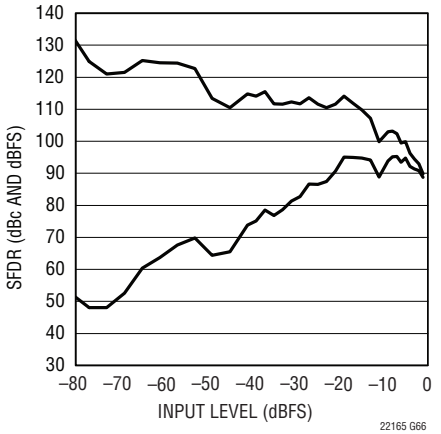
LTC2215の64kポイントのFFT、f_{IN} = 140.5MHz、–1dBFS



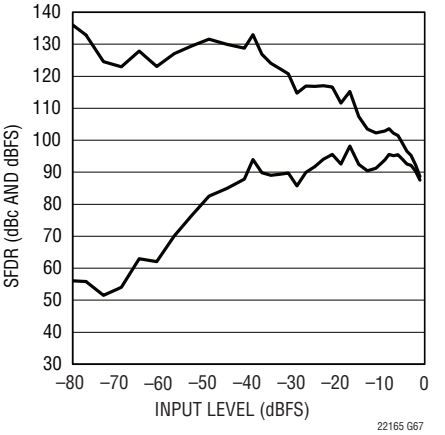
LTC2215の64kポイントのFFT、f_{IN} = 140.1MHz、–20dBFS、ディザーは「オン」



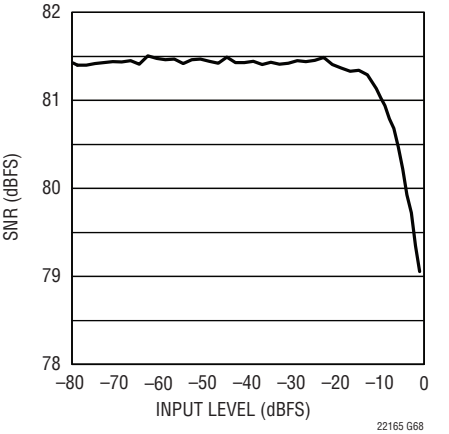
LTC2215のSFDRと入力レベル、f_{IN} = 140.5MHz、ディザーは「オフ」



LTC2215のSFDRと入力レベル、f_{IN} = 140.5MHz、ディザーは「オン」

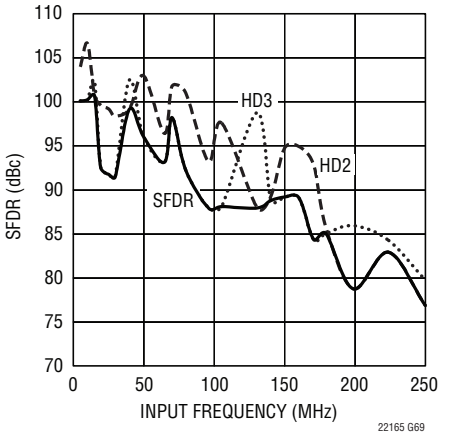


LTC2215のSNRと入力レベル、f_{IN} = 140.5MHz

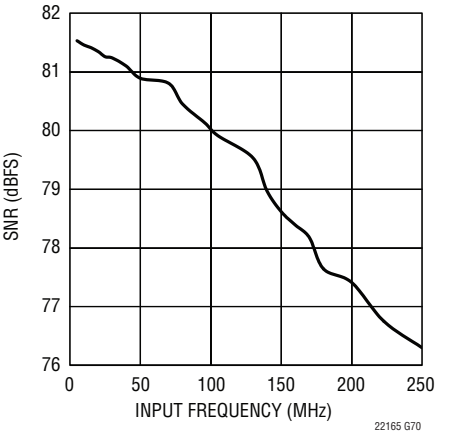


標準的性能特性

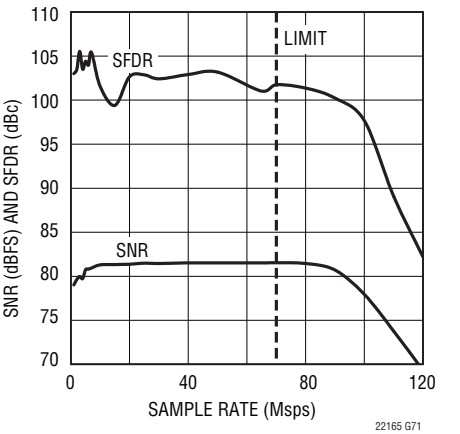
LTC2215のSFDR(HD2およびHD3)と入力周波数



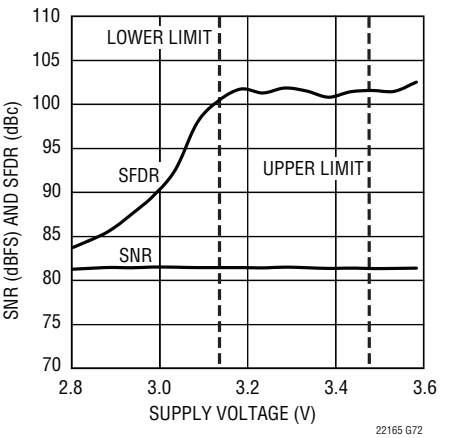
LTC2215 の SNR と入力周波数



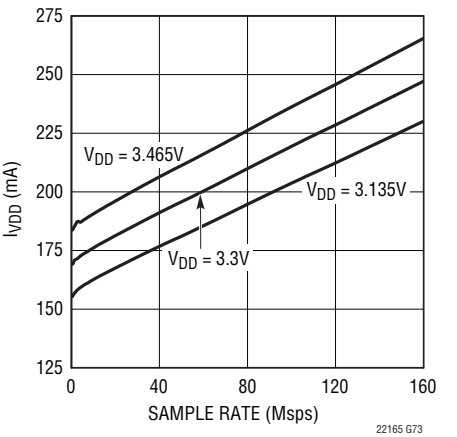
LTC2215のSNRおよびSFDRとサンプリング・レート、f_{IN} = 5.2MHz



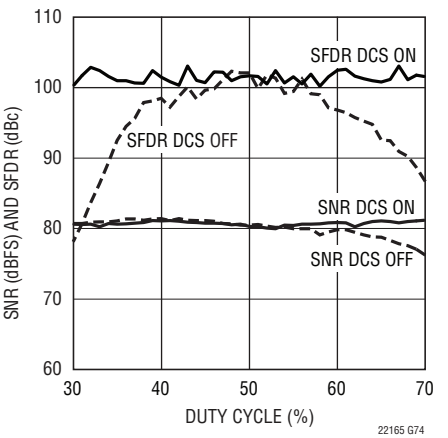
LTC2215のSNRおよびSFDRと電源電圧(V_{DD})、f_{IN} = 5.1MHz



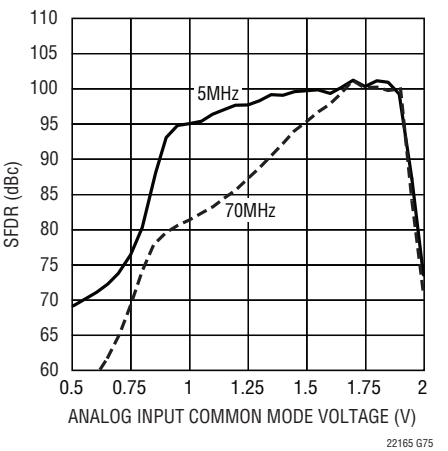
LTC2215のI_{VDD}とサンプリング・レートおよび電源電圧、f_{IN} = 5MHz、–1dBFS



LTC2215のSNRおよびSFDRとクロック・デューティ・サイクル、f_{IN} = 5.2MHz

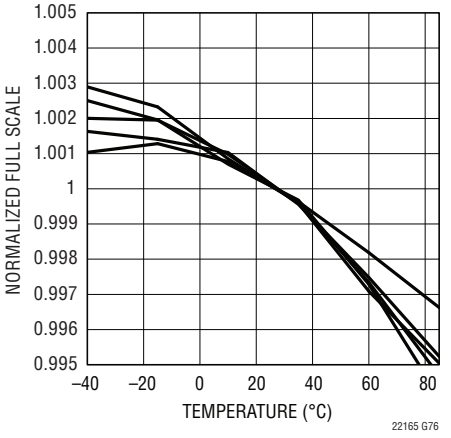


LTC2215のSFDRとアナログ入力同相電圧、5MHzおよび70MHz、–1dBFS

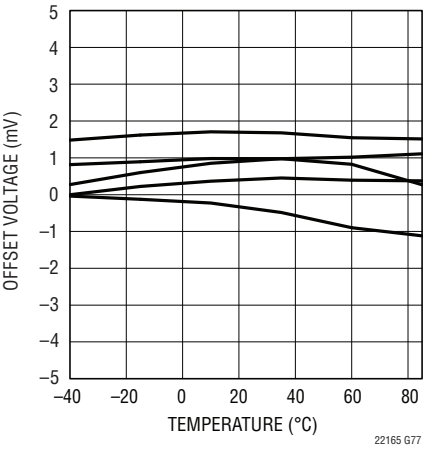


標準的性能特性

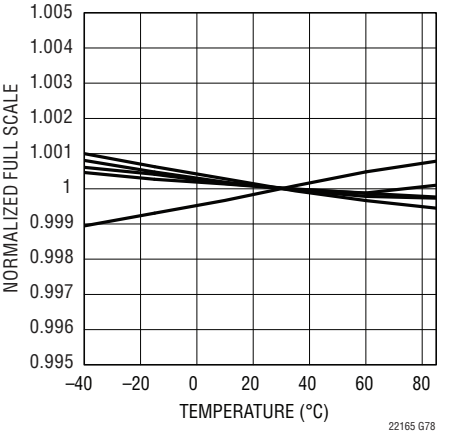
LTC2216/LTC2215の正規化されたフルスケールと温度、内部リファレンス、5個



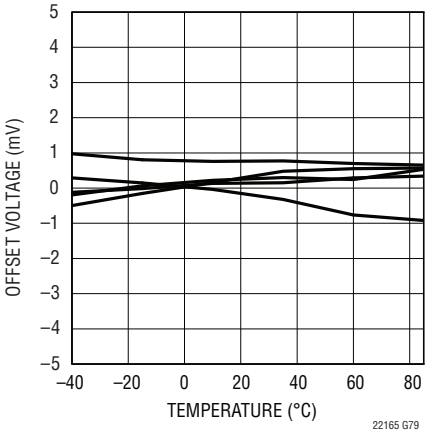
LTC2216/LTC2215の入力オフセット電圧と温度、内部リファレンス、5個



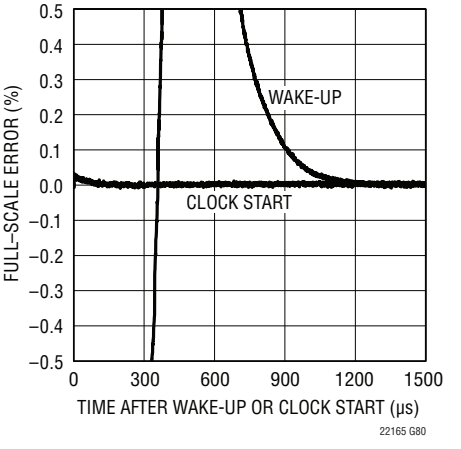
LTC2216/LTC2215の正規化されたフルスケールと温度、外部リファレンス、5個



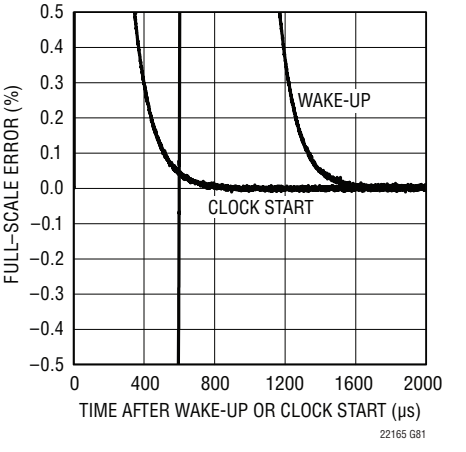
LTC2216/LTC2215の入力オフセット電圧と温度、外部リファレンス、5個



LTC2216/LTC2215のシャットダウンからのウェイクアップまたはエンコード・クロック開始後のミッドスケールの設定



LTC2216/LTC2215のシャットダウンからのウェイクアップまたはエンコード・クロック開始後のフルスケールの設定



ピン機能

フルレートまたはデマルチプレクスCMOSモード

SENSE(ピン1):リファレンス・モードの選択および外部リファレンス入力。内蔵の2.5Vバンドギャップ・リファレンスを選択するには、SENSEをV_{DD}に接続します。2.5Vまたは1.25Vの外部リファレンスを使用することができ、どちらのリファレンス値でも2.75VのフルスケールADCレンジが設定されます。

GND(ピン2、4、7、10、11、14、18):ADCの電源グランド。

V_{CM}(ピン3):1.575V出力。入力が同相の場合の最適電圧。少なくとも2.2μFのコンデンサでグランドにバイパスする必要があります。セラミック・チップ・コンデンサを推奨します。

V_{DD}(ピン5、6、15、16、17):3.3Vアナログ電源ピン。1μFのセラミック・チップ・コンデンサでGNDにバイパスします。

A_{IN}^+(ピン8):正の差動アナログ入力。

A_{IN}^-(ピン9):負の差動アナログ入力。

ENC^+(ピン12):正の差動エンコード入力。サンプリングされたアナログ入力はENC^+の立ち上がりエッジで保持されます。6.2kΩの抵抗を介して内部で1.6Vにバイアスされています。出力データはENC^+の立ち上がりエッジでラッチすることができます。

ENC^-(ピン13):負の差動エンコード入力。サンプリングされたアナログ入力はENC^-の立ち下がりエッジで保持されます。6.2kΩの抵抗を介して内部で1.6Vにバイアスされています。シングルエンドのエンコード信号の場合は、0.1μFのコンデンサでグランドにバイパスします。

SHDN(ピン19):電源シャットダウン・ピン。SHDN = “L”の場合は通常動作になります。SHDN = “H”の場合には、アナログ回路がパワーダウン状態になり、デジタル出力がハイ・インピーダンス状態になります。

DITH(ピン20):内部ディザー・イネーブル・ピン。DITH = “L”の場合は、内部ディザーがディスエーブルされます。DITH = “H”の場合には、内部ディザーがイネーブルされます。ディザー動作の詳細については、このデータシートの「内部ディザー」を参照してください。

DB0～DB15(ピン21～30、33～38):デジタル出力、Bバス。DB15がMSBです。デマルチプレクス・モードでアクティブになります。フルレートCMOSモードでは、Bバスはハイ・インピーダンス状態になります。

OGND(ピン31、50):出力ドライバのグランド。

OV_{DD}(ピン32、49):出力ドライバの正電源。1μFのコンデンサでGNDにバイパスしてください。

OFB(ピン39):Bバスのオーバーフロー/アンダーフロー・デジタル出力。Bバス上でオーバーフローまたはアンダーフローが生じると、OFBが“H”になります。フルレートCMOSモードではハイ・インピーダンスになります。

CLKOUTB(ピン40):データ有効出力。CLKOUTBは、フルレートCMOSモードではサンプリング・レートで、デマルチプレクス・モードではサンプリング・レートの1/2で切り替わります。CLKOUTBの立ち下がりエッジでデータをラッチします。

CLKOUTA(ピン41):反転データ有効出力。CLKOUTAは、フルレートCMOSモードではサンプリング・レートで、デマルチプレクス・モードではサンプリング・レートの1/2で切り替わります。CLKOUTAの立ち上がりエッジでデータをラッチします。

DA0～DA15(ピン42～48、51～59):デジタル出力、Aバス。DA15がMSBです。フルレートCMOSモードおよびデマルチプレクス・モードの出力バス。

OFA(ピン60):Aバスのオーバーフロー/アンダーフロー・デジタル出力。Aバス上でオーバーフローまたはアンダーフローが生じると、OFAが“H”になります。

LVDS(ピン61):データ出力モードの選択ピン。LVDSを0Vに接続すると、フルレートCMOSモードが選択されます。LVDSを1/3V_{DD}に接続すると、デマルチプレクスCMOSモードが選択されます。LVDSを2/3V_{DD}に接続すると、低消費電力LVDSモードが選択されます。LVDSをV_{DD}に接続すると、標準LVDSモードが選択されます。

MODE(ピン62):出力のフォーマットとクロック・デューティ・サイクル・スタビライザの選択ピン。MODEを0Vに接続すると、オフセット・バイナリの出力フォーマットが選択され、クロック・デューティ・サイクル・スタビライザがディスエーブルされます。MODEを1/3 V_{DD}に接続すると、オフセット・バイナリの出力フォーマットが選択され、クロック・デューティ・サイクル・スタビライザがイネーブルされます。MODEを2/3V_{DD}に接続すると、2の補数の出力フォーマットが選択され、クロック・デューティ・サイクル・スタビライザがイネーブルされます。MODEをV_{DD}に接続すると、2の補数の出力フォーマットが選択され、クロック・デューティ・サイクル・スタビライザがディスエーブルされます。

RAND(ピン63):デジタル出力ランダム化の選択ピン。RANDを“L”にすると通常動作になります。RANDを“H”にすると、D1～D15を選択してD0(LSB)との排他的OR(XOR)演算を行います。出力は、LSBとその他すべてのビットの間で再度XOR演算を行うことによってデコードすることができます。このモードの動作ではデジタル出力の干渉の影響が小さくなります。

NC(ピン64):内部で接続されていません。LTC2208とピン互換にするには、このピンは必要に応じてGNDまたはV_{DD}に接続します。それ以外は接続不要です。

GND(露出パッド):ADCの電源グランド。パッケージの底面の露出パッドはグランドに半田付けする必要があります。

ピン機能

標準または低消費電力LVDSモード

SENSE(ピン1):リファレンス・モードの選択および外部リファレンス入力。内蔵の2.5Vバンドギャップ・リファレンスを選択するには、SENSEをV_{DD}に接続します。2.5Vまたは1.25Vの外部リファレンスを使用することができ、どちらのリファレンス値でも2.75VのフルスケールADCレンジが設定されます。

GND(ピン2、4、7、10、11、14、18):ADCの電源グランド。

V_{CM}(ピン3):1.575V出力。入力が同相の場合の最適電圧。少なくとも2.2μFのコンデンサでグランドにバイパスする必要があります。セラミック・チップ・コンデンサを推奨します。

V_{DD}(ピン5、6、15、16、17):3.3Vアナログ電源ピン。1μFのセラミック・チップ・コンデンサでGNDにバイパスします。

A_{IN}^+(ピン8):正の差動アナログ入力。

A_{IN}^-(ピン9):負の差動アナログ入力。

ENC^+(ピン12):正の差動エンコード入力。サンプリングされたアナログ入力はENC^+の立ち上がりエッジで保持されます。6.2kΩの抵抗を介して内部で1.6Vにバイアスされています。出力データはENC^+の立ち上がりエッジでラッチすることができます。

ENC^-(ピン13):負の差動エンコード入力。サンプリングされたアナログ入力はENC^-の立ち下がりエッジで保持されます。6.2kΩの抵抗を介して内部で1.6Vにバイアスされています。シングルエンドのエンコード信号の場合は、0.1μFのコンデンサでグランドにバイパスします。

SHDN(ピン19):電源シャットダウン・ピン。SHDN = “L”の場合は通常動作になります。SHDN = “H”の場合には、アナログ回路がパワーダウン状態になり、デジタル出力がハイ・インピーダンス状態に設定されます。

DITH(ピン20):内部ディザー・イネーブル・ピン。DITH = “L”の場合は、内部ディザーがディスエーブルされます。DITH = “H”の場合には、内部ディザーがイネーブルされます。ディザー動作の詳細については、このデータシートの「内部ディザー」を参照してください。

$D0^-$/$D0^+$～$D15^-$/$D15^+$(ピン21～30、33～38、41～48、51～58):LVDSデジタル出力。すべてのLVDS出力にはLVDSレシーバに差動100Ω終端抵抗が必要です。$D15^+$/$D15^-$がMSBです。

$OGND$(ピン31、50):出力ドライバのグランド。

OV_{DD}(ピン32、49):出力ドライバの正電源。0.1μFのコンデンサでGNDにバイパスしてください。

$CLKOUT^-$/$CLKOUT^+$(ピン39、40):LVDSデータ有効出力。$CLKOUT^+$の立ち上りエッジ($CLKOUT^-$の立ち下りエッジ)でデータをラッチします。

OF^-/OF^+(ピン59、60):オーバーフローまたはアンダーフローが生じると、オーバーフロー/アンダーフロー・デジタル出力OFが“H”になります。

LVDS(ピン61):データ出力モードの選択ピン。LVDSを0Vに接続すると、フルレートCMOSモードが選択されます。LVDSを1/3V_{DD}に接続すると、デマルチプレクスCMOSモードが選択されます。LVDSを2/3V_{DD}に接続すると、低消費電力LVDSモードが選択されます。LVDSをV_{DD}に接続すると、標準LVDSモードが選択されます。

MODE(ピン62):出力のフォーマットとクロック・デューティ・サイクル・スタビライザの選択ピン。MODEを0Vに接続すると、オフセット・バイナリの出力フォーマットが選択され、クロック・デューティ・サイクル・スタビライザがディスエーブルされます。MODEを1/3 V_{DD}に接続すると、オフセット・バイナリの出力フォーマットが選択され、クロック・デューティ・サイクル・スタビライザがイネーブルされます。MODEを2/3V_{DD}に接続すると、2の補数の出力フォーマットが選択され、クロック・デューティ・サイクル・スタビライザがイネーブルされます。MODEをV_{DD}に接続すると、2の補数の出力フォーマットが選択され、クロック・デューティ・サイクル・スタビライザがディスエーブルされます。

RAND(ピン63):デジタル出力ランダム化の選択ピン。RANDを“L”にすると通常動作になります。RANDを“H”にすると、D1～D15を選択してD0(LSB)との排他的OR(XOR)演算を行います。出力は、LSBとその他すべてのビットの間で再度XOR演算を行うことによってデコードすることができます。このモードの動作ではデジタル出力の干渉の影響が小さくなります。

NC(ピン64):内部で接続されていません。LTC2208とピン互換にするには、このピンは必要に応じてGNDまたはV_{DD}に接続します。それ以外は接続不要です。

GND(露出パッド、ピン65):ADCの電源グランド。パッケージの底面の露出パッドはグランドに半田付けする必要があります。

ブロック図

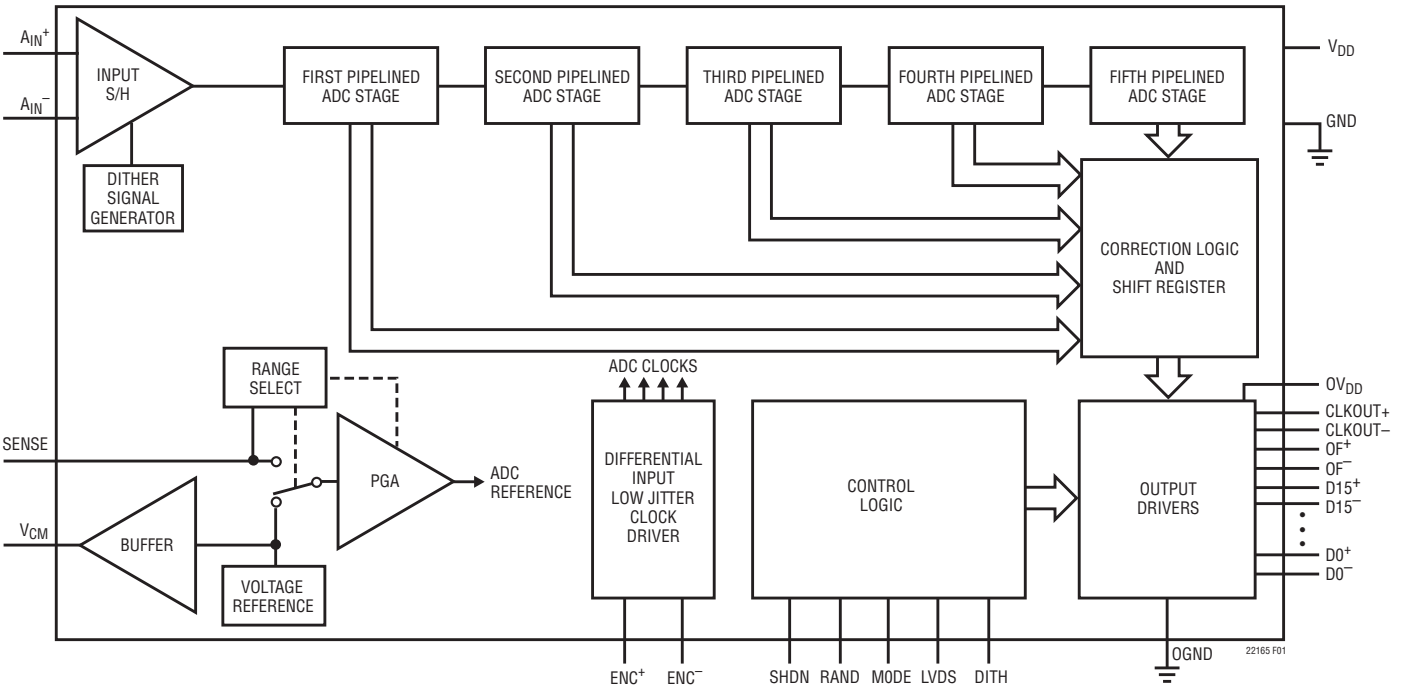


図1. 機能ブロック図

動作

ダイナミック特性

SN＋歪みの比

SN＋歪みの比[S/(N＋D)]は、ADC出力での基本入力周波数のRMS振幅と他のすべての周波数成分のRMS振幅の比です。出力は、DCからサンプリング周波数の1/2（ナイキスト周波数）までの周波数に帯域制限されます。

SN比

SN比（SNR）は基本入力周波数のRMS振幅と、最初の5つの高調波を除く他のすべての周波数成分のRMS振幅の比です。

全高調波歪み

全高調波歪みは、入力信号のすべての高調波のRMS値の合計と基本波のRMS値の比です。帯域外高調波は、DCからサンプリング周波数の1/2（ナイキスト周波数）までの周波数帯域に制限されます。THDは次式で表されます。

$$THD = -20Log\left(\sqrt{\left(V_2^2 + V_3^2 + V_4^2 + \ldots V_N^2\right)} / V_1\right)$$

ここで、V_1は基本周波数のRMS振幅であり、V_2からV_Nは2次高調波からN次高調波までの振幅です。

混変調歪み

ADCの入力信号が複数のスペクトル成分から構成される場合、ADCの伝達関数の非直線性によって、THDに加えて混変調歪み（IMD）が生じる可能性があります。IMDは、周波数が異なる別の正弦波入力が現れたときに、ある正弦波入力に生じる変化です。

周波数がfaとfbの2つの純粋な正弦波がADCの入力に供給されると、ADCの伝達関数の非直線性によってmfa ± nfbの和と差の周波数で歪み積を生じる可能性があります。ここで、mとnは0、1、2、3などです。たとえば、3次のIMD項には(2fa＋fb)、(fa＋2fb)、(2fa−fb)、(fa−2fb)が含まれます。3次のIMDは、最大の3次IMD積のRMS値に対する、いずれかの入力トーンのRMS値の比として定義されます。

スプリアスフリー・ダイナミックレンジ（SFDR）

ピーク・スプリアス・スペクトル成分のRMS値に対するRMS入力信号振幅の比率をdBcで表した値です。SFDRはフルスケールに対する相対値として計算することも可能で、この場合にはdBFSで表されます。

フルパワー帯域幅

フルパワー帯域幅は、再構成された基本波の振幅がフルスケール入力信号から3dBだけ減少する入力周波数です。

アパーチャ遅延時間

ENC^+が立ち上がってENC^-に等しくなった時点から、入力信号がサンプル・ホールド回路によって保持される瞬間までの時間です。

アパーチャ遅延ジッタ

変換ごとのアパーチャ遅延時間の変動。このランダムな変動によって、AC入力のサンプリング時にノイズが生じます。ジッタのみによるSNRは次のようになります。

$$SNR_{JITTER} = -20log\ (2\pi \bullet f_{IN} \bullet tJITTER)$$

この式は、任意の振幅でのジッタのみによるSNRをdBcで表したものです。

アプリケーション情報

コンバータの動作

LTC2216/LTC2215は、低ノイズのフロントエンドをもつCMOSのパイプライン多段コンバータです。図1に示すように、このコンバータはパイプライン構成の5個のADC段を備えており、サンプリングされたアナログ入力は7サイクル後にデジタル化されます(「タイミング図」を参照)。同相ノイズ耐性を改善して入力範囲を最大限にするため、アナログ入力は差動です。さらに、差動入力ドライブによってサンプル・ホールド回路の偶数次高調波が減少します。同相ノイズ耐性を改善するため、エンコード入力も差動です。

LTC2216/LTC2215は差動のENC^+/ENC^-入力ピンの状態で決定される2つのフェーズで動作します。簡略のため、ここの説明では、ENC^+がENC^-より大きいときENCが“H”であるとし、ENC^+がENC^-より小さいときENCが“L”であるとします。

図1に示すパイプライン構成の各段は、ADC、再構成DAC、段間アンプなどを備えています。動作時、ADCは段への入力を量子化し、量子化された値はDACによって入力から差し引かれ、差分を生じます。この差分は、差分アンプによって増幅されて出力されます。奇数段が差分を出力しているとき偶数段がその差分を取得するように、またその逆になるように、後に続く段は位相がずれて動作します。

ENCが“L”のとき、アナログ入力は、ブロック図に示す「入力S/H」内部の入力サンプル・ホールド・コンデンサに差動で直接サンプリングされます。ENCが“L”から“H”に遷移する瞬間、サンプル・コンデンサの電圧が保持されます。ENCが“H”の間、保持された入力電圧はS/Hアンプによってバッファされます。このS/Hアンプによってパイプライン構成の最初のADC段がドライブされます。最初の段はENCの“H”フェーズの間にS/Hアンプの出力を取得します。ENCが“L”に戻ると、最初の段はその差分を出力し、この差分が2番目の段によって取得されます。同時に、入力のS/Hは再度アナログ入力を取得します。ENCが“H”になると、2番目の段はその差分を出力し、この差分が3番目の段によって取得されます。同様の過程が3番目と4番目の段で繰り返され、4番目の段の差分は最終評価のために5番目の段に送られます。

最初の段に続く各ADC段には、フラッシュ誤差とアンプのオフセット誤差を調整するための追加範囲があります。ADCの全段からの結果は、出力バッファに送る前にそれらの結果を補正ロジックで適切に結合できるように、デジタル動作で遅延させます。

サンプル/ホールド動作と入力ドライブ

サンプル/ホールド動作

LTC2216/LTC2215のCMOS差動サンプル・ホールドの等価回路を図2に示します。差動アナログ入力は、NMOSトランジスタを介してサンプリング・コンデンサ(C_{SAMPLE})に直接サンプリングされます。各入力に接続されているコンデンサ($C_{PARASITIC}$)は、各入力に関係する他のすべての容量の和です。

ENCが“L”のとき、サンプル・フェーズの間にNMOSトランジスタはアナログ入力をサンプリング・コンデンサに接続して差動入力電圧まで充電し、さらにこの電圧を追尾します。ENCが“L”から“H”に遷移するとき、サンプリングされた入力電圧はサンプリング・コンデンサに保持されます。ENCが“H”のとき、ホールド・フェーズの間にサンプリング・コンデンサは入力から切り離され、保持された電圧はADCコアに渡されて処理されます。ENCが“H”から“L”に遷移すると、入力はサンプリング・コンデンサに再度接続され、新しいサンプルを収集します。

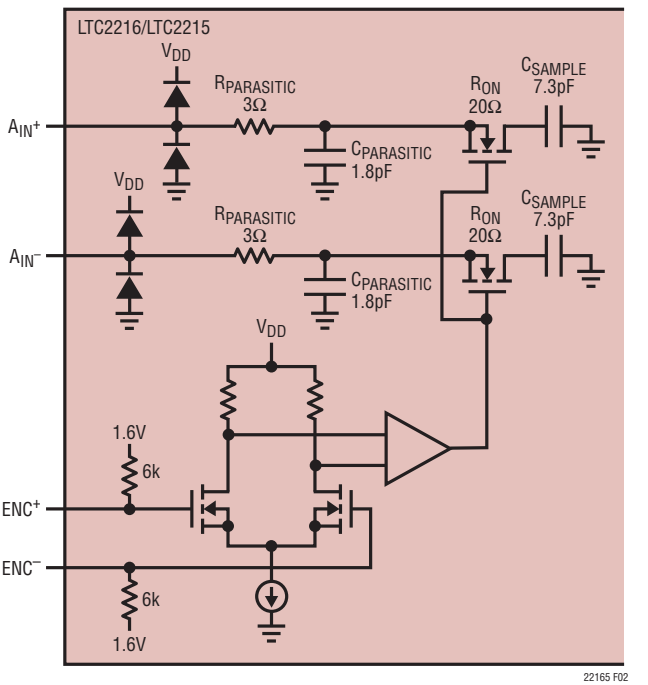


図2. 等価入力回路

アプリケーション情報

サンプリング・コンデンサには直前のサンプルがまだ保持されているので、サンプル間の電圧変化に比例した充電グリッチがこのときに見られます。直前のサンプルと新しいサンプル間の変化が小さいと、入力に見られる充電グリッチは小さくなります。ナイキスト周波数の近くの入力周波数で見られる変化のように入力の変化が大きければ、さらに大きな充電グリッチが見られます。

同相バイアス

規定性能を実現するには、ADCのサンプル・ホールド回路を差動ドライブにする必要があります。2.75Vレンジでは、各入力には1.575Vの同相電圧を中心とした±0.6875Vの振幅が必要です。V_{CM}出力ピン(ピン3)は、同相バイアス・レベルが得られるように設計されています。V_{CM}は、トランスのセンタータップに直接接続してDC入力レベルを設定するか、またはオペアンプの差動ドライバ回路へのリファレンス・レベルとして設定することができます。V_{CM}ピンは、2.2μF以上のコンデンサを使用してADCの近くのグランドにバイパスする必要があります。

入力ドライブ・インピーダンス

すべての高性能高速ADCの場合と同様、LTC2216/LTC2215のダイナミック性能は入力ドライブ回路の(特に2次と3次の高調波の)影響を受けることがあります。ソース・インピーダンスと入力リアクタンスはSFDRに影響を与えることがあります。サンプル・ホールド回路は、ENCの立ち下がりエッジでサンプリング・コンデンサを入力ピンに接続してサンプリング期間を開始します。サンプリング期間はENCの立ち上がり時に終了し、サンプリングされた入力をサンプリング・コンデンサに保持します。入力回路は、理想的にはサンプリング期間1/(2・f_{ENCODE})の間、サンプリング・コンデンサを完全に充電するのに十分なだけ高速である必要があります。ただし、これが常に可能だとは限らず、不完全なセトリングのためにSFDRが低下することがあります。不完全なセトリングの影響を最小限に抑えるため、サンプリング・グリッチができるだけリニアになるように設計されています。

最高の性能を得るためには、各入力のソース・インピーダンスを100Ω以下にすることを推奨します。差動入力では、ソース・インピーダンスが整合している必要があります。よく整合していないと、偶数次高調波(特に2次高調波)が大きくなります。

入力ドライブ回路

入力フィルタリング

ADCの入力の1次RCローパス・フィルタは、入力回路からのノイズを制限し、ADCのS/Hのスイッチングから絶縁するという、2つの機能を果たすことができます。LTC2216/LTC2215は、DCから400MHzまでの非常に広い帯域のS/H回路を備えています。このデバイスは広範囲のアプリケーションに使用することができるので、1つのRCフィルタだけを推奨することはできません。

図3と図4に、入力周波数の2つの範囲の入力RCフィルタリングの2つの例を示します。一般に、許容できるだけコンデンサの容量を大きくするのが望ましいと言えます。これは、デジタル回路から結合されるノイズとともに、ランダム・ノイズを抑えるのに役立ちます。LTC2216/LTC2215はデータシートの仕様を実現するのに入力フィルタを必要とはしませんが、フィルタリングが無いと、入力ドライブ回路に対するノイズ要件が厳しくなります。

トランス結合回路

2次側にセンタータップを備えたRFトランスによってドライブされるLTC2216/LTC2215を図3に示します。2次側センタータップはV_{CM}でDCバイアスされており、ADCの入力信号を最適DCレベルに設定します。図3は巻数比が1:1のトランスを示します。他の巻数比を使用することもできますが、巻数比が増加するに従って、ADCから見たインピーダンスも増加します。ソース・インピーダンスが50Ωを超えると、入力帯域幅が減少し、高周波数の歪みが増加することがあります。

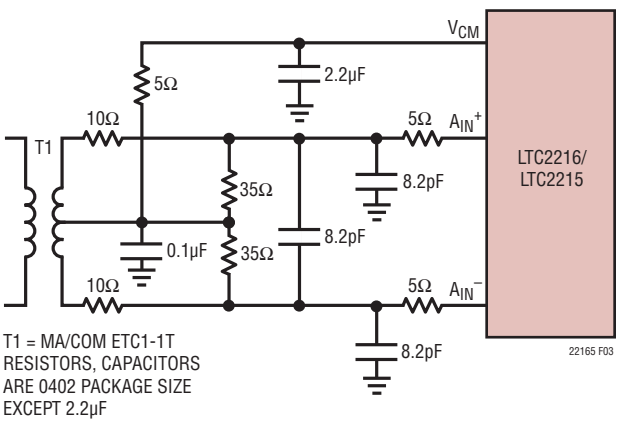


図3. トランスを使用したシングルエンドから差動への変換。5MHz〜100MHzの入力周波数に対して推奨

アプリケーション情報

トランスを使用する場合の不利な点は低周波数応答の低下です。ほとんどの小型RFトランスは、1MHzより低い周波数での性能が良くありません。

センタータップ付きトランスは2次側のDCバイアスの手段として便利ですが、高い入力周波数ではバランスが悪くなることが多く、大きな2次高調波を生じます。

伝送ライン・バラン・トランスを使用したトランス結合を図4に示します。このタイプのトランスの高周波応答とバランスは、センタータップ付き磁束結合型トランスよりもはるかに優れています。カップリング・コンデンサをグランドと入力の1次側端子に追加することによって、2次側端子を1.575Vにバイアスすることができます。

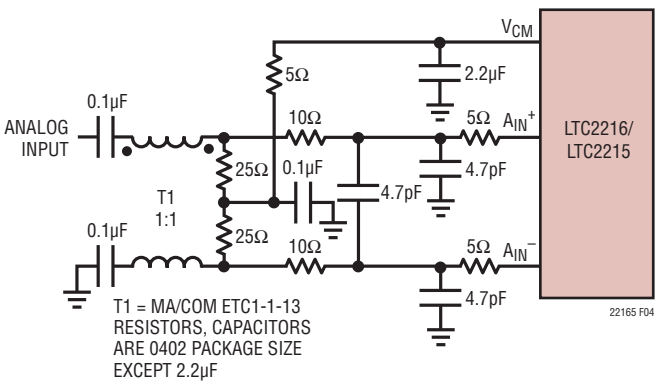


図4. 伝送ライン・バラン・トランスの使用。100MHz～250MHzの入力周波数に対して推奨

直接結合回路

差動アンプを使用してシングルエンド入力信号を差動入力信号に変換する例を図5に示します。この方法の利点は低い周波数の入力応答が確保できることです。ただし、どのようなオペアンプや閉ループ・アンプであっても利得帯域幅が制限されているので、高い入力周波数ではADCのSFDRが低下します。さらに、広帯域のオペアンプや差動アンプはノイズが大きくなる傾向があります。その結果、ADCの入力の前でノイズ帯域幅を制限しない限り、SNRが低下します。

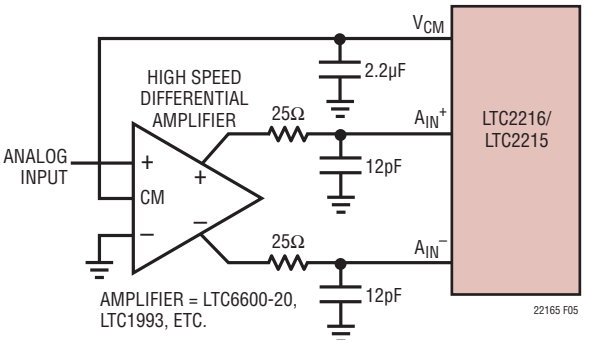


図5. 差動アンプを使用したDC結合入力

リファレンスの動作

2.5Vのバンドギャップ・リファレンス、利得をプログラマブル・ゲイン・アンプ(PGA)および制御回路で構成されるLTC2216/LTC2215のリファレンス回路を図6に示します。LTC2216/LTC2215のリファレンス動作には、内部リファレンス、1.25Vの外部リファレンス、2.5Vの外部リファレンスの3つのモードがあります。内部リファレンスを使用するには、SENSEピンをV_{DD}に接続します。外部リファレンスを使用するには、1.25Vまたは2.5Vのリファレンス電圧をSENSE入力ピンに印加するだけです。SENSEに1.25Vまたは2.5Vを印加すると、どちらの場合も2.75V_{P-P}のフルスケール・レンジになります。1.575Vの出力V_{CM}が入力ドライブ回路の同相バイアス用に生成されます。V_{CM}出力には外付けのバイパス・コンデンサが必要です。このコンデンサは、内部回路と外部回路のための、グランドへの高周波で低インピーダンスの経路として機能します。これはリファレンスの補償コンデンサとしても機能します。このコンデンサがないとリファレンスは安定しません。安定させるために必要な最小値は2.2µFです。

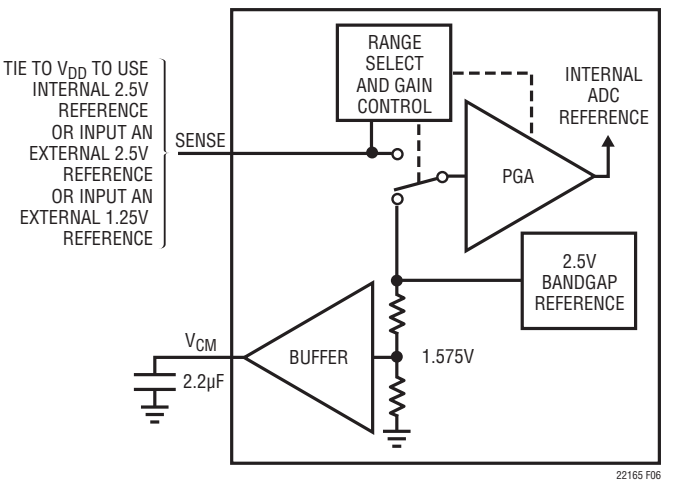


図6. リファレンス回路

アプリケーション情報

内蔵の利得をプログラマブル・ゲイン・アンプ(PGA)は、ADCの内部リファレンス電圧を生成します。このアンプのセトリング要件は非常に厳しく、外部での用途に使用することはできません。

SENSEピンは、公称2.5Vまたは1.25Vの外部リファレンス入力の±5%でドライブすることができます。この調整範囲を使用して、ADCの利得誤差や他のシステム利得誤差を調整することができます。内部リファレンスを選択する場合には、SENSEピンをできるだけコンバータの近くでV_{DD}に接続します。SENSEピンを外部からドライブする場合、1μFのセラミック・コンデンサを使用してデバイスのできるだけ近くでグランドにバイパスする必要があります。

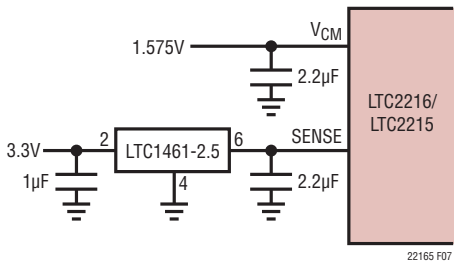


図7. 2.5Vの外部リファレンスを使用した2.75VレンジのADC

エンコード入力のドライブ

LTC2216/LTC2215のノイズ特性は、アナログ入力に左右されるのと同程度にエンコード信号の質に左右される可能性があります。エンコード入力は、主に同相ノイズ源に対して耐性を持たせることを目的として、差動でドライブするようにしています。各入力は6kの抵抗を介して1.6Vにバイアスされています。このバイアス抵抗はトランス結合のドライブ回路のDC動作点を設定し、シングルエンドのドライブ回路のロジック・スレッショルドを設定することができます。

エンコード信号に含まれるあらゆるノイズは新たなアパーチャ・ジッタを生じ、このジッタは本来のADCアパーチャ・ジッタにRMSとして加算されます。

ジッタが重要な問題となる(高入力周波数)アプリケーションでは、以下の事項を考慮する必要があります。

1. 差動ドライブを使用します。

2. できるだけ大きな振幅を使用します。トランス結合を使用する場合には、巻数比を大きくして振幅を大きくします。

3. 固定周波数の正弦波信号でADCをクロック駆動する場合、エンコード信号にフィルタをかけて広帯域ノイズを減らします。

4. 両方のエンコード入力で容量と直列抵抗値のバランスをとり、どの結合ノイズも同相ノイズとして両方の入力に現われるようにします。

エンコード入力の同相範囲は1.2V～V_{DD}です。シングルエンドのドライブの場合、各入力はグランド～V_{DD}の範囲でドライブすることができます。

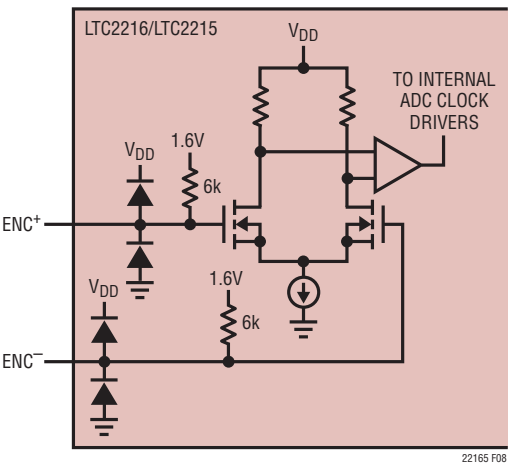
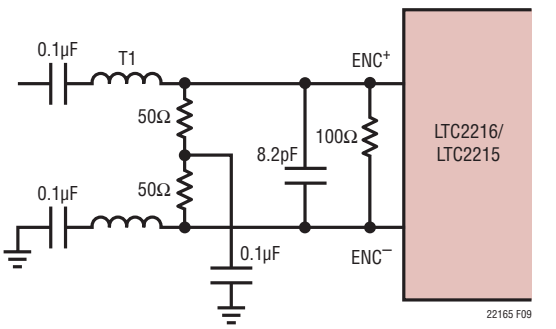


図8. エンコード入力の等価回路



T1 = MA/COM ETC1-1-13
RESISTORS AND CAPACITORS
ARE 0402 PACKAGE SIZE

図9. バランでドライブされるエンコード

アプリケーション情報

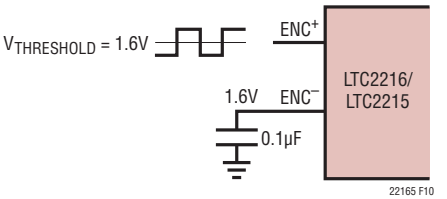


図10. シングルエンドのENCドライブ（低ジッタには推奨できない）

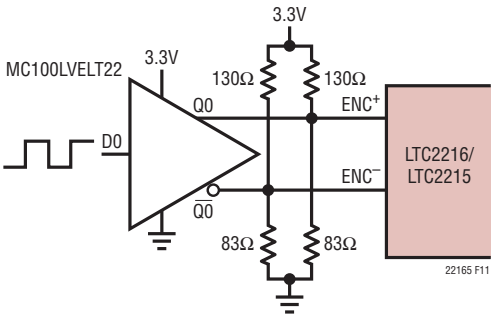


図11. CMOSからPECLへの変換器を使用したENCドライブ

最大エンコード・レートと最小エンコード・レート

LTC2216の最大エンコード・レートは80Mspsであり、LTC2215の最大エンコード・レートは65Mspsです。ADCを適正に動作させるには、エンコード信号のデューティ・サイクルが50%（±5%）である必要があります。LTC2216の内部回路に十分なセトリング時間を確保して適正に動作させるには、各半サイクルは少なくとも5.94ns必要です。LTC2215では、各半サイクルは少なくとも7.31ns必要です。正確な50%のデューティ・サイクルを容易に実現するには、トランスを使用した、あるいはPECLやLVDSなどの対称型差動ロジックを使用した差動正弦波ドライブを使用します。立ち上がり時間と立ち下がり時間が非対称なシングルエンドのENCODE信号を使用する場合には、50%から大きく外れたデューティ・サイクルになることがあります。

入力クロックのデューティ・サイクルが50%でない場合、オプションのクロック・デューティ・サイクル・スタビライザ回路を使用することができます。この回路はENCピンの立ち上がりエッジを使用して、アナログ入力をサンプリングします。ENCの立ち下がりエッジは無視され、フェーズロック・ループによって内部で立ち下がりエッジが生成されます。入力クロックのデューティ・サイクルは30%～70%の範囲で変動することがありますが、クロック・デューティ・サイクル・スタビライザは内部デューティ・サイクルを50%に保ちます。クロックが長時間オフすると、デューティ・サイクル・スタビライザ回路のPLLが入力クロックにロックするのに100クロック・サイクルを必要とします。クロック・デューティ・サイクル・スタビライザを使用するには、外付け抵抗を使用してMODEピンを1/3V_{DD}または2/3V_{DD}に接続する必要があります。

LTC2216/LTC2215のサンプリング・レートの下限は、サンプル・ホールド回路に影響する垂下によって決まります。このADCのパイプライン構成のアーキテクチャでは、アナログ信号を小さな値のコンデンサに保存することが基本です。接合部のリーク電流によってコンデンサを放電します。LTC2215とLTC2216の規定最小動作周波数はどちらも1Mspsです。

デジタル出力

デジタル出力モード

LTC2216/LTC2215は、標準LVDS、低消費電力LVDS、フルレートCMOS、デマルチプレクスCMOSの4種類のデジタル出力モードで動作することができます。LVDSピンによって動作モードが選択されます。このピンには、0、1/3V_{DD}、2/3V_{DD}、V_{DD}を基準値とする4つのロジック入力レベルがあります。1/3V_{DD}および2/3V_{DD}のロジック・レベルは、外付け抵抗分割器を使用して設定することができます。LVDSピンのロジック状態を表1に示します。

表1. LVDSピンの機能

LVDS	DIGITAL OUTPUT MODE
0V(GND)	Full-Rate CMOS
1/3V_{DD}	Demultiplexed CMOS
2/3V_{DD}	Low Power LVDS
V_{DD}	LVDS

デジタル出力バッファ（CMOSモード）

フルレートまたはデマルチプレクスCMOSモードでの1個の出力バッファの等価回路を図11に示します。各バッファはOV_{DD}とOGNDから電力供給され、ADCの電源とグランドから絶縁されています。出力ドライバにNチャネル・トランジスタが追加されているので、低い電圧まで動作可能です。出力に直列接続された内部抵抗により、外部回路から見た出力が50Ωになるので、外付けの減衰抵抗は不要になります。

すべての高速/高分解能コンバータの場合と同様、デジタル出力負荷が性能に影響を与えることがあります。デジタル出力と敏感な入力回路の間に生じる恐れのある相互反応を抑えるため、LTC2216/LTC2215のデジタル出力は最小限の容量性負荷をドライブするようにします。

アプリケーション情報

出力は、ALVCH16373 CMOSラッチなどのデバイスを使用してバッファする必要があります。全速動作では、容量性負荷を10pF未満に保つ必要があります。出力に直列に抵抗を接続することができますが、ADCには43Ωの直列抵抗が内蔵されているのでその必要はありません。

OV_{DD}電圧を低くすることも、デジタル出力からの干渉を減らすのに役立ちます。

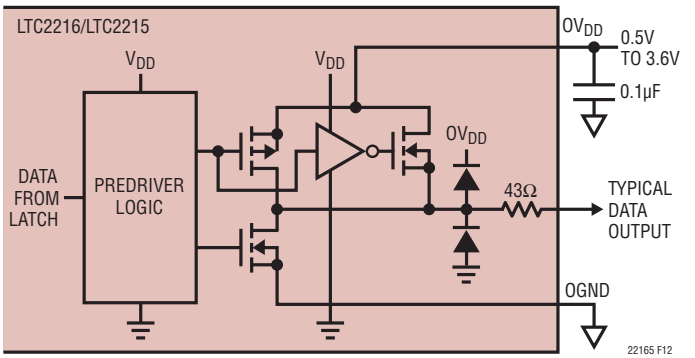


図12. デジタル出力バッファの等価回路

デジタル出力バッファ（LVDSモード）

LVDS出力ペアの等価回路を図13に示します。3.5mAの電流がOUT^+からOUT^-へ、またはその逆方向へ流れ、LVDSレシーバの100Ω終端抵抗の両端に±350mVの差動電圧が生成されます。帰還ループが同相出力電圧を1.20Vに調整します。適正に動作させるには、たとえ（OF^+/OF^-や$CLKOUT^+$/$CLKOUT^-$などの）信号が使用されていなくても、LVDSの各出力ペアを外付けの100Ω終端抵抗で終端する必要があります。ノイズを最小限に抑えるため、各LVDS出力ペアのPCボードのトレースは互いに近づけて配線します。クロックのスキューを最小限に抑えるため、すべてのLVDSのPCボードのトレースをほぼ同じ長さにします。

低消費電力LVDSモードでは差動出力間に1.75mAの電流が流れることにより、LVDSレシーバの100Ω終端抵抗に±175mVの電圧が生じます。出力同相電圧は1.20Vで、標準LVDSモードと同じです。

データ・フォーマット

LTC2216/LTC2215のパラレル・デジタル出力は、オフセット・バイナリ形式または2の補数形式を選択できます。フォーマットはMODEピンを使用して選択します。このピンには、0、1/3V_{DD}、2/3V_{DD}、V_{DD}を基準値とする4つのロジック入力レベルがあります。1/3V_{DD}および2/3V_{DD}のロジック・レベルは、外付け抵抗分割器を使用して設定することができます。MODEピンのロジック状態を表2に示します。

表 2. MODEピンの機能

MODE	OUTPUT FORMAT	CLOCK DUTY CYCLE STABILIZER
0V(GND)	Offset Binary	Off
1/3V_{DD}	Offset Binary	On
2/3V_{DD}	2's Complement	On
V_{DD}	2's Complement	Off

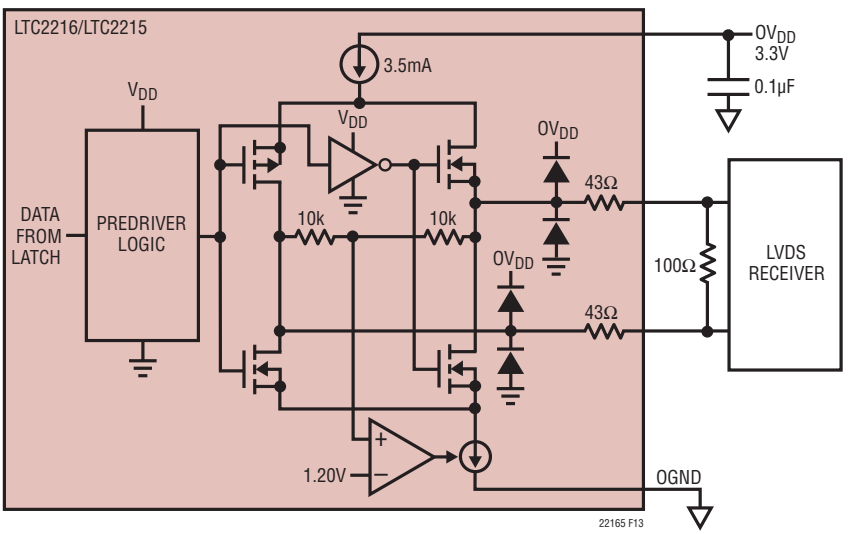


図13. LVDSモードの等価出力バッファ

アプリケーション情報

オーバーフロー・ビット

オーバーフロー出力ビット(OF)は、コンバータがオーバーレンジまたはアンダーレンジになっていることを示します。CMOSモードでは、OFAピンがロジック“H”になると、Aデータ・バスがオーバーフローまたはアンダーフローになっていることを示し、OFBピンがロジック“H”になると、Bデータ・バスがオーバーフローになっていることを示します。LVDSモードでは、OF^{+}/OF^{-}ピンが差動ロジック“H”になると、オーバーフローまたはアンダーフローになっていることを示します。

出力クロック

ADCには、エンコード入力を遅延させた信号が備わっており、デジタル出力CLKOUTとして使用可能です。このCLKOUTピンを使用して、コンバータのデータをデジタル・システムに同期させることができます。これは正弦波のエンコードを使用しているときに必要です。どちらのCMOSモードでも、CLKOUTAの立ち下がり時とCLKOUTBの立ち上がり時にAバスのデータが更新されます。デマルチプレクスCMOSモードでは、CLKOUTAの立ち下がり時とCLKOUTBの立ち上がり時にBバスのデータが更新されます。

フルレートCMOSモードではAデータ・バスだけがアクティブで、CLKOUTAの立ち上がりエッジまたはCLKOUTBの立ち下がりエッジでデータをラッチすることができます。

デマルチプレクスCMOSモードでは、エンコード信号の1/2の周波数でCLKOUTAとCLKOUTBが切り替わります。AバスとBバスのどちらも、CLKOUTAの立ち上がりエッジまたはCLKOUTBの立ち下がりエッジでラッチすることができます。

デジタル出力ランダマイザ

ADCのデジタル出力からの干渉は避けられないことがあります。デジタル出力からの干渉は、容量性や誘導性の結合またはグランド・プレーンを介した結合から生じる可能性があります。結合要素がわずかであっても、ADCの出力スペクトルに識別可能な不要トーンが生じることがあります。デジタル出力がデバイスから送出される前にデジタル出力をランダム化することにより、これらの不要トーンをランダム化し、ノイズフロアのわずかな増加と引き換えに不要トーンの振幅を大幅に減少させることができます。

デジタル出力は、排他的ORロジック演算をLSBと他の全てのデータ出力ビットとの間で行うことによって「ランダム化」されます。デコードするには逆の操作を行います。つまり、排他的OR演算をLSBと他の全てのビットとの間で行います。LSB、OF、CLKOUTの各出力は影響を受けません。出力ランダマイザ機能は、RANDピンが“H”になるとアクティブになります。

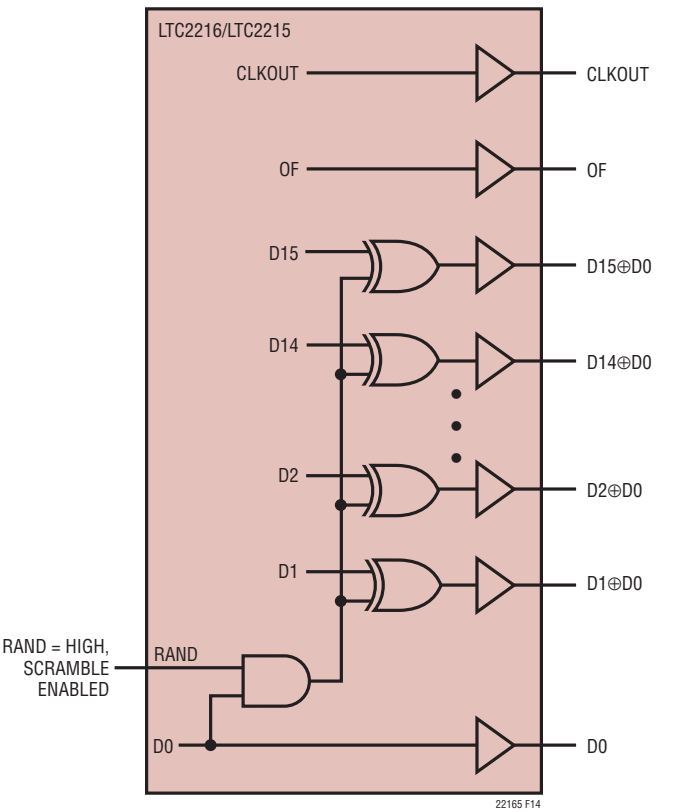


図14. デジタル出力ランダマイザの等価機能回路

出力ドライバの電源

出力専用の電源ピンとグランド・ピンが備わっているので、出力ドライバをアナログ回路から絶縁することができます。デジタル出力バッファの電源OV_{DD}は、ドライブされるロジックと同じ電源に接続する必要があります。たとえば、1.8V電源から電力供給されるDSPをコンバータがドライブしている場合、OV_{DD}は同じ1.8V電源に接続します。CMOS出力モードでは、OV_{DD}に3.6Vまでの任意のロジック電圧で電力供給することができます。OGNDにはグランドから1Vまでの任意の電圧で電力供給することができますが、OV_{DD}より低くなければなりません。ロジック出力はOGNDとOV_{DD}の間で振幅します。LVDSモードでは、OV_{DD}は3.3V電源に接続し、OGNDはGNDに接続します。

アプリケーション情報

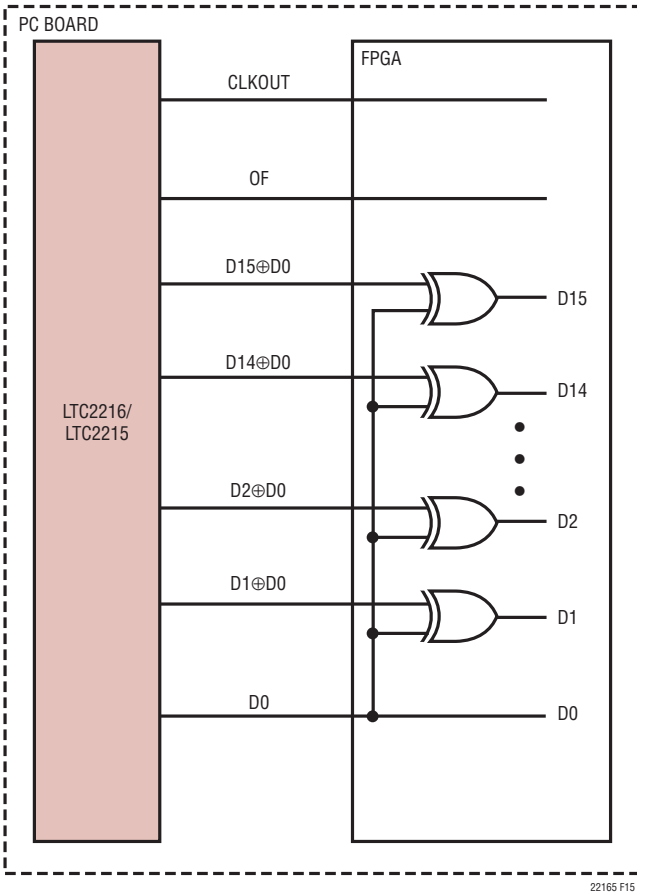


図15. スクランブルされたデジタル出力のデスクランブル

内部ディザー

LTC2216/LTC2215は伝達関数が非常にリニアな16ビットADCですが、低い入力レベルでは、伝達関数がわずかに不完全になっても不要なトーンが生じます。伝達関数の小さな誤差は通常、ADCの素子の不整合によって生じます。オプションの内部ディザー・モードをイネーブルし、ADCの伝達曲線の入力位置をランダム化することができるので、低信号レベルでのSFDRが改善されます。

図16に示すように、サンプル・ホールド・アンプの出力はディザーDACの出力に加算されます。ディザーDACは長いシーケンスの擬似乱数発生器によってドライブされ、ディザーDACに供給される乱数はADCの結果からも差し引かれます。ディザーDACがADCに対して精密に調整されていると、ディザー信号が出力に現れることはほとんどありません。漏れ出るディザー信号は白色ノイズとして現れます。ディザーDACは、入力が適正に終端されている場合にディザーをオフしたときのノイズフロアに比べて、ADCのノイズフロアの増加が0.5dBより小さくなるように調整されています(デモ・ボードの回路のDC996Bを参照)。

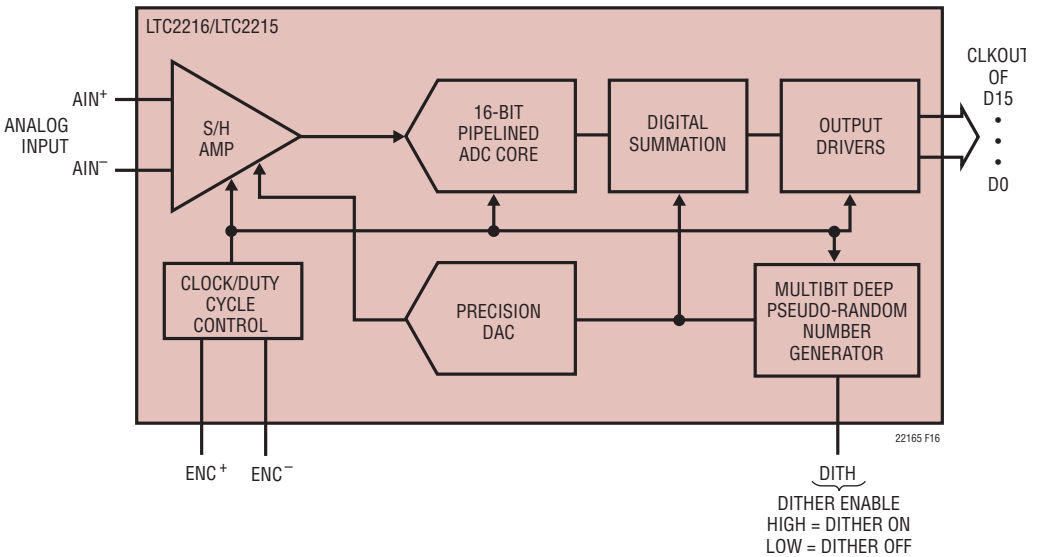


図16. 内部ディザー回路の等価機能ブロック図

アプリケーション情報

接地とバイパス

LTC2216/LTC2215にはクリーンな切れ目のないグランド・プレーンを備えたPCボードが必要です。内部グランド・プレーンを備えた多層基板を推奨します。LTC2216/LTC2215のピン配置はフロースルー・レイアウトに最適化されているので、入力とデジタル出力の間の干渉が最小限に抑えられています。PCボードのレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ離すようにします。特に、アナログ信号トラックの横やADCの下にデジタル・トラックを通さないように注意する必要があります。

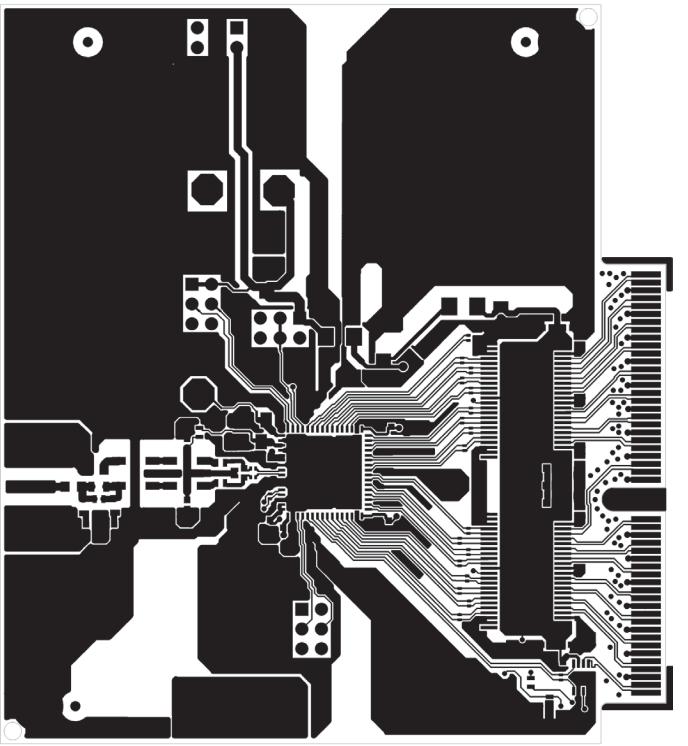
V_{DD}、V_{CM}、OV_{DD}の各ピンには、高品質のセラミック・バイパス・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くする必要があります。

LTC2216/LTC2215の差動入力は互いに並行にし、できるだけ近づけて配置します。入力トレースはできるだけ短くして容量を最小限に抑え、ノイズを拾わないようにします。

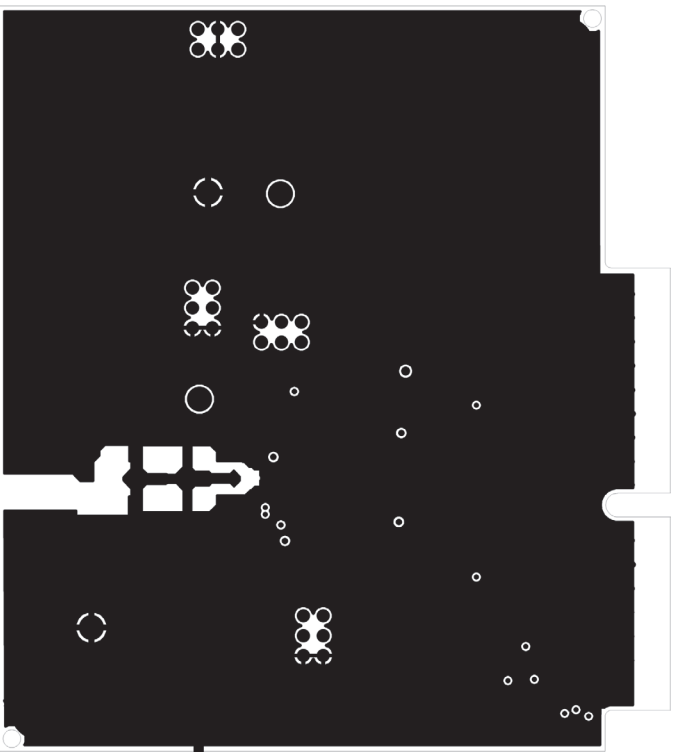
熱伝達

LTC2216/LTC2215が発生する熱の大部分は、ダイから底面の露出パッドを通って伝わります。優れた電気的特性と熱特性を得るためには、露出パッドをPCボードの大きな接地されたパッドに半田付けする必要があります。露出パッドと全てのグランド・ピンを面積が十分大きなグランド・プレーンにできるだけ多くのビアを使用して接続することが重要です。

アプリケーション情報

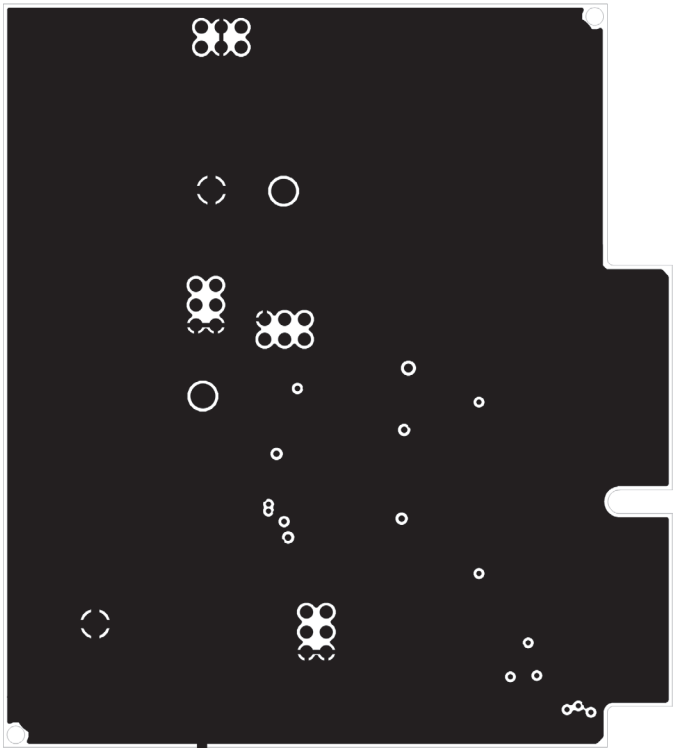


第1層、部品面

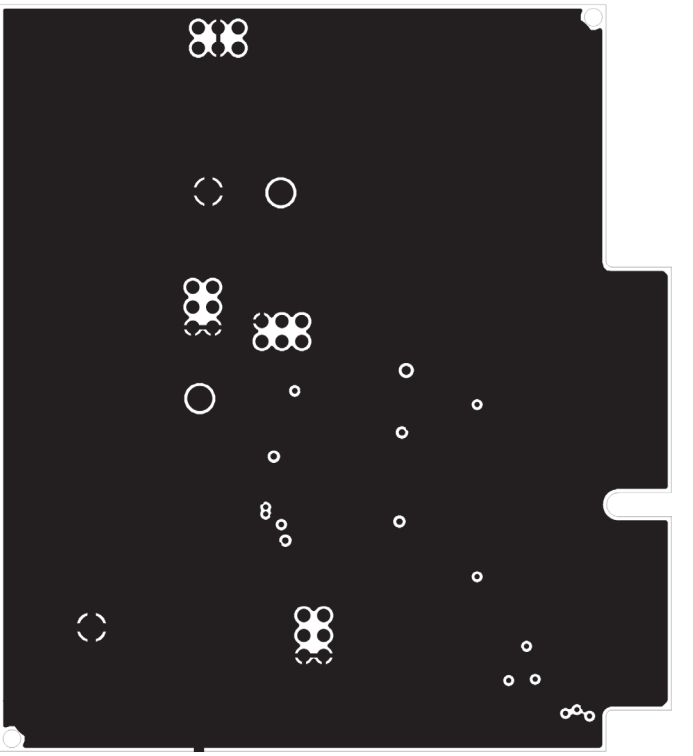


第2層、GNDプレーン

アプリケーション情報

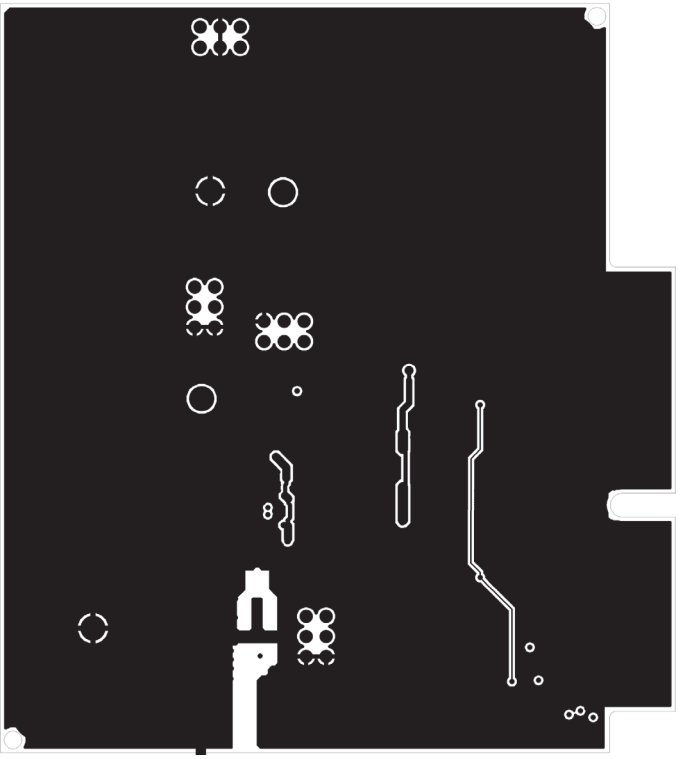


第3層、GND

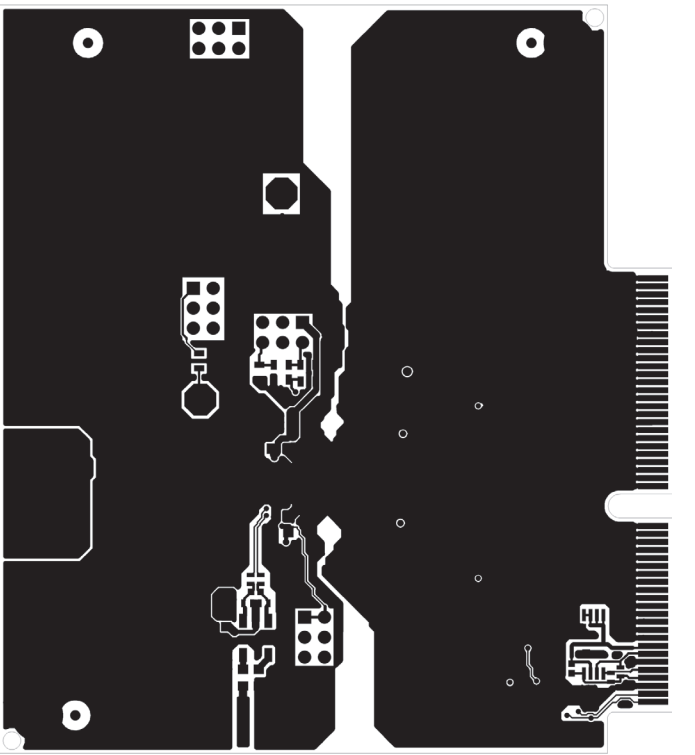


第4層、GND

アプリケーション情報

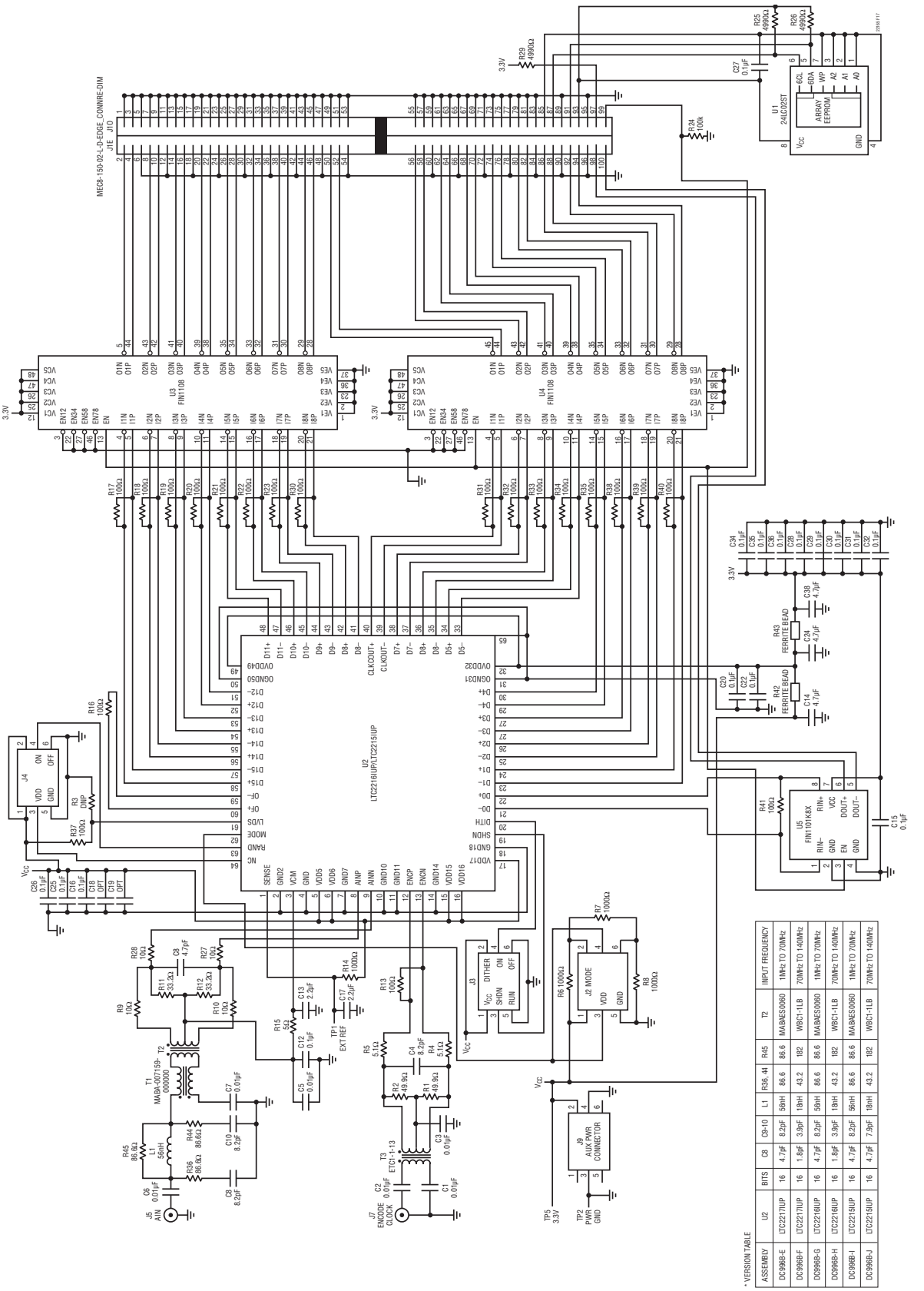


第5層、GND



第6層、底面

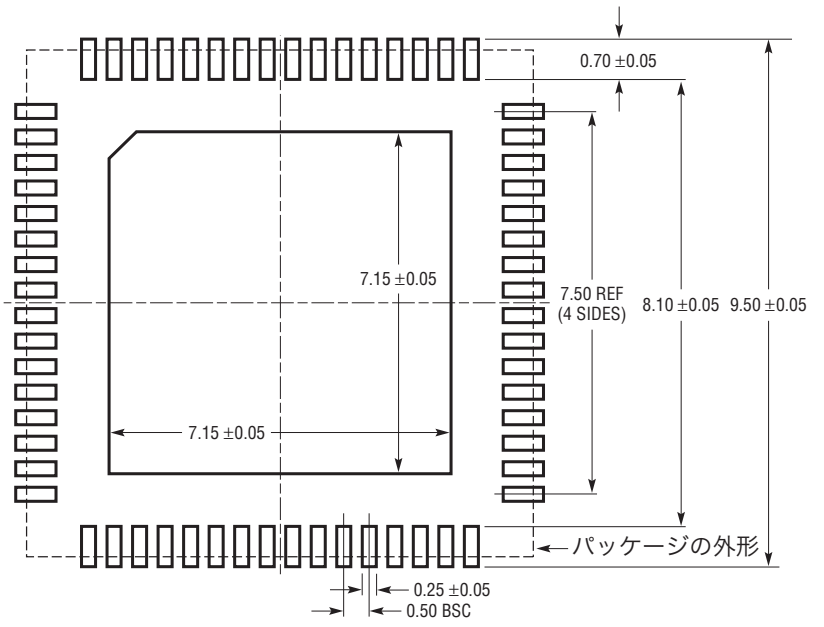
アプリケーション情報



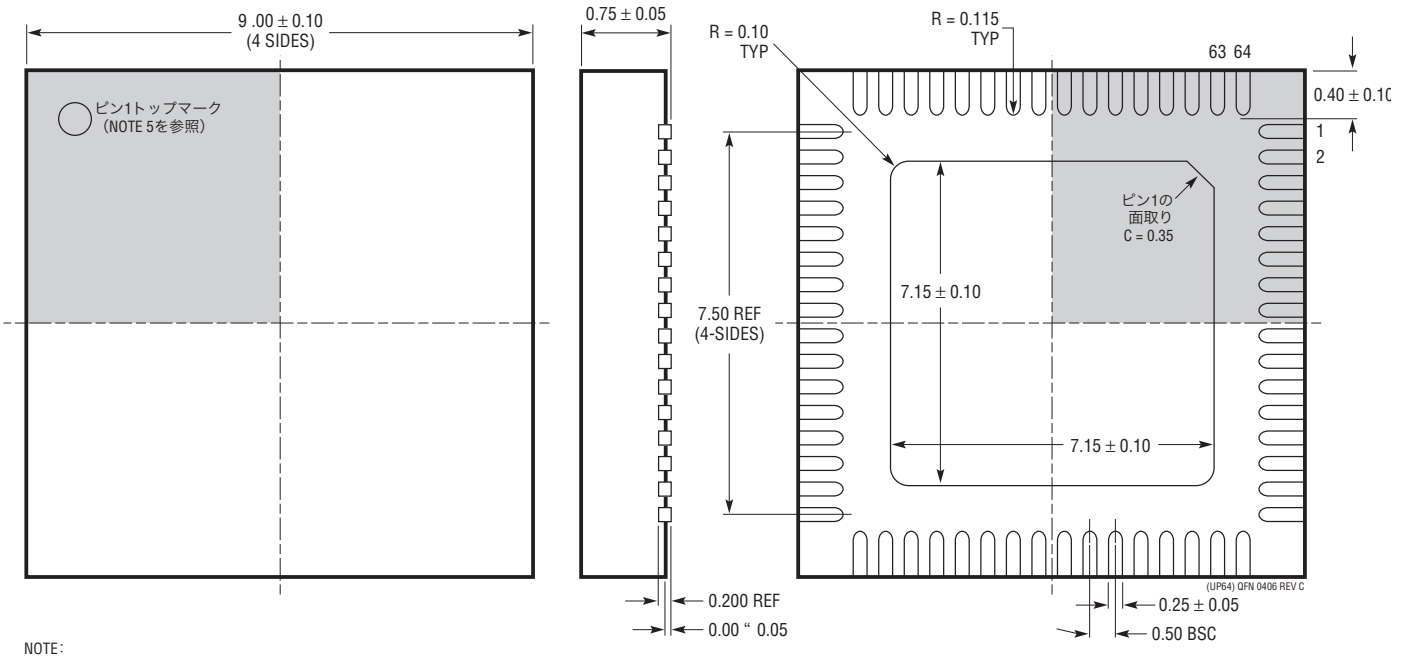
* VERSION TABLE														
ASSEMBLY	U2	B/TS	C8	C9-10	L1	R36, 44	R45	T2	INPUT FREQUENCY
DC996B-E	LTC2217IUP	16	4.7pF	8.2pF	56nH	86.6	86.6	MABA-ES0060	1MHz TO 70MHz
DC996B-F	LTC2217IUP	16	1.8pF	3.9pF	18nH	43.2	182	WBC1-1LB	70MHz TO 140MHz
DC996B-G	LTC2216IUP	16	4.7pF	8.2pF	56nH	86.6	86.6	MABA-ES0060	1MHz TO 70MHz
DC996B-H	LTC2216IUP	16	1.8pF	3.9pF	18nH	43.2	182	WBC1-1LB	70MHz TO 140MHz
DC996B-I	LTC2215IUP	16	4.7pF	8.2pF	56nH	86.6	86.6	MABA-ES0060	1MHz TO 70MHz
DC996B-J	LTC2215IUP	16	4.7pF	7.9pF	18nH	43.2	182	WBC1-1LB	70MHz TO 140MHz

パッケージ

UPパッケージ
64ピン・プラスチックQFN(9mm × 9mm)
(Reference LTC DWG # 05-08-1705)



推奨する半田パッドのピッチと寸法
半田付けしない部分には半田マスクが必要



底面図—露出パッド

NOTE:
1. 図はJEDECのパッケージ外形MO-220のバリエーションWNJR-5に適合
2.すべての寸法はミリメートル
3. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで0.20mmを超えないこと
4. 露出パッドは半田メッキとする
5. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない
6. 図は実寸とは異なる

LINEAR TECHNOLOGY
リニアテクノロジー・コーポレーションがここで提供する情報は正確かつ信頼できるものと考えておりますが、その使用に関する責務は一切負いません。また、ここに記載された回路結線と既存特許とのいかなる関連についても一切関知いたしません。なお、日本語の資料はあくまでも参考資料です。訂正、変更、改版に追従していない場合があります。最終的な確認は必ず最新の英語版データシートでお願いいたします。

関連製品

製品番号	説明	注釈
LTC1993	高速差動オペアンプ	BW：600MHz、歪み：75dBc（70MHz）
LTC2202	16ビット、10Msps ADC	150mW、SNR：81.6dB、SFDR：100dB
LTC2203	16ビット、25Msps ADC	230mW、SNR：81.6dB、SFDR：100dB
LTC2204	16ビット、40Msps ADC	470mW、SNR：79.1dB、SFDR：100dB
LTC2205	16ビット、65Msps ADC	530mW、SNR：79dB、SFDR：100dB
LTC2206	16ビット、80Msps ADC	725mW、SNR：77.9dB、SFDR：100dB
LTC2207	16ビット、105Msps ADC	900mW、SNR：77.9dB、SFDR：100dB
LTC2208	16ビット、130Msps ADC	1250mW、SNR：77.7dB、SFDR：100dB
LTC2209	16ビット、160Msps ADC	1450mW、SNR：77.1dB、SFDR：100dB
LTC2217	16ビット、105Msps ADC	低ノイズ1190mW、SNR：81.2dB、SFDR：100dB
LTC2220	12ビット、170Msps ADC	890mW、SNR：67.5dB、9mm×9mm QFNパッケージ
LTC2220-1	12ビット、185Msps ADC	910mW、SNR：67.5dB、9mm×9mm QFNパッケージ
LTC2249	14ビット、65Msps ADC	230mW、SNR：73dB、5mm×5mm QFNパッケージ
LTC2250	10ビット、105Msps ADC	320mW、SNR：61.6dB、5mm×5mm QFNパッケージ
LTC2251	10ビット、125Msps ADC	395mW、SNR：61.6dB、5mm×5mm QFNパッケージ
LTC2252	12ビット、105Msps ADC	320mW、SNR：70.2dB、5mm×5mm QFNパッケージ
LTC2253	12ビット、125Msps ADC	395mW、SNR：70.2dB、5mm×5mm QFNパッケージ
LTC2254	14ビット、105Msps ADC	320mW、SNR：72.5dB、5mm×5mm QFNパッケージ
LTC2255	14ビット、125Msps ADC	395mW、SNR：72.4dB、5mm×5mm QFNパッケージ
LTC2299	デュアル14ビット、80Msps ADC	445mW、SNR：73dB、9mm×9mm QFNパッケージ
LT5522	400MHz～2.7GHz高直線性ダウンコンバーティング・ミキサ	4.5V～5.25Vの電源、IIP3：900MHzで25dBm、NF = 12.5dB、50ΩシングルエンドのRFポートとLOポート
LT5527	400MHz～3.7GHz高直線性ダウンコンバーティング・ミキサ	高いIIP3：1.9GHzで23.5dBm、変換利得：1.9GHzで2.3dB、NF = 12.5dB
LT5557	400MHz～3.7GHz高信号レベル・ダウンコンバーティング・ミキサ	高いIIP3：3.5GHzで23.5dBm、変換利得：3.5GHzで1.7dB

リニアテクノロジー株式会社
〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F
TEL 03-5226-7291• FAX 03-5226-0268 • www.linear-tech.co.jp

0208 • PRINTED IN JAPAN
© LINEAR TECHNOLOGY CORPORATION 2008