

# 16ビット、 125Msps/105Msps/80Msps 低消費電力デュアルADC

## 特長

- 2チャンネル同時サンプリングADC
- SNR: 76.8dB
- SFDR: 90dB
- 低消費電力: 370mW/308mW/200mW (合計)、185mW/154mW/100mW (チャンネル当たり)
- 単一1.8V電源
- CMOS、DDR CMOSまたはDDR LVDS出力
- 選択可能な入力範囲: 1V<sub>p-p</sub> ~ 2V<sub>p-p</sub>
- 550MHzのフルパワー帯域幅S/H
- オプションのデータ出力ランダムマイザ
- オプションのクロック・デューティサイクル・スタビライザ
- シャットダウン・モードとナップ・モード
- 設定用のシリアルSPIポート
- 64ピン(9mm×9mm)QFNパッケージ

## アプリケーション

- 通信
- セルラー基地局
- ソフトウェア無線
- 携帯型医療用画像処理
- マルチチャンネル・データ収集
- 非破壊試験

## 概要

LTC<sup>®</sup>2185/LTC2184/LTC2183は、広いダイナミック・レンジの高周波信号をデジタル化する、2チャンネル同時サンプリング16ビットA/Dコンバータです。SNRが76.8dB、SFDRが90dBという優れたAC特性を備えているため、要求の厳しい通信アプリケーションに最適です。また、ジッタがわずか0.07ps<sub>RMS</sub>なので、優れたノイズ性能を維持しながらIF周波数をアンダーサンプリングできます。

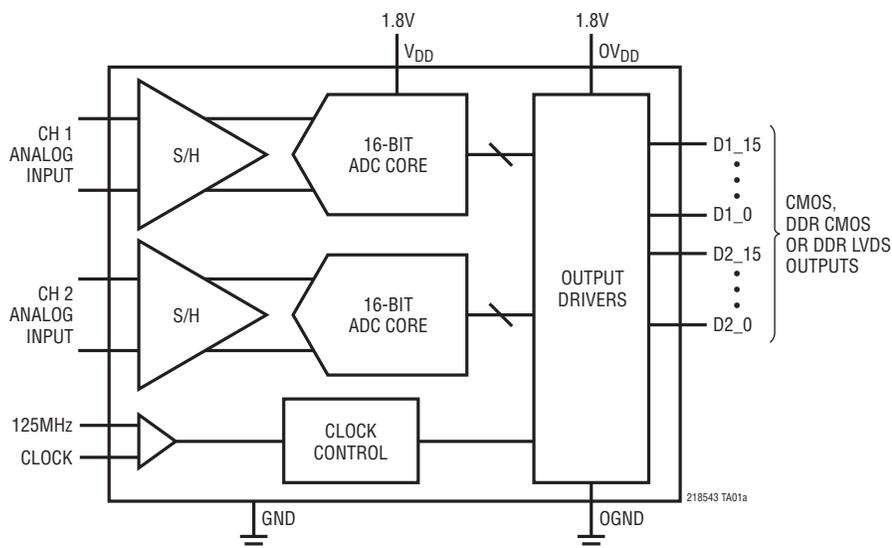
DC仕様には、±2LSB (標準) のINLと±0.5LSB (標準) のDNL、全温度範囲でミッシング・コードがないことが規定されています。遷移ノイズは3.4LSB<sub>RMS</sub>です。

デジタル出力は、フルレートCMOS、ダブルデータレートCMOS、ダブルデータレートLVDSのいずれかに設定可能です。独立した出力電源により、1.2V ~ 1.8VのCMOS出力振幅が可能です。

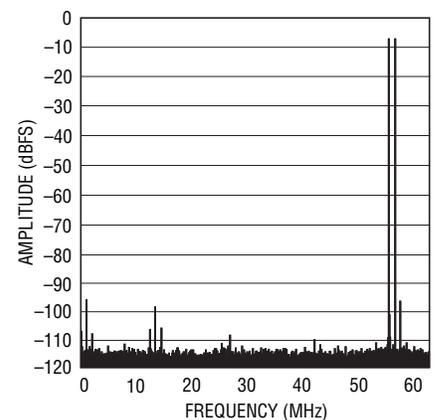
ENC<sup>+</sup>およびENC<sup>-</sup>入力は、正弦波、PECL、LVDS、TTL、またはCMOSの入力信号を使って差動またはシングルエンドでドライブ可能です。また、オプションのクロック・デューティサイクル・スタビライザにより、広範なクロック・デューティサイクルにおいてフルスピードで高性能を達成できます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

## 標準的応用例



2トーンFFT、 $f_{IN} = 70\text{MHz}$ および $69\text{MHz}$



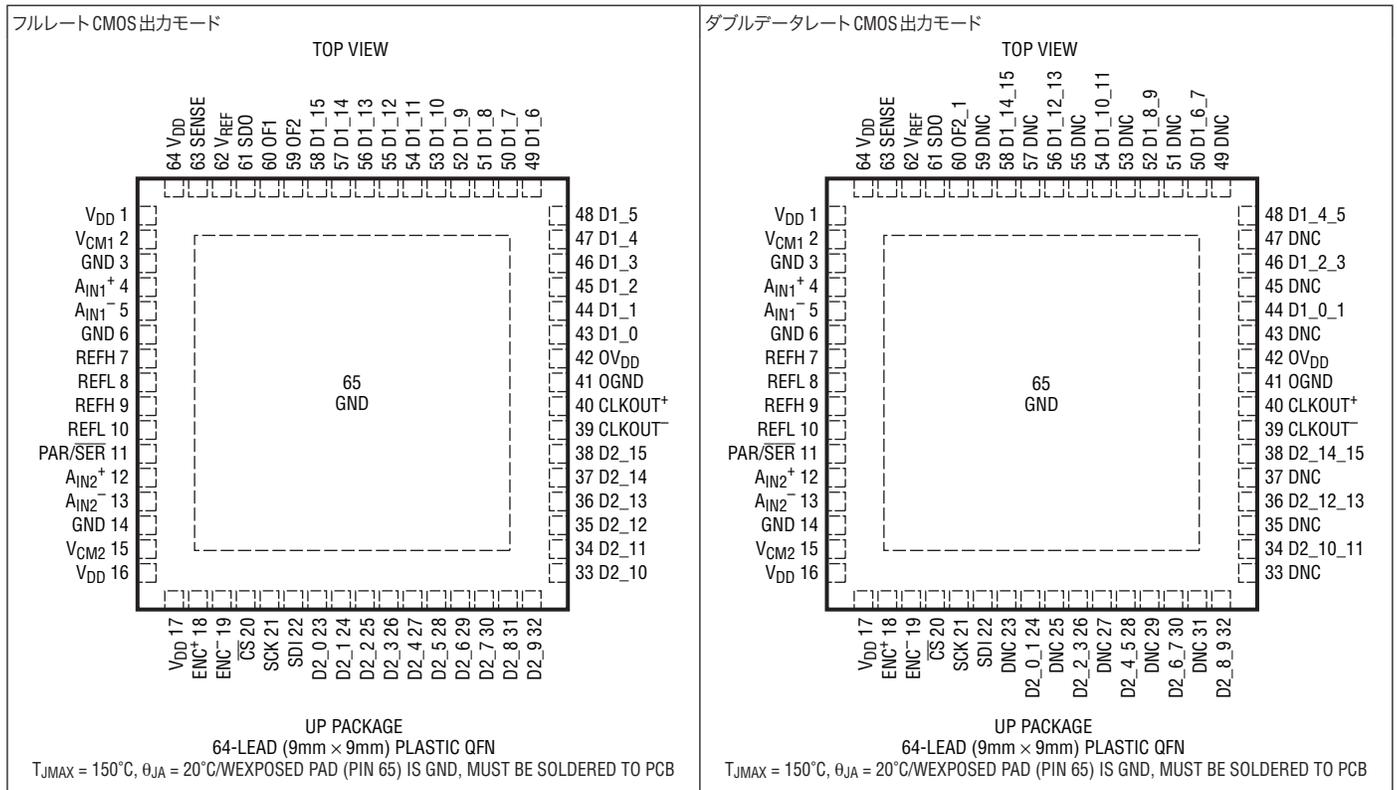
# LTC2185/LTC2184/LTC2183

## 絶対最大定格 (Note 1, 2)

電源電圧 ( $V_{DD}$ ,  $OV_{DD}$ ) .....  $-0.3V \sim 2V$   
 アナログ入力電圧 ( $A_{IN}^+$ ,  $A_{IN}^-$ , PAR/SER, SENSE)  
 (Note 3) .....  $-0.3V \sim (V_{DD} + 0.2V)$   
 デジタル入力電圧 ( $ENC^+$ ,  $ENC^-$ ,  $\overline{CS}$ , SDI, SCK)  
 (Note 4) .....  $-0.3V \sim 3.9V$   
 SDO (Note 4) .....  $-0.3V \sim 3.9V$

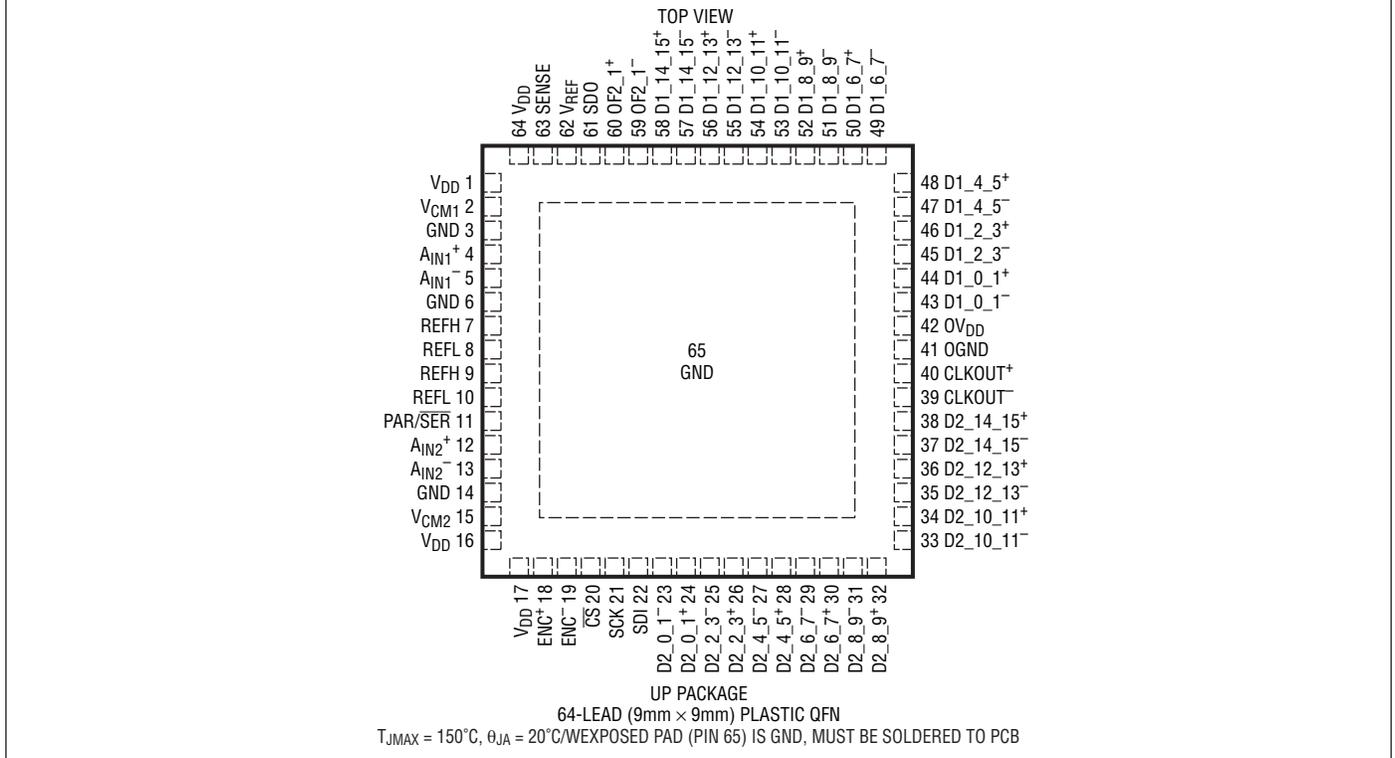
デジタル出力電圧 .....  $-0.3V \sim (OV_{DD} + 0.3V)$   
 動作温度範囲  
 LTC2185C, 2184C, 2183C .....  $0^{\circ}C \sim 70^{\circ}C$   
 LTC2185I, 2184I, 2183I .....  $-40^{\circ}C \sim 85^{\circ}C$   
 保存温度範囲 .....  $-65^{\circ}C \sim 150^{\circ}C$

## ピン配置



## ピン配置

ダブルデータレート LVDS 出力モード



## 発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2185CUP#PBF	LTC2185CUP#TRPBF	LTC2185UP	64-Lead (9mm × 9mm) Plastic QFN	0°C to 70°C
LTC2185IUP#PBF	LTC2185IUP#TRPBF	LTC2185UP	64-Lead (9mm × 9mm) Plastic QFN	-40°C to 85°C
LTC2184CUP#PBF	LTC2184CUP#TRPBF	LTC2184UP	64-Lead (9mm × 9mm) Plastic QFN	0°C to 70°C
LTC2184IUP#PBF	LTC2184IUP#TRPBF	LTC2184UP	64-Lead (9mm × 9mm) Plastic QFN	-40°C to 85°C
LTC2183CUP#PBF	LTC2183CUP#TRPBF	LTC2183UP	64-Lead (9mm × 9mm) Plastic QFN	0°C to 70°C
LTC2183IUP#PBF	LTC2183IUP#TRPBF	LTC2183UP	64-Lead (9mm × 9mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。\* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。  
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

# LTC2185/LTC2184/LTC2183

## コンバータの特性

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 5)

PARAMETER	CONDITIONS		LTC2185			LTC2184			LTC2183			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Resolution (No Missing Codes)		●	16			16			16			Bits
Integral Linearity Error	Differential Analog Input (Note 6)	●	-7.5	±2	7.5	-7.5	±2	7.5	-7.5	±2	7.5	LSB
Differential Linearity Error	Differential Analog Input	●	-0.9	±0.5	0.9	-0.9	±0.5	0.9	-0.9	±0.5	0.9	LSB
Offset Error	(Note 7)	●	-7	±1.5	7	-7	±1.5	7	-7	±1.5	7	mV
Gain Error	Internal Reference			±1.5			±1.5			±1.5		%FS
	External Reference	●	-2.3	-0.9	0.3	-2.1	-0.8	0.4	-1.8	-0.5	0.8	%FS
Offset Drift				±10			±10			±10		$\mu\text{V}/^\circ\text{C}$
Full-Scale Drift	Internal Reference			±30			±30			±30		ppm/ $^\circ\text{C}$
	External Reference			±10			±10			±10		ppm/ $^\circ\text{C}$
Gain Matching				±0.3			±0.3			±0.3		%FS
Offset Matching				±1.5			±1.5			±1.5		mV
Transition Noise				3.4			3.5			3.2		$\text{LSB}_{\text{RMS}}$

## アナログ入力

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$V_{\text{IN}}$	Analog Input Range ( $A_{\text{IN}^+} - A_{\text{IN}^-}$ )	$1.7\text{V} < V_{\text{DD}} < 1.9\text{V}$	●		1 to 2		$V_{\text{P-P}}$
$V_{\text{IN(CM)}}$	Analog Input Common Mode ( $A_{\text{IN}^+} + A_{\text{IN}^-}$ )/2	Differential Analog Input (Note 8)	●	0.7	$V_{\text{CM}}$	1.25	V
$V_{\text{SENSE}}$	External Voltage Reference Applied to SENSE	External Reference Mode	●	0.625	1.250	1.300	V
$I_{\text{INCM}}$	Analog Input Common Mode Current	Per Pin, 125MSPS Per Pin, 105MSPS			200		$\mu\text{A}$
					170		$\mu\text{A}$
					130		$\mu\text{A}$
$I_{\text{IN1}}$	Analog Input Leakage Current (No Encode)	$0 < A_{\text{IN}^+}, A_{\text{IN}^-} < V_{\text{DD}}$	●	-1.5		1.5	$\mu\text{A}$
$I_{\text{IN2}}$	PAR/SER Input Leakage Current	$0 < \text{PAR/SER} < V_{\text{DD}}$	●	-3		3	$\mu\text{A}$
$I_{\text{IN3}}$	SENSE Input Leakage Current	$0.625 < \text{SENSE} < 1.3\text{V}$	●	-3		3	$\mu\text{A}$
$t_{\text{AP}}$	Sample-and-Hold Acquisition Delay Time				0		ns
$t_{\text{JITTER}}$	Sample-and-Hold Acquisition Delay Jitter	Single-Ended Encode			0.07		$\text{pS}_{\text{RMS}}$
		Differential Encode			0.09		$\text{pS}_{\text{RMS}}$
CMRR	Analog Input Common Mode Rejection Ratio				80		dB
BW-3B	Full-Power Bandwidth	Figure 6 Test Circuit			550		MHz

## ダイナミック精度

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	LTC2185			LTC2184			LTC2183			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
SNR	Signal-to-Noise Ratio	5MHz Input 70MHz Input 140MHz Input	●	74.8	76.8		74.8	76.7		75.1	77.1		dBFS
					76.6			76.5			76.9		dBFS
					76.1			76			76.4		dBFS
SFDR	Spurious Free Dynamic Range 2nd Harmonic	5MHz Input 70MHz Input 140MHz Input	●	79	90		81	90		81	90		dBFS
					89			89			89		dBFS
					84			84			84		dBFS
SFDR	Spurious Free Dynamic Range 3rd Harmonic	5MHz Input 70MHz Input 140MHz Input	●	82	90		81	90		82	90		dBFS
					89			89			89		dBFS
					84			84			84		dBFS
SFDR	Spurious Free Dynamic Range 4th Harmonic or Higher	5MHz Input 70MHz Input 140MHz Input	●	89	95		89	95		89	95		dBFS
					95			95			95		dBFS
					95			95			95		dBFS
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	5MHz Input 70MHz Input 140MHz Input	●	73.3	76.6		73.9	76.5		74.4	76.9		dBFS
					76.2			76.1			76.5		dBFS
					75.1			75			75.3		dBFS
	Crosstalk	10MHz Input			-110			-110			-110	dBc	

## 内部リファレンスの特性

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{CM}$ Output Voltage	$I_{OUT} = 0$	$0.5 \cdot V_{DD} - 25\text{mV}$	$0.5 \cdot V_{DD}$	$0.5 \cdot V_{DD} + 25\text{mV}$	V
$V_{CM}$ Output Temperature Drift			$\pm 25$		ppm/ $^\circ\text{C}$
$V_{CM}$ Output Resistance	$-600\mu\text{A} < I_{OUT} < 1\text{mA}$		4		$\Omega$
$V_{REF}$ Output Voltage	$I_{OUT} = 0$	1.225	1.250	1.275	V
$V_{REF}$ Output Temperature Drift			$\pm 25$		ppm/ $^\circ\text{C}$
$V_{REF}$ Output Resistance	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$		7		$\Omega$
$V_{REF}$ Line Regulation	$1.7\text{V} < V_{DD} < 1.9\text{V}$		0.6		mV/V

# LTC2185/LTC2184/LTC2183

## デジタル入力とデジタル出力

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
<b>エンコード入力(ENC+, ENC-)</b>							
<b>差動エンコード・モード(ENCはGNDに接続されていない)</b>							
$V_{ID}$	Differential Input Voltage	(Note 8)	●	0.2			V
$V_{ICM}$	Common Mode Input Voltage	Internally Set Externally Set (Note 8)	●	1.1	1.2	1.6	V V
$V_{IN}$	Input Voltage Range	ENC+, ENC- to GND	●	0.2		3.6	V
$R_{IN}$	Input Resistance	(See Figure 10)			10		k $\Omega$
$C_{IN}$	Input Capacitance	(Note 8)			3.5		pF
<b>シングルエンド・エンコード・モード(ENCはGNDに接続されている)</b>							
$V_{IH}$	High Level Input Voltage	$V_{DD} = 1.8\text{V}$	●	1.2			V
$V_{IL}$	Low Level Input Voltage	$V_{DD} = 1.8\text{V}$	●			0.6	V
$V_{IN}$	Input Voltage Range	ENC+ to GND	●	0		3.6	V
$R_{IN}$	Input Resistance	(See Figure 11)			30		k $\Omega$
$C_{IN}$	Input Capacitance	(Note 8)			3.5		pF
<b>デジタル入力(CS, SDI, SCKはシリアルまたはパラレル・プログラミング・モード。SDOはパラレル・プログラミング・モード)</b>							
$V_{IH}$	High Level Input Voltage	$V_{DD} = 1.8\text{V}$	●	1.3			V
$V_{IL}$	Low Level Input Voltage	$V_{DD} = 1.8\text{V}$	●			0.6	V
$I_{IN}$	Input Current	$V_{IN} = 0\text{V to } 3.6\text{V}$	●	-10		10	$\mu\text{A}$
$C_{IN}$	Input Capacitance	(Note 8)			3		pF
<b>SDOの出力(シリアル・プログラミング・モード。オープン・ドレイン出力。SDOが使われる場合、2k<math>\Omega</math>のプルアップ抵抗が必要)</b>							
$R_{OL}$	Logic Low Output Resistance to GND	$V_{DD} = 1.8\text{V}, \text{SDO} = 0\text{V}$			200		$\Omega$
$I_{OH}$	Logic High Output Leakage Current	$\text{SDO} = 0\text{V to } 3.6\text{V}$	●	-10		10	$\mu\text{A}$
$C_{OUT}$	Output Capacitance	(Note 8)			3		pF
<b>デジタル・データ出力(CMOSモード:フルデータレートとダブルデータレート)</b>							
<b><math>OV_{DD} = 1.8\text{V}</math></b>							
$V_{OH}$	High Level Output Voltage	$I_O = 500\mu\text{A}$	●	1.750	1.790		V
$V_{OL}$	Low Level Output Voltage	$I_O = 500\mu\text{A}$	●		0.010	0.050	V
<b><math>OV_{DD} = 1.5\text{V}</math></b>							
$V_{OH}$	High Level Output Voltage	$I_O = 500\mu\text{A}$			1.488		V
$V_{OL}$	Low Level Output Voltage	$I_O = 500\mu\text{A}$			0.010		V
<b><math>OV_{DD} = 1.2\text{V}</math></b>							
$V_{OH}$	High Level Output Voltage	$I_O = 500\mu\text{A}$			1.185		V
$V_{OL}$	Low Level Output Voltage	$I_O = 500\mu\text{A}$			0.010		V
<b>デジタル・データ出力(LVDSモード)</b>							
$V_{OD}$	Differential Output Voltage	100 $\Omega$ Differential Load, 3.5mA Mode 100 $\Omega$ Differential Load, 1.75mA Mode	●	247	350 175	454	mV mV
$V_{OS}$	Common Mode Output Voltage	100 $\Omega$ Differential Load, 3.5mA Mode 100 $\Omega$ Differential Load, 1.75mA Mode	●	1.125	1.250 1.250	1.375	V V
$R_{TERM}$	On-Chip Termination Resistance	Termination Enabled, $OV_{DD} = 1.8\text{V}$			100		$\Omega$

## 電源要件

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS	LTC2185			LTC2184			LTC2183			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
<b>CMOS出力モード:フルデータレートとダブルデータレート</b>													
$V_{DD}$	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
$OV_{DD}$	Output Supply Voltage	(Note 10)	●	1.1	1.8	1.9	1.1	1.8	1.9	1.1	1.8	1.9	V
$I_{VDD}$	Analog Supply Current	DC Input Sine Wave Input	●		206	228		171	188		111	124	mA mA
$I_{OVDD}$	Digital Supply Current	Sine Wave Input, $OV_{DD}=1.2\text{V}$			10			8			6		mA
$P_{DISS}$	Power Dissipation	DC Input Sine Wave Input, $OV_{DD}=1.2\text{V}$	●		370	410		308	339		200	223	mW mW

## LVDS出力モード

$V_{DD}$	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
$OV_{DD}$	Output Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
$I_{VDD}$	Analog Supply Current	Sine Input, 1.75mA Mode Sine Input, 3.5mA Mode	●		211	233		175	193		115	128	mA mA
$I_{OVDD}$	Digital Supply Current ( $OV_{DD} = 1.8\text{V}$ )	Sine Input, 1.75mA Mode Sine Input, 3.5mA Mode	●		40	86		40	85		39	84	mA mA
$P_{DISS}$	Power Dissipation	Sine Input, 1.75mA Mode Sine Input, 3.5mA Mode	●		452	574		387	500		277	382	mW mW

## すべての出力モード

$P_{SLEEP}$	Sleep Mode Power				1			1			1		mW
$P_{NAP}$	Nap Mode Power				16			16			16		mW
$P_{DIFFCLK}$	Power Increase with Differential Encode Mode Enabled (No Increase for Nap or Sleep Modes)				20			20			20		mW

## タイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	LTC2185			LTC2184			LTC2183			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
$f_S$	Sampling Frequency	(Note 10)	●	1		125	1		105	1		80	MHz
$t_L$	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off	●	3.8	4	500	4.52	4.76	500	5.93	6.25	500	ns
		Cycle Stabilizer On	●	2	4	500	2	4.76	500	2	6.25	500	ns
$t_H$	ENC High Time (Note 8)	Duty Cycle Stabilizer Off	●	3.8	4	500	4.52	4.76	500	5.93	6.25	500	ns
		Cycle Stabilizer On	●	2	4	500	2	4.76	500	2	6.25	500	ns
$t_{AP}$	Sample-and-Hold Acquisition Delay Time				0			0			0		ns

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>デジタル・データ出力 (CMOSモード:フルデータレートとダブルデータレート)</b>							
$t_D$	ENC to Data Delay	$C_L = 5\text{pF}$ (Note 8)	●	1.1	1.7	3.1	ns
$t_C$	ENC to CLKOUT Delay	$C_L = 5\text{pF}$ (Note 8)	●	1	1.4	2.6	ns
$t_{SKEW}$	DATA to CLKOUT Skew	$t_D - t_C$ (Note 8)	●	0	0.3	0.6	ns
	Pipeline Latency	Full Data Rate Mode Double Data Rate Mode			6 6.5	Cycles Cycles	

# LTC2185/LTC2184/LTC2183

## タイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
<b>デジタル・データ出力 (LVDSモード)</b>							
$t_D$	ENC to Data Delay	$C_L = 5\text{pF}$ (Note 8)	●	1.1	1.8	3.2	ns
$t_C$	ENC to CLKOUT Delay	$C_L = 5\text{pF}$ (Note 8)	●	1	1.5	2.7	ns
$t_{\text{SKEW}}$	DATA to CLKOUT Skew	$t_D - t_C$ (Note 8)	●	0	0.3	0.6	ns
	Pipeline Latency				6.5		Cycles
<b>SPIポートのタイミング (Note 8)</b>							
$t_{\text{SCK}}$	SCK Period	Write Mode Readback Mode, $C_{\text{SDO}} = 20\text{pF}$ , $R_{\text{PULLUP}} = 2\text{k}$	● ●	40 250			ns ns
$t_S$	$\overline{\text{CS}}$ to SCK Setup Time		●	5			ns
$t_H$	SCK to $\overline{\text{CS}}$ Setup Time		●	5			ns
$t_{\text{DS}}$	SDI Setup Time		●	5			ns
$t_{\text{DH}}$	SDI Hold Time		●	5			ns
$t_{\text{DO}}$	SCK Falling to SDO Valid	Readback Mode, $C_{\text{SDO}} = 20\text{pF}$ , $R_{\text{PULLUP}} = 2\text{k}$	●			125	ns

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

**Note 2:** すべての電圧値は(注記がない限り) GNDとOGNDを短絡した状態のGNDを基準としている。

**Note 3:** これらのピンの電圧をGNDより低くするか、 $V_{\text{DD}}$ より高くすると、内部のダイオードによってクランプされる。この製品は、GNDより低いか、または $V_{\text{DD}}$ より高い電圧でラッチアップを生じることなく100mAを超える入力電流を処理することができる。

**Note 4:** これらのピンの電圧をGNDより低くすると、内部のダイオードによってクランプされる。これらのピンの電圧を $V_{\text{DD}}$ より高くすると、内部のダイオードによってクランプされない。この製品は、GNDより低い電圧で、ラッチアップを生じることなく100mAを超える入力電流を処理することができる。

**Note 5:** 注記がない限り、 $V_{\text{DD}} = 0V_{\text{DD}} = 1.8V$ 、 $f_{\text{SAMPLE}} = 125\text{MHz}$  (LTC2185)、 $105\text{MHz}$  (LTC2184)、または $80\text{MHz}$  (LTC2183)、LVDS出力、差動 $\text{ENC}^+/\text{ENC}^- = 2V_{\text{P-P}}$ の正弦波、入力範囲 = 差動ドライブで $2V_{\text{P-P}}$ 。

**Note 6:** 積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定する。

**Note 7:** オフセット誤差は、2の補数の出力モードで出力コードが0000 0000 0000 0000と1111 1111 1111 1111の間を行ったり来たりするとき、 $-0.5\text{LSB}$ から測定したオフセット電圧である。

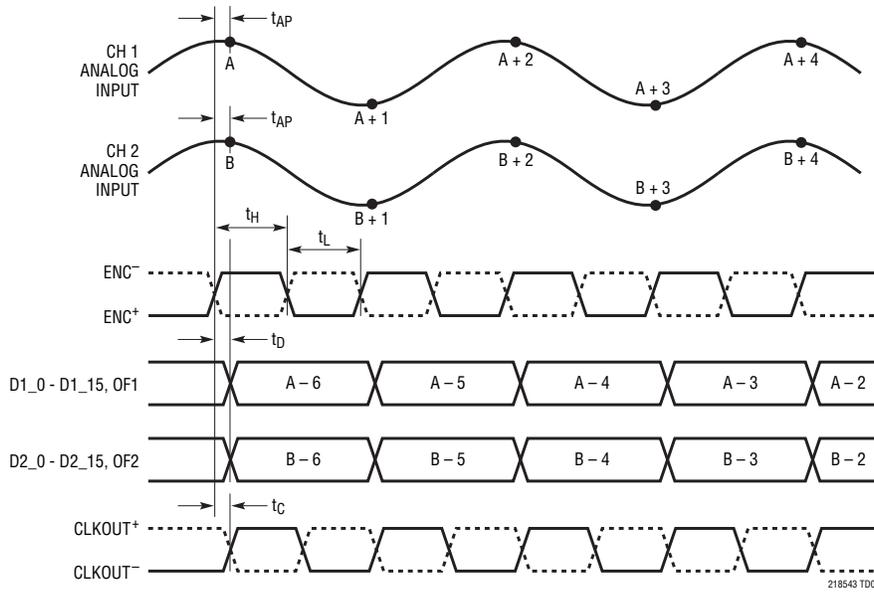
**Note 8:** 設計によって保証されているが、テストされない。

**Note 9:** 注記がない限り、 $V_{\text{DD}} = 1.8V$ 、 $f_{\text{SAMPLE}} = 125\text{MHz}$  (LTC2185)、 $105\text{MHz}$  (LTC2184)、または $80\text{MHz}$  (LTC2183)、CMOS出力、 $\text{ENC}^+ = \text{シングルエンドの} 1.8V$ の方形波、 $\text{ENC}^- = 0V$ 、入力範囲 = 差動ドライブで $2V_{\text{P-P}}$ 、各デジタル出力に $5\text{pF}$ の負荷。消費電流および電力損失の規格値はデバイス全体の合計値であり、1チャンネル当たりの値ではない。

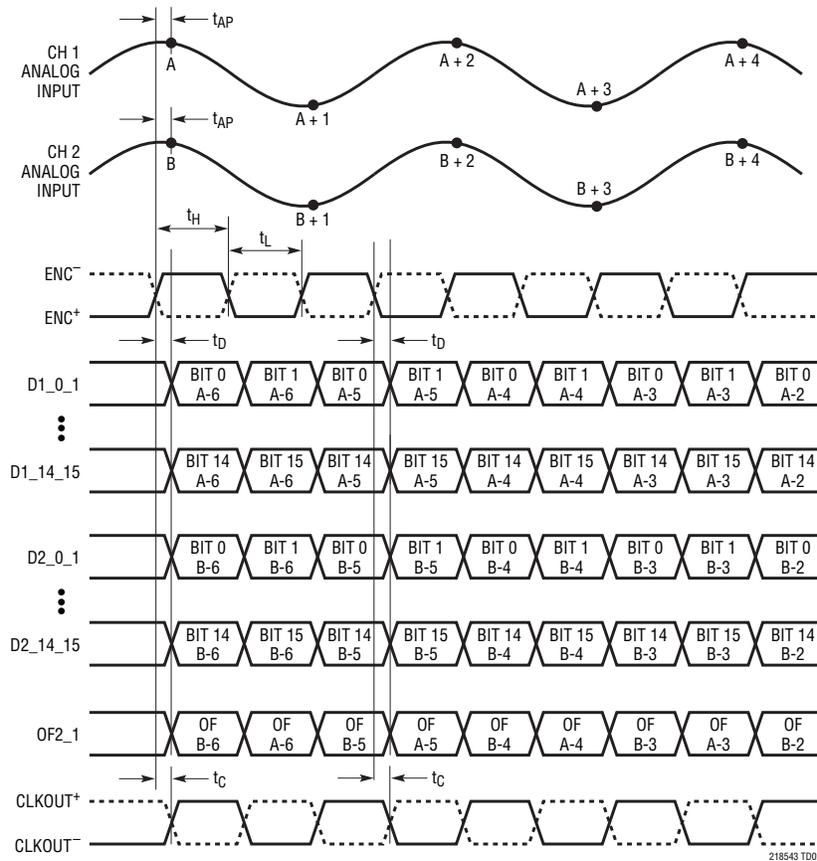
**Note 10:** 推奨動作条件。

タイミング図

フルレート CMOS 出力モードのタイミング  
すべての出力はシングルエンドで CMOS レベル

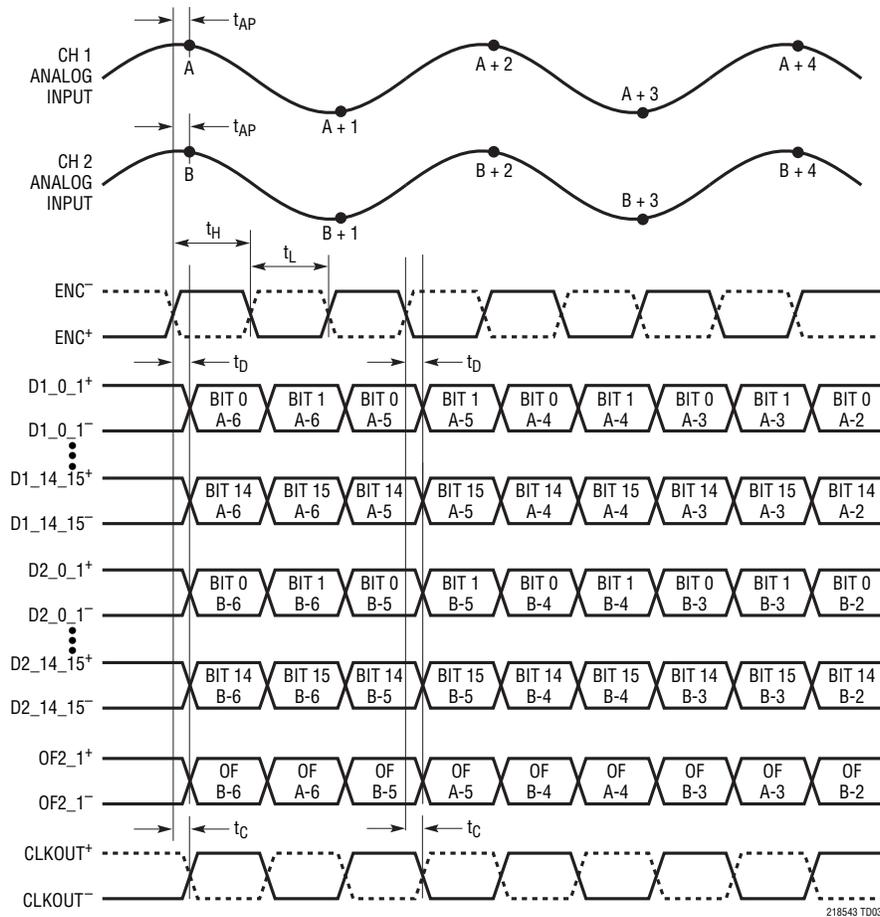


ダブルデータレート CMOS 出力モードのタイミング  
すべての出力はシングルエンドで CMOS レベル

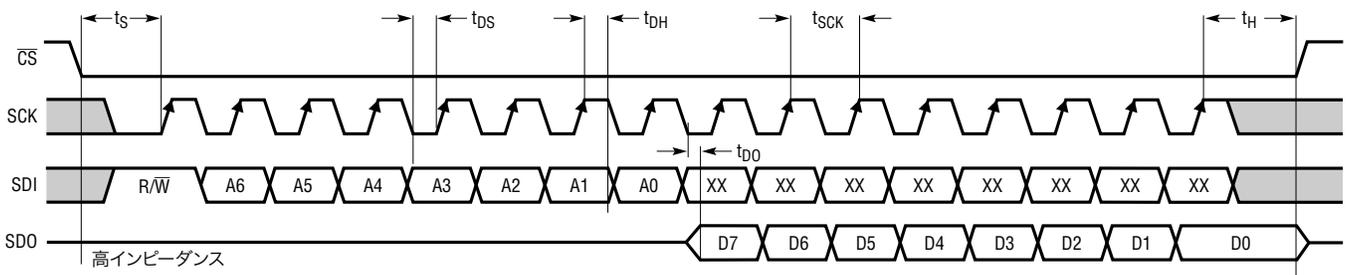


## タイミング図

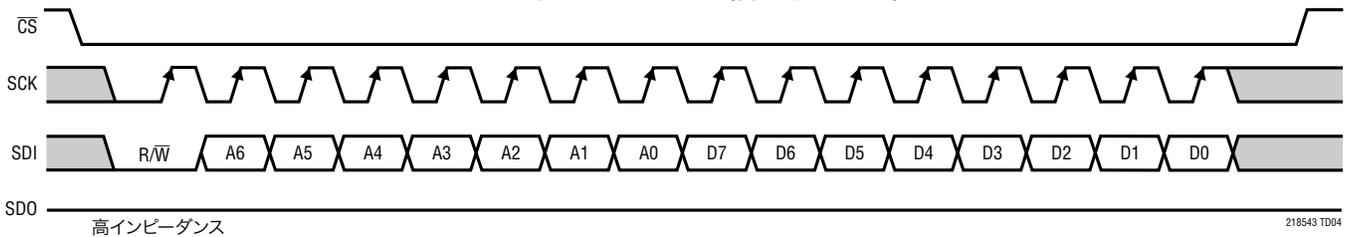
ダブルデータレートLVDS出力モードのタイミング  
すべての出力は差動でLVDSレベル



SPIポートのタイミング(読み出しモード)

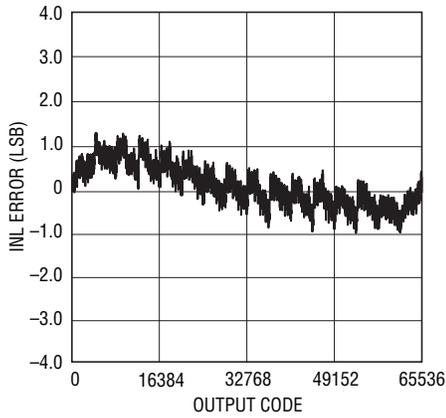


SPIポートのタイミング(書き込みモード)



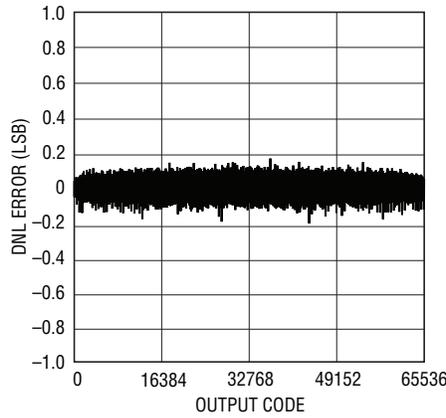
## 標準的性能特性

LTC2185: 積分非直線性 (INL)



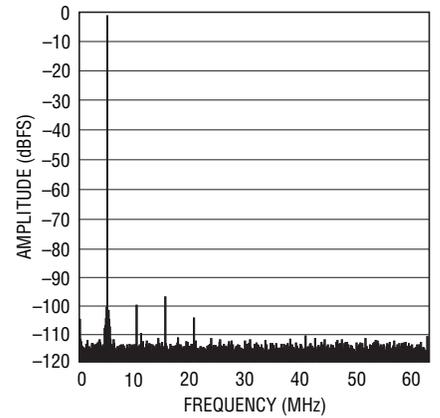
218543 G01

LTC2185: 微分非直線性 (DNL)



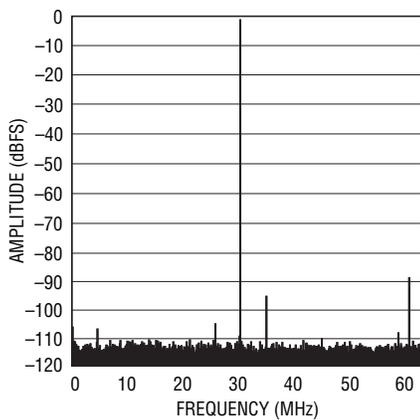
218543 G02

LTC2185: 64kポイントのFFT、  
 $f_{IN} = 5\text{MHz}$ 、 $-1\text{dBFS}$ 、 $125\text{Mps}$



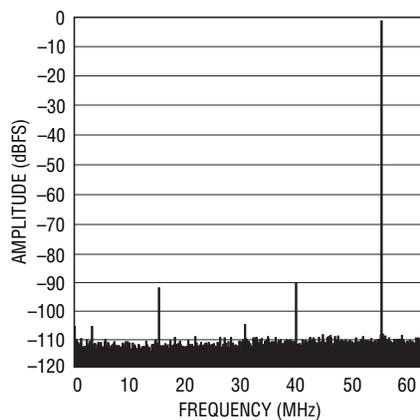
218543 G03

LTC2185: 64kポイントのFFT、  
 $f_{IN} = 30\text{MHz}$ 、 $-1\text{dBFS}$ 、 $125\text{Mps}$



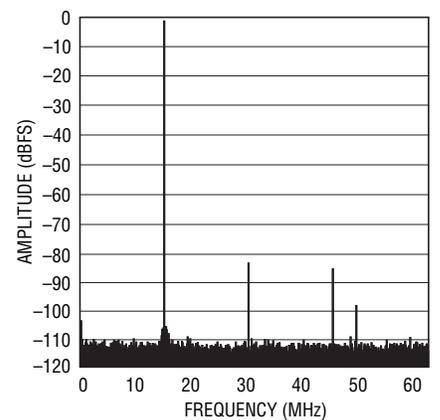
218543 G04

LTC2185: 64kポイントのFFT、  
 $f_{IN} = 70\text{MHz}$ 、 $-1\text{dBFS}$ 、 $125\text{Mps}$



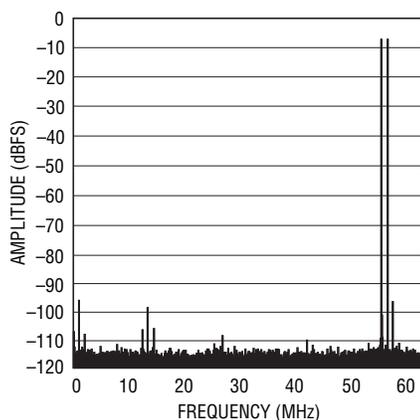
218543 G05

LTC2185: 64kポイントのFFT、  
 $f_{IN} = 140\text{MHz}$ 、 $-1\text{dBFS}$ 、 $125\text{Mps}$



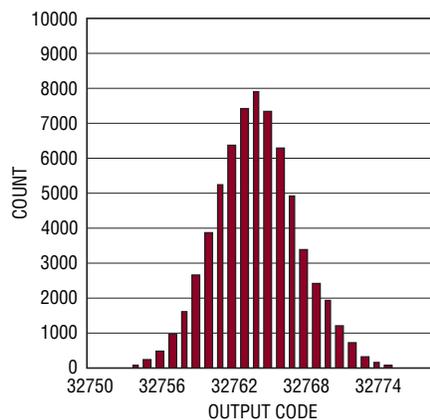
218543 G06

LTC2185: 64kポイントの2トーンFFT、  
 $f_{IN} = 69\text{MHz}$ 、 $70\text{MHz}$ 、 $-7\text{dBFS}$ 、 $125\text{Mps}$



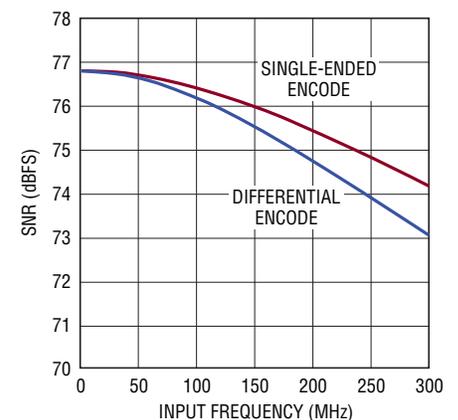
218543 G07

LTC2185: 短絡入力ヒストグラム



218543 G08

LTC2185: SNRと入力周波数、  
 $-1\text{dBFS}$ 、 $125\text{Mps}$ 、 $2\text{V}$  範囲

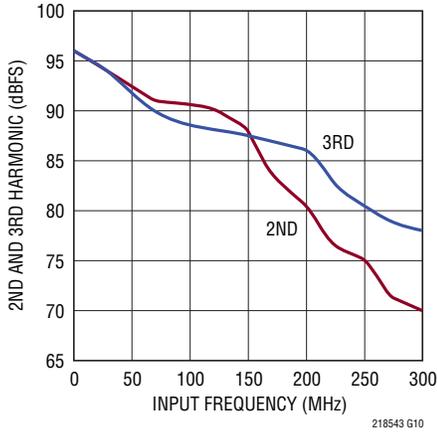


218543 G09

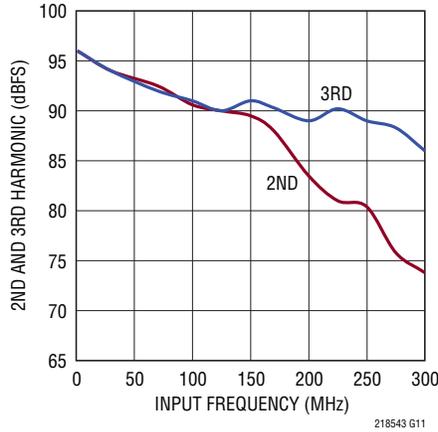
# LTC2185/LTC2184/LTC2183

## 標準的性能特性

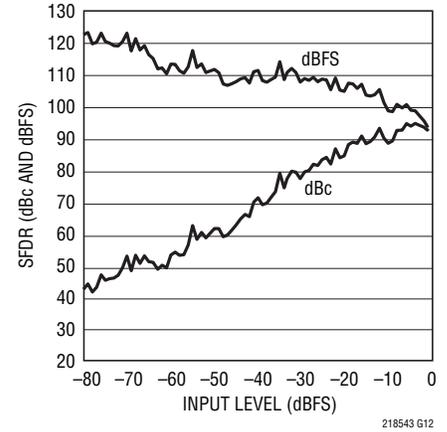
LTC2185: 2次および3次高調波と入力周波数、-1dBFS、125Msps、2V範囲



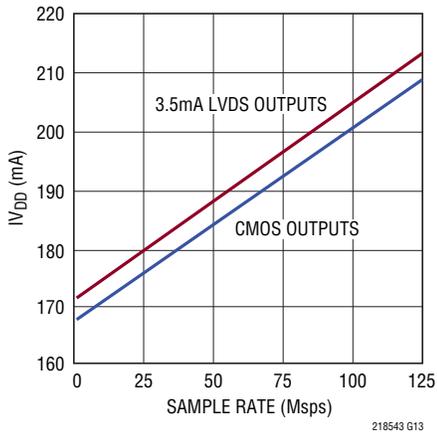
LTC2185: 2次および3次高調波と入力周波数、-1dBFS、125Msps、1V範囲



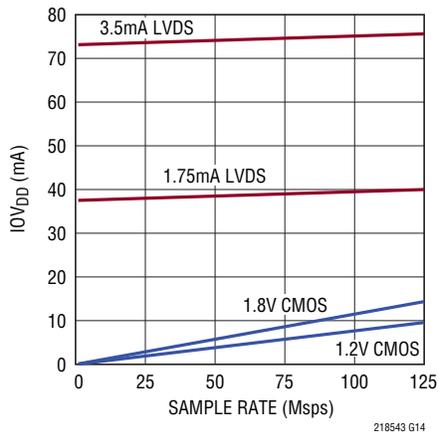
LTC2185: SFDRと入力レベル、 $f_{IN} = 70\text{MHz}$ 、125Msps、2V範囲



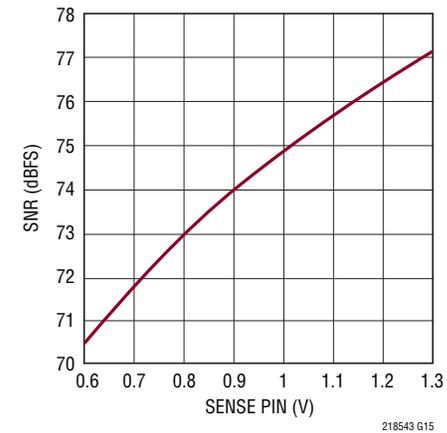
LTC2185:  $I_{VDD}$ とサンプル・レート、5MHz、各チャンネルに-1dBFSの正弦波入力



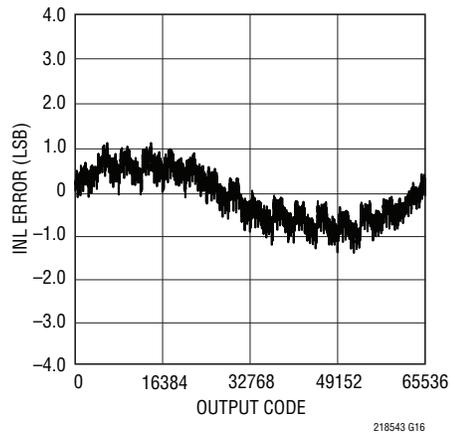
LTC2185:  $I_{O_{VDD}}$ とサンプル・レート、5MHz、各チャンネルに-1dBFSの正弦波入力



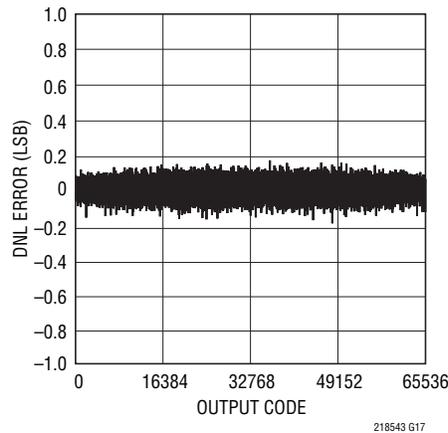
LTC2185: SNRとSENSE、 $f_{IN} = 5\text{MHz}$ 、-1dBFS



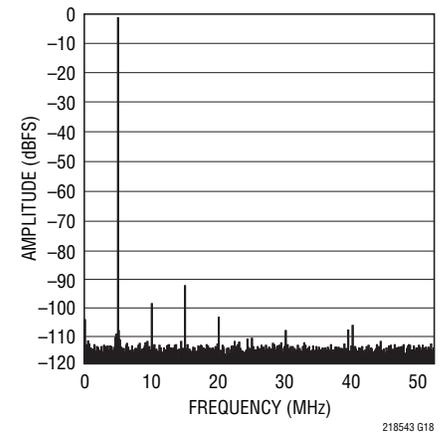
LTC2184: 積分非直線性 (INL)



LTC2184: 微分非直線性 (DNL)

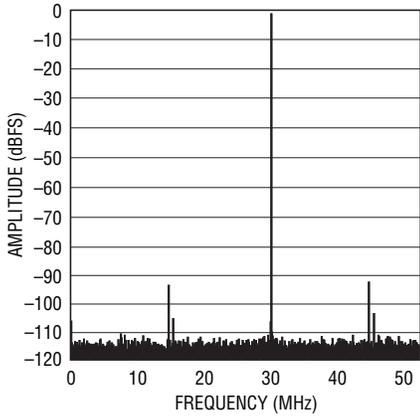


LTC2184: 64kポイントのFFT、 $f_{IN} = 5\text{MHz}$ 、-1dBFS、105Msps

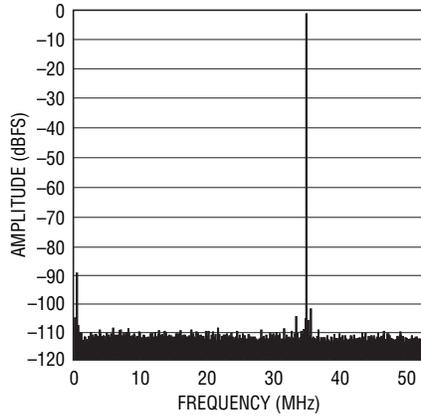


## 標準的性能特性

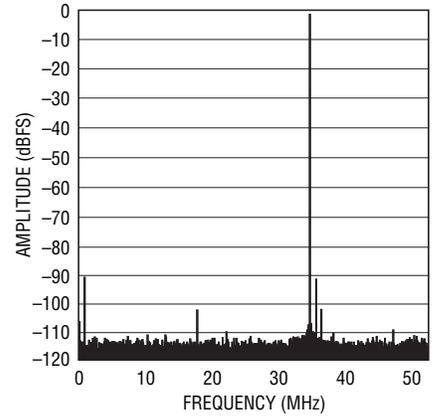
LTC2184: 64kポイントのFFT、  
 $f_{IN} = 30\text{MHz}$ 、 $-1\text{dBFS}$ 、 $105\text{Mpsps}$



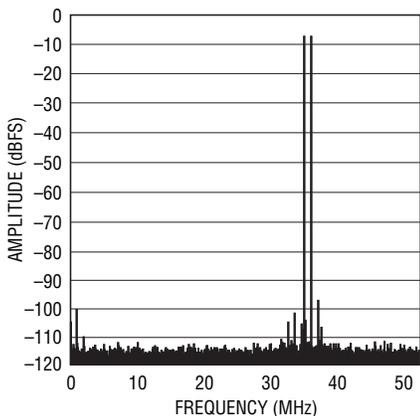
LTC2184: 64kポイントのFFT、  
 $f_{IN} = 70\text{MHz}$ 、 $-1\text{dBFS}$ 、 $105\text{Mpsps}$



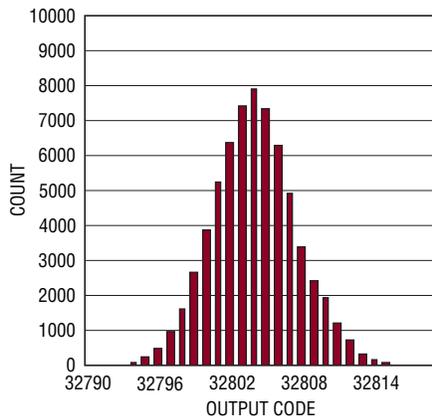
LTC2184: 64kポイントのFFT、  
 $f_{IN} = 140\text{MHz}$ 、 $-1\text{dBFS}$ 、 $105\text{Mpsps}$



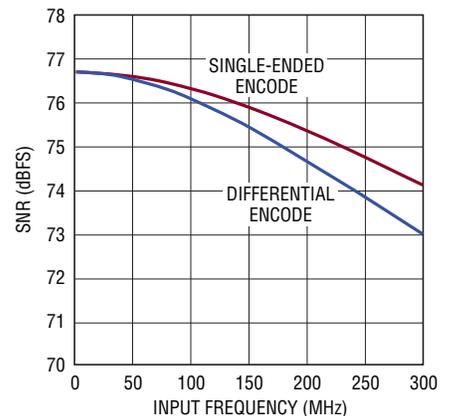
LTC2184: 64kポイントの2トーンFFT、  
 $f_{IN} = 69\text{MHz}$ 、 $70\text{MHz}$ 、 $-7\text{dBFS}$ 、 $105\text{Mpsps}$



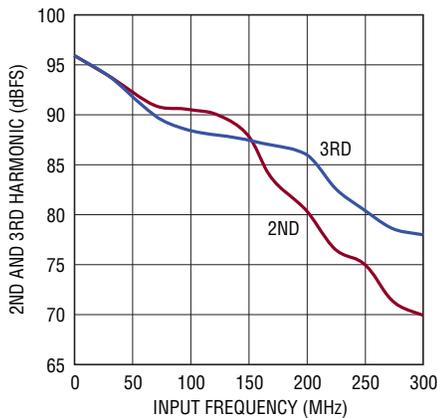
LTC2184: 短絡入力のヒストグラム



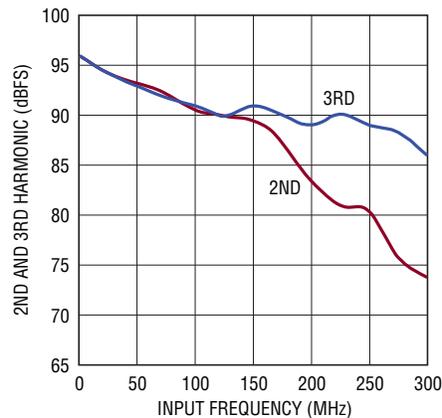
LTC2184: SNRと入力周波数、  
 $-1\text{dBFS}$ 、 $105\text{Mpsps}$ 、 $2\text{V}$  範囲



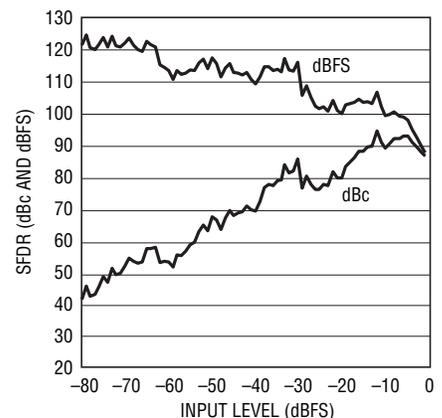
LTC2184: 2次および3次高調波と  
入力周波数、 $-1\text{dBFS}$ 、 $105\text{Mpsps}$ 、 $2\text{V}$  範囲



LTC2184: 2次および3次高調波と入力  
周波数、 $-1\text{dBFS}$ 、 $105\text{Mpsps}$ 、 $1\text{V}$  範囲



LTC2184: SFDRと入力レベル、  
 $f_{IN} = 70\text{MHz}$ 、 $105\text{Mpsps}$ 、 $2\text{V}$  範囲

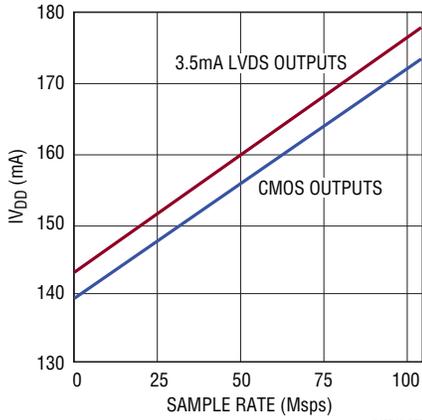


218543f

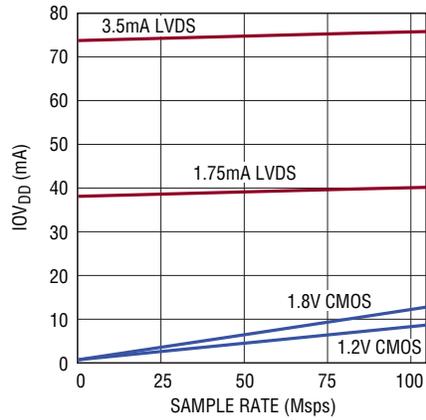
# LTC2185/LTC2184/LTC2183

## 標準的性能特性

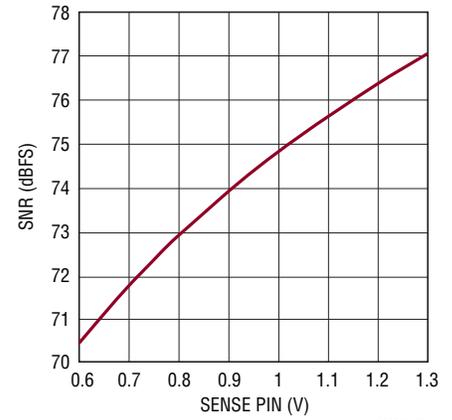
LTC2184:  $I_{VDD}$  とサンプル・レート、  
5MHz、各チャンネルに-1dBFSの  
正弦波入力



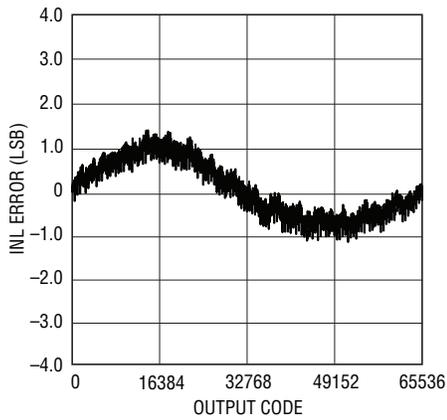
LTC2184:  $I_{OVDD}$  とサンプル・レート、  
5MHz、各チャンネルに-1dBFSの  
正弦波入力



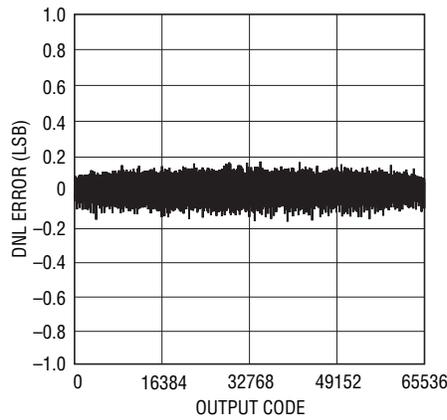
LTC2184: SNR と SENSE、  
 $f_{IN} = 5\text{MHz}$ 、-1dBFS



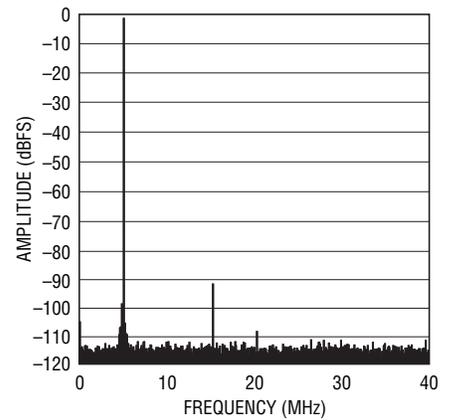
LTC2183: 積分非直線性 (INL)



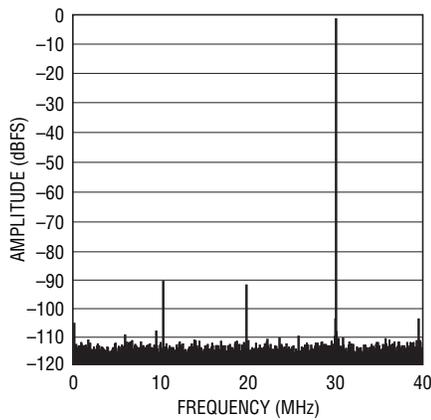
LTC2183: 微分非直線性 (DNL)



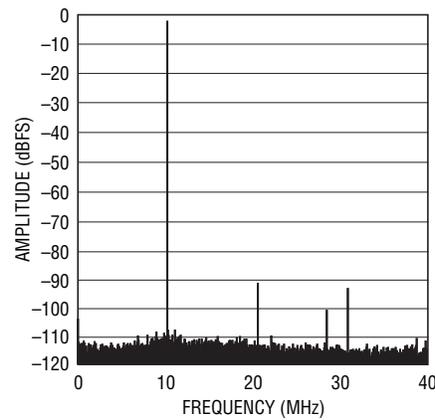
LTC2183: 64kポイントのFFT、  
 $f_{IN} = 5\text{MHz}$ 、-1dBFS、80Msps



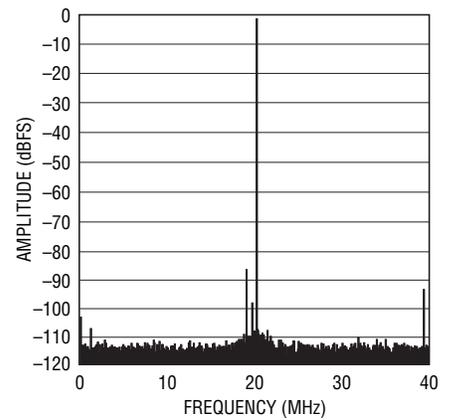
LTC2183: 64kポイントのFFT、  
 $f_{IN} = 30\text{MHz}$ 、-1dBFS、80Msps



LTC2183: 64kポイントのFFT、  
 $f_{IN} = 70\text{MHz}$ 、-1dBFS、80Msps

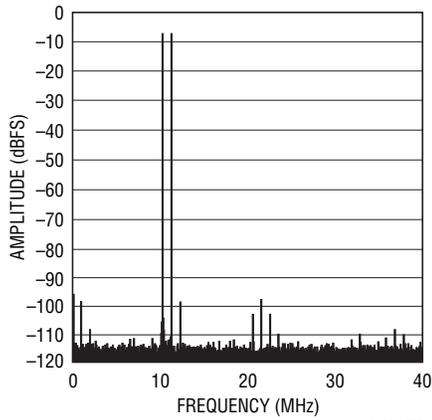


LTC2183: 64kポイントのFFT、  
 $f_{IN} = 140\text{MHz}$ 、-1dBFS、80Msps



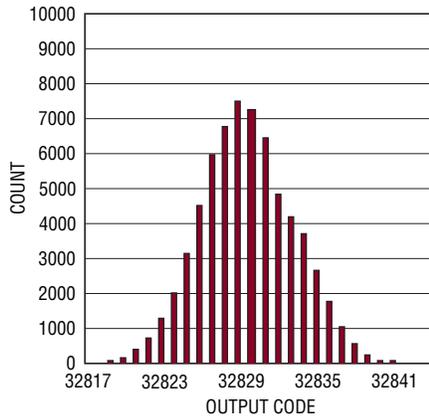
## 標準的性能特性

**LTC2183: 64kポイントの2トーンFFT、  
 $f_{IN} = 69\text{MHz}$ 、 $70\text{MHz}$ 、 $-1\text{dBFS}$ 、 $80\text{Mpsps}$**



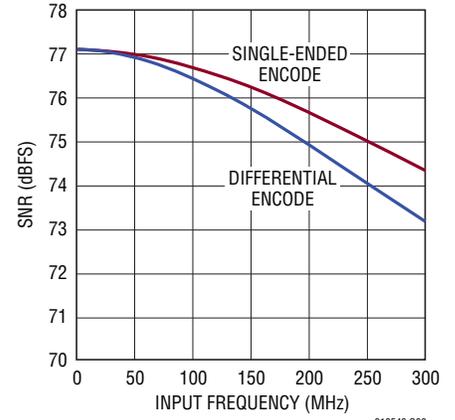
218543 G37

**LTC2183: 短絡入力でのヒストグラム**



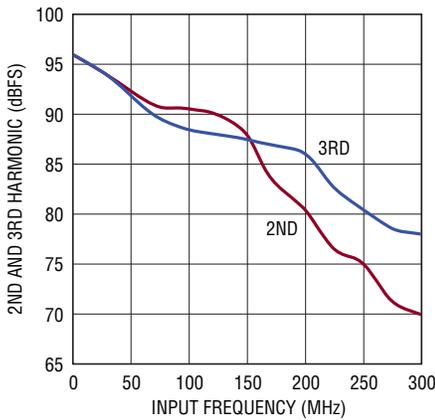
218543 G38

**LTC2183: SNRと入力周波数、  
 $-1\text{dBFS}$ 、 $80\text{Mpsps}$ 、 $2\text{V}$  範囲**



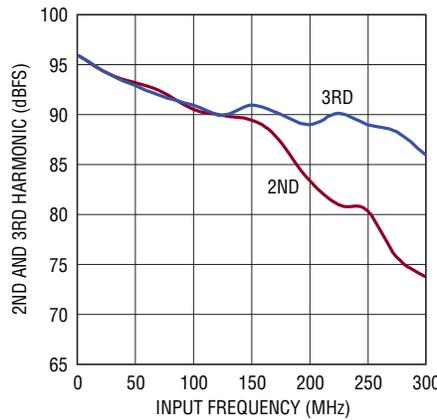
218543 G39

**LTC2183: 2次および3次高調波と  
入力周波数、 $-1\text{dBFS}$ 、 $80\text{Mpsps}$ 、  
 $2\text{V}$  範囲**



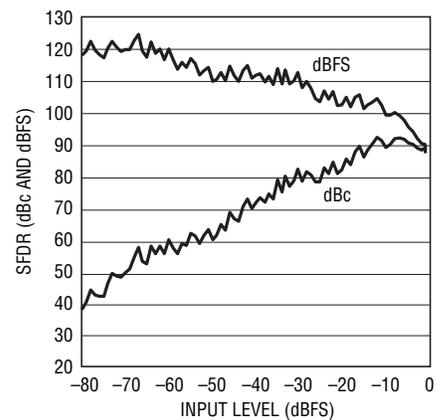
218543 G40

**LTC2183: 2次および3次高調波と  
入力周波数、 $-1\text{dBFS}$ 、 $80\text{Mpsps}$ 、  
 $1\text{V}$  範囲**



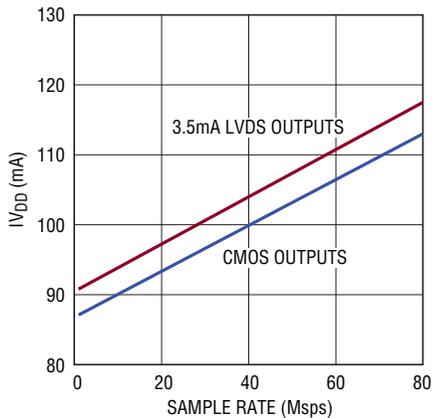
218543 G41

**LTC2183: SFDRと入力レベル、  
 $f_{IN} = 70\text{MHz}$ 、 $80\text{Mpsps}$ 、 $2\text{V}$  範囲**



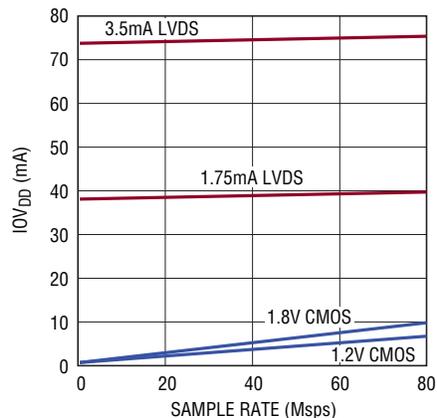
218543 G27

**LTC2183:  $I_{VDD}$ とサンプル・レート、  
 $5\text{MHz}$ 、各チャンネルに $-1\text{dBFS}$ の  
正弦波入力**



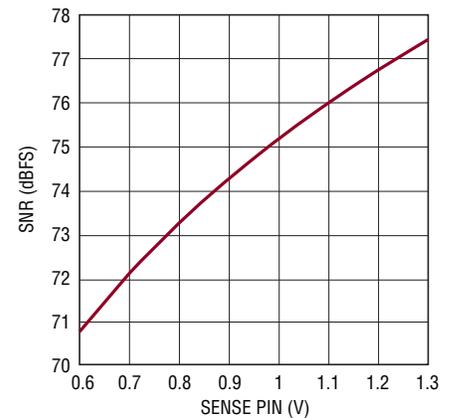
218543 G43

**LTC2183:  $I_{OVD}$ とサンプル・レート、  
 $5\text{MHz}$ 、各チャンネルに $-1\text{dBFS}$ の  
正弦波入力**



218543 G44

**LTC2183: SNRとSENSE、  
 $f_{IN} = 5\text{MHz}$ 、 $-1\text{dBFS}$**



218543 G45

218543f

## ピン機能

## すべてのデジタル出力モードで同じピン

**V<sub>DD</sub> (ピン1, 16, 17, 64)** : 1.7V ~ 1.9Vのアナログ電源。0.1μFのセラミック・コンデンサを使用してグラウンドにバイパスします。隣接するピンはバイパス・コンデンサを共有することができます。

**V<sub>CM1</sub> (ピン2)** : 公称 V<sub>DD</sub>/2 に等しい同相バイアス出力。V<sub>CM1</sub> はチャンネル1のアナログ入力の同相レベルをバイアスするのに使用します。0.1μFのセラミック・コンデンサを使ってグラウンドにバイパスします。

**GND (ピン3, 6, 14)** : ADCの電源グラウンド。

**A<sub>IN1+</sub> (ピン4)** : チャンネル1の正の差動アナログ入力。

**A<sub>IN1-</sub> (ピン5)** : チャンネル1の負の差動アナログ入力。

**REFH (ピン7, 9)** : ADCの“H”リファレンス。REFHおよびREFLの推奨バイパス回路については「アプリケーション情報」のセクションを参照してください。

**REFL (ピン8, 10)** : ADCの“L”リファレンス。REFHおよびREFLの推奨バイパス回路については「アプリケーション情報」のセクションを参照してください。

**PAR/SER (ピン11)** : プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブするにはグラウンドに接続します。 $\overline{CS}$ 、SCK、SDI、SDOはA/Dの動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブするにはV<sub>DD</sub>に接続します。この場合、 $\overline{CS}$ 、SCK、SDI、SDOは、A/Dの(種類が限定された)動作モードを制御するパラレル・ロジック入力になります。PAR/SERはグラウンドまたはV<sub>DD</sub>に直接接続し、ロジック信号ではドライブしません。

**A<sub>IN2+</sub> (ピン12)** : チャンネル2の正の差動アナログ入力。

**A<sub>IN2-</sub> (ピン13)** : チャンネル2の負の差動アナログ入力。

**V<sub>CM2</sub> (ピン15)** : 公称 V<sub>DD</sub>/2 に等しい同相バイアス出力。V<sub>CM2</sub> はチャンネル2のアナログ入力の同相レベルをバイアスするのに使用します。0.1μFのセラミック・コンデンサを使ってグラウンドにバイパスします。

**ENC<sup>+</sup> (ピン18)** : エンコード入力。立ち上がりエッジで変換が開始されます。

**ENC<sup>-</sup> (ピン19)** : エンコード相補入力。立ち下がりエッジで変換が開始されます。シングルエンド・エンコード・モードの場合はGNDに接続します。

**$\overline{CS}$  (ピン20)** : シリアル・プログラミング・モードでは(PAR/SER = 0V)、 $\overline{CS}$ はシリアル・インタフェースのチップ選択入力です。 $\overline{CS}$ が“L”のときSCKがイネーブされ、SDIのデータをモード制御レジスタにシフトします。パラレル・プログラミング・モードでは(PAR/SER = V<sub>DD</sub>)、 $\overline{CS}$ はクロック・デューティサイクル・スタビライザを制御します(表2を参照)。 $\overline{CS}$ は1.8V ~ 3.3Vのロジックでドライブすることができます。

**SCK (ピン21)** : シリアル・プログラミング・モードでは(PAR/SER = 0V)、SCKはシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モードでは(PAR/SER = V<sub>DD</sub>)、SCKはデジタル出力モードを制御します(表2を参照)。SCKは1.8V ~ 3.3Vのロジックでドライブすることができます。

**SDI (ピン22)** : シリアル・プログラミング・モードでは(PAR/SER = 0V)、SDIはシリアル・インタフェースのデータ入力です。SDIのデータは、SCKの立ち上がりエッジでモード制御レジスタにクロックインされます。パラレル・プログラミング・モードでは(PAR/SER = V<sub>DD</sub>)、SDIをSDOと一緒に使ってデバイスをパワーダウンすることができます(表2を参照)。SDIは1.8V ~ 3.3Vのロジックでドライブすることができます。

**OGND (ピン41)** : 出力ドライバのグラウンド。インダクタンスが極めて低い経路でグラウンド・プレーンに短絡する必要があります。このピンの近くに複数のビアを使用します。

**OV<sub>DD</sub> (ピン42)** : 出力ドライバの電源。0.1μFのセラミック・コンデンサを使ってグラウンドにバイパスします。

**SDO (ピン61)** : シリアル・プログラミング・モードでは(PAR/SER = 0V)、SDOはオプションのシリアル・インタフェースのデータ出力です。SDOのデータはモード制御レジスタから読み出して、SCKの立ち下がりエッジでラッチすることができます。SDOはオープンドレインのNMOS出力で、2kの外付けプルアップ抵抗を1.8V ~ 3.3Vに接続する必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要であり、SDOは未接続のままかまいません。パラレル・プログラミング・モードでは(PAR/SER = V<sub>DD</sub>)、SDIをSDOと一緒に使ってデバイスをパワーダウンすることができます(表2を参照)。SDOを入力として使用する場合は、1kの直列抵抗を介して1.8V ~ 3.3Vのロジックでドライブすることができます。

## ピン機能

**V<sub>REF</sub> (ピン 62)** : リファレンス電圧出力。2.2 $\mu$ Fのセラミック・コンデンサを使ってグラウンドにバイパスします。出力電圧は公称1.25Vです。

**SENSE (ピン 63)** : リファレンス・プログラミング・ピン。SENSEをV<sub>DD</sub>に接続すると、内部リファレンスと $\pm 1V$ の入力範囲が選択されます。SENSEをグラウンドに接続すると、内部リファレンスと $\pm 0.5V$ の入力範囲が選択されます。0.625V $\sim$ 1.3Vの外部リファレンスをSENSEに与えると、 $\pm 0.8 \cdot V_{SENSE}$ の入力範囲が選択されます。

**グラウンド (露出パッド・ピン 65)** : 露出パッドはPCBグラウンドに半田付けする必要があります。

### フルレート CMOS 出力モード

下のすべてのピンはCMOS出力レベル(OGNDから0V<sub>DD</sub>)を備えています。

**D2\_0 $\sim$ D2\_15 (ピン 23、24、25、26、27、28、29、30、31、32、33、34、35、36、37、38)** : チャネル2のデジタル出力。D2\_15がMSBです。

**CLKOUT<sup>-</sup> (ピン 39)** : CLKOUT<sup>+</sup>の反転バージョン。

**CLKOUT<sup>+</sup> (ピン 40)** : データ出力クロック。デジタル出力は通常、CLKOUT<sup>+</sup>の立ち下がりエッジと同時に遷移します。CLKOUT<sup>+</sup>の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

**D1\_0 $\sim$ D1\_15 (ピン 43、44、45、46、47、48、49、50、51、52、53、54、55、56、57、58)** : チャネル1のデジタル出力。D1\_15がMSBです。

**OF2 (ピン 59)** : チャネル2のオーバーフロー/アンダーフロー・デジタル出力。オーバーフローやアンダーフローが生じるとOF2は“H”になります。

**OF1 (ピン 60)** : チャネル1のオーバーフロー/アンダーフロー・デジタル出力。オーバーフローやアンダーフローが生じるとOF1は“H”になります。

### ダブルデータレート CMOS 出力モード

下のすべてのピンはCMOS出力レベル(OGNDから0V<sub>DD</sub>)を備えています。

**D2\_0\_1 $\sim$ D2\_14\_15 (ピン 24、26、28、30、32、34、36、38)** : チャネル2のダブルデータレート・デジタル出力。2データ・ビットが各出力ピンに多重化されます。CLKOUT<sup>+</sup>が“L”のとき、偶数データ・ビット(D0、D2、D4、D6、D8、D10、D12、D14)が現

れます。CLKOUT<sup>+</sup>が“H”のとき、奇数データ・ビット(D1、D3、D5、D7、D9、D11、D13、D15)が現れます。

**DNC (ピン 23、25、27、29、31、33、35、37、43、45、47、49、51、53、55、57、59)** : これらのピンは接続しないでください。

**CLKOUT<sup>-</sup> (ピン 39)** : CLKOUT<sup>+</sup>の反転バージョン。

**CLKOUT<sup>+</sup> (ピン 40)** : データ出力クロック。デジタル出力は通常、CLKOUT<sup>+</sup>の立ち下がりエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT<sup>+</sup>の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

**D1\_0\_1 $\sim$ D1\_14\_15 (ピン 44、46、48、50、52、54、56、58)** : チャネル1のダブルデータレート・デジタル出力。2データ・ビットが各出力ピンに多重化されます。CLKOUT<sup>+</sup>が“L”のとき、偶数データ・ビット(D0、D2、D4、D6、D8、D10、D12、D14)が現れます。CLKOUT<sup>+</sup>が“H”のとき、奇数データ・ビット(D1、D3、D5、D7、D9、D11、D13、D15)が現れます。

**OF2\_1 (ピン 60)** : オーバーフロー/アンダーフロー・デジタル出力。オーバーフローまたはアンダーフローが生じるとOF2\_1は“H”になります。両方のチャンネルのオーバーフロー/アンダーフローがこのピンに多重化されます。CLKOUT<sup>+</sup>が“L”のときチャンネル2が現れ、CLKOUT<sup>+</sup>が“H”のときチャンネル1が現れます。

### ダブルデータレート LVDS 出力モード

下のすべてのピンはLVDS出力レベルを備えています。出力電流レベルはプログラム可能です。各LVDS出力対のピンの間にはオプションの内部100 $\Omega$ 終端抵抗が備わっています。

**D2\_0\_1/D2\_0\_1<sup>+</sup> $\sim$ D2\_14\_15/D2\_14\_15<sup>+</sup> (ピン 23/24、25/26、27/28、29/30、31/32、33/34、35/36、37/38)** : チャネル2のダブルデータレート・デジタル出力。2データ・ビットが各差動出力対に多重化されます。CLKOUT<sup>+</sup>が“L”のとき、偶数データ・ビット(D0、D2、D4、D6、D8、D10、D12、D14)が現れます。CLKOUT<sup>+</sup>が“H”のとき、奇数データ・ビット(D1、D3、D5、D7、D9、D11、D13、D15)が現れます。

**CLKOUT<sup>-</sup>/CLKOUT<sup>+</sup> (ピン 39/40)** : データ出力クロック。デジタル出力は通常、CLKOUT<sup>+</sup>の立ち下がりエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT<sup>+</sup>の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

## ピン機能

**D1\_0\_1-/D1\_0\_1+ ~ D1\_14\_15-/D1\_14\_15+ (ピン43/44、45/46、47/48、49/50、51/52、53/54、55/56、57/58)** : チャンネル2のダブルデータレート・デジタル出力。2データ・ビットが各差動出力対に多重化されます。CLKOUT+が“L”のとき、偶数データ・ビット(D0、D2、D4、D6、D8、D10、D12、D14)が現れます。CLKOUT+が“H”のとき、奇数データ・ビット(D1、D3、D5、D7、D9、D11、D13、D15)が現れます。

**OF2\_1-/OF2\_1+ (ピン59/60)** : オーバーフロー/アンダーフロー・デジタル出力。オーバーフローまたはアンダーフローが生じるとOF2\_1+は“H”になります。両方のチャンネルのオーバーフロー/アンダーフローがこのピンに多重化されます。CLKOUT+が“L”のときチャンネル2が現れ、CLKOUT+が“H”のときチャンネル1が現れます。

## 機能ブロック図

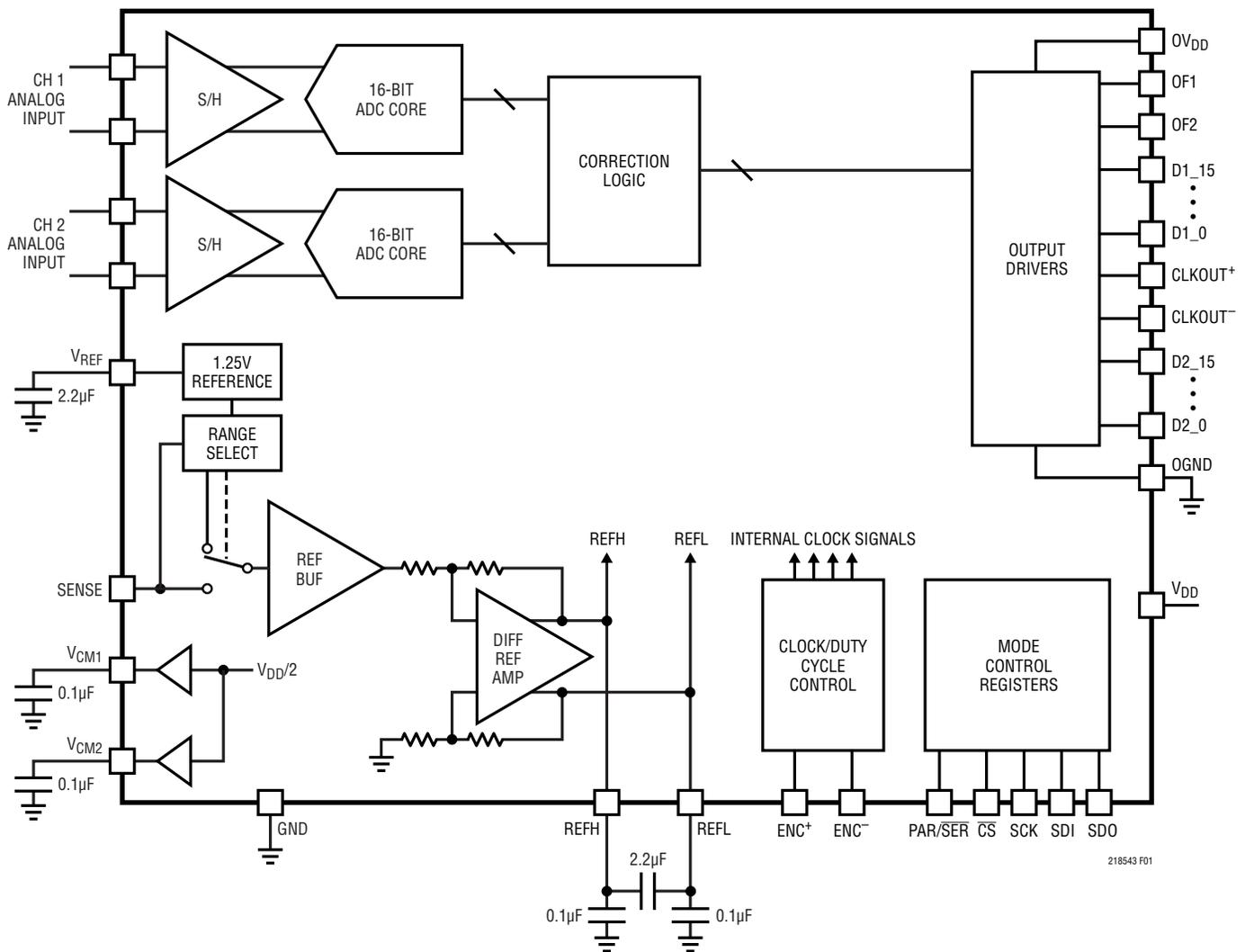


図1. 機能ブロック図

## アプリケーション情報

### コンバータの動作

LTC2185/LTC2184/LTC2183は、1.8V単一電源で動作する低消費電力、2チャンネル、16ビットの125Msps/105Msps/80Msps A/Dコンバータです。アナログ入力は差動でドライブします。エンコード入力は差動で、または消費電力を抑えるためにシングルエンドでドライブすることができます。デジタル出力は、CMOS、(多数の出力ラインを使うための)ダブルデータレートCMOS、または(システム内のデジタル・ノイズを減らすための)ダブルデータレートLVDSにすることができます。シリアルSPIポートを介してモード制御レジスタをプログラムすることにより、多くの追加機能を選択することができます。

### アナログ入力

アナログ入力は差動CMOSサンプル・ホールド回路です(図2)。入力は、 $V_{CM1}$ 出力ピンまたは $V_{CM2}$ 出力ピンによって設定される同相電圧(公称 $V_{DD}/2$ )を中心にして差動でドライブします。2Vの入力範囲の場合、入力を $V_{CM} - 0.5V$ から $V_{CM} + 0.5V$ まで振幅させます。入力間には $180^\circ$ の位相差が必要です。

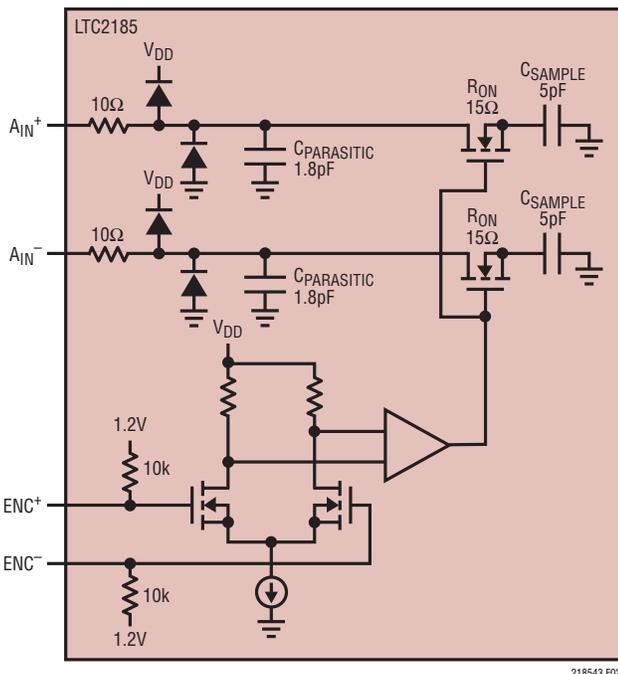


図2. 等価入力回路。2つのアナログ・チャンネルのうち1つのみを示す。

2つのチャンネルは共有のエンコード回路(図2)によって同時にサンプリングされます。

### シングルエンド入力

高調波歪みの影響を受けにくいアプリケーションでは、 $V_{CM}$ を中心にした1V<sub>p-p</sub>信号を使って $A_{IN+}$ 入力をシングルエンドでドライブすることができます。 $A_{IN-}$ 入力は $V_{CM}$ に接続します。シングルエンド入力を行うと、高調波歪みが増加しINLが低下しますが、ノイズとDNLは変化しません。

### 入力ドライブ回路

#### 入力フィルタ

可能であれば、アナログ入力にRCローパス・フィルタを接続します。このローパス・フィルタはドライブ回路をA/Dのサンプル・ホールドのスイッチング回路から絶縁し、ドライブ回路の広帯域ノイズも抑えます。入力RCフィルタの例を図3に示します。RC部品の値はアプリケーションの入力周波数に基づいて選択します。

#### トランス結合回路

2次側にセンタータップを備えたRFトランスでドライブされるアナログ入力を図3に示します。センタータップは $V_{CM}$ でバイアスされており、A/Dの入力を最適なDCレベルに設定します。入力周波数が高いときは、伝送ラインの balan・トランス(図4～図6)のバランスが良くなるので、A/D変換の歪みが小さくなります。

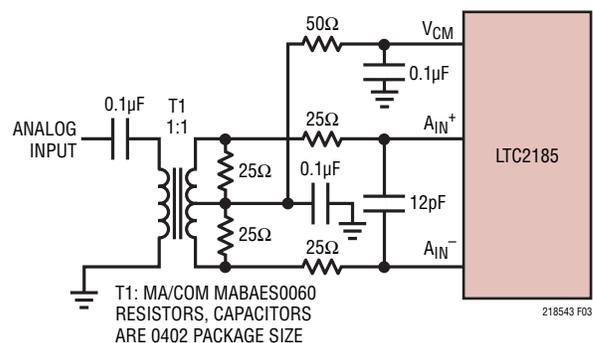


図3. トランスを使用したアナログ入力回路。5MHz～70MHzの入力周波数に対して推奨

## アプリケーション情報

### アンプ回路

高速差動アンプによってドライブされるアナログ入力を図7に示します。アンプの出力はA/DにAC結合されているので、アンプの出力の同相電圧を最適に設定して歪みを最小限に抑えることができます。

非常に高い周波数では、多くの場合、RF利得ブロックの方が差動アンプよりも歪みが小さくなります。利得ブロックがシングルエンドであれば、A/Dをドライブする前にトランス回路(図4～図6)で信号を差動に変換します。

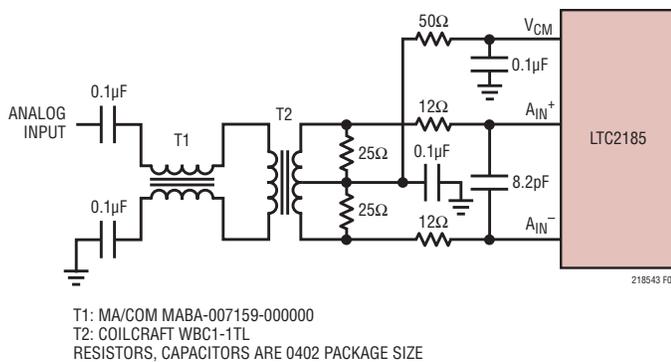


図4. 5MHz～150MHzの入力周波数用の推奨フロントエンド回路

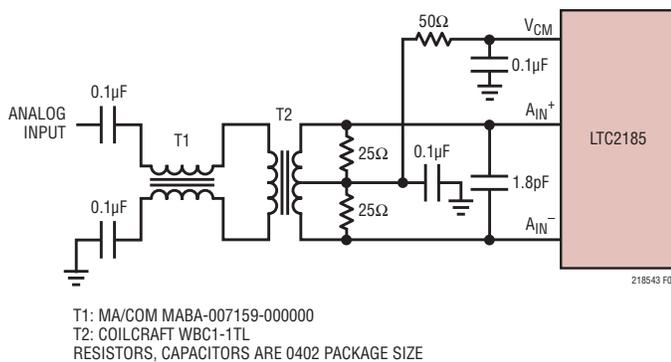


図5. 150MHz～250MHzの入力周波数用の推奨フロントエンド回路

### リファレンス

LTC2185/LTC2184/LTC2183は1.25V電圧リファレンスを内蔵しています。内部リファレンスを使用する2Vの入力範囲の場合、SENSEをV<sub>DD</sub>に接続します。内部リファレンスを使用する1Vの入力範囲の場合、SENSEをグランドに接続します。外部リファレンスを使用する2Vの入力範囲の場合、1.25Vのリファレンス電圧をSENSEに与えます(図9)。

0.625V～1.30Vの電圧をSENSEに印加することによって入力範囲を調整することができます。これにより、入力範囲は1.6・V<sub>SENSE</sub>になります。

V<sub>REF</sub>、REFHおよびREFLの各ピンは図8に示すようにバイパスします。REFHとREFLのバイパスには、低インダクタンスの2.2µFインターデジタル・コンデンサを推奨します。このタイプのコンデンサは複数のメーカーから低価格で販売されています。

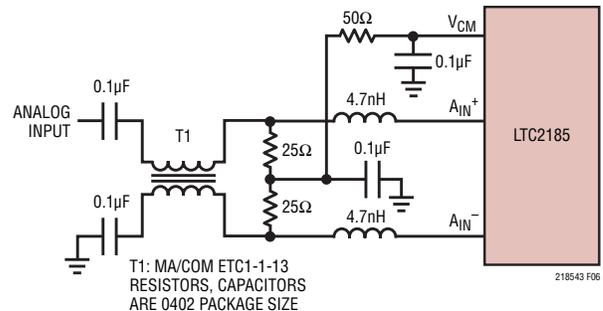


図6. 250MHzを超える入力周波数用の推奨フロントエンド回路

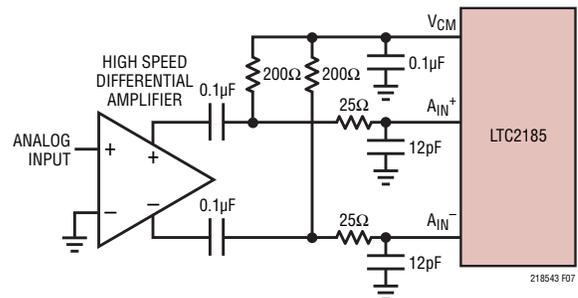


図7. 高速差動アンプを使ったフロントエンド回路

## アプリケーション情報

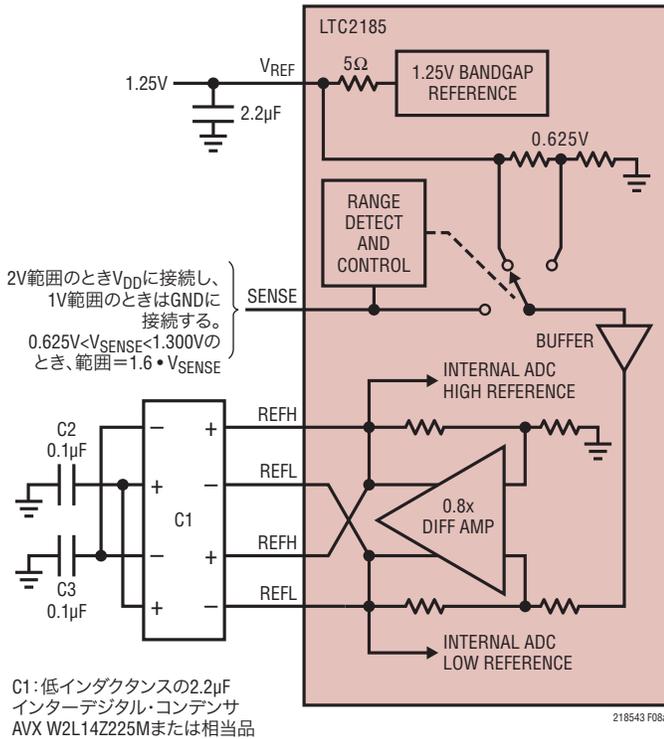
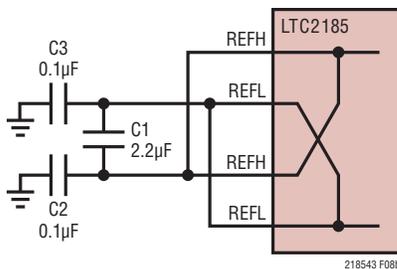


図8a. リファレンス回路

110Mpsより低いサンプル・レートでは、良好な性能を得るのにインターデジタル・コンデンサは必要ないので、REFHとREFLの間のC1を標準の2.2μFコンデンサで置き換えることができます(図8bを参照)。コンデンサは(回路基板の裏面ではなく)これら2つのピンにできるだけ近づけます。

REFH/REFLのバイパス・コンデンサの推奨基板レイアウトを図8cおよび図8dに示します。図8cでは、メーカーによってはインターデジタル・コンデンサ(C1)のピンが内部で接続されていないため、C1のすべてのピンを接続していることに注意してください。図8dでは、内部層の短いジャンパによってREFH



CAPACITORS ARE 0402 PACKAGE SIZE

図8b. REFH/REFLの代替バイパス回路

ピンとREFLピンを接続しています。これらのジャンパのインダクタンスを最小に抑えるために、別の基板層のグラウンド・プレーンの小さい穴にそれらを配置することができます。

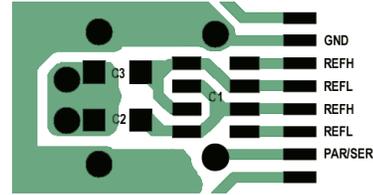


図8c. 図8aのREFH/REFLのバイパス回路の推奨レイアウト

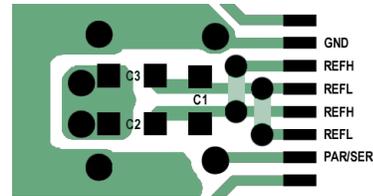


図8d. 図8bのREFH/REFLのバイパス回路の推奨レイアウト

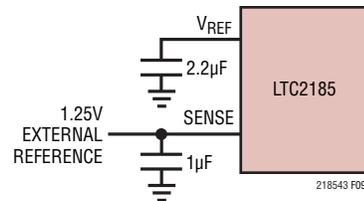


図9. 1.25Vの外部リファレンスの使い方

## エンコード入力

エンコード入力の信号品質は、A/Dのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。回路基板上でデジタル・トレースに隣接して配線しないでください。エンコード入力には2つの動作モードがあります。差動エンコード・モード(図10)とシングルエンド・エンコード・モード(図11)です。

正弦波、PECLまたはLVDSのエンコード入力には、差動エンコード・モードを推奨します(図12および図13)。エンコード入力は内部で10kΩの等価抵抗を介して1.2Vにバイアスされ

## アプリケーション情報

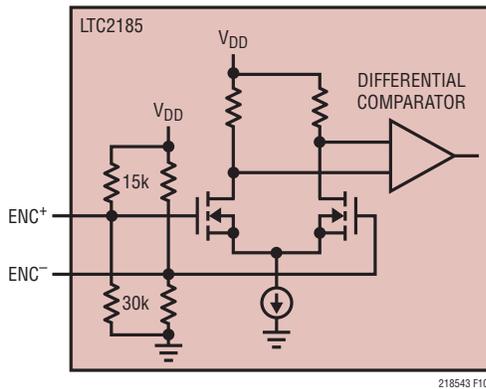


図10. 差動エンコード・モードの等価エンコード入力回路

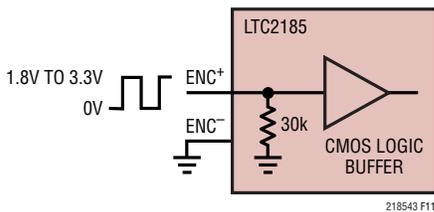


図11. シングルエンド・エンコード・モードの等価エンコード入力回路

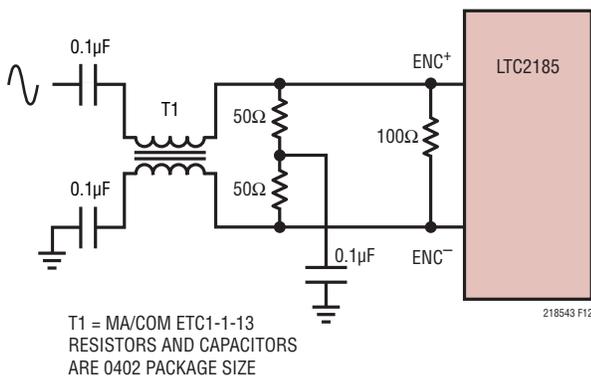


図12. 正弦波のエンコード・ドライブ

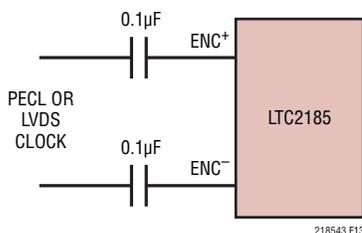


図13. PECLまたはLVDSのエンコード・ドライブ

ています。エンコード入力は $V_{DD}$ より高くすることができ(最大3.6V)、同相範囲は1.1V~1.6Vです。差動エンコード・モードでは、ENC<sup>-</sup>をグランドより200mV以上高い電圧に維持して、シングルエンド・エンコード・モードを誤ってトリガしないようにします。良好なジッタ性能を得るため、ENC<sup>+</sup>とENC<sup>-</sup>の立ち上がり時間と立ち下がり時間を速くします。

シングルエンド・エンコード・モードは、CMOSエンコード入力と組み合わせて使用します。このモードを選択するには、ENC<sup>-</sup>をグランドに接続し、ENC<sup>+</sup>を方形波のエンコード入力でドライブします。ENC<sup>+</sup>は $V_{DD}$ より高くすることができるので(最大3.6V)、1.8V~3.3VのCMOSロジック・レベルを使用することができます。ENC<sup>+</sup>のスレッシュホールドは0.9Vです。良好なジッタ性能を得るため、ENC<sup>+</sup>の立ち上がり時間と立ち下がり時間を速くします。

エンコード信号がオフするか、または約500kHzより低周波数になると、A/Dがナップモードになります。

### クロック・デューティサイクル・スタビライザ

良好な性能を得るために、エンコード信号のデューティサイクルを50%(±5%)にします。オプションのクロック・デューティサイクル・スタビライザ回路がイネーブルされていると、エンコードのデューティサイクルは30%~70%の間で変化することができ、デューティサイクル・スタビライザは内部のデューティサイクルを50%に保ちます。エンコード信号が周波数を変えると、デューティサイクル・スタビライザ回路は入力クロックにロックするのに100クロック・サイクルを要します。デューティサイクル・スタビライザはモード制御レジスタA2(シリアル・プログラミング・モード)によって、または $\overline{CS}$ (パラレル・プログラミング・モード)によってイネーブルされます。

サンプル・レートを即座に変更する必要のあるアプリケーションでは、クロック・デューティサイクル・スタビライザをディスエーブルすることができます。デューティサイクル・スタビライザをディスエーブルする場合、サンプリング・クロックのデューティサイクルが50%(±5%)になるように注意してください。デューティサイクル・スタビライザは5Mspsより下では使わないでください。

### デジタル出力

#### デジタル出力モード

LTC2185/LTC2184/LTC2183は、フルレートCMOSモード、(出力ライン数を半分に減らすための)ダブルデータレートCMOS

## アプリケーション情報

モード、(システム内のデジタル・ノイズを減らすための)ダブルデータレートLVDSモードの3種類のデジタル出力モードで動作可能です。出力モードはモード制御レジスタA3(シリアル・プログラミング・モード)によって、またはSCK(パラレル・プログラミング・モード)によって設定されます。ダブルデータレートCMOSはパラレル・プログラミング・モードでは選択できないことに注意してください。

### フルレートCMOSモード

フルレートCMOSモードでは、データ出力(D1\_0~D1\_15およびD2\_0~D2\_15)、オーバーフロー(OF2、OF1)、およびデータ出力クロック(CLKOUT<sup>+</sup>、CLKOUT<sup>-</sup>)がCMOS出力レベルになります。出力はOV<sub>DD</sub>とOGNDから電力を供給され、A/Dのコア電源とグラウンドからは絶縁されています。OV<sub>DD</sub>は1.1V~1.9Vの範囲をとることができるので、1.2V~1.8VのCMOSロジック出力が可能です。

良好な性能を得るために、デジタル出力が最小限の容量性負荷をドライブするようにします。負荷容量が10pFより大きいときは、デジタル・バッファを使用します。

### ダブルデータレートCMOSモード

ダブルデータレートCMOSモードでは、2つのデータ・ビットが多重化されて各データピンに出力されます。これにより、デジタル・ラインの数が17だけ減るので、基板配線が簡単になり、データを受け取るのに必要な入力ピンの数が減ります。データ出力(D1\_0\_1、D1\_2\_3、D1\_4\_5、D1\_6\_7、D1\_8\_9、D1\_10\_11、D1\_12\_13、D1\_14\_15、D2\_0\_1、D2\_2\_3、D2\_4\_5、D2\_6\_7、D2\_8\_9、D2\_10\_11、D2\_12\_13、D2\_14\_15)、オーバーフロー(OF2\_1)、およびデータ出力クロック(CLKOUT<sup>+</sup>、CLKOUT<sup>-</sup>)がCMOS出力レベルになります。出力はOV<sub>DD</sub>とOGNDから電力を供給され、A/Dのコア電源とグラウンドからは絶縁されています。OV<sub>DD</sub>は1.1V~1.9Vの範囲をとることができるので、1.2V~1.8VのCMOSロジック出力が可能です。どちらのADCチャンネルのオーバーフローもOF2\_1ピンに多重化されることに注意してください。

良好な性能を得るために、デジタル出力が最小限の容量性負荷をドライブするようにします。負荷容量が10pFより大きいときは、デジタル・バッファを使用します。

100Mspsより高いサンプル・レートでダブルデータレートCMOSモードを使用すると、負荷容量と基板レイアウトによってはSNRがわずかに(約0.2dB~0.5dB)劣化することがあります。

### ダブルデータレートLVDSモード

ダブルデータレートLVDSモードでは、2つのデータ・ビットが多重化されて各差動出力対に出力されます。ADCチャンネルごとに、デジタル出力データのための8つのLVDS出力対(D1\_0\_1<sup>+</sup>/D1\_0\_1<sup>-</sup>~D1\_14\_15<sup>+</sup>/D1\_14\_15<sup>-</sup>およびD2\_0\_1<sup>+</sup>/D2\_0\_1<sup>-</sup>~D2\_14\_15<sup>+</sup>/D2\_14\_15<sup>-</sup>)があります。オーバーフロー(OF2\_1<sup>+</sup>/OF2\_1<sup>-</sup>)とデータ出力クロック(CLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>)はそれぞれLVDS出力対を備えています。どちらのADCチャンネルのオーバーフローもOF2\_1<sup>+</sup>/OF2\_1<sup>-</sup>出力対に多重化されることに注意してください。

デフォルトでは、出力は標準LVDSレベルです。すなわち、出力電流が3.5mA、出力同相電圧が1.25Vです。各LVDS出力対には外付けの100Ω差動終端抵抗が必要です。終端抵抗は、LVDSレシーバのできるだけ近くに配置してください。

出力はOV<sub>DD</sub>とOGNDから電力を供給され、A/Dのコア電源とグラウンドからは絶縁されています。LVDSモードでは、OV<sub>DD</sub>を1.8Vにする必要があります。

### プログラム可能なLVDS出力電流

LVDSモードでは、デフォルトの出力ドライバ電流は3.5mAです。この電流は、モード制御レジスタA3をシリアルにプログラムすることにより調整できます。設定可能な電流レベルは、1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mAおよび4.5mAです。

### オプションのLVDSドライバの内部終端

ほとんどの場合、100Ωの外付け終端抵抗を使用するだけでLVDSの優れた信号品質が得られます。さらに、モード制御レジスタA3をシリアル・モードにプログラムすることにより、オプションの100Ωの内部終端抵抗をイネーブリングすることができます。内部終端には、レシーバ側の不完全な終端によって生じる反射を吸収する効果があります。内部終端がイネーブリングされると、同じ出力電圧振幅を維持するために、出力ドライバ電流が2倍になります。

### オーバーフロー・ビット

アナログ入力にオーバーレンジまたはアンダーレンジが生じると、オーバーフロー出力ビットがロジック“H”を出力します。オーバーフロー・ビットにはデータ・ビットと同じパイプライン待ち時間があります。フルレートCMOSモードでは、各ADCチャンネルが固有のオーバーフロー・ピンを備えています(チャンネル1:OF1、チャンネル2:OF2)。DDR CMOSモードまたはDDR LVDSモードでは、どちらのADCチャンネルのオーバーフローもOF2\_1出力に多重化されます。

## アプリケーション情報

### 出力クロックの位相シフト

フルレートCMOSモードでは、データ出力ビットは通常CLKOUT<sup>+</sup>の立ち下がりエッジと同時に変化するので、CLKOUT<sup>+</sup>の立ち上がりエッジを使って出力データをラッチすることができます。ダブルデータレートのCMOSモードおよびLVDSモードでは、データ出力ビットは通常CLKOUT<sup>+</sup>の立ち下がりエッジおよび立ち上がりエッジと同時に変化します。データをラッチするとき適切なセットアップ時間とホールド時間を与えるには、データ出力ビットに対してCLKOUT<sup>+</sup>信号の位相をシフトさせる必要があるかもしれません。ほとんどのFPGAはこの機能を備えており、これが一般にタイミングを調整する最良のポイントです。

LTC2185/LTC2184/LTC2183は、モード制御レジスタA2をシリアル・モードでプログラムすることにより、CLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>信号の位相をシフトすることもできます。出力クロックは0°、45°、90°または135°だけシフトすることができます。位相シフト機能を使うには、クロック・デューティサイクル・スタビライザをオンする必要があります。もう1つの制御レジスタ・ビットは、位相シフトとは関係なく、CLKOUT<sup>+</sup>とCLKOUT<sup>-</sup>の極性を反転させることができます。これら2つの機能を組み合わせると、45°から315°までの位相シフトが可能になります(図14)。

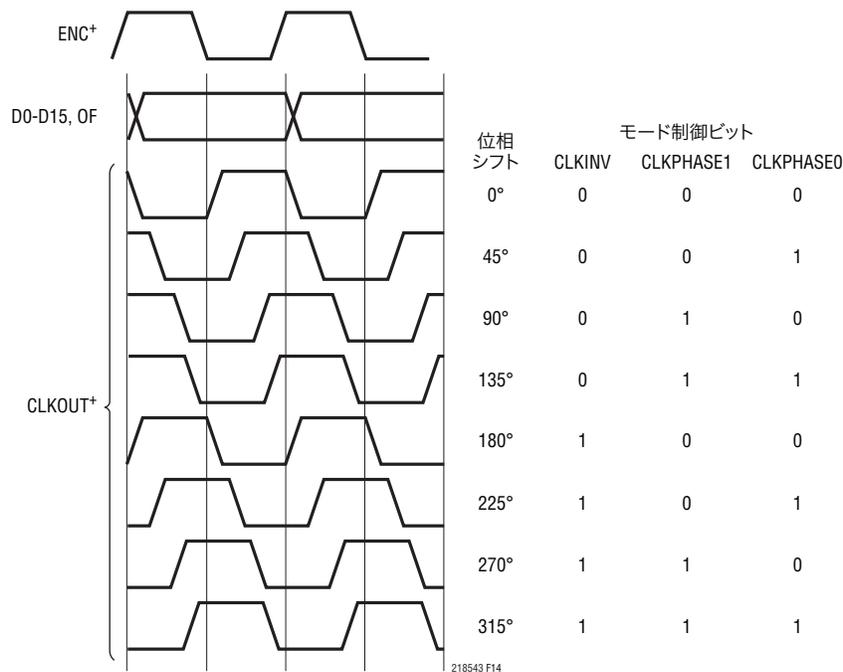


図14. CLKOUTの位相シフト

### データ形式

アナログ入力電圧、デジタル・データ出力ビット、およびオーバーフロー・ビットの相互関係を表1に示します。デフォルトでは、出力のデータ形式はオフセット・バイナリです。モード制御レジスタA4をシリアル・モードでプログラムすることにより、2の補数形式を選択することができます。

表1. 出力コードと入力電圧

A <sub>IN</sub> <sup>+</sup> - A <sub>IN</sub> <sup>-</sup> (2V範囲)	OF	D11~D0 (オフセット・バイナリ)	D15~D0 (2の補数)
>1.000000V	1	1111 1111 1111 1111	0111 1111 1111 1111
+0.999970V	0	1111 1111 1111 1111	0111 1111 1111 1111
+0.999939V	0	1111 1111 1111 1110	0111 1111 1111 1110
+0.000030V	0	1000 0000 0000 0001	0000 0000 0000 0001
+0.000000V	0	1000 0000 0000 0000	0000 0000 0000 0000
-0.000030V	0	0111 1111 1111 1111	1111 1111 1111 1111
-0.000061V	0	0111 1111 1111 1110	1111 1111 1111 1110
-0.999939V	0	0000 0000 0000 0001	1000 0000 0000 0001
-1.000000V	0	0000 0000 0000 0000	1000 0000 0000 0000
<-1.000000V	1	0000 0000 0000 0000	1000 0000 0000 0000

## アプリケーション情報

### デジタル出力ランダマイザ

A/Dのデジタル出力からの干渉は、場合によっては避けられません。デジタル干渉は、容量性結合や誘導性結合、あるいはグラウンド・プレーンを介した結合によって発生する可能性があります。結合係数が極めて小さくても、ADCの出力スペクトルに不要なトーンが生じることがあります。デジタル出力をデバイスから伝送する前にランダム化することにより、これらの不要なトーンをランダム化し、それによって不要なトーン振幅を減少させることができます。

デジタル出力は、LSBと他のすべてのデータ出力ビットとの間で排他的論理和ロジック演算を行うことによって「ランダム化」されます。デコードするには逆の演算を行います。つまり、LSBと他のすべてのビットとの間で排他的論理和演算を行います。LSB、OF、およびCLKOUTの各出力は影響を受けません。モード制御レジスタA4をシリアル・モードでプログラムすることにより、出力ランダマイザをイネーブルすることができます。

### 交互ビット極性

回路基板のデジタル帰還を減らす別の機能は交互ビット極性モードです。このモードがイネーブルされると、すべての奇数ビット(D1、D3、D5、D7、D9、D11、D13、D15)が出力バッファの前で反転します。偶数ビット(D0、D2、D4、D6、D8、D10、D12、D14)、OFおよびCLKOUTは影響を受けません。これにより、回路基板のグラウンド・プレーンのデジタル電流を減らし、(特に非常に小さなアナログ入力信号の場合)デジタル・ノイズを減らすことができます。

A/Dの入力にミッドスケールのあたりを中心にした非常に小さな信号があるとき、デジタル出力はほとんど1とほとんど0の間をトグルします。このようにほとんどのビットを同時に切り替えると、大きな電流がグラウンド・プレーンを流れます。1つおきにビットを反転させることにより、交互ビット極性モードはビットの半数を“H”に遷移させ、ビットの半数を“L”に遷移させます。これにより、グラウンド・プレーンの電流がキャンセルされ、デジタル・ノイズが減少します。

デジタル出力は、奇数ビット(D1、D3、D5、D7、D9、D11、D13、D15)を反転させることにより、レシーバでデコードされます。交互ビット極性モードはデジタル出力ランダマイザからは独立しています。つまり、どちらかの機能だけをオンすることも、両方の機能を同時にオンすることも、両方の機能を同時にオフすることも可能です。モード制御レジスタA4をシリアル・モードでプログラムすることにより、交互ビット極性モードがイネーブルされます。

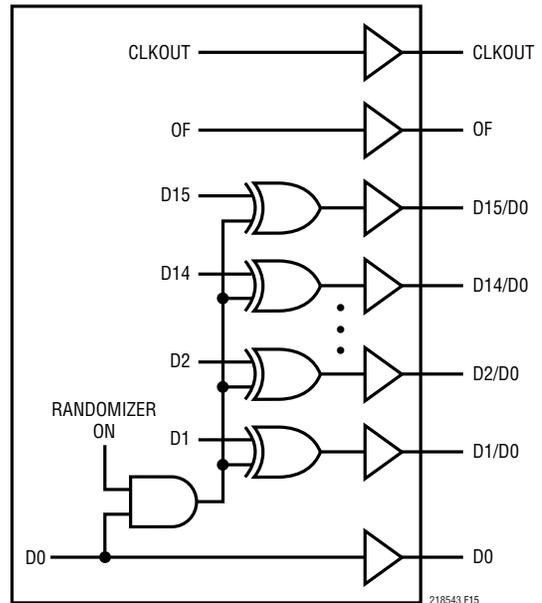


図 15. デジタル出力ランダマイザの等価機能

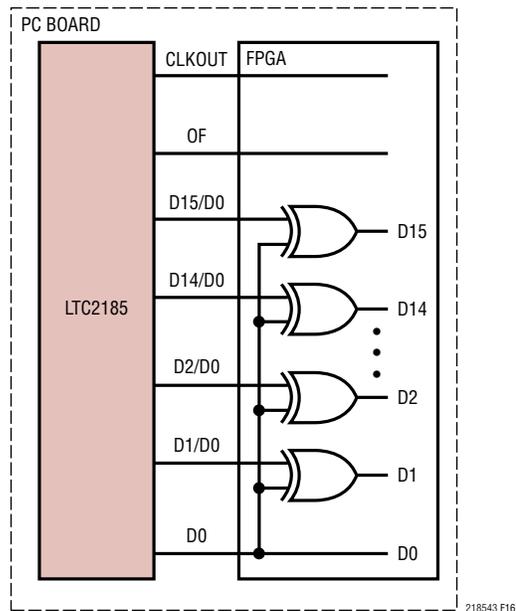


図 16. ランダム化されたデジタル出力信号の復元

## アプリケーション情報

### デジタル出力のテストパターン

A/Dへのデジタル・インタフェースのインサーキット・テストを可能にするため、A/Dのデータ出力(OF、D15～D0)を既知の値に強制するいくつかのテスト・モードがあります。

オール1:すべての出力が1

オール0:すべての出力が0

交互:サンプルの出力が交互にオール1からオール0に変化する。

格子縞:サンプルの出力が交互に1010101010101010から0101010101010101に変化する。

モード制御レジスタA4をシリアル・モードでプログラムすることにより、デジタル出力テストパターンをイネーブルすることができます。テストパターンがイネーブルされると、他のすべての形式設定モード(2の補数、ランダムマイザ、交互ビット極性)がオーバーライドされます。

### 出力のディスエーブル

モード制御レジスタA3をシリアル・モードでプログラムすることにより、デジタル出力をディスエーブルすることができます。OFおよびCLKOUTを含むすべてのデジタル出力がディスエーブルされます。高インピーダンスのディスエーブル状態は、インサーキット・テストまたは長期間の休止状態のためであり、複数のコンバータ間でデータ・バスをフルスピードで多重化するには遅すぎて使えません。出力をディスエーブルするときは、両方のチャンネルをスリープ・モードまたはナップ・モードにしてください。

### スリープ・モードとナップ・モード

節電のため、A/Dをスリープ・モードまたはナップ・モードにすることができます。スリープ・モードでは、デバイス全体がパワーダウンし、消費電力は1mWになります。スリープ・モードから回復するのに要する時間は、 $V_{REF}$ 、REFHおよびREFLのバイパス・コンデンサの容量によって決まります。図8の推奨値の場合、A/Dコンバータは2ms後に安定します。

ナップ・モードでは、A/Dのコアはパワーダウンしますが、内部リファレンス回路はアクティブなままなので、スリープ・モードより速くウェイクアップすることができます。ナップ・モードからの復帰には、少なくとも100クロック・サイクルが必要です。非常に精密なDCセトリングが必要なアプリケーションの場合、

50 $\mu$ sを追加することにより、A/Dがナップ・モードから移行するときの消費電流の変化によって生じるわずかな温度変化に対して内蔵リファレンスがセトリングできるようにします。チャンネル2または両方のチャンネルをナップ・モードにすることはできませんが、チャンネル1をナップ・モードにしてチャンネル2を通常動作させることはできません。

スリープ・モードとナップ・モードは、モード制御レジスタA1(シリアル・プログラミング・モード)またはSDIとSDO(パラレル・プログラミング・モード)によってイネーブルされます。

### デバイスのプログラミング・モード

LTC2185/LTC2184/LTC2183の動作モードはパラレル・インタフェースまたはシンプルなシリアル・インタフェースのどちらでもプログラム可能です。シリアル・インタフェースの方が柔軟性が高く、使用可能なすべてのモードをプログラムできます。パラレル・インタフェースには制限が多く、よく使用される一部のモードのみをプログラムできます。

### パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、 $\overline{\text{PAR/SER}}$ を $V_{DD}$ に接続します。 $\overline{\text{CS}}$ 、SCK、SDIおよびSDOの各ピンはバイナリ・ロジック入力で、特定の動作モードを設定します。これらのピンは $V_{DD}$ またはグラウンドに接続するか、あるいは1.8V、2.5Vまたは3.3VのCMOSロジックでドライブすることができます。入力として使用する場合、SDOは1kの直列抵抗を介してドライブします。表2に、 $\overline{\text{CS}}$ 、SCK、SDI、およびSDOで設定されるモードを示します。

表2. パラレル・プログラミング・モードの制御ビット ( $\overline{\text{PAR/SER}} = V_{DD}$ )

ピン	説明
$\overline{\text{CS}}$	<b>クロック・デューティサイクル・スタビライザ制御ビット</b> 0 = クロック・デューティサイクル・スタビライザをオフ 1 = クロック・デューティサイクル・スタビライザをオン
SCK	<b>デジタル出力モード制御ビット</b> 0 = フルレートCMOS出力モード 1 = ダブルデータレートLVDS出力モード (LVDS電流が3.5mA、内部終端はオフ)
SDI/ SDO	<b>パワーダウン制御ビット</b> 00 = 通常動作 01 = チャンネル1は通常動作、チャンネル2はナップ・モード 10 = チャンネル1、チャンネル2ともナップ・モード 11 = スリープ・モード(デバイス全体がパワーダウン)

## アプリケーション情報

### シリアル・プログラミング・モード

シリアル・プログラミング・モードを使うには、 $\overline{\text{PAR}}/\overline{\text{SER}}$ をグランドに接続します。 $\overline{\text{CS}}$ 、SCK、SDIおよびSDOの各ピンは、A/Dのモード制御レジスタをプログラムするシリアル・インタフェースになります。データは16ビットのシリアル・ワードでレジスタに書き込まれます。レジスタの内容を検証するために、データをレジスタから読み出すこともできます。

シリアル・データ転送は $\overline{\text{CS}}$ が“L”になると開始されます。SDIピンのデータはSCKの最初の16個の立ち上がりエッジでラッチされます。最初の16個の後のSCKの立ち上がりエッジはどれも無視されます。データ転送は $\overline{\text{CS}}$ が再度“H”になると終了します。

16ビットの入力ワードの最初のビットはR/ $\overline{\text{W}}$ ビットです。次の7ビットはレジスタのアドレス(A6:A0)です。最後の8ビットはレジスタのデータ(D7:D0)です。

R/ $\overline{\text{W}}$ ビットが“L”の場合、シリアル・データ(D7:D0)はアドレス・ビット(A6:A0)で設定されるレジスタに書き込まれます。R/ $\overline{\text{W}}$ ビットが“H”の場合、アドレス・ビット(A6:A0)によって設定されるレジスタ内のデータがSDOピンで読み出されます(タイミング図を参照)。読み出しコマンドの実行中、レジスタは更新されず、SDIのデータは無視されます。

SDOピンはオープン・ドレイン出力で、200 $\Omega$ のインピーダンスでグランドに引き下げられます。SDOを介してレジスタのデータを読み出す場合は、2k $\Omega$ の外付けプルアップ抵抗が必要です。シリアル・データが書き込み専用で読み出す必要がない場合は、SDOをフロートさせておくことができるので、プルアップ抵抗は不要です。

モード制御レジスタのマップを表3に示します。

### ソフトウェアによるリセット

シリアル・プログラミングを使用する場合、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、すべてのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットでなければなりません。ソフトウェアによるリセットを実行するには、リセット・レジスタのビットD7にロジック1を書き込みます。リセットが完了した後、ビットD7は自動的に再度ゼロに設定されます。

### 接地とバイパス

LTC2185/LTC2184/LTC2183には、切れ目のないクリーンなグランド・プレーンを備えたプリント基板が必要です。ADCの下の最初の層には内部グランド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、ADCの下に配置したりしないように注意してください。

V<sub>DD</sub>、OV<sub>DD</sub>、V<sub>CM</sub>、V<sub>REF</sub>、REFH、REFLの各ピンには、高品質のセラミック・バイパス・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。0402サイズのセラミック・コンデンサを推奨します。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くする必要があります。

特に重要なのは、REFHとREFLの間に配置するコンデンサです。このコンデンサは、A/Dコンバータと同じ側の回路基板上で、できるだけデバイスの近くに配置します。サンプリング周波数が110Mspsを超えるときは、REFH/REFL間に低インダクタンスのインターデジタル・コンデンサを使用することを推奨します。

アナログ入力、エンコード信号およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに絶縁するためのバリアとして、グランド領域とグランド・ビアを使用します。

### 熱伝達

LTC2185/LTC2184/LTC2183が発生する熱の大部分はダイから底面の露出パッドとパッケージのピンを通してプリント回路基板に伝わります。優れた電気的性能と熱性能を得るには、露出パッドをPC基板の大きな接地されたパッドに半田付けする必要があります。このパッドは、多数のビアで内部のグランド・プレーンに接続します。

# LTC2185/LTC2184/LTC2183

## アプリケーション情報

表3. シリアル・プログラミング・モードのレジスタ・マップ (PAR/SER = GND)

レジスタA0:リセット・レジスタ(アドレス00h)

D7	D6	D5	D4	D3	D2	D1	D0
RESET	X	X	X	X	X	X	X

ビット7 **RESET** ソフトウェア・リセット・ビット

0 = 不使用

1 = ソフトウェアによるリセット。すべてのモード制御レジスタが00hにリセットされる。ADCは一時的にスリープ・モードになる。このビットはリセット完了後自動的に再度ゼロに設定される。

ビット6~0 使用されない、ドントケア・ビット

レジスタA1:パワーダウン・レジスタ(アドレス01h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	PWROFF1	PWROFF0

ビット7~2 使用されない、ドントケア・ビット

ビット1~0 **PWROFF1:PWROFF0** パワーダウン制御ビット

00 = 通常動作

01 = チャンネル1は通常動作、チャンネル2はナップ・モード

10 = チャンネル1、チャンネル2ともナップ・モード

11 = スリープ・モード

レジスタA2:タイミング・レジスタ(アドレス02h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	CLKINV	CLKPHASE1	CLKPHASE0	DCS

ビット7~4 使用されない、ドントケア・ビット

ビット3 **CLKINV** 出力クロック反転ビット

0 = 通常のCLKOUT極性(タイミング図参照)

1 = 反転したCLKOUT極性

ビット2~1 **CLKPHASE1:CLKPHASE0** 出力クロックの位相遅延ビット

00 = CLKOUT遅延なし(タイミング図参照)

01 = CLKOUT+/CLKOUT-を45°(クロック周期・1/8)だけ遅延

10 = CLKOUT+/CLKOUT-を90°(クロック周期・1/4)だけ遅延

11 = CLKOUT+/CLKOUT-を135°(クロック周期・3/8)だけ遅延

Note:CLKOUT位相遅延機能を使う場合、クロック・デューティサイクル・スタビライザもオンする必要がある

ビット0 **DCS** クロック・デューティサイクル・スタビライザ・ビット

0 = クロック・デューティサイクル・スタビライザをオフ

1 = クロック・デューティサイクル・スタビライザをオン

## アプリケーション情報

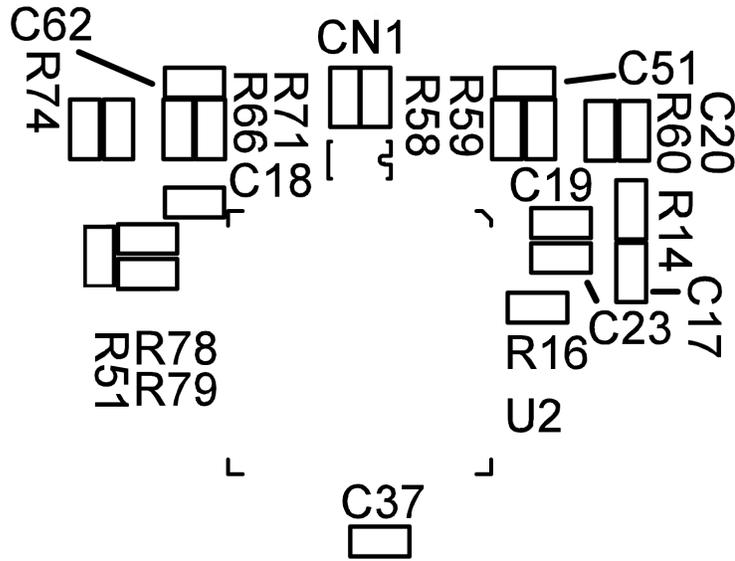
## レジスタA3:出力モード・レジスタ(アドレス03h)

	D7	D6	D5	D4	D3	D2	D1	D0
	X	ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTMODE1	OUTMODE0
ビット7	使用されない、ドントケア・ビット							
ビット6~4	<b>ILVDS2:ILVDS0</b> LVDS出力電流ビット 000 = 3.5mAのLVDS出力ドライバ電流 001 = 4.0mAのLVDS出力ドライバ電流 010 = 4.5mAのLVDS出力ドライバ電流 011 = 不使用 100 = 3.0mAのLVDS出力ドライバ電流 101 = 2.5mAのLVDS出力ドライバ電流 110 = 2.1mAのLVDS出力ドライバ電流 111 = 1.75mAのLVDS出力ドライバ電流							
ビット3	<b>TERMON</b> LVDS内部終端ビット 0 = 内部終端をオフ 1 = 内部終端をオン。LVDS出力ドライバ電流はILVDS2:ILVDS0によって設定される電流の2倍							
ビット2	<b>OUTOFF</b> 出力のディスエーブル・ビット 0 = デジタル出力をイネーブル 1 = デジタル出力をディスエーブルし、出力を高インピーダンスにする Note:デジタル出力をディスエーブルする場合は、デバイスもスリープ・モードまたはナップ・モードにする(両チャンネルとも)。							
ビット1~0	<b>OUTMODE1:OUTMODE0</b> デジタル出力モード制御ビット 00 = フルレートCMOS出力モード 01 = ダブルデータレートLVDS出力モード 10 = ダブルデータレートCMOS出力モード 11 = 不使用							

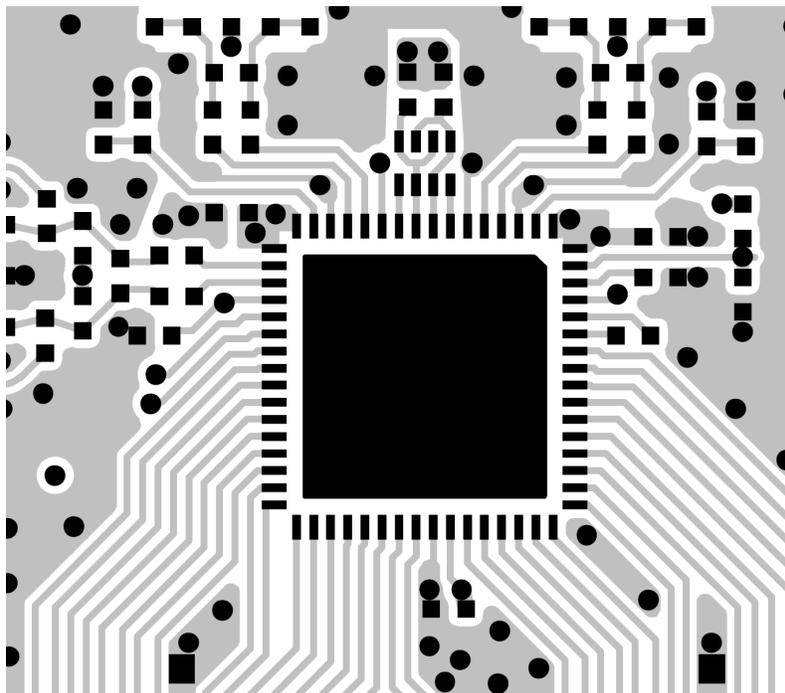
## レジスタA4:データ・フォーマット・レジスタ(アドレス04h)

	D7	D6	D5	D4	D3	D2	D1	D0
	X	X	OUTTEST2	OUTTEST1	OUTTEST0	ABP	RAND	TWOSCOMP
ビット7~6	使用されない、ドントケア・ビット							
ビット5~3	<b>OUTTEST2:OUTTEST0</b> デジタル出力のテストパターン・ビット 000 = デジタル出力のテストパターンをオフ 001 = すべてのデジタル出力 = 0 011 = すべてのデジタル出力 = 1 101 = 格子縞出力パターン。0F、D15~D0は1 0101 0101 0101 0101と0 1010 1010 1010 1010を交互に出力 111 = 交互出力パターン。0F、D15~D0は0 0000 0000 0000 0000と1 1111 1111 1111 1111を交互に出力 Note:他のビットの組み合わせは使用されない							
ビット2	<b>ABP</b> 交互ビット極性モード制御ビット 0 = 交互ビット極性モードをオフ 1 = 交互ビット極性モードをオン。出力形式をオフセット・バイナリに強制する							
ビット1	<b>RAND</b> データ出力ランダムマイザ・モード制御ビット 0 = データ出力ランダムマイザ・モードをオフ 1 = データ出力ランダムマイザ・モードをオン							
ビット0	<b>TWOSCOMP</b> 2の補数モード制御ビット 0 = オフセット・バイナリのデータ形式 1 = 2の補数のデータ形式							

## 標準的応用例

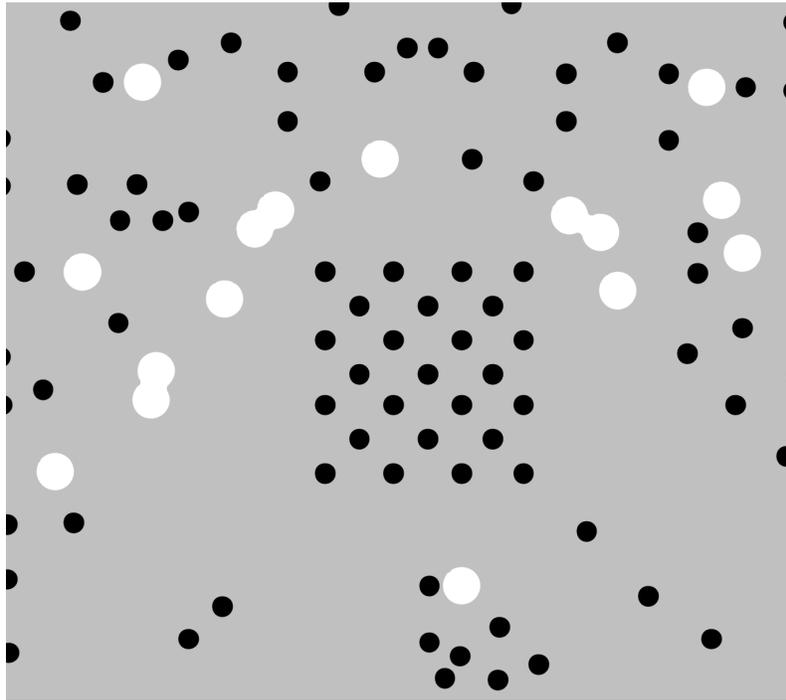


シルクスクリーンの上面

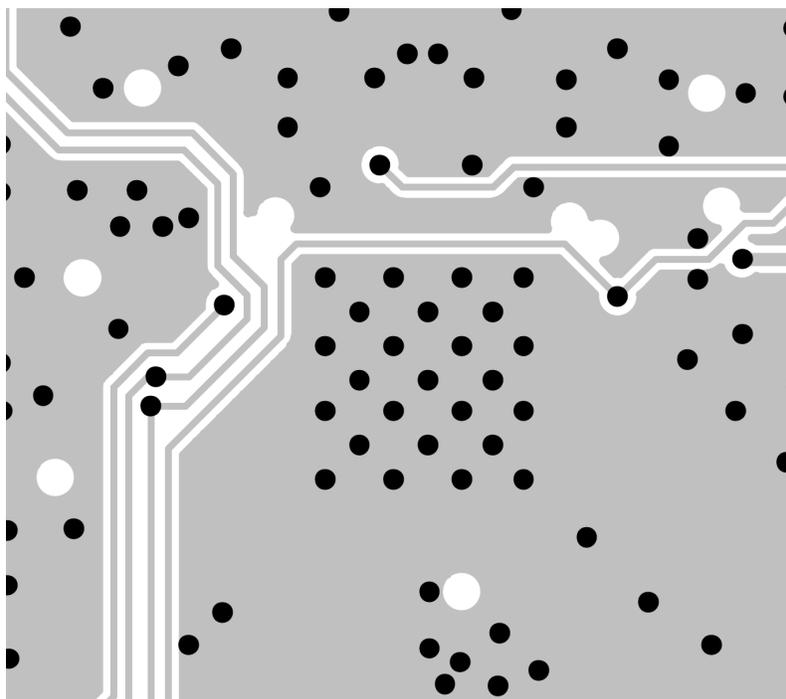


上面

標準的応用例

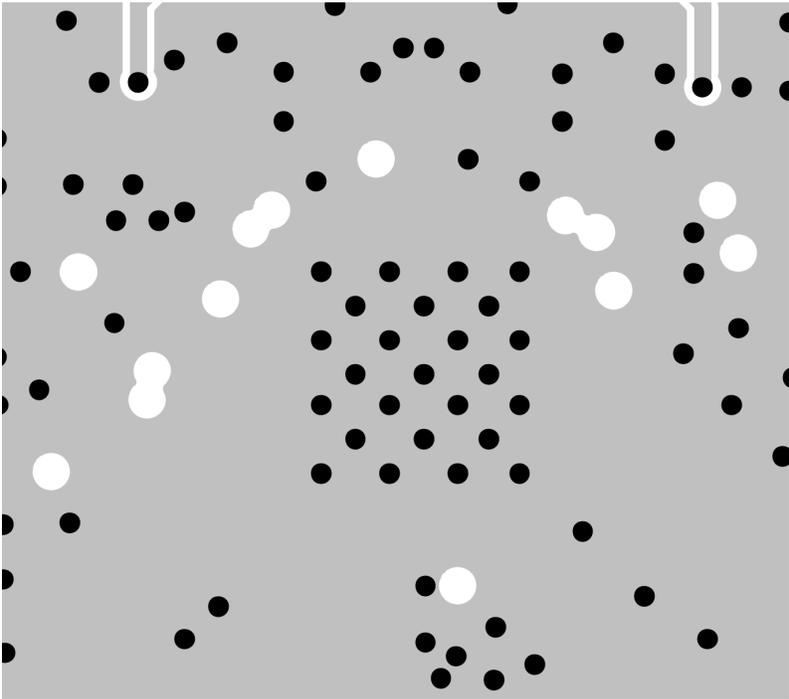


内部第2層 GND

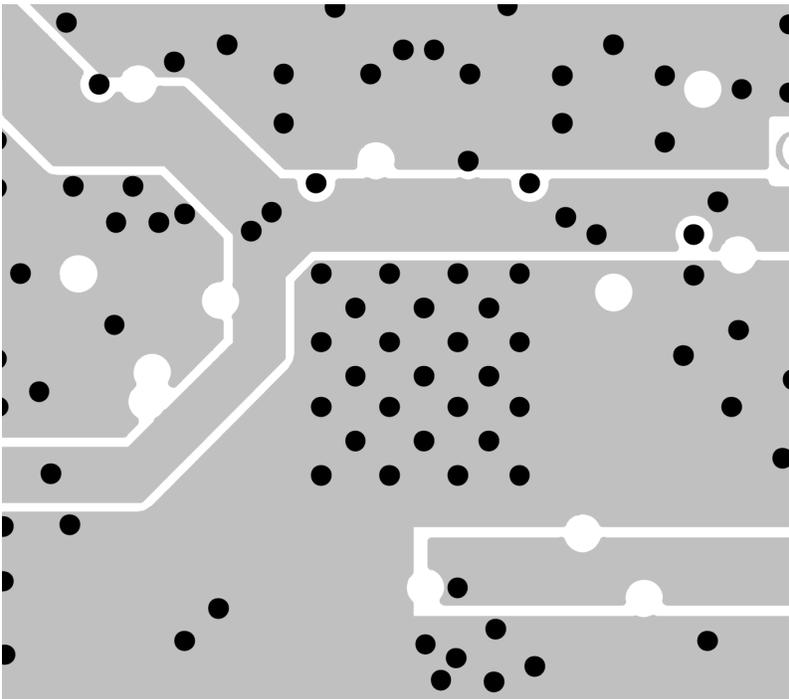


内部第3層

標準的応用例

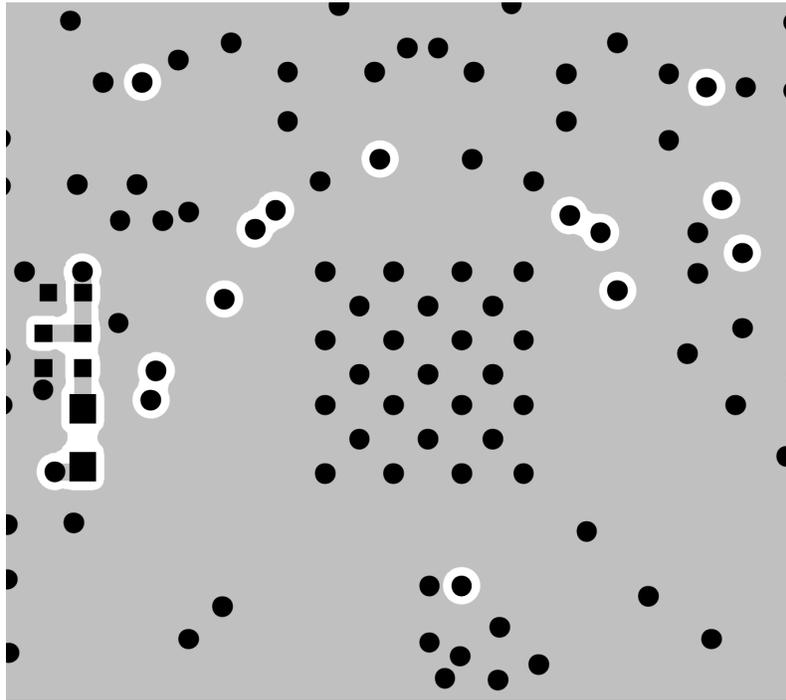


内部第4層



内部第5層電源

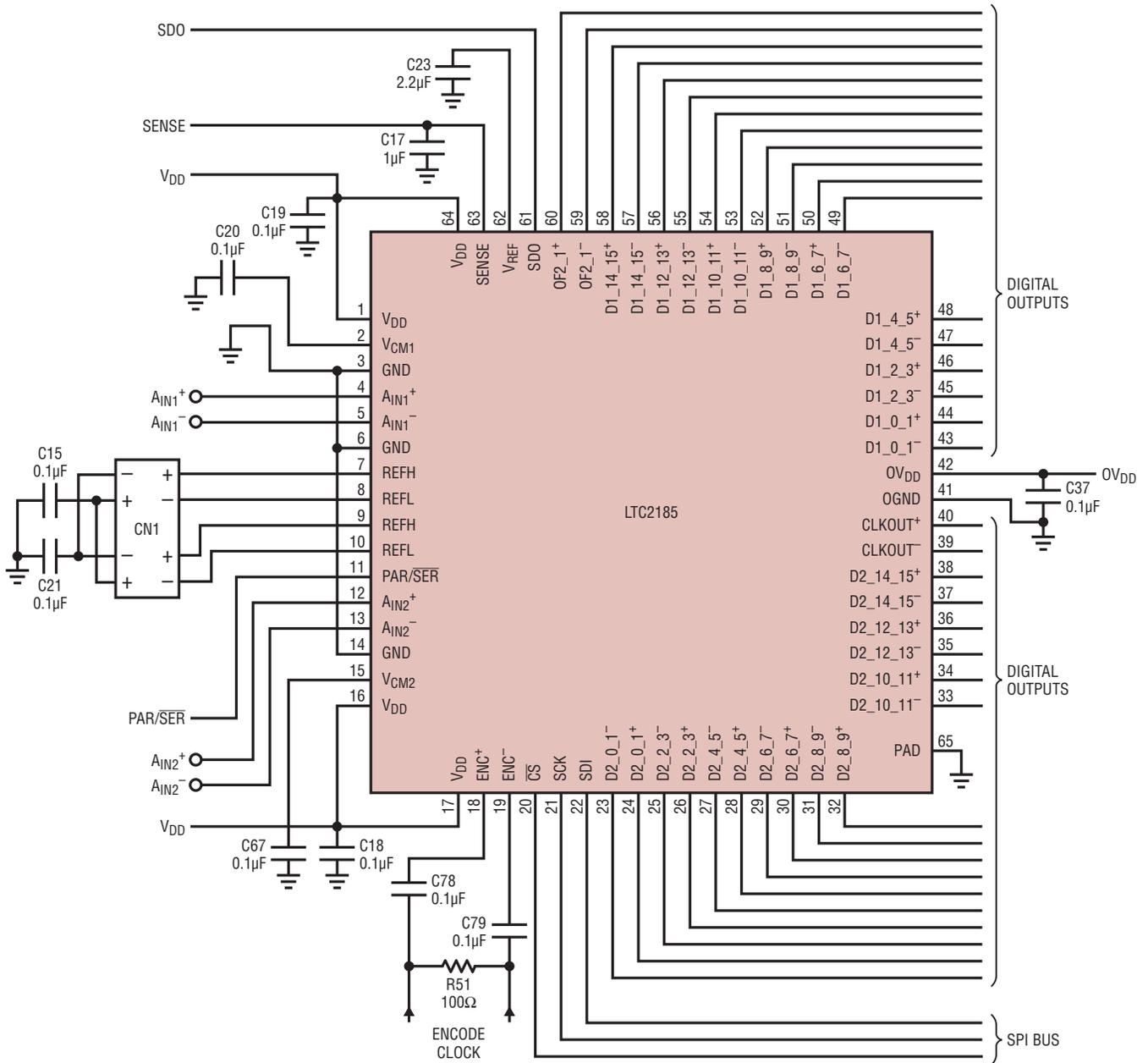
標準的応用例



底面

# LTC2185/LTC2184/LTC2183

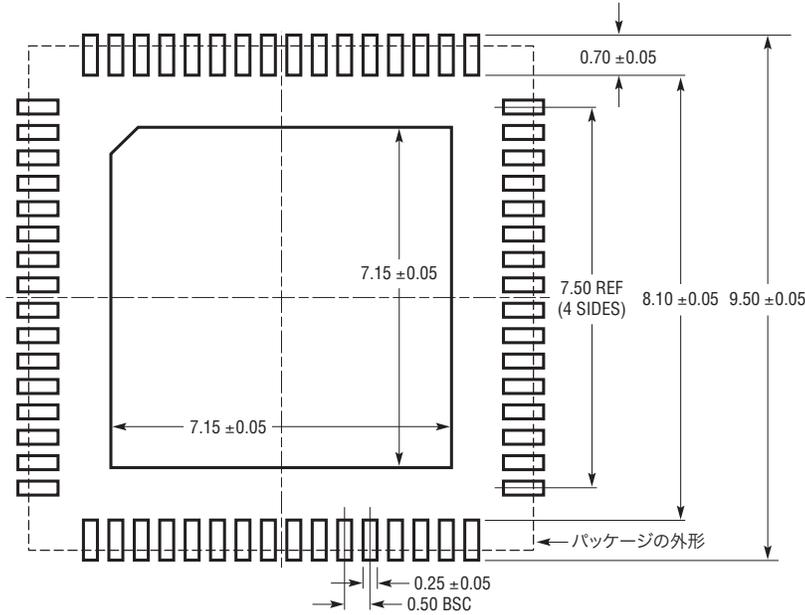
## 標準的応用例



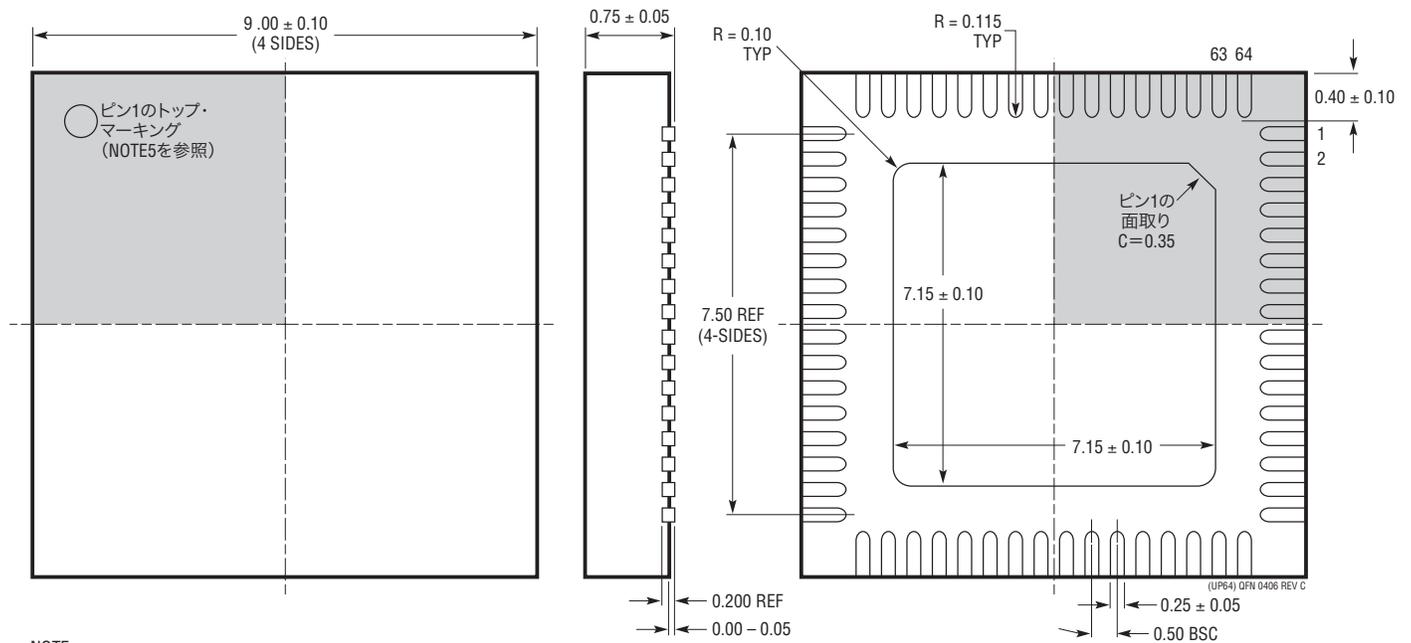
LTC2185の回路図

## パッケージ

UP パッケージ  
64ピン・プラスチック QFN (9mm×9mm)  
(Reference LTC DWG # 05-08-1705 Rev C)



推奨する半田パッドのピッチと寸法  
半田付けされない領域には半田マスクを使用する



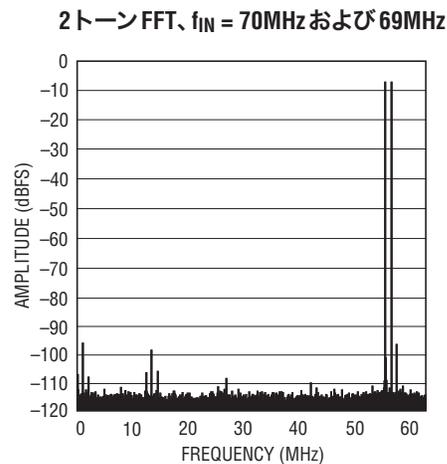
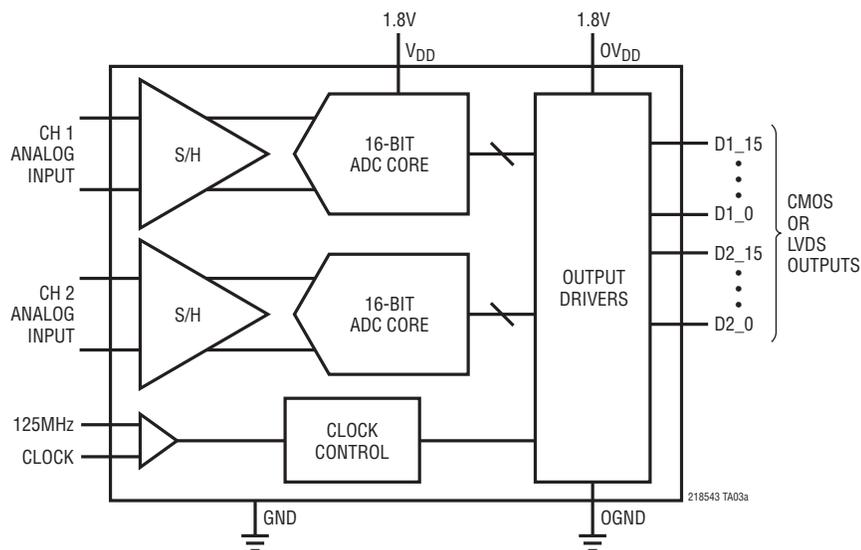
NOTE:

1. 図はJEDECのパッケージ外形M0-229のバリエーションWNJR-5に適合
2. すべての寸法はミリメートル
3. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない  
モールドのバリは(もしあれば)各サイドで0.20mmを超えないこと
4. 露出パッドは半田メッキとする
5. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない
6. 図は実寸とは異なる

底面-露出パッド

# LTC2185/LTC2184/LTC2183

## 標準的応用例



## 関連製品

製品番号	説明	注釈
<b>ADC</b>		
LTC2259-14/LTC2260-14/ LTC2261-14	14ビット、80MSPS/105MSPS/125MSPS、 超低消費電力1.8V ADC	89mW/106mW/127mW、SNR:73.4dB、SFDR:85dB、DDR LVDS/DDR CMOS/CMOS出力、6mm×6mm QFN-40
LTC2266-14/LTC2267-14/ LTC2268-14	14ビット、80MSPS/105MSPS/125MSPS、 超低消費電力1.8V デュアル ADC	203mW/243mW/299mW、SNR:73.1dB、SFDR:88dB、シリアルLVDS出力、 6mm×6mm QFN-40
LTC2266-12/LTC2267-12/ LTC2268-12	12ビット、80MSPS/105MSPS/125MSPS、 超低消費電力1.8V デュアル ADC	200mW/238mW/292mW、SNR:70.6dB、SFDR:88dB、シリアルLVDS出力、 6mm×6mm QFN-40
<b>RFミキサ/復調器</b>		
LTC5517	40MHz～900MHz直接変換直交復調器	高いIIP3:800MHzで21dBm、LO直交ジェネレータ内蔵
LTC5527	400MHz～3.7GHz高直線性ダウンコン バーティング・ミキサ	IIP3:900MHzで24.5dBm、1.9GHzで23.5dBm、NF = 12.5dB、 50ΩシングルエンドのRFポートとLOポート
LTC5557	400MHz～3.8GHz高直線性ダウンコン バーティング・ミキサ	IIP3は2.6GHzで23.7dBm、3.6GHzで23.5dBm、NF = 15.4dB、 3.3V電源動作、トランス内蔵
LTC5575	800MHz～2.7GHz直接変換直交復調器	高いIIP3:900MHzで28dBm、LO直交ジェネレータ内蔵、 RFおよびLOトランス内蔵
<b>アンプ/フィルタ</b>		
LTC6412	800MHz、31dBレンジ、アナログ制御VGA	連続調整可能な利得制御、240MHzでのOIP3:35dBm、 ノイズフィギュア:10dB、4mm×4mm QFN-24
LTC6420-20	300MHzのIF周波数向け1.8GHz、低ノイズ、 低歪み、デュアル差動ADCドライバ	固定利得:10V/V、総入力ノイズ:1nV/√Hz、アンプ当たりの消費電流: 80mA、3mm×4mm QFN-20
LTC6421-20	1.3GHz、低ノイズ、低歪み、デュアル差動 ADCドライバ	固定利得:10V/V、総入力ノイズ:1nV/√Hz、アンプ当たりの消費電流: 40mA、3mm×4mm QFN-20
LTC6605-7/LTC6605-10/ LTC6605-14	ADCドライバ付きの整合したデュアル 7MHz/10MHz/14MHzフィルタ	差動ドライバ付きの整合された2個の2次ローパス・フィルタ、 ピンでプログラム可能な利得、6mm×3mm DFN-22
<b>シグナルチェーン・レシーバ</b>		
LTM9002	14ビット・デュアル・チャンネルIF/ベースバン ド・レシーバ・サブシステム	高速ADC、パッシブ・フィルタ、固定利得差動アンプを内蔵

218543f