

12ビット、65MSPS/40MSPS/ 25MSPS 低消費電力クワッド ADC

特長

- 4チャンネル同時サンプリング ADC
- SNR: 71dB
- SFDR: 90dB
- 低消費電力: 306mW/198mW/160mW (合計)、77mW/50mW/40mW (チャンネル当たり)
- 単一 1.8V 電源
- シリアル LVDS 出力: チャンネル当たり 1ビットまたは 2ビット
- 選択可能な入力範囲: 1V_{p-p} ~ 2V_{p-p}
- 800MHz のフルパワー帯域幅 サンプル/ホールド
- シャットダウン・モードとナップ・モード
- 設定用のシリアル SPI ポート
- ピン互換の 14ビットおよび 12ビット・バージョン
- 52ピン (7mm×8mm) QFN パッケージ

アプリケーション

- 通信
- セルラー基地局
- ソフトウェア無線
- 携帯型医療用画像処理
- マルチチャンネル・データ収集
- 非破壊試験

LT, LT, LTC, LTM, Linear Technology および Linear のロゴはリアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

概要

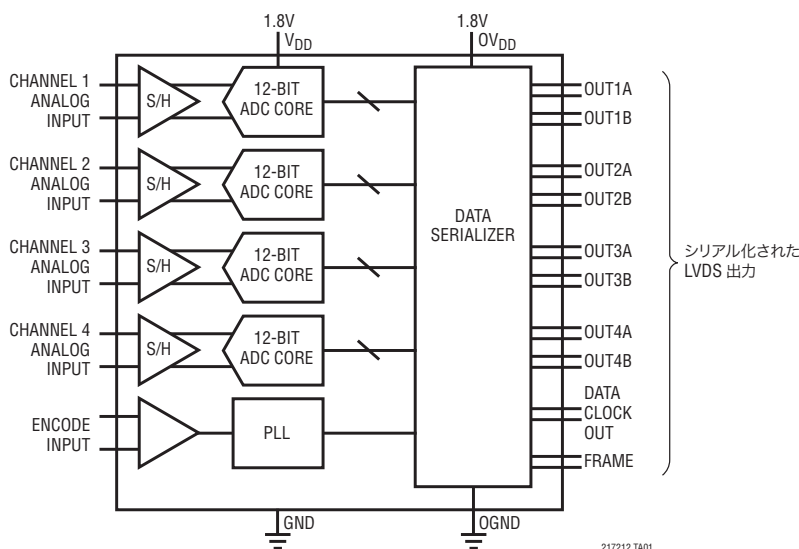
LTC[®]2172-12/LTC2171-12/LTC2170-12 は、広いダイナミックレンジの高周波信号をデジタル化する 4チャンネル同時サンプリング 12ビット A/D コンバータです。SNR が 71dB、SFDR が 90dB という優れた AC 特性を備えているため、要求の厳しい通信アプリケーションに最適です。ジッタがわずか 0.15ps_{RMS} なので、優れたノイズ性能を維持しながら IF 周波数をアンダーサンプリングできます。

DC 仕様では、±0.3LSB (標準) の INL と ±0.1LSB (標準) の DNL、全温度範囲でミッシング・コードがないことが規定されています。遷移ノイズは 0.3LSB_{RMS} と低く抑えられています。

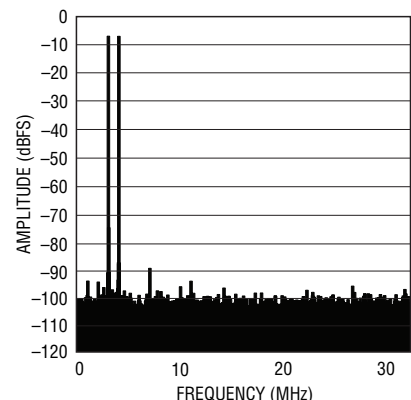
デジタル出力はシリアル LVDS であり、データ回線数を最小限に抑えます。各チャンネルは一度に 2ビット (2レーン・モード) または一度に 1ビット (1レーン・モード) を出力します。LVDS ドライバはオプションの内部終端を備え、出力レベルを調整できるので、クリーンなシグナルインテグリティを確保します。

ENC⁺ および ENC⁻ 入力は、正弦波、PECL、LVDS、TTL または CMOS の入力信号を使って差動またはシングルエンドでドライブ可能です。また、内蔵のクロック・デューティサイクル・スタビライザにより、広範なクロック・デューティサイクルにおいてフルスピードで高性能を達成できます。

標準的応用例



LTC2172-12、65MSPS、2 トーン FFT、
f_{IN} = 70MHz および 75MHz



LTC2172-12/ LTC2171-12/LTC2170-12

絶対最大定格

(Note 1、2)

電源電圧

V_{DD} 、 OV_{DD}-0.3V ~ 2V

アナログ入力電圧 (A_{IN}^+ 、 A_{IN}^- 、
PAR/SER、SENSE) (Note 3)-0.3V ~ ($V_{DD} + 0.2V$)

デジタル入力電圧 (ENC^+ 、 ENC^- 、 \overline{CS} 、
SDI、SCK) (Note 4)-0.3V ~ 3.9V

SDO (Note 4)-0.3V ~ 3.9V

デジタル出力電圧-0.3V ~ ($OV_{DD} + 0.3V$)

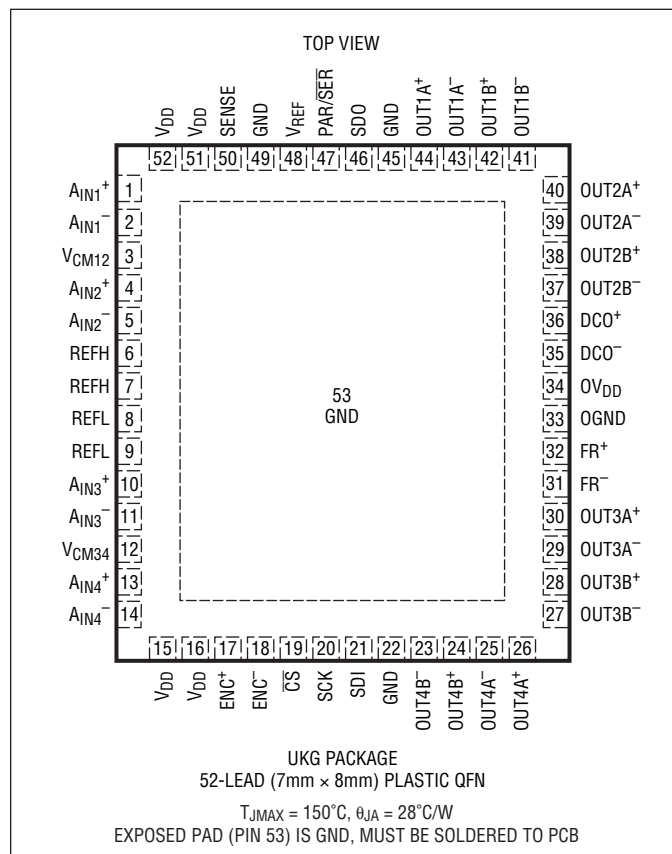
動作温度範囲

LTC2172C、LTC2171C、LTC2170C 0°C ~ 70°C

LTC2172I、LTC2171I、LTC2170I -40°C ~ 85°C

保存温度範囲..... -65°C ~ 150°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2172CUKG-12#PBF	LTC2172CUKG-12#TRPBF	LTC2172UKG-12	52-Lead (7mm×8mm) Plastic QFN	0°C to 70°C
LTC2172IUKG-12#PBF	LTC2172IUKG-12#TRPBF	LTC2172UKG-12	52-Lead (7mm×8mm) Plastic QFN	-40°C to 85°C
LTC2171CUKG-12#PBF	LTC2171CUKG-12#TRPBF	LTC2171UKG-12	52-Lead (7mm×8mm) Plastic QFN	0°C to 70°C
LTC2171IUKG-12#PBF	LTC2171IUKG-12#TRPBF	LTC2171UKG-12	52-Lead (7mm×8mm) Plastic QFN	-40°C to 85°C
LTC2170CUKG-12#PBF	LTC2170CUKG-12#TRPBF	LTC2170UKG-12	52-Lead (7mm×8mm) Plastic QFN	0°C to 70°C
LTC2170IUKG-12#PBF	LTC2170IUKG-12#TRPBF	LTC2170UKG-12	52-Lead (7mm×8mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

コンバータの特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS	LTC2172-12			LTC2171-12			LTC2170-12			UNITS	
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
Resolution (No Missing Codes)		●	12		12		12		12		Bits	
Integral Linearity Error	Differential Analog Input (Note 6)	●	-1	±0.3	1	-1	±0.3	1	-1	±0.3	1	LSB
Differential Linearity Error	Differential Analog Input	●	-0.5	±0.1	0.5	-0.4	±0.1	0.4	-0.4	±0.1	0.4	LSB
Offset Error	(Note 7)	●	-12	±3	12	-12	±3	12	-12	±3	12	mV
Gain Error	Internal Reference External Reference	●	-2.5	-1	0.5	-2.5	-1	0.5	-2.5	-1	0.5	%FS %FS
Offset Drift			±20		±20		±20		±20		$\mu\text{V}/^\circ\text{C}$	
Full-Scale Drift	Internal Reference External Reference		±35 ±25		±35 ±25		±35 ±25		±35 ±25		ppm/ $^\circ\text{C}$ ppm/ $^\circ\text{C}$	
Gain Matching	External Reference		±0.2		±0.2		±0.2		±0.2		%FS	
Offset Matching			±3		±3		±3		±3		mV	
Transition Noise	External Reference		0.32		0.32		0.32		0.32		LSBRMS	

アナログ入力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range ($A_{IN^+} - A_{IN^-}$)	$1.7\text{V} < V_{DD} < 1.9\text{V}$	●	1 to 2		V_{P-P}
$V_{IN(CM)}$	Analog Input Common Mode ($A_{IN^+} + A_{IN^-}$)/2	Differential Analog Input (Note 8)	●	$V_{CM} - 100\text{mV}$	V_{CM} $V_{CM} + 100\text{mV}$	V
V_{SENSE}	External Voltage Reference Applied to SENSE	External Reference Mode	●	0.625	1.250 1.300	V
$I_{IN(CM)}$	Analog Input Common Mode Current	Per Pin, 65Msps Per Pin, 40Msps Per Pin, 25Msps		81 50 31		μA μA μA
I_{IN1}	Analog Input Leakage Current (No Encode)	$0 < A_{IN^+}, A_{IN^-} < V_{DD}$	●	-1	1	μA
I_{IN2}	PAR/SER Input Leakage Current	$0 < \text{PAR/SER} < V_{DD}$	●	-3	3	μA
I_{IN3}	SENSE Input Leakage Current	$0.625 < \text{SENSE} < 1.3\text{V}$	●	-6	6	μA
t_{AP}	Sample-and-Hold Acquisition Delay Time			0		ns
t_{JITTER}	Sample-and-Hold Acquisition Delay Jitter			0.15		psRMS
CMRR	Analog Input Common Mode Rejection Ratio			80		dB
BW-3B	Full-Power Bandwidth	Figure 6 Test Circuit		800		MHz

LTC2172-12/ LTC2171-12/LTC2170-12

ダイナミック精度 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	LTC2172-12			LTC2171-12			LTC2170-12			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
SNR	Signal-to-Noise Ratio	5MHz Input	● 69.7	71	69.5	70.9	69.3	70.5	69.3	70.5	dBFS	
		30MHz Input		71		70.8		70.5				
		70MHz Input		70.9		70.8		70.5				
		140MHz Input		70.6		70.5		70.2				
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic	5MHz Input	● 77	90	79	90	79	90	79	90	dBFS	
		30MHz Input		90		90		90				
		70MHz Input		89		89		89				
		140MHz Input		84		84		84				
	Spurious Free Dynamic Range 4th Harmonic or Higher	5MHz Input	● 85	90	85	90	85	90	85	90	dBFS	
		30MHz Input		90		90		90				
70MHz Input	90	90		90								
140MHz Input	90	90		90								
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	5MHz Input	● 69.1	70.9	69.4	70.8	69.2	70.5	69.2	70.4	dBFS	
		30MHz Input		70.9		70.7		70.3				
		70MHz Input		70.7		70.6		69.9				
		140MHz Input		70.3		70.2						
	Crosstalk, Near Channel	10MHz Input (Note 12)		-90		-90		-90		-90	dBc	
	Crosstalk, Far Channel	10MHz Input (Note 12)		-105		-105		-105		-105	dBc	

内部リファレンスの特性 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CM} Output Voltage	$I_{OUT} = 0$	$0.5 \cdot V_{DD} - 25\text{mV}$	$0.5 \cdot V_{DD}$	$0.5 \cdot V_{DD} + 25\text{mV}$	V
V_{CM} Output Temperature Drift			± 25		ppm/ $^\circ\text{C}$
V_{CM} Output Resistance	$-600\mu\text{A} < I_{OUT} < 1\text{mA}$		4		Ω
V_{REF} Output Voltage	$I_{OUT} = 0$	1.225	1.250	1.275	V
V_{REF} Output Temperature Drift			± 25		ppm/ $^\circ\text{C}$
V_{REF} Output Resistance	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$		7		Ω
V_{REF} Line Regulation	$1.7\text{V} < V_{DD} < 1.9\text{V}$		0.6		mV/V

デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
エンコード入力 (ENC⁺, ENC⁻)							
差動エンコード・モード (ENC⁻ は GND に接続されていない)							
V _{ID}	Differential Input Voltage	(Note 8)	●	0.2			V
V _{ICM}	Common Mode Input Voltage	Internally Set Externally Set (Note 8)	●	1.1	1.2	1.6	V V
V _{IN}	Input Voltage Range	ENC ⁺ , ENC ⁻ to GND	●	0.2		3.6	V
R _{IN}	Input Resistance	(See Figure 10)			10		k Ω
C _{IN}	Input Capacitance				3.5		pF
シングルエンド・エンコード・モード (ENC⁻ は GND に接続されている)							
V _{IH}	High Level Input Voltage	V _{DD} = 1.8V	●	1.2			V
V _{IL}	Low Level Input Voltage	V _{DD} = 1.8V	●			0.6	V
V _{IN}	Input Voltage Range	ENC ⁺ to GND	●	0		3.6	V
R _{IN}	Input Resistance	(See Figure 11)			30		k Ω
C _{IN}	Input Capacitance				3.5		pF
デジタル入力 (CS⁻, SDI, SCK はシリアルまたはパラレル・プログラミング・モード。SDO はパラレル・プログラミング・モード)							
V _{IH}	High Level Input Voltage	V _{DD} = 1.8V	●	1.3			V
V _{IL}	Low Level Input Voltage	V _{DD} = 1.8V	●			0.6	V
I _{IN}	Input Current	V _{IN} = 0V to 3.6V	●	-10		10	μA
C _{IN}	Input Capacitance				3		pF
SDO の出力 (シリアル・プログラミング・モード。オープン・ドレイン出力。SDO が使われる場合、2k のプルアップ抵抗が必要)							
R _{OL}	Logic Low Output Resistance to GND	V _{DD} = 1.8V, SDO = 0V			200		Ω
I _{OH}	Logic High Output Leakage Current	SDO = 0V to 3.6V	●	-10		10	μA
C _{OUT}	Output Capacitance				3		pF
DIGITAL DATA OUTPUTS							
V _{OD}	Differential Output Voltage	100 Ω Differential Load, 3.5mA Mode 100 Ω Differential Load, 1.75mA Mode	● ●	247 125	350 175	454 250	mV mV
V _{OS}	Common Mode Output Voltage	100 Ω Differential Load, 3.5mA Mode 100 Ω Differential Load, 1.75mA Mode	● ●	1.125 1.125	1.250 1.250	1.375 1.375	V V
R _{TERM}	On-Chip Termination Resistance	Termination Enabled, 0V _{DD} = 1.8V			100		Ω

LTC2172-12/ LTC2171-12/LTC2170-12

電源要件 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 9)。

SYMBOL	PARAMETER	CONDITIONS		LTC2172-12			LTC2171-12			LTC2170-12			UNITS
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V _{DD}	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
OV _{DD}	Output Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
I _{VDD}	Analog Supply Current	Sine Wave Input	●		154	177		94	111		74	83	mA
I _{OVDD}	Digital Supply Current	1-Lane Mode, 1.75mA Mode			16			16			15		mA
		1-Lane Mode, 3.5mA Mode			30			29			28		mA
		2-Lane Mode, 1.75mA Mode	●		25	28		24	27		24	26	mA
		2-Lane Mode, 3.5mA Mode	●		47	50		46	50		45	49	mA
P _{DISS}	Power Dissipation	1-Lane Mode, 1.75mA Mode			306			198			160		mW
		1-Lane Mode, 3.5mA Mode			331			221			184		mW
		2-Lane Mode, 1.75mA Mode	●		322	369		212	248		176	196	mW
		2-Lane Mode, 3.5mA Mode	●		362	409		252	290		214	238	mW
P _{SLEEP}	Sleep Mode Power				1			1			1		mW
P _{NAP}	Nap Mode Power				75			75			75		mW
P _{DIFFCLK}	Power Increase with Differential Encode Mode Enabled (No Increase for Sleep Mode)				20			20			20		mW

タイミング特性 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS		LTC2172-12			LTC2171-12			LTC2170-12			UNITS
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
f _S	Sampling Frequency	(Notes 10, 11)	●	5		65	5		40	5		25	MHz
t _{ENCL}	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off	●	7.3	7.69	100	11.88	12.5	100	19	20	100	ns
		Duty Cycle Stabilizer On	●	2	7.69	100	2	12.5	100	2	20	100	ns
t _{ENCH}	ENC High Time (Note 8)	Duty Cycle Stabilizer Off	●	7.3	7.69	100	11.88	12.5	100	19	20	100	ns
		Duty Cycle Stabilizer On	●	2	7.69	100	2	12.5	100	2	20	100	ns
t _{AP}	Sample-and-Hold Acquisition Delay Time				0			0			0		ns

タイミング特性 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
デジタル・データ出力 ($R_{\text{TERM}} = 100\Omega$ 差動、各出力で GND に $C_L = 2\text{pF}$ を接続)							
t_{SER}	Serial Data Bit Period	2-Lanes, 16-Bit Serialization		$1 / (8 \cdot f_s)$		s	
		2-Lanes, 14-Bit Serialization		$1 / (7 \cdot f_s)$		s	
		2-Lanes, 12-Bit Serialization		$1 / (6 \cdot f_s)$		s	
		1-Lane, 16-Bit Serialization		$1 / (16 \cdot f_s)$		s	
		1-Lane, 14-Bit Serialization		$1 / (14 \cdot f_s)$		s	
		1-Lane, 12-Bit Serialization		$1 / (12 \cdot f_s)$		s	
t_{FRAME}	FR to DCO Delay	(Note 8)	●	$0.35 \cdot t_{\text{SER}}$	$0.5 \cdot t_{\text{SER}}$	$0.65 \cdot t_{\text{SER}}$	s
t_{DATA}	DATA to DCO Delay	(Note 8)	●	$0.35 \cdot t_{\text{SER}}$	$0.5 \cdot t_{\text{SER}}$	$0.65 \cdot t_{\text{SER}}$	s
t_{PD}	Propagation Delay	(Note 8)	●	$0.7\text{n} + 2 \cdot t_{\text{SER}}$	$1.1\text{n} + 2 \cdot t_{\text{SER}}$	$1.5\text{n} + 2 \cdot t_{\text{SER}}$	s
t_{R}	Output Rise Time	Data, DCO, FR, 20% to 80%		0.17		ns	
t_{F}	Output Fall Time	Data, DCO, FR, 20% to 80%		0.17		ns	
	DCO Cycle-to-Cycle Jitter	$t_{\text{SER}} = 1\text{ns}$		60		psp-p	
	Pipeline Latency			6		Cycles	

SPI ポートのタイミング (Note 8)

t_{SCK}	SCK Period	Write Mode	●	40		ns
		Readback Mode, $C_{\text{SDO}} = 20\text{pF}$, $R_{\text{PULLUP}} = 2\text{k}$	●	250		ns
t_{S}	$\overline{\text{CS}}$ to SCK Set-Up Time		●	5		ns
t_{H}	SCK to $\overline{\text{CS}}$ Set-Up Time		●	5		ns
t_{DS}	SDI Set-Up Time		●	5		ns
t_{DH}	SDI Hold Time		●	5		ns
t_{DO}	SCK Falling to SDO Valid	Readback Mode $C_{\text{SDO}} = 20\text{pF}$, $R_{\text{PULLUP}} = 2\text{k}$	●		125	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての電圧値は(注記がない限り) GND と OGND を短絡した状態の GND を基準にしている。

Note 3: これらのピンの電圧を GND より低くするか、 V_{DD} より高くすると、内部のダイオードによってクランプされる。この製品は、GND より低いか、または V_{DD} より高い電圧でラッチアップを生じることなしに 100mA を超える入力電流を処理することができる。

Note 4: これらのピンの電圧を GND より低くすると、内部のダイオードによってクランプされる。これらのピンの電圧を V_{DD} より高くすると、内部のダイオードによってクランプされない。この製品は、GND より低い電圧で、ラッチアップを生じることなく 100mA を超える入力電流を処理することができる。

Note 5: 注記がない限り、 $V_{\text{DD}} = 0V_{\text{DD}} = 1.8\text{V}$ 、 $f_{\text{SAMPLE}} = 65\text{MHz}$ (LTC2172)、40MHz (LTC2171)、または 25MHz (LTC2170)、2 レーン出力モード、差動 $\text{ENC}^+/\text{ENC}^- = 2V_{\text{P-P}}$ の正弦波、入力範囲 = 差動ドライブで $2V_{\text{P-P}}$ 。

Note 6: 積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定する。

Note 7: オフセット誤差は、2 の補数の出力モードで出力コードが 0000 0000 0000 と 1111 1111 1111 の間を行ったり来たりするとき、 -0.5 LSB から測定したオフセット電圧である。

Note 8: 設計によって保証されているが、テストされない。

Note 9: 注記がない限り、 $V_{\text{DD}} = 0V_{\text{DD}} = 1.8\text{V}$ 、 $f_{\text{SAMPLE}} = 65\text{MHz}$ (LTC2172)、40MHz (LTC2171)、または 25MHz (LTC2170)、2 レーン出力モード、 $\text{ENC}^+ = \text{シングルエンドの } 1.8\text{V}$ 方形波、 $\text{ENC}^- = 0\text{V}$ 、入力範囲 = 差動ドライブで $2V_{\text{P-P}}$ 。消費電流および電力損失の規格値はデバイス全体の合計値であり、1 チャネルあたりの値ではない。

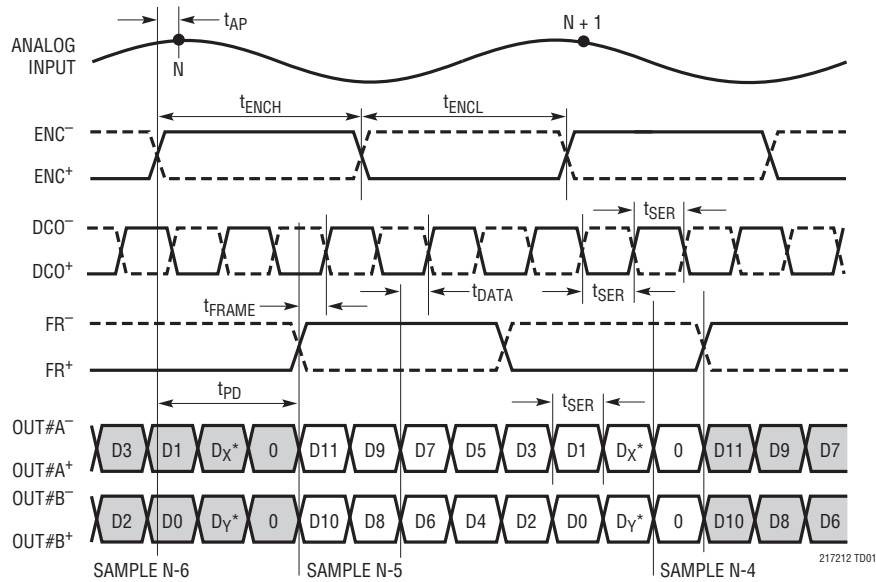
Note 10: 推奨動作条件。

Note 11: 最大サンプリング周波数はデバイスの速度グレードによって異なり、どのシリアル化モードが使用されているかによっても異なる。最大シリアル・データ・レートは 1000Mbps なので、 t_{SER} は 1ns 以上でなければならない。

Note 12: Near-channel crosstalk (近接チャネル・クロストーク)とは、チャネル1とチャネル2の間、およびチャネル3とチャネル4の間のクロストークのことを指す。Far-channel crosstalk (遠隔チャネル・クロストーク)とは、チャネル1とチャネル3の間、チャネル1とチャネル4の間、チャネル2とチャネル3の間、およびチャネル2とチャネル4の間のクロストークのことを指す。

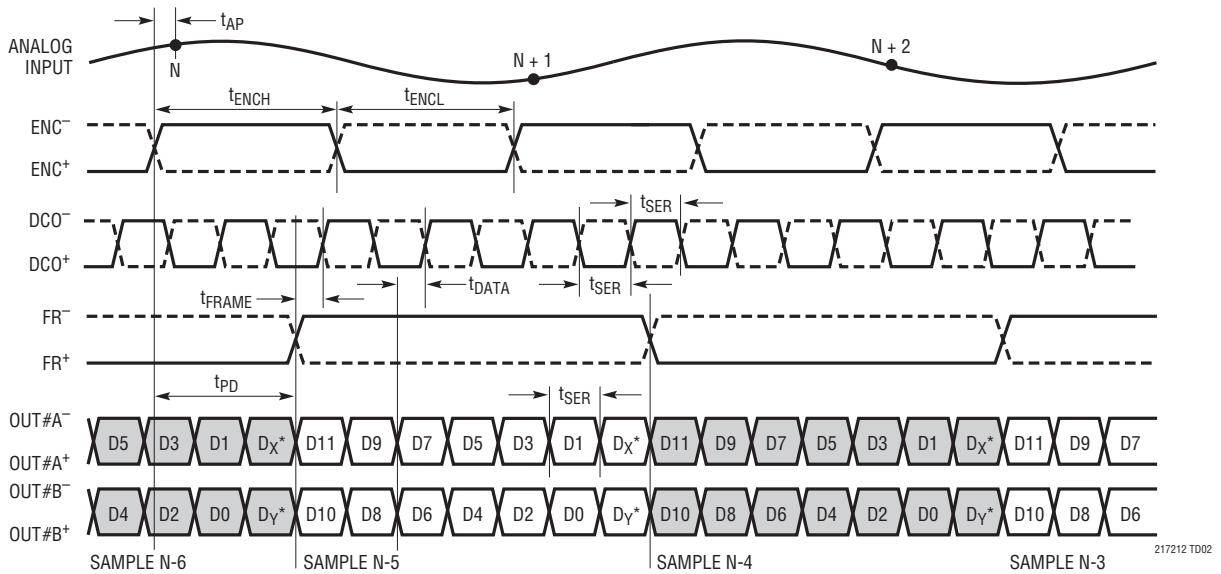
タイミング図

2レーン出力モード、16ビット・シリアル化



* D_X と D_Y は、これらの A/D の 14 ビット・バージョンと完全なソフトウェア互換性をもたせるために追加された非データ・ビットである。オーバーレンジが生じていない通常動作時には、D_X と D_Y はロジック 0 に設定される。詳細については「データ・フォーマット」のセクションを参照。

2レーン出力モード、14ビット・シリアル化

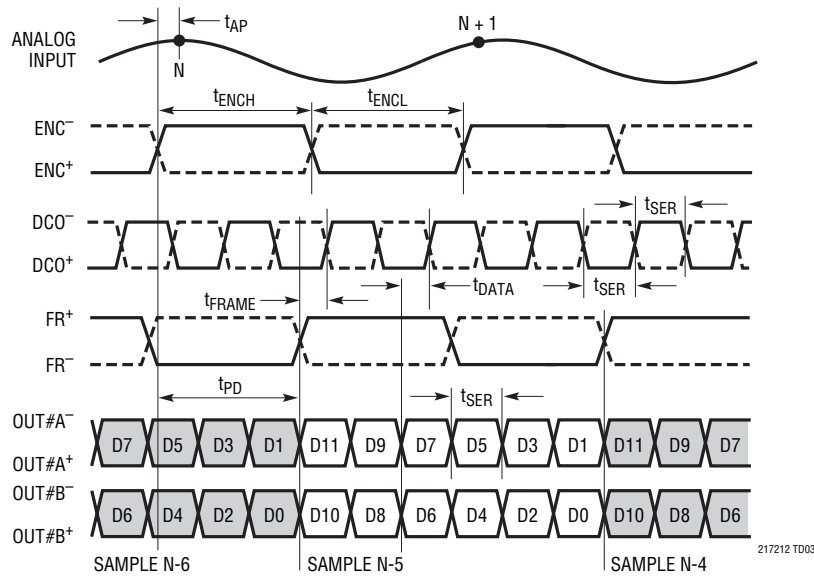


このモードでは FR⁺/FR⁻ の周期が ENC⁺/ENC⁻ の周期の 2 倍であることに注意

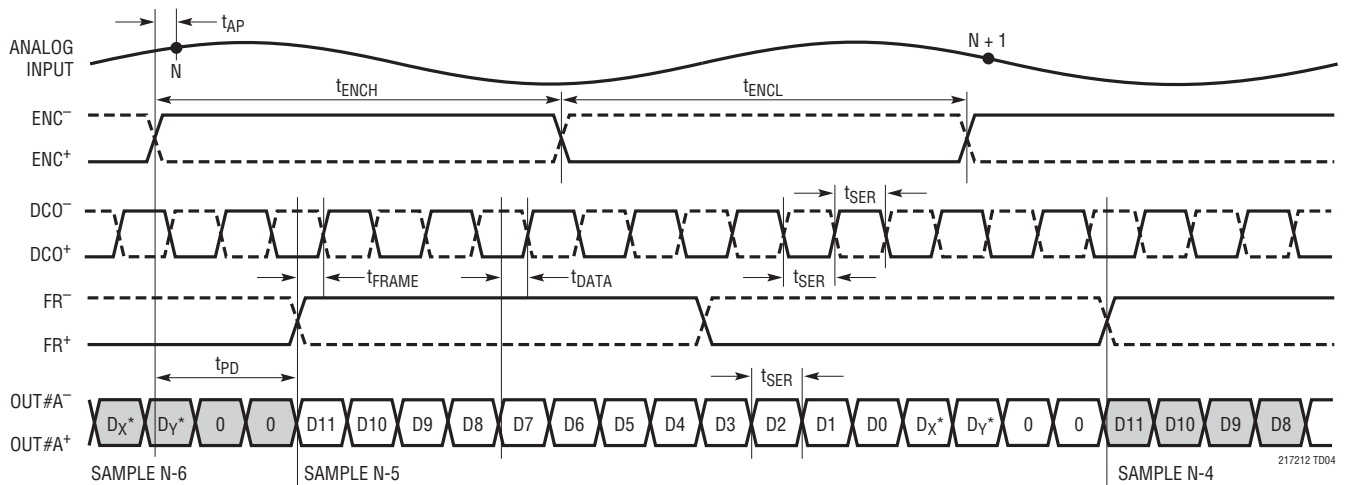
* D_X と D_Y は、これらの A/D の 14 ビット・バージョンと完全なソフトウェア互換性をもたせるために追加された非データ・ビットである。オーバーレンジが生じていない通常動作時には、D_X と D_Y はロジック 0 に設定される。詳細については「データ・フォーマット」のセクションを参照。

タイミング図

2レーン出力モード、12ビット・シリアル化



1レーン出力モード、16ビット・シリアル化

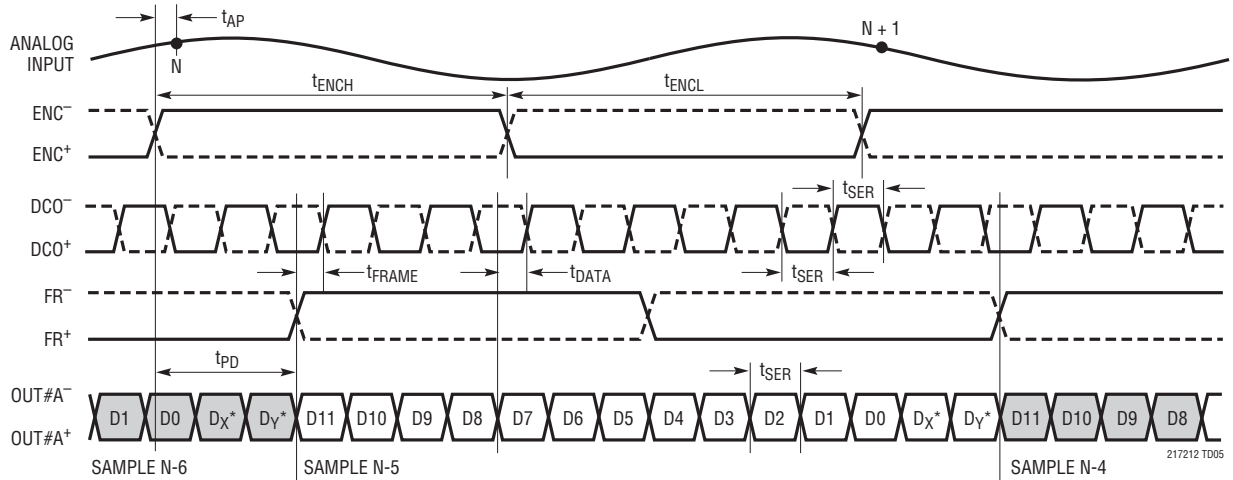


OUT#B+とOUT#B-はディスエーブル

* D_X と D_Y は、これらの A/D の 14 ビット・バージョンと完全なソフトウェア互換性をもたせるために追加された非データ・ビットである。オーバーレンジが生じていない通常動作時には、 D_X と D_Y はロジック 0 に設定される。詳細については「データ・フォーマット」のセクションを参照。

タイミング図

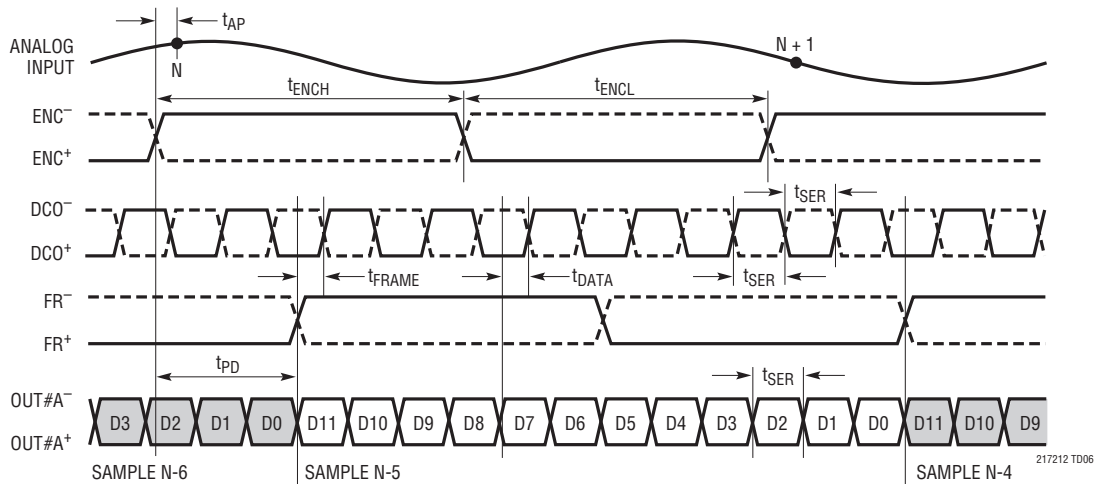
1レーン出力モード、14ビット・シリアル化



OUT#B⁺とOUT#B⁻はディスエーブル

* D_xとD_yは、これらのA/Dの14ビット・バージョンと完全なソフトウェア互換性をもたせるために追加された非データ・ビットである。オーバーレンジが生じていない通常動作時には、D_xとD_yはロジック0に設定される。詳細については「データ・フォーマット」のセクションを参照。

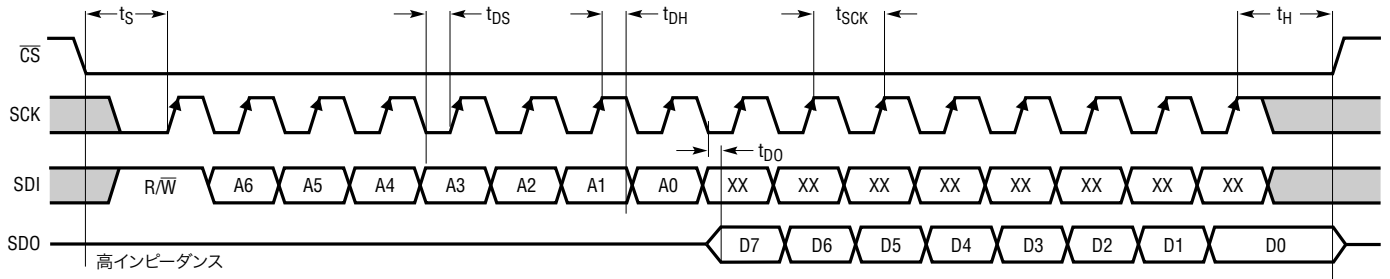
1レーン出力モード、12ビット・シリアル化



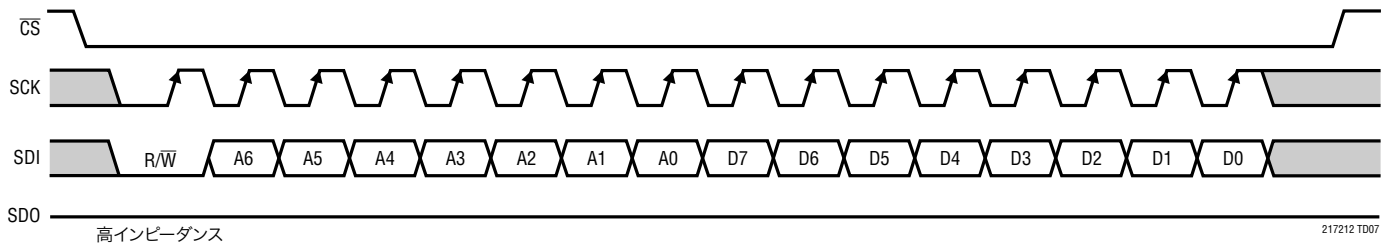
OUT#B⁺とOUT#B⁻はディスエーブル

タイミング図

SPIポートのタイミング(読み出しモード)



SPIポートのタイミング(書き込みモード)

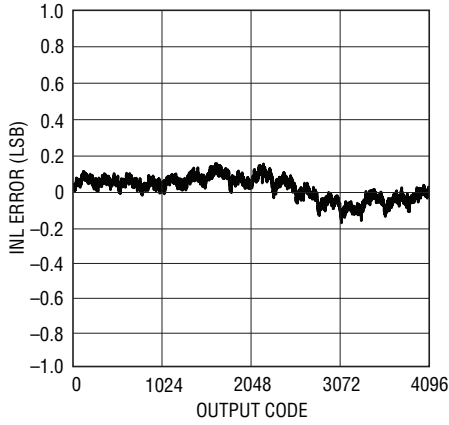


217212 TD07

LTC2172-12/ LTC2171-12/LTC2170-12

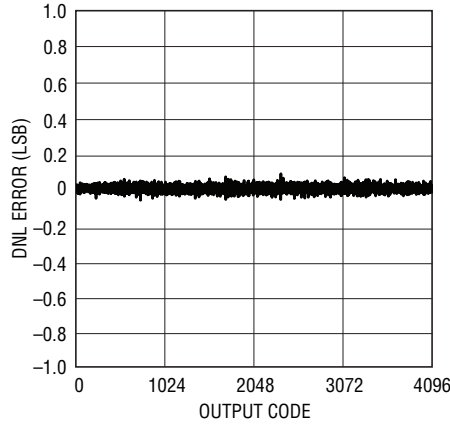
標準的性能特性

LTC2172-12: 積分非直線性 (INL)



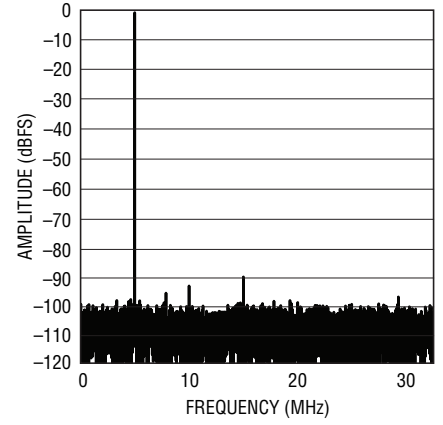
217212 G01

LTC2172-12: 微分非直線性 (DNL)



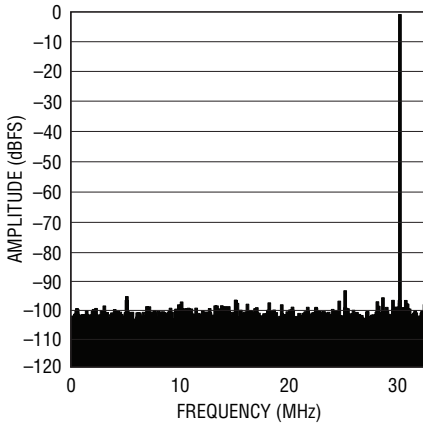
217212 G02

LTC2172-12: 8kポイントのFFT、
 $f_{IN} = 5\text{MHz}$ 、 -1dBFS 、 65Mpsps



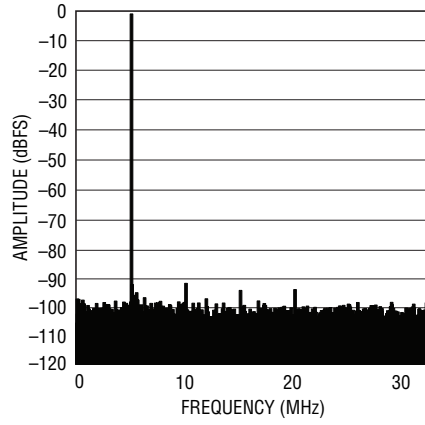
217212 G03

LTC2172-12: 8kポイントのFFT、
 $f_{IN} = 30\text{MHz}$ 、 -1dBFS 、 65Mpsps



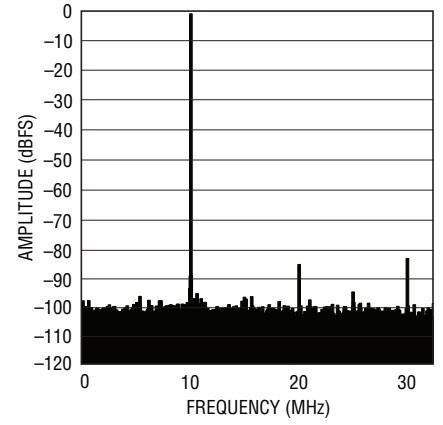
217212 G04

LTC2172-12: 8kポイントのFFT、
 $f_{IN} = 70\text{MHz}$ 、 -1dBFS 、 65Mpsps



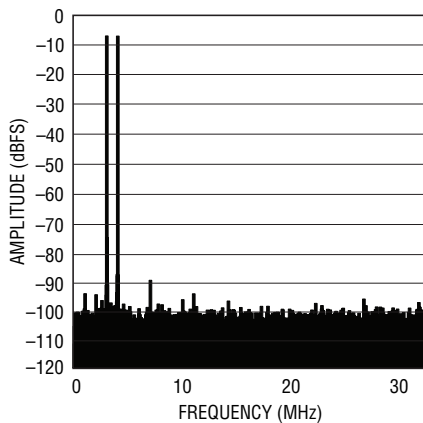
217212 G05

LTC2172-12: 8kポイントのFFT、
 $f_{IN} = 140\text{MHz}$ 、 -1dBFS 、 65Mpsps



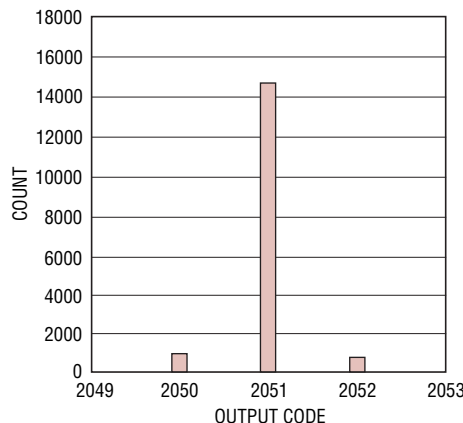
217212 G06

LTC2172-12: 8kポイントの2トーン
FFT、 $f_{IN} = 68\text{MHz}$ 、 69MHz 、 -1dBFS 、 65Mpsps



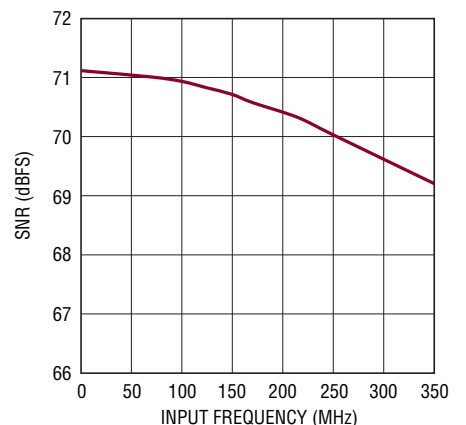
217212 G07

LTC2172-12: 短絡入力のヒストグラム



217212 G08

LTC2172-12: SNRと入力周波数、
 -1dBFS 、 2V 範囲、 65Mpsps

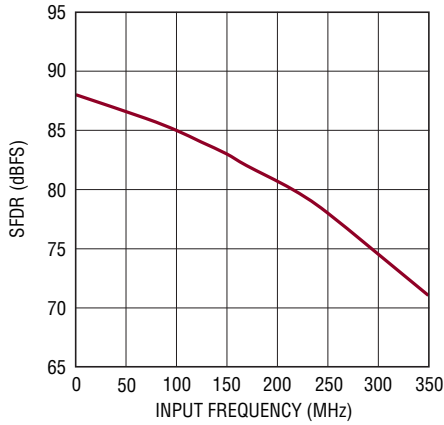


217212 G09

21721012fb

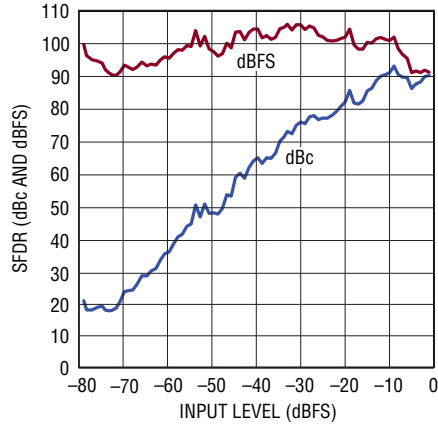
標準的性能特性

LTC2172-12: SFDRと入力周波数、
-1dBFS、2V範囲、65Msps



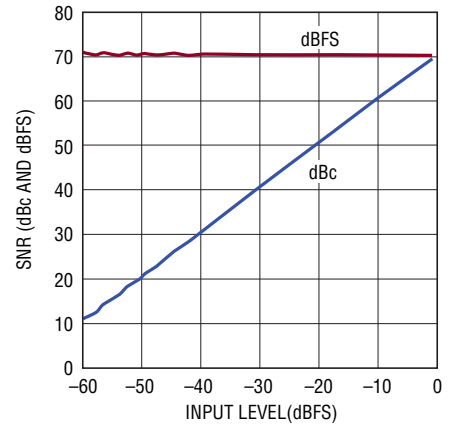
217212 G10

LTC2172-12: SFDRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、2V範囲、65Msps



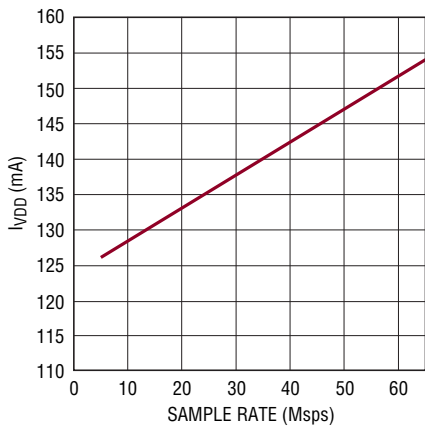
217212 G12

LTC2172-12: SNRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、2V範囲、65Msps



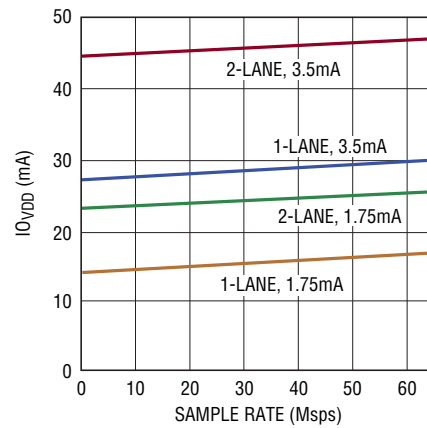
217212 G50

LTC2172-12: I_{VDD} とサンプリング・
レート、5MHzの正弦波入力、-1dBFS



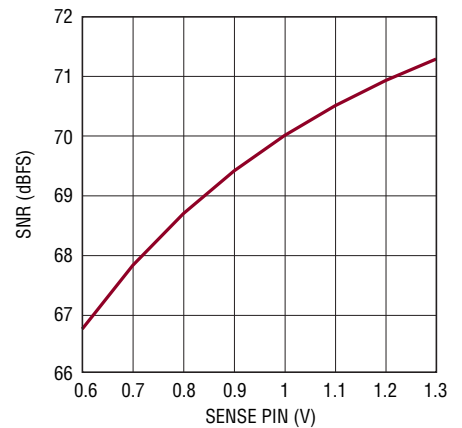
217212 G53

I_{O_VDD} とサンプリング・レート、
5MHzの正弦波入力、-1dBFS



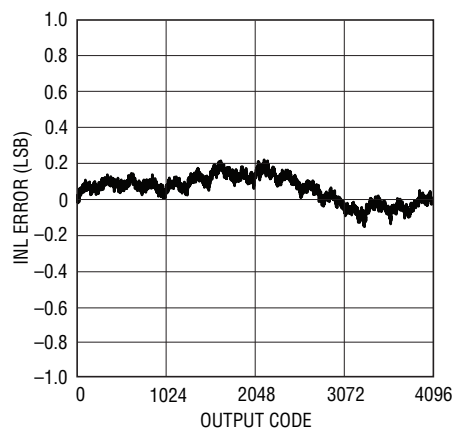
217212 G51

LTC2172-12: SNRとSENSE、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS



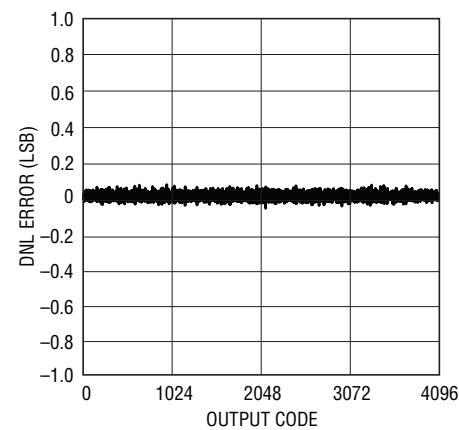
217212 G15

LTC2171-12: 積分非直線性 (INL)



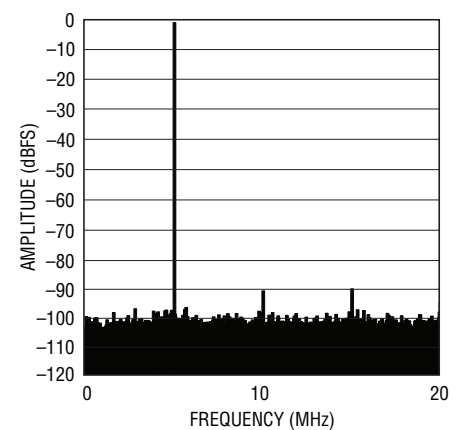
217212 G21

LTC2171-12: 微分非直線性 (DNL)



217212 G22

LTC2171-12: 8kポイントのFFT、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS、40Msps



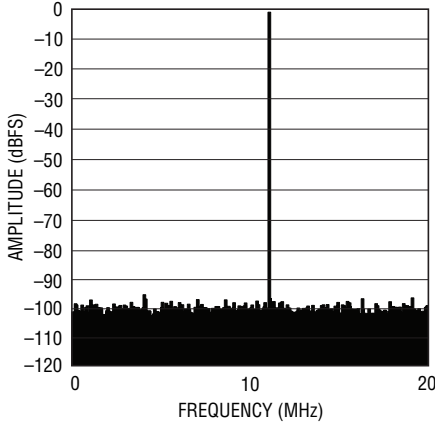
217212 G23

21721012fb

LTC2172-12/ LTC2171-12/LTC2170-12

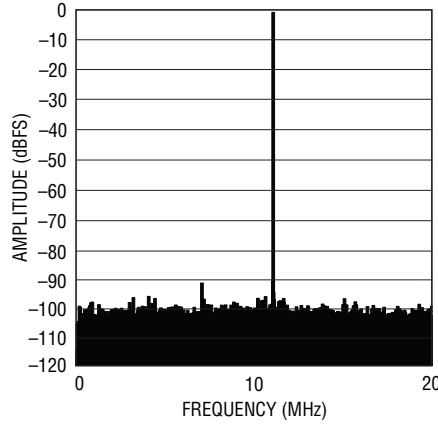
標準的性能特性

LTC2171-12:8kポイントのFFT、
 $f_{IN} = 29\text{MHz}$ 、 -1dBFS 、 40Mps



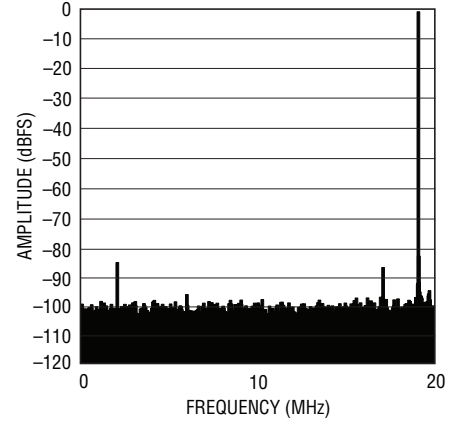
217212 G24

LTC2171-12:8kポイントのFFT、
 $f_{IN} = 69\text{MHz}$ 、 -1dBFS 、 40Mps



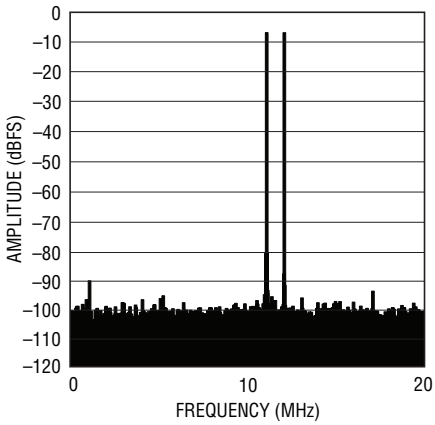
217212 G25

LTC2171-12:8kポイントのFFT、
 $f_{IN} = 139\text{MHz}$ 、 -1dBFS 、 40Mps



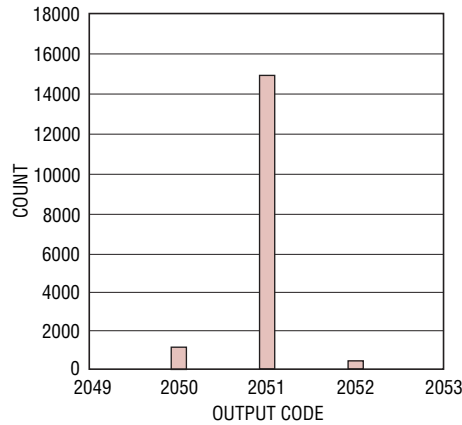
217212 G26

LTC2171-12:8kポイントの2トーン
FFT、 $f_{IN} = 68\text{MHz}$ 、 69MHz 、 -1dBFS 、
 40Mps



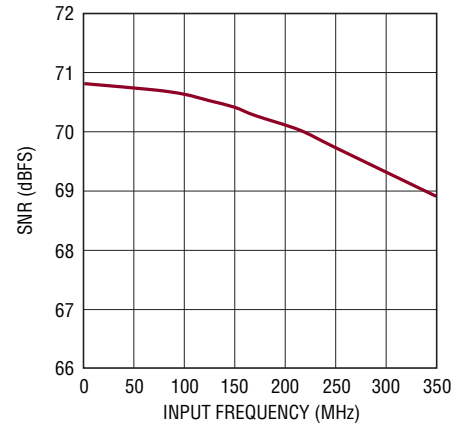
217212 G27

LTC2171-12: 短絡入力のヒストグラム



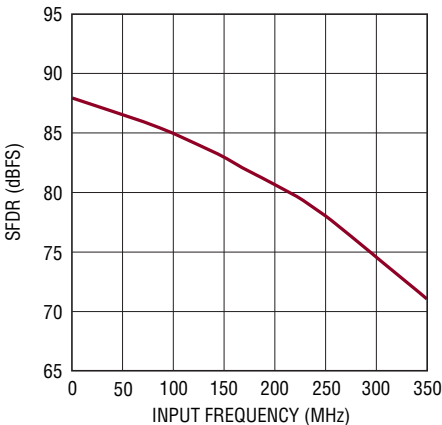
217212 G28

LTC2171-12:SNRと入力周波数、
 -1dBFS 、 2V 範囲、 40Mps



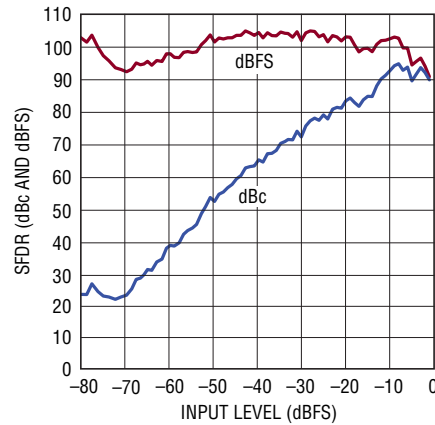
217212 G29

LTC2171-12:SFDRと入力周波数、
 -1dBFS 、 2V 範囲、 40Mps



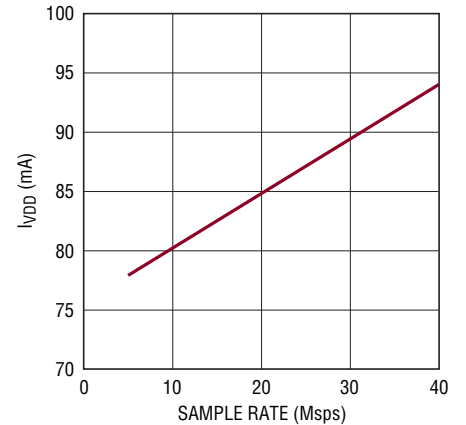
217212 G24a

LTC2171-12:SFDRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、 2V 範囲、 40Mps



217212 G32

LTC2171-12: I_{VDD} とサンプリング・
レート、 5MHz の正弦波入力、 -1dBFS

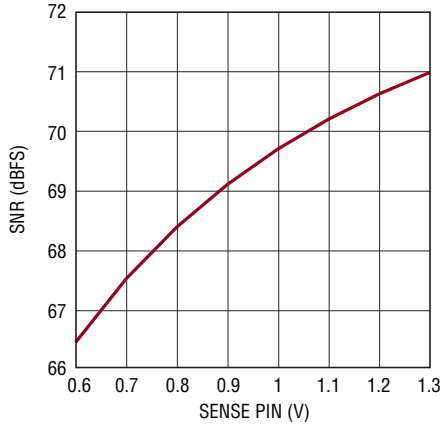


217212 G54

21721012fb

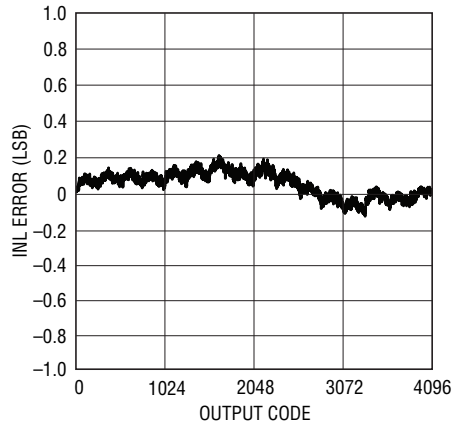
標準的性能特性

**LTC2171-12:SNRとSENSE、
 $f_{IN} = 5\text{MHz}$ 、 -1dBFS**



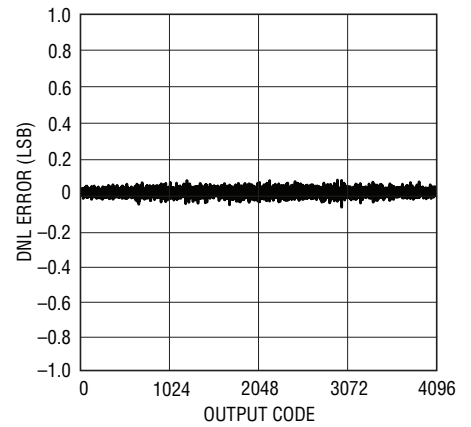
217212 G35

LTC2170-12:積分非直線性(INL)



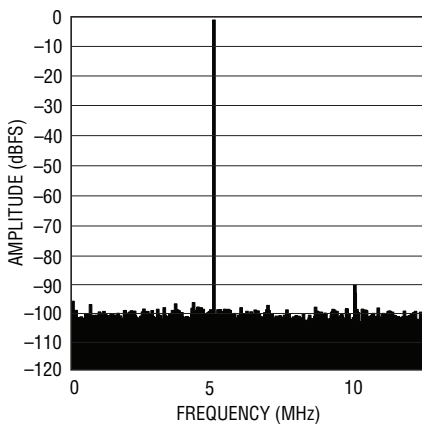
217212 G41

LTC2170-12:微分非直線性(DNL)



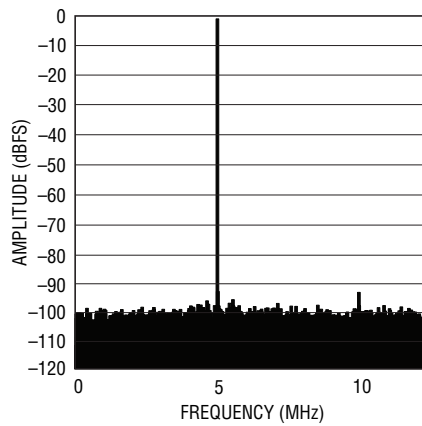
217212 G42

**LTC2170-12:8kポイントのFFT、
 $f_{IN} = 5\text{MHz}$ 、 -1dBFS 、 25Mpsps**



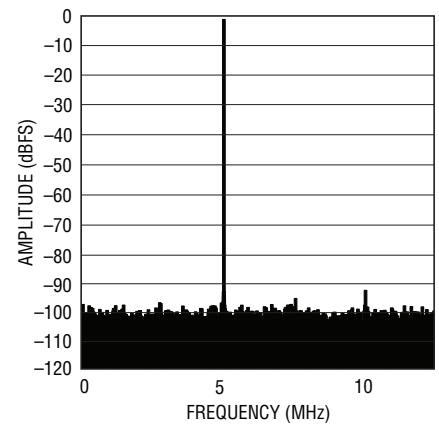
217212 G43

**LTC2170-12:8kポイントのFFT、
 $f_{IN} = 30\text{MHz}$ 、 -1dBFS 、 25Mpsps**



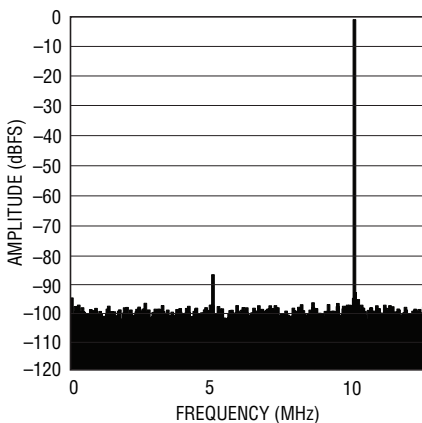
217212 G44

**LTC2170-12:8kポイントのFFT、
 $f_{IN} = 70\text{MHz}$ 、 -1dBFS 、 25Mpsps**



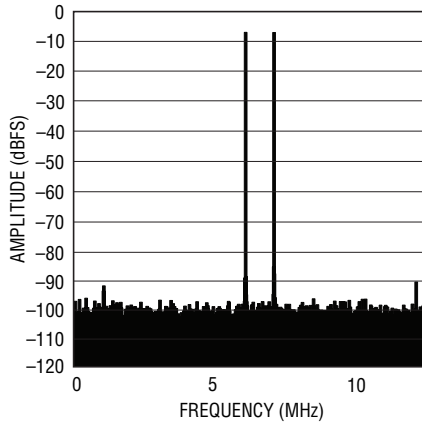
217212 G45

**LTC2170-12:8kポイントのFFT、
 $f_{IN} = 140\text{MHz}$ 、 -1dBFS 、 25Mpsps**



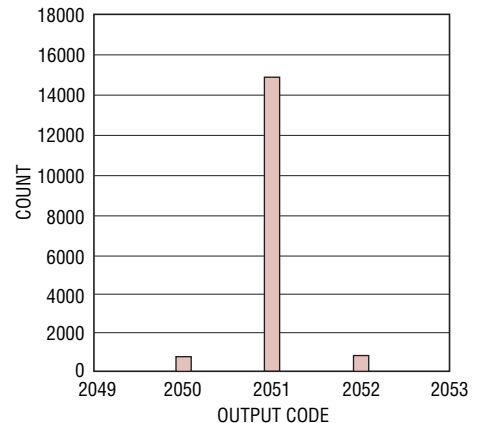
217212 G46

**LTC2170-12:8kポイントの2トーン
FFT、 $f_{IN} = 68\text{MHz}$ 、 69MHz 、 -1dBFS 、 25Mpsps**



217212 G47

LTC2170-12:短絡入力 histograms



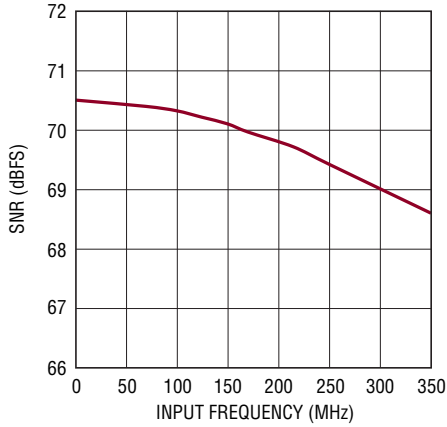
217212 G48

21721012fb

LTC2172-12/ LTC2171-12/LTC2170-12

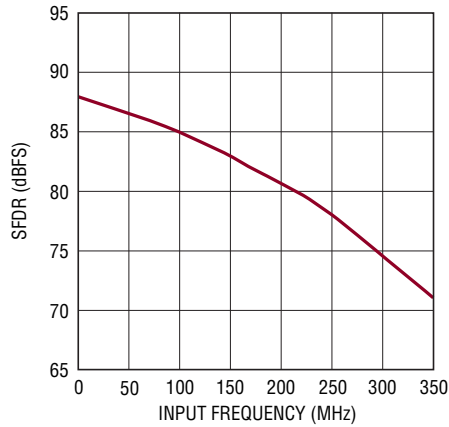
標準的性能特性

LTC2170-12:SNRと入力周波数、
-1dBFS、2V範囲、25Msps



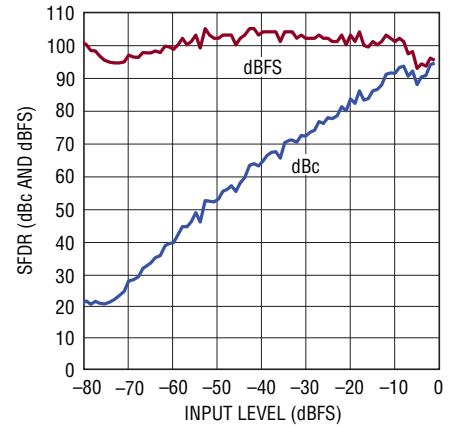
217212 G49

LTC2170-12:SFDRと入力周波数、
-1dBFS、2V範囲、25Msps



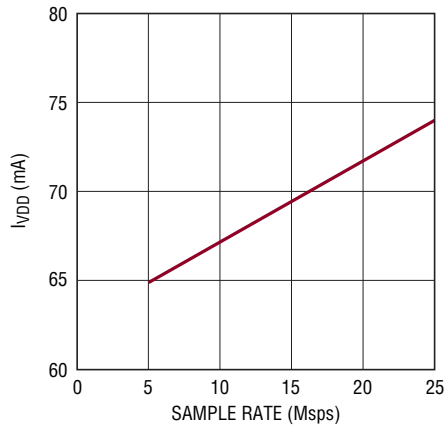
217212 G37

LTC2170-12:SFDRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、2V範囲、25Msps



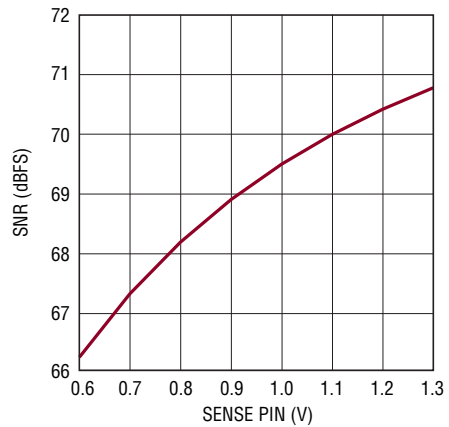
217212 G52

LTC2170-12: I_{VDD} とサンプリング・
レート、5MHzの正弦波入力、-1dBFS



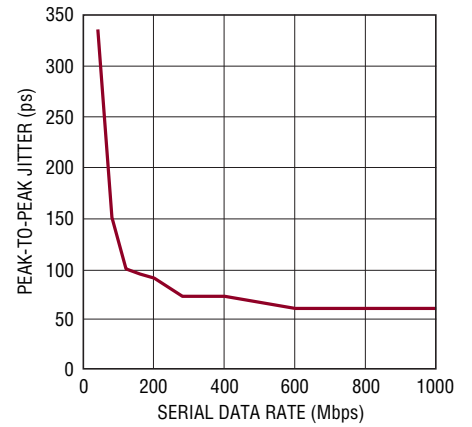
217212 G55

LTC2170-12:SNRとSENSE、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS



217212 G55a

DCOのサイクル間ジッタと
シリアル・データ・レート



217212 G52

ピン機能

AIN1⁺ (ピン1): チャンネル1の正の差動アナログ入力。

AIN1⁻ (ピン2): チャンネル1の負の差動アナログ入力。

V_{CM12} (ピン3): 公称V_{DD}/2に等しい同相バイアス出力。V_{CM}は、チャンネル1とチャンネル2のアナログ入力の同相レベルをバイアスするのに使用します。0.1μFのセラミック・コンデンサを使ってグラウンドにバイパスします。

AIN2⁺ (ピン4): チャンネル2の正の差動アナログ入力。

AIN2⁻ (ピン5): チャンネル2の負の差動アナログ入力。

REFH (ピン6, 7): ADCの“H”リファレンス。2.2μFのセラミック・コンデンサを使用してピン8とピン9にバイパスし、0.1μFのセラミック・コンデンサを使用してグラウンドにバイパスします。

REFL (ピン8, 9): ADCの“L”リファレンス。2.2μFのセラミック・コンデンサを使用してピン6とピン7にバイパスし、0.1μFのセラミック・コンデンサを使用してグラウンドにバイパスします。

AIN3⁺ (ピン10): チャンネル3の正の差動アナログ入力。

AIN3⁻ (ピン11): チャンネル3の負の差動アナログ入力。

V_{CM34} (ピン12): 公称V_{DD}/2に等しい同相バイアス出力。V_{CM}は、チャンネル3とチャンネル4のアナログ入力の同相レベルをバイアスするのに使用します。0.1μFのセラミック・コンデンサを使ってグラウンドにバイパスします。

AIN4⁺ (ピン13): チャンネル4の正の差動アナログ入力。

AIN4⁻ (ピン14): チャンネル4の負の差動アナログ入力。

V_{DD} (ピン15, 16, 51, 52): 1.7V ~ 1.9Vのアナログ電源。0.1μFのセラミック・コンデンサを使用してグラウンドにバイパスします。隣接するピンはバイパス・コンデンサを共有することができます。

ENC⁺ (ピン17): エンコード入力。立ち上がりエッジで変換が開始されます。

ENC⁻ (ピン18): エンコード相補入力。立ち下がりエッジで変換が開始されます。

\overline{CS} (ピン19): シリアル・プログラミング・モードでは(PAR/SER = 0V)、 \overline{CS} はシリアル・インタフェースのチップ選択入力です。 \overline{CS} が“L”のときSCKがイネーブルされ、SDIのデータをモード制御レジスタにシフトします。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、 \overline{CS} によって2レーンまたは1レーンの出力モードが選択されます。 \overline{CS} は、1.8V ~ 3.3Vのロジックでドライブできます。

SCK (ピン20): シリアル・プログラミング・モードでは(PAR/SER = 0V)、SCKはシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、SCKで3.5mAまたは1.75mAのLVDS出力電流を選択します。SCKは1.8V ~ 3.3Vのロジックでドライブすることができます。

SDI (ピン21): シリアル・プログラミング・モードでは(PAR/SER = 0V)、SDIはシリアル・インタフェースのデータ入力です。SDIのデータはSCKの立ち上がりエッジでモード制御レジスタにクロックインされます。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、SDIを使用してデバイスをパワーダウンさせることができます。SDIは1.8V ~ 3.3Vのロジックでドライブすることができます。

GND (ピン22, 45, 49, 露出パッド・ピン53): ADCの電源グラウンド。露出パッドはPCBグラウンドに半田付ける必要があります。

OGND (ピン33): 出力ドライバのグラウンド。インダクタンスがきわめて低い経路でグラウンド・プレーンに短絡する必要があります。このピンの近くに複数のビアを使用します。

OV_{DD} (ピン34): 1.7V ~ 1.9Vの出力ドライバの電源。0.1μFのセラミック・コンデンサを使ってグラウンドにバイパスします。

SDO (ピン46): シリアル・プログラミング・モードでは(PAR/SER = 0V)、SDOはオプションのシリアル・インタフェースのデータ出力です。SDOのデータはモード制御レジスタから読み出して、SCKの立ち下がりエッジでラッチすることができます。SDOはオープンドレインのNチャンネルMOSFET出力で、2kの外付けプルアップ抵抗を介して1.8V ~ 3.3Vに接続する必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要であり、SDOは未接続のままかまいません。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、SDOはデジタル出力の100Ωの内部終端抵抗をイネーブルする入力です。SDOを入力として使用する場合は、1kの直列抵抗を介して1.8V ~ 3.3Vのロジックでドライブすることができます。

ピン機能

PAR/SER (ピン 47) : プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグラウンドに接続します。 \overline{CS} 、SCK、SDI、SDOはA/Dの動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブルするには V_{DD} に接続します。この場合、 \overline{CS} 、SCK、SDI、SDOは、A/Dの(種類が限定された)動作モードを制御するパラレル・ロジック入力になります。PAR/SERはグラウンドまたはデバイスの V_{DD} に直接接続し、ロジック信号ではドライブしません。

V_{REF} (ピン 48) : リファレンス電圧出力。1 μ Fのセラミック・コンデンサを使ってグラウンドにバイパスします。公称1.25Vです。

SENSE (ピン 50) : リファレンス・プログラミング・ピン。SENSEを V_{DD} に接続すると、内部リファレンスと $\pm 1V$ の入力範囲が選択されます。SENSEをグラウンドに接続すると、内部リファレンスと $\pm 0.5V$ の入力範囲が選択されます。0.625V ~ 1.3Vの外部的リファレンスをSENSEに与えると、 $\pm 0.8 \cdot V_{SENSE}$ の入力範囲が選択されます。

LVDS 出力

以下のピンは差動LVDS出力です。出力電流レベルはプログラム可能です。各LVDS出力ペアのピンの間にはオプションの内部100 Ω 終端抵抗が備わっています。

OUT4B⁻/OUT4B⁺、OUT4A⁻/OUT4A⁺ (ピン 23/24、ピン 25/26) : チャンネル4のシリアル・データ出力。1レーンの出力モードでは、OUT4A⁻/OUT4A⁺のみを使用します。

OUT3B⁻/OUT3B⁺、OUT3A⁻/OUT3A⁺ (ピン 27/28、ピン 29/30) : チャンネル3のシリアル・データ出力。1レーンの出力モードでは、OUT3A⁻/OUT3A⁺のみを使用します。

FR⁻/FR⁺ (ピン 31/ピン 32) : フレーム開始出力。

DC0⁻/DC0⁺ (ピン 35/ピン 36) : データ・クロック出力。

OUT2B⁻/OUT2B⁺、OUT2A⁻/OUT2A⁺ (ピン 37/38、ピン 39/40) : チャンネル2のシリアル・データ出力。1レーンの出力モードでは、OUT2A⁻/OUT2A⁺のみを使用します。

OUT1B⁻/OUT1B⁺、OUT1A⁻/OUT1A⁺ (ピン 41/42、ピン 43/44) : チャンネル1のシリアル・データ出力。1レーンの出力モードでは、OUT1A⁻/OUT1A⁺のみを使用します。

機能ブロック図

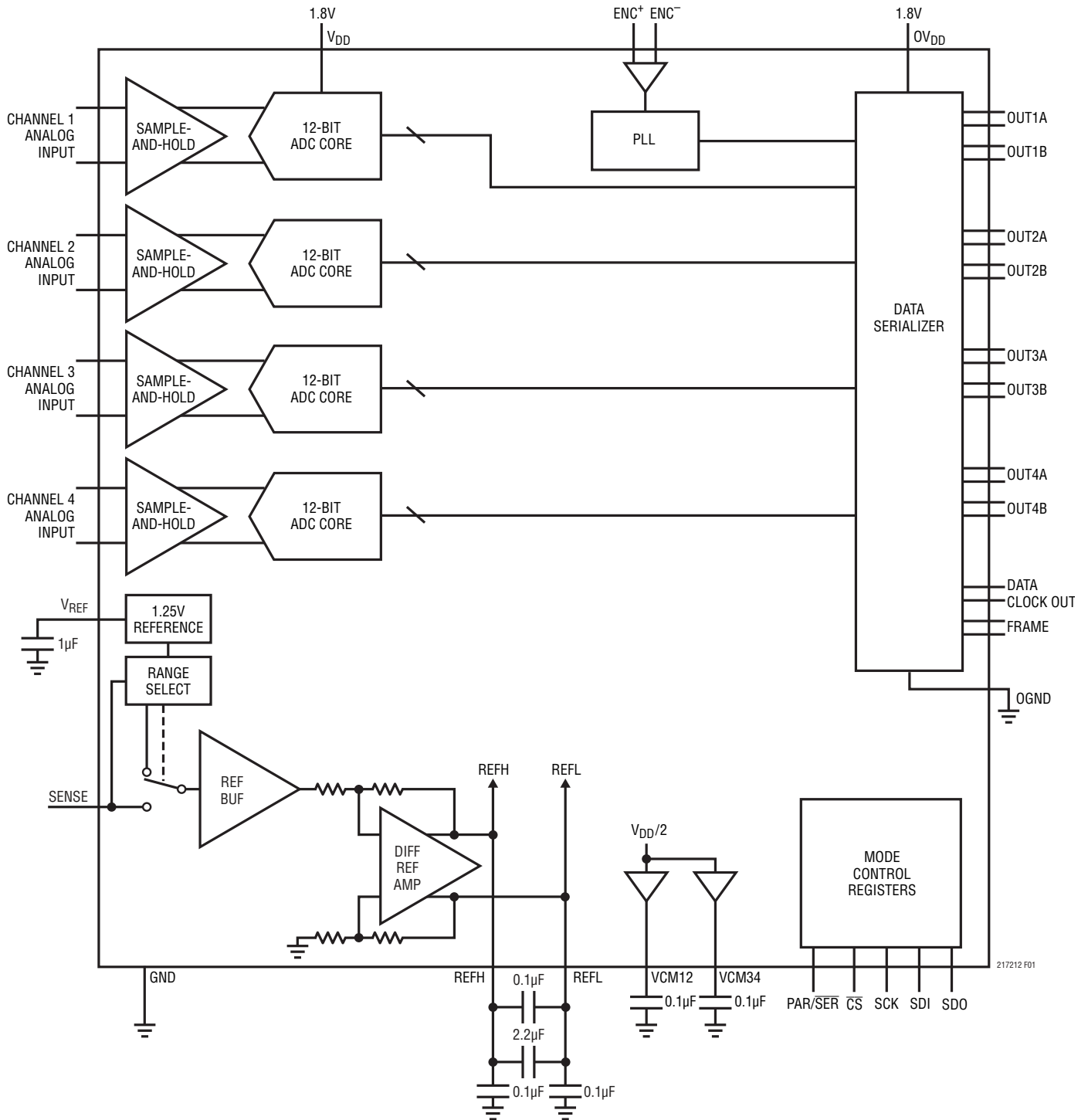


図1. 機能ブロック図

LTC2172-12/ LTC2171-12/LTC2170-12

アプリケーション情報

コンバータの動作

LTC2172-12/LTC2171-12/LTC2170-12は、1.8V単一電源で動作する低消費電力、4チャンネル、12ビットの65Msps/40Msps/25Msps A/Dコンバータです。アナログ入力は差動でドライブします。エンコード入力は、最適なジッタ性能を得る場合は差動で、消費電力を低くする場合はシングルエンドでドライブします。デジタル出力はシリアルLVDSであり、データ回線数を最小限に抑えます。各チャンネルは一度に2ビット(2レーン・モード)または一度に1ビット(1レーン・モード)を出力します。シリアルSPIポートを通してモード制御レジスタをプログラムすることにより、多くの追加機能を選択することができます。

アナログ入力

アナログ入力は差動CMOSサンプル・ホールド回路です(図2)。入力は、 V_{CM12} 出力ピンまたは V_{CM34} 出力ピンによって設定される同相電圧(公称 $V_{DD}/2$)を中心にして差動でドラ

イブします。2Vの入力範囲の場合、入力を $V_{CM} - 0.5V$ から $V_{CM} + 0.5V$ まで振幅させます。入力間には 180° の位相差が必要です。

4つのチャンネルは、共有エンコード回路により、同時にサンプリングされます(図2)。

入力ドライブ回路

入力フィルタリング

可能であれば、アナログ入力にRCローパス・フィルタを接続します。このローパス・フィルタにより、A/Dサンプル・ホールドのスイッチングからドライブ回路が分離され、さらにドライブ回路からの広帯域ノイズが制限されます。図3に、入力RCフィルタの例を示します。RC部品の値はアプリケーションの入力周波数に基づいて選択します。

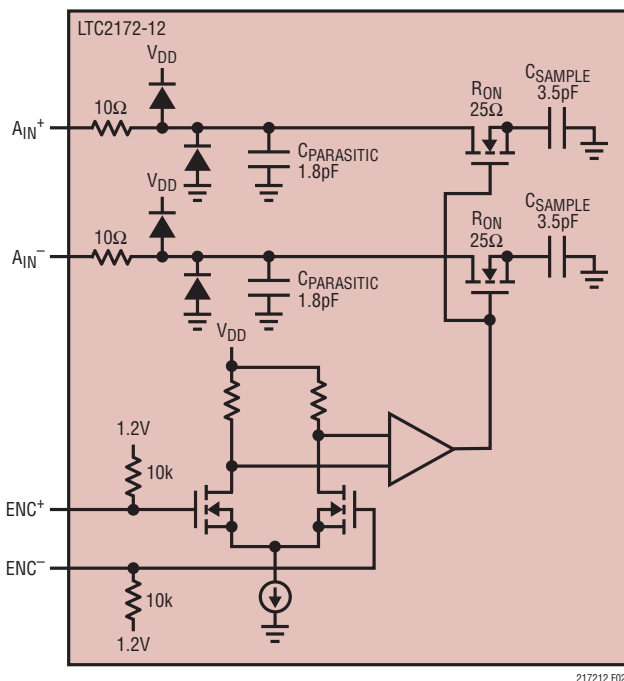


図2. 等価入力回路。4つのアナログ・チャンネルの1つだけが示されている

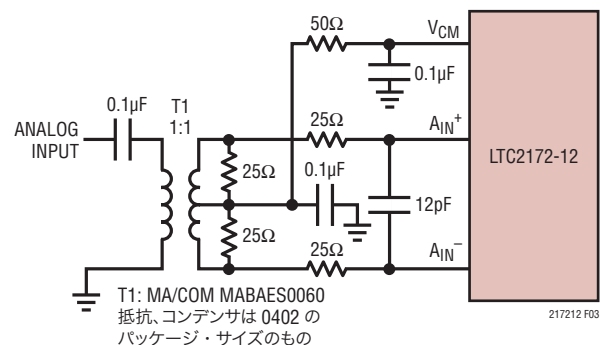


図3. トランスを使用したアナログ入力回路。
5MHz～70MHzの入力周波数に対して推奨

アプリケーション情報

トランス結合回路

2次側にセンタータップを備えたRFトランスでドライブされるアナログ入力を図3に示します。センター・タップは V_{CM} でバイアスされるため、A/Dコンバータの入力はその最適DCレベルに設定されます。高い入力周波数では、伝送ラインのバラン・トランス(図4~図6)のバランスが良くなるので、A/Dの歪みが小さくなります。

アンプ回路

高速差動アンプによってドライブされるアナログ入を図7に示します。アンプの出力はA/DにAC結合されているので、アンプの出力の同相電圧を最適に設定して歪みを最小限に抑えることができます。

非常に高い周波数では、多くの場合、RF利得ブロックの方が差動アンプよりも歪みが小さくなります。利得ブロックがシングルエンドの場合には、A/Dをドライブする前にトランス回路(図4~図6)で信号を差動に変換します。

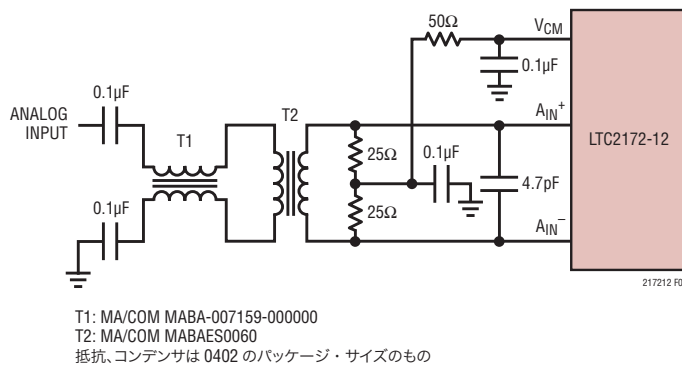


図4. 70MHz~170MHzの入力周波数用の推奨フロントエンド回路

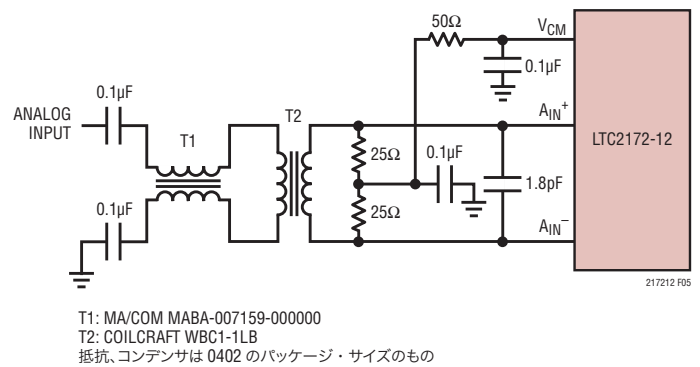


図5. 170MHz~300MHzの入力周波数用の推奨フロントエンド回路

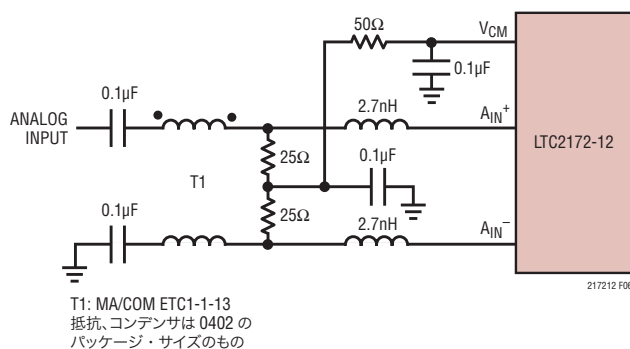


図6. 300MHzを超える入力周波数用の推奨フロントエンド回路

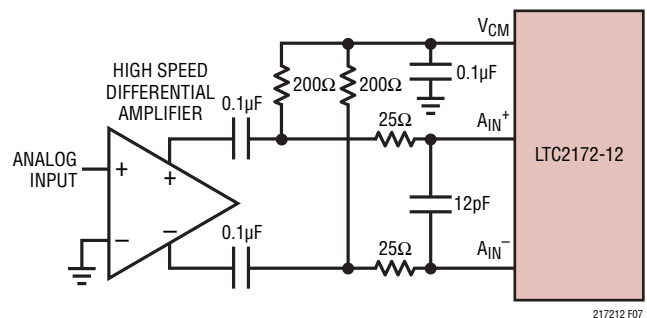


図7. 高速差動アンプを使ったフロントエンド回路

LTC2172-12/ LTC2171-12/LTC2170-12

アプリケーション情報

リファレンス

LTC2172-12/LTC2171-12/LTC2170-12は、1.25Vの電圧リファレンスを内蔵しています。内部リファレンスを使用する2Vの入力範囲の場合、SENSEをV_{DD}に接続します。内部リファレンスを使用する1Vの入力範囲の場合、SENSEをグランドに接続します。外部リファレンスを使用する2Vの入力範囲の場合、1.25Vのリファレンス電圧をSENSEに与えます(図9)。

0.625V～1.30Vの電圧をSENSEに印加することによって入力範囲を調整することができます。これにより、入力範囲は $1.6 \cdot V_{SENSE}$ になります。

リファレンスは4つのADCチャンネルのすべてによって共有されているので、各チャンネルの入力範囲を個別に調整することはできません。

V_{REF}、REFHおよびREFLの各ピンは図8に示すようにバイパスします。REFHとREFLの間の0.1μFコンデンサは(回路基板の裏側ではなく)できるだけピンに近づけます。

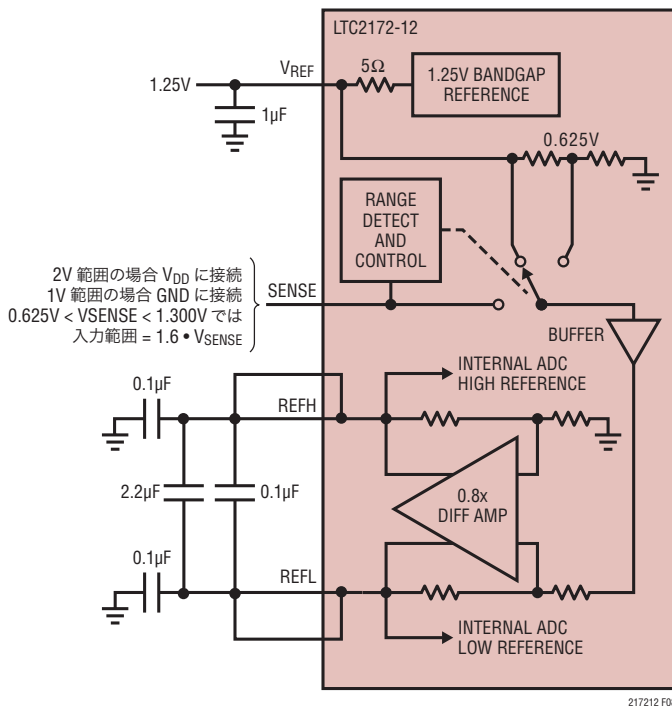


図8. リファレンス回路

エンコード入力

エンコード入力の信号品質は、A/Dのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。回路基板上でデジタル・トレースに隣接して配線しないでください。エンコード入力には2つの動作モードがあります。差動エンコード・モード(図10)とシングルエンド・エンコード・モード(図11)です。

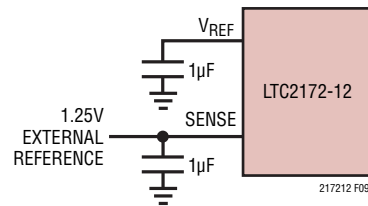


図9. 1.25Vの外部リファレンスを使用

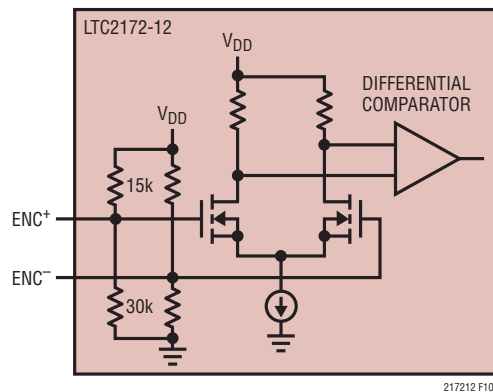


図10. 差動エンコード・モードの
等価エンコード入力回路

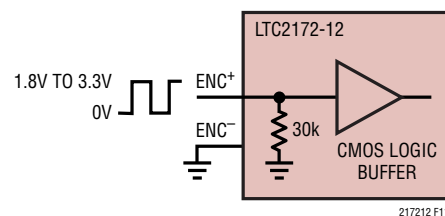


図11. シングルエンド・エンコード・モードの
等価エンコード入力回路

アプリケーション情報

正弦波、PECLまたはLVDSのエンコード入力には、差動エンコード・モードを推奨します(図12および図13)。エンコード入力は、最初、10kの等価抵抗を介して内部で1.2Vにバイアスされます。エンコード入力には V_{DD} より高くすることができます(最大3.6V)、同相範囲は1.1V~1.6Vです。差動エンコード・モードでは、 ENC^- をグランドより200mV以上高い電圧に維持して、シングルエンド・エンコード・モードが誤作動しないようにします。良好なジッタ性能を得るため、 ENC^+ の立ち上がり時間と立ち下がり時間を速くします。

シングルエンド・エンコード・モードは、CMOSエンコード入力と組み合わせて使用します。このモードを選択するには、 ENC^- をグランドに接続し、 ENC^+ を方形波のエンコード入力でドライブします。 ENC^+ は V_{DD} より高くすることができるので(最大3.6V)、1.8V~3.3VのCMOSロジック・レベルを使用することができます。 ENC^+ のスレッシュホールドは0.9Vです。良好なジッタ性能を得るため、 ENC^+ の立ち上がり時間と立ち下がり時間を速くします。

クロックPLLとデューティ・サイクル・スタビライザ

エンコード・クロックは内部フェーズロック・ループ(PLL)によって乗算され、シリアル・デジタル出力データを生成します。エンコード信号の周波数が変化するか、エンコード信号がオフになると、PLLが入力クロックにロックするのに25 μ sかかります。

クロック・デューティ・サイクル・スタビライザ回路が備わっているので、印加されたエンコード信号のデューティ・サイクルは、

30%~70%の幅で変化してもかまいません。シリアル・プログラミング・モードでは、デューティ・サイクル・スタビライザをディセーブルすることができますが、これは推奨しません。パラレル・プログラミング・モードでは、デューティ・サイクル・スタビライザは常にイネーブルされます。

デジタル出力

LTC2172-12/LTC2171-12/LTC2170-12のデジタル出力は、シリアル化されたLVDS信号です。各チャネルは一度に2ビット(2レーン・モード)または一度に1ビット(1レーン・モード)を出力します。データは、16、14、または12ビットにシリアル化できます(詳細については「タイミング図」のセクションを参照)。

出力データは、データ・クロック出力(DCO)の立ち上がりエッジと立ち下がりエッジでラッチされます。データ・フレーム出力(FR)を使用し、新たな変換のデータが出力され始める時点を決めることができます。2レーンの14ビット・シリアル化モードでは、FR出力の周波数は1/2になります。

データ出力の最大シリアル・データ・レートは1Gbpsなので、ADCの最大サンプリング・レートはADCの速度グレードだけでなく、シリアル化モードによっても異なります(表1を参照)。すべてのシリアル化モードの最小サンプリング・レートは5Mspsです。

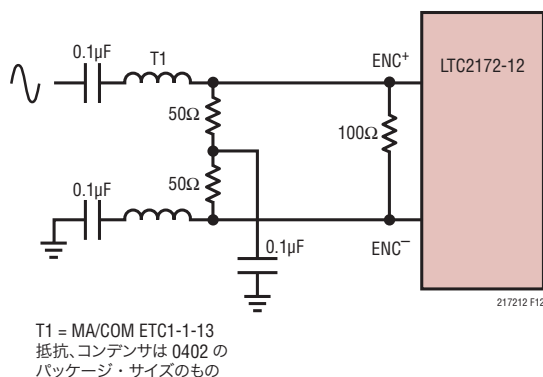


図12. 正弦波のエンコード・ドライブ

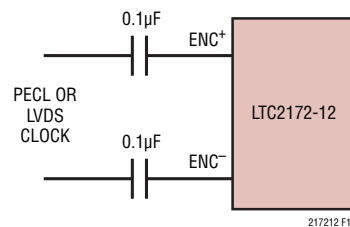


図13. PECLまたはLVDSのエンコード・ドライブ

アプリケーション情報

表1. すべてのシリアル化モードの最大サンプリング周波数。これらの制限値はLTC2172-12のものであることに注意。遅い速度グレードのサンプリング周波数は、40MHz(LTC2171-12)または25MHz(LTC2170-12)を超えてはならない。

シリアル化モード		最大サンプリング周波数、 f_s (MHz)	DCO周波数	FR周波数	シリアル・データ・レート
2レーン	16ビット・シリアル化	65	$4 \cdot f_s$	f_s	$8 \cdot f_s$
2レーン	14ビット・シリアル化	65	$3.5 \cdot f_s$	$0.5 \cdot f_s$	$7 \cdot f_s$
2レーン	12ビット・シリアル化	65	$3 \cdot f_s$	f_s	$6 \cdot f_s$
1レーン	16ビット・シリアル化	62.5	$8 \cdot f_s$	f_s	$16 \cdot f_s$
1レーン	14ビット・シリアル化	65	$7 \cdot f_s$	f_s	$14 \cdot f_s$
1レーン	12ビット・シリアル化	65	$6 \cdot f_s$	f_s	$12 \cdot f_s$

デフォルトでは、出力は出力電流が3.5mA、出力同相電圧が1.25Vの標準LVDSレベルです。各LVDS出力ペアには外付けの100Ω差動終端抵抗が必要です。終端抵抗は、LVDSレシーバのできるだけ近くに配置してください。

出力は OV_{DD} と $OGND$ から電力を供給され、A/Dのコア電源とグランドからは絶縁されています。

設定可能なLVDS出力電流

デフォルトの出力ドライバ電流は3.5mAです。シリアル・プログラミング・モードでは、この電流は制御レジスタA2によって調整することができます。設定可能な電流レベルは、1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mAおよび4.5mAです。パラレル・プログラミング・モードでは、SCKピンにより、3.5mAまたは1.75mAを選択できます。

オプションのLVDSドライバの内部終端

ほとんどの場合、100Ωの外付け終端抵抗を使用するだけでLVDSの優れた信号品質が得られます。さらに、モード制御レジスタA2をシリアル・モードにプログラムすることにより、オプションの100Ωの内部終端抵抗をイネーブルすることができます。内部終端は、レシーバでの不完全な終端によって発生する反射を吸収するのに役立ちます。内部終端が有効になると、同じ出力電圧振幅を維持するために、出力ドライバ電流が2倍になります。パラレル・プログラミング・モードでは、SDOピンによって内部終端がイネーブルされます。内部終端は、1.75mA、2.1mA、または2.5mAのLVDS出力電流モードのときにのみ使用します。

データ・フォーマット

アナログ入力電圧とデジタル・データ出力ビット間の相関を表2に示します。デフォルトでは、出力のデータ・フォーマットはオフセット・バイナリです。モード制御レジスタA1をシリアル・モードでプログラムすることにより、2の補数形式を選択することができます。

14ビットおよび16ビットのシリアル化モードでは、12データ・ビット(D11～D0)に続き、2つの追加ビット(D_XおよびD_Y)が送出されます。この追加ビットは、これらのA/Dの14ビット・バージョンとの完全なソフトウェア互換性を確保するためのものです。アナログ入力にオーバーレンジが生じていない通常動作時には、D_XとD_Yは常にロジック0です。アナログ入力に正のオーバーレンジが生じている場合、D_XとD_Yはロジック1になります。アナログ入力に負のオーバーレンジが生じている場合、D_XとD_Yはロジック0になります。D_XとD_Yは、デジタル出力のテストパターンによって制御することもできます。詳細については「タイミング図」のセクションを参照してください。

表2. 出力コードと入力電圧

$A_{IN}^+ - A_{IN}^-$ (2V範囲)	D11～D0 (オフセット・バイナリ)	D11～D0 (2の補数)	D _X , D _Y
>+1.000000V	1111 1111 1111	0111 1111 1111	11
+0.999512V	1111 1111 1111	0111 1111 1111	00
+0.999024V	1111 1111 1110	0111 1111 1110	00
+0.000488V	1000 0000 0001	0000 0000 0001	00
0.000000V	1000 0000 0000	0000 0000 0000	00
-0.000488V	0111 1111 1111	1111 1111 1111	00
-0.000976V	0111 1111 1110	1111 1111 1110	00
-0.999512V	0000 0000 0001	1000 0000 0001	00
-1.000000V	0000 0000 0000	1000 0000 0000	00
≤-1.000000V	0000 0000 0000	1000 0000 0000	00

アプリケーション情報

デジタル出力ランダムイザ

A/Dコンバータのデジタル出力からの干渉は、場合によっては避けられません。デジタル干渉は、容量性結合や誘導性結合、あるいはグラウンド・プレーンを介した結合によって発生する可能性があります。結合係数が小さくても、ADCの出力スペクトルに不要なトーンを生じることがあります。デジタル出力をデバイスから送出する前にランダム化することにより、これらの不要なトーンをランダム化し、不要なトーンの振幅を減少させることができます。

デジタル出力は、LSBと他のすべてのデータ出力ビットとの間で排他的論理和ロジック演算を行うことによって「ランダム化」されます。デコードするには逆の演算を行います。つまり、LSBと他のすべてのビットとの間で排他的論理和演算を行います。FR出力とDCO出力は影響を受けません。出力ランダムイザは、モード制御レジスタA1をシリアル・モードでプログラムすることによってイネーブルされます。

デジタル出力のテストパターン

A/Dへのデジタル・インタフェースのインサーキット・テストを可能にするため、両方のチャンネルのA/Dのデータ出力(D11～D0、DX、DY)を既知の値に強制するテスト・モードがあります。モード制御レジスタA3およびA4をシリアル・モードでプログラムすることにより、デジタル出力のテストパターンがイネーブルされます。テストパターンがイネーブルされると、他のすべての形式設定モード(2の補数およびランダムイザ)をオーバーライドします。

出力のディスエーブル

モード制御レジスタA2をシリアル・モードでプログラムすることにより、デジタル出力をディスエーブルすることができます。節電またはインサーキット・テストのイネーブルのため、DCOやFRを含むすべてのデジタル出力の電流ドライブがディスエーブルされます。ディスエーブルされると、同相の各出力ペアが高インピーダンスになりますが、差動インピーダンスは低く保つことができます。

スリープ・モードとナップ・モード

節電のため、A/Dをスリープ・モードまたはナップ・モードにすることができます。スリープ・モードでは、デバイス全体がパワーダウンし、消費電力が1mWになります。スリープ・モードは、モード制御レジスタA1(シリアル・プログラミング・モード)またはSDI(パラレル・プログラミング・モード)によってイネーブルされます。スリープ・モードから復帰するのに要する時間は、VREF、REFHおよびREFLのバイパス・コンデンサの容量によって異なります。図8の推奨値の場合、A/Dコンバータは2ms後に安定化します。

ナップ・モードでは、A/Dチャンネルのどの組み合わせでもパワーダウンできますが、内部リファレンス回路およびPLLはアクティブなままなので、スリープ・モードからの場合よりも速く復帰することができます。ナップ・モードからの復帰には、最低でも100クロック・サイクルが必要です。非常に精確なDCセトリングが必要なアプリケーションの場合、50μsを追加することにより、A/Dがナップ・モードから移行するときの消費電流の変化によって生じるわずかな温度変化に対して内蔵リファレンスがセトリングできるようにします。ナップ・モードは、シリアル・プログラミング・モードでモード制御レジスタA1によってイネーブルされます。

デバイスのプログラミング・モード

LTC2172-12/LTC2171-12/LTC2170-12の動作モードは、パラレル・インタフェースとシンプルなシリアル・インタフェースのどちらでもプログラミングできます。シリアル・インタフェースは柔軟性が高く、選択可能なすべてのモードをプログラミングできます。パラレル・インタフェースには制限が多く、よく使用される一部のモードのみをプログラミングできます。

パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、 $\overline{\text{PAR/SER}}$ をVDDに接続します。 $\overline{\text{CS}}$ 、SCK、SDIおよびSDOの各ピンはバイナリ・ロジック入力で、特定の動作モードを設定します。これらのピンはVDDまたはグラウンドに接続するか、あるいは1.8V、2.5Vまたは3.3VのCMOSロジックでドライブすることができます。入力として使用する場合、SDOは1kの直列抵抗を介してドライブします。表3に、 $\overline{\text{CS}}$ 、SCK、SDI、およびSDOで設定されるモードを示します。

表3. パラレル・プログラミング・モードの制御ビット (PAR/SER = VDD)

ピン	説明
$\overline{\text{CS}}$	2レーン/1レーン選択ビット 0 = 2レーン、16ビットのシリアル化出力モード 1 = 1レーン、14ビットのシリアル化出力モード
SCK	LVDS電流選択ビット 0 = 3.5mA LVDS電流モード 1 = 1.75mA LVDS電流モード
SDI	パワーダウン制御ビット 0 = 通常動作 1 = スリープ・モード
SDO	100Ωの内部終端選択ビット 0 = 内部終端をディスエーブル 1 = 内部終端をイネーブル

アプリケーション情報

シリアル・プログラミング・モード

シリアル・プログラミング・モードを使うには、 $\overline{\text{PAR/SER}}$ をグラウンドに接続します。 $\overline{\text{CS}}$ 、 SCK 、 SDI および SDO の各ピンは、A/Dのモード制御レジスタをプログラムするシリアル・インタフェースになります。データは、16ビットのシリアル・ワードでレジスタに書き込まれます。レジスタの内容を検証するため、データをレジスタから読み出すこともできます。

シリアル・データ転送は $\overline{\text{CS}}$ が“L”になると開始されます。SDIピンのデータは、 SCK の先頭から16番目までの立ち上がりエッジでラッチされます。先頭から16番目より後の SCK 立ち上がりエッジは無視されます。データ転送は $\overline{\text{CS}}$ が再度“H”になると終了します。

16ビットの入力ワードの最初のビットは $\text{R}/\overline{\text{W}}$ ビットです。次の7ビットはレジスタのアドレス(A6:A0)です。最後の8ビットはレジスタのデータ(D7:D0)です。

$\text{R}/\overline{\text{W}}$ ビットが“L”の場合、シリアル・データ(D7:D0)はアドレス・ビット(A6:A0)で指定されるレジスタに書き込まれます。 $\text{R}/\overline{\text{W}}$ ビットが“H”の場合は、アドレス・ビット(A6:A0)で設定されたレジスタのデータがSDOピンから読み出されます(「タイ

ミング図」のセクションを参照)。読み出しコマンドの実行中、レジスタは更新されず、SDIのデータは無視されます。

SDOピンはオープンドレイン出力で、 200Ω のインピーダンスでグラウンドに引き下げられます。レジスタのデータをSDOを介して読み出す場合は、 $2k\Omega$ の外付けプルアップ抵抗が必要です。シリアル・データが書き込み専用で読み出しの必要がない場合には、SDOをフロートさせておくことができるので、プルアップ抵抗は必要ありません。モード制御レジスタのマップを表4に示します。

ソフトウェア・リセット

シリアル・プログラミングを使用する場合は、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、すべてのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットでなければなりません。ソフトウェアによるリセットを実行するには、リセット・レジスタのビットD7にロジック1を書き込みます。リセットSPI書き込みコマンドが完了した後、ビットD7は自動的に再度ゼロに設定されます。

表4. シリアル・プログラミング・モードのレジスタ・マップ($\overline{\text{PAR/SER}} = \text{GND}$)

レジスタA0 : リセット・レジスタ(アドレス00h)

D7	D6	D5	D4	D3	D2	D1	D0
RESET	X	X	X	X	X	X	X

ビット7 **RESET** ソフトウェア・リセット・ビット

0 = 不使用

1 = ソフトウェアによるリセット。全てのモード制御レジスタが00hにリセットされる。ADCは一時的にスリープ・モードになる。このビットはSPI書き込みコマンドの終了時に自動的に再度ゼロに設定される。リセット・レジスタは書き込み専用

ビット6~0 使用されない、ドントケア・ビット

レジスタA1: パワーダウン・レジスタ(アドレス01h)

D7	D6	D5	D4	D3	D2	D1	D0
DCSOFF	RAND	TWOSCOMP	SLEEP	NAP_4	NAP_3	NAP_2	NAP_1

ビット7 **DCSOFF** クロック・デューティ・サイクル・スタビライザ・ビット

0 = クロック・デューティ・サイクル・スタビライザをオン

1 = クロック・デューティ・サイクル・スタビライザをオフ。これは推奨されない

ビット6 **RAND** データ出力ランダムマイザ・モード制御ビット

0 = データ出力ランダムマイザ・モードをオフ

1 = データ出力ランダムマイザ・モードをオン

ビット5 **TWOSCOMP** 2の補数モード制御ビット

0 = オフセット・バイナリのデータ・フォーマット

1 = 2の補数のデータ・フォーマット

ビット4~0 **SLEEP_NAP_4:NAP_1** スリープ/ナップ・モード制御ビット

00000 = 通常動作

0XXX1 = チャネル1がナップ・モード

0XX1X = チャネル2がナップ・モード

0X1XX = チャネル3がナップ・モード

01XXX = チャネル4がナップ・モード

1XXXX = スリープ・モード。すべてのチャネルがディスエーブル

注記: ナップ・モードではチャネルのどの組み合わせも設定可能。

アプリケーション情報

レジスタ A2: 出力モード・レジスタ (アドレス 02h)

	D7	D6	D5	D4	D3	D2	D1	D0
	ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTMODE2	OUTMODE1	OUTMODE0
ビット7~5	ILVDS2:ILVDS0 LVDS出力電流ビット 000 = 3.5mAのLVDS出力ドライバ電流 001 = 4.0mAのLVDS出力ドライバ電流 010 = 4.5mAのLVDS出力ドライバ電流 011 = 不使用 100 = 3.0mAのLVDS出力ドライバ電流 101 = 2.5mAのLVDS出力ドライバ電流 110 = 2.1mAのLVDS出力ドライバ電流 111 = 1.75mAのLVDS出力ドライバ電流							
ビット4	TERMON LVDS内部終端ビット 0 = 内部終端をオフ 1 = 内部終端をオン。LVDS出力ドライバ電流は、ILVDS2:ILVDS0で設定された電流の2倍です。内部終端は、1.75mA、2.1mA、または2.5mAのLVDS出力電流モードのときにのみ使用します。							
ビット3	OUTOFF 出力のディスエーブル・ビット 0 = デジタル出力をイネーブル 1 = デジタル出力をディスエーブル							
ビット2~0	OUTMODE2:OUTMODE0 デジタル出力モード制御ビット 000 = 2レーン、16ビット・シリアル化 001 = 2レーン、14ビット・シリアル化 010 = 2レーン、12ビット・シリアル化 011 = 不使用 100 = 不使用 101 = 1レーン、14ビット・シリアル化 110 = 1レーン、12ビット・シリアル化 111 = 1レーン、16ビット・シリアル化							

レジスタ A3: テストパターン MSBレジスタ (アドレス 03h)

	D7	D6	D5	D4	D3	D2	D1	D0
	OUTTEST	X	TP11	TP10	TP9	TP8	TP7	TP6
ビット7	OUTTEST デジタル出力のテストパターン制御ビット 0 = デジタル出力のテストパターンをオフ 1 = デジタル出力のテストパターンをオン							
ビット6	使用されない、ドントケア・ビット							
ビット5~0	TP11:TP6 テストパターン・データ・ビット (MSB) TP11:TP6により、データ・ビット11 (MSB)のテストパターンがデータ・ビット6を介して設定される。							

レジスタ A4: テストパターン LSBレジスタ (アドレス 04h)

	D7	D6	D5	D4	D3	D2	D1	D0
	TP5	TP4	TP3	TP2	TP1	TP0	TPX	TPY
ビット7~2	TP5:TP0 テストパターン・データ・ビット (LSB) TP5:TP0により、データ・ビット5のテストパターンがデータ・ビット0 (LSB)を介して設定される。							
ビット1~0	TPX:TPY 追加ビットD _x およびD _y のテストパターンを設定。これらのビットは14ビット・バージョンのA/Dと互換性をもたせるためのもの。							

LTC2172-12/ LTC2171-12/LTC2170-12

アプリケーション情報

接地とバイパス

LTC2172-12/LTC2171-12/LTC2170-12には、切れ目のないクリーンなグランド・プレーンを備えたプリント基板が必要です。ADCの下の最初の層には内部グランド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、ADCの下に配置したりしないように注意してください。

V_{DD}、OV_{DD}、V_{CM}、V_{REF}、REFHおよびREFLの各ピンには、高品質のセラミック・バイパス・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。特に重要なのは、REFHとREFLの間に配置する0.1μFのコンデンサです。このコンデンサは、A/Dコンバータと同じ側の回路基板上で、できるだけデバイスの近く(1.5mm以内)に配置します。0402サイズのセラミック・コンデンサを推奨

します。REFHとREFLの間に接続する大型の2.2μFコンデンサは、ある程度離して配置できます。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くする必要があります。

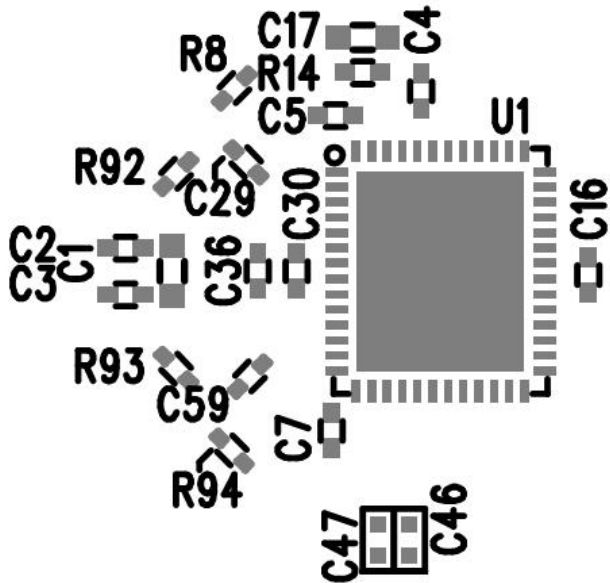
アナログ入力、エンコード信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに絶縁するためのバリアとして、グランド領域とグランド・ビアを使用します。

熱伝導

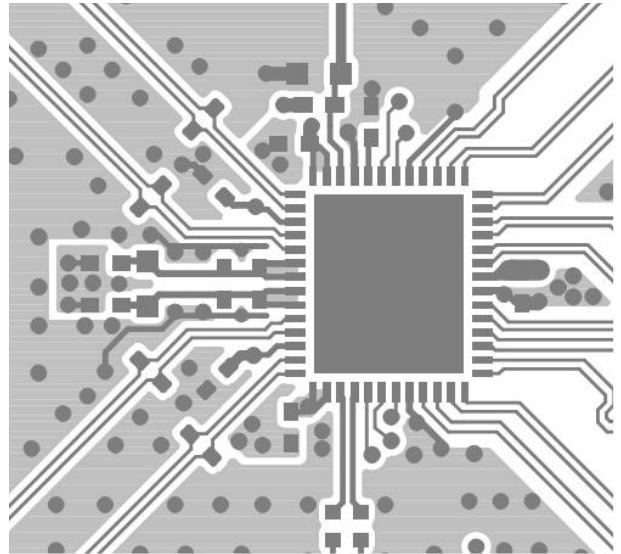
LTC2172-12/LTC2171-12/LTC2170-12が発生する熱の大部分はダイから底面の露出パッドとパッケージのピンを通過してプリント回路基板に伝わります。優れた電気的性能と熱性能を得るためには、露出パッドをPC基板の大きな接地されたパッドに半田付けする必要があります。このパッドは、多数のビアで内部のグランド・プレーンに接続します。

標準的応用例

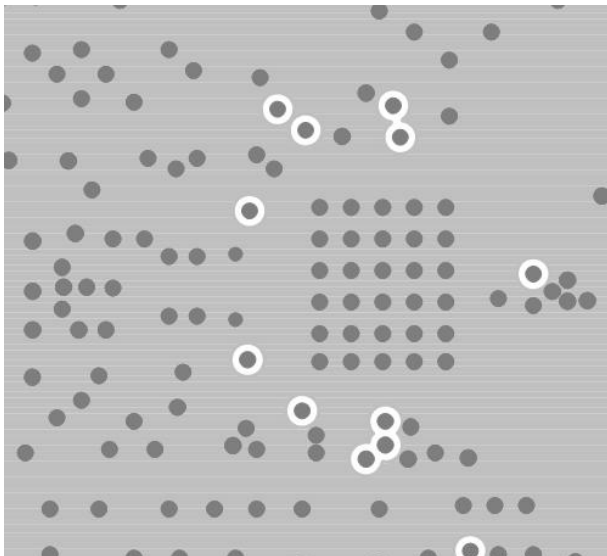
シルクスクリーンの上面



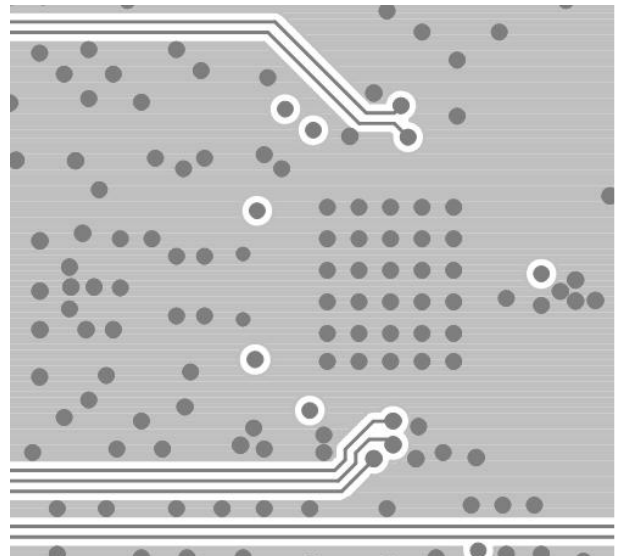
上面



内部第2層 GND

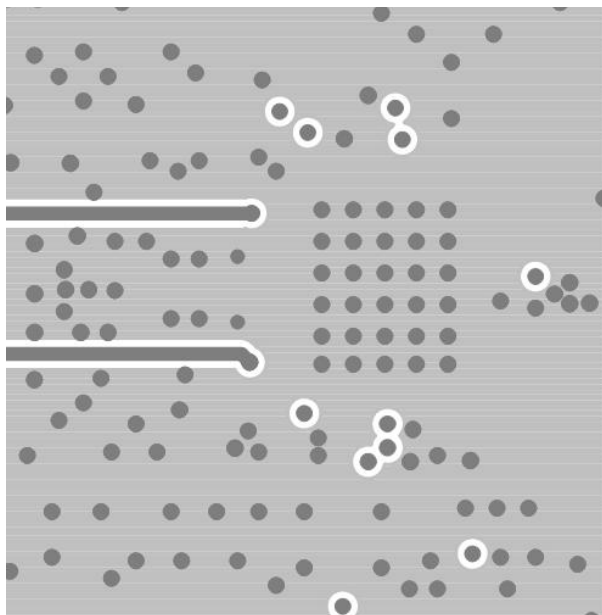


内部第3層

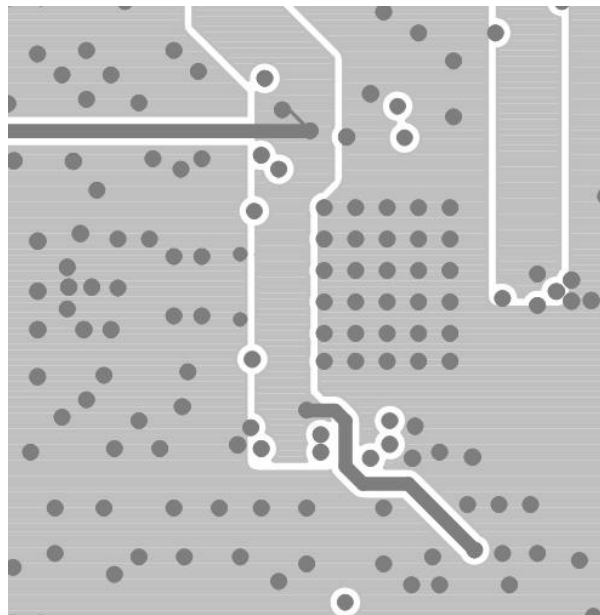


標準的応用例

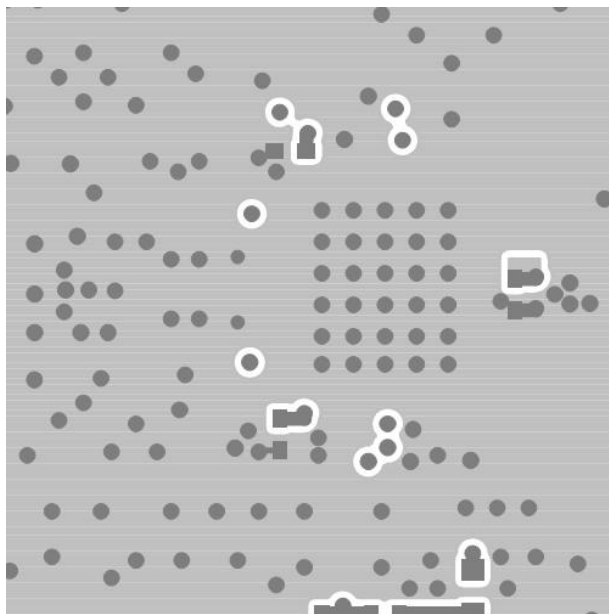
内部第4層



内部第5層電源



底面



シルクスクリーンの底面

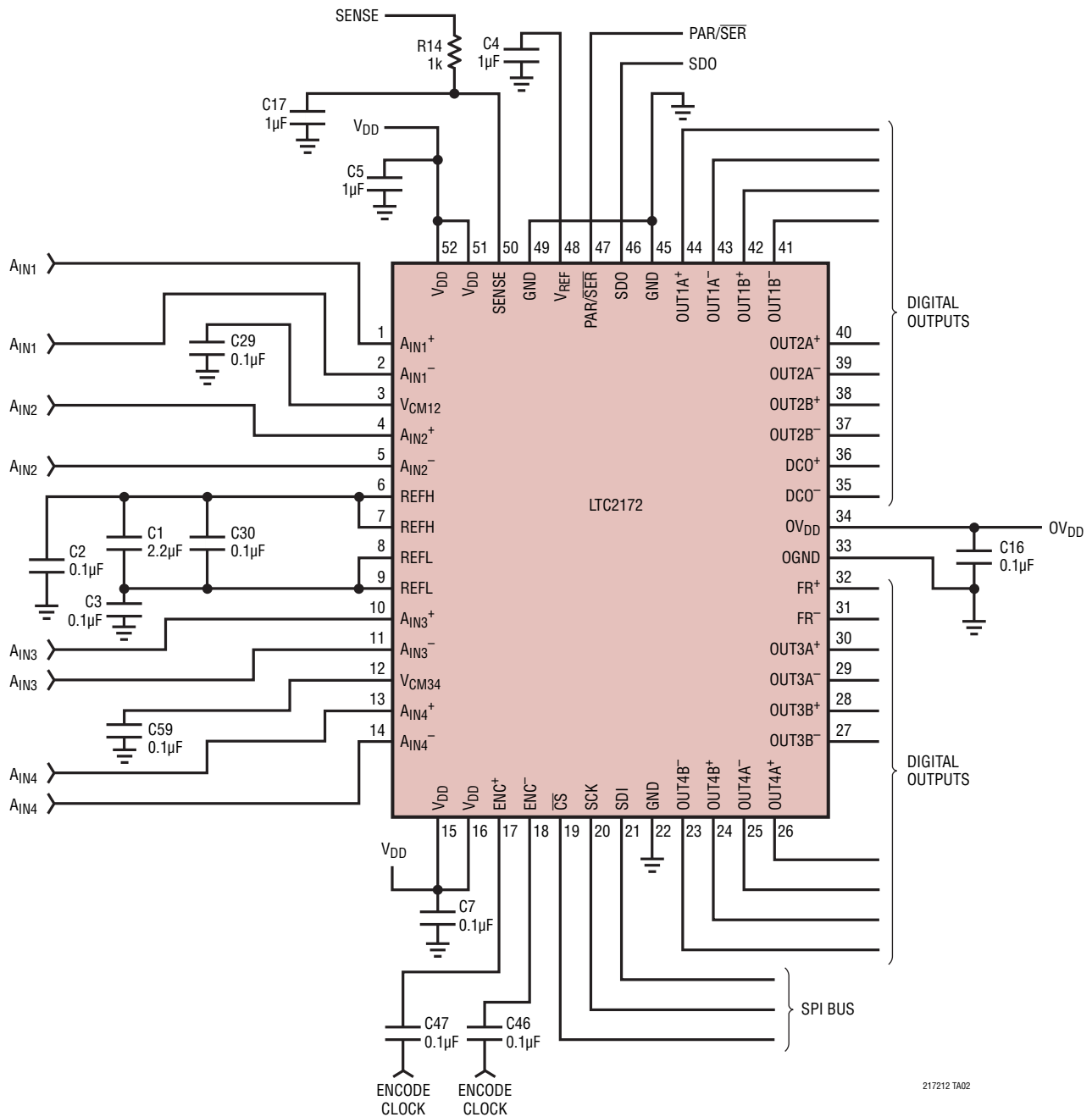
C8 □

C9 □

C15 □

標準的応用例

LTC2172 の回路図

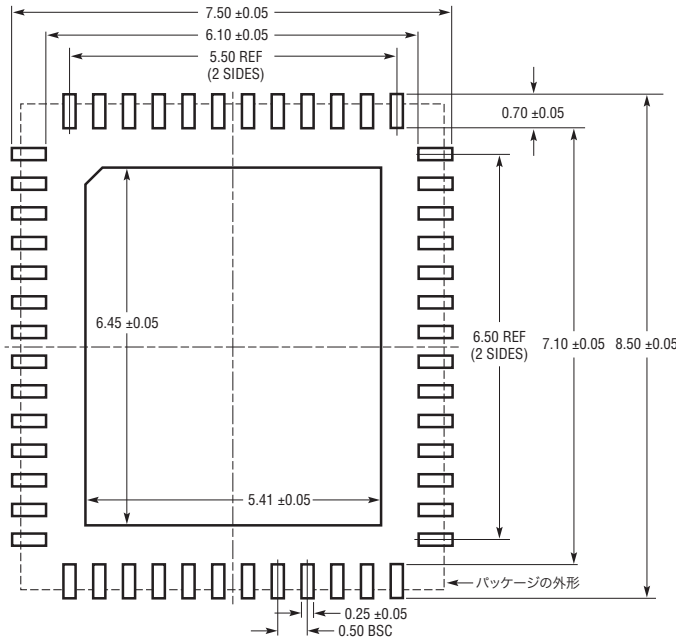


217212 TA02

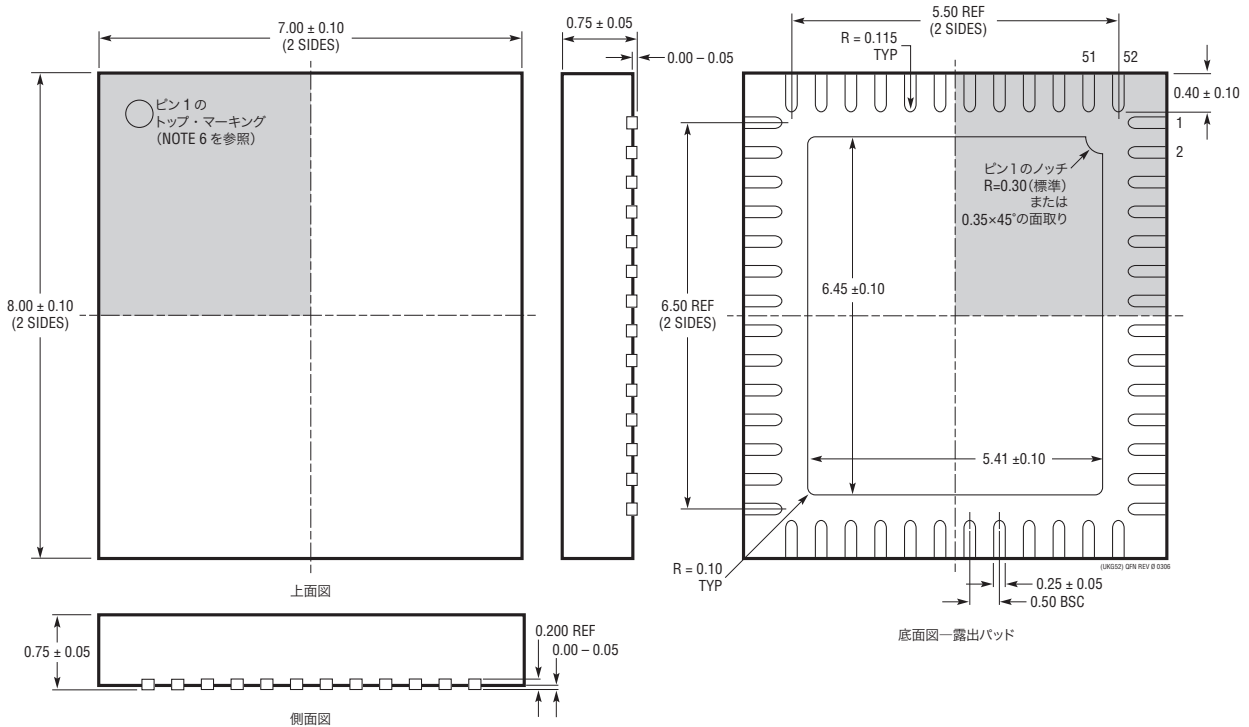
LTC2172-12/ LTC2171-12/LTC2170-12

パッケージ

UKG パッケージ 52ピン・プラスチック QFN (7mm×8mm) (Reference LTC DWG # 05-08-1729 Rev 0)



推奨する半田パッドのピッチと寸法
半田付けされない領域には半田マスクを使用する



NOTE :

1. 図は JEDEC のパッケージ外形ではない
2. 図は実寸とは異なる
3. すべての寸法はミリメートル

4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは(もしあれば)各サイドで 0.20mm を超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

21721012fb

改訂履歴

REV	日付	概要	ページ番号
A	03/10	「タイミング特性」のセクションのLTC2171-12におけるSampling FrequencyのMax値を45MHzから40MHzに変更	6
		「アプリケーション情報」の「接地とバイパス」と「熱伝導」セクションに全製品名を追加	28
		「関連製品」セクションの説明と注釈を改訂	34
B	07/11	「アプリケーション情報」セクションの「ソフトウェアによるリセット」の параグラフと表4を改訂	26

LTC2172-12/ LTC2171-12/LTC2170-12

関連製品

製品番号	説明	注釈
ADC		
LTC2170-14/LTC2171-14/LTC2172-14	14ビット、25Msps/40Msps/65Msps、超低消費電力1.8VクワッドADC	162mW/202mW/311mW、SNR:73.7dB、SFDR:90dB、シリアルLVDS出力、7mm×8mm QFN-52パッケージ
LTC2173-14/LTC2174-14/LTC2175-14	14ビット、80Msps/105Msps/125Msps、超低消費電力1.8VクワッドADC	376mW/450mW/558mW、SNR:73.4dB、SFDR:88dB、シリアルLVDS出力、7mm×8mm QFN-52パッケージ
LTC2173-12/LTC2174-12/LTC2175-12	12ビット、80Msps/105Msps/125Msps、超低消費電力1.8VクワッドADC	369mW/439mW/545mW、SNR:70.6dB、SFDR:88dB、シリアルLVDS出力、7mm×8mm QFN-52パッケージ
LTC2256-14/LTC2257-14/LTC2258-14	14ビット、25Msps/40Msps/65Msps、超低消費電力1.8VADC	35mW/49mW/81mW、SNR:74dB、SFDR:88dB、DDR LVDS/DDR CMOS/CMOS出力、6mm×6mm QFN-40パッケージ
LTC2259-14/LTC2260-14/LTC2261-14	14ビット、80Msps/105Msps/125Msps、超低消費電力1.8VADC	89mW/106mW/127mW、SNR:73.4dB、SFDR:85dB、DDR LVDS/DDR CMOS/CMOS出力、6mm×6mm QFN-40パッケージ
LTC2262-14	14ビット、150Msps 超低消費電力1.8V ADC	149mW、SNR:72.8dB、SFDR:88dB、DDR LVDS/DDR CMOS/CMOS出力、6mm×6mm QFN-40
LTC2263-14/LTC2264-14/LTC2265-14	14ビット、25Msps/40Msps/65Msps、超低消費電力1.8VデュアルADC	94mW/113mW/171mW、SNR:73.7dB、SFDR:90dB、シリアルLVDS出力、6mm×6mm QFN-40パッケージ
LTC2263-12/LTC2264-12/LTC2265-12	12ビット、25Msps/40Msps/65Msps、超低消費電力1.8VデュアルADC	94mW/112mW/167mW、SNR:71dB、SFDR:90dB、シリアルLVDS出力、6mm×6mm QFN-40パッケージ
LTC2266-14/LTC2267-14/LTC2268-14	14ビット、80Msps/105Msps/125Msps、超低消費電力1.8VデュアルADC	203mW/243mW/299mW、SNR:73.1dB、SFDR:88dB、シリアルLVDS出力、6mm×6mm QFN-40パッケージ
LTC2266-12/LTC2267-12/LTC2268-12	12ビット、80Msps/105Msps/125Msps、超低消費電力1.8VデュアルADC	200mW/238mW/292mW、SNR:70.6dB、SFDR:88dB、シリアルLVDS出力、6mm×6mm QFN-40パッケージ
RFミキサ/復調器		
LTC5517	40MHz～900MHz直接変換直交復調器	高いIIP3:800MHzで21dBm、LO直交ジェネレータ内蔵
LTC5527	400MHz～3.7GHz高直線性ダウンコンバーティング・ミキサ	IIP3:900MHzで24.5dBm、1900MHzで23.5dBm、NF=12.5dB、50ΩシングルエンドのRFポートとLOポート、5V電源
LTC5557	400MHz～3.8GHz高直線性ダウンコンバーティング・ミキサ	IIP3:1950MHzで24dBm、2.6GHzで23.7dBm、NF=13.2dB、3.3V電源動作、トランス内蔵
LTC5575	800MHz～2.7GHz直接変換直交復調器	高いIIP3:900MHzで28dBm、LO直交ジェネレータ内蔵、RFおよびLOトランス内蔵
アンプ/フィルタ		
LTC6412	800MHz、31dBレンジ、アナログ制御VGA	連続調整可能な利得制御、240MHzでのOIP3:35dBm、ノイズフィギュア:10dB、4mm×4mm QFN-24パッケージ
LTC6420-20	300MHzのIF周波数向け低ノイズ、低歪み、デュアル差動ADCドライバ	固定利得:10V/V、総入力換算ノイズ:2.2nV/√Hz、アンプ当たりの消費電流:80mA、100MHzでのOIP3:46dBm、3mm×4mm QFN-20パッケージ
LTC6421-20	140MHzのIF周波数向け低ノイズ、低歪み、デュアル差動ADCドライバ	固定利得:10V/V、総入力換算ノイズ:2.2nV/√Hz、アンプ当たりの消費電流:40mA、100MHzでのOIP3:42dBm、3mm×4mm QFN-20パッケージ
LTC6605-7/LTC6605-10/LTC6605-14	ADCドライバ付きの整合したデュアル7MHz/10MHz/14MHzフィルタ	差動ドライバ付きの整合された2個の2次ローパス・フィルタ、ピンでプログラム可能な利得、6mm×3mm DFN-22パッケージ
シグナルチェーン・レシーバ		
LTM9002	14ビット・デュアル・チャネルIF/ベースバンド・レシーバ・サブシステム	高速ADC、パッシブ・フィルタ、固定利得差動アンプを内蔵

21721012fb