

# 16ビット、65MSPS/ 40MSPS/25MSPS 低消費電力ADC

## 特長

- SNR: 77dB
- SFDR: 90dB
- 低消費電力: 87mW/63mW/45mW
- 単一1.8V電源
- CMOS、DDR CMOSまたはDDR LVDS出力
- 選択可能な入力範囲: 1V<sub>p-p</sub> ~ 2V<sub>p-p</sub>
- 550MHzのフルパワー帯域幅サンプル/ホールド
- オプションのデータ出力ランダムマイザ
- オプションのクロック・デューティサイクル・スタビライザ
- シャットダウン・モードとナップ・モード
- 設定用のシリアルSPIポート
- 48ピン(7mm×7mm)QFNパッケージ

## アプリケーション

- 通信
- セルラー基地局
- ソフトウェア無線
- 携帯型医療用画像処理
- マルチチャネル・データ収集
- 非破壊試験

## 概要

LTC<sup>®</sup>2162/LTC2161/LTC2160は、広いダイナミック・レンジの高周波信号をデジタル化するサンプリング16ビットA/Dコンバータです。SNRが77dB、SFDRが90dBという優れたAC特性を備えているため、要求の厳しい通信アプリケーションに最適です。また、ジッタがわずか0.07ps<sub>RMS</sub>なので、優れたノイズ性能を維持しながらIF周波数をアンダーサンプリングできます。

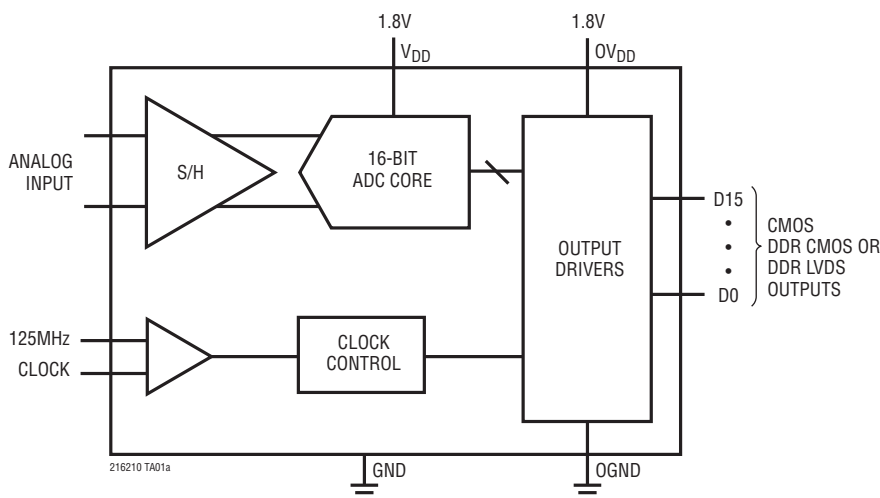
DC仕様では、±2LSB(標準)のINLと±0.5LSB(標準)のDNL、全温度範囲でミッシング・コードがないことが規定されています。遷移ノイズは3.3LSB<sub>RMS</sub>です。

デジタル出力は、フルレートCMOS、ダブルデータレートCMOS、ダブルデータレートLVDSのいずれかに設定可能です。独立した出力電源により、1.2V ~ 1.8VのCMOS出力振幅が可能です。

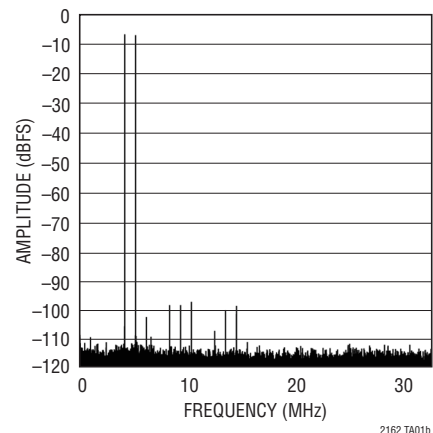
ENC<sup>+</sup>およびENC<sup>-</sup>入力は、正弦波、PECL、LVDS、TTLまたはCMOSの入力信号を使って差動またはシングルエンドでドライブ可能です。また、オプションのクロック・デューティサイクル・スタビライザにより、広範なクロック・デューティサイクルにおいてフルスピードで高性能を達成できます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。他の全ての商標はそれぞれの所有者に所有権があります。

## 標準的応用例



2トーンFFT、 $f_{IN} = 70\text{MHz}$ および69MHz



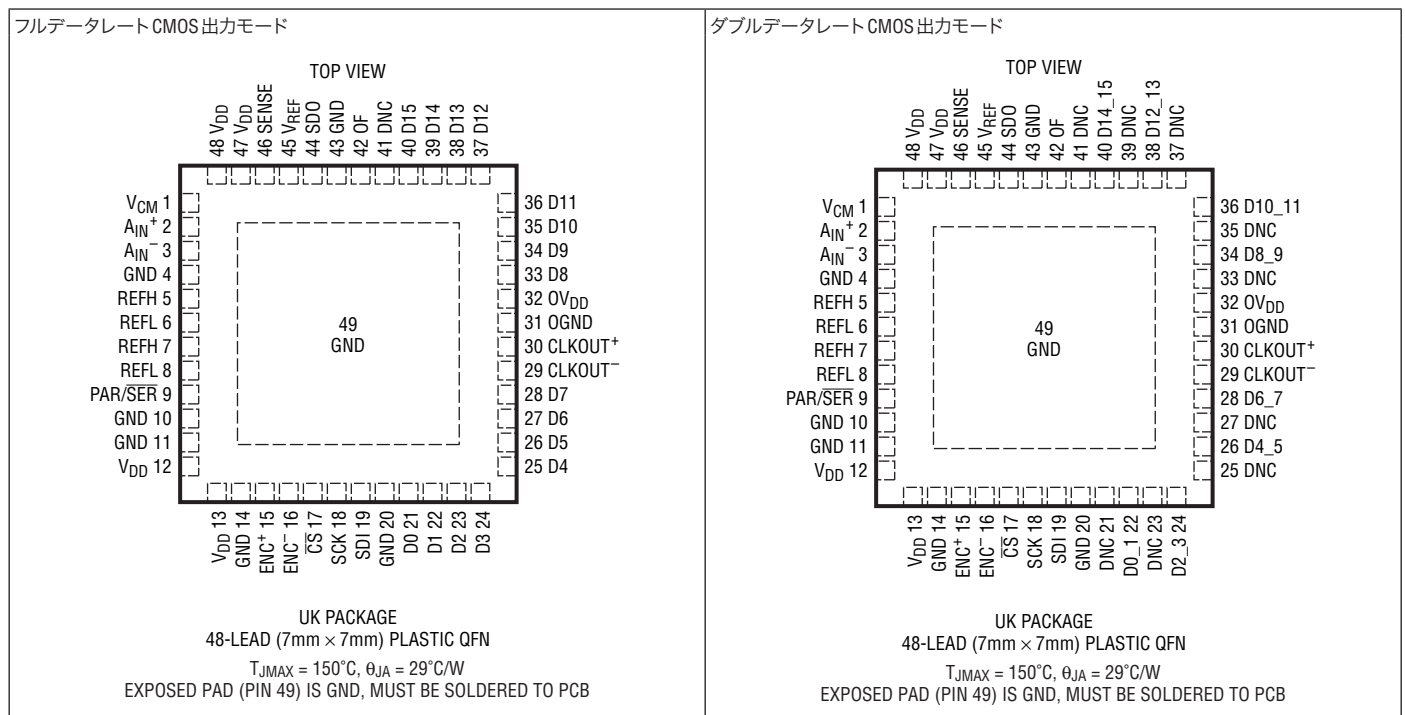
# LTC2162/LTC2161/LTC2160

## 絶対最大定格 (Note 1, 2)

電源電圧 ( $V_{DD}$ ,  $0V_{DD}$ ) .....  $-0.3V \sim 2V$   
 アナログ入力電圧 ( $A_{IN}^+$ ,  $A_{IN}^-$ ,  $PAR/SER$ ,  $SENSE$ )  
 (Note 3) .....  $-0.3V \sim (V_{DD} + 0.2V)$   
 デジタル入力電圧 ( $ENC^+$ ,  $ENC^-$ ,  $\overline{CS}$ ,  $SDI$ ,  $SCK$ )  
 (Note 4) .....  $-0.3V \sim 3.9V$   
 SDO (Note 4) .....  $-0.3V \sim 3.9V$

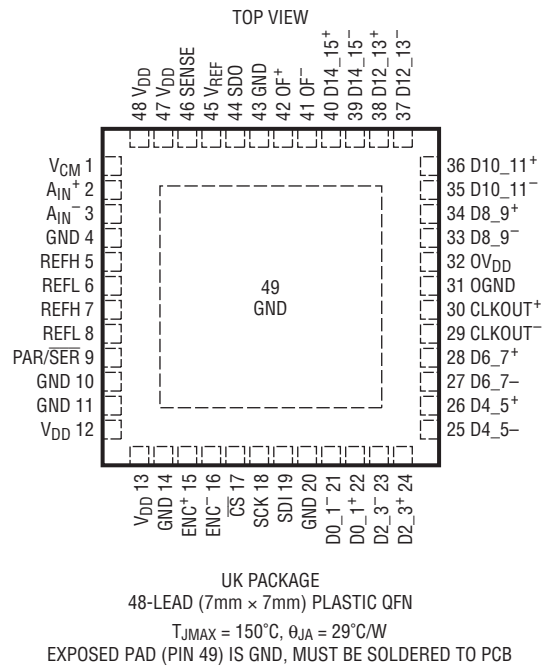
デジタル出力電圧 .....  $-0.3V \sim (0V_{DD} + 0.3V)$   
 動作温度範囲  
 LTC2162C, LTC2161C, LTC2160C .....  $0^\circ C \sim 70^\circ C$   
 LTC2162I, LTC2161I, LTC2160I .....  $-40^\circ C \sim 85^\circ C$   
 保存温度範囲 .....  $-65^\circ C \sim 150^\circ C$

## ピン配置



## ピン配置

ダブルデータレート LVDS 出力モード



## 発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2162CUK#PBF	LTC2162CUK#TRPBF	LTC2162UK	48-Lead (7mm × 7mm) Plastic QFN	0°C to 70°C
LTC2162IUUK#PBF	LTC2162IUUK#TRPBF	LTC2162UK	48-Lead (7mm × 7mm) Plastic QFN	-40°C to 85°C
LTC2161CUK#PBF	LTC2161CUK#TRPBF	LTC2161UK	48-Lead (7mm × 7mm) Plastic QFN	0°C to 70°C
LTC2161IUUK#PBF	LTC2161IUUK#TRPBF	LTC2161UK	48-Lead (7mm × 7mm) Plastic QFN	-40°C to 85°C
LTC2160CUK#PBF	LTC2160CUK#TRPBF	LTC2160UK	48-Lead (7mm × 7mm) Plastic QFN	0°C to 70°C
LTC2160IUUK#PBF	LTC2160IUUK#TRPBF	LTC2160UK	48-Lead (7mm × 7mm) Plastic QFN	-40°C to 85°C

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。\* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

# LTC2162/LTC2161/LTC2160

**コンバータ特性** ●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。

PARAMETER	CONDITIONS	LTC2162			LTC2161			LTC2160			UNITS	
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
Resolution (No Missing Codes)		●	16		16		16			Bits		
Integral Linearity Error	Differential Analog Input (Note 6)	●	-6	±2	6	-6	±2	6	-6	±2	6	LSB
Differential Linearity Error	Differential Analog Input	●	-0.9	±0.5	0.9	-0.9	±0.5	0.9	-0.9	±0.5	0.9	LSB
Offset Error	(Note 7)	●	-7	±1.5	7	-7	±1.5	7	-7	±1.5	7	mV
Gain Error	Internal Reference			±1.5		±1.5		±1.5	±1.5			%FS
	External Reference	●	-1.8	-0.5	0.8	-1.8	-0.5	0.8	-1.8	-0.5	0.8	%FS
Offset Drift				±10		±10		±10				$\mu\text{V}/^\circ\text{C}$
Full-Scale Drift	Internal Reference			±30		±30		±30				$\text{ppm}/^\circ\text{C}$
	External Reference			±10		±10		±10				$\text{ppm}/^\circ\text{C}$
Transition Noise	External Reference			3.3		3.3		3.2				$\text{LSB}_{\text{RMS}}$

**アナログ入力** ●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{\text{IN}}$	Analog Input Range ( $A_{\text{IN}}^+ - A_{\text{IN}}^-$ )	$1.7\text{V} < V_{\text{DD}} < 1.9\text{V}$	●	1 to 2		$V_{\text{P-P}}$
$V_{\text{IN(CM)}}$	Analog Input Common Mode ( $A_{\text{IN}}^+ + A_{\text{IN}}^-$ )/2	Differential Analog Input (Note 8)	●	0.7	$V_{\text{CM}}$ 1.25	V
$V_{\text{SENSE}}$	External Voltage Reference Applied to SENSE	External Reference Mode	●	0.625	1.250 1.300	V
$I_{\text{INCM}}$	Analog Input Common Mode Current	Per Pin, 65Msps Per Pin, 40Msps Per Pin, 25Msps		104 64 40		$\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$
$I_{\text{IN1}}$	Analog Input Leakage Current (No Encode)	$0 < A_{\text{IN}}^+, A_{\text{IN}}^- < V_{\text{DD}}$	●	-1	1	$\mu\text{A}$
$I_{\text{IN2}}$	PAR/SER Input Leakage Current	$0 < \text{PAR/SER} < V_{\text{DD}}$	●	-3	3	$\mu\text{A}$
$I_{\text{IN3}}$	SENSE Input Leakage Current	$0.625 < \text{SENSE} < 1.3\text{V}$	●	-3	3	$\mu\text{A}$
$t_{\text{AP}}$	Sample-and-Hold Acquisition Delay Time			0		ns
$t_{\text{JITTER}}$	Sample-and-Hold Acquisition Delay Jitter	Single-Ended Encode Differential Encode		0.07 0.09		$\text{pSRMS}$
CMRR	Analog Input Common Mode Rejection Ratio			80		dB
BW-3B	Full Power Bandwidth	Figure 6 Test Circuit		550		MHz

**ダイナミック精度** ●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。 $A_{\text{IN}} = -1\text{dBFS}$  (Note 5)

SYMBOL	PARAMETER	CONDITIONS	LTC2162			LTC2161			LTC2160			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
SNR	Signal-to-Noise Ratio	5MHz Input	●	77.0		76.9		77.1			dBFS	
		30MHz Input	●	75.4	76.9	75.3	76.8	75.5	77.0		dBFS	
		70MHz Input			76.8		76.7		76.9		dBFS	
		140MHz Input			76.3		76.2		76.4		dBFS	
SFDR	Spurious Free Dynamic Range 2nd Harmonic	5MHz Input	●	90		90		90			dBFS	
		30MHz Input	●	82	90	83	90	83	90		dBFS	
		70MHz Input			89		89		89		dBFS	
		140MHz Input			84		84		84		dBFS	

216210F

### ダイナミック精度 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ (Note 5)

SYMBOL	PARAMETER	CONDITIONS	LTC2162			LTC2161			LTC2160			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
SFDR	Spurious Free Dynamic Range 3rd Harmonic	5MHz Input	●	83	90	84	90	84	90	84	90	dBFS
		30MHz Input		90	90		90					
		70MHz Input		89	89		89					
		140MHz Input		84	84		84					
SFDR	Spurious Free Dynamic Range 4th Harmonic or Higher	5MHz Input	●	88	95	89	95	89	95	89	95	dBFS
		30MHz Input		95	95		95					
		70MHz Input		95	95		95					
		140MHz Input		95	95		95					
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	5MHz Input	●	75	76.8	75	76.7	74.9	76.9	74.9	76.8	dBFS
		30MHz Input		76.7	76.6		76.8					
		70MHz Input		76.4	76.3		76.5					
		140MHz Input		76.3	75.2		76.4					

### 内部リファレンスの特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{CM}$ Output Voltage	$I_{OUT} = 0$	$0.5 \cdot V_{DD} - 25\text{mV}$	$0.5 \cdot V_{DD}$	$0.5 \cdot V_{DD} + 25\text{mV}$	V
$V_{CM}$ Output Temperature Drift			$\pm 25$		ppm/ $^\circ\text{C}$
$V_{CM}$ Output Resistance	$-600\mu\text{A} < I_{OUT} < 1\text{mA}$		4		$\Omega$
$V_{REF}$ Output Voltage	$I_{OUT} = 0$	1.225	1.250	1.275	V
$V_{REF}$ Output Temperature Drift			$\pm 25$		ppm/ $^\circ\text{C}$
$V_{REF}$ Output Resistance	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$		7		$\Omega$
$V_{REF}$ Line Regulation	$1.7\text{V} < V_{DD} < 1.9\text{V}$		0.6		mV/V

### デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>エンコード入力(ENC<sup>+</sup>、ENC<sup>-</sup>)</b>						
<b>差動エンコード・モード(ENC<sup>-</sup>はGNDに接続されていない)</b>						
$V_{ID}$	Differential Input Voltage	(Note 8)	●	0.2		V
$V_{ICM}$	Common Mode Input Voltage	Internally Set	●	1.1	1.2	V
		Externally Set (Note 8)			1.6	V
$V_{IN}$	Input Voltage Range	ENC <sup>+</sup> , ENC <sup>-</sup> to GND	●	0.2	3.6	V
$R_{IN}$	Input Resistance	(See Figure 10)		10		k $\Omega$
$C_{IN}$	Input Capacitance	(Note 8)		3.5		pF
<b>シングルエンド・エンコード・モード(ENC<sup>-</sup>はGNDに接続されている)</b>						
$V_{IH}$	High Level Input Voltage	$V_{DD} = 1.8\text{V}$	●	1.2		V
$V_{IL}$	Low Level Input Voltage	$V_{DD} = 1.8\text{V}$	●		0.6	V
$V_{IN}$	Input Voltage Range	ENC <sup>+</sup> to GND	●	0	3.6	V
$R_{IN}$	Input Resistance	(See Figure 11)		30		k $\Omega$
$C_{IN}$	Input Capacitance	(Note 8)		3.5		pF

216210f

# LTC2162/LTC2161/LTC2160

デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>デジタル入力(シリアルまたはパラレル・プログラミング・モードのCS、SDI、SCK。SDOはパラレル・プログラミング・モード)</b>						
$V_{IH}$	High Level Input Voltage	$V_{DD} = 1.8\text{V}$	●	1.3		V
$V_{IL}$	Low Level Input Voltage	$V_{DD} = 1.8\text{V}$	●		0.6	V
$I_{IN}$	Input Current	$V_{IN} = 0\text{V to } 3.6\text{V}$	●	-10	10	$\mu\text{A}$
$C_{IN}$	Input Capacitance	(Note 8)		3		pF
<b>SDOの出力(シリアル・プログラミング・モード。オープンドレイン出力。SDOが使われる場合、2k<math>\Omega</math>のプルアップ抵抗が必要)</b>						
$R_{OL}$	Logic Low Output Resistance to GND	$V_{DD} = 1.8\text{V}, \text{SDO} = 0\text{V}$		200		$\Omega$
$I_{OH}$	Logic High Output Leakage Current	$\text{SDO} = 0\text{V to } 3.6\text{V}$	●	-10	10	$\mu\text{A}$
$C_{OUT}$	Output Capacitance	(Note 8)		3		pF
<b>デジタル・データ出力 (CMOS モード: フルデータレートとダブルデータレート)</b>						
<b><math>OV_{DD} = 1.8\text{V}</math></b>						
$V_{OH}$	High Level Output Voltage	$I_O = -500\mu\text{A}$	●	1.750	1.790	V
$V_{OL}$	Low Level Output Voltage	$I_O = 500\mu\text{A}$	●	0.010	0.050	V
<b><math>OV_{DD} = 1.5\text{V}</math></b>						
$V_{OH}$	High Level Output Voltage	$I_O = -500\mu\text{A}$		1.488		V
$V_{OL}$	Low Level Output Voltage	$I_O = 500\mu\text{A}$		0.010		V
<b><math>OV_{DD} = 1.2\text{V}</math></b>						
$V_{OH}$	High Level Output Voltage	$I_O = -500\mu\text{A}$		1.185		V
$V_{OL}$	Low Level Output Voltage	$I_O = 500\mu\text{A}$		0.010		V
<b>デジタル・データ出力 (LVDS モード)</b>						
$V_{OD}$	Differential Output Voltage	100 $\Omega$ Differential Load, 3.5mA Mode 100 $\Omega$ Differential Load, 1.75mA Mode	●	247	350 175	454 mV
$V_{OS}$	Common Mode Output Voltage	100 $\Omega$ Differential Load, 3.5mA Mode 100 $\Omega$ Differential Load, 1.75mA Mode	●	1.125	1.250 1.250	V V
$R_{TERM}$	On-Chip Termination Resistance	Termination Enabled, $OV_{DD} = 1.8\text{V}$		100		$\Omega$

電源条件 ●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値 (Note 9)。

SYMBOL	PARAMETER	CONDITIONS	LTC2162			LTC2161			LTC2160			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
<b>CMOS出力モード: フルデータレートとダブルデータレート</b>													
$V_{DD}$	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
$OV_{DD}$	Output Supply Voltage	(Note 10)	●	1.1	1.8	1.9	1.1	1.8	1.9	1.1	1.8	1.9	V
$I_{VDD}$	Analog Supply Current	DC Input Sine Wave Input	●	48.3 49.6	54		35.2 35.8	39		25.0 25.4	28.5	mA mA	
$I_{OVDD}$	Digital Supply Current	Sine Wave Input, $OV_{DD} = 1.2\text{V}$		2.6			1.6			1.0		mA	
$P_{DISS}$	Power Dissipation	DC Input Sine Wave Input, $OV_{DD} = 1.2\text{V}$	●	87 92	97.5		63 66	70.5		45 47	51.5	mW mW	
<b>LVDS出力モード</b>													
$V_{DD}$	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
$OV_{DD}$	Output Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V

216210f

**電源条件** ●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS	LTC2162			LTC2161			LTC2160			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
I <sub>VDD</sub>	Analog Supply Current	Sine Wave Input		50.3		37.3		26.8			mA	
		1.75mA Mode 3.5mA Mode ●		51.1	57	38.2	42	27.7	31	mA		
I <sub>OVDD</sub>	Digital Supply Current (OV <sub>DD</sub> = 1.8V)	Sine Wave Input		21.5		21.4		21.1			mA	
		1.75mA Mode 3.5mA Mode ●		41.2	46	41.1	46	40.9	46	mA		
P <sub>DISS</sub>	Power Dissipation	Sine Wave Input, 1.75mA Mode		129		106		86			mW	
		Sine Wave Input, 3.5mA Mode ●		166	186	143	159	123	139	mW		

**全出力モード**

SYMBOL	PARAMETER	CONDITIONS	LTC2162	LTC2161	LTC2160	UNITS
P <sub>SLEEP</sub>	Sleep Mode Power		1	1	1	mW
P <sub>NAP</sub>	Nap Mode Power		10	10	10	mW
P <sub>DIFFCLK</sub>	Power Increase with Differential Encode Mode Enabled (No Increase for Nap or Sleep Modes)		20	20	20	mW

**タイミング特性** ●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	LTC2162			LTC2161			LTC2160			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
f <sub>S</sub>	Sampling Frequency	(Note 10)	●	1	65	1	40	1	25		MHz		
t <sub>L</sub>	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off	●	7.3	7.69	500	11.88	12.5	500	19	20	500	ns
		Duty Cycle Stabilizer On	●	2	7.69	500	2	12.5	500	2	20	500	ns
t <sub>H</sub>	ENC High Time (Note 8)	Duty Cycle Stabilizer Off	●	7.3	7.69	500	11.88	12.5	500	19	20	500	ns
		Duty Cycle Stabilizer On	●	2	7.69	500	2	12.5	500	2	20	500	ns
t <sub>AP</sub>	Sample-and-Hold Acquisition Delay Time			0		0		0			ns		

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
--------	-----------	------------	-----	-----	-----	-------

**デジタル・データ出力 (CMOS モード: フルデータレートとダブルデータレート)**

t <sub>D</sub>	ENC to Data Delay	C <sub>L</sub> = 5pF (Note 8)	●	1.1	1.7	3.1	ns
t <sub>C</sub>	ENC to CLKOUT Delay	C <sub>L</sub> = 5pF (Note 8)	●	1	1.4	2.6	ns
t <sub>SKEW</sub>	DATA to CLKOUT Skew	t <sub>D</sub> - t <sub>C</sub> (Note 8)	●	0	0.3	0.6	ns
	Pipeline Latency	Full Data Rate Mode Double Data Rate Mode			6 6.5		Cycles Cycles

**デジタル・データ出力 (LVDS モード)**

t <sub>D</sub>	ENC to Data Delay	C <sub>L</sub> = 5pF (Note 8)	●	1.1	1.8	3.2	ns
t <sub>C</sub>	ENC to CLKOUT Delay	C <sub>L</sub> = 5pF (Note 8)	●	1	1.5	2.7	ns
t <sub>SKEW</sub>	DATA to CLKOUT Skew	t <sub>D</sub> - t <sub>C</sub> (Note 8)	●	0	0.3	0.6	ns
	Pipeline Latency				6.5		Cycles

**SPIポートのタイミング (Note 8)**

t <sub>SCK</sub>	SCK Period	Write Mode	●	40			ns
		Readback Mode C <sub>SDO</sub> = 20pF, R <sub>PULLUP</sub> = 2k	●	250			ns
t <sub>S</sub>	$\overline{\text{CS}}$ to SCK Setup Time		●	5			ns
t <sub>H</sub>	SCK to $\overline{\text{CS}}$ Setup Time		●	5			ns
t <sub>DS</sub>	SDI Setup Time		●	5			ns
t <sub>DH</sub>	SDI Hold Time		●	5			ns
t <sub>DO</sub>	SCK Falling to SDO Valid	Readback Mode, C <sub>SDO</sub> = 20pF, R <sub>PULLUP</sub> = 2k	●			125	ns

216210f

# LTC2162/LTC2161/LTC2160

## 電気的特性

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

**Note 2:** すべての電圧値は(注記がない限り) GNDとOGNDを短絡した状態のGNDを基準にしている。

**Note 3:** これらのピンの電圧をGNDより低くするか、 $V_{DD}$ より高くすると、その電圧は内部のダイオードによってクランプされる。この製品は、GNDより低い電圧で、または $V_{DD}$ より高い電圧でラッチアップを生じることなしに100mAを超える入力電流を処理することができる。

**Note 4:** これらのピンの電圧をGNDより低くすると、内部のダイオードによってクランプされる。これらのピンの電圧を $V_{DD}$ より高くすると、その電圧は内部のダイオードによってクランプされない。この製品は、GNDより低い電圧で、ラッチアップを生じることなく100mAを超える入力電流を処理することができる。

**Note 5:** 注記がない限り、 $V_{DD} = 0V_{DD} = 1.8V$ 、 $f_{SAMPLE} = 65MHz$  (LTC2162)、40MHz (LTC2161)、または25MHz (LTC2160)、LVDS出力、差動ENC<sup>+</sup>/ENC<sup>-</sup> =  $2V_{P-P}$ の正弦波、入力範囲 = 差動ドライブで $2V_{P-P}$ 。

**Note 6:** 積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

**Note 7:** オフセット誤差は、2の補数の出力モードで出力コードを0000 0000 0000 0000と1111 1111 1111 1111の間でふらつかせるとき、-0.5LSBから測定したオフセット電圧である。

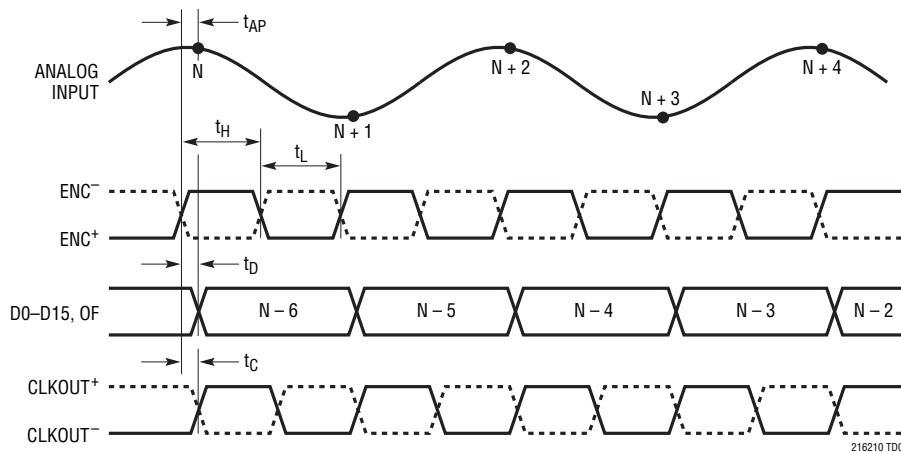
**Note 8:** 設計によって保証されているが、テストされない。

**Note 9:** 注記がない限り、 $V_{DD} = 1.8V$ 、 $f_{SAMPLE} = 65MHz$  (LTC2162)、40MHz (LTC2161)、または25MHz (LTC2160)、CMOS出力、ENC<sup>+</sup> = シングルエンドの1.8Vの方形波、ENC<sup>-</sup> = 0V、入力範囲 = 差動ドライブで $2V_{P-P}$ 、各デジタル出力に5pFの負荷。

**Note 10:** 推奨動作条件。

## タイミング図

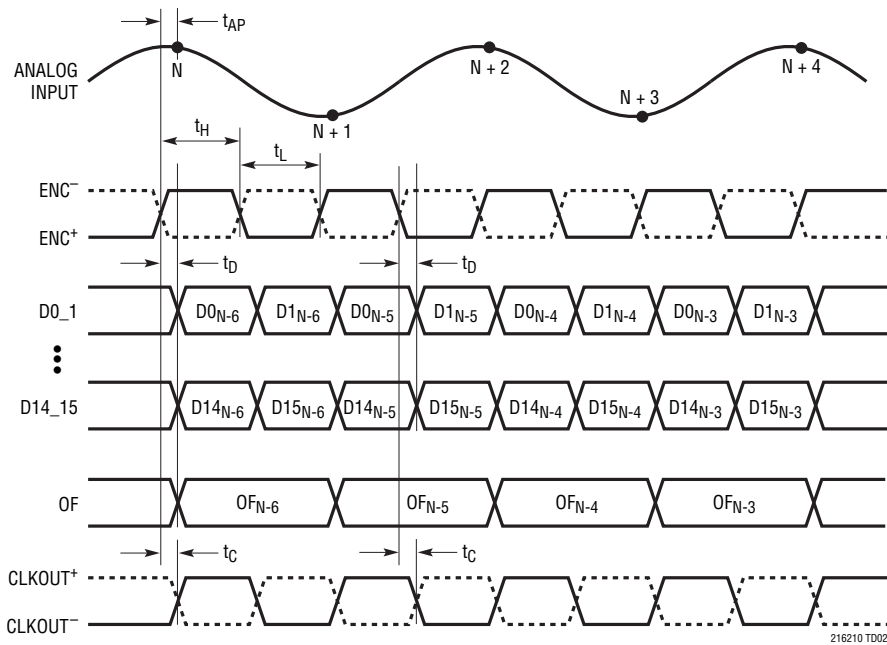
フルレート CMOS 出力モードのタイミング  
すべての出力はシングルエンドで CMOS レベル



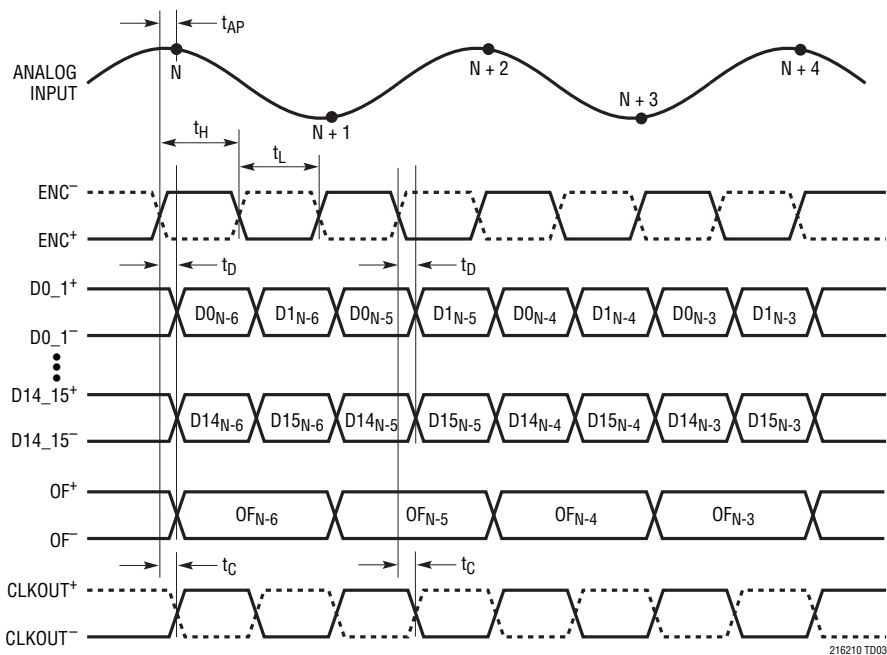


タイミング図

ダブルデータレート CMOS 出力モードのタイミング  
すべての出力はシングルエンドで CMOS レベル



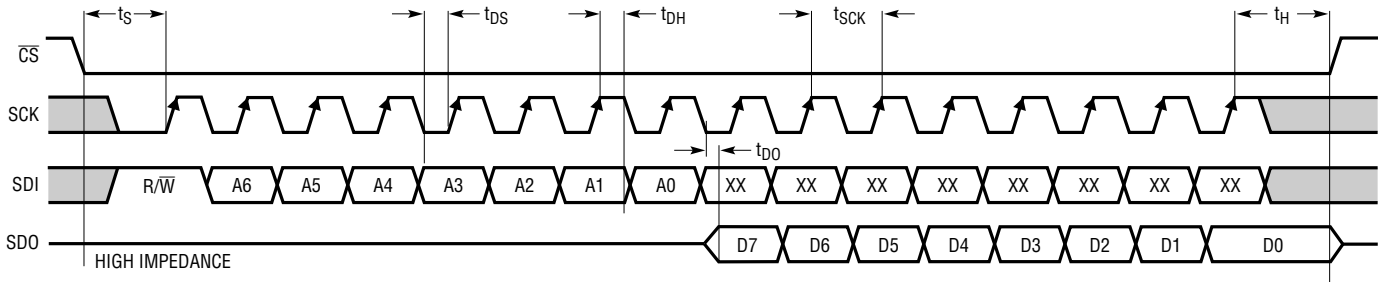
ダブルデータレート LVDS 出力モードのタイミング  
すべての出力は差動で LVDS レベル



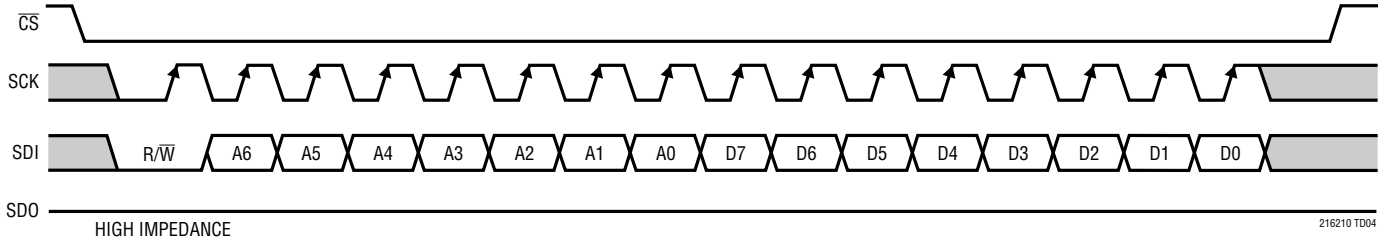
# LTC2162/LTC2161/LTC2160

## タイミング図

SPIポートのタイミング(リードバック・モード)

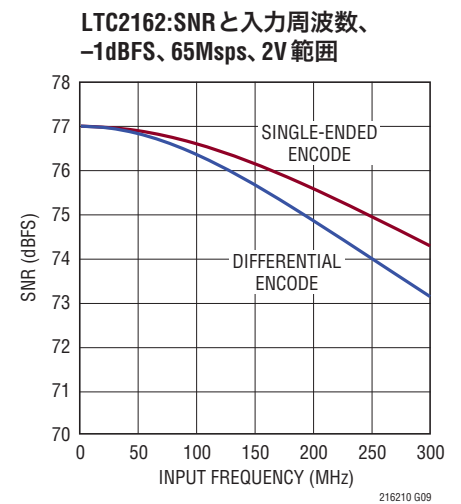
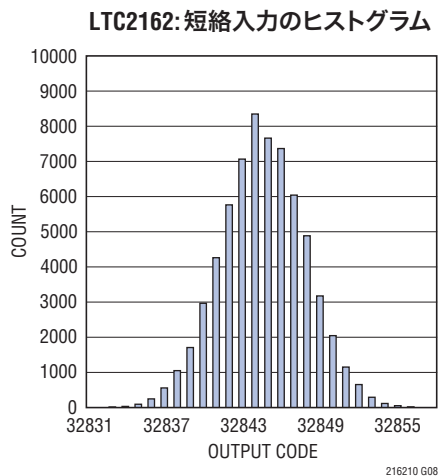
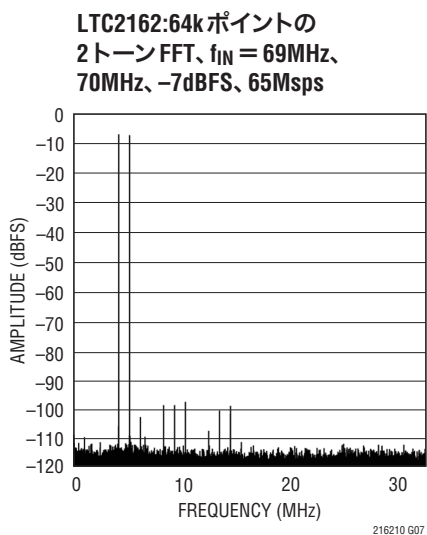
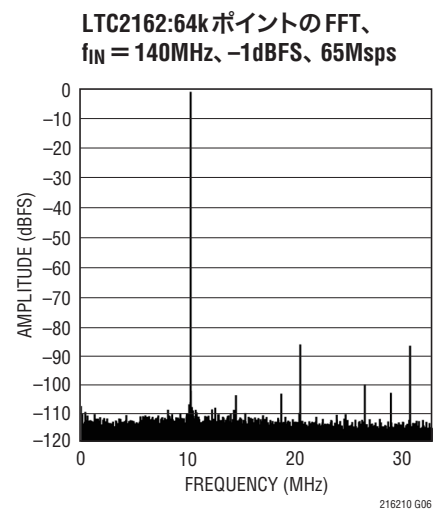
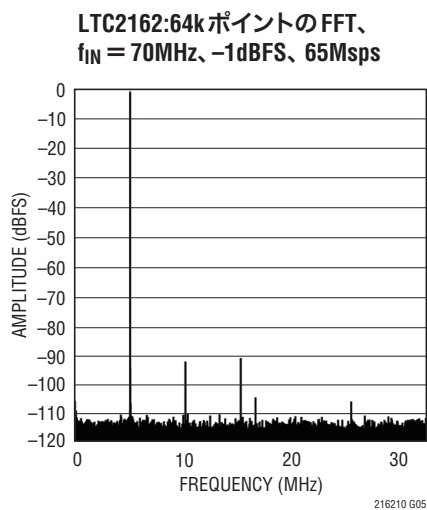
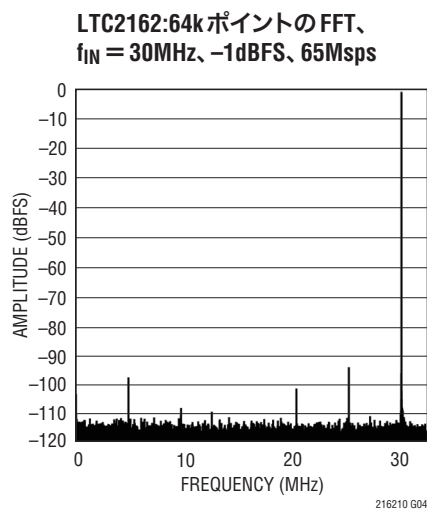
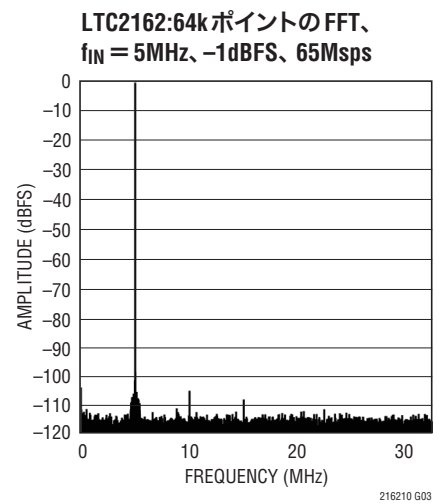
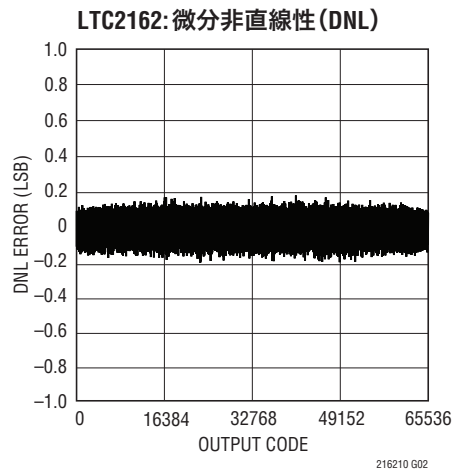
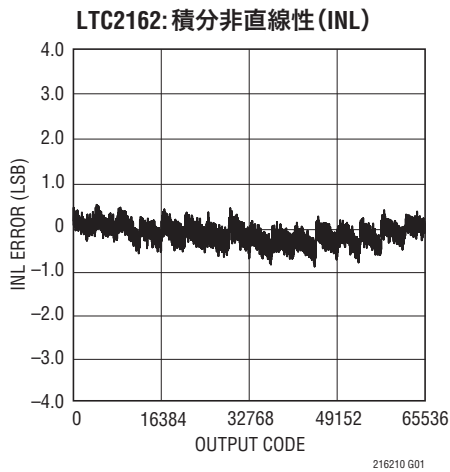


SPIポートのタイミング(ライト・モード)



216210 TD04

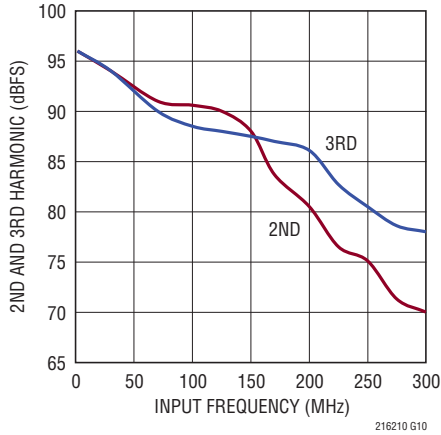
## 標準的性能特性



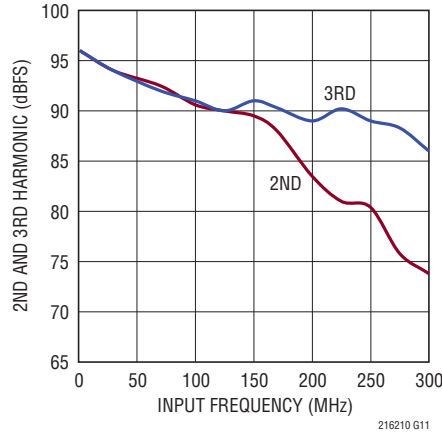
# LTC2162/LTC2161/LTC2160

## 標準的性能特性

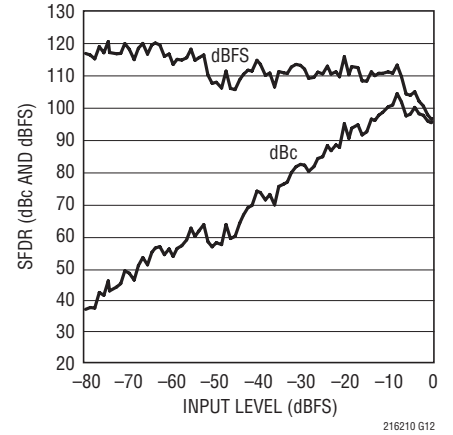
LTC2162: 2次および3次高調波と  
入力周波数、-1dBFS、65Msps、  
2V範囲



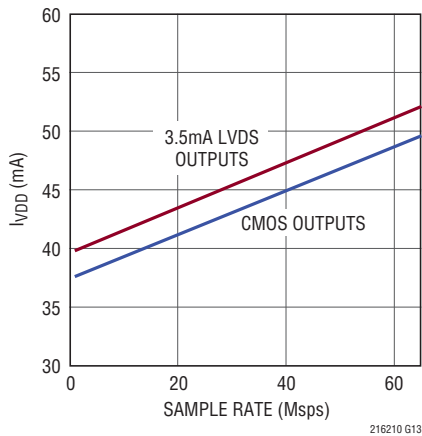
LTC2162: 2次および3次高調波と  
入力周波数、-1dBFS、65Msps、  
1V範囲



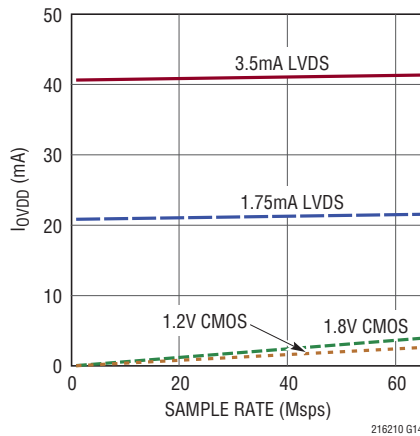
LTC2162: SFDRと入力レベル、  
 $f_{IN} = 70\text{MHz}$ 、65Msps、2V範囲



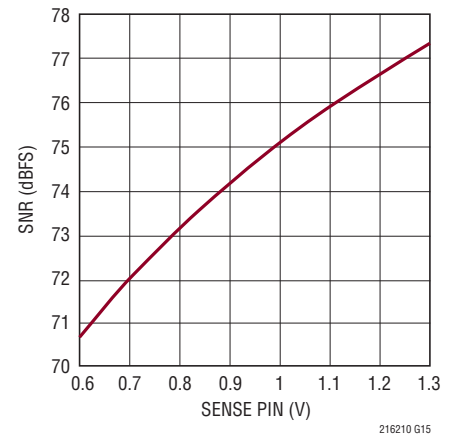
LTC2162:  $I_{VDD}$ とサンプル・レート、  
5MHz、-1dBFSの正弦波入力



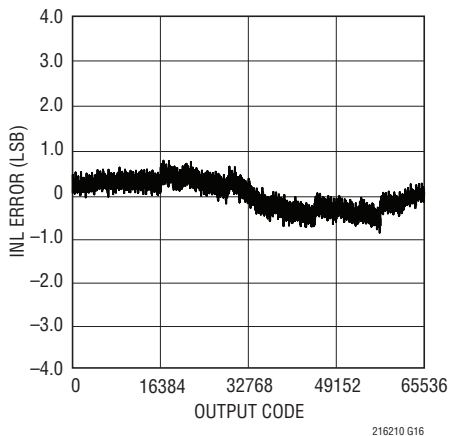
LTC2162:  $I_{OVD}$ とサンプル・レート、  
5MHz、-1dBFSの正弦波入力



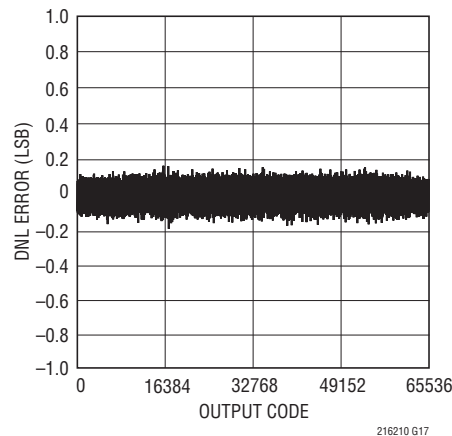
LTC2162: SNRとSENSE、  
 $f_{IN} = 5\text{MHz}$ 、-1dBFS



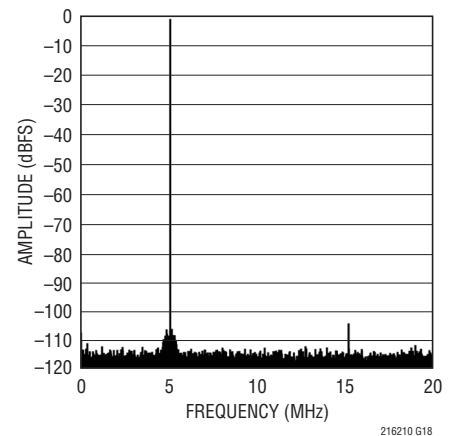
LTC2161: 積分非直線性 (INL)



LTC2161: 微分非直線性 (DNL)



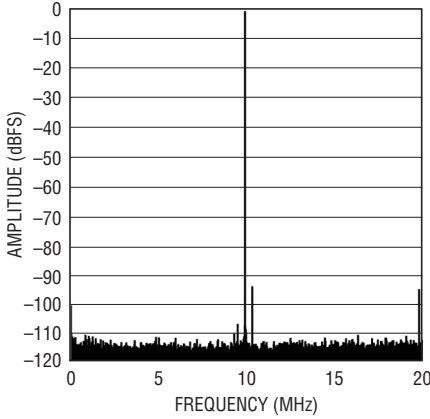
LTC2161: 64kポイントのFFT、  
 $f_{IN} = 5\text{MHz}$ 、-1dBFS、40Msps



216210f

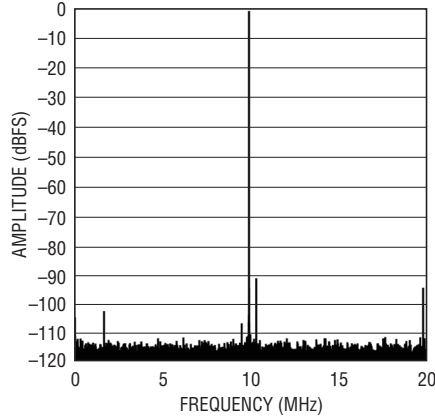
## 標準的性能特性

LTC2161:64kポイントのFFT、  
 $f_{IN} = 30\text{MHz}$ 、 $-1\text{dBFS}$ 、 $40\text{Mps}$



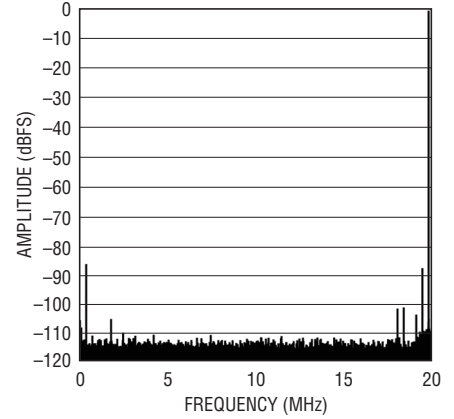
216210 G19

LTC2161:64kポイントのFFT、  
 $f_{IN} = 70\text{MHz}$ 、 $-1\text{dBFS}$ 、 $40\text{Mps}$



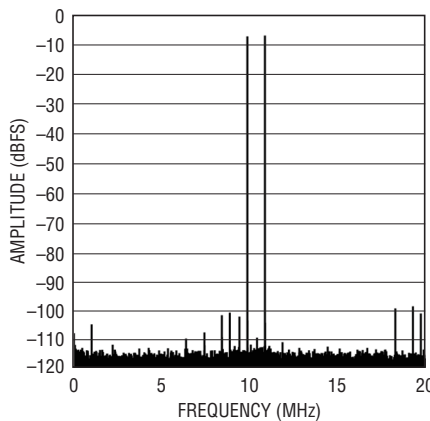
216210 G20

LTC2161:64kポイントのFFT、  
 $f_{IN} = 140\text{MHz}$ 、 $-1\text{dBFS}$ 、 $40\text{Mps}$



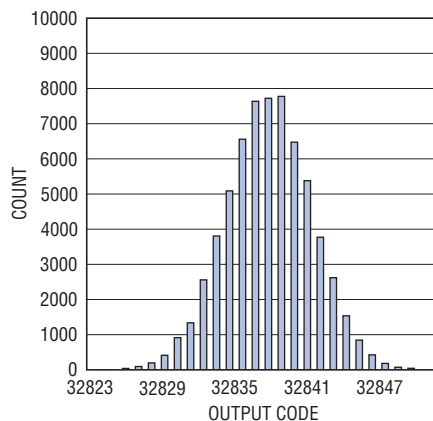
216210 G21

LTC2161:64kポイントの  
2トーンFFT、 $f_{IN} = 69\text{MHz}$ 、 $70\text{MHz}$ 、  
 $-7\text{dBFS}$ 、 $40\text{Mps}$



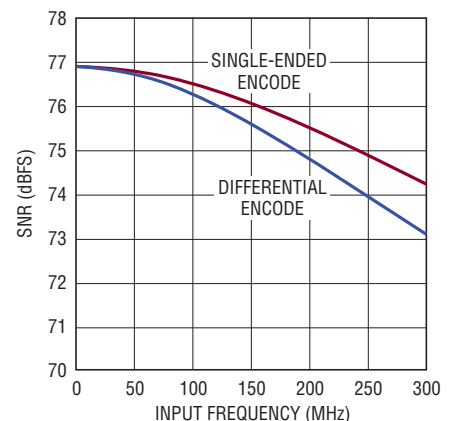
216210 G22

LTC2161:短絡入力のヒストグラム



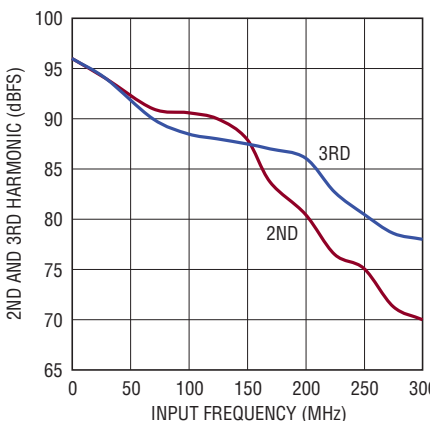
216210 G23

LTC2161:SNRと入力周波数、  
 $-1\text{dBFS}$ 、 $40\text{Mps}$ 、 $2\text{V}$ 範囲



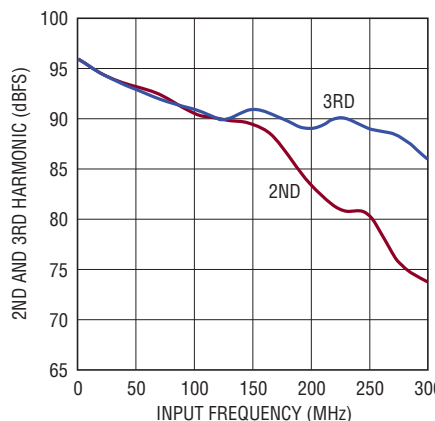
216210 G24

LTC2161:2次および3次高調波と  
入力周波数、 $-1\text{dBFS}$ 、 $40\text{Mps}$ 、  
 $2\text{V}$ 範囲



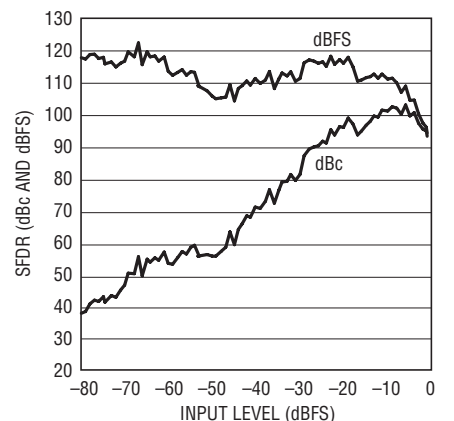
216210 G25

LTC2161:2次および3次高調波と  
入力周波数、 $-1\text{dBFS}$ 、 $40\text{Mps}$ 、  
 $1\text{V}$ 範囲



216210 G26

LTC2161:SFDRと入力レベル、  
 $f_{IN} = 70\text{MHz}$ 、 $40\text{Mps}$ 、 $2\text{V}$ 範囲

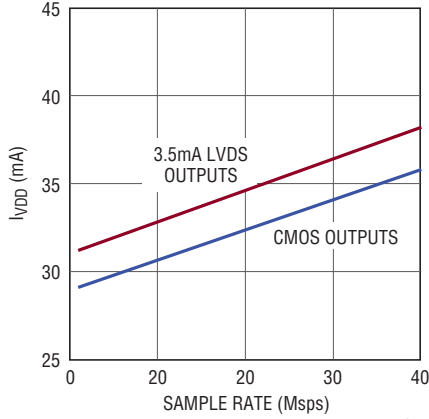


216210 G27

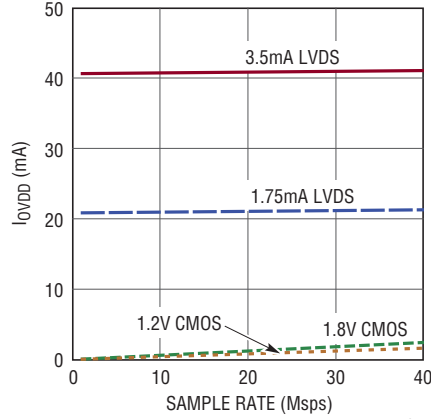
# LTC2162/LTC2161/LTC2160

## 標準的性能特性

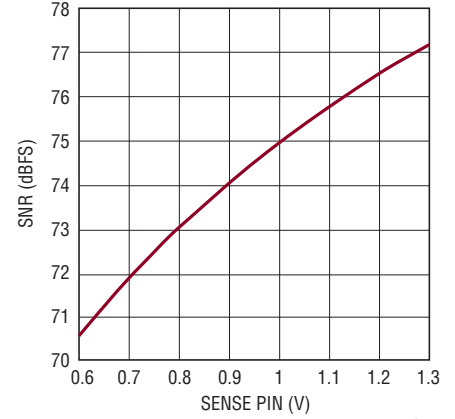
LTC2161:  $I_{VDD}$  とサンプル・レート、  
5MHz、-1dBFS の正弦波入力



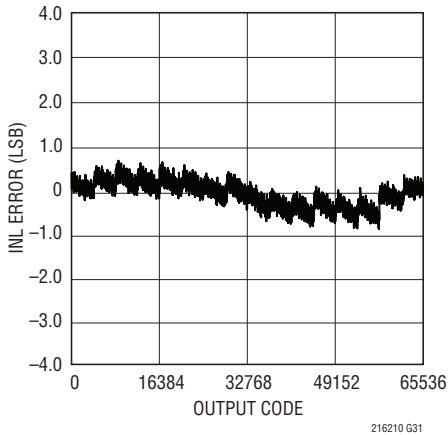
LTC2161:  $I_{OVD}$  とサンプル・レート、  
5MHz、-1dBFS の正弦波入力



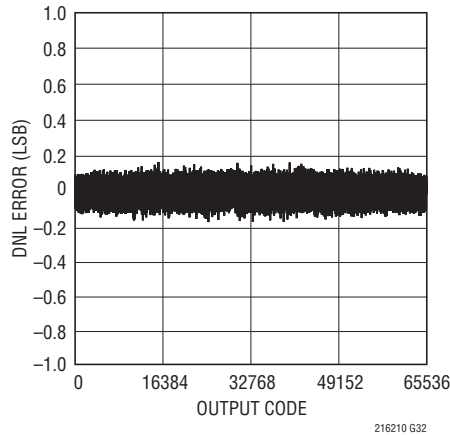
LTC2161: SNR と SENSE、  
 $f_{IN} = 5\text{MHz}$ 、-1dBFS



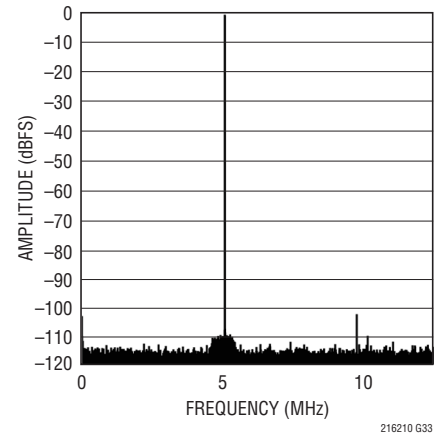
LTC2160: 積分非直線性 (INL)



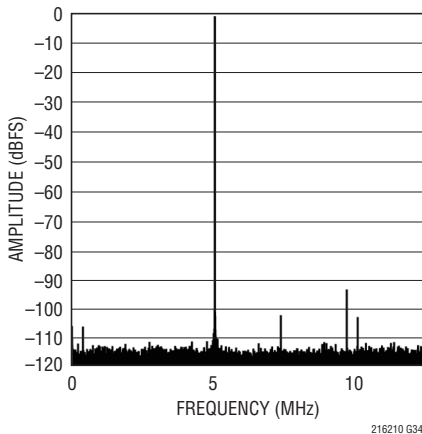
LTC2160: 微分非直線性 (DNL)



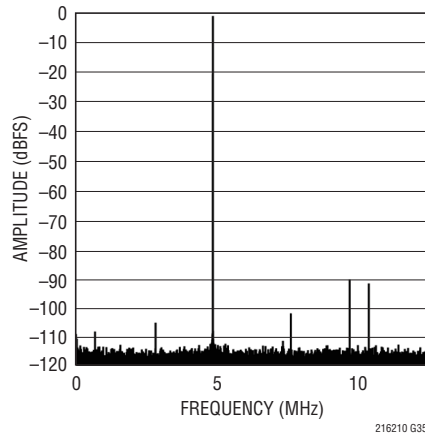
LTC2160: 64k ポイントの FFT、  
 $f_{IN} = 5\text{MHz}$ 、-1dBFS、25Msps



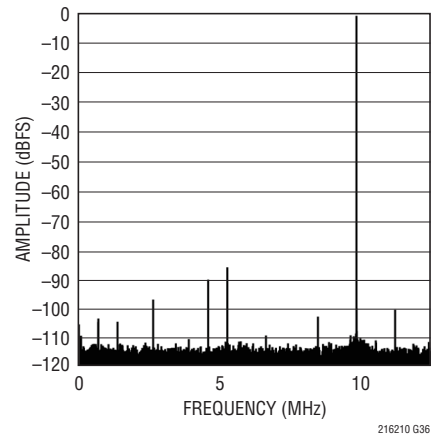
LTC2160: 64k ポイントの FFT、  
 $f_{IN} = 30\text{MHz}$ 、-1dBFS、25Msps



LTC2160: 64k ポイントの FFT、  
 $f_{IN} = 70\text{MHz}$ 、-1dBFS、25Msps

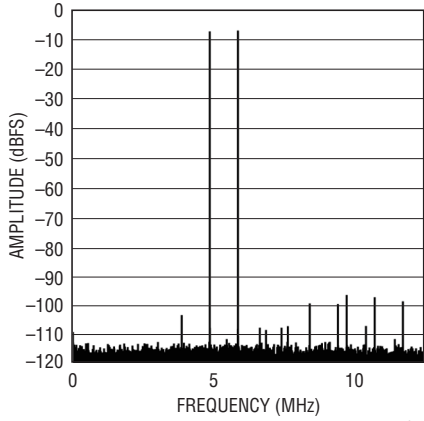


LTC2160: 64k ポイントの FFT、  
 $f_{IN} = 140\text{MHz}$ 、-1dBFS、25Msps

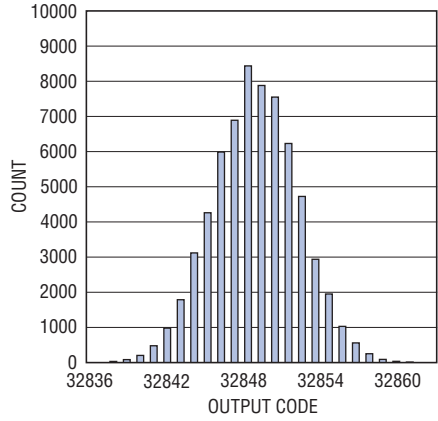


## 標準的性能特性

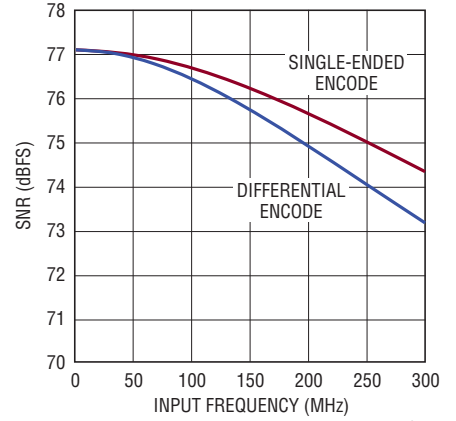
**LTC2160: 64k ポイントの  
2 トーン FFT、 $f_{IN} = 69\text{MHz}$ 、 $70\text{MHz}$ 、  
-7dBFS、25Mps**



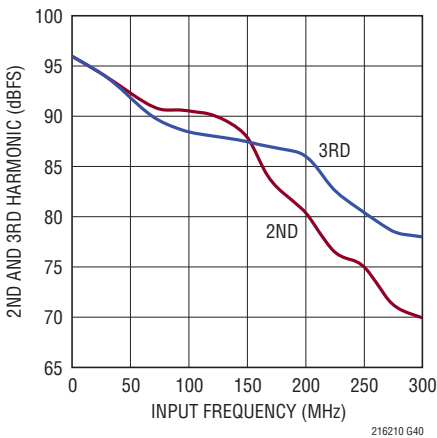
**LTC2160: 短絡入力のヒストグラム**



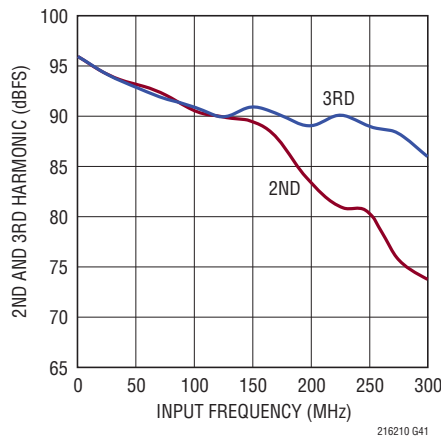
**LTC2160: SNR と入力周波数、  
-1dBFS、25Mps、2V 範囲**



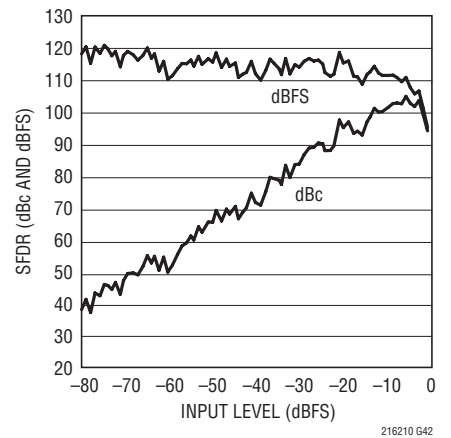
**LTC2160: 2次および3次高調波と  
入力周波数、-1dBFS、25Mps、  
2V 範囲**



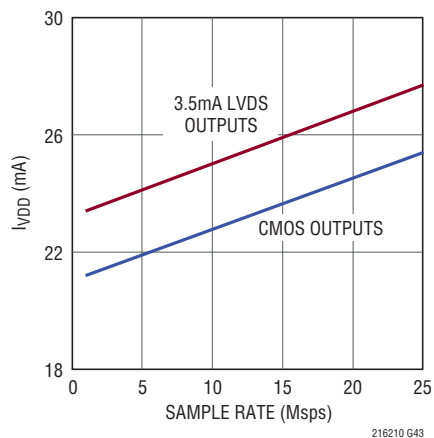
**LTC2160: 2次および3次高調波と  
入力周波数、-1dBFS、25Mps、  
1V 範囲**



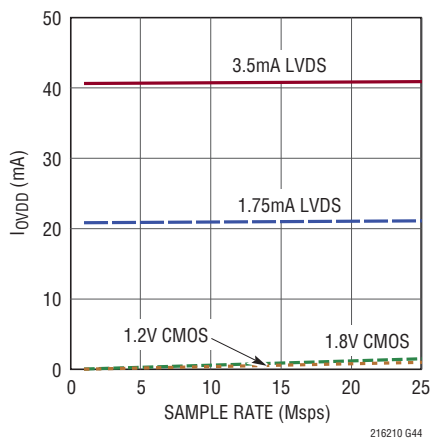
**LTC2160: SFDR と入力レベル、  
 $f_{IN} = 70\text{MHz}$ 、25Mps、2V 範囲**



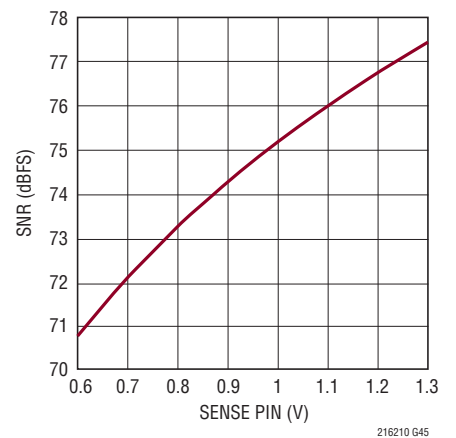
**LTC2160:  $I_{VDD}$  とサンプル・レート、  
5MHz、-1dBFS の正弦波入力**



**LTC2160:  $I_{OVD}$  とサンプル・レート、  
5MHz、-1dBFS の正弦波入力**



**LTC2160: SNR と SENSE、  
 $f_{IN} = 5\text{MHz}$ 、-1dBFS**



## ピン機能

## (すべてのデジタル出力モードで同じピン)

**V<sub>CM</sub> (ピン1)** : 同相バイアス出力。公称値は  $V_{DD}/2$  に等しい。 $V_{CM}$  はアナログ入力の同相レベルをバイアスするのに使用します。0.1 $\mu$ F のセラミック・コンデンサを使ってグラウンドにバイパスします。

**A<sub>IN</sub><sup>+</sup> (ピン2)** : 正の差動アナログ入力。

**A<sub>IN</sub><sup>-</sup> (ピン3)** : 負の差動アナログ入力。

**GND (ピン4、10、11、14、20、43、露出パッド・ピン49)** : ADC の電源グラウンド。露出パッドはPCBグラウンドに半田付けする必要があります。

**REFH (ピン5、7)** : ADC の“H”リファレンス。REFH および REFL の推奨バイパス回路については「アプリケーション情報」のセクションを参照してください。

**REFL (ピン6、8)** : ADC の“L”リファレンス。REFH および REFL の推奨バイパス回路については「アプリケーション情報」のセクションを参照してください。

**PAR/SER (ピン9)** : プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグラウンドに接続します。 $\overline{CS}$ 、SCK、SDI、SDO は A/D コンバータの動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブルするには  $V_{DD}$  に接続します。この場合、 $\overline{CS}$ 、SCK、SDI、SDO は、A/D コンバータの(種類が限定された)動作モードを制御するパラレル・ロジック入力になります。PAR/SER はグラウンドまたは  $V_{DD}$  に直接接続し、ロジック信号ではドライブしません。

**V<sub>DD</sub> (ピン12、13、47、48)** : 1.7V ~ 1.9V のアナログ電源。0.1 $\mu$ F のセラミック・コンデンサを使用してグラウンドにバイパスします。隣接するピンはバイパス・コンデンサを共有することができます。

**ENC<sup>+</sup> (ピン15)** : エンコード入力。立ち上がりエッジで変換が開始されます。

**ENC<sup>-</sup> (ピン16)** : エンコード相補入力。立ち下がりエッジで変換が開始されます。シングルエンド・エンコード・モードの場合は GND に接続します。

**$\overline{CS}$  (ピン17)** : シリアル・インタフェースのチップ・セレクト入力。シリアル・プログラミング・モードでは (PAR/SER = 0V)、 $\overline{CS}$  はシリアル・インタフェースのチップ選択入力です。 $\overline{CS}$  が“L”のとき SCK がイネーブルされ、SDI のデータをモード制御レジスタにシフトします。パラレル・プログラミング・モード (PAR/SER =  $V_{DD}$ ) では、 $\overline{CS}$  はクロック・デューティサイクル・スタビライザを制御します(表2を参照)。 $\overline{CS}$  は、1.8V ~ 3.3V のロジックでドライブできます。

**SCK (ピン18)** : シリアル・インタフェースのクロック入力。シリアル・プログラミング・モードでは (PAR/SER = 0V)、SCK はシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モードでは (PAR/SER =  $V_{DD}$ )、SCK はデジタル出力モードを制御します(表2を参照)。SCK は 1.8V ~ 3.3V のロジックでドライブすることができます。

**SDI (ピン19)** : シリアル・インタフェースのデータ入力。シリアル・プログラミング・モード (PAR/SER = 0V) では、SDI はシリアル・インタフェースのデータ入力です。SDI のデータは、SCK の立ち上がりエッジでモード制御レジスタにクロックインされます。パラレル・プログラミング・モードでは (PAR/SER =  $V_{DD}$ )、SDI を SDO と一緒に使ってデバイスをパワーダウンすることができます(表2を参照)。SDI は 1.8V ~ 3.3V のロジックでドライブすることができます。

**OGND (ピン31)** : 出力ドライバのグラウンド。インダクタンスがきわめて低い経路でグラウンド・プレーンに短絡する必要があります。このピンの近くに複数のビアを使用します。

**OV<sub>DD</sub> (ピン32)** : 出力ドライバの電源。0.1 $\mu$ F のセラミック・コンデンサを使ってグラウンドにバイパスします。

**SDO (ピン44)** : シリアル・インタフェースのデータ出力。シリアル・プログラミング・モード (PAR/SER = 0V) では、SDO はオプションのシリアル・インタフェースのデータ出力です。SDO のデータは、モード制御レジスタから読み出して SCK の立ち下がりエッジでラッチすることができます。SDO はオープンドレインの NMOS 出力で、2k の外付けプルアップ抵抗を 1.8V ~ 3.3V に接続する必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要であり、SDO は未接続のままかまいません。パラレル・プログラミング・モードでは (PAR/SER =  $V_{DD}$ )、SDO を SDI と一緒に使ってデバイスをパワーダウンすることができます(表2を参照)。SDO を入力として使用する場合には、1k の直列抵抗を介して 1.8V ~ 3.3V のロジックでドライブすることができます。

**V<sub>REF</sub> (ピン45)** : リファレンス電圧出力。2.2 $\mu$ F のセラミック・コンデンサを使ってグラウンドにバイパスします。出力電圧は公称 1.25V です。

**SENSE (ピン46)** : リファレンス設定ピン。SENSE を  $V_{DD}$  に接続すると、内部リファレンスと  $\pm 1V$  の入力範囲が選択されます。SENSE をグラウンドに接続すると、内部リファレンスと  $\pm 0.5V$  の入力範囲が選択されます。0.625V ~ 1.3V の外部リファレンスを SENSE に与えると、 $\pm 0.8 \cdot V_{SENSE}$  の入力範囲が選択されます。



## ピン機能

### フルデータレート CMOS 出力モード

以下の全てのピンは CMOS 出力レベル (0GND から  $0_{VDD}$ ) を備えています。

**D0 ~ D15 (ピン 21 ~ 28、33 ~ 40)** : デジタル出力。D15 が MSB です。

**CLKOUT<sup>-</sup> (ピン 29)** : CLKOUT<sup>+</sup> の反転バージョン。

**CLKOUT<sup>+</sup> (ピン 30)** : データ出力クロック。デジタル出力は通常、CLKOUT<sup>+</sup> の立ち下がりエッジと同時に遷移します。CLKOUT<sup>+</sup> の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

**DNC (ピン 41)** : このピンは接続しないでください。

**OF (ピン 42)** : オーバーフロー/アンダーフローのデジタル出力。オーバーフローやアンダーフローが生じると、OF が “H” になります。

### ダブルデータレート CMOS 出力モード

以下の全てのピンは CMOS 出力レベル (0GND から  $0_{VDD}$ ) を備えています。

**D0\_1 ~ D14\_15 (ピン 22、24、26、28、34、36、38、40)** : ダブルデータレート・デジタル出力。2つのデータ・ビットが各出力ピンに多重化されます。CLKOUT<sup>+</sup> が “L” のとき、偶数データ・ビット (D0、D2、D4、D6、D8、D10、D12、D14) が現れます。CLKOUT<sup>+</sup> が “H” のとき、奇数データ・ビット (D1、D3、D5、D7、D9、D11、D13、D15) が現れます。

**DNC (ピン 21、23、25、27、33、35、37、39、41)** : これらのピンは接続しないでください。

**CLKOUT<sup>-</sup> (ピン 29)** : CLKOUT<sup>+</sup> の反転バージョン。

**CLKOUT<sup>+</sup> (ピン 30)** : データ出力クロック。デジタル出力は、通常、CLKOUT<sup>+</sup> の立ち下がりエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT<sup>+</sup> の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

**OF (ピン 42)** : オーバーフロー/アンダーフローのデジタル出力。オーバーフローやアンダーフローが生じると、OF が “H” になります。

### ダブルデータレート LVDS 出力モード

以下のすべてのピンは LVDS 出力レベルを備えています。出力電流レベルはプログラム可能です。各 LVDS 出力対のピンの間にはオプションの内部 100Ω 終端抵抗が備わっています。

**D0\_1<sup>-</sup>/D0\_1<sup>+</sup> ~ D14\_15<sup>-</sup>/D14\_15<sup>+</sup> (ピン 21/22、23/24、25/26、27/28、33/34、35/36、37/38、39/40)** : ダブルデータレート・デジタル出力。2つのデータ・ビットが各差動出力対に多重化されます。CLKOUT<sup>+</sup> が “L” のとき、偶数データ・ビット (D0、D2、D4、D6、D8、D10、D12、D14) が現れます。CLKOUT<sup>+</sup> が “H” のとき、奇数データ・ビット (D1、D3、D5、D7、D9、D11、D13、D15) が現れます。

**CLKOUT<sup>-</sup>/CLKOUT<sup>+</sup> (ピン 39/40)** : データ出力クロック。デジタル出力は、通常、CLKOUT<sup>+</sup> の立ち下がりエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT<sup>+</sup> の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

**OF/OF<sup>+</sup> (ピン 41/42)** : オーバーフロー/アンダーフローのデジタル出力。オーバーフローやアンダーフローが生じると、OF<sup>+</sup> が “H” になります。

# LTC2162/LTC2161/LTC2160

## 機能ブロック図

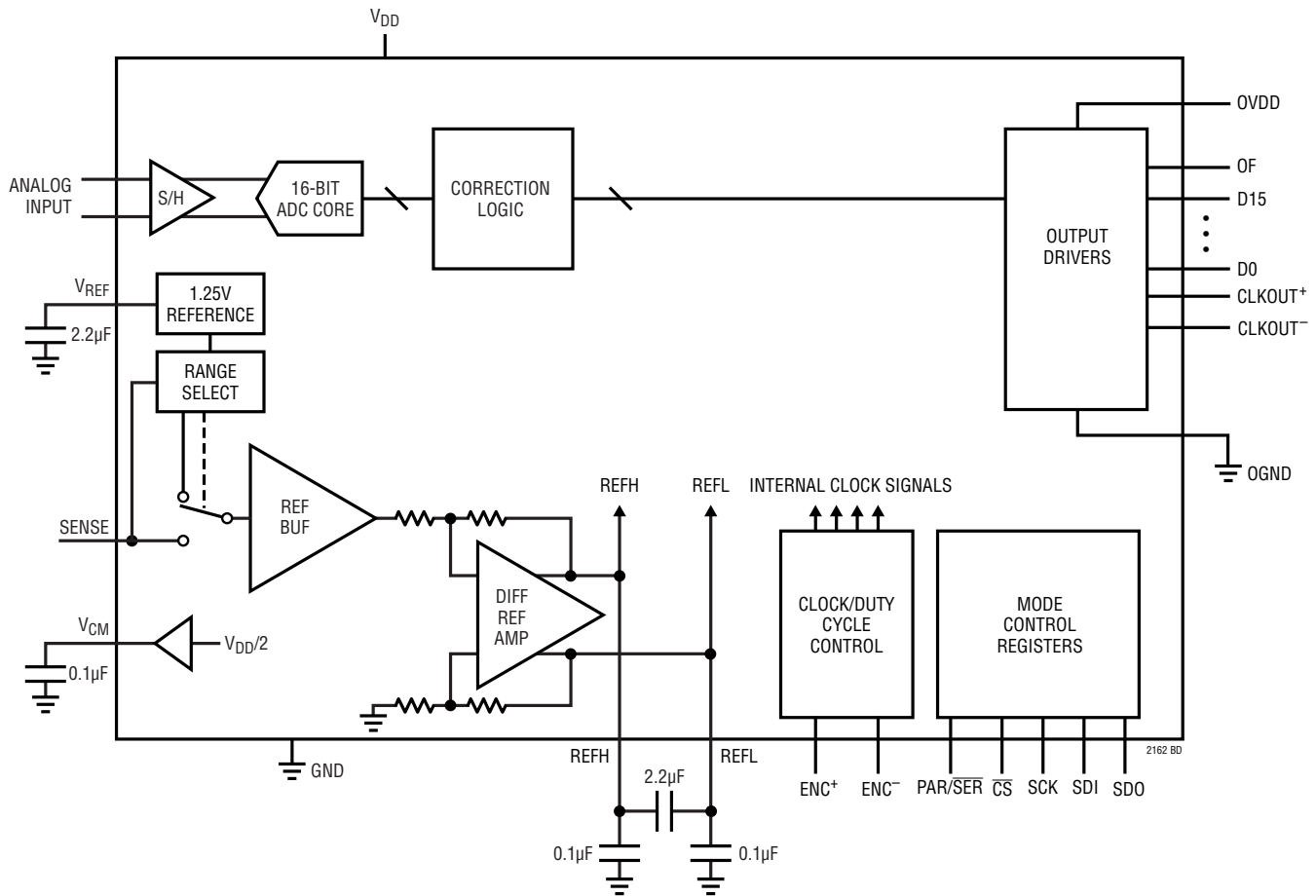


図1. 機能ブロック図

## アプリケーション情報

### コンバータの動作

LTC2162/LTC2161/LTC2160は、1.8V単一電源で動作する低消費電力、16ビットの65Msps/40Msps/25Msps A/Dコンバータです。アナログ入力は差動でドライブします。エンコード入力は差動で、または消費電力を抑えるためにシングルエンドでドライブすることができます。デジタル出力は、CMOS、(出力ライン数を半分に減らすための)ダブルデータレートCMOS、または(システム内のデジタル・ノイズを減らすための)ダブルデータレートLVDSにすることができます。シリアルSPIポートを介してモード制御レジスタをプログラムすることにより、多くの追加機能を選択することができます。

### アナログ入力

アナログ入力は差動CMOSサンプル・ホールド回路です(図2)。入力は、 $V_{CM}$ 出力ピンによって設定された同相電圧(公称 $V_{DD}/2$ )を基準にして、差動でドライブします。2Vの入力範囲の場合、入力を $V_{CM}-0.5V$ から $V_{CM}+0.5V$ まで振幅させます。入力間には $180^\circ$ の位相差が必要です。

## アプリケーション情報

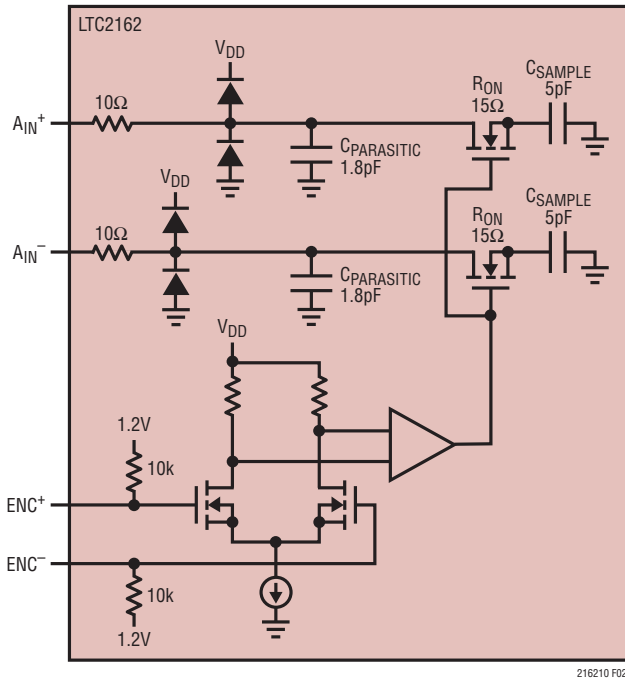


図2. 等価入力回路

## シングルエンド入力

高調波歪みの影響を受けにくいアプリケーションでは、 $V_{CM}$ を中心とした $1V_{P-P}$ の信号を使って $A_{IN}^+$ 入力をシングルエンドでドライブすることができます。 $A_{IN}^-$ 入力は $V_{CM}$ に接続し、 $V_{CM}$ バイパス・コンデンサは $2.2\mu F$ まで増加させなければなりません。シングルエンド入力を行うと、高調波歪みが増加しINLが低下しますが、ノイズとDNLは変化しません。

## 入力ドライブ回路

## 入力フィルタ

可能であれば、アナログ入りにRCローパス・フィルタを接続します。このローパス・フィルタにより、A/Dサンプル・ホールドのスイッチングからドライブ回路が分離され、さらにドライブ回路からの広帯域ノイズも制限されます。図3に、入力RCフィルタの例を示します。RC部品の値はアプリケーションの入力周波数に基づいて選択します。

## トランス結合回路

2次側にセンタータップを備えたRFトランスによってドライブされるアナログ入力を図3に示します。センタータップは $V_{CM}$ でバイアスされており、A/Dコンバータの入力を最適なDCレベルに設定します。高い入力周波数では、伝送ラインのバラン・トランス(図4～図6)はもっと良くバランスがとれているので、A/Dの歪みが小さくなります。

## アンプ回路

高速差動アンプによってドライブされているアナログ入力を図7に示します。アンプの出力はA/DコンバータにAC結合されているので、アンプの出力の同相電圧を最適に設定して歪みを最小限に抑えることができます。

非常に高い周波数では、多くの場合、RF利得ブロックの方が差動アンプよりも歪みが小さくなります。利得ブロックがシングルエンドであれば、A/Dをドライブする前にトランス回路(図4～図6)で信号を差動に変換します。

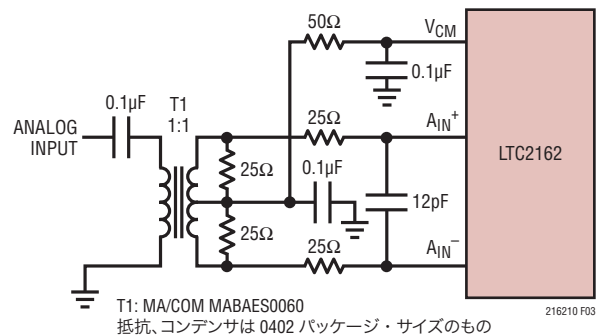
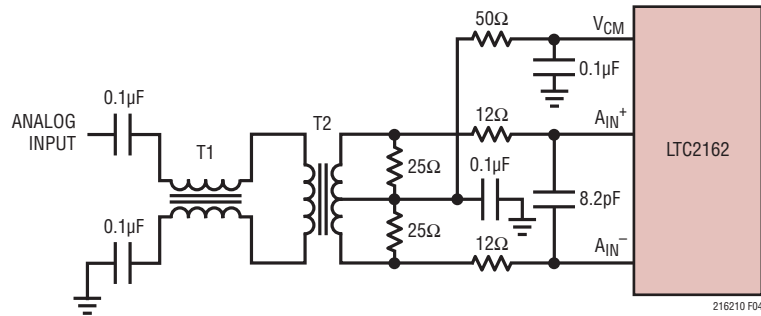


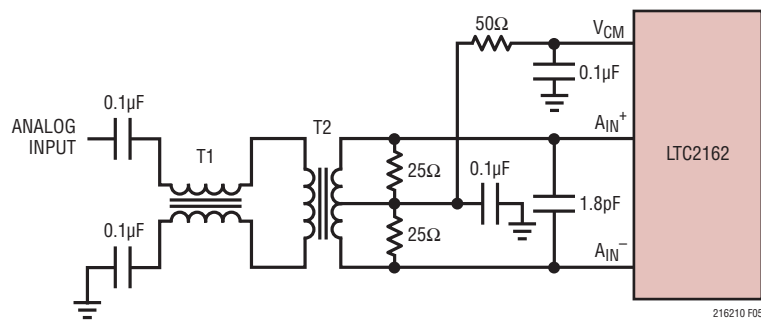
図3. トランスを使用したアナログ入力回路。5MHz～70MHzの入力周波数に対して推奨

## アプリケーション情報



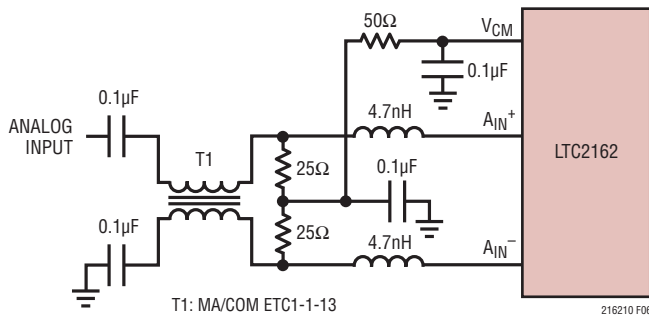
T1: MA/COM MABA-007159-000000  
 T2: COILCRAFT WBC1-1TL  
 抵抗、コンデンサは 0402 パッケージ・サイズのもの

図4. 5MHz～150MHzの入力周波数用の  
 推奨フロントエンド回路



T1: MA/COM MABA-007159-000000  
 T2: COILCRAFT WBC1-1TL  
 抵抗、コンデンサは 0402 パッケージ・サイズのもの

図5. 150MHz～250MHzの入力周波数用の  
 推奨フロントエンド回路



T1: MA/COM ETC1-1-13  
 抵抗、コンデンサは  
 0402 パッケージ・サイズのもの

図6. 250MHzを超える入力周波数用の  
 推奨フロントエンド回路

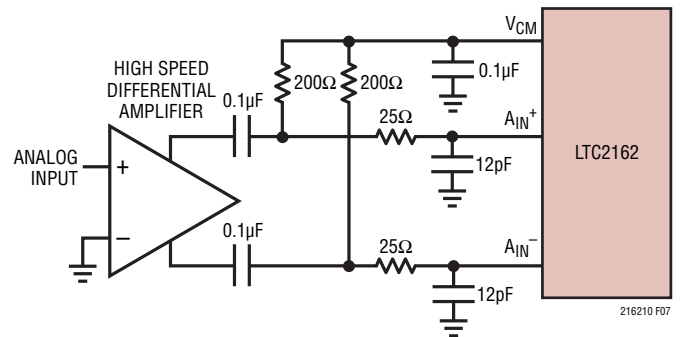


図7. 高速差動アンプを使用した  
 フロントエンド回路

## アプリケーション情報

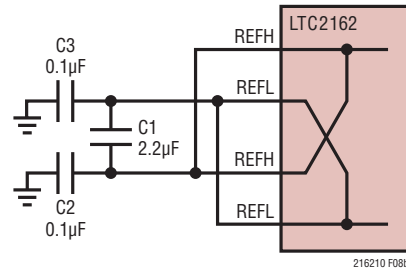
### リファレンス

LTC2162/LTC2161/LTC2160は1.25V電圧リファレンスを内蔵しています。内部リファレンスを使用する2Vの入力範囲の場合は、SENSEをV<sub>DD</sub>に接続します。内部リファレンスを使用する1Vの入力範囲の場合は、SENSEをグラウンドに接続します。外部リファレンスを使用する2Vの入力範囲の場合は、1.25Vのリファレンス電圧をSENSEに与えます(図9)。

0.625V ~ 1.30Vの電圧をSENSEに印加することによって入力範囲を調整することができます。これにより、入力範囲は1.6 • V<sub>SENSE</sub>になります。

V<sub>REF</sub>、REFHおよびREFLの各ピンは図8aに示すようにバイパスします。REFHとREFLの間のバイパスには、低インダクタンスの2.2μFインターデジタル・コンデンサを推奨します。このタイプのコンデンサは複数のメーカーから低価格で販売されています。

また、REFHとREFLの間のC1を標準の2.2μFコンデンサで置き換えることができます。コンデンサは(回路基板の裏面ではなく)これら2つのピンにできるだけ近づけます。



コンデンサは 0402 パッケージ・サイズのもの

図 8b. REFH/REFL の代替バイパス回路

REFH/REFLのバイパス・コンデンサの推奨基板レイアウトを図8cおよび図8dに示します。図8cでは、メーカーによってはインターデジタル・コンデンサ (C1) のピンが内部で接続されていないため、C1のすべてのピンを接続していることに注意してください。図8dでは、内部層の短いジャンパによってREFHピンとREFLピンを接続しています。これらのジャンパのインダクタンスを最小限に抑えるために、別の基板層のグラウンド・プレーンの小さい穴にそれらを配置することができます。

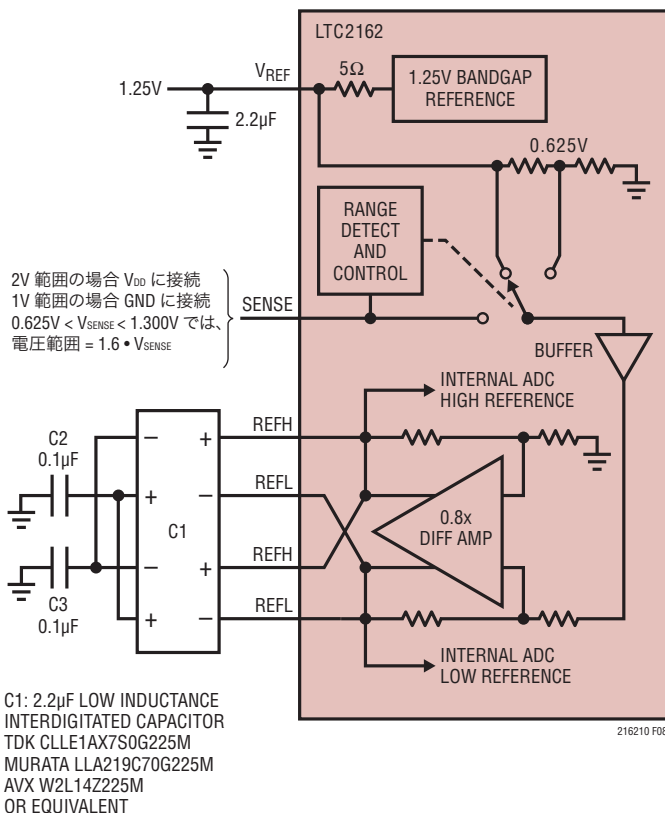


図 8a. リファレンス回路

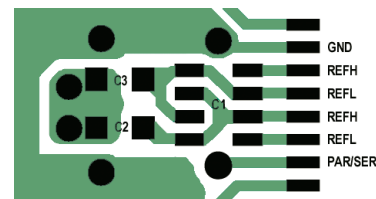


図 8c. 図 8a の REFH/REFL のバイパス回路の推奨レイアウト

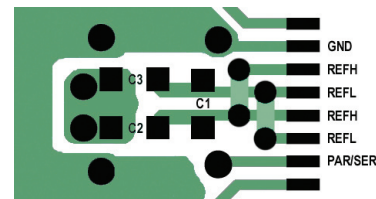


図 8d. 図 8b の REFH/REFL のバイパス回路の推奨レイアウト

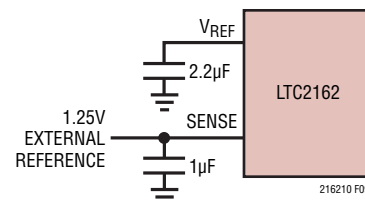


図 9. 1.25V の外部リファレンスの使い方

# LTC2162/LTC2161/LTC2160

## アプリケーション情報

### エンコード入力

エンコード入力の信号品質は、A/Dコンバータのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。このため、回路基板上のデジタル・トレースに隣接して配線しないようにしてください。エンコード入力には2つの動作モードがあります。差動エンコード・モード(図10)とシングルエンド・エンコード・モード(図11)です。

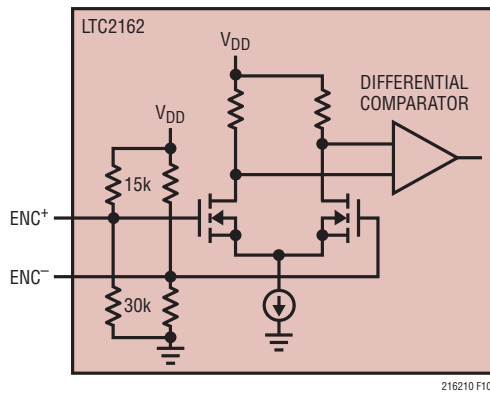


図10. 差動エンコード・モードの等価エンコード入力回路

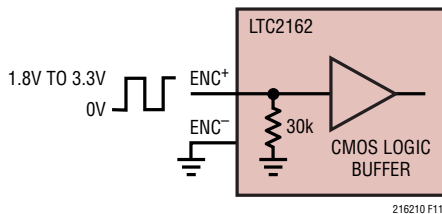
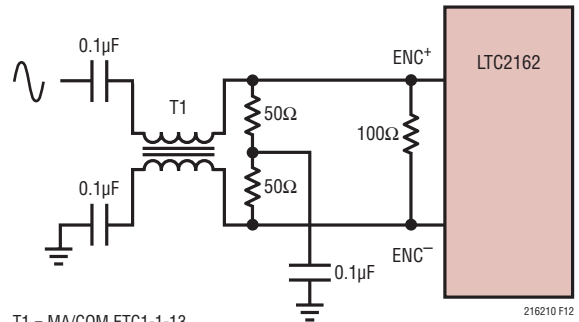


図11. シングルエンド・エンコード・モードの等価エンコード入力回路

差動エンコード・モードは、正弦波、PECLまたはLVDSのエンコード入りに推奨します(図12、図13)。エンコード入力は内部で10kΩの等価抵抗を介して1.2Vにバイアスされています。エンコード入力はV<sub>DD</sub>より高くすることができ(最大3.6V)、同相範囲は1.1V~1.6Vです。差動エンコード・モードでは、ENC<sup>-</sup>をグランドより200mV以上高い電圧に維持して、シングルエンド・エンコード・モードが誤作動しないようにします。良好なジッタ性能を得るため、ENC<sup>+</sup>とENC<sup>-</sup>の立ち上がり時間と立ち下がり時間は短くします。

シングルエンド・エンコード・モードは、CMOSエンコード入力と組み合わせて使用します。このモードを選択するには、ENC<sup>-</sup>をグランドに接続し、ENC<sup>+</sup>を方形波のエンコード入力でもドライブします。ENC<sup>+</sup>はV<sub>DD</sub>より高くすることができるので(最大3.6V)、1.8V~3.3VのCMOSロジック・レベルを使用することができます。ENC<sup>+</sup>のしきい値は0.9Vです。良好なジッタ



T1 = MA/COM ETC1-1-13  
抵抗、コンデンサは  
0402 パッケージ・サイズのもの

図12. 正弦波のエンコード・ドライブ

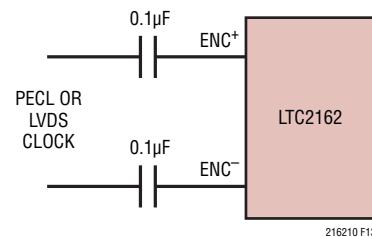


図13. PECLまたはLVDSのエンコード・ドライブ

タ性能を得るため、ENC<sup>+</sup>の立ち上がり時間と立ち下がり時間は短くします。

エンコード信号がオフするか、または約500kHzより低い周波数になると、A/Dコンバータはナップ・モードになります。

### クロック・デューティサイクル・スタビライザ

良い性能を実現するには、エンコード信号のデューティ・サイクルを50%(±5%)にします。オプションのクロック・デューティサイクル・スタビライザがイネーブルされていると、エンコードのデューティサイクルは30%~70%で変化することができ、デューティサイクル・スタビライザは一定の50%内部デューティサイクルを維持します。エンコード信号が周波数を変えると、デューティサイクル・スタビライザ回路は入力クロックにロックするのに100クロック・サイクルを要します。デューティサイクル・スタビライザはモード制御レジスタA2(シリアル・プログラミング・モード)によって、またはCS(パラレル・プログラミング・モード)によってイネーブルされます。

サンプル・レートを即座に変更する必要があるアプリケーションでは、クロック・デューティサイクル・スタビライザをディスエーブルすることができます。デューティサイクル・スタビライザをディスエーブルする場合、サンプリング・クロックのデューティサイクルが50%(±5%)になるように注意してください。デューティサイクル・スタビライザは5Mspsより下では使わないでください。

216210f



## アプリケーション情報

### デジタル出力

#### デジタル出力モード

LTC2162/LTC2161/LTC2160は、フルレートCMOSモード、(出力ライン数を半分に減らすための)ダブルデータレートCMOSモード、(システム内のデジタル・ノイズを減らすための)ダブルデータレートLVDSモードの3種類のデジタル出力モードで動作可能です。出力モードはモード制御レジスタA3(シリアル・プログラミング・モード)、またはSCK(パラレル・プログラミング・モード)によって設定されます。ダブルデータレートCMOSモードはパラレル・プログラミング・モードでは選択できないことに注意してください。

#### フルレートCMOSモード

フルレートCMOSモードでは、データ出力(D0~D15)、オーバーフロー(OF)、およびデータ出力クロック(CLKOUT<sup>+</sup>、CLKOUT<sup>-</sup>)はCMOS出力レベルになります。出力はOV<sub>DD</sub>とOGNDから電力を供給され、A/Dのコア電源とグラウンドからは絶縁されています。OV<sub>DD</sub>は1.1V~1.9Vの範囲をとることができるので、1.2V~1.8VのCMOSロジック出力が可能です。

良好な性能を得るために、デジタル出力がドライブする容量性負荷は最小限に抑えます。負荷容量が10pFより大きい場合、デジタル・バッファを使用します。

#### ダブルデータレートCMOSモード

ダブルデータレートCMOSモードでは、2つのデータ・ビットが多重化されて各データピンに出力されます。これにより、デジタル・ラインの数が8だけ減るので、基板配線が簡単になり、データを受け取るのに必要な入力ピンの数が減ります。データ出力(D0\_1、D2\_3、D4\_5、D6\_7、D8\_9、D10\_11、D12\_13、D14\_15)、オーバーフロー(OF)、およびデータ出力クロック(CLKOUT<sup>+</sup>、CLKOUT<sup>-</sup>)はCMOS出力レベルです。出力はOV<sub>DD</sub>とOGNDから電力を供給され、A/Dのコア電源とグラウンドからは絶縁されています。OV<sub>DD</sub>は1.1V~1.9Vの範囲をとることができるので、1.2V~1.8VのCMOSロジック出力が可能です。

良好な性能を得るために、デジタル出力がドライブする容量性負荷は最小限に抑えます。負荷容量が10pFより大きい場合、デジタル・バッファを使用します。

#### ダブルデータレートLVDS出力モード

ダブルデータレートLVDSモードでは、2つのデータ・ビットが多重化されて各差動出力対に出力されます。デジタル出力データのための8つのLVDS出力対(D0\_1<sup>+</sup>/D0\_1<sup>-</sup>~D14\_15<sup>+</sup>/D14\_15<sup>-</sup>)があります。オーバーフロー(OF<sup>+</sup>/OF<sup>-</sup>)とデータ出力クロック(CLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>)はそれぞれLVDS出力対を備えています。

デフォルトでは、出力は標準LVDSレベルです。すなわち、出力電流が3.5mA、出力同相電圧が1.25Vです。各LVDS出力対には外付けの100Ω差動終端抵抗が必要です。終端抵抗は、LVDSレシーバのできるだけ近くに配置してください。

出力はOV<sub>DD</sub>とOGNDから電力を供給され、A/Dのコア電源とグラウンドからは絶縁されています。LVDSモードでは、OV<sub>DD</sub>を1.8Vにする必要があります。

#### 設定可能なLVDS出力電流

LVDSモードでは、デフォルトの出力ドライバ電流は3.5mAです。この電流は、モード制御レジスタA3をシリアル・モードでプログラムすることにより調整できます。設定可能な電流レベルは、1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mAおよび4.5mAです。

#### オプションのLVDSドライバの内部終端

ほとんどの場合、100Ωの外付け終端抵抗を使用するだけでLVDSの優れた信号品質が得られます。さらに、モード制御レジスタA3をシリアル・モードでプログラムすることにより、オプションの100Ωの内部終端抵抗をイネーブルすることができます。内部終端には、レシーバ側の不完全な終端によって生じる反射を吸収する効果があります。内部終端がイネーブルされると、同じ出力電圧振幅を維持するために、出力ドライバ電流は2倍になります。

#### オーバーフロー・ビット

アナログ入力にオーバーレンジまたはアンダーレンジが生じると、オーバーフロー出力ビットはロジック“H”を出力します。オーバーフロー・ビットにはデータ・ビットと同じパイプライン待ち時間があります。

## アプリケーション情報

### 出力クロックの位相シフト

フルレートCMOSモードでは、データ出力ビットは通常CLKOUT<sup>+</sup>の立ち下がりエッジと同時に変化するので、CLKOUT<sup>+</sup>の立ち上がりエッジを使って出力データをラッチすることができます。ダブルデータレートのCMOSモードおよびLVDSモードでは、データ出力ビットは通常CLKOUT<sup>+</sup>の立ち下がりエッジおよび立ち上がりエッジと同時に変化します。データをラッチするとき適切なセットアップ時間とホールド時間を与えるには、電圧出力ビットに対してCLKOUT<sup>+</sup>信号の位相をシフトさせる必要があるかもしれません。ほとんどのFPGAはこの機能を備えており、これが一般にタイミングを調整する最良のポイントです。

LTC2162/LTC2161/LTC2160は、モード制御レジスタA2をシリアル・モードでプログラムすることにより、CLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>信号の位相をシフトすることもできます。出力クロックは0°、45°、90°または135°の単位でシフトすることができます。位相シフト機能を使うには、クロック・デューティサイクル・スタビライザをオンする必要があります。もう1つの制御レジスタ・ビットは、位相シフトとは関係なく、CLKOUT<sup>+</sup>とCLKOUT<sup>-</sup>の極性を反転させることができます。これら2つの機能を組み合わせると、45°から315°までの位相シフトが可能になります(図14)。

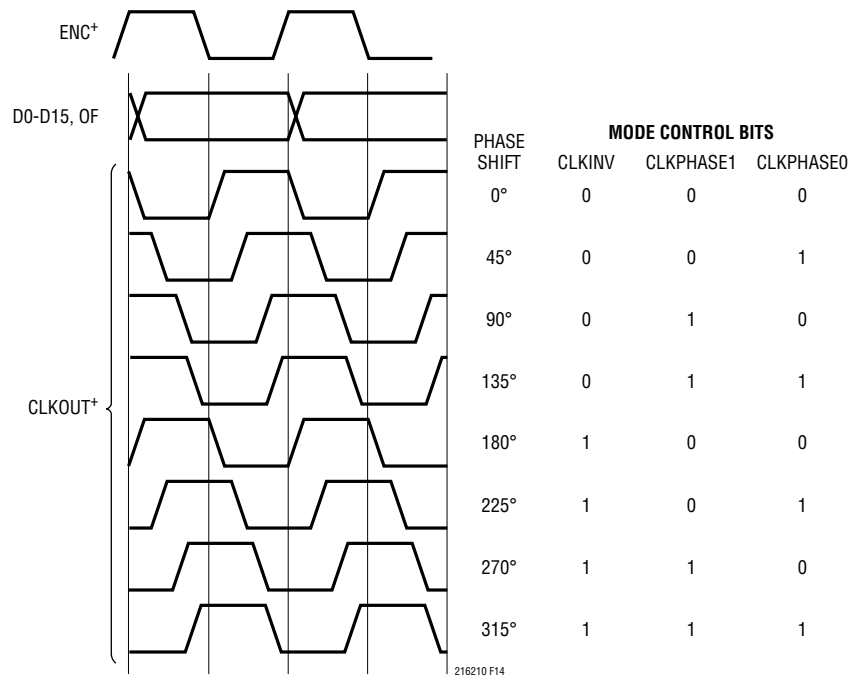


図14. CLKOUTの位相シフト

表1. 出力コードと入力電圧

$A_{IN}^+ - A_{IN}^-$ (2V範囲)	OF	D15~D0 (オフセット・バイナリ)	D15~D0 (2の補数)
>1.000000V	1	1111 1111 1111 1111	0111 1111 1111 1111
+0.999970V	0	1111 1111 1111 1111	0111 1111 1111 1111
+0.999939V	0	1111 1111 1111 1110	0111 1111 1111 1110
+0.000030V	0	1000 0000 0000 0001	0000 0000 0000 0001
+0.000000V	0	1000 0000 0000 0000	0000 0000 0000 0000
-0.000030V	0	0111 1111 1111 1111	1111 1111 1111 1111
-0.000061V	0	0111 1111 1111 1110	1111 1111 1111 1110
-0.999939V	0	0000 0000 0000 0001	1000 0000 0000 0001
-1.000000V	0	0000 0000 0000 0000	1000 0000 0000 0000
<-1.000000V	1	0000 0000 0000 0000	1000 0000 0000 0000



## アプリケーション情報

### データ形式

アナログ入力電圧、デジタル・データ出力ビット、およびオーバーフロー・ビットの相互関係を表1に示します。デフォルトでは、出力のデータ形式はオフセット・バイナリです。モード制御レジスタA4をシリアル・モードでプログラムすることにより、2の補数形式を選択することができます。

### デジタル出力ランダムマイザ

A/Dコンバータのデジタル出力からの干渉は、場合によっては避けられません。デジタル干渉は、容量性結合や誘導性結合、あるいはグラウンド・プレーンを介した結合によって発生する可能性があります。結合係数がきわめて小さい場合でも、そのためにADC出力スペクトラムに不要なトーンが発生することがあります。デジタル出力をデバイスから伝送する前にランダム化することにより、これらの不要なトーンをランダム化し、それによって不要なトーン振幅を減少させることができます。

デジタル出力は、LSBと他のすべてのデータ出力ビットとの間で排他的論理和演算を行うことによってランダム化されます。デコードするには逆の演算を行います。つまり、LSBと他のすべてのビットとの間で排他的論理和演算を行います。LSB、OF、およびCLKOUTの各出力は影響を受けません。出力ランダムマイザは、モード制御レジスタA4をシリアル・モードでプログラムすることによってイネーブルすることができます。

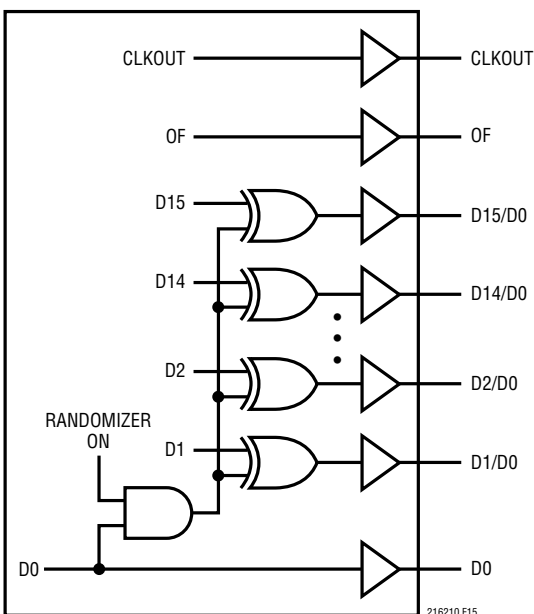


図15. デジタル出力ランダムマイザの等価機能

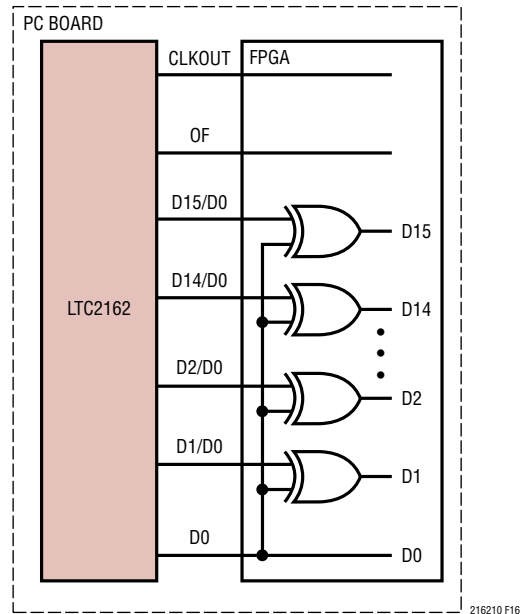


図16. ランダム化されたデジタル出力信号の復元

### 交互ビット極性

回路基板のデジタル帰還を減らすもうひとつの機能は交互ビット極性モードです。このモードがイネーブルされると、全ての奇数ビット（D1、D3、D5、D7、D9、D11、D13、D15）が出力バッファの前で反転します。偶数ビット（D0、D2、D4、D6、D8、D10、D12、D14）、OFおよびCLKOUTは影響を受けません。これにより、回路基板のグラウンド・プレーンのデジタル電流を減らし、（特に非常に小さなアナログ入力信号の場合）デジタル・ノイズを減らすことができます。

A/Dコンバータの入力にミッドスケール付近を中心にした微小信号があると、デジタル出力はほとんどのビットが1の状態とほとんどのビットが0の状態との間で切り換わります。このようにほとんどのビットが同時に切り換わると、大きな電流がグラウンド・プレーンを流れます。交互ビット極性モードでは、ビットを1つおきに反転することにより、全ビットの半数が“H”に遷移し、同時に全ビットの半数が“L”に遷移します。これにより、グラウンド・プレーンの電流が打ち消され、デジタル・ノイズが減少します。

デジタル出力は、奇数ビット（D1、D3、D5、D7、D9、D11、D13、D15）を反転させることにより、レシーバでデコードされます。交互ビット極性モードはデジタル出力ランダムマイザからは独立しています。つまり、どちらか一方の機能をオンすることも、両方の機能を同時にオンすることも、両方の機能を同時にオフすることも可能です。モード制御レジスタA4をシリアル・モードでプログラムすることにより、交互ビット極性モードがイネーブルされます。

## アプリケーション情報

### デジタル出力のテストパターン

A/D へのデジタル・インタフェースのインサーキット・テストを可能にするため、A/Dのデータ出力(OF、D15～D0)を既知の値に強制するいくつかのテスト・モードがあります。

オール1: 全ての出力が1

オール0: 全ての出力が0

交互: サンプルの出力が交互にオール1からオール0に変化する。

チェッカーボード: サンプルの出力が交互に1010101010101010から0101010101010101に変化する。

モード制御レジスタA4をシリアル・モードでプログラムすることにより、デジタル出力テストパターンをイネーブ爾することができます。テストパターンがイネーブ爾されると、他のすべての形式設定モード(2の補数、ランダムマイザ、交互ビット極性)がオーバーライドされます。

### 出力のディスエーブル

デジタル出力はモード制御レジスタA3をシリアル・モードでプログラムすることによってディスエーブルすることができます。OFおよびCLKOUTを含むすべてのデジタル出力がディスエーブルされます。高インピーダンスのディスエーブル状態は、インサーキット・テストまたは長期間の休止状態のためであり、複数のコンバータ間でデータ・バスをフルスピードで多重化するには遅すぎて使えません。出力をディスエーブルするときは、ADCをスリープ・モードまたはナップ・モードにしてください。

### スリープ・モードとナップ・モード

節電のため、A/Dコンバータをスリープ・モードまたはナップ・モードにすることができます。スリープ・モードでは、デバイス全体がパワーダウンし、消費電力は1mWになります。スリープ・モードから復帰するために必要な時間は、V<sub>REF</sub>、REFH、およびREFLのバイパス・コンデンサのサイズによって異なります。図8の推奨値の場合、A/Dコンバータは2ms後に安定化します。

ナップ・モードでは、A/Dのコアはパワーダウンしますが、内部リファレンス回路はアクティブなままなので、スリープ・モードよりも速く覚醒することができます。ナップ・モードからの復帰には、最低でも100クロック・サイクルが必要です。非常に正確なDCセトリングを要求するアプリケーションの場合、追加の50μsを与えて、A/Dがナップ・モードから移行するときの消費電流の変化によって生じるわずかな温度変化に対して内蔵リファレンスがセトリングするようにします。

スリープ・モードとナップ・モードは、モード制御レジスタA1(シリアル・プログラミング・モード)またはSDIとSDO(パラレル・プログラミング・モード)によってイネーブ爾されます。

### デバイスのプログラミング・モード

LTC2162/LTC2161/LTC2160の動作モードはパラレル・インタフェースまたはシンプルなシリアル・インタフェースのどちらでもプログラム可能です。シリアル・インタフェースは柔軟性が高く、選択可能なすべてのモードをプログラミングできます。パラレル・インタフェースには制限が多く、よく使用される一部のモードのみをプログラミングできます。

### パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、PAR/SERをV<sub>DD</sub>に接続します。CS、SCK、SDIおよびSDOの各ピンは、特定の動作モードを設定するバイナリ・ロジック入力です。これらのピンはV<sub>DD</sub>またはグラウンドに接続するか、あるいは1.8V、2.5V、または3.3VのCMOSロジックでドライブすることができます。入力として使用する場合、SDOは1kΩの直列抵抗を介してドライブします。表2に、CS、SCK、SDI、およびSDOで設定されるモードを示します。

表2. パラレル・プログラミング・モードの制御ビット(PAR/SER = V<sub>DD</sub>)

ピン	説明
CS	クロック・デューティサイクル・スタビライザ制御ビット 0 = クロック・デューティサイクル・スタビライザをオフ 1 = クロック・デューティサイクル・スタビライザをオン
SCK	デジタル出力モード制御ビット 0 = フルレートCMOS出力モード 1 = ダブルデータレートLVDS出力モード (3.5mAのLVDS電流、内部終端はオフ)
SDI/SDO	パワーダウン制御ビット 00 = 通常動作 01 = 不使用 10 = ナップモード 11 = スリープモード(デバイス全体をパワーダウン)

## アプリケーション情報

### シリアル・プログラミング・モード

シリアル・プログラミング・モードを使用するには、 $\overline{\text{PAR/SER}}$  をグラウンドに接続します。 $\overline{\text{CS}}$ 、 $\text{SCK}$ 、 $\text{SDI}$ および $\text{SDO}$ の各ピンは、A/Dコンバータのモード制御レジスタをプログラムするシリアル・インタフェースになります。データは16ビットのシリアル・ワードでレジスタに書き込まれます。データをレジスタから読み出して、レジスタの内容を検証することもできます。

シリアル・データ転送は $\overline{\text{CS}}$ が“L”になると開始されます。SDIピンのデータは、 $\text{SCK}$ の先頭から16番目までの立ち上がりエッジでラッチされます。先頭から16番目より後の $\text{SCK}$ 立ち上がりエッジは無視されます。データ転送は $\overline{\text{CS}}$ が再度“H”になると終了します。

16ビットの入力ワードの先頭ビットは $\text{R}/\overline{\text{W}}$ ビットです。次の7ビットはレジスタのアドレス(A6:A0)です。最後の8ビットはレジスタのデータ(D7:D0)です。

$\text{R}/\overline{\text{W}}$ ビットが“L”の場合、シリアル・データ(D7:D0)はアドレス・ビット(A6:A0)で設定されるレジスタに書き込まれます。 $\text{R}/\overline{\text{W}}$ ビットが“H”の場合は、アドレス・ビット(A6:A0)によって設定

されるレジスタ内のデータが $\text{SDO}$ ピンで読み出されます(タイミング図を参照)。読み出しコマンドの実行中、レジスタは更新されず、 $\text{SDI}$ のデータは無視されます。

$\text{SDO}$ ピンはオープン・ドレイン出力で、 $200\Omega$ のインピーダンスでグラウンドに引き下げられます。 $\text{SDO}$ を介してレジスタのデータを読み出す場合は、 $2k\Omega$ の外付けプルアップ抵抗が必要です。シリアル・データが書き込み専用で読み出す必要がない場合は、 $\text{SDO}$ をフロート状態のままにしておかまわらないため、プルアップ抵抗は不要です。

モード制御レジスタのマップを表3に示します。

### ソフトウェア・リセット

シリアル・プログラミングを使用する場合は、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、すべてのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットにする必要があります。ソフトウェアによるリセットを実行するには、リセット・レジスタのビットD7にロジック1を書き込みます。リセットSPI書き込みコマンドが完了した後、ビットD7は自動的に再度ゼロに設定されます。

表3. シリアル・プログラミング・モードのレジスタ・マップ( $\overline{\text{PAR/SER}} = \text{GND}$ )

レジスタ A0 : リセット・レジスタ(アドレス 00h)

D7	D6	D5	D4	D3	D2	D1	D0
RESET	X	X	X	X	X	X	X

ビット7 **RESET** ソフトウェア・リセット・ビット

0 = 不使用

1 = ソフトウェア・リセット。すべてのモード制御レジスタは00hにリセットされる。ADCは一時的にスリープ・モードになる。このビットはSPI書き込みコマンドの終了時に自動的に再度ゼロに設定される。リセット・レジスタは書き込み専用。リセット・レジスタからのデータの読み出しはランダムとなる。

ビット6~0 使用されない、ドントケア・ビット

レジスタ A1 : パワーダウン・レジスタ(アドレス 01h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	PWROFF1	PWROFF0

ビット7~2 使用されない、ドントケア・ビット

ビット1~0 **PWROFF1:PWROFF0** パワーダウン制御ビット

00 = 通常動作

01 = 不使用

10 = ナップ・モード

11 = スリープ・モード

# LTC2162/LTC2161/LTC2160

## アプリケーション情報

### レジスタA2: タイミング・レジスタ(アドレス02h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	CLKINV	CLKPHASE1	CLKPHASE0	DCS

ビット7~4 使用されない、ドントケア・ビット

ビット3 **CLKINV** 出力クロック反転ビット  
0 = 通常のCLKOUT極性(タイミング図参照)  
1 = 反転したCLKOUT極性

ビット2~1 **CLKPHASE1:CLKPHASE0** 出力クロックの位相遅延ビット  
00 = CLKOUT遅延なし(タイミング図参照)  
01 = CLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>を45°(クロック周期・1/8)だけ遅延  
10 = CLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>を90°(クロック周期・1/4)だけ遅延  
11 = CLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>を135°(クロック周期・3/8)だけ遅延  
Note: CLKOUT位相遅延機能を使う場合、クロック・デューティサイクル・スタビライザもオンする必要がある

ビット0 **DCS** クロック・デューティサイクル・スタビライザ・ビット  
0 = クロック・デューティサイクル・スタビライザをオフ  
1 = クロック・デューティサイクル・スタビライザをオン

### レジスタA3: 出力モード・レジスタ(アドレス03h)

D7	D6	D5	D4	D3	D2	D1	D0
X	ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTMODE1	OUTMODE0

ビット7 使用されない、ドントケア・ビット

ビット6~4 **ILVDS2:ILVDS0** LVDS出力電流ビット  
000 = 3.5mAのLVDS出力ドライバ電流  
001 = 4.0mAのLVDS出力ドライバ電流  
010 = 4.5mAのLVDS出力ドライバ電流  
011 = 不使用  
100 = 3.0mAのLVDS出力ドライバ電流  
101 = 2.5mAのLVDS出力ドライバ電流  
110 = 2.1mAのLVDS出力ドライバ電流  
111 = 1.75mAのLVDS出力ドライバ電流

ビット3 **TERMON** LVDS内部終端ビット  
0 = 内部終端をオフ  
1 = 内部終端をオン。LVDS出力ドライバ電流は、ILVDS2:ILVDS0で設定された電流の2倍です。

## アプリケーション情報

ビット2      **OUTOFF**      出力のディスエーブル・ビット  
 0 = デジタル出力をイネーブル  
 1 = デジタル出力をディスエーブルし、出力インピーダンスを高くする  
 Note: デジタル出力をディスエーブルする場合、デバイスもスリープ・モードまたはナップ・モードにする。

ビット1~0      **OUTMODE1:OUTMODE0**      デジタル出力モード制御ビット  
 00 = フルレート CMOS 出力モード  
 01 = ダブルデータレート LVDS 出力モード  
 10 = ダブルデータレート CMOS 出力モード  
 11 = 不使用

## レジスタ A4: データ・フォーマット・レジスタ (アドレス 04h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	OUTTEST2	OUTTEST1	OUTTEST0	ABP	RAND	TWOSCOMP

ビット7~6      使用されない、ドントケア・ビット

ビット5~3      **OUTTEST2:OUTTEST0**      デジタル出力のテストパターン・ビット  
 000 = デジタル出力のテストパターンをオフ  
 001 = すべてのデジタル出力 = 0  
 011 = すべてのデジタル出力 = 1  
 101 = 格子縞出力パターン。OF、D15~D0 は 1 0101 0101 0101 0101 と 0 1010 1010 1010 1010 を交互に出力。  
 111 = 交互出力パターン。OF、D15~D0 は 0 0000 0000 0000 0000 と 1 1111 1111 1111 1111 を交互に出力。  
 Note: 他のビットの組み合わせは使用されない。

ビット2      **ABP**      交互ビット極性モード制御ビット  
 0 = 交互ビット極性モードをオフ  
 1 = 交互ビット極性モードをオン。出力形式をオフセット・バイナリに強制する。

ビット1      **RAND**      データ出力ランダムマイザ・モード制御ビット  
 0 = データ出力ランダムマイザ・モードをオフにする  
 1 = データ出力ランダムマイザ・モードをオンにする

ビット0      **TWOSCOMP**      2の補数モード制御ビット  
 0 = オフセット・バイナリのデータ形式  
 1 = 2の補数のデータ形式

## アプリケーション情報

### 接地とバイパス

LTC2162/LTC2161/LTC2160は、ADCの下の第一層に切れ目のないクリーンなグランド・プレーンを備えたプリント回路基板を必要とします。内部グランド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、ADCの下に配置したりしないように注意してください。

V<sub>DD</sub>、OV<sub>DD</sub>、V<sub>CM</sub>、V<sub>REF</sub>、REFH、REFLの各ピンには、高品質のセラミック・バイパス・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。0402サイズのセラミック・コンデンサを推奨します。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くする必要があります。

特に重要なのは、REFHとREFLの間に配置するコンデンサです。このコンデンサは、A/Dコンバータと同じ側の回路基板上で、できるだけデバイスの近くに配置します。

アナログ入力、エンコード信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに分離するためのバリアとして、グランド領域とグランド・ビアを使用します。

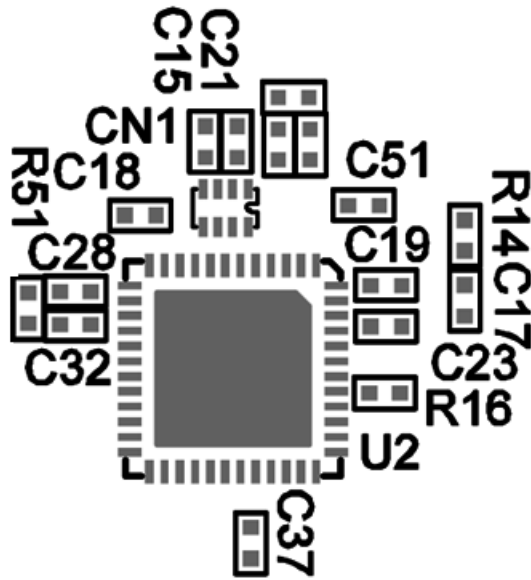
### 熱伝達

LTC2162/LTC2161/LTC2160が発生する熱の大部分はダイから底面の露出パッドとパッケージのピンを通してプリント回路基板に伝わります。優れた電気的性能と熱性能を得るには、プリント回路基板上にある大きな接地パッドに露出パッドを半田付けする必要があります。このパッドは、多数のビアで内部のグランド・プレーンに接続します。

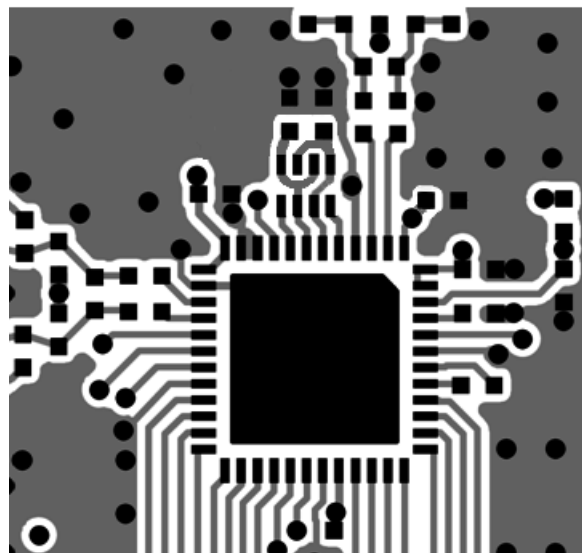


標準的応用例

部品面シルク

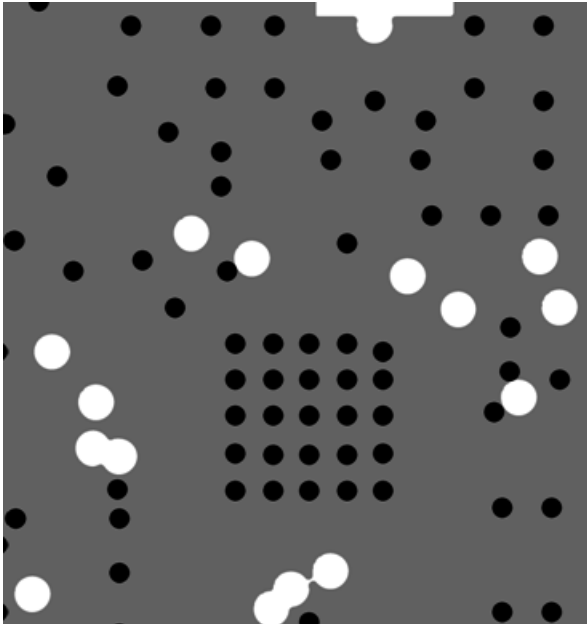


上面

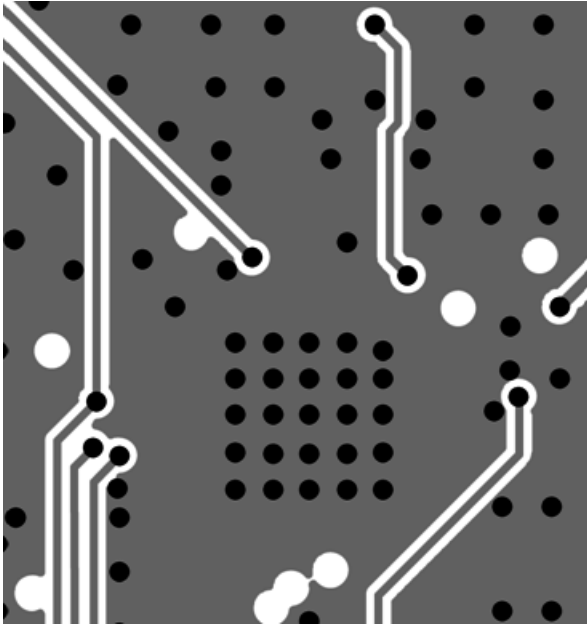


標準的応用例

中間層2



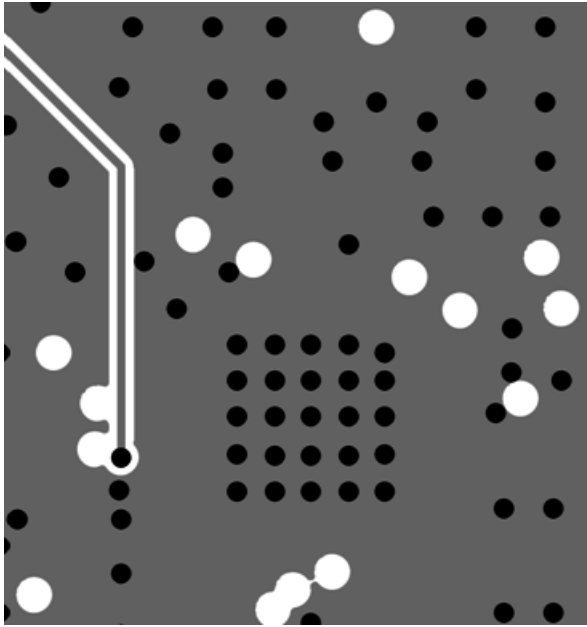
中間層3



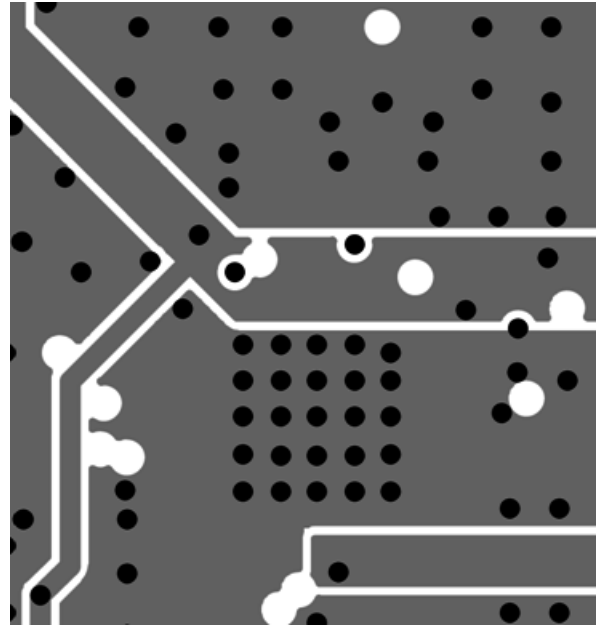


標準的応用例

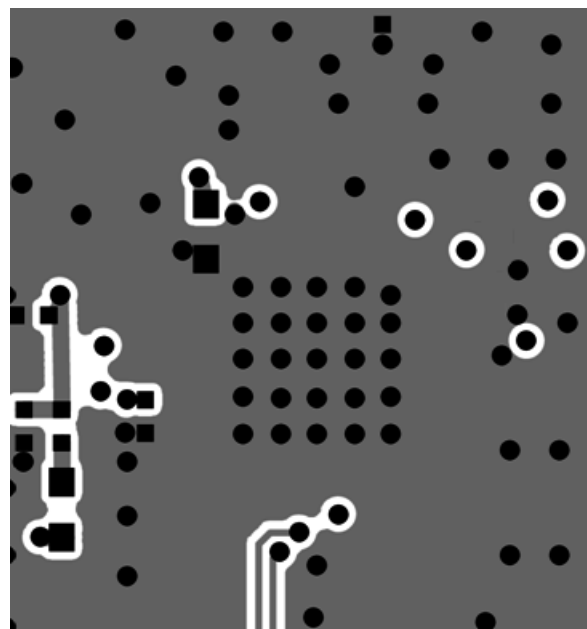
中間層4



中間層5

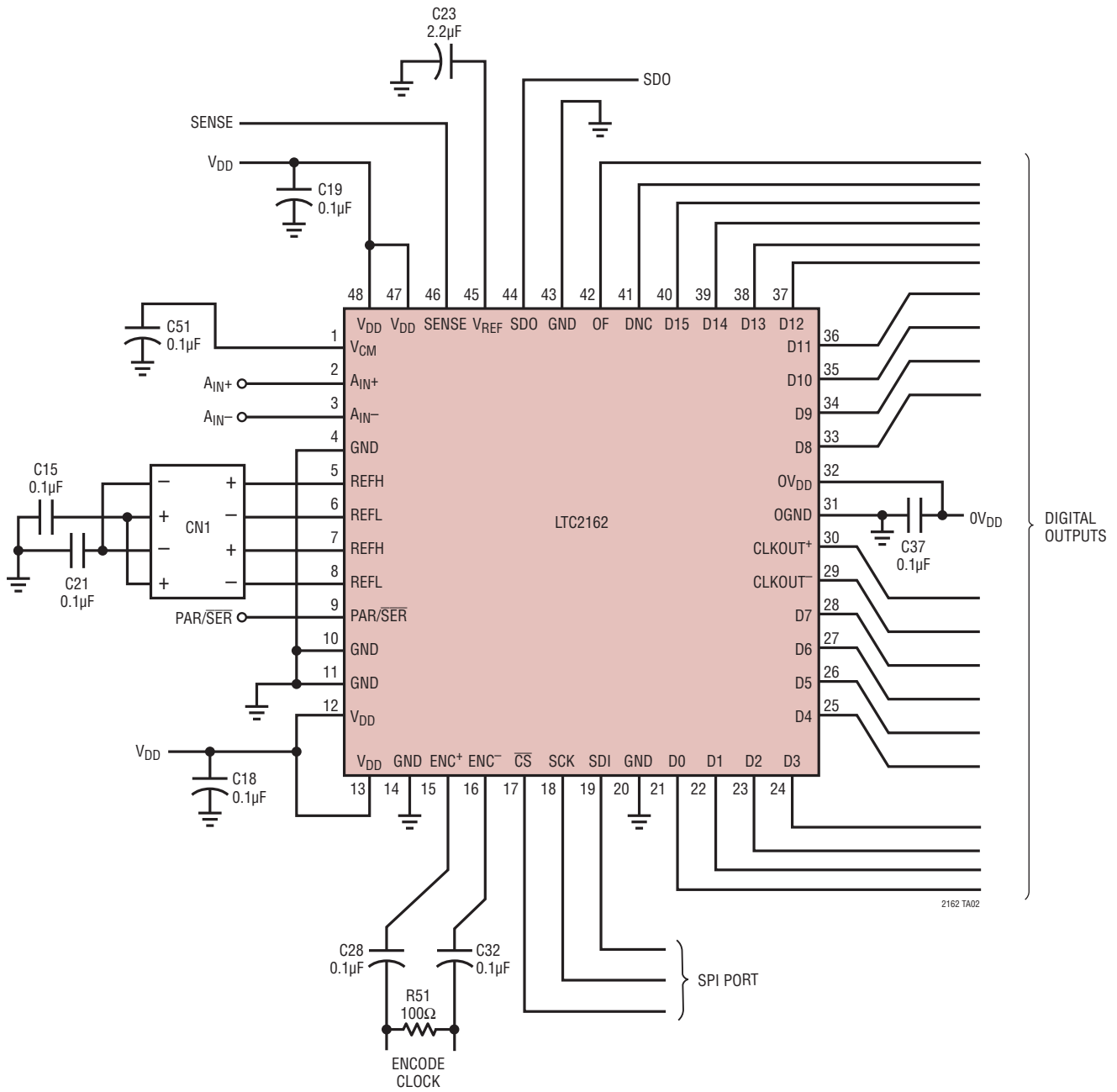


底面



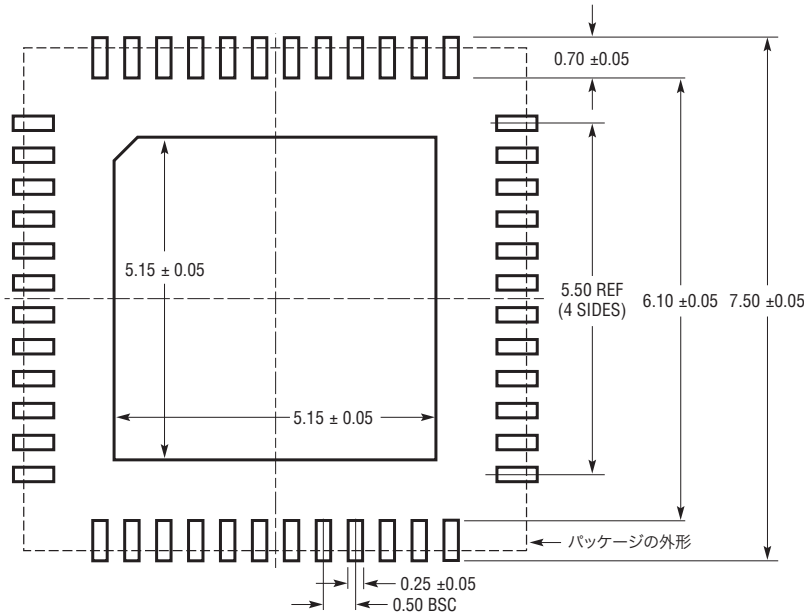
# LTC2162/LTC2161/LTC2160

## 標準的応用例

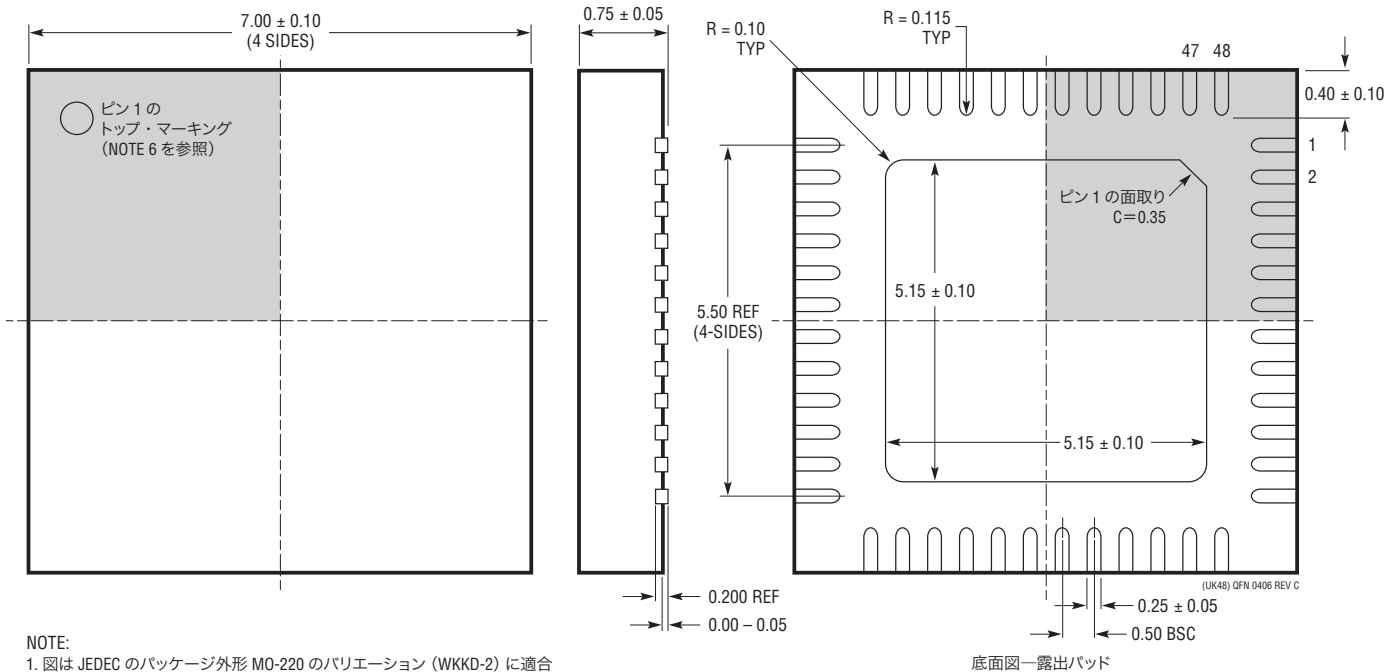


## パッケージ寸法

### UK パッケージ 48ピン・プラスチック QFN (7mm×7mm) (Reference LTC DWG # 05-08-1704 Rev C)



推奨する半田パッドのピッチと寸法  
半田付けされない領域には半田マスクを使用する

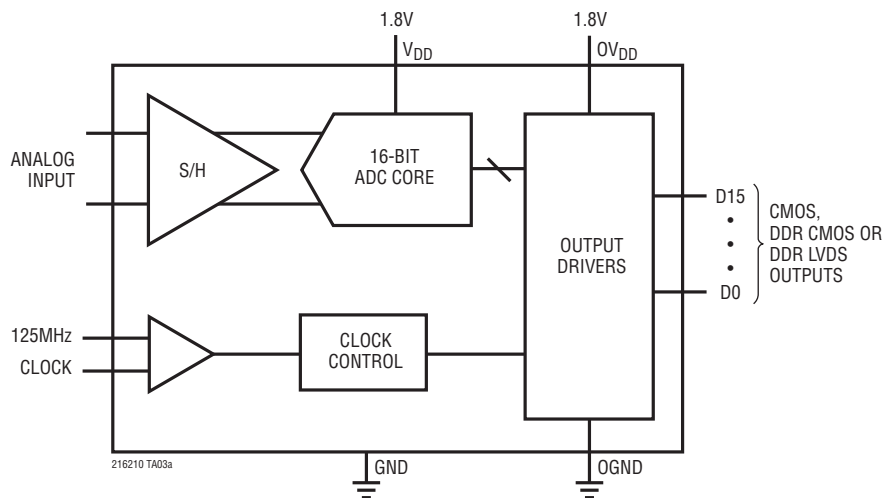


#### NOTE:

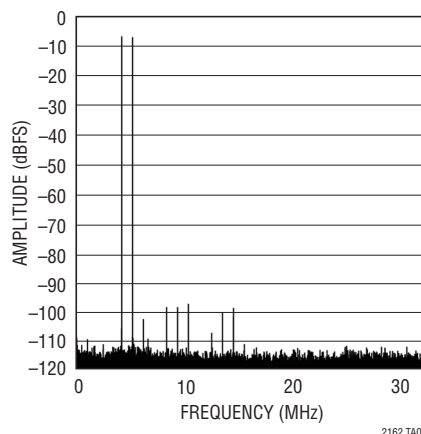
1. 図は JEDEC のパッケージ外形 MO-220 のバリエーション (WKKD-2) に適合
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない  
モールドのバリは (もしあれば) 各サイドで 0.20mm を超えないこと
5. 露出パッドは半田メッキとする
6. 灰色の部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

# LTC2162/LTC2161/LTC2160

## 標準的応用例



2 トーン FFT、 $f_{IN} = 70\text{MHz}$  および  $69\text{MHz}$



## 関連製品

製品番号	説明	注釈
<b>ADC</b>		
LTC2259-14/LTC2260-14/ LTC2261-14	14ビット、80Msps/105Msps/125Msps、 超低消費電力1.8V ADC	89mW/106mW/127mW、SNR:73.4dB、SFDR:85dB、 DDR LVDS/DDR CMOS/CMOS出力、6mm×6mm QFN-40
LTC2262-14	14ビット、150Msps 超低消費電力1.8V ADC	149mW、SNR:72.8dB、SFDR:88dB、DDR LVDS/DDR CMOS/CMOS出力、6mm×6mm QFN-40
LTC2266-14/LTC2267-14/ LTC2268-14	14ビット、80Msps/105Msps/125Msps、 超低消費電力1.8V デュアル ADC	216mW/250mW/293mW、SNR:73.4dB、SFDR:85dB、 シリアルLVDS出力、6mm×6mm QFN-40
LTC2266-12/LTC2267-12/ LTC2268-12	12ビット、80Msps/105Msps/125Msps、 超低消費電力1.8V デュアル ADC	216mW/250mW/293mW、SNR:70.5dB、SFDR:85dB、 シリアルLVDS出力、6mm×6mm QFN-40
LTC2208	16ビット、130Msps、3.3V ADC	1250mW、SNR:77.7dB、SFDR:100dB、CMOSまたはLVDS出力、 9mm×9mm QFN-64
LTC2207/LTC2206	16ビット、105Msps/80Msps、3.3V ADC	900mW/725mW、SNR:77.9dB、SFDR:100dB、CMOS出力、 7mm×7mm QFN-48
LTC2217/LTC2216	16ビット、105Msps/80Msps、3.3V ADC	1190mW/970mW、SNR:81.2dB、SFDR:100dB、CMOSまたは LVDS出力、9mm×9mm QFN-64
<b>RF ミキサ/復調器</b>		
LTC5517	40MHz～900MHz 直接変換直交復調器	高いIIP3:800MHzで21dBm、LO直交ジェネレータ内蔵
LTC5527	400MHz～3.7GHz 高直線性 ダウンコンバーティング・ミキサ	IIP3:900MHzで24.5dBm、3.5GHzで23.5dBm、NF:12.5dB、 50ΩシングルエンドのRFポートとLOポート
LTC5557	400MHz～3.8GHz 高直線性 ダウンコンバーティング・ミキサ	IIP3:2.6GHzで23.7dBm、3.5GHzで23.5dBm、NF=13.2dB、 3.3V電源動作、トランス内蔵
LTC5575	800MHz～2.7GHz 直接変換直交復調器	高いIIP3:900MHzで28dBm、LO直交ジェネレータ内蔵、 RFおよびLOトランス内蔵
<b>アンプ/フィルタ</b>		
LTC6412	800MHz、31dBレンジ、 アナログ制御可変利得アンプ	連続調整可能な利得制御、240MHzでのOIP3:35dBm、 ノイズフィギュア:10dB、4mm×4mm QFN-24
LTC6420-20	300MHzのIF向け1.8GHz、低ノイズ、低歪み、 デュアル差動ADCドライバ	固定利得:10V/V、全入力ノイズ:1nV/√Hz、アンプ当たりの電源 電流:80mA、3mm×4mm QFN-20
LTC6421-20	1.3GHz、低ノイズ、低歪み、 デュアル差動ADCドライバ	固定利得:10V/V、全入力ノイズ:1nV/√Hz、アンプ当たりの電源 電流:40mA、3mm×4mm QFN-20
LTC6605-7/LTC6605-10/ LTC6605-14	ADCドライバ付きの整合したデュアル 7MHz/10MHz/14MHz フィルタ	差動ドライバ付きの整合した2個の2次ローパス・フィルタ、 ピンでプログラム可能な利得、6mm×3mm DFN-22
<b>シグナルチェーン・レシーバ</b>		
LTM9002	14ビット・デュアル・チャンネルIF/ベースバンド・ レシーバ・サブシステム	高速ADC、パッシブ・フィルタ、および固定利得差動アンプを内蔵

216210f