デュアル14ビット310Msps ADC

特長

- SNR：68.8dBFS
- SFDR：88dB
- 低消費電力：724mW（合計）
- 単一1.8V電源
- DDR LVDS出力
- ドライブが容易な1.32V_{P-P}の入力範囲
- 1.25GHzのフルパワー帯域幅サンプル/ホールド
- オプションのクロック・デューティサイクル・スタビライザ
- 低消費電力のスリープ・モードとナップ・モード
- 設定用シリアルSPIポート
- 12ビット・バージョンとピン互換
- 64ピン（9mm×9mm）QFNパッケージ

アプリケーション

- 通信
- セルラ基地局
- ソフトウェア無線
- 医療用画像処理
- 高精細ビデオ
- テストおよび測定機器

概要

LTC®2158-14は、広いダイナミック・レンジの高周波数信号をデジタル化する、2チャネル同時サンプリング310Msps 14ビットA/Dコンバータです。SNRが68.8dB、SFDRが88dBと優れたAC性能を備えているため、要求の厳しい通信アプリケーションに最適です。1.25GHzの入力帯域幅により、優れた性能を維持しながら高周波数をアンダーサンプリングできます。待ち時間はわずか6クロック・サイクルです。

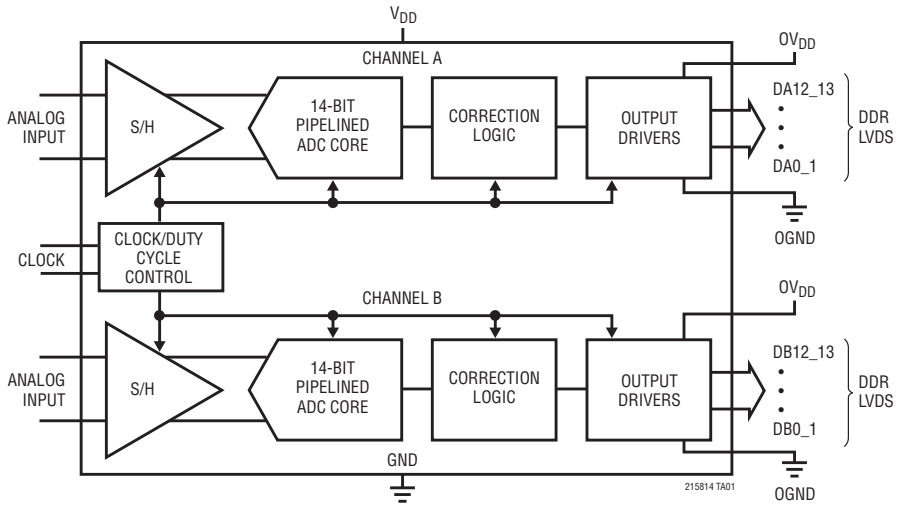
DC仕様では、±1.2LSB（標準）のINL、±0.35LSB（標準）のDNL、全温度範囲でミッシング・コードがないことが規定されています。遷移ノイズは2.11LSB_{RMS}です。

デジタル出力は、ダブルデータレート（DDR）LVDSです。

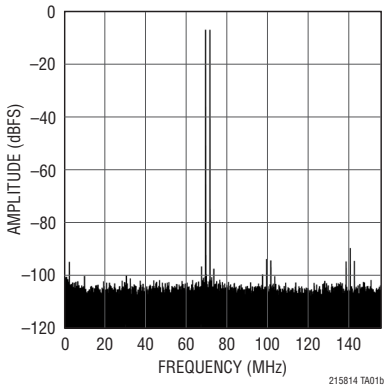
ENC^+およびENC^-入力は、正弦波、PECL、LVDS、TTLまたはCMOSの入力信号を使って差動でドライブ可能です。また、オプションのクロック・デューティサイクル・スタビライザにより、広範なクロック・デューティサイクルで、フルスピードでの高い性能を達成できます。

、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴは、リニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



LTC2158-14の32Kポイントの2トーンFFT、f_{IN}＝71MHzおよび69MHz、310Msps



絶対最大定格

(Note 1、2)

電源電圧
- V_{DD}、OV_{DD} ..... –0.3V～2V

アナログ入力電圧
- $A_{INA/B}^{+}$、$A_{INA/B}^{-}$、PAR/$\overline{SER}$、SENSE (Note 3) ..... –0.3V～(V_{DD}＋0.2V)

デジタル入力電圧
- ENC^{+}、ENC^{-} (Note 3) ..... –0.3V～(V_{DD}＋0.3V)
- $\overline{CS}$、SDI、SCK (Note 4) ..... –0.3V～3.9V

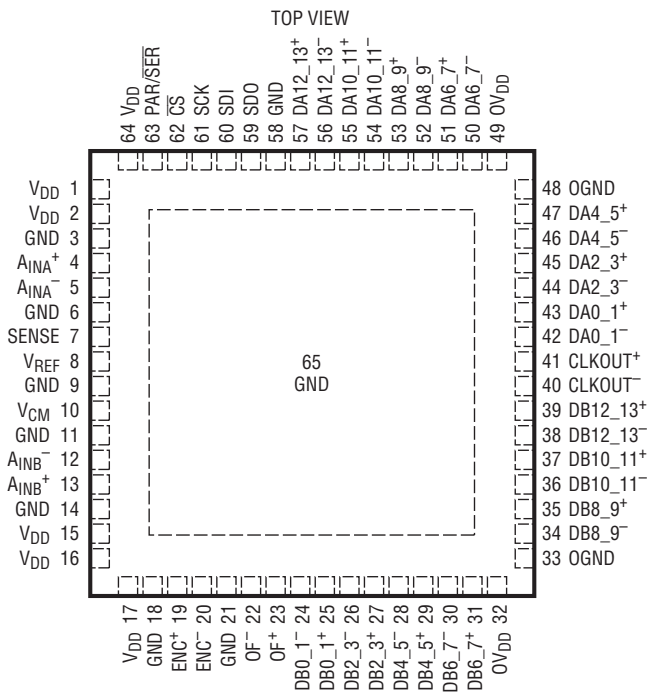
SDO (Note 4) ..... –0.3V～3.9V

デジタル出力電圧 ..... –0.3V～(OV_{DD}＋0.3V)

動作温度範囲
- LTC2158C ..... 0°C～70°C
- LTC2158I ..... –40°C～85°C

保存温度範囲 ..... –65°C～150°C

ピン配置



UP PACKAGE
64-LEAD (9mm × 9mm) PLASTIC QFN

T_{JMAX} = 150°C, θ_{JA} = 27.4°C/W
EXPOSED PAD (PIN 65) IS GND, MUST BE SOLDERED TO PCB

発注情報

無鉛仕上げ	テープアンドリール	製品マーキング *	パッケージ	温度範囲
LTC2158CUP-14#PBF	LTC2158CUP-14#TRPBF	LTC2158UP-14	64-Lead (9mm × 9mm) Plastic QFN	0°C to 70°C
LTC2158IUP-14#PBF	LTC2158IUP-14#TRPBF	LTC2158UP-14	64-Lead (9mm × 9mm) Plastic QFN	–40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、Web サイト http://www.linear-tech.co.jp/leadfree/ をご覧ください。
テープアンドリールの仕様の詳細については、http://www.linear-tech.co.jp/tapeandreel/ をご覧ください。

コンバータ特性

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値（Note 5）。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)		●	14			Bits
Integral Linearity Error	Differential Analog Input (Note 6)	●	–7.5	±1.2	7.5	LSB
Differential Linearity Error	Differential Analog Input	●	–1	±0.35	1	LSB
Offset Error	(Note 7)	●	–15	±5	15	mV
Gain Error	Internal Reference External Reference	 ●	 –4.5	±1.5 ±1	 3	%FS %FS
Offset Drift				±20		μV/°C
Full-Scale Drift	Internal Reference External Reference			±30 ±10		ppm/°C ppm/°C
Transition Noise				2.11		LSB_{RMS}

アナログ入力

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値（Note 5）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range ($A_{IN}^+ – A_{IN}^–$)	1.74V < V_{DD} < 1.9V	●		1.32		V_{P-P}
$V_{IN(CM)}$	Analog Input Common Mode ($A_{IN}^+ + A_{IN}^–$)/2	Differential Analog Input (Note 8)	●	V_{CM} – 20mV	V_{CM}	V_{CM} + 20mV	V
V_{SENSE}	External Voltage Reference Applied to SENSE	External Reference Mode	●	1.230	1.250	1.270	V
I_{IN1}	Analog Input Leakage Current	0 < A_{IN}^+, $A_{IN}^–$ < V_{DD}, No Encode	●	–1		1	μA
I_{IN2}	PAR/$\overline{SER}$ Input Leakage Current	0 < PAR/$\overline{SER}$ < V_{DD}	●	–1		1	μA
I_{IN3}	SENSE Input Leakage Current	1.23V < SENSE < 1.27V	●	–1		1	μA
t_{AP}	Sample-and-Hold Acquisition Delay Time				1		ns
t_{JITTER}	Sample-and-Hold Acquisition Delay Jitter				0.15		ps_{RMS}
CMRR	Analog Input Common Mode Rejection Ratio				75		dB
BW-3B	Full-Power Bandwidth				1250		MHz

ダイナミック精度

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値。A_{IN} = –1dBFS。（Note 5）

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
SNR	Signal-to-Noise Ratio	15MHz Input 70MHz Input 140MHz Input	 ●	 66	68.8 68.4 67.7		dBFS dBFS dBFS
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic	15MHz Input 70MHz Input 140MHz Input	 ●	 70	88 85 79		dBFS dBFS dBFS
	Spurious Free Dynamic Range 4th Harmonic or Higher	15MHz Input 70MHz Input 140MHz Input	 ●	 80	98 95 90		dBFS dBFS dBFS
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	15MHz Input 70MHz Input 140MHz Input	 ●	 65	68.7 68.4 67.2		dBFS dBFS dBFS
Crosstalk	Crosstalk Between Channels	Up to 315MHz Input			–95		dB

内部リファレンスの特性

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値（Note 5）。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{CM} Output Voltage	I_{OUT} = 0		0.435 • V_{DD} – 18mV	0.435 • V_{DD}	0.435 • V_{DD} + 18mV	V
V_{CM} Output Temperature Drift				±37		ppm/°C
V_{CM} Output Resistance	–1mA < I_{OUT} < 1mA			4		Ω
V_{REF} Output Voltage	I_{OUT} = 0		1.225	1.250	1.275	V
V_{REF} Output Temperature Drift				±30		ppm/°C
V_{REF} Output Resistance	–400µA < I_{OUT} < 1mA			7		Ω
V_{REF} Line Regulation	1.74V < V_{DD} < 1.9V			0.6		mV/V

電源要件

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値（Note 5）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{DD}	Analog Supply Voltage	(Note 9)	●	1.74	1.8	1.9	V
OV_{DD}	Output Supply Voltage	(Note 9)	●	1.74	1.8	1.9	V
I_{VDD}	Analog Supply Current		●		355	395	mA
I_{OVDD}	Digital Supply Current	1.75mA LVDS Mode 3.5mA LVDS Mode	● ●		47 77	55 90	mA mA
P_{DISS}	Power Dissipation	1.75mA LVDS Mode 3.5mA LVDS Mode	● ●		724 777	810 873	mW mW
P_{SLEEP}	Sleep Mode Power	Clock Disabled Clocked at $f_{S(MAX)}$			<5 <5		mW mW
P_{NAP}	Nap Mode Power	Clocked at $f_{S(MAX)}$			202		mW

デジタル入力とデジタル出力

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値（Note 5）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
エンコード入力（ENC^+、ENC^-）							
V_{ID}	Differential Input Voltage	(Note 8)	●	0.2			V
V_{ICM}	Common Mode Input Voltage	Internally Set Externally Set (Note 8)	 ●	 1.1	1.2	 1.5	V V
R_{IN}	Input Resistance	(See Figure 2)			10		kΩ
C_{IN}	Input Capacitance	(Note 8)			2		pF
デジタル入力（$\overline{CS}$、SDI、SCK）							
V_{IH}	High Level Input Voltage	V_{DD} = 1.8V	●	1.3			V
V_{IL}	Low Level Input Voltage	V_{DD} = 1.8V	●			0.6	V
I_{IN}	Input Current	V_{IN} = 0V to 3.6V	●	–10		10	µA
C_{IN}	Input Capacitance	(Note 8)			3		pF
SDO 出力（オープン・ドレイン出力。SDO を使用する場合は 2k のプルアップ抵抗が必要）							
R_{OL}	Logic Low Output Resistance to GND	V_{DD} = 1.8V, SDO = 0V			200		Ω
I_{OH}	Logic High Output Leakage Current	SDO = 0V to 3.6V	●	–10		10	µA
C_{OUT}	Output Capacitance	(Note 8)			4		pF

デジタル入力とデジタル出力

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値（Note 5）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
デジタル・データ出力							
V_{OD}	Differential Output Voltage	100Ω Differential Load, 3.5mA Mode 100Ω Differential Load, 1.75mA Mode	● ●	247 125	350 175	454 250	mV mV
V_{OS}	Common Mode Output Voltage	100Ω Differential Load, 3.5mA Mode 100Ω Differential Load, 1.75mA Mode	● ●	1.125 1.125	1.250 1.250	1.375 1.375	V V
R_{TERM}	On-Chip Termination Resistance	Termination Enabled, OV_{DD} = 1.8V			100		Ω

タイミング特性

● は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値（Note 5）。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
f_S	Sampling Frequency	(Note 9)	●	10		310	MHz
t_L	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off Duty Cycle Stabilizer On	● ●	1.5 1.2	1.61 1.61	50 50	ns ns
t_H	ENC High Time (Note 8)	Duty Cycle Stabilizer Off Duty Cycle Stabilizer On	● ●	1.5 1.2	1.61 1.61	50 50	ns ns
デジタル・データ出力							
t_D	ENC to Data Delay	C_L = 5pF (Note 8)	●	1.7	2	2.3	ns
t_C	ENC to CLKOUT Delay	C_L = 5pF (Note 8)	●	1.3	1.6	2	ns
t_{SKEW}	DATA to CLKOUT Skew	$t_D - t_C$ (Note 8)	●	0.3	0.4	0.55	ns
	Pipeline Latency			6		6	Cycles
SPIポートのタイミング（Note 8）							
t_{SCK}	SCK Period	Write Mode Readback Mode C_{SDO}= 20pF, R_{PULLUP} = 2k	● ●	40 250			ns ns
t_S	$\overline{CS}$ to SCK Set-Up Time		●	5			ns
t_H	SCK to $\overline{CS}$ Hold Time		●	5			ns
t_{DS}	SDI Set-Up Time		●	5			ns
t_{DH}	SDI Hold Time		●	5			ns
t_{DO}	SCK Falling to SDO Valid	Readback Mode, C_{SDO} = 20pF, R_{PULLUP} = 2k	●			125	ns

Note 1：絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2：すべての電圧値は（注記がない限り）GNDとOGNDを短絡した状態のGNDを基準にしている。

Note 3：これらのピンの電圧をGNDより低くするか、V_{DD}より高くすると、内部のダイオードによってクランプされる。この製品は、GNDより低いか、またはV_{DD}より高い電圧でラッチアップを生じることなしに100mAを超える入力電流を処理することができる。

Note 4：これらのピンの電圧をGNDより低くすると、内部のダイオードによってクランプされる。これらのピンの電圧をV_{DD}より高くすると、その電圧は内部のダイオードによってクランプされない。この製品は、GNDより低い電圧で、ラッチアップを生じることなく100mAを超える入力電流を処理することができる。

Note 5：注記がない限り、V_{DD} = OV_{DD} = 1.8V、f_{SAMPLE} = 310MHz、差動ENC^+/ENC^- = $2V_{P-P}$の正弦波、入力範囲＝差動ドライブで$1.32V_{P-P}$。

Note 6：積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

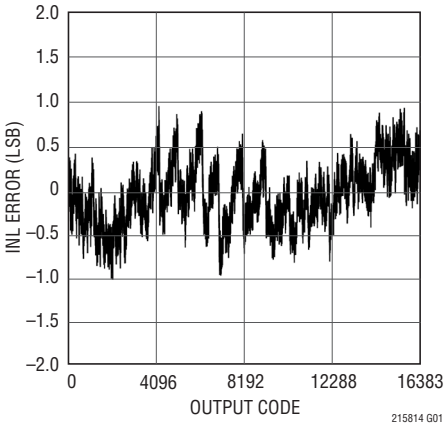
Note 7：オフセット誤差は、2の補数出力モードで出力コードが00 0000 0000 0000と11 1111 1111 1111の間を行ったり来たりするとき、-0.5LSBから測定したオフセット電圧である。

Note 8：設計によって保証されているが、テストされない。

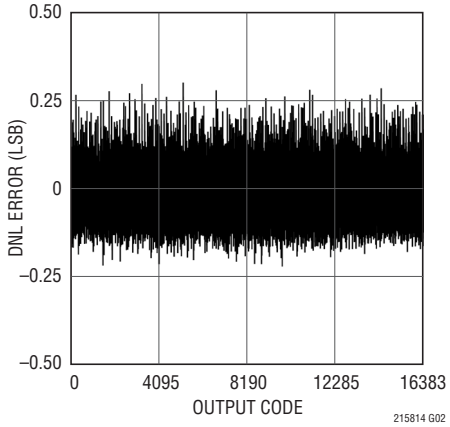
Note 9：推奨動作条件。

標準的性能特性

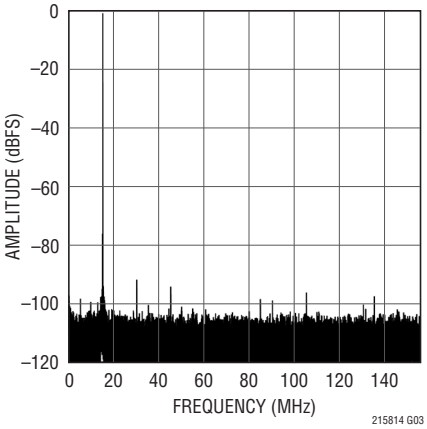
LTC2158-14：積分非直線性（INL）



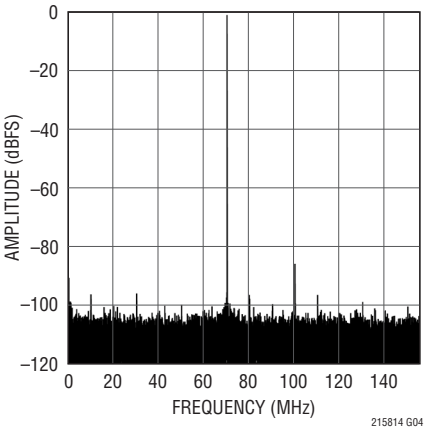
LTC2158-14：微分非直線性（DNL）



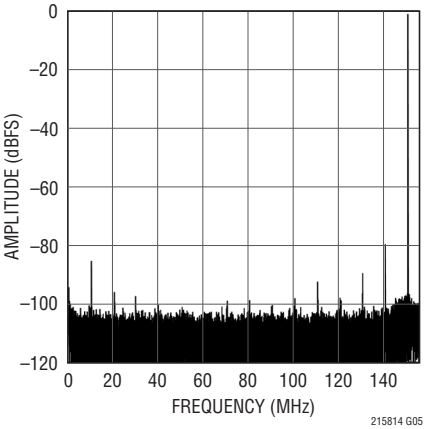
LTC2158-14：32Kポイントの FFT、f_{IN} = 15MHz、–1dBFS、310Msps



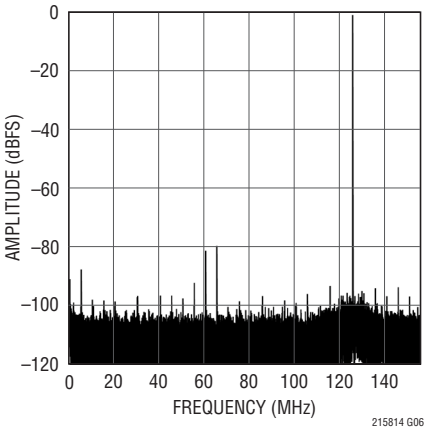
LTC2158-14：32Kポイントの FFT、f_{IN} = 70MHz、–1dBFS、310Msps



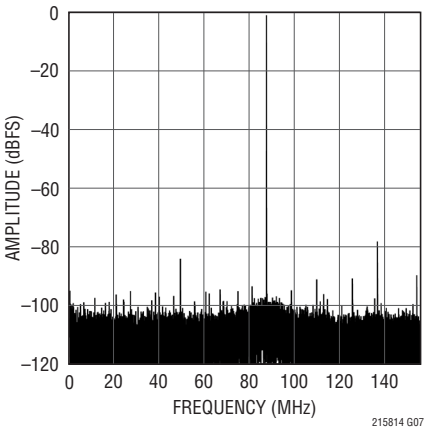
LTC2158-14：32Kポイントの FFT、f_{IN} = 150MHz、–1dBFS、310Msps



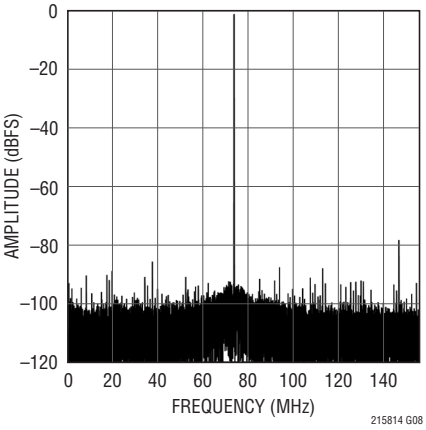
LTC2158-14：32Kポイントの FFT、f_{IN} = 185MHz、–1dBFS、310Msps



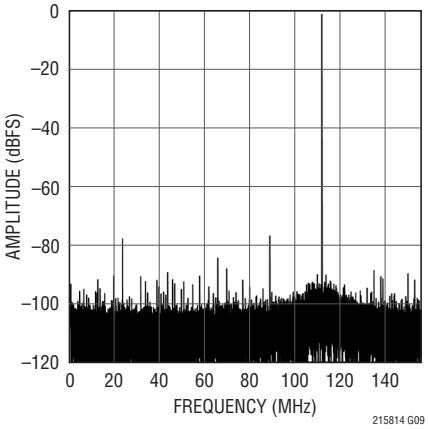
LTC2158-14：32Kポイントの FFT、f_{IN} = 223MHz、–1dBFS、310Msps



LTC2158-14：32Kポイントの FFT、f_{IN} = 383MHz、–1dBFS、310Msps

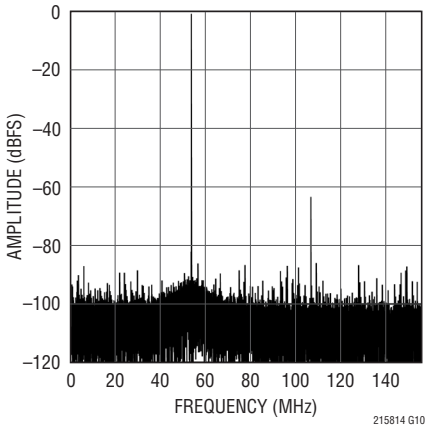


LTC2158-14：32Kポイントの FFT、f_{IN} = 421MHz、–1dBFS、310Msps

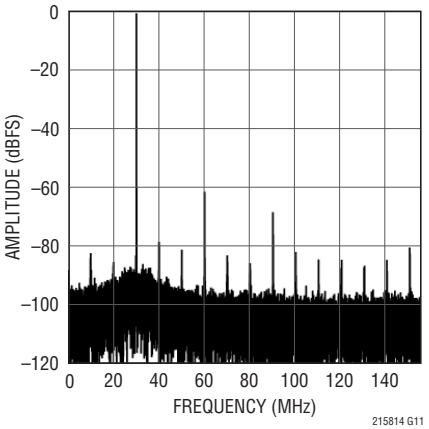


標準的性能特性

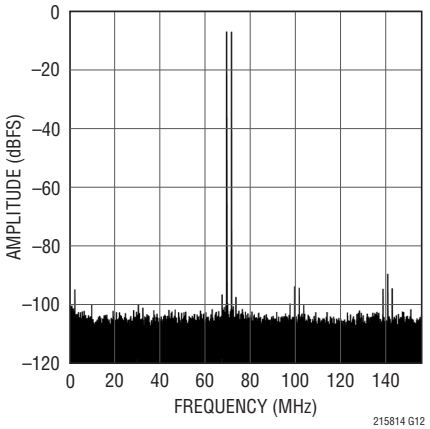
LTC2158-14：32Kポイントの FFT、f_{IN} ＝567MHz、–1dBFS、310Msps



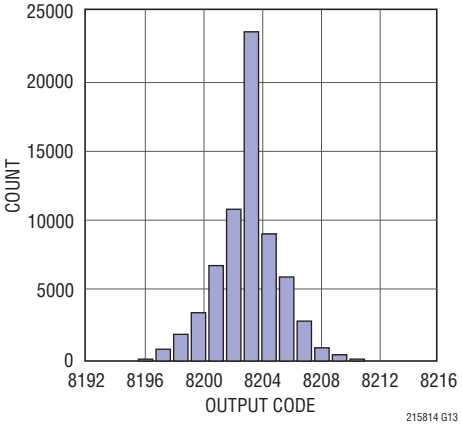
LTC2158-14：32Kポイントの FFT、f_{IN} ＝907MHz、–1dBFS、310Msps



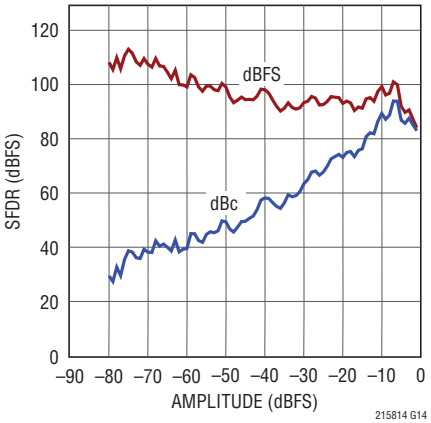
LTC2158-14：32Kポイントの 2トーン FFT、f_{IN} ＝71MHzおよび 69MHz、310Msps



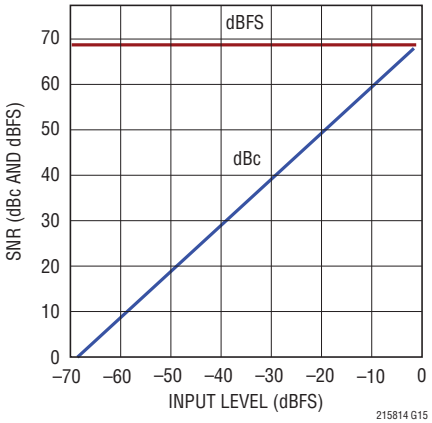
LTC2158-14：短絡入力のヒストグラム



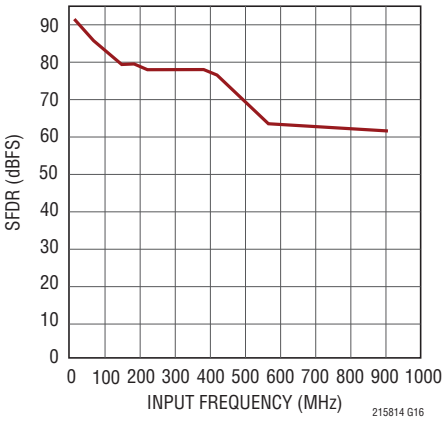
LTC2158-14：SFDRと入力レベル、f_{IN} ＝70MHz、1.32Vの範囲、310Msps



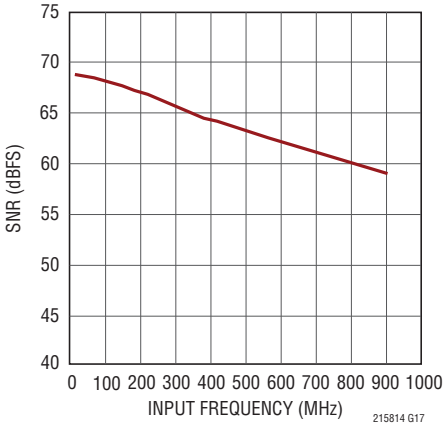
LTC2158-14：SNRと入力レベル、f_{IN} ＝70MHz、1.32Vの範囲、310Msps



LTC2158-14：SFDRと入力周波数、–1dBFS、1.32Vの範囲、310Msps

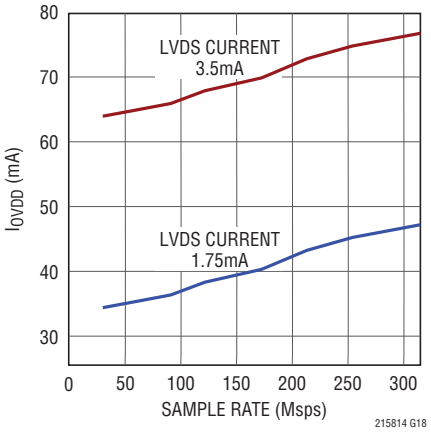


LTC2158-14：SNRと入力周波数、–1dBFS、1.32Vの範囲、310Msps

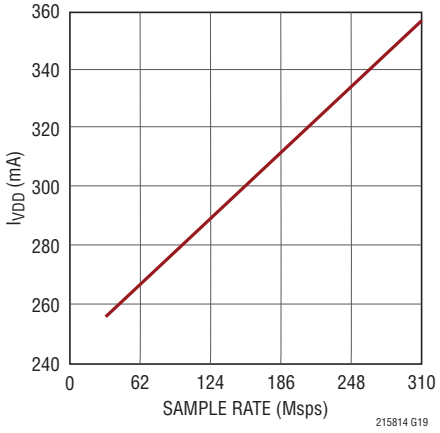


標準的性能特性

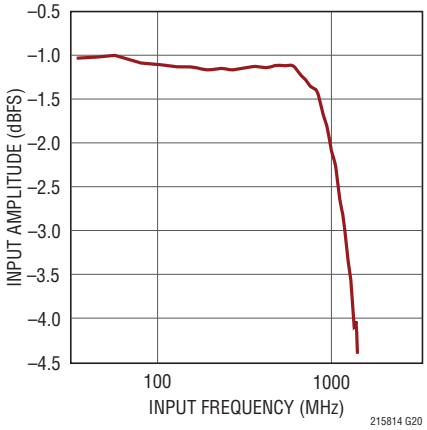
LTC2158-14：I_{OVDD}とサンプル・レート、15MHz、正弦波入力、-1dBFS



LTC2158-14：I_{VDD}とサンプル・レート、15MHz、正弦波入力、-1dBFS



LTC2158-14：周波数応答



ピン機能

V_{DD}（ピン1、2、15、16、17、64）：1.8Vアナログ電源。0.1μFのセラミック・コンデンサを使用してグランドにバイパスします。ピン1、2、64はバイパス・コンデンサを共有することができます。ピン15、16、17はバイパス・コンデンサを共有することができます。

GND（ピン3、6、9、11、14、18、21、58、背面パッド・ピン65）：ADCの電源グランド。背面パッドはプリント回路基板のグランドに半田付けする必要があります。

A_{INA}^{+}（ピン4）：チャネルAの正側差動アナログ入力。

A_{INA}^{-}（ピン5）：チャネルAの負側差動アナログ入力。

SENSE（ピン7）：リファレンスのプログラミング・ピン。SENSEをV_{DD}に接続すると、内部リファレンスと±0.66Vの入力範囲が選択されます。外部の1.25Vリファレンスを SENSEに印加すれば、同じ入力電圧範囲を実現できます。

V_{REF}（ピン8）：リファレンス電圧出力。2.2μFのセラミック・コンデンサを使ってグランドにバイパスします。公称1.25Vです。

V_{CM}（ピン10）：公称で0.435・V_{DD}に等しい同相バイアス出力。V_{CM}はアナログ入力の同相レベルをバイアスするのに使用します。0.1μFのセラミック・コンデンサを使ってグランドにバイパスします。

A_{INB}^{-}（ピン12）：チャネルBの負側差動アナログ入力。

A_{INB}^{+}（ピン13）：チャネルBの正側差動アナログ入力。

ENC^{+}（ピン19）：エンコード入力。立ち上がりエッジで変換が開始されます。

ENC^{-}（ピン20）：エンコード相補入力。立ち下がりエッジで変換が開始されます。

OGND（ピン33、48）：出力ドライバのグランド。

OV_{DD}（ピン32、49）：出力ドライバの1.8V電源。個別に0.1μFのセラミック・コンデンサを使用して、各ピンをグランドにバイパスします。

SDO（ピン59）：シリアル・インタフェースのデータ出力。シリアル・プログラミング・モード（PAR/$\overline{SER}$ = 0V）では、SDOはオプションのシリアル・インタフェースのデータ出力です。SDOのデータは、モード制御レジスタから読み出してSCKの立ち下がりエッジでラッチすることができます。SDOはオープンドレインのNチャネルMOSFET出力で、2kの外付けプルアップ抵抗を1.8V～3.3Vに接続する必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要であり、SDOは未接続のままでかまいません。

ピン機能

SDI（ピン60）：シリアル・インタフェースのデータ入力。シリアル・プログラミング・モード（PAR/$\overline{SER}$ = 0V）では、SDIはシリアル・インタフェースのデータ入力です。SDIのデータは、SCKの立ち上がりエッジで同期してモード制御レジスタに入ります。パラレル・プログラミング・モード（PAR/$\overline{SER}$ = V_{DD}）では、SDIは3.5mAまたは1.75mAのLVDS出力電流を選択します（表2を参照）。SDIは1.8V～3.3Vのロジックでドライブすることができます。

SCK（ピン61）：シリアル・インタフェースのクロック入力。シリアル・プログラミング・モード（PAR/$\overline{SER}$ = 0V）では、SCKはシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モード（PAR/$\overline{SER}$ = V_{DD}）では、SCKを使ってデバイスを低消費電力のスリープ・モードにすることができます（表2を参照）。SCKは1.8V～3.3Vのロジックでドライブすることができます。

$\overline{CS}$（ピン62）：シリアル・インタフェースのチップ・セレクト入力。シリアル・プログラミング・モード（PAR/$\overline{SER}$ = 0V）では、$\overline{CS}$はシリアル・インタフェースのチップ選択入力です。$\overline{CS}$が“L”のとき、SCKはイネーブルされ、SDIのデータはモード制御レジスタにシフトします。パラレル・プログラミング・モード（PAR/$\overline{SER}$ = V_{DD}）では、$\overline{CS}$はクロック・デューティサイクル・スタビライザを制御します（表2を参照）。$\overline{CS}$は、1.8V～3.3Vのロジックでドライブできます。

PAR/$\overline{SER}$（ピン63）：プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグランドに接続します。この場合、$\overline{CS}$、SCK、SDI、SDOは、A/Dコンバータの動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブルするにはV_{DD}に接続します。この場合、$\overline{CS}$、SCK、SDIは、A/Dコンバータの（種類が限定された）動作モードを制御するパラレル・ロジック入力になります。PAR/$\overline{SER}$はグランドまたはデバイスのV_{DD}に直接接続し、ロジック信号ではドライブしません。

LVDS出力

以下のピンは差動LVDS出力です。出力電流レベルは設定可能です。各LVDS出力対の間にはオプションの内部100Ω終端抵抗があります。

OF^-/OF^+（ピン22/23）：オーバーフロー/アンダーフローのデジタル出力。オーバーフローやアンダーフローが生じると、OF^+は”H”になります。チャネルAとチャネルBのオーバーフローは一緒に多重化されます。

$D_{B0_1}^-$/$D_{B0_1}^+$～$D_{B12_13}^-$/$D_{B12_13}^+$（ピン24/25、26/27、28/29、30/31、34/35、36/37、38/39）：チャネルBのダブルデータレート・デジタル出力。2つのデータ・ビットが各差動出力対に多重化されます。$CLKOUT^+$が”L”のときは、偶数データ・ビット（DB0、DB2、DB4、DB6、DB8、DB10、DB12）が現れます。$CLKOUT^+$が”H”のときは、奇数データ・ビット（DB1、DB3、DB5、DB7、DB9、DB11、DB13）が現れます。

$CLKOUT^-$/$CLKOUT^+$（ピン40/41）：データ出力クロック。デジタル出力は、通常、$CLKOUT^+$の立ち下がりエッジおよび立ち上がりエッジと同時に遷移します。$CLKOUT^+$の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

$D_{A0_1}^-$/$D_{A0_1}^+$～$D_{A12_13}^-$/$D_{A12_13}^+$（ピン42/43、44/45、46/47、50/51、52/53、54/55、56/57）：チャネルAのダブルデータレート・デジタル出力。2つのデータ・ビットが各差動出力対に多重化されます。$CLKOUT^+$が”L”のときは、偶数データ・ビット（DA0、DA2、DA4、DA6、DA8、DA10、DA12）が現れます。$CLKOUT^+$が”H”のときは、奇数データ・ビット（DA1、DA3、DA5、DA7、DA9、DA11、DA13）が現れます。

機能ブロック図

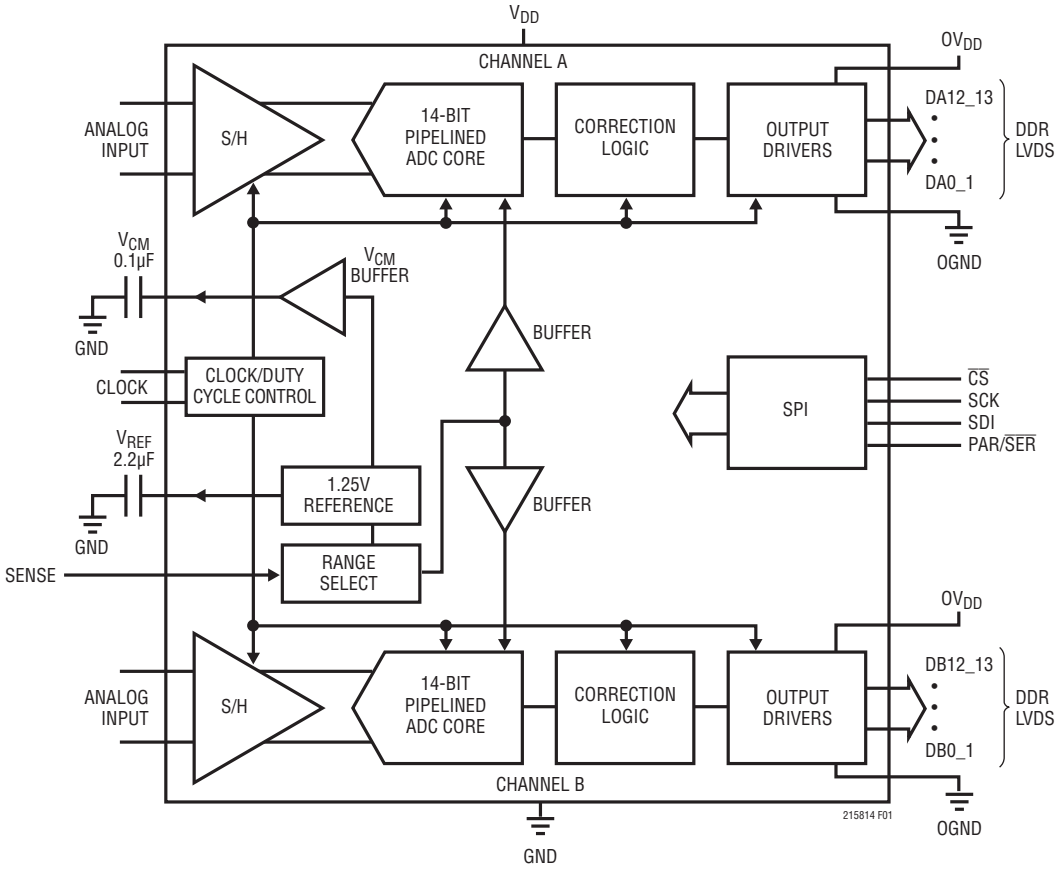
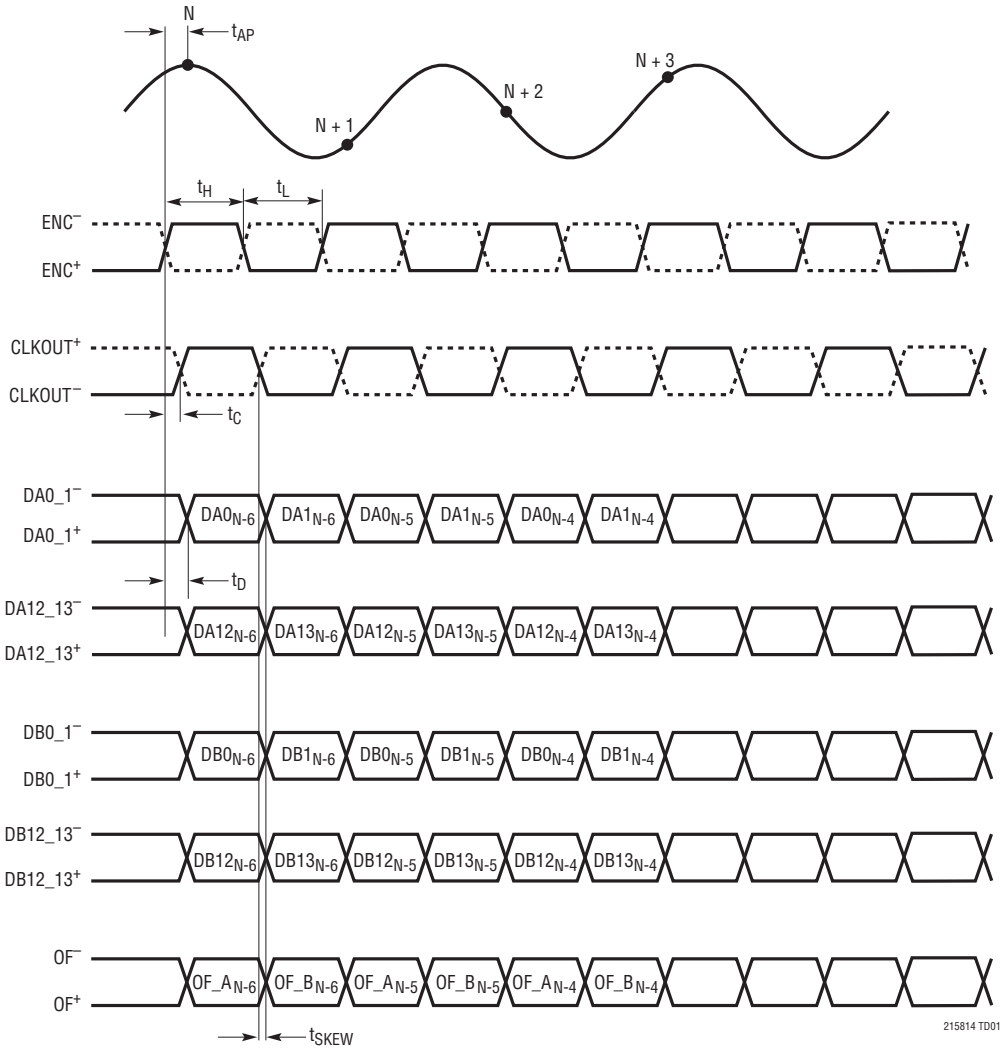


図1. 機能ブロック図

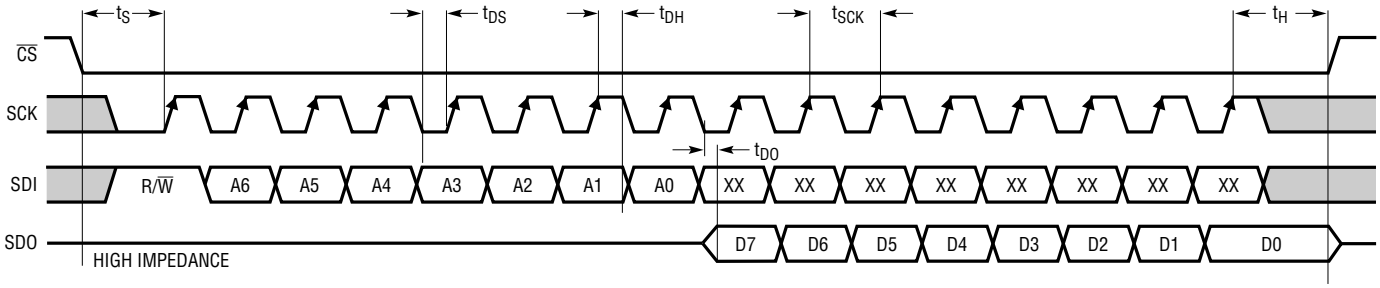
タイミング図

ダブルデータレート出力のタイミング、すべての出力が差動LVDS

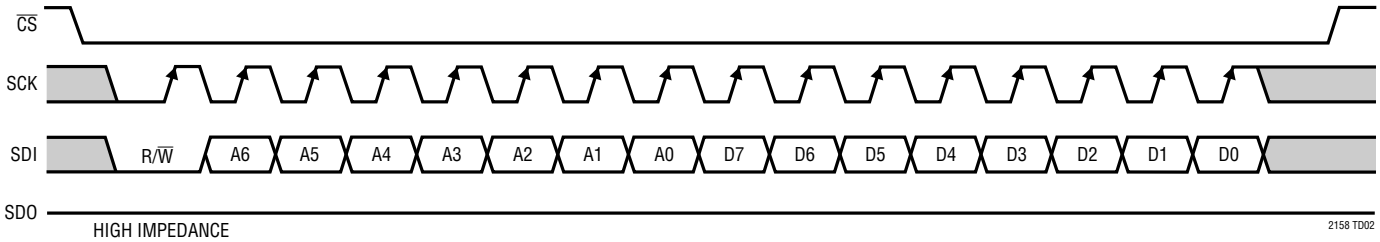


タイミング図

SPIポートのタイミング(Readback Mode)



SPIポートのタイミング(Write Mode)



アプリケーション情報

コンバータの動作

LTC2158-14は、1.8V単一電源で動作する310Mspsの2チャネル、14ビットA/Dコンバータです。アナログ入力は差動でドライブする必要があります。最適性能を得るため、エンコード入力は差動でドライブします。デジタル出力はダブルデータレートLVDSです。シリアルSPIポートを介してモード制御レジスタをプログラムすることにより、追加機能を選択することができます。

アナログ入力

アナログ入力は差動CMOSサンプル・ホールド回路です(図2)。入力は、V_{CM}出力ピンによって設定された同相電圧(公称0.435 • V_{DD})を基準にして、差動でドライブする必要があります。1.32Vの入力範囲の場合は、入力をV_{CM}－0.33VからV_{CM}＋0.33Vまで振幅させます。入力間には180°の位相差を持たせます。

2つのチャネルは、共有エンコード回路によって同時にサンプルされます。

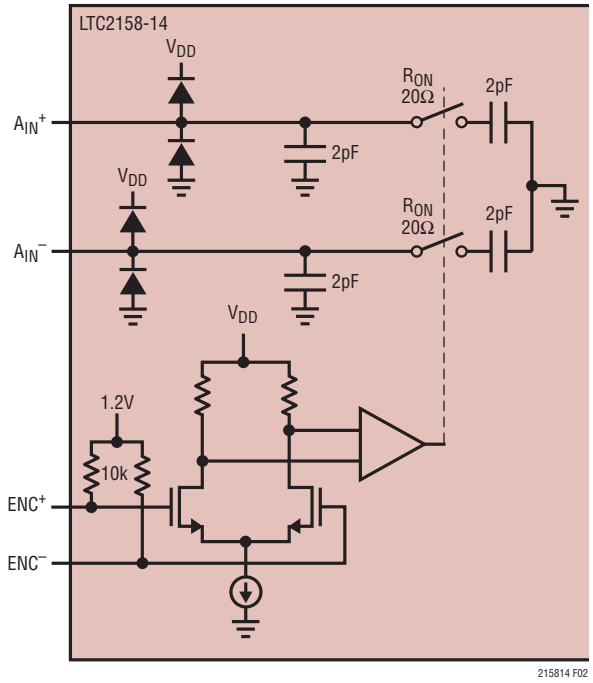


図2. 等価入力回路。2つのアナログ・チャネルのうち1つのみを示す。

入力ドライブ回路

入力フィルタリング

可能であれば、アナログ入力にRCローパス・フィルタを接続します。このローパス・フィルタはA/Dコンバータのサンプル・ホールドのスイッチングからドライブ回路を分離し、ドライブ回路の広帯域ノイズも制限します。入力RCフィルタの一例を図3に示します。RC部品の値はアプリケーションの特定の入力周波数に基づいて選択します。

トランス結合回路

V_{CM}ピンを介して一対の抵抗によって与えられる同相電圧を持つRFトランスによってドライブされるアナログ入力を図3に示します。

入力周波数が高いときは、伝送ラインのバラン・トランス(図4と図5)のバランスが良くなるので、A/D変換の歪みが小さくなります。

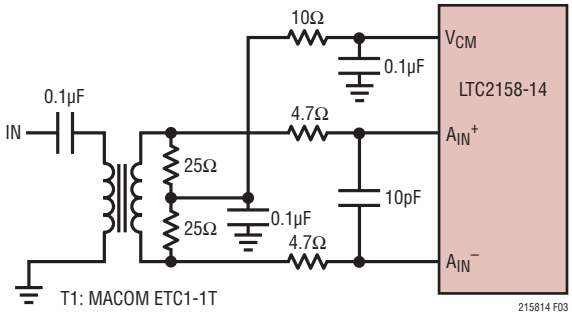


図3. トランスを使用したアナログ入力回路。入力周波数が5MHz～70MHzの場合に推奨

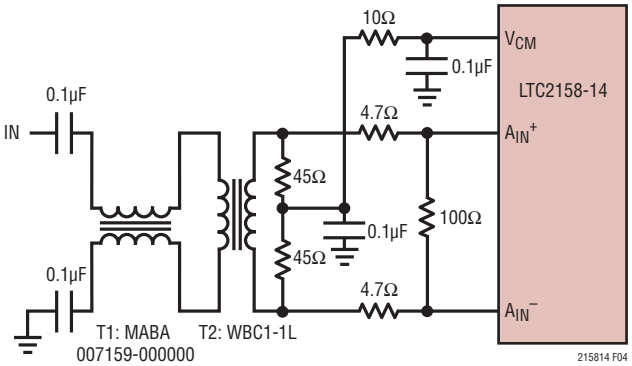


図4. 入力周波数が15MHz～150MHzの場合の推奨フロントエンド回路

アプリケーション情報

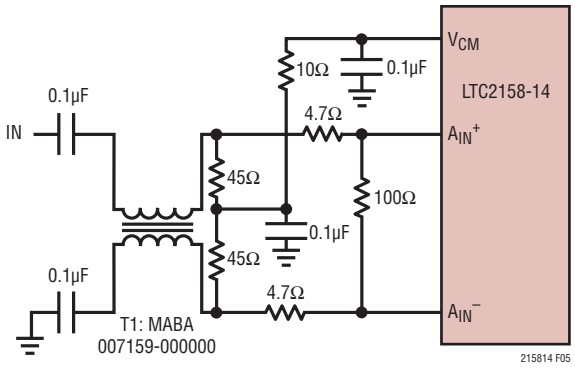


図5. 150MHz～900MHzの入力周波数用の推奨フロントエンド回路

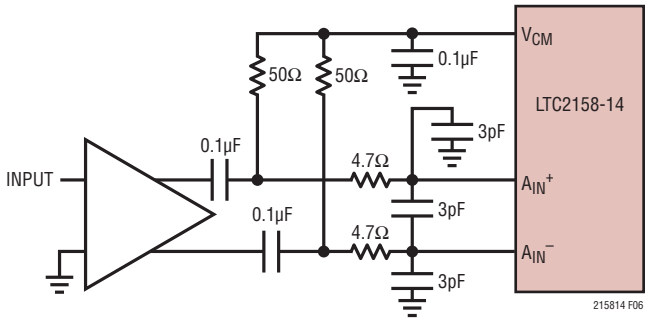


図6. 高速差動アンプを使ったフロントエンド回路

アンプ回路

高速差動アンプによってドライブされるアナログ入力を図6に示します。アンプの出力はA/DコンバータにAC結合されているので、アンプの出力の同相電圧を最適に設定して歪みを最小限に抑えることができます。

非常に高い周波数では、多くの場合、RF利得ブロックの方が差動アンプよりも歪みが小さくなります。利得ブロックがシングルエンドである場合は、A/Dコンバータをドライブする前にトランス回路（図3と図5）で信号を差動に変換します。A/Dコンバータをシングルエンドでドライブすることはできません。

リファレンス

LTC2158-14は1.25Vの電圧リファレンスを内蔵しています。内部リファレンスを使った1.32Vの入力範囲の場合は、SENSEをV_{DD}に接続します。外部リファレンスを使った1.32Vの入力範囲の場合は、1.25VのリファレンスSENSEに加えます（図7）。

エンコード入力

エンコード入力の信号品質は、A/Dコンバータのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。回路基板上ではエンコード入力をデジタル・トレースの隣に配線しないでください。

エンコード入力は内部で10kの等価抵抗を介して1.2Vにバイアスされています（図8）。ドライバの同相電圧が1.1V～1.5Vの範囲内であれば、エンコード入力を直接ドライブすることが可能です。そうでない場合は、トランスまたはカップリング・コンデンサが必要です（図9および図10）。入力信号の最大（ピーク）電圧は決してV_{DD}＋0.1Vを超えないように、または–0.1Vより低くならないようにします。

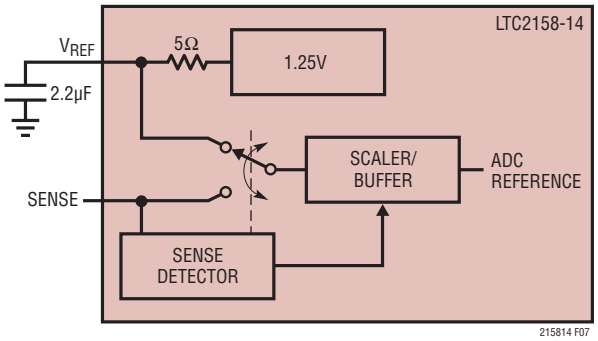


図7. リファレンス回路

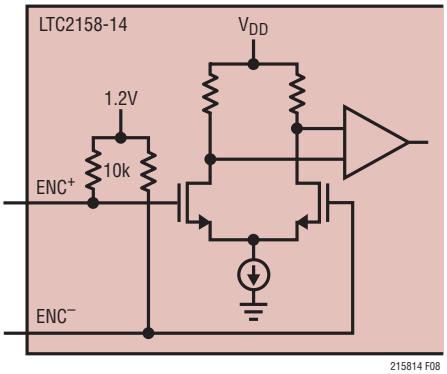


図8. 等価エンコード入力回路

アプリケーション情報

クロック・デューティサイクル・スタビライザ

良好な性能を得るために、エンコード信号のデューティサイクルは50%(±5%)にします。オプションのクロック・デューティサイクル・スタビライザ回路がイネーブルされていると、エンコードのデューティサイクルは30%～70%の間で変化することができ、デューティサイクル・スタビライザは内部のデューティサイクルを一定の50%に保ちます。デューティサイクル・スタビライザは、SPIレジスタA2(表3を参照)によって、またはパラレル・プログラミング・モードでは$\overline{CS}$によってイネーブルされます。

サンプル・レートを迅速に変更する必要のあるアプリケーションでは、クロック・デューティサイクル・スタビライザをディスエーブルすることができます。この場合は、クロックのデューティサイクルが50%(±5%)になるように注意してください。

デジタル出力

デジタル出力はダブルデータレートLVDS信号です。2つのデータ・ビットが各差動出力対に多重化されて出力されます。チャネルAには7つのLVDS出力対(DA0_1$^+$/DA0_1$^-$～DA12_13$^-$/DA12_13$^+$)があり、チャネルBには7つのLVDS出力対(DB0_1$^+$/DB0_1$^-$～DB12_13$^-$/DB12_13$^+$)があります。オーバーフロー(OF$^+$/OF$^-$)およびデータ出力クロック(CLKOUT$^+$/CLKOUT$^-$)には、それぞれLVDS出力対があります。両チャネルのオーバーフローは、OF$^+$/OF$^-$出力対に多重化されることに注意してください。

デフォルトでは、出力は標準LVDSレベルです。つまり、出力電流が3.5mA、出力同相電圧が1.25Vです。各LVDS出力対には外付けの100Ω差動終端抵抗が必要です。終端抵抗は、LVDSレシーバのできるだけ近くに配置してください。

出力はOV_{DD}とOGNDから電力を供給されており、A/Dコアの電源とグランドからは分離されています。

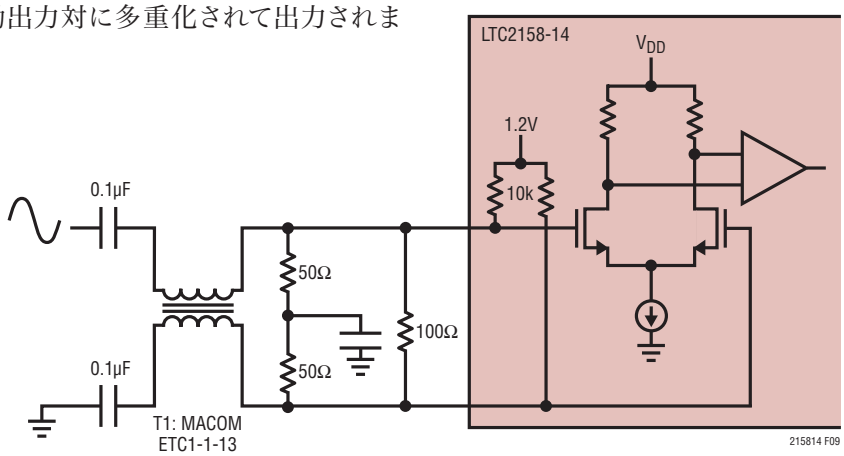


図9. 正弦波によるエンコード入力のドライブ

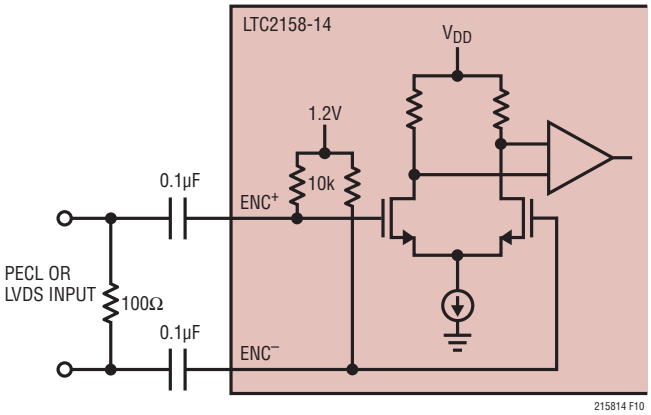


図10. PECLまたはLVDSによるエンコード入力のドライブ

アプリケーション情報

設定可能なLVDS出力電流

デフォルトの出力ドライバ電流は3.5mAです。この電流は、モード制御レジスタA3を連続的にプログラムすることにより調整できます（表3を参照）。設定可能な電流レベルは、1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mAおよび4.5mAです。

オプションのLVDSドライバの内部終端

ほとんどの場合、100Ωの外付け終端抵抗を使用するだけでLVDSの優れた信号品質が得られます。さらに、モード制御レジスタA3を連続的にプログラムすることにより、オプションの100Ω内部終端抵抗をイネーブルすることができます。内部終端には、レシーバ側の不完全な終端によって生じる反射を吸収する効果があります。内部終端がイネーブルされると、同じ出力電圧振幅を維持するために、出力ドライバ電流は2倍になります。

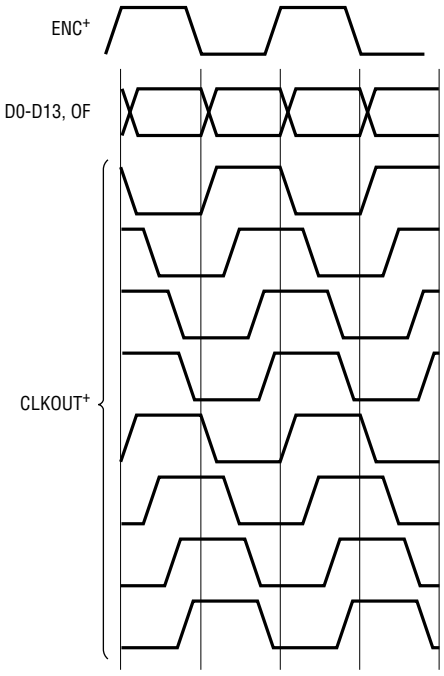
オーバーフロー・ビット

アナログ入力にオーバーレンジまたはアンダーレンジが生じると、オーバーフロー出力ビット（OF）はロジック“H”を出力します。オーバーフロー・ビットにはデータ・ビットと同じパイプライン待ち時間があります。OF出力はダブルデータレートです。CLKOUT$^+$が"L"のときは、チャネルAのオーバーフローを利用できます。CLKOUT$^+$が"H"のときは、チャネルBのオーバーフローを利用できます。

出力クロックの位相シフト

出力データをラッチするとき適切なセットアップ時間とホールド時間を与えるには、データ出力ビットに対してCLKOUT$^+$信号の位相をシフトさせることが必要な場合があります。ほとんどのFPGAはこの機能を備えており、これが一般にタイミングを調整する最良のポイントです。

あるいは、A/Dコンバータはモード制御レジスタA2を連続的にプログラムすることにより、CLKOUT$^+$/CLKOUT$^-$信号の位相をシフトすることもできます。出力クロックは0°、45°、90°または135°の単位でシフトすることができます。位相シフト機能を使うには、クロック・デューティサイクル・スタビライザをオンする必要があります。もう1つの制御レジスタ・ビットは、位相シフトとは関係なく、CLKOUT$^+$とCLKOUT$^-$の極性を反転させることができます。これら2つの機能を組み合わせると、45°から315°までの位相シフトが可能になります（図11）。



PHASE SHIFT	MODE CONTROL BITS CLKINV	CLKPHASE1	CLKPHASE0
0°	0	0	0
45°	0	0	1
90°	0	1	0
135°	0	1	1
180°	1	0	0
225°	1	0	1
270°	1	1	0
315°	1	1	1

図11. CLKOUTの位相シフト

アプリケーション情報

データ形式

アナログ入力電圧、デジタル・データ出力ビット、およびオーバーフロー・ビットの相互関係を表1に示します。デフォルトでは、出力のデータ形式はオフセット・バイナリです。モード制御レジスタA4を連続的にプログラムすることにより、2の補数形式を選択することができます。

表1. 出力コードと入力電圧

$A_{IN}^{+} - A_{IN}^{-}$ (1.32V範囲)	OF	D13～D0 (オフセット・バイナリ)	D13～D0 (2の補数)
>0.66V	1	11 1111 1111 1111	01 1111 1111 1111
+0.66V	0	11 1111 1111 1111	01 1111 1111 1111
+0.6599194V	0	11 1111 1111 1110	01 1111 1111 1110
+0.0000806V	0	10 0000 0000 0001	00 0000 0000 0001
+0.000000V	0	10 0000 0000 0000	00 0000 0000 0000
–0.0000806V	0	01 1111 1111 1111	11 1111 1111 1111
–0.0001611V	0	01 1111 1111 1110	11 1111 1111 1110
–0.6599194V	0	00 0000 0000 0001	10 0000 0000 0001
–0.66V	0	00 0000 0000 0000	10 0000 0000 0000
< –0.66V	1	00 0000 0000 0000	10 0000 0000 0000

デジタル出力ランダマイザ

A/Dコンバータのデジタル出力からの干渉は、場合によっては避けられません。デジタルの干渉は、容量性や誘導性の結合またはグランド・プレーンを介した結合から生じる可能性があります。結合係数がきわめて小さい場合でも、A/Dコンバータの出力スペクトルに不要なトーンが発生することがあります。デジタル出力をデバイスから伝送する前にランダム化することにより、これらの不要なトーンをランダム化し、それによって不要なトーン振幅を減少させることができます。

デジタル出力は、LSBと他のすべてのデータ出力ビットとの間で排他的論理和演算を行うことによってランダム化されます。デコードするには逆の演算を行います。つまり、LSBと他のすべてのビットとの間で排他的論理和演算を行います。LSB、OF、およびCLKOUTの各出力は影響を受けません。出力ランダマイザは、モード制御レジスタA4を連続的にプログラムすることによってイネーブルすることができます。

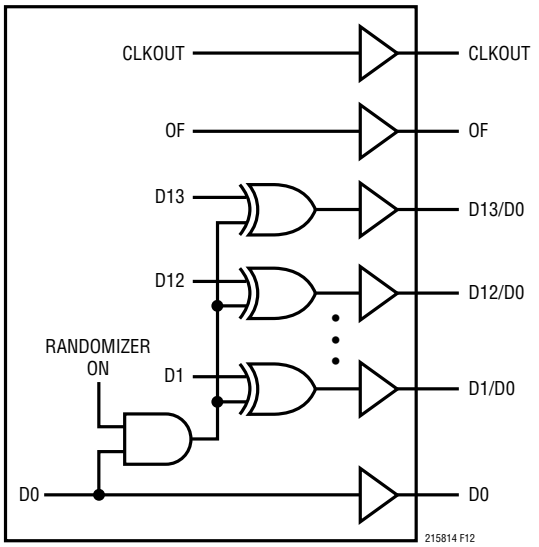


図12. デジタル出力ランダマイザの機能的に等価な回路

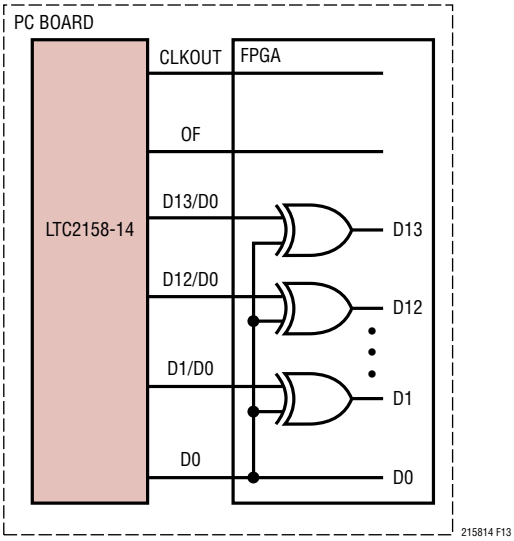


図13. ランダム化されたデジタル出力信号の復号

アプリケーション情報

交互ビット極性

回路基板のデジタル帰還を減らすもうひとつの機能は交互ビット極性モードです。このモードがイネーブルされると、すべての奇数ビット(D1、D3、D5、D7、D9、D11、D13)が出力バッファの前で反転します。偶数ビット(D0、D2、D4、D6、D8、D10、D12)、OFおよびCLKOUTは影響を受けません。これにより、回路基板のグランド・プレーンのデジタル電流を減らし、(特に非常に小さなアナログ入力信号の場合)デジタル・ノイズを減らすことができます。

デジタル出力は、奇数ビット(D1、D3、D5、D7、D9、D11、D13)を反転させることにより、レシーバでデコードされます。交互ビット極性モードはデジタル出力ランダマイザからは独立しています。つまり、両方の機能を同時にオンすることも、両方の機能を同時にオフすることも可能です。交互ビット極性モードは、モード制御レジスタA4を連続的にプログラムすることによってイネーブルされます。

デジタル出力のテスト・パターン

A/Dコンバータへのデジタル・インタフェースを回路内でテストできるようにするため、A/Dコンバータのデータ出力(OF、D13～D0)を強制的に既知の値にするいくつかのテスト・モードがあります。

オール1:すべての出力が1

オール0:すべての出力が0

交互:サンプルの出力がオール1からオール0に交互に変化する。

格子縞:サンプルの出力が101010101010101から010101010101010に交互に変化する。

モード制御レジスタA4を連続的にプログラムすることにより、デジタル出力テスト・パターンをイネーブルすることができます。テスト・パターンがイネーブルされると、その他の形式設定モード(2の補数、ランダマイザ、交互ビット極性)はすべて無効になります。

出力のディスエーブル

デジタル出力はモード制御レジスタA3を連続的にプログラムすることによってディスエーブルすることができます。OFおよびCLKOUTを含むすべてのデジタル出力がディスエーブルされます。高インピーダンスのディスエーブル・ステートは、長期間の休止状態を対象にしており、複数のコンバータ間でデータ・バスを多重化する用途向けには設計されていません。

スリープ・モード

節電のため、A/Dコンバータをスリープ・モードにすることができます。スリープ・モードでは、A/Dコンバータ全体がパワーダウンするため、消費電力は5mW未満になります。エンコード入力信号がディスエーブルされていないと、消費電力は(310Msps時に最大5mW)増加します。スリープ・モードは、モード制御レジスタA1(シリアル・プログラミング・モード)またはSCK(パラレル・プログラミング・モード)によってイネーブルされます。

シリアル・プログラミング・モードでは、チャネルAを通常動作状態にしたまま、チャネルBをディスエーブルすることもできます。

スリープ・モードから回復するのに要する時間は、V_{REF}のバイパス・コンデンサの容量によって決まります。図1の推奨値の場合、A/Dコンバータは0.1ms＋2500・t_p経過後に安定化します。ここで、t_pはサンプリング・クロックの周期です。

ナップ・モード

ナップ・モードでは、A/Dコンバータのコアはパワーダウンしますが、内部リファレンス回路はアクティブなままなので、より高速に起動できます。ナップ・モードからの復帰には、少なくとも100クロック・サイクルが必要です。ナップ・モードは、シリアル・プログラミング・モードでパワーダウン・レジスタA1によってイネーブルされます。

ナップ・モードからの起動時間は、クロックが動作を維持している場合にのみ保証されます。クロックが動作していない場合は、スリープ・モードの起動条件が適用されます。

デバイスのプログラミング・モード

LTC2158-14の動作モードはパラレル・インタフェースまたは簡単なシリアル・インタフェースのどちらでもプログラム可能です。シリアル・インタフェースの方が柔軟性が高く、使用可能なすべてのモードをプログラムできます。パラレル・インタフェースには制限が多く、よく使用される一部のモードのみをプログラムできます。

パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、PAR/$\overline{SER}$をV_{DD}に接続します。$\overline{CS}$、SCK、およびSDIの各ピンは、特定の動作モードを設定するバイナリ・ロジック入力です。これらのピンはV_{DD}またはグランドに接続するか、あるいは1.8V、2.5Vまたは3.3VのCMOSロジックでドライブすることができます。$\overline{CS}$、SCK、およびSDIで設定されるモードを表2に示します。

アプリケーション情報

表2. パラレル・プログラミング・モード制御ビット（PAR/$\overline{SER}$ = V_{DD}）

ピン	説明
$\overline{CS}$	クロック・デューティサイクル・スタビライザ制御ビット 0＝クロック・デューティサイクル・スタビライザをオフ 1＝クロック・デューティサイクル・スタビライザをオン
SCK	パワーダウン制御ビット 0＝通常動作 1＝スリープ・モード（ADC全体がパワーダウン）
SDI	LVDS電流の選択ビット 0＝3.5mAのLVDS電流モード 1＝1.75mAのLVDS電流モード

シリアル・プログラミング・モード

シリアル・プログラミング・モードを使うには、PAR/$\overline{SER}$をグランドに接続します。$\overline{CS}$、SCK、SDIおよびSDOの各ピンは、A/Dコンバータの制御レジスタをプログラムするシリアル・インタフェースになります。データは16ビットのシリアル・ワードでレジスタに書き込まれます。レジスタの内容を検証するため、データをレジスタから読み出すこともできます。

シリアル・データ転送は、$\overline{CS}$が“L”になると開始されます。SDIピンのデータは、SCKの先頭から16番目までの立ち上がりエッジでラッチされます。先頭から16番目より後のSCKの立ち上がりエッジは無視されます。データ転送は、$\overline{CS}$が再度“H”になると終了します。

16ビットの入力ワードの先頭ビットはR/$\overline{W}$ビットです。次の7ビットはレジスタのアドレス（A6:A0）です。最後の8ビットはレジスタのデータ（D7:D0）です。

R/$\overline{W}$ビットが“L”の場合、シリアル・データ（D7:D0）はアドレス・ビット（A6:A0）で設定されるレジスタに書き込まれます。R/$\overline{W}$ビットが“H”の場合は、アドレス・ビット（A6：A0）によって設定されるレジスタ内のデータがSDOピンで読み出されます（タイミング図を参照）。読み出しコマンドの実行中、レジスタは更新されず、SDIのデータは無視されます。

SDOピンはオープン・ドレイン出力で、200Ωのインピーダンスでグランド電位まで引き込みます。SDOを介してレジスタのデータを読み出す場合は、2kの外付けプルアップ抵抗が必要です。シリアル・データが書き込み専用で読み出す必要がない場合は、SDOをフロート状態のままにしてもかまわないため、プルアップ抵抗は不要です。モード制御レジスタのマップを表3に示します。

ソフトウェア・リセット

シリアル・プログラミングを使用する場合には、電源を投入して安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、すべてのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットにする必要があります。ソフトウェア・リセットを実行するには、レジスタA0（ビットD7）に1を書き込む必要があります。 リセットが完了した後、ビットD7は自動的に0に戻ります。このレジスタは書き込み専用です。

接地とバイパス

LTC2158-14には、A/Dコンバータの下の第1層に切れ目のないきれいなグランド・プレーンを備えたプリント回路基板が必要です。内部グランド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、A/Dコンバータの下に配置したりしないように注意してください。

V_{DD}、OV_{DD}、V_{CM}、V_{REF}の各ピンには、高品質のセラミック・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。サイズが0402のセラミック・コンデンサを推奨します。ピンとバイパス・コンデンサを接続するトレースは短くしておく必要があり、幅はできるだけ広くします。

アナログ入力、エンコード信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに分離するためのバリヤとして、グランド領域とグランド・ビアを使用します。

熱伝達

LTC2158-14が発生する熱の大部分は、ダイから底面の背面パッドとパッケージのピンを通ってプリント回路基板に伝わります。良好な電気的性能と熱性能を得るには、プリント回路基板上の接地された大きなパッドに背面パッドを半田付けする必要があります。このパッドは、多数のビアにより、内部のグランド・プレーンに接続します。

アプリケーション情報

表3. シリアル・プログラミング・モードのレジスタ・マップ(PAR/$\overline{SER}$ = GND)。Xは0として読み出される不使用ビットを示す。

レジスタA0:リセット・レジスタ(アドレス00h)、書き込み専用

D7	D6	D5	D4	D3	D2	D1	D0
RESET	X	X	X	X	X	X	X

ビット7　**RESET**　ソフトウェア・リセット・ビット
0=リセットをディスエーブル
1=ソフトウェア・リセット。すべてのモード制御レジスタが00hにリセットされる。リセットが完了すると、このビットは自動的に0に戻る。

ビット6～0　不使用のビット

レジスタA1:パワーダウン・レジスタ(アドレス01h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	SLEEP	NAP	PDB	0

ビット7～4　不使用のビット

ビット3　**SLEEP**
0=通常動作
1=A/Dコンバータ全体をパワーダウン

ビット2　**NAP**
0=通常モード
1=両方のチャネルが低消費電力モード

ビット1　**PDB**
0=通常動作
1=チャネルBをパワーダウン。チャネルAは通常動作。

ビット0　0に設定する必要がある

レジスタA2:タイミング・レジスタ(アドレス02h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	CLKINV	CLKPHASE1	CLKPHASE0	DCS

ビット7～4　不使用のビット

ビット3　**CLKINV**　出力クロック反転ビット
0=通常のCLKOUTの極性(タイミング図に示されているとおり)
1=反転したCLKOUT極性

ビット2～1　**CLKPHASE1:CLKPHASE0**　出力クロックの位相遅延ビット
00=CLKOUTの遅延なし(タイミング図に示すとおり)
01=CLKOUT$^+$/CLKOUT$^-$を45°(クロックの周期・1/8)だけ遅延
10=CLKOUT$^+$/CLKOUT$^-$を90°(クロックの周期・1/4)だけ遅延
11=CLKOUT$^+$/CLKOUT$^-$を135°(クロックの周期・ 3/8)だけ遅延
Note:CLKOUT位相遅延機能を使う場合は、クロック・デューティサイクル・スタビライザもオンする必要がある

ビット0　**DCS**　クロック・デューティサイクル・スタビライザ・ビット
0=クロック・デューティサイクル・スタビライザをオフ
1=クロック・デューティサイクル・スタビライザをオン

アプリケーション情報

レジスタ A3：出力モード・レジスタ（アドレス 03h）

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF

ビット 7 ～ 5　不使用のビット

ビット 4 ～ 2　**ILVDS2:ILVDS0** LVDS 出力電流ビット
000 ＝ 3.5mA の LVDS 出力ドライバ電流
001 ＝ 4.0mA の LVDS 出力ドライバ電流
010 ＝ 4.5mA の LVDS 出力ドライバ電流
011 ＝不使用
100 ＝ 3.0mA の LVDS 出力ドライバ電流
101 ＝ 2.5mA の LVDS 出力ドライバ電流
110 ＝ 2.1mA の LVDS 出力ドライバ電流
111 ＝ 1.75mA の LVDS 出力ドライバ電流

ビット 1　**TERMON**　LVDS 内部終端ビット
0 ＝内部終端をオフ
1 ＝内部終端をオン。LVDS 出力ドライバ電流は ILVDS2：ILVDS0 によって設定される電流の 2 倍

ビット 0　**OUTOFF**　デジタル出力モード制御ビット
0 ＝デジタル出力をイネーブル
1 ＝デジタル出力をディスエーブル（高インピーダンス）

レジスタ A4：データ・フォーマット・レジスタ（アドレス 04h）

D7	D6	D5	D4	D3	D2	D1	D0
OUTTEST2	OUTTEST1	OUTTEST0	ABP	0	DTESTON	RAND	TWOSCOMP

ビット 7 ～ 5　**OUTTEST2:OUTTEST0**　デジタル出力のテスト・パターン・ビット
000 ＝全デジタル出力＝ 0
001 ＝全デジタル出力＝ 1
010 ＝交互出力パターン。OF、D13 ～ D0 は、000 0000 0000 0000 と 111 1111 1111 1111 を交互に出力
100 ＝格子縞出力パターン。OF、D13 ～ D0 は 101 0101 0101 0101 と 010 1010 1010 1010 を交互に出力

Note 1：他のビットの組み合わせは使用されない。

Note 2：チャネル A からのパターンとチャネル B からのパターンは同期していないことがある。

ビット 4　**ABP**　交互ビット極性モードの制御ビット
0 ＝交互ビット極性モードをオフ
1 ＝交互ビット極性モードをオン

ビット 3　0 に設定する必要がある

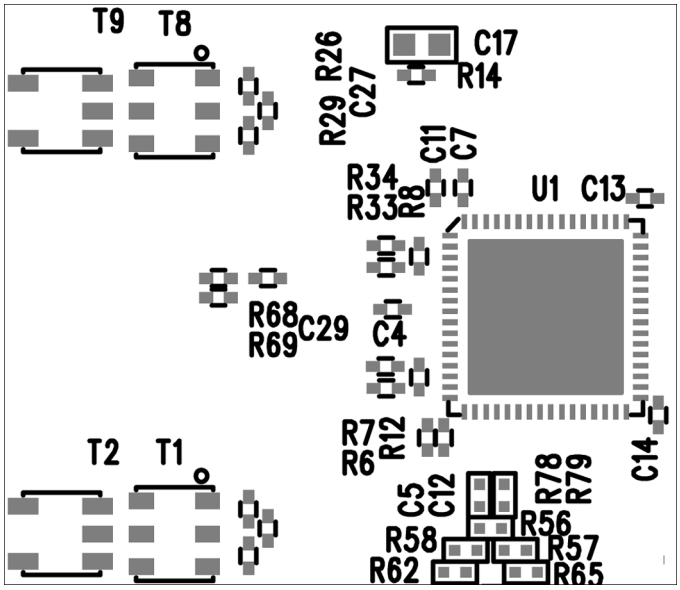
ビット 2　**DTESTON**　デジタル出力テスト・パターンをイネーブル（ビット 7 ～ 5 によって設定）
0 ＝通常モード
1 ＝デジタル出力テスト・パターンをイネーブル

ビット 1　**RAND**　データ出力ランダマイザ・モード制御ビット
0 ＝データ出力ランダマイザ・モードをオフ
1 ＝データ出力ランダマイザ・モードをオン

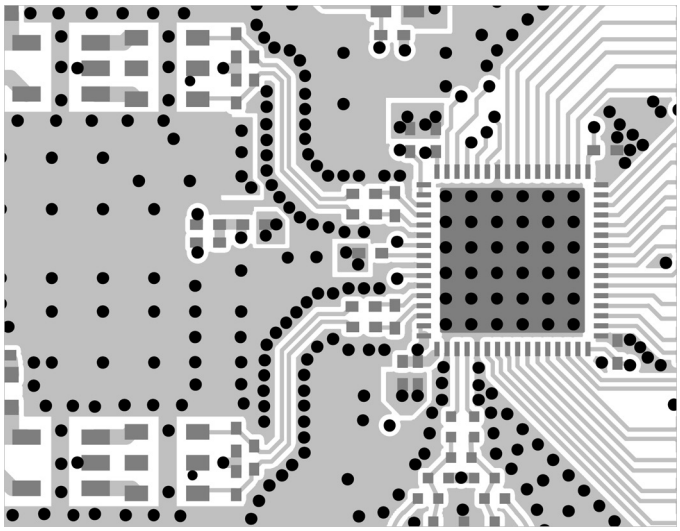
ビット 0　**TWOSCOMP**　2 の補数モード制御ビット
0 ＝オフセット・バイナリのデータ形式
1 ＝ 2 の補数のデータ形式

標準的応用例

部品面シルク

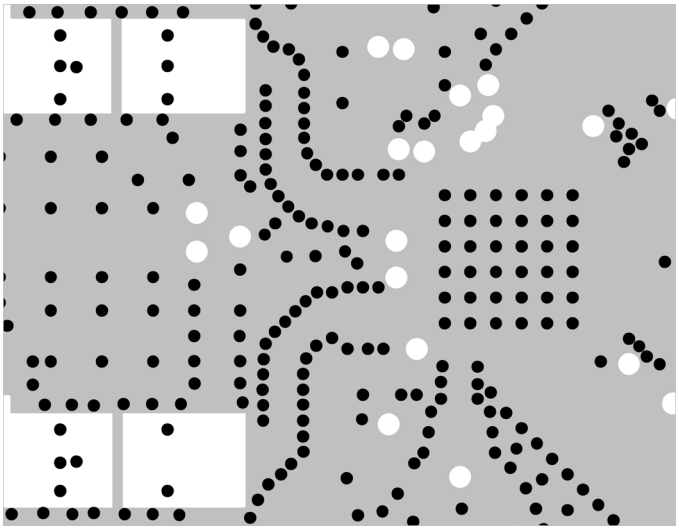


上面

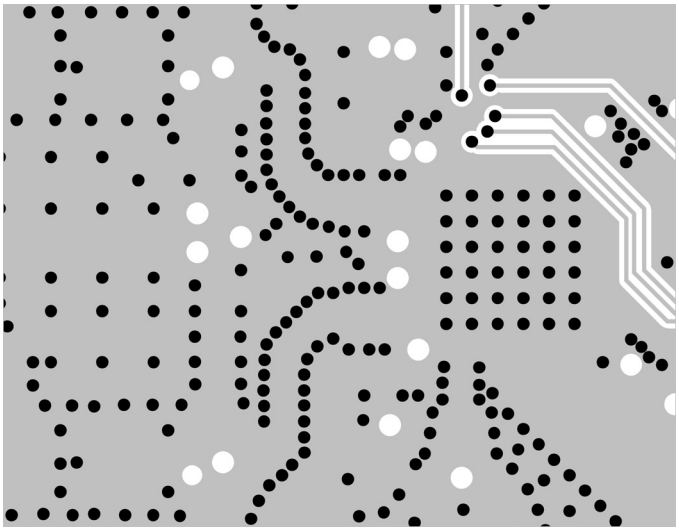


標準的応用例

内部第2層(GND)

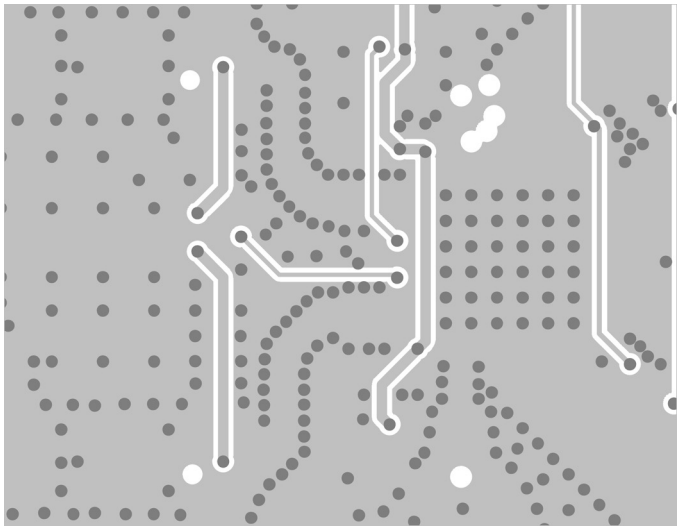


内部第3層

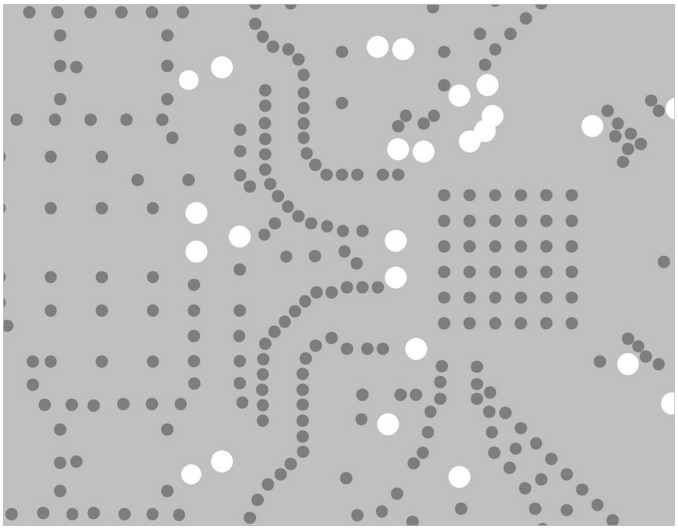


標準的応用例

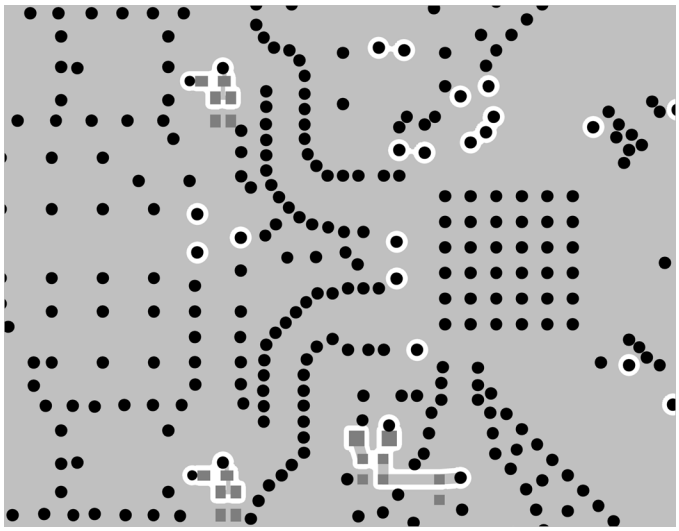
内部第4層



内部第5層

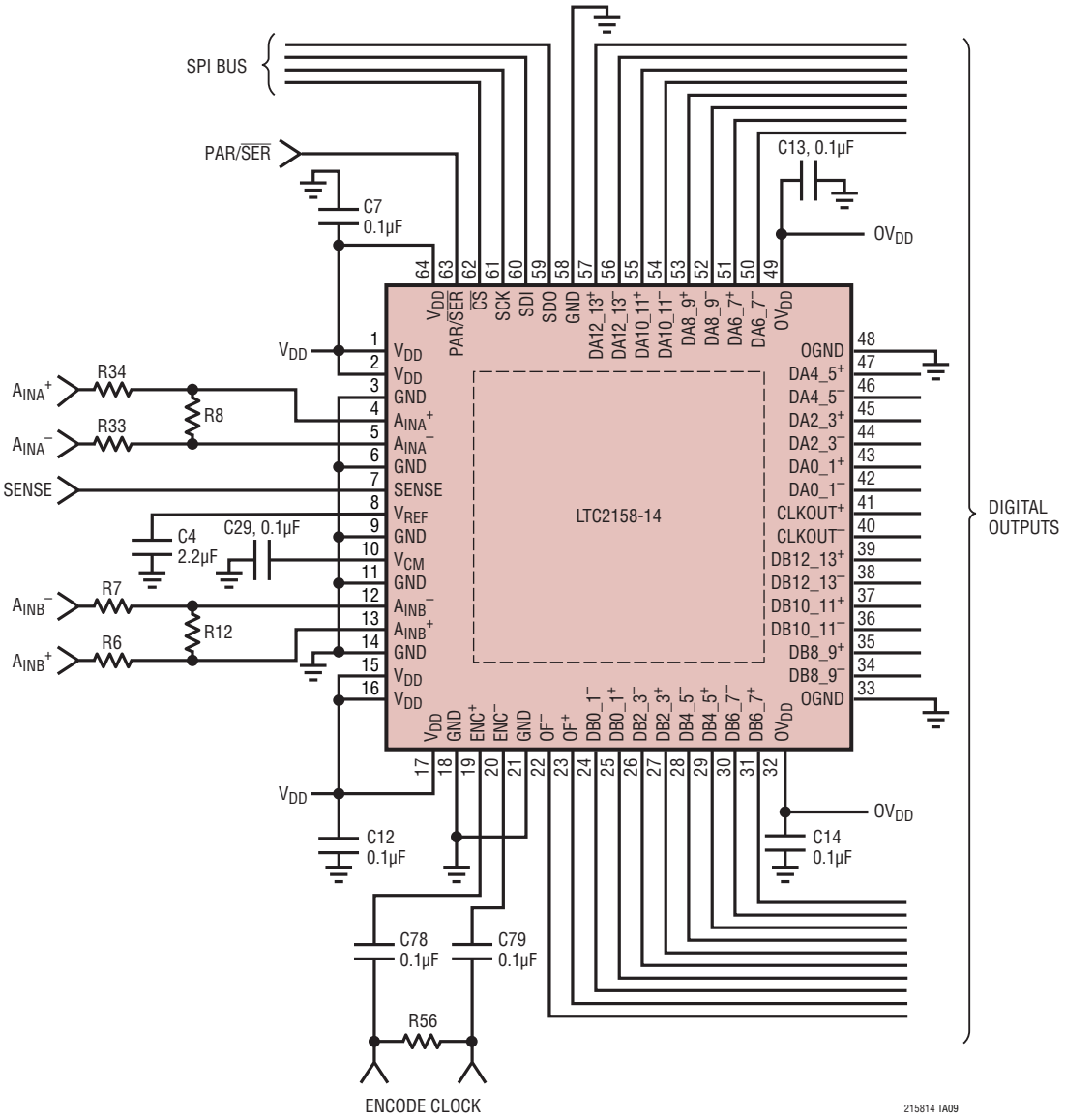


底面



標準的応用例

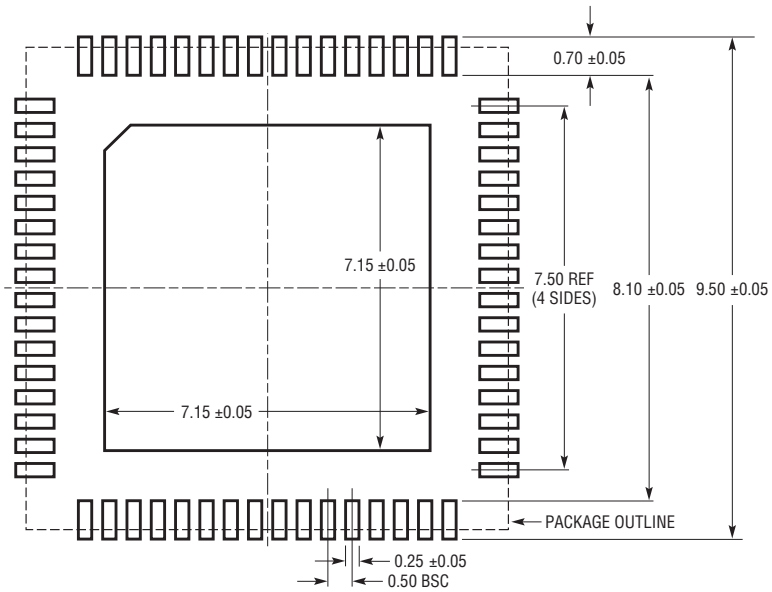
LTC2158-14の回路図



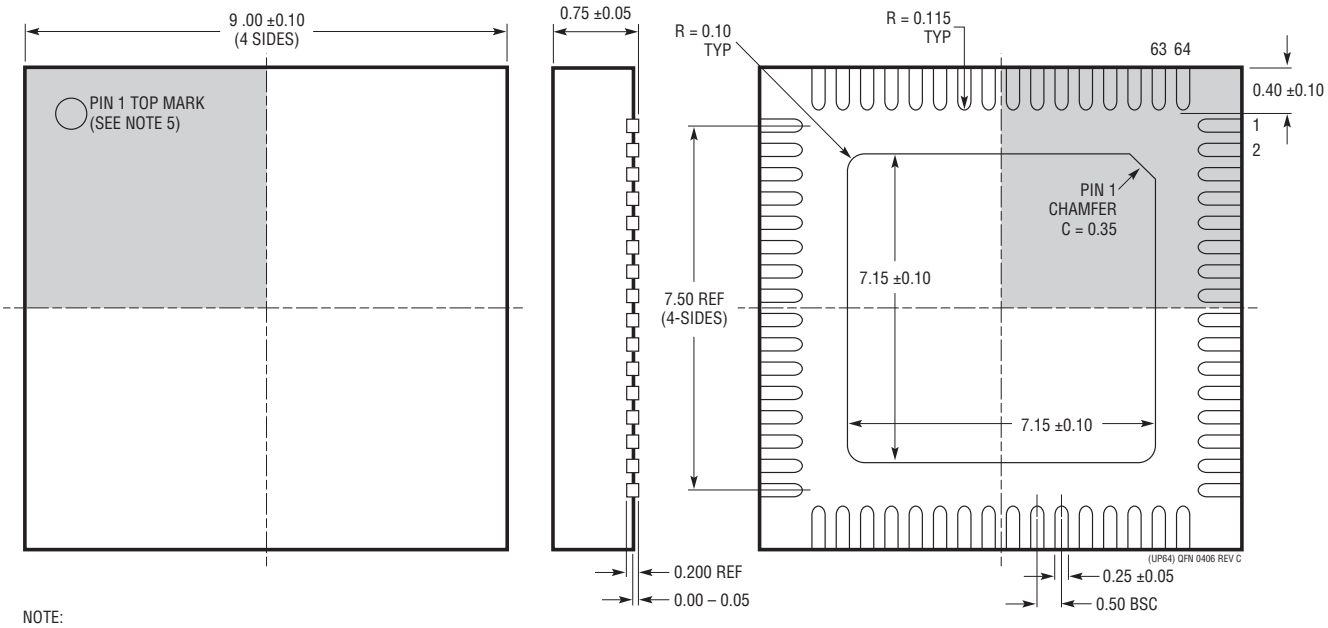
パッケージ

最新のパッケージ図面については、http://www.linear-tech.co.jp/designtools/packaging/ を参照してください。

UP Package
64-Lead Plastic QFN (9mm × 9mm)
(Reference LTC DWG # 05-08-1705 Rev C)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



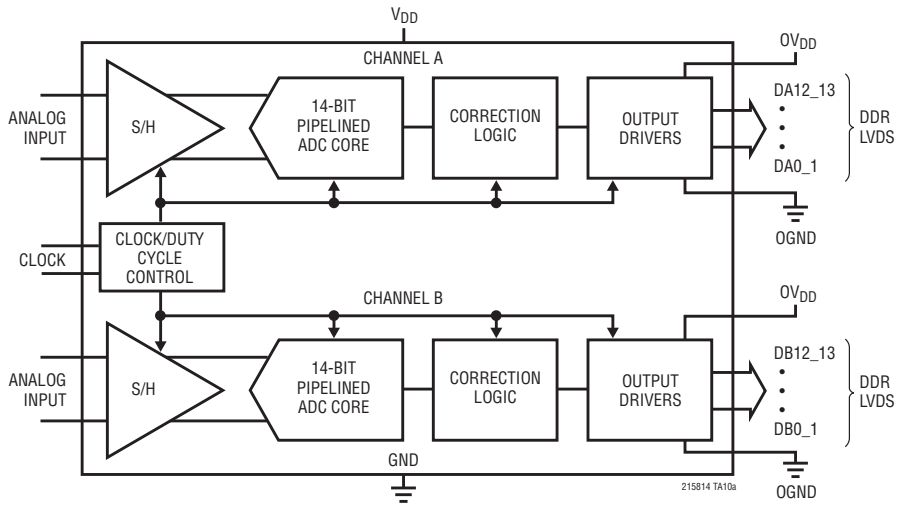
NOTE:
1. 図面は JEDEC のパッケージ外形 MO-220 のバリエーション(WNJR-5)に適合
2. 全ての寸法はミリメートル
3. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
   モールドのバリは(存在する場合)各サイドで 0.20mm を超えないこと
4. 露出パッドは半田メッキとする
5. 網掛けの部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない
6. 図は実寸とは異なる

改訂履歴

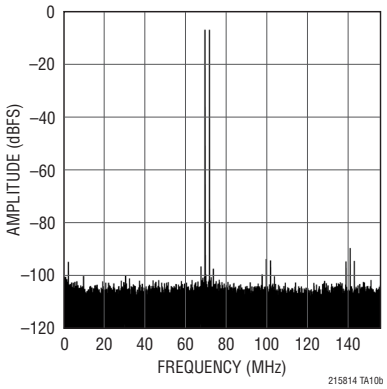
REV	日付	概要	ページ番号
A	12/14	pipeline latency を6に変更。 グラフG15を更新。	5、11 7

リニアテクノロジー・コーポレーションがここで提供する情報は正確かつ信頼できるものと考えておりますが、その使用に関する責務は一切負いません。また、ここに記載された回路結線と既存特許とのいかなる関連についても一切関知いたしません。なお、日本語の資料はあくまでも参考資料です。訂正、変更、改版に追従していない場合があります。最終的な確認は必ず最新の英語版データシートでお願いいたします。

標準的応用例



LTC2158-14：32Kポイントの2トーンFFT、f_{IN}＝71MHzおよび69MHz、310Msps



関連製品

製品番号	説明	注釈
A/Dコンバータ		
LTC2208	16ビット、130Msps、3.3V ADC、LVDS出力	1250mW、SNR：77.7dB、SFDR：100dB、64ピンQFNパッケージ
LTC2157-14/LTC2156-14/LTC2155-14	14ビット、250Msps/210Msps/170Msps、1.8Vデュアル ADC、DDR LVDS出力	650mW/616mW/567mW、SNR：70dB、SFDR：90dB、64ピンQFNパッケージ
LTC2157-12/LTC2156-12/LTC2155-12	12ビット、250Msps/210Msps/170Msps、1.8Vデュアル ADC、DDR LVDS出力	588mW/543mW/495mW、SNR：68.5dB、SFDR：90dB、64ピンQFNパッケージ
LTC2242-12/LTC2241-12/LTC2240-12	12ビット、250Msps/210Msps/170Msps、2.5V ADC、LVDS出力	740mW/585mW/445mW、SNR：65.5dB、SFDR：80dB、64ピンQFNパッケージ
LTC2262-14	14ビット、150Msps超低消費電力1.8V ADC	149mW、SNR：72.8dB、SFDR：88dB、DDR LVDS/DDR CMOS/CMOS出力、40ピンQFNパッケージ
RFミキサ／復調器		
LT5517	40MHz～900MHz直接変換直交復調器	高いIIP3：800MHzで21dBm、LO直交ジェネレータ内蔵
LT5527	400MHz～3.7GHz高直線性ダウンコンバーティング・ミキサ	IIP3：900MHzで24.5dBm、3.5GHzで23.5dBm、NF＝12.5dB、50ΩシングルエンドのRFポートとLOポート
LT5575	800MHz～2.7GHz直接変換直交復調器	高いIIP3：900MHzで28dBm、LO 直交ジェネレータ内蔵、RFおよびLOトランス内蔵
アンプ／フィルタ		
LTC6409	GBWが10GHzの1.1nV/$\sqrt{Hz}$差動アンプ/ADCドライバ	SFDR：88dB（100MHz）、グランドを含む入力範囲、電源電流：52mA、3mm×2mm QFNパッケージ
LTC6412	800MHz、31dBレンジ、アナログ制御VGA	連続調整可能な利得制御、240MHzでのOIP3：35dBm、ノイズフィギュア：10dB、4mm×4mm QFN-24パッケージ
LTC6420-20	300MHzのIF向け1.8GHz、低ノイズ、低歪み、デュアル差動ADCドライバ	固定利得：10V/V、全入力ノイズ：1nV/$\sqrt{Hz}$、電源電流：80mA/アンプ、3mm×4mm QFN-20パッケージ
レシーバ・サブシステム		
LTM®9002	14ビット・デュアル・チャネルIF/ベースバンド・レシーバ・サブシステム	デュアルの高速ADC、パッシブ・フィルタ、および固定利得差動アンプを内蔵
LTM9003	12ビット・デジタル・プリディストーション・レシーバ	250Mspsの12ビットADC、入力周波数範囲が0.4GHz～3.8GHzのダウンコンバーティング・ミキサ、125MHzのバンドパス・フィルタを内蔵

リニアテクノロジー株式会社
〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F
TEL 03-5226-7291 • FAX 03-5226-0268 • www.linear-tech.co.jp/LTC2158-14
LT 1214 REV A • PRINTED IN JAPAN
© LINEAR TECHNOLOGY CORPORATION 2011