

## 特長

- SNR: 67.6dBFS
- SFDR: 88dB
- 低消費電力: 378mW(合計)
- 単一1.8V電源
- DDR LVDS出力
- 1.32V<sub>p-p</sub>の入力範囲
- 1.25GHzのフルパワー帯域幅サンプル/ホールド
- オプションのクロック・デューティサイクル・スタビライザ
- 低消費電力のスリープ・モードとナップ・モード
- 設定用のシリアルSPIポート
- ピン互換の12ビット・バージョン
- 40ピン(6mm×6mm)QFNパッケージ

## アプリケーション

- 通信
- セルラ基地局
- ソフトウェア無線
- 医療用画像処理
- 高精細ビデオ
- テストおよび測定機器

## 概要

LTC<sup>®</sup>2153-12は、広いダイナミック・レンジの高周波信号をデジタル化する、310Msps、12ビットA/Dコンバータです。SNRが67.6dB、SFDRが88dBと優れたAC性能を備えているため、要求の厳しい通信アプリケーションに最適です。1.25GHzの入力帯域幅により、優れた性能を維持しながら高周波数をアンダーサンプリングできます。待ち時間はわずか5クロック・サイクルです。

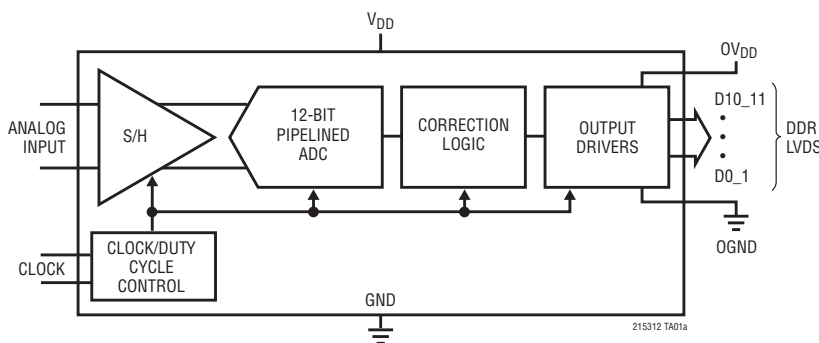
DC仕様では、±0.6LSB(標準)のINL、±0.1LSB(標準)のDNL、全温度範囲でミッシング・コードがないことが規定されています。遷移ノイズは0.6LSB<sub>RMS</sub>です。

デジタル出力は、ダブルデータレート(DDR)LVDSです。

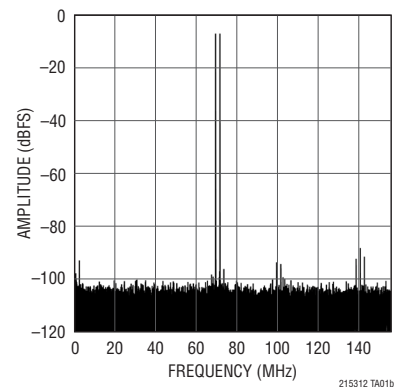
ENC<sup>+</sup>およびENC<sup>-</sup>入力は、正弦波、PECL、LVDS、TTLまたはCMOSの入力信号を使って差動でドライブ可能です。また、オプションのクロック・デューティサイクル・スタビライザにより、広範なクロック・デューティサイクルで、フルスピードでの高い性能を達成できます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

## 標準的応用例



LTC2153-12: 32Kポイントの2トーンFFT、  
f<sub>IN</sub> = 71MHzおよび69MHz、310Msps



# LTC2153-12

## 絶対最大定格 (Note 1, 2)

### 電源電圧

$V_{DD}$ 、 $OV_{DD}$ ..... $-0.3V \sim 2V$

### アナログ入力電圧

$A_{IN}^+$ 、 $A_{IN}^-$ 、 $PAR/\overline{SER}$ 、  
SENSE (Note 3)..... $-0.3V \sim (V_{DD} + 0.2V)$

### デジタル入力電圧

$ENC^+$ 、 $ENC^-$  (Note 3)..... $-0.3V \sim (V_{DD} + 0.3V)$

$\overline{CS}$ 、SDI、SCK (Note 4)..... $-0.3V \sim 3.9V$

SDO (Note 4)..... $-0.3V \sim 3.9V$

デジタル出力電圧..... $-0.3V \sim (OV_{DD} + 0.3V)$

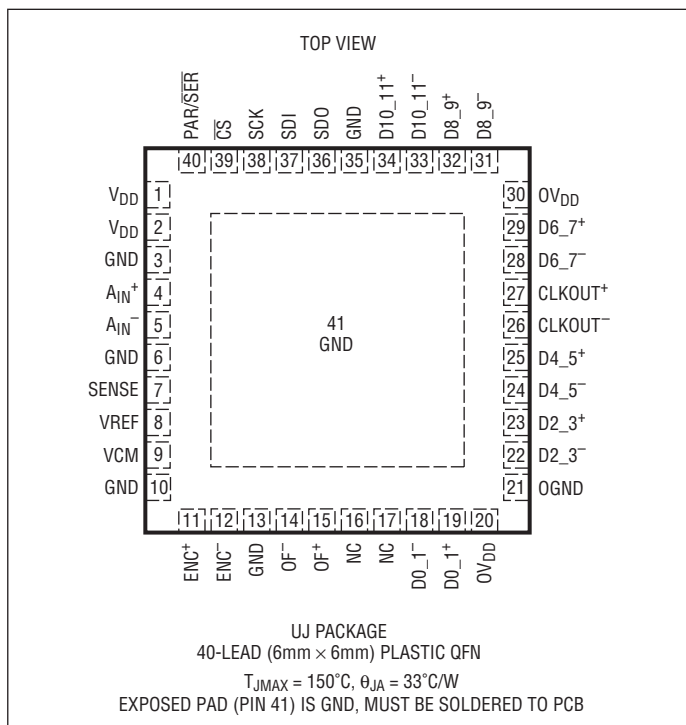
### 動作温度範囲

LTC2153C..... $0^{\circ}C \sim 70^{\circ}C$

LTC2153I..... $-40^{\circ}C \sim 85^{\circ}C$

保存温度範囲..... $-65^{\circ}C \sim 150^{\circ}C$

## ピン配置



## 発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2153CUJ-12#PBF	LTC2153CUJ-12#TRPBF	LTC2153UJ-12	40-Lead (6mm × 6mm) Plastic QFN	$0^{\circ}C$ to $70^{\circ}C$
LTC2153IUJ-12#PBF	LTC2153IUJ-12#TRPBF	LTC2153UJ-12	40-Lead (6mm × 6mm) Plastic QFN	$-40^{\circ}C$ to $85^{\circ}C$

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。\* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/>をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/>をご覧ください。

### コンバータの特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Resolution (No Missing Codes)		●	12		Bits	
Integral Linearity Error	Differential Analog Input (Note 6)	●	-1.8	±0.6	1.8	LSB
Differential Linearity Error	Differential Analog Input	●	-0.7	±0.1	0.7	LSB
Offset Error	(Note 7)	●	-12	±5	12	mV
Gain Error	Internal Reference External Reference	●	-4	±1.5 ±1	3	%FS %FS
Offset Drift			±20		$\mu\text{V}/^\circ\text{C}$	
Full-Scale Drift	Internal Reference External Reference		±30 ±10		ppm/ $^\circ\text{C}$ ppm/ $^\circ\text{C}$	
Transition Noise			0.6		LSB <sub>RMS</sub>	

### アナログ入力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{IN}$	Analog Input Range ( $A_{IN}^+ - A_{IN}^-$ )	$1.74\text{V} < V_{DD} < 1.9\text{V}$		1.32		$V_{P-P}$	
$V_{IN(CM)}$	Analog Input Common Mode ( $(A_{IN}^+ + A_{IN}^-)/2$ )	Differential Analog Input (Note 8)	●	$V_{CM} - 20\text{mV}$	$V_{CM} + 20\text{mV}$	V	
$V_{SENSE}$	External Voltage Reference Applied to SENSE	External Reference Mode	●	1.230	1.250	1.270	V
$I_{IN1}$	Analog Input Leakage Current	$0 < A_{IN}^+, A_{IN}^- < V_{DD}$ , No Encode	●	-1	1	$\mu\text{A}$	
$I_{IN2}$	PAR/SER Input Leakage Current	$0 < \text{PAR/SER} < V_{DD}$	●	-1	1	$\mu\text{A}$	
$I_{IN3}$	SENSE Input Leakage Current	$1.23\text{V} < \text{SENSE} < 1.27\text{V}$	●	-1	1	$\mu\text{A}$	
$t_{AP}$	Sample-and-Hold Acquisition Delay Time			1		ns	
$t_{JITTER}$	Sample-and-Hold Acquisition Delay Jitter			0.15		ps <sub>RMS</sub>	
CMRR	Analog Input Common Mode Rejection Ratio			75		dB	
BW-3B	Full-Power Bandwidth			1250		MHz	

### ダイナミック精度 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SNR	Signal-to-Noise Ratio	15MHz Input		67.6		dBFS
		70MHz Input		67.1		dBFS
		140MHz Input	●	65.8	67.0	dBFS
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic	15MHz Input		88		dBFS
		70MHz Input		85		dBFS
		140MHz Input	●	70	80	dBFS
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	15MHz Input		98		dBFS
		70MHz Input		95		dBFS
		140MHz Input	●	80	90	dBFS
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	15MHz Input		67.1		dBFS
		70MHz Input		67.0		dBFS
		140MHz Input	●	65	66.9	dBFS

# LTC2153-12

## 内部リファレンスの特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{CM}$ Output Voltage	$I_{OUT} = 0$	0.439 • $V_{DD} - 18\text{mV}$	0.439 • $V_{DD}$	0.439 • $V_{DD} + 18\text{mV}$	V
$V_{CM}$ Output Temperature Drift			$\pm 37$		ppm/ $^\circ\text{C}$
$V_{CM}$ Output Resistance	$-1\text{mA} < I_{OUT} < 1\text{mA}$		4		$\Omega$
$V_{REF}$ Output Voltage	$I_{OUT} = 0$	1.225	1.250	1.275	V
$V_{REF}$ Output Temperature Drift			$\pm 30$		ppm/ $^\circ\text{C}$
$V_{REF}$ Output Resistance	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$		7		$\Omega$
$V_{REF}$ Line Regulation	$1.74\text{V} < V_{DD} < 1.9\text{V}$		0.6		mV/V

## 電源要件 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{DD}$	Analog Supply Voltage	(Note 9)	●	1.74	1.8	1.9	V
$OV_{DD}$	Output Supply Voltage	(Note 9)	●	1.74	1.8	1.9	V
$I_{VDD}$	Analog Supply Current		●	182	205		mA
$I_{OVDD}$	Digital Supply Current	1.75mA LVDS Mode	●	28	34		mA
		3.5mA LVDS Mode	●	48.5	52		mA
$P_{DISS}$	Power Dissipation	1.75mA LVDS Mode	●	378	430		mW
		3.5mA LVDS Mode	●	415	463		mW
$P_{SLEEP}$	Sleep Mode Power	Clock Disabled		<5			mW
		Clocked at $f_{S(MAX)}$		<5			mW
$P_{NAP}$	Nap Mode Power	Clocked at $f_{S(MAX)}$		124			mW

## デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>エンコード入力 (ENC+, ENC-)</b>						
$V_{ID}$	Differential Input Voltage	(Note 8)	●	0.2		V
$V_{ICM}$	Common Mode Input Voltage	Internally Set		1.2		V
		Externally Set (Note 8)	●	1.1	1.5	V
$R_{IN}$	Input Resistance	(See Figure 2)		10		k $\Omega$
$C_{IN}$	Input Capacitance	(Note 8)		2		pF
<b>デジタル入力 (<math>\overline{CS}</math>, SDI, SCK)</b>						
$V_{IH}$	High Level Input Voltage	$V_{DD} = 1.8\text{V}$	●	1.3		V
$V_{IL}$	Low Level Input Voltage	$V_{DD} = 1.8\text{V}$	●		0.6	V
$I_{IN}$	Input Current	$V_{IN} = 0\text{V}$ to 3.6V	●	-10	10	$\mu\text{A}$
$C_{IN}$	Input Capacitance	(Note 8)		3		pF
<b>SDO出力 (オープン・ドレイン出力。SDOが使われる場合、2kのプルアップ抵抗が必要)</b>						
$R_{OL}$	Logic Low Output Resistance to GND	$V_{DD} = 1.8\text{V}$ , SDO = 0V		200		$\Omega$
$I_{OH}$	Logic High Output Leakage Current	SDO = 0V to 3.6V	●	-10	10	$\mu\text{A}$
$C_{OUT}$	Output Capacitance	(Note 8)		4		pF

215312fa

## デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>デジタル・データ出力</b>							
$V_{OD}$	Differential Output Voltage	100 $\Omega$ Differential Load, 3.5mA Mode	●	247	350	454	mV
		100 $\Omega$ Differential Load, 1.75mA Mode	●	125	175	250	mV
$V_{OS}$	Common Mode Output Voltage	100 $\Omega$ Differential Load, 3.5mA Mode	●	1.125	1.250	1.375	V
		100 $\Omega$ Differential Load, 1.75mA Mode	●	1.125	1.250	1.375	V
$R_{TERM}$	On-Chip Termination Resistance	Termination Enabled, $OV_{DD} = 1.8V$		100		$\Omega$	

## タイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$f_s$	Sampling Frequency	(Note 9)	●	10	310	MHz	
$t_L$	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off	●	1.5	1.61	50	ns
		Duty Cycle Stabilizer On	●	1.2	1.61	50	ns
$t_H$	ENC High Time (Note 8)	Duty Cycle Stabilizer Off	●	1.5	1.61	50	ns
		Duty Cycle Stabilizer On	●	1.2	1.61	50	ns

### デジタル・データ出力

			MIN	TYP	MAX	UNITS	
$t_D$	ENC to Data Delay	$C_L = 5\text{pF}$ (Note 8)	●	1.7	2	2.3	ns
$t_C$	ENC to CLKOUT Delay	$C_L = 5\text{pF}$ (Note 8)	●	1.3	1.6	2	ns
$t_{SKEW}$	DATA to CLKOUT Skew	$t_D - t_C$ (Note 8)	●	0.3	0.4	0.55	ns
	Pipeline Latency			6	6	Cycles	

### SPIポートのタイミング (Note 8)

$t_{SCK}$	SCK Period	Write Mode	●	40		ns
		Readback Mode $C_{SDO} = 20\text{pF}$ , $R_{PULLUP} = 2k$	●	250		ns
$t_s$	$\overline{CS}$ to SCK Set-Up Time		●	5		ns
$t_H$	SCK to $\overline{CS}$ Hold Time		●	5		ns
$t_{DS}$	SDI Set-Up Time		●	5		ns
$t_{DH}$	SDI Hold Time		●	5		ns
$t_{DO}$	SCK Falling to SDO Valid	Readback Mode, $C_{SDO} = 20\text{pF}$ , $R_{PULLUP} = 2k$	●		125	ns

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

**Note 2:** すべての電圧値は (注記がない限り) GND と OGND を短絡した状態の GND を基準としている。

**Note 3:** これらのピンの電圧を GND より低くするか、 $V_{DD}$  より高くすると、内部のダイオードによってクランプされる。この製品は、GND より低い電圧で、または  $V_{DD}$  より高い電圧で、ラッチアップを生じることなしに 100mA を超える入力電流を処理することができる。

**Note 4:** これらのピンの電圧を GND より低くすると、内部のダイオードによってクランプされる。これらのピンの電圧を  $V_{DD}$  より高くすると、内部のダイオードによってクランプされない。この製品は、GND より低い電圧で、ラッチアップを生じることなく 100mA を超える入力電流を処理することができる。

**Note 5:** 注記がない限り、 $V_{DD} = OV_{DD} = 1.8V$ 、 $f_{SAMPLE} = 310\text{MHz}$ 、差動 ENC/ENC $^- = 2V_{P-P}$  の正弦波、入力範囲 = 差動ドライブで 1.32 $V_{P-P}$ 。

**Note 6:** 積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定する。

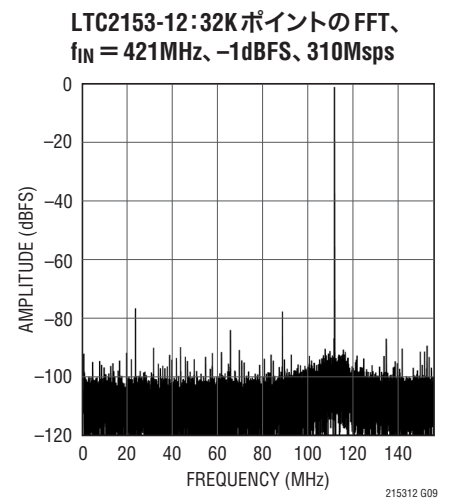
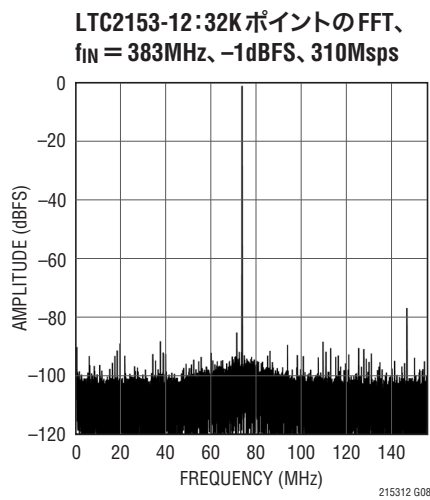
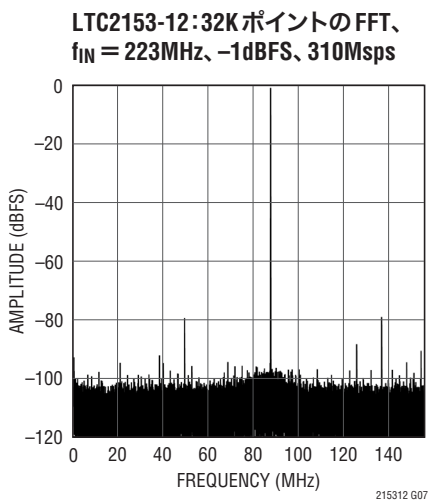
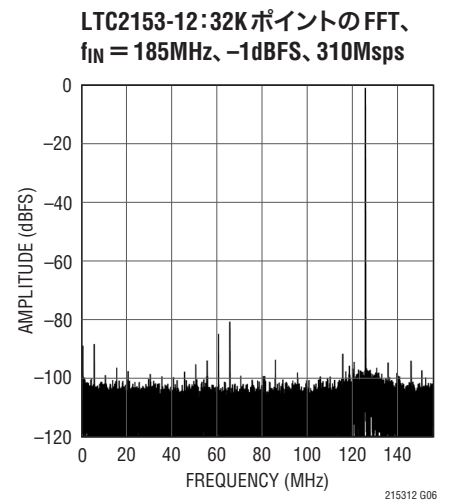
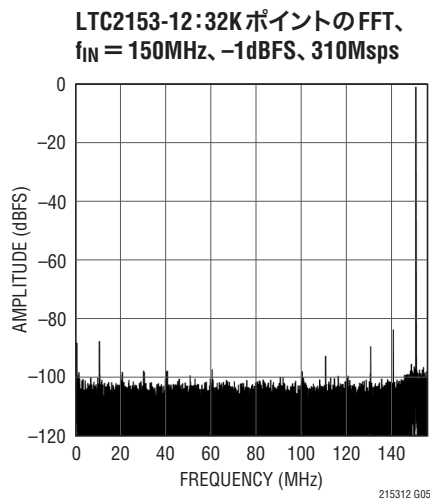
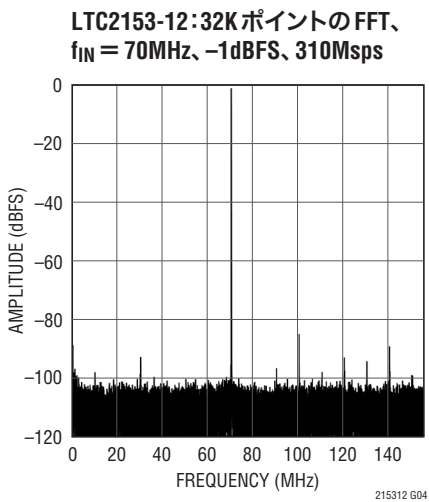
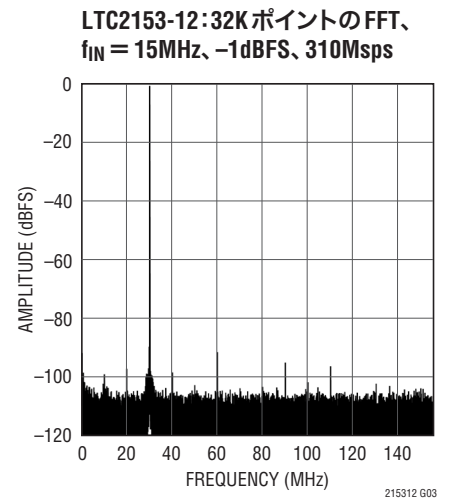
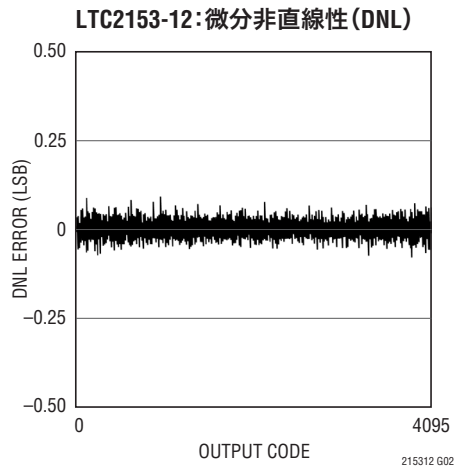
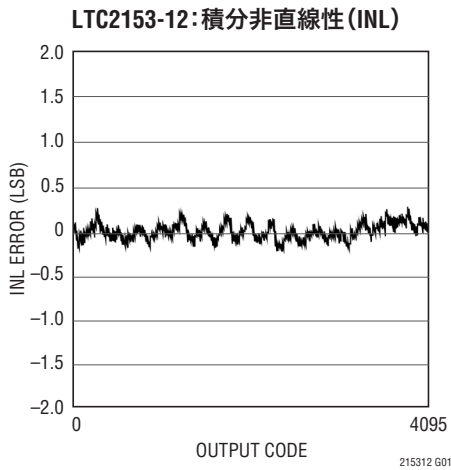
**Note 7:** オフセット誤差は、2 の補数の出力モードで出力コードが 0000 0000 0000 と 1111 1111 1111 の間を行ったり来たりするとき、-0.5LSB から測定したオフセット電圧である。

**Note 8:** 設計によって保証されているが、テストされない。

**Note 9:** 推奨動作条件。

# LTC2153-12

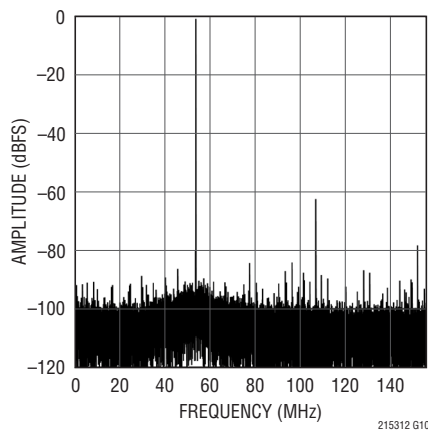
## 標準的性能特性



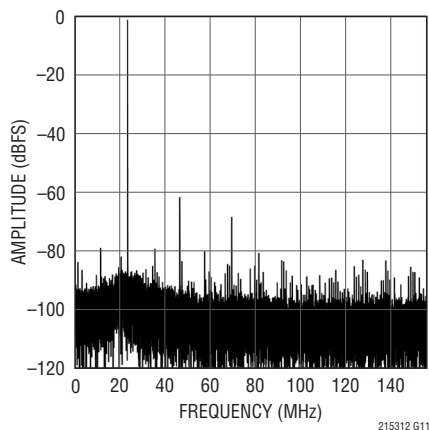
215312fa

## 標準的性能特性

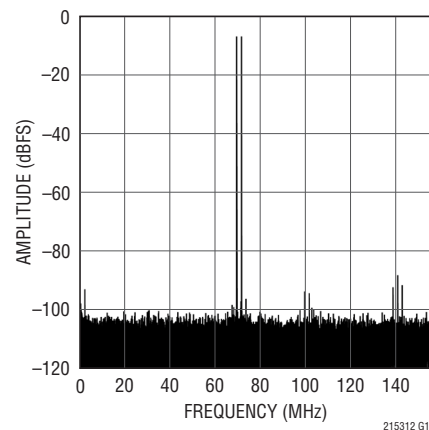
LTC2153-12: 32KポイントのFFT、  
 $f_{IN} = 567\text{MHz}$ 、 $-1\text{dBFS}$ 、 $310\text{Mps}$



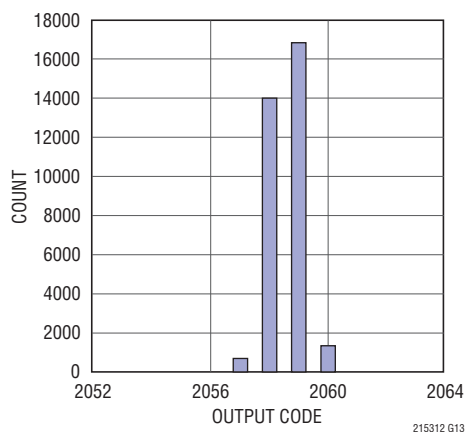
LTC2153-12: 32KポイントのFFT、  
 $f_{IN} = 907\text{MHz}$ 、 $-1\text{dBFS}$ 、 $310\text{Mps}$



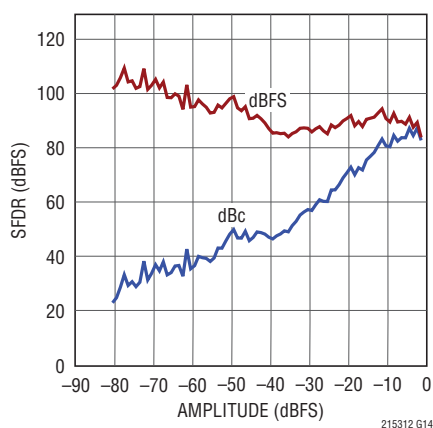
LTC2153-12: 32Kポイントの2トーンFFT、  
 $f_{IN} = 71\text{MHz}$ および $69\text{MHz}$ 、 $310\text{Mps}$



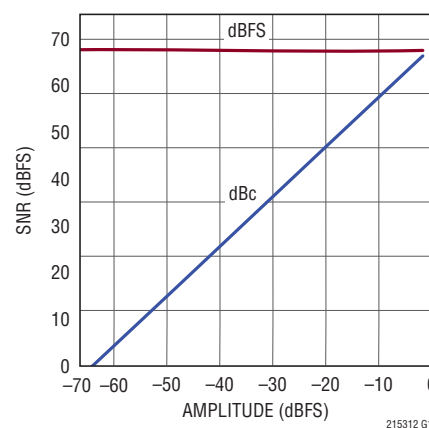
LTC2153-12: 短絡入力のヒストグラム



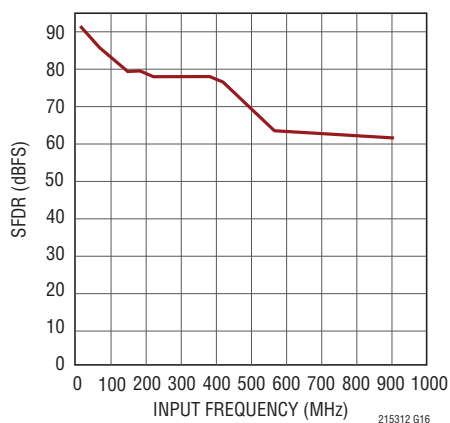
LTC2153-12: SFDRと入力レベル、  
 $f_{IN} = 70\text{MHz}$ 、 $1.32\text{V}$ 範囲、 $310\text{Mps}$



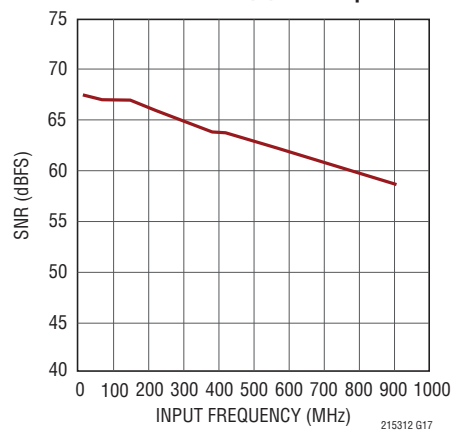
LTC2153-12: SNRと入力レベル、  
 $f_{IN} = 70\text{MHz}$ 、 $1.32\text{V}$ 範囲、 $310\text{Mps}$



LTC2153-12: SFDRと入力周波数、  
 $-1\text{dBFS}$ 、 $1.32\text{V}$ 範囲、 $310\text{Mps}$

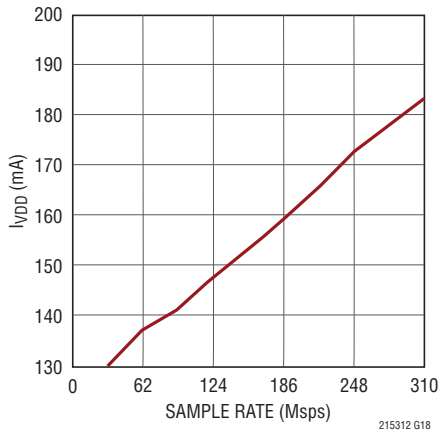


LTC2153-12: SNRと入力周波数、  
 $-1\text{dBFS}$ 、 $1.32\text{V}$ 範囲、 $310\text{Mps}$

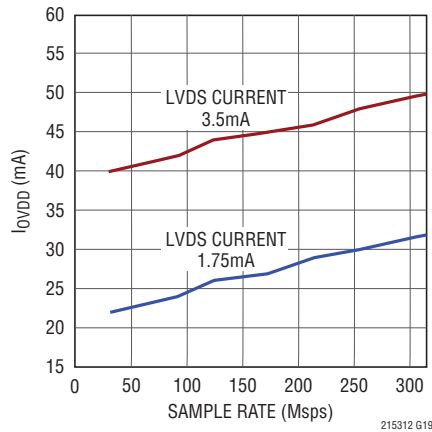


## 標準的性能特性

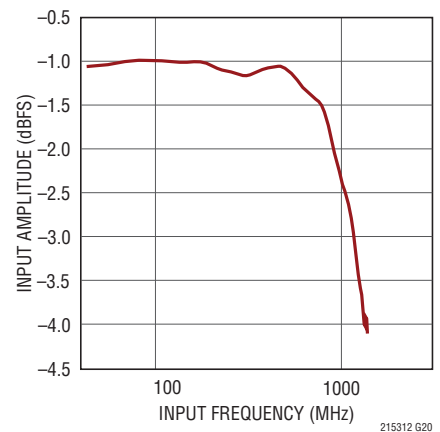
LTC2153-12:  $I_{VDD}$ とサンプル・レート、  
15MHz、正弦波入力、-1dBFS



LTC2153-12:  $I_{OVDD}$ とサンプル・レート、  
15MHz、正弦波入力、-1dBFS



LTC2153-12: 周波数応答



## ピン機能

**$V_{DD}$  (ピン1、2)** : 1.8Vアナログ電源。0.1 $\mu$ Fのセラミック・コンデンサを使用してグラウンドにバイパスします。ピン1とピン2はバイパス・コンデンサを共有することができます。

**GND (ピン3、6、10、13、35、露出パッド・ピン41)** : ADCの電源グラウンド。露出パッドはPCBグラウンドに半田付けする必要があります。

**$A_{IN}^+$  (ピン4)** : 正の差動アナログ入力。

**$A_{IN}^-$  (ピン5)** : 負の差動アナログ入力。

**SENSE (ピン7)** : リファレンス・プログラミング・ピン。SENSEを $V_{DD}$ に接続すると、内部リファレンスと $\pm 0.66V$ の入力範囲が選択されます。1.23V ~ 1.27Vの外部リファレンスをSENSEに与えると、 $\pm 0.528 \cdot V_{SENSE}$ の入力範囲が選択されます。

**$V_{REF}$  (ピン8)** : リファレンス電圧出力。2.2 $\mu$ Fのセラミック・コンデンサを使ってグラウンドにバイパスします。公称1.25V。

**$V_{CM}$  (ピン9)** : 公称で $0.439 \cdot V_{DD}$ に等しい同相バイアス出力。 $V_{CM}$ はアナログ入力の同相レベルをバイアスするのに使用します。0.1 $\mu$ Fのセラミック・コンデンサを使ってグラウンドにバイパスします。

**ENC<sup>+</sup> (ピン11)** : エンコード入力。立ち上がりエッジで変換が開始されます。

**ENC<sup>-</sup> (ピン12)** : エンコード相補入力。立ち下がりエッジで変換が開始されます。

**NC (ピン16、17)** : 接続されていません。

**$OV_{DD}$  (ピン20、30)** : 出力ドライバの1.8V電源。個別に0.1 $\mu$ Fのセラミック・コンデンサを使用して、各ピンをグラウンドにバイパスします。

**OGND (ピン21)** : LVDSドライバのグラウンド。

**SDO (ピン36)** : シリアル・インタフェースのデータ出力。シリアル・プログラミング・モードでは( $\overline{PAR/SER} = 0V$ )、SDOはオプションのシリアル・インタフェースのデータ出力です。SDOのデータはモード制御レジスタから読み出して、SCKの立ち下がりエッジでラッチすることができます。SDOはオープンドレインのNチャンネルMOSFET出力で、2k $\Omega$ の外付けプルアップ抵抗を1.8V ~ 3.3Vに接続する必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要であり、SDOは未接続のままかまいません。

**SDI (ピン37)** : シリアル・インタフェースのデータ入力。シリアル・プログラミング・モードでは( $\overline{PAR/SER} = 0V$ )、SDIはシリアル・インタフェースのデータ入力です。SDIのデータは、SCKの立ち上がりエッジでモード制御レジスタにクロックインされます。パラレル・プログラミング・モードでは( $\overline{PAR/SER} = V_{DD}$ )、SDIは3.5mAまたは1.75mAのLVDS出力電流を選択します(表2を参照)。



## ピン機能

**SCK (ピン38)** : シリアル・インタフェースのクロック入力。シリアル・プログラミング・モードでは ( $\overline{\text{PAR/SER}} = 0\text{V}$ )、SCK はシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モードでは ( $\overline{\text{PAR/SER}} = V_{\text{DD}}$ )、SCK はスリープ・モードを制御します (表2を参照)。

**$\overline{\text{CS}}$  (ピン39)** : シリアル・インタフェースのチップ・セレクト入力。シリアル・プログラミング・モードでは ( $\overline{\text{PAR/SER}} = 0\text{V}$ )、 $\overline{\text{CS}}$  はシリアル・インタフェースのチップ選択入力です。 $\overline{\text{CS}}$  が“L”のとき SCK がイネーブルされ、SDI のデータをモード制御レジスタにシフトします。パラレル・プログラミング・モードでは ( $\overline{\text{PAR/SER}} = V_{\text{DD}}$ )、 $\overline{\text{CS}}$  はクロック・デューティサイクル・スタビライザを制御します (表2を参照)。

**PAR/SER (ピン40)** : プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグランドに接続します。 $\overline{\text{CS}}$ 、SCK、SDI、SDO は A/D の動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブルするには  $V_{\text{DD}}$  に接続します。この場合、 $\overline{\text{CS}}$ 、SCK、SDI は、A/D (種類が限定された) 動作モードを制御するパラレル・ロジック入力になります。PAR/SER はグランドまたはデバイスの  $V_{\text{DD}}$  に直接接続し、ロジック信号ではドライブしません。

## LVDS 出力 (DDR LVDS)

以下のピンは差動 LVDS 出力です。出力電流レベルはプログラム可能です。各 LVDS 出力対 (ペア) の間にはオプションの内部  $100\Omega$  終端抵抗があります。

**D<sub>0\_1</sub><sup>-</sup>/D<sub>0\_1</sub><sup>+</sup> ~ D<sub>10\_11</sub><sup>-</sup>/D<sub>10\_11</sub><sup>+</sup> (ピン18/19、22/23、24/25、28/29、31/32、33/34)** : ダブルデータレート・デジタル出力。2つのデータ・ビットが各差動出力対に多重化されます。CLKOUT<sup>+</sup> が“L”のとき、偶数データ・ビット (D<sub>0</sub>、D<sub>2</sub>、D<sub>4</sub>、D<sub>6</sub>、D<sub>8</sub>、D<sub>10</sub>) が現れます。CLKOUT<sup>+</sup> が“H”のとき、奇数データ・ビット (D<sub>1</sub>、D<sub>3</sub>、D<sub>5</sub>、D<sub>7</sub>、D<sub>9</sub>、D<sub>11</sub>) が現れます。

**CLKOUT<sup>-</sup>、CLKOUT<sup>+</sup> (ピン26、27)** : データ出力クロック。デジタル出力は通常 CLKOUT<sup>+</sup> の立ち下がりエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT<sup>+</sup> の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

**OF<sup>-</sup>、OF<sup>+</sup> (ピン14、15)** : オーバーフロー/アンダーフローのデジタル出力。オーバーフローまたはアンダーフローが生じると、OF<sup>+</sup> が“H”になります。このアンダーフローは、CLKOUT<sup>+</sup> が“L”のときだけ有効です。クロック・サイクルの後半で、オーバーフローが0に設定されます。

## 機能ブロック図

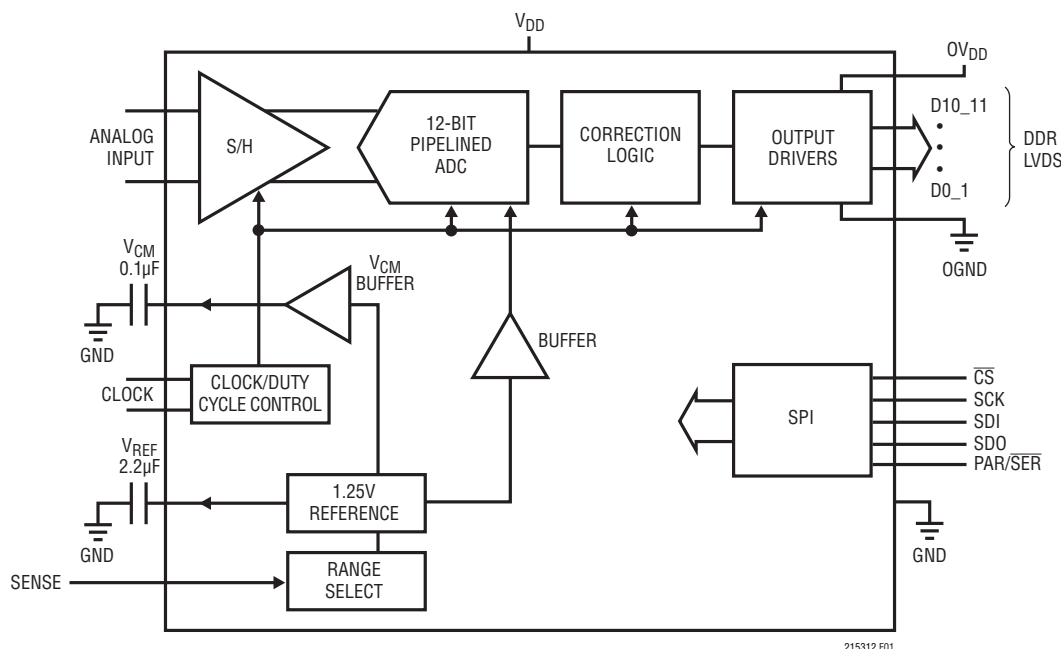
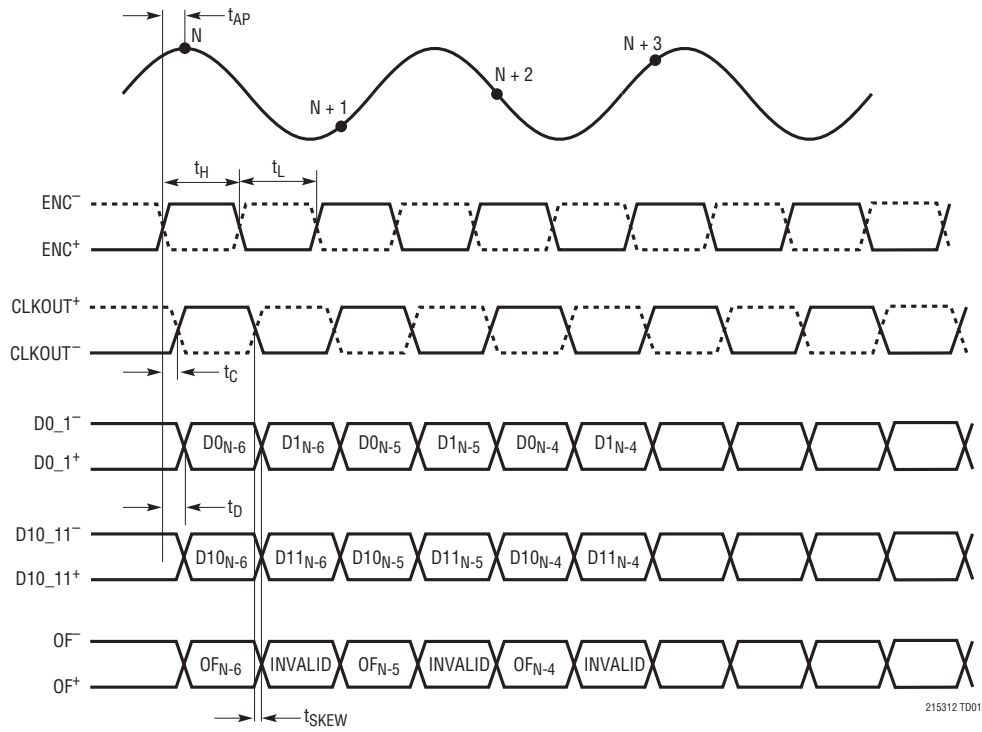


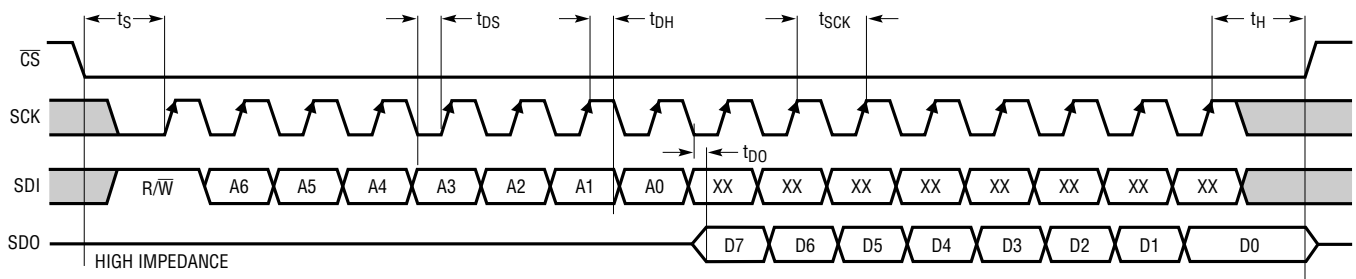
図1. 機能ブロック図

## タイミング図

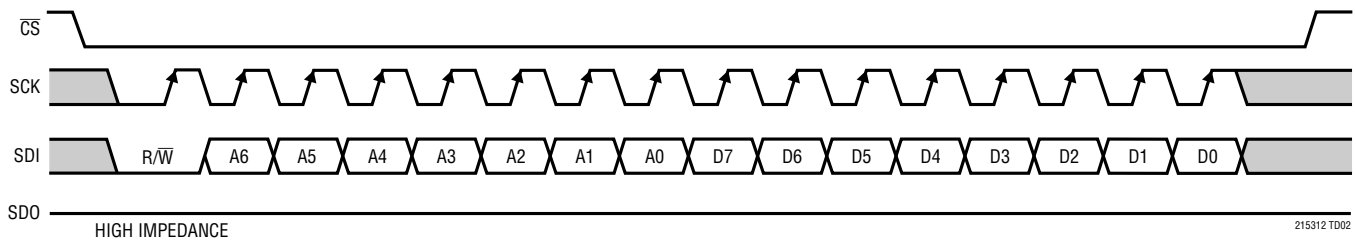
### Double Data Rate Output Timing, All Outputs Are Differential LVDS



### SPI Port Timing (Readback Mode)



### SPI Port Timing (Write Mode)



## アプリケーション情報

### コンバータの動作

LTC2153-12は単一1.8V電源で動作する12ビット310Msps A/Dコンバータです。アナログ入力には差動でドライブする必要があります。最適性能を得るため、エンコード入力は差動でドライブします。デジタル出力はダブルデータレートLVDSです。シリアルSPIポートを通してモード制御レジスタをプログラムすることにより、追加機能を選択することができます。

### アナログ入力

アナログ入力は差動CMOSサンプル・ホールド回路です(図2)。入力は、 $V_{CM}$ 出力ピンによって設定される同相電圧(公称 $0.439 \cdot V_{DD}$ )を基準にして、差動でドライブする必要があります。1.32Vの入力範囲の場合、入力を $V_{CM}-0.33V$ から $V_{CM}+0.33V$ まで振幅させます。入力間には $180^\circ$ の位相差を持たせます。

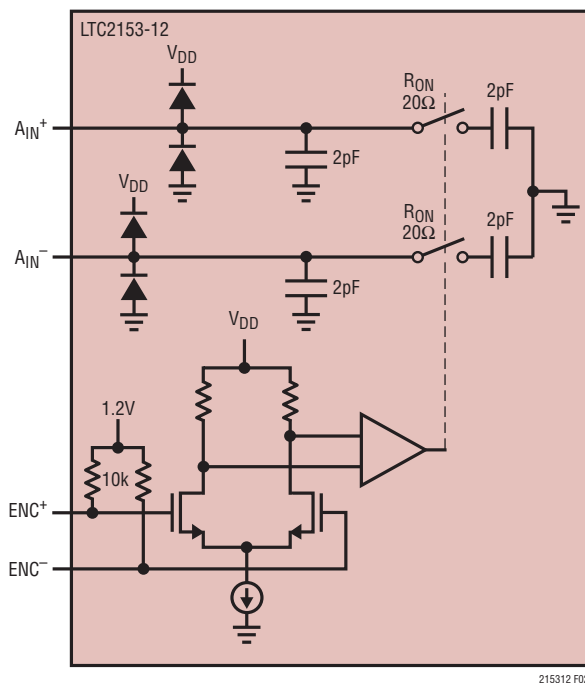


図2. 等価入力回路。2つのアナログ・チャンネルのうちの片方だけ示されている

### 入カドライブ回路

#### 入力のフィルタリング

可能であれば、アナログ入力にRCローパス・フィルタを接続します。このローパス・フィルタはドライブ回路をA/Dのサンプル・ホールドのスイッチングから分離し、ドライブ回路の広帯域ノイズも制限します。入力RCフィルタの例を図3に示します。RC部品の値はアプリケーションの特定の入力周波数に基づいて選択します。

#### トランス結合回路

$V_{CM}$ ピンを介して一対の抵抗によって与えられる同相電圧を備えたRFトランスによってドライブされるアナログ入力を図3に示します。

高い入力周波数では、伝送ラインの balan・トランス(図4と図5)はもっと良くバランスがとれているので、A/Dの歪みが小さくなります。

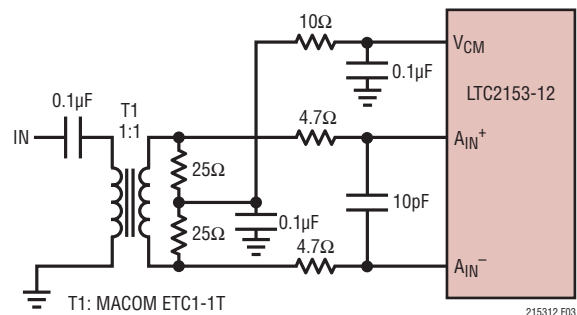


図3. トランスを使用したアナログ入力回路。  
5MHz～70MHzの入力周波数に対して推奨

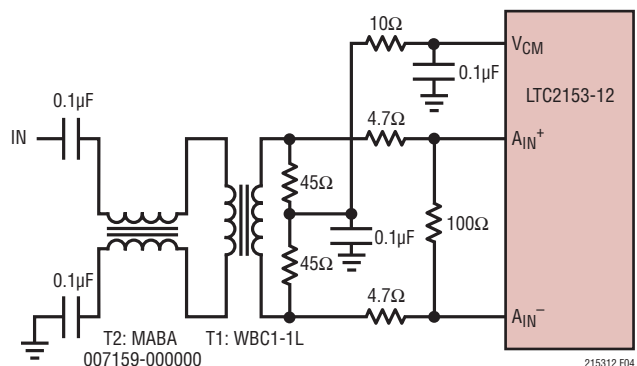


図4. 15MHz～150MHzの入力周波数用の  
推奨フロントエンド回路

215312fa

## アプリケーション情報

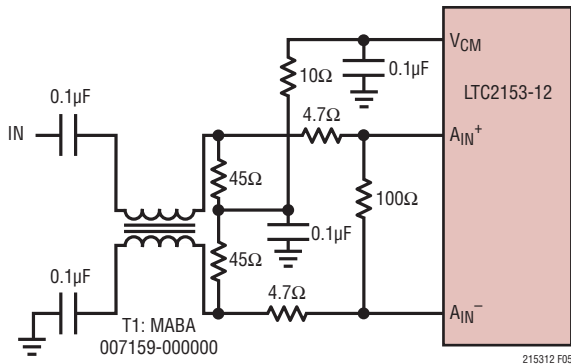


図5. 150MHz～900MHzの入力周波数用の推奨フロントエンド回路

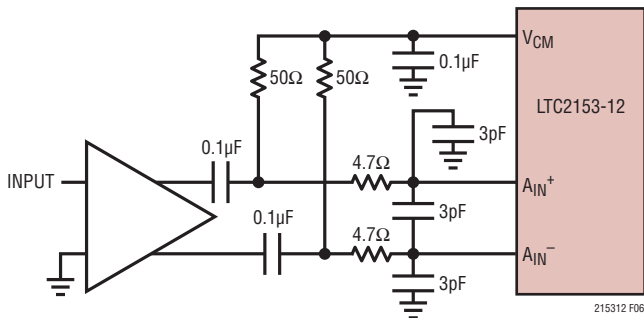


図6. 高速差動アンプを使ったフロントエンド回路

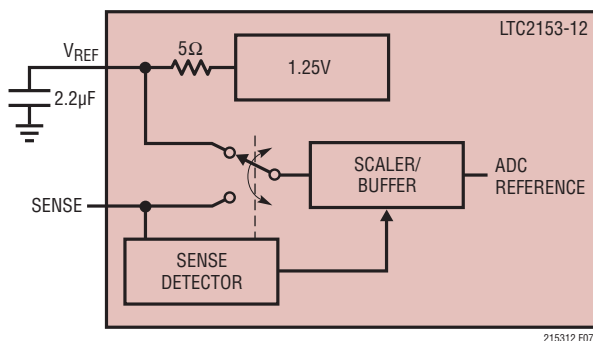


図7. リファレンス回路

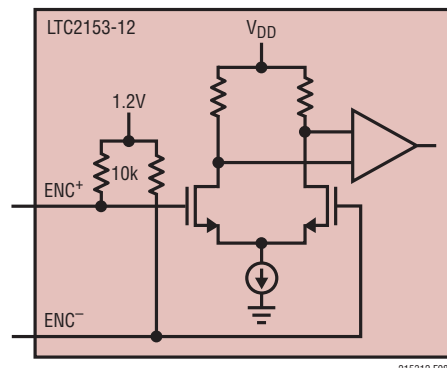


図8. 等価エンコード入力回路

### アンプ回路

高速差動アンプによってドライブされるアナログ入力を図6に示します。アンプの出力はA/DにAC結合されているので、アンプの出力の同相電圧を最適に設定して歪みを最小に抑えることができます。

非常に高い周波数では、多くの場合、RF利得ブロックの方が差動アンプよりも歪みが小さくなります。利得ブロックがシングルエンドであれば、A/Dをドライブする前にトランス回路(図3と図5)で信号を差動に変換します。A/Dはシングルエンドでドライブすることはできません。

### リファレンス

LTC2153-12は1.25Vの電圧リファレンスを内蔵しています。内部リファレンスを使った1.32Vの入力範囲の場合、SENSEをV<sub>DD</sub>に接続します。外部リファレンスを使った1.32Vの入力範囲の場合、1.25Vのリファレンス電圧をSENSEに与えます(図7)。

### エンコード入力

エンコード入力の信号品質はA/Dのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。回路基板上でデジタル・トレースに隣接して配線しないでください。

エンコード入力は内部で10kの等価抵抗を介して1.2Vにバイアスされています(図8)。ドライバの同相電圧が1.1V～1.5Vの範囲内であれば、エンコード入力を直接ドライブすることは可能です。そうでなければ、トランスまたはカップリング・コンデンサが必要です(図9と図10)。入力信号の最大(ピーク)電圧は決してV<sub>DD</sub> + 0.1Vを超えないように、または-0.1Vより下にならないようにします。

## アプリケーション情報

### クロック・デューティサイクル・スタビライザ

良好な性能を得るために、エンコード信号のデューティサイクルを50% ( $\pm 5\%$ ) にします。オプションのクロック・デューティサイクル・スタビライザ回路がイネーブルされていると、エンコードのデューティサイクルは30%～70%の間で変化することができ、デューティサイクル・スタビライザは内部のデューティサイクルを50%に保ちます。デューティサイクル・スタビライザは、SPIレジスタA2(表3を参照)によって、または、パラレル・プログラミング・モードでは $\overline{CS}$ によってイネーブルされます。

サンプル・レートを即座に変更する必要があるアプリケーションでは、クロック・デューティサイクル・スタビライザをディスエーブルすることができます。この場合、クロックのデューティサイクルが50% ( $\pm 5\%$ ) になるように注意してください。

### デジタル出力

デジタル出力はダブルデータレートLVDS信号です。2つのデータ・ビットが各差動出力対に多重化されて出力されます。6つのLVDS出力対(D0\_1<sup>+</sup>/D0\_1<sup>-</sup>～D10\_11<sup>+</sup>/D10\_11<sup>-</sup>)があります。オーバーフロー(OF<sup>+</sup>/OF<sup>-</sup>)とデータ出力クロック(CLKOUT<sup>+</sup>/CLKOUT<sup>-</sup>)はそれぞれLVDS出力対を備えています。

デフォルトでは、出力は標準LVDSレベルです。つまり、出力電流が3.5mA、出力同相電圧が1.25Vです。

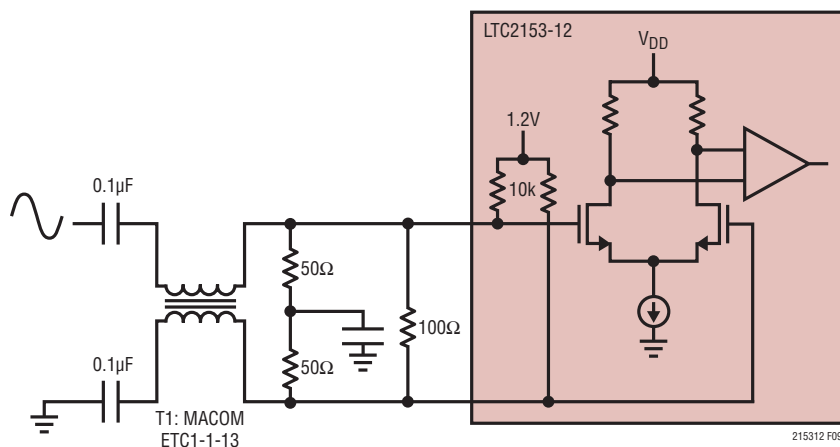


図9. 正弦波のエンコード・ドライブ

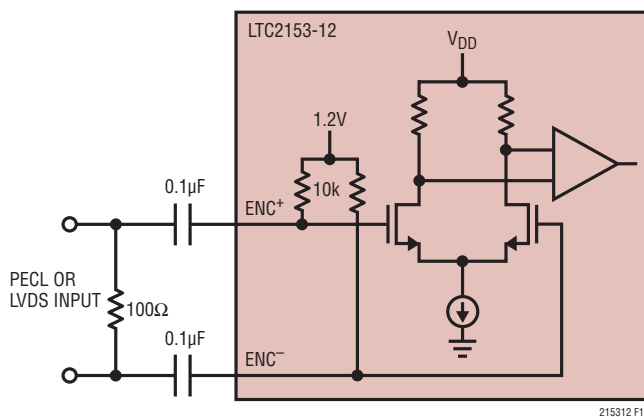


図10. PECLまたはLVDSのエンコード・ドライブ

## アプリケーション情報

### 設定可能なLVDS出力電流

デフォルトの出力ドライバ電流は3.5mAです。この電流はモード制御レジスタA3をシリアル・モードでプログラムすることにより調節することができます(表3を参照)。設定可能な電流レベルは1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mAおよび4.5mAです。

### オプションのLVDSドライバの内部終端

ほとんどの場合、100Ωの外付け終端抵抗を使用するだけでLVDSの優れた信号品質が得られます。さらに、モード制御レジスタA3をシリアル・モードでプログラムすることにより、オプションの100Ωの内部終端抵抗をイネーブルすることができます。内部終端には、レシーバ側の不完全な終端によって生じる反射を吸収する効果があります。内部終端が有効になると、同じ出力電圧振幅を維持するために、出力ドライバ電流が2倍になります。

### オーバーフロー・ビット

アナログ入力にオーバーレンジまたはアンダーレンジが生じると、オーバーフロー出力ビット(OF)がロジック“H”を出力しま

す。オーバーフロー・ビットにはデータ・ビットと同じパイプライン待ち時間があります。タイミング図に示すように、SPIレジスタA2のCLKINVビットが0に設定されているときは、OF信号はCLKOUT+が“L”のときに有効です。

### 出力クロックの位相シフト

出力データをラッチするとき適切なセットアップ時間とホールド時間を与えるには、電圧出力ビットに対してCLKOUT+信号の位相をシフトさせる必要があるかもしれません。ほとんどのFPGAはこの機能を備えており、これが一般にタイミングを調整する最良のポイントです。

代わりに、ADCは、モード制御レジスタA2をシリアル・モードでプログラムすることにより、CLKOUT+/CLKOUT-信号の位相をシフトすることもできます。出力クロックは0°、45°、90°または135°だけシフトすることができます。位相シフト機能を使うには、クロック・デューティサイクル・スタビライザをオンする必要があります。もう1つの制御レジスタ・ビットは、位相シフトとは関係なく、CLKOUT+とCLKOUT-の極性を反転させることができます。これら2つの機能を組み合わせると、45°から315°までの位相シフトが可能になります(図11)。

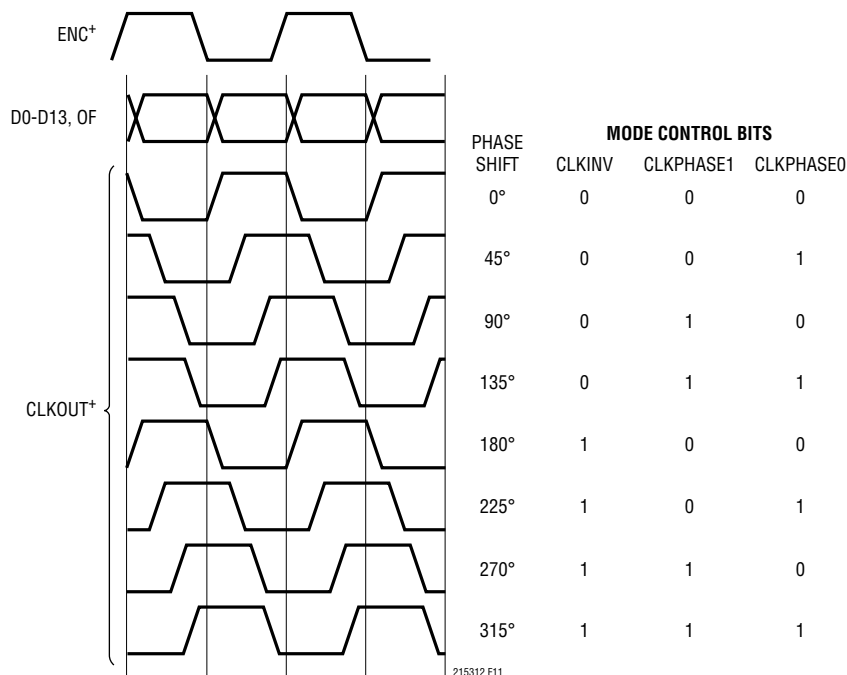


図11. CLKOUTの位相シフト



## アプリケーション情報

### データ形式

アナログ入力電圧、デジタル・データ出力ビット、およびオーバーフロー・ビットの相互関係を表1に示します。デフォルトでは、出力のデータ形式はオフセット・バイナリです。モード制御レジスタA4をシリアル・モードでプログラムすることにより、2の補数形式を選択することができます。

表1. 出力コードと入力電圧

$A_{IN}^+ - A_{IN}^-$ (1.32V範囲)	OF	D11~D0 (オフセット・バイナリ)	D11~D0 (2の補数)
>0.66V	1	1111 1111 1111	0111 1111 1111
+0.66V	0	1111 1111 1111	0111 1111 1111
+0.6596777V	0	1111 1111 1110	0111 1111 1110
+0.0003222V	0	1000 0000 0001	0000 0000 0001
+0.000000V	0	1000 0000 0000	0000 0000 0000
-0.0003222V	0	0111 1111 1111	1111 1111 1111
-0.0006445V	0	0111 1111 1110	1111 1111 1110
-0.6596777V	0	0000 0000 0001	1000 0000 0001
-0.66V	0	0000 0000 0000	1000 0000 0000
<-0.66V	1	0000 0000 0000	1000 0000 0000

### デジタル出力ランダムマイザ

A/Dコンバータのデジタル出力からの干渉を避けられないことがあります。デジタル干渉は、容量性結合や誘導性結合、あるいはグランド・プレーンを介した結合によって発生する可能性があります。結合係数がきわめて小さい場合でも、そのためにADCの出力スペクトルに不要なトーンが発生することがあ

ります。デジタル出力をデバイスから伝送する前にランダム化することにより、これらの不要なトーンをランダム化し、それによって不要なトーン振幅を減少させることができます。

デジタル出力は、LSBと他の全てのデータ出力ビットとの間で排他的論理和ロジック演算を行うことによってランダム化されます。デコードするには逆の演算を行います。つまり、LSBと他のすべてのビットとの間で排他的論理和演算を行います。LSB、OF、およびCLKOUTの各出力は影響を受けません。モード制御レジスタA4をシリアル・モードでプログラムすることにより、出力ランダムマイザをイネーブルすることができます。

### 交互ビット極性

回路基板のデジタル帰還を減らすもうひとつの機能は交互ビット極性モードです。このモードがイネーブルされると、全ての奇数ビット(D1、D3、D5、D7、D9、D11)が出力バッファの前で反転します。偶数ビット(D0、D2、D4、D6、D8、D10)、OFおよびCLKOUTは影響を受けません。これにより、回路基板のグランド・プレーンのデジタル電流を減らし、(特に非常に小さなアナログ入力信号の場合)デジタル・ノイズを減らすことができます。

デジタル出力は、奇数ビット(D1、D3、D5、D7、D9、D11)を反転させることにより、レシーバでデコードされます。交互ビット極性モードはデジタル出力ランダムマイザからは独立しています。つまり、どちらかの機能だけをオンすることも、両方の機能を同時にオンすることも、両方の機能を同時にオフすることも可能です。モード制御レジスタA4をシリアル・モードでプログラムすることにより、交互ビット極性モードがイネーブルされます。

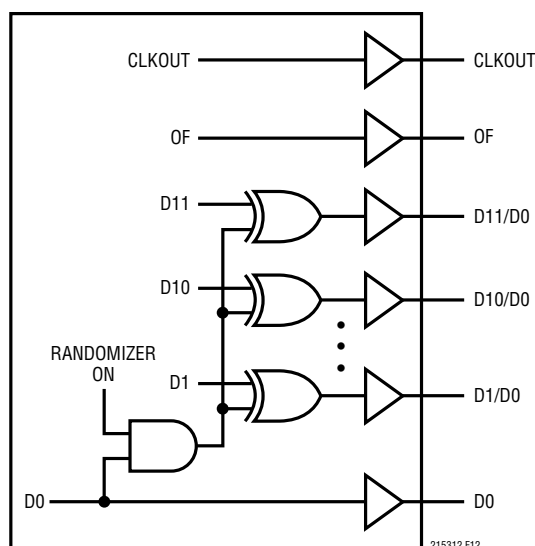


図12. デジタル出力ランダムマイザの等価機能

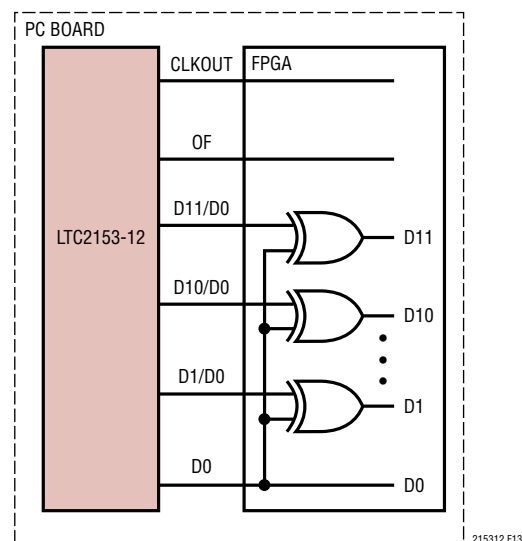


図13. ランダム化されたデジタル出力信号の復元

215312fa

## アプリケーション情報

### デジタル出力のテストパターン

A/Dへのデジタル・インタフェースのインサーキット・テストを可能にするため、A/Dのデータ出力(OF、D11～D0)を既知の値に強制するいくつかのテスト・モードがあります。

オール1:すべての出力が1

オール0:すべての出力が0

交互:サンプルの出力が交互にオール1からオール0に変化する。

チェッカーボード:サンプルの出力が交互に10101010101010から010101010101010に変化する。

モード制御レジスタA4をシリアル・モードでプログラムすることにより、デジタル出力テストパターンをイネーブルすることができます。テストパターンがイネーブルされると、他のすべての形式設定モード(2の補数、ランダムマイザ、交互ビット極性)がオーバーライドされます。

### 出力のディスエーブル

モード制御レジスタA3をシリアル・モードでプログラムすることにより、デジタル出力をディスエーブルすることができます。OFおよびCLKOUTを含む全てのデジタル出力がディスエーブルされます。高インピーダンスのディスエーブルされた状態は長期間の休止状態のためのものです。これは、複数のコンバータの間でデータ・バスを多重化するように設計されてはいません。

### スリープ・モード

節電のため、A/Dをスリープ・モードにすることができます。スリープ・モードでは、A/Dコンバータ全体がパワーダウンし、消費電力は5mW未満になります。エンコード入力信号がディスエーブルされていないと、消費電力が(310Mspsで最大5mWまで)増加します。スリープ・モードは、モード制御レジスタA1(シリアル・プログラミング・モード)またはSCK(パラレル・プログラミング・モード)によってイネーブルされます。

スリープ・モードから回復するのに要する時間は、V<sub>REF</sub>のバイパス・コンデンサの容量によって決まります。図1の推奨値の場合、A/Dは0.1ms + 2500•t<sub>p</sub>の後に安定化します。ここで、t<sub>p</sub>はサンプリング・クロックの周期です。

### ナップ・モード

ナップ・モードでは、A/Dのコアはパワーダウンしますが、内部リファレンス回路はアクティブなままなので、より速くウェイクアップすることができます。ナップ・モードからの回復には、最低でも100クロック・サイクルが必要です。

ナップ・モードからのウェイクアップ時間は、クロックが動作している場合だけ保証されます。それ以外の場合は、「スリープ・モード・ウェイクアップ」条件が適用されます。

ナップ・モードは、シリアル・プログラミング・モードでレジスタA1を設定することによってイネーブルされます。

### デバイスのプログラミング・モード

LTC2153-12の動作モードはパラレル・インタフェースまたは簡単なシリアル・インタフェースのどちらでもプログラム可能です。シリアル・インタフェースは柔軟性が高く、選択可能なすべてのモードをプログラムできます。パラレル・インタフェースには制限が多く、よく使用される一部のモードのみをプログラムできます。

### パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、PAR/SERをV<sub>DD</sub>に接続します。CS、SCK、およびSDIの各ピンはバイナリ・ロジック入力で、特定の動作モードを設定します。これらのピンはV<sub>DD</sub>またはグラウンドに接続するか、あるいは1.8V、2.5V、または3.3VのCMOSロジックでドライブすることができます。表2に、CS、SCK、およびSDIで設定されるモードを示します。

表2. パラレル・プログラミング・モードの制御ビット (PAR/SER = V<sub>DD</sub>)

ピン	説明
CS	クロック・デューティサイクル・スタビライザ制御ビット 0 = クロック・デューティサイクル・スタビライザをオフ 1 = クロック・デューティサイクル・スタビライザをオン
SCK	パワーダウン制御ビット 0 = 通常動作 1 = スリープ・モード (ADC全体がパワーダウン)
SDI	LVDS電流の選択ビット 0 = 3.5mAのLVDS電流モード 1 = 1.75mAのLVDS電流モード



## アプリケーション情報

### シリアル・プログラミング・モード

シリアル・プログラミング・モードを使うには、 $\overline{\text{PAR/SER}}$ をグランドに接続します。 $\overline{\text{CS}}$ 、 $\text{SCK}$ 、 $\text{SDI}$ および $\text{SDO}$ の各ピンは、A/Dの制御レジスタをプログラムするシリアル・インタフェースになります。データは、16ビットのシリアル・ワードでレジスタに書き込まれます。レジスタの内容を検証するため、データをレジスタから読み出すこともできます。

シリアル・データ転送は $\overline{\text{CS}}$ が“L”になると開始されます。SDIピンのデータは、 $\text{SCK}$ の先頭から16番目までの立ち上がりエッジでラッチされます。先頭から16番目より後の $\text{SCK}$ の立ち上がりエッジは無視されます。データ転送は $\overline{\text{CS}}$ が再度“H”になると終了します。

16ビットの入力ワードの最初のビットは $\text{R}/\overline{\text{W}}$ ビットです。次の7ビットはレジスタのアドレス(A6:A0)です。最後の8ビットはレジスタのデータ(D7:D0)です。

$\text{R}/\overline{\text{W}}$ ビットが“L”の場合、シリアル・データ(D7:D0)はアドレス・ビット(A6:A0)で指定されるレジスタに書き込まれます。 $\text{R}/\overline{\text{W}}$ ビットが“H”の場合、アドレス・ビット(A6:A0)によって指定されるレジスタ内のデータが $\text{SDO}$ ピンで読み出されます(タイミング図を参照)。読み出しコマンドの実行中、レジスタは更新されず、SDIのデータは無視されます。

$\text{SDO}$ ピンはオープン・ドレイン出力で、 $200\Omega$ のインピーダンスでグランドに引き下げられます。レジスタのデータを $\text{SDO}$ を介して読み出す場合は、 $2\text{k}\Omega$ の外付けプルアップ抵抗が必要です。シリアル・データが書き込み専用で読み出しの必要がない場合には、 $\text{SDO}$ をフロートさせておくことができるので、プルアップ抵抗は必要ありません。モード制御レジスタのマップを表3に示します。

### ソフトウェア・リセット

シリアル・プログラミングを使用する場合には、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、すべてのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットでなければなりません。ソフトウェア・リセットを行うには、レジスタA0(ビットD7)に1を書き込む必要があります。リセットが完了した後、ビットD7は自動的に再度ゼロに設定されます。このレジスタは書き込み専用です。

### 接地とバイパス

LTC2153-12は、ADCの下の第一層に切れ目のないクリーンなグランド・プレーンを備えたプリント回路基板を必要とします。内部グランド・プレーンを備えた多層基板を推奨します。プリント基板のレイアウトは、デジタル信号線とアナログ信号線をできるだけ離すようにしなければなりません。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、ADCの下に配置したりしないように注意してください。

$\text{V}_{\text{DD}}$ 、 $\text{OV}_{\text{DD}}$ 、 $\text{V}_{\text{CM}}$ 、 $\text{V}_{\text{REF}}$ の各ピンには、高品質のセラミック・バイパス・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。0402サイズのセラミック・コンデンサを推奨します。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くする必要があります。

アナログ入力、エンコード信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに絶縁するためのバリアとして、グランド領域とグランド・ビアを使用します。

### 熱伝達

LTC2153-12が発生する熱の大部分はダイから底面の露出パッドとパッケージのピンを通してプリント回路基板に伝わります。優れた電気的性能と熱性能を得るには、露出パッドをPC基板上の接地された大きなパッドに半田付けする必要があります。このパッドは、多数のビアにより、内部のグランド・プレーンに接続します。

## アプリケーション情報

表3. シリアル・プログラミング・モードのレジスタ・マップ (PAR/SER = GND)。Xは未使用ビット(0が読み出される)を示す。  
レジスタA0:リセット・レジスタ(アドレス00h)、書き込み専用

D7	D6	D5	D4	D3	D2	D1	D0
RESET	X	X	X	X	X	X	X

ビット7 **RESET** ソフトウェア・リセット・ビット  
0=リセットをディスエーブル  
1=ソフトウェア・リセット。全てのモード制御レジスタが00hにリセットされる。リセットが完了すると、このビットは自動的に0に戻る。

ビット6~0 未使用ビット

## レジスタA1: パワーダウン・レジスタ(アドレス01h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	SLEEP	NAP	0	0

ビット7~4 未使用ビット

ビット3 **SLEEP**  
0=通常動作  
1=ADC全体をパワーダウン

ビット2 **NAP**  
0=通常モード  
1=低消費電力モード

ビット1~0 0に設定する必要がある

## レジスタA2: タイミング・レジスタ(アドレス02h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	CLKINV	CLKPHASE1	CLKPHASE0	DCS

ビット7~4 未使用ビット

ビット3 **CLKINV** 出力クロック反転ビット  
0=通常のCLKOUTの極性(タイミング図に示されているとおり)  
1=反転したCLKOUT極性

ビット2~1 **CLKPHASE1:CLKPHASE0** 出力クロックの位相遅延ビット  
00=CLKOUTの遅延なし(タイミング図に示されているとおり)  
01=CLKOUT+/CLKOUT-が45°(クロックの周期の1/8)だけ遅延  
10=CLKOUT+/CLKOUT-が90°(クロックの周期の1/4)だけ遅延  
11=CLKOUT+/CLKOUT-が135°(クロックの周期の3/8)だけ遅延  
Note:CLKOUT位相遅延機能を使う場合、クロック・デューティサイクル・スタビライザもオンする必要がある。

ビット0 **DCS** クロック・デューティサイクル・スタビライザ・ビット  
0=クロック・デューティサイクル・スタビライザをオフ  
1=クロック・デューティサイクル・スタビライザをオン

## アプリケーション情報

## レジスタ A3: 出力モード・レジスタ (アドレス 03h)

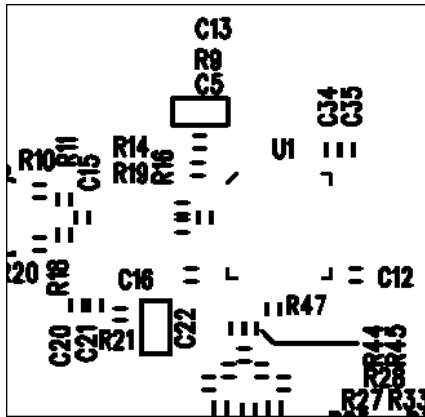
	D7	D6	D5	D4	D3	D2	D1	D0
	X	X	X	ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF
ビット7~5	未使用ビット							
ビット4~2	<b>ILVDS2:ILVDS0</b> LVDS 出力電流ビット 000 = LVDS 出力ドライバ電流が 3.5mA 001 = LVDS 出力ドライバ電流が 4.0mA 010 = LVDS 出力ドライバ電流が 4.5mA 011 = 使用されない 100 = LVDS 出力ドライバ電流が 3.0mA 101 = LVDS 出力ドライバ電流が 2.5mA 110 = LVDS 出力ドライバ電流が 2.1mA 111 = LVDS 出力ドライバ電流が 1.75mA							
ビット1	<b>TERMON</b> LVDS 内部終端ビット 0 = 内部終端をオフ 1 = 内部終端をオン。LVDS 出力ドライバ電流は ILVDS2:ILVDS0 によって設定される電流の 2 倍							
ビット0	<b>OUTOFF</b> デジタル出力モード制御ビット 0 = デジタル出力をイネーブル 1 = デジタル出力をディスエーブル (高インピーダンス)							

## レジスタ A4: データ・フォーマット・レジスタ (アドレス 04h)

	D7	D6	D5	D4	D3	D2	D1	D0
	OUTTEST2	OUTTEST1	OUTTEST0	ABP	0	DTESTON	RAND	TWOSCOMP
ビット7~5	<b>OUTTEST2:OUTTEST0</b> デジタル出力のテストパターン・ビット 000 = 全デジタル出力が 0 001 = 全デジタル出力が 1 010 = 交互出力パターン。OF、D11~D0 は、0 0000 0000 0000 と 1 1111 1111 1111 を交互に出力 100 = チェッカーボード出力パターン。OF、D11~D0 は 1 0101 0101 0101 と 0 1010 1010 1010 を交互に出力 Note 1: 他のビットの組み合わせは使用されない。							
ビット4	<b>ABP</b> 交互ビット極性モードの制御ビット 0 = 交互ビット極性モードをオフ 1 = 交互ビット極性モードをオン							
ビット3	0 に設定する必要がある							
ビット2	<b>DTESTON</b> デジタル出力テストパターンをイネーブル (ビット7~5 によって設定) 0 = 通常モード 1 = デジタル出力テストパターンをイネーブル							
ビット1	<b>RAND</b> データ出力ランダムマイザ・モード制御ビット 0 = データ出力ランダムマイザ・モードをオフ 1 = データ出力ランダムマイザ・モードをオン							
ビット0	<b>TWOSCOMP</b> 2 の補数モード制御ビット 0 = オフセット・バイナリのデータ形式 1 = 2 の補数のデータ形式							

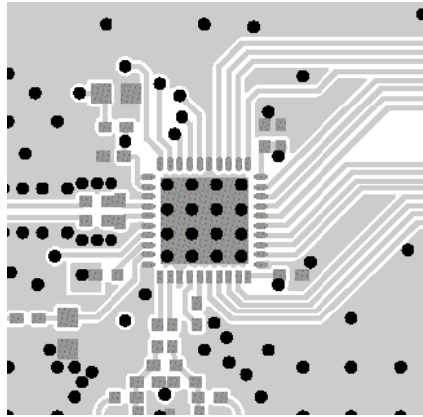
# LTC2153-12

## アプリケーション情報



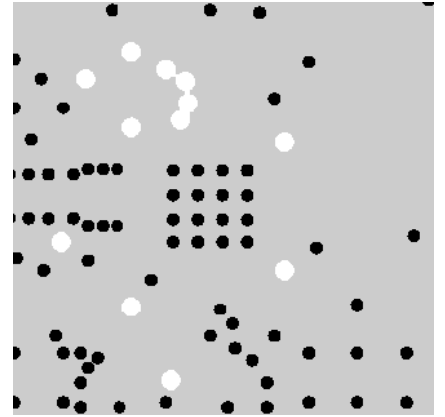
215312 F14

部品面シルク



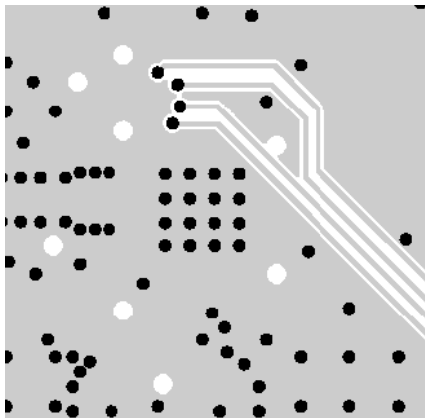
215312 F15

内部第1層



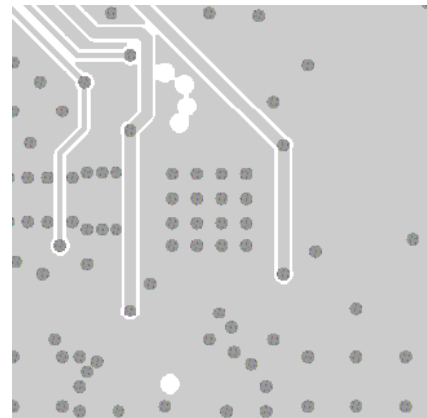
215312 F16

内部第2層



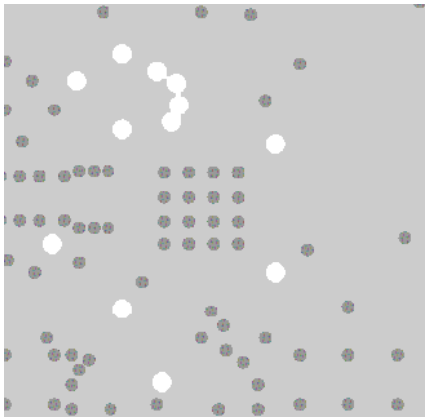
215312 F17

内部第3層



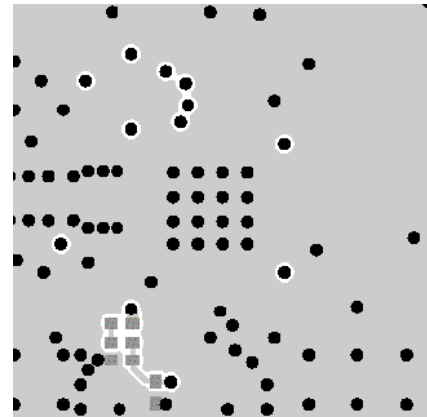
215312 F18

内部第4層



215312 F19

内部第5層



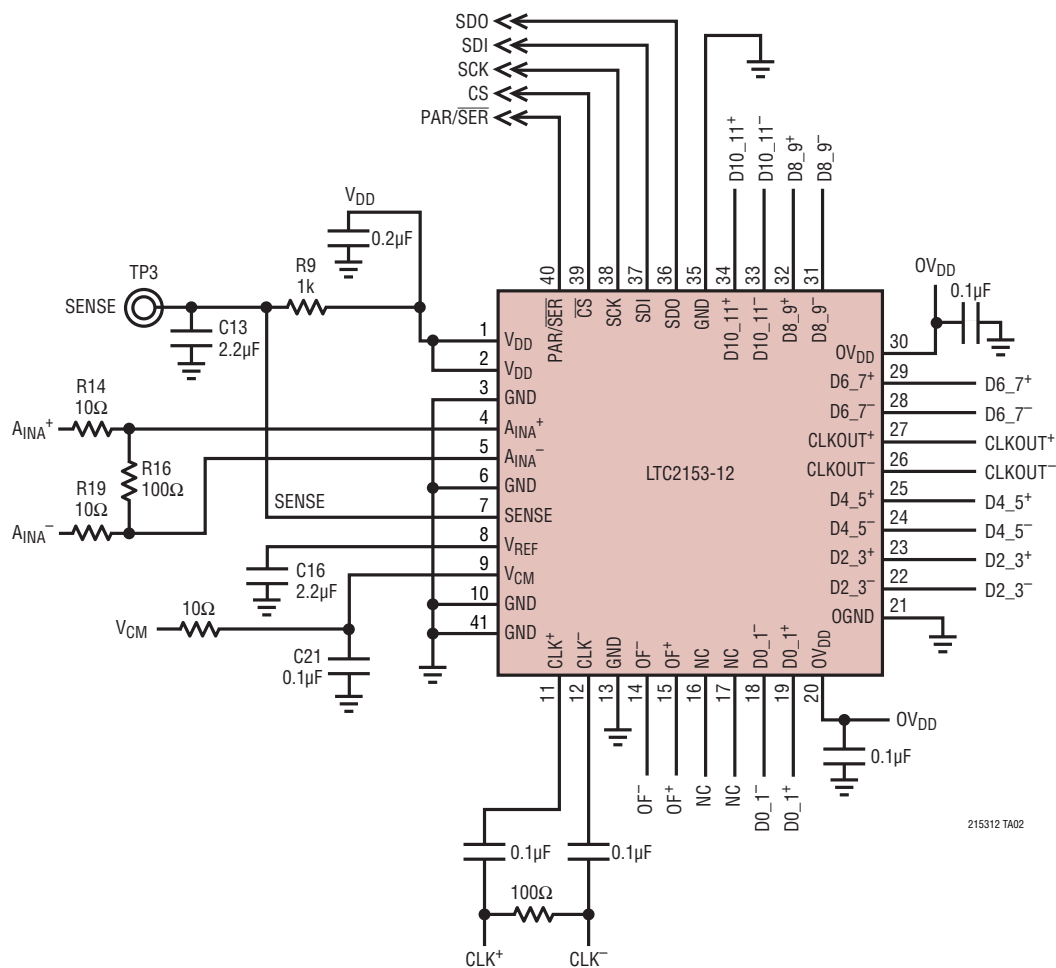
215312 F20

ボトム層

215312fa

## 標準的応用例

LTC2153-12の回路図



215312 TA02

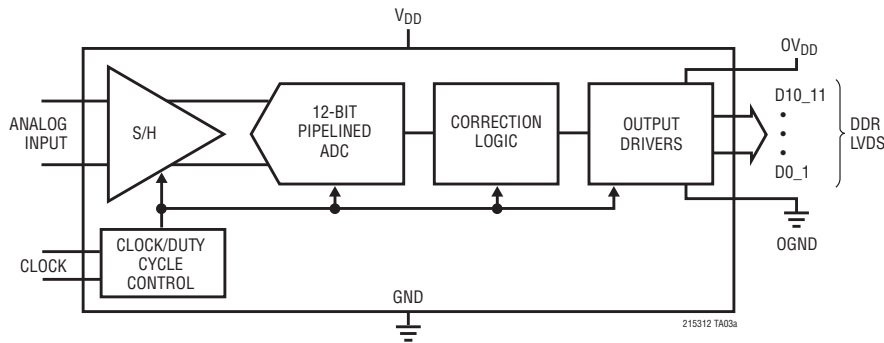


## 改訂履歴

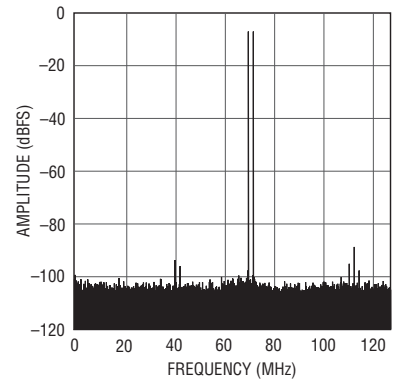
REV	日付	概要	ページ番号
A	12/14	pipeline latency を6に変更。 グラフG15を更新。	5、10 7

# LTC2153-12

## 標準的応用例



LTC2153-12:32Kポイントの2トーンFFT、  
 $f_{IN} = 71\text{MHz}$  および  $69\text{MHz}$ 、 $310\text{MSPS}$



## 関連製品

製品番号	説明	注釈
<b>ADC</b>		
LTC2208	16ビット、130MSPS、3.3V ADC、LVDS出力	1250mW、SNR:77.7dB、SFDR:100dB、64ピンQFNパッケージ
LTC2158-14	14ビット、310MSPS、1.8VデュアルADC、DDR LVDS出力	724mW、SNR:68.8dB、SFDR:88dB、64ピンQFNパッケージ
LTC2157-14/LTC2156-14/ LTC2155-14	14ビット、250MSPS/210MSPS/170MSPS、1.8VデュアルADC、DDR LVDS出力	605mW/565mW/511mW、SNR:70dB、SFDR:90dB、9mm×9mm 64ピンQFNパッケージ
LTC2152-14/LTC2151-14/ LTC2150-14	14ビット、250MSPS/210MSPS/170MSPS、1.8VシングルADC、DDR LVDS出力	338mW/316mW/290mW、SNR:70dB、SFDR:90dB、6mm×6mm 40ピンQFNパッケージ
LTC2153-14	14ビット、310MSPS、1.8VシングルADC、DDR LVDS出力	401mW、SNR:68.8dB、SFDR:88dB、6mm×6mm 40ピンQFNパッケージ
<b>RFミキサ/復調器</b>		
LT5517	40MHz～900MHz直接変換直交復調器	高いIIP3:800MHzで21dBm、LO直交ジェネレータ内蔵
LT5527	400MHz～3.7GHz高直線性 ダウンコンバーティング・ミキサ	IIP3:900MHzで24.5dBm、3.5GHzで23.5dBm、NF=12.5dB、50ΩシングルエンドのRFポートとLOポート
LT5575	800MHz～2.7GHz直接変換直交復調器	高いIIP3:900MHzで28dBm、LO直交ジェネレータ内蔵、RFおよびLOトランス内蔵
<b>アンプ/フィルタ</b>		
LTC6409	GBWが10GHzの、 $1.1\text{nV}/\sqrt{\text{Hz}}$ 差動アンプ/ ADCドライバ	SFDR:88dB(100MHz)、グランドを含む入力範囲、電源電流:52mA、3mm×2mmQFNパッケージ
LTC6412	800MHz、31dBレンジ、アナログ制御VGA	連続調整可能な利得制御、240MHzでのOIP3:35dBm、ノイズフィギュア:10dB、4mm×4mm QFN-24パッケージ
LTC6420-20	300MHzのIF周波数向け1.8GHz、低ノイズ、 低歪み、デュアル差動ADCドライバ	固定利得:10V/V、総入力ノイズ: $1\text{nV}/\sqrt{\text{Hz}}$ 、アンプ当たりの電源電流:80mA、3mm×4mm QFN-20パッケージ
<b>レシーバ・サブシステム</b>		
LTM9002	14ビット・デュアル・チャンネルIF/ベースバンド・ レシーバ・サブシステム	高速ADC、パッシブ・フィルタ、固定利得差動アンプを内蔵
LTM9003	12ビット・デジタル・プリディストーション・ レシーバ	12ビットADC、入力周波数範囲が0.4GHz～3.8GHzの ダウンコンバーティング・ミキサを内蔵

215312fa