

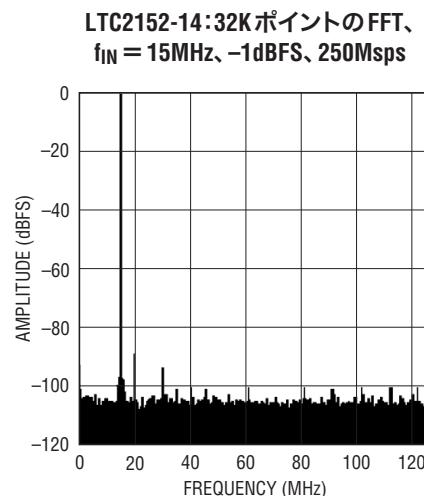
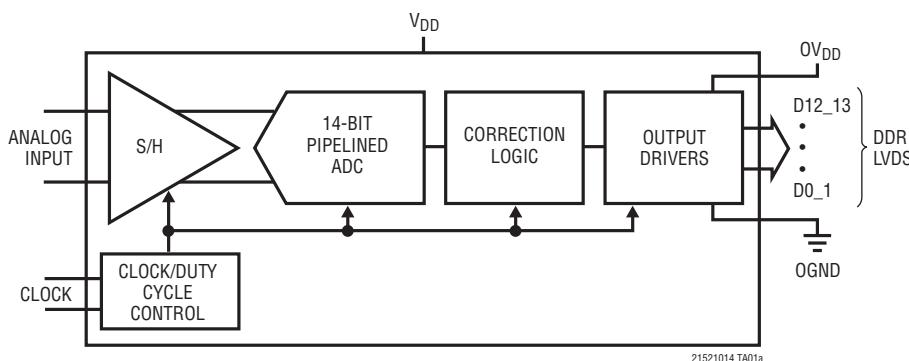
特長

- SNR:70dB
- SFDR:90dB
- 低消費電力:356mW/338mW/313mW(合計)
- 単一1.8V電源
- DDR LVDS出力
- ドライブしやすい1.5V_{P-P}の入力範囲
- 1.25GHzのフルパワー帯域幅サンプル/ホールド
- オプションのクロック・デューティサイクル・スタビライザ
- 低消費電力のスリープ・モードとナップ・モード
- 設定用のシリアルSPIポート
- 12ビット・バージョンとピン互換
- 40ピン(6mm×6mm)QFNパッケージ

アプリケーション

- 通信
- セルラー基地局
- ソフトウェア無線
- 医療用画像処理
- 高精細ビデオ
- テストおよび測定機器

標準的応用例



21521014fa

LTC2152-14/ LTC2151-14/LTC2150-14

絶対最大定格 (Note 1, 2)

電源電圧

V_{DD} 、 $0V_{DD}$ $-0.3V \sim 2V$

アナログ入力電圧

A_{IN}^+ 、 A_{IN}^- 、 PAR/SER 、

$SENSE$ (Note 3)..... $-0.3V \sim (V_{DD} + 0.2V)$

デジタル入力電圧

ENC^+ 、 ENC^- (Note 3)..... $-0.3V \sim (V_{DD} + 0.3V)$

\overline{CS} 、 SDI 、 SCK (Note 4)..... $-0.3V \sim 3.9V$

SDO (Note 4)..... $-0.3V \sim 3.9V$

デジタル出力電圧..... $-0.3V \sim (0V_{DD} + 0.3V)$

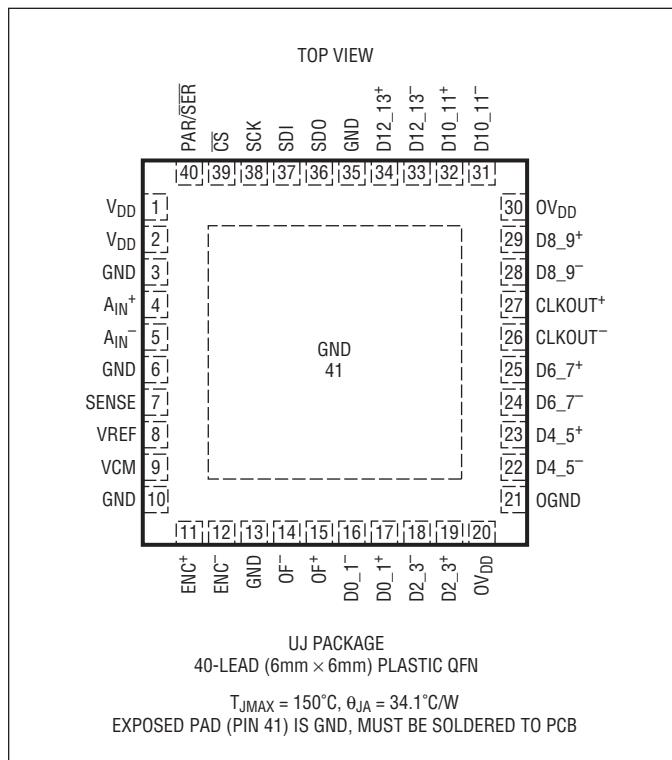
動作温度範囲

LTC2152C、LTC2151C、LTC2150C..... $0^\circ C \sim 70^\circ C$

LTC2152I、LTC2151I、LTC2150I..... $-40^\circ C \sim 85^\circ C$

保存温度範囲..... $-65^\circ C \sim 150^\circ C$

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2152CUJ-14#PBF	LTC2152CUJ-14#TRPBF	LTC2152UJ-14	40-Lead (6mm × 6mm) Plastic QFN	$0^\circ C$ to $70^\circ C$
LTC2152IUJ-14#PBF	LTC2152IUJ-14#TRPBF	LTC2152UJ-14	40-Lead (6mm × 6mm) Plastic QFN	$-40^\circ C$ to $85^\circ C$
LTC2151CUJ-14#PBF	LTC2151CUJ-14#TRPBF	LTC2151UJ-14	40-Lead (6mm × 6mm) Plastic QFN	$0^\circ C$ to $70^\circ C$
LTC2151IUJ-14#PBF	LTC2151IUJ-14#TRPBF	LTC2151UJ-14	40-Lead (6mm × 6mm) Plastic QFN	$-40^\circ C$ to $85^\circ C$
LTC2150CUJ-14#PBF	LTC2150CUJ-14#TRPBF	LTC2150UJ-14	40-Lead (6mm × 6mm) Plastic QFN	$0^\circ C$ to $70^\circ C$
LTC2150IUJ-14#PBF	LTC2150IUJ-14#TRPBF	LTC2150UJ-14	40-Lead (6mm × 6mm) Plastic QFN	$-40^\circ C$ to $85^\circ C$

より広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

鉛フリー製品のマーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreel/> をご覧ください。

コンバータの特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

PARAMETER	CONDITIONS	LTC2152-14			LTC2151-14			LTC2150-14			UNITS	
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
Resolution (No Missing Codes)		●	14		14			14			Bits	
Integral Linearity Error	Differential Analog Input (Note 6)	●	-5.5	± 0.85	5.5	-5.1	± 1	5.1	-5.1	± 1	5.1	LSB
Differential Linearity Error	Differential Analog Input	●	-0.9	± 0.25	0.9	-0.9	± 0.25	0.9	-0.9	± 0.25	0.9	LSB
Offset Error	(Note 7)	●	-13	± 5	13	-13	± 5	13	-13	± 3	13	mV
Gain Error	External Reference	●	-4	± 1	3	-4	± 1	3	-4	± 1	3	%FS
Offset Drift				± 20			± 20			± 20		$\mu\text{V}/^\circ\text{C}$
Full-Scale Drift	Internal Reference			± 30			± 30			± 30		$\text{ppm}/^\circ\text{C}$
	External Reference			± 10			± 10			± 10		$\text{ppm}/^\circ\text{C}$
Transition Noise	External Reference			1.82			1.82			1.82		LSB _{RMS}

アナログ入力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range ($A_{IN^+} - A_{IN^-}$)	$1.7V < V_{DD} < 1.9V$	●		1.5	V _{P-P}
$V_{IN(CM)}$	Analog Input Common Mode ($A_{IN^+} + A_{IN^-}$)/2	Differential Analog Input (Note 8)	●	$V_{CM} - 20\text{mV}$	V_{CM}	$V_{CM} + 20\text{mV}$
V_{SENSE}	External Reference Mode	External Reference Mode	●	1.200	1.250	1.300
I_{IN1}	Analog Input Leakage Current	$0 < A_{IN^+}, A_{IN^-} < V_{DD}$ No Encode	●	-1		1
I_{IN2}	SENSE Input Leakage Current	$1.2V < SENSE < 1.3V$	●	-1		1
I_{IN3}	PAR/SER Input Leakage Current	$0 < PAR/SER < V_{DD}$	●	-1		1
t_{AP}	Sample-and-Hold Acquisition Delay Time				1	ns
t_{JITTER}	Sample-and-Hold Acquisition Delay Jitter				0.15	psRMS
CMRR	Analog Input Common Mode Rejection Ratio				75	dB
BW-3B	Full-Power Bandwidth				1250	MHz

ダイナミック精度 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	LTC2152-14			LTC2151-14			LTC2150-14			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
SNR	Signal-to-Noise Ratio	15MHz Input 70MHz Input 140MHz Input	●	67.3	69.3	70 69.7	70 69.8		70 69.5			dBFS
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic	15MHz Input 70MHz Input 140MHz Input	●	72	82	90 85	90 85		90 85			dBFS
	Spurious Free Dynamic Range 4th Harmonic or Higher	15MHz Input 70MHz Input 140MHz Input	●	81	85	95 95	95 95		98 95			dBFS
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	15MHz Input 70MHz Input 140MHz Input	●	66.7	68.8	69.9 69.4	69.9 69.4		69.9 69.4			dBFS
Cross Talk	Cross-Talk Between Channels	Up to 315MHz Input			-95		-95		-95			dB

LTC2152-14/ LTC2151-14/LTC2150-14

内部リファレンスの特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CM} Output Voltage	$I_{OUT} = 0$	$0.439 \cdot V_{DD} - 18\text{mV}$	$0.439 \cdot V_{DD}$	$0.439 \cdot V_{DD} + 18\text{mV}$	V
V_{CM} Output Temperature Drift			± 37		$\text{ppm}/^\circ\text{C}$
V_{CM} Output Resistance	$-1\text{mA} < I_{OUT} < 1\text{mA}$		4		Ω
V_{REF} Output Voltage	$I_{OUT} = 0$	1.225	1.250	1.275	V
V_{REF} Output Temperature Drift			± 30		$\text{ppm}/^\circ\text{C}$
V_{REF} Output Resistance	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$		7		Ω
V_{REF} Line Regulation	$1.7\text{V} < V_{DD} < 1.9\text{V}$		0.6		mV/V

電源要件

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	LTC2152-14			LTC2151-14			LTC2150-14			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
V_{DD}	Analog Supply Voltage	(Note 9)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
$0V_{DD}$	Output Supply Voltage	LVDS Mode (Note 9)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
I_{VDD}	Analog Supply Current		●	169	186		160	176		147	162	mA	
I_{0VDD}	Digital Supply Current	1.75mA LVDS Mode 3.5mA LVDS Mode	●	29 49	34.5 54.5		28 48	33.5 54		27 47	32.5 52	mA	
P_{DISS}	Power Dissipation	1.75mA LVDS Mode 3.5mA LVDS Mode	●	356 392	397 433		338 374	377 414		313 349	350 385	mW	
P_{SLEEP}	Nap Mode Power	Clocked at $f_S(\text{MAX})$		105			98			93		mW	
P_{NAP}	Sleep Mode Power	Clocked at $f_S(\text{MAX})$		<2			<2			<2		mW	

デジタル入力とデジタル出力

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
エンコード入力 (ENC⁺, ENC⁻)							
V_{ID}	Differential Input Voltage	(Note 8)	●	0.2	1	1.9	V
V_{ICM}	Common Mode Input Voltage	Internally Set Externally Set (Note 8)	●		1.2		V
V_{IN}	Input Voltage Range	ENC ⁺ , ENC ⁻ to GND	●	0.2		1.9	V
R_{IN}	Input Resistance	(See Figure 2)			10		$\text{k}\Omega$
C_{IN}	Input Capacitance	(Note 8)			2		pF
デジタル入力 (CS, SDI, SCK)							
V_{IH}	High Level Input Voltage	$V_{DD} = 1.8\text{V}$	●	1.3			V
V_{IL}	Low Level Input Voltage	$V_{DD} = 1.8\text{V}$	●			0.6	V
I_{IN}	Input Current	$V_{IN} = 0\text{V}$ to 1.8V	●	-10		10	μA
C_{IN}	Input Capacitance	(Note 8)			3		pF

SDO 出力 (オープン・ドレイン出力。SDO が使われる場合、2kΩ のプルアップ抵抗が必要)

R_{OL}	Logic Low Output Resistance to GND	$V_{DD} = 1.8\text{V}$, SDO = 0V		200		Ω
I_{OH}	Logic High Output Leakage Current	SDO = 0V to 3.6V	●	-10	10	μA
C_{OUT}	Output Capacitance	(Note 8)			4	pF

21521014fa

デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値(Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
デジタル・データ出力							
V _{OD}	Differential Output Voltage	100Ω Differential Load, 3.5mA Mode 100Ω Differential Load, 1.75mA Mode	● ●	247 125	350 175	454 250	mV mV
V _{OS}	Common Mode Output Voltage	100Ω Differential Load, 3.5mA Mode 100Ω Differential Load, 1.75mA Mode	● ●	1.125 1.125	1.250 1.250	1.375 1.375	V V
R _{TERM}	On-Chip Termination Resistance	Termination Enabled, V _{DD} = 1.8V			100		Ω

タイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値(Note 5)。

SYMBOL	PARAMETER	CONDITIONS	LTC2152-14			LTC2151-14			LTC2150-14			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
f _S	Sampling Frequency	(Note 9)	●	10	250	10	210	10	10	170	10	MHz	
t _L	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off Duty Cycle Stabilizer On	● ●	1.9 1.5	2 2	50 50	2.26 1.5	2.38 2.38	50 50	2.79 1.5	2.94 2.94	50 50	ns ns
t _H	ENC High Time (Note 8)	Duty Cycle Stabilizer Off Duty Cycle Stabilizer On	● ●	1.9 1.5	2 2	50 50	2.26 1.5	2.38 2.38	50 50	2.79 1.5	2.94 2.94	50 50	ns ns

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
デジタル・データ出力							
t _D	ENC to Data Delay	C _L = 5pF (Note 8)	●	1.7	2	2.3	ns
t _C	ENC to CLKOUT Delay	C _L = 5pF (Note 8)	●	1.3	1.6	2	ns
t _{SKew}	DATA to CLKOUT Skew	t _D - t _C (Note 8)	●	0.3	0.4	0.55	ns
	Pipeline Latency			6		6	Cycles

SPI ポートのタイミング (Note 8)

t _{SCK}	SCK Period	Write Mode, C _{SD0} = 20pF Readback Mode R _{PULLUP} = 2k, C _{SD0} = 20pF		40			ns
t _S	CS to SCK Set-Up Time		●	5			ns
t _H	SCK to CS Hold Time		●	5			ns
t _{SD}	SDI Set-Up Time		●	5			ns
t _{DH}	SDI Hold Time		●	5			ns
t _{SD}	SCK Falling to SD0 Valid	Readback Mode R _{PULLUP} = 2k, C _{SD0} = 20pF	●		125		ns

Note 1:絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2:すべての電圧値は(注記がない限り) GND と OGND を短絡した状態の GND を基準にしている。

Note 3:これらのピンの電圧を GND より低くすると、V_{DD} より高くすると、内部のダイオードによってクランプされる。この製品は、GND より低いか、または V_{DD} より高い電圧でラッチアップを生じることなしに、100mA を超える入力電流を処理することができる。

Note 4:これらのピンの電圧を GND より低くすると、内部のダイオードによってクランプされる。これらのピンの電圧を V_{DD} より高くしても、内部のダイオードによってクランプされない。この製品は、GND より低い電圧で、ラッチアップを生じることなく 100mA を超える入力電流を処理することができる。

Note 5:注記がない限り、V_{DD} = 0V_{DD} = 1.8V, f_{SAMPLE} = 250MHz (LTC2152)、210MHz (LTC2151)、または 170MHz (LTC2150)、LVDS 出力、差動 ENC⁺/ENC⁻ = 2V_{P-P} の正弦波、入力範囲 = 差動ドライブで 1.5V_{P-P}。

Note 6:積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定する。

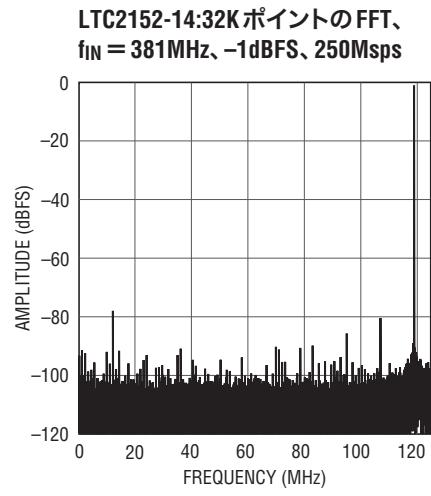
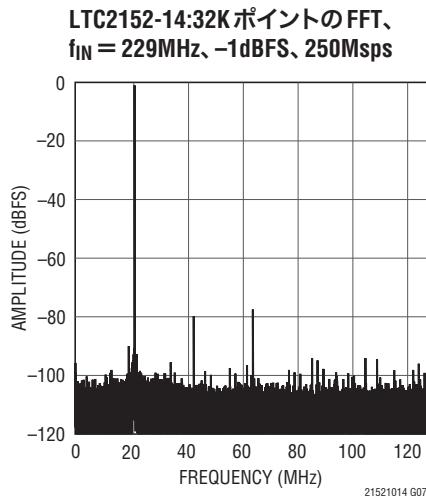
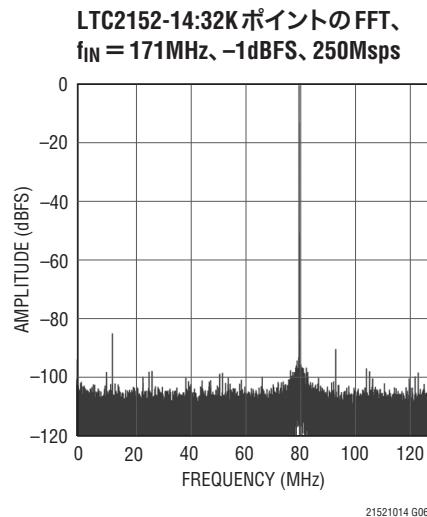
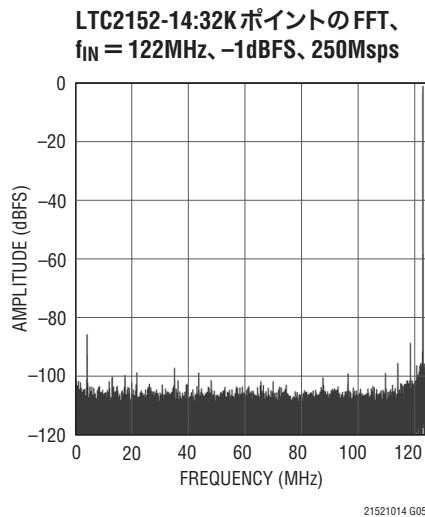
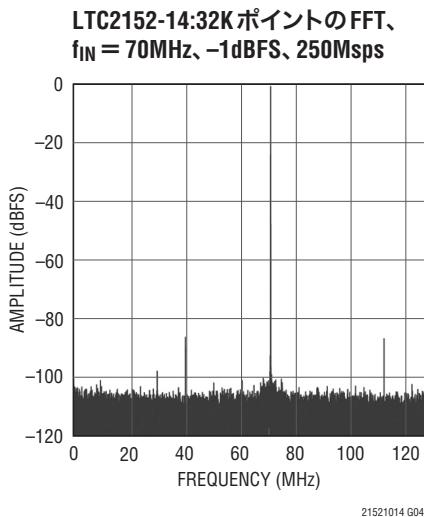
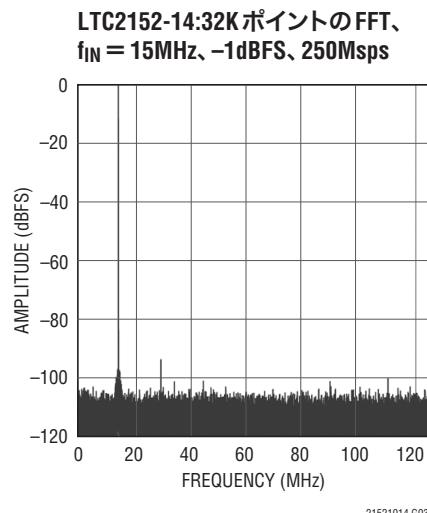
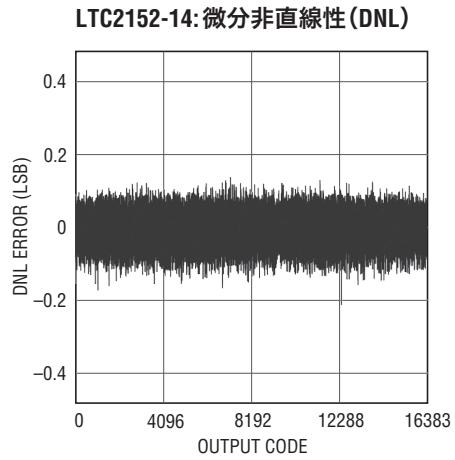
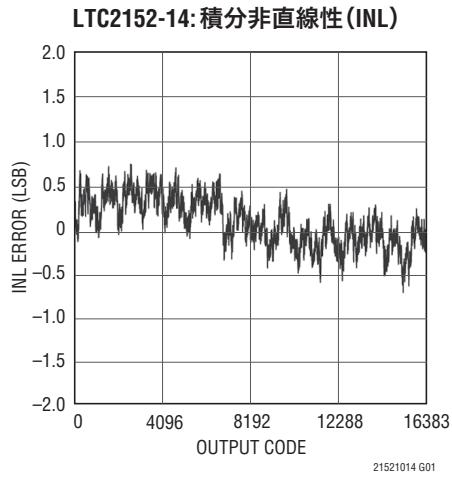
Note 7:オフセット誤差は、2 の補数の出力モードで出力コードが 00 0000 0000 0000 と 11 1111 1111 1111 の間を行ったり来たりするとき、-0.5LSB から測定したオフセット電圧である。

Note 8:設計によって保証されているが、テストされない。

Note 9:推奨動作条件。

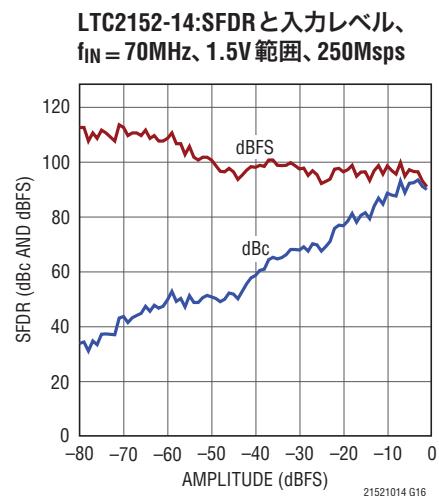
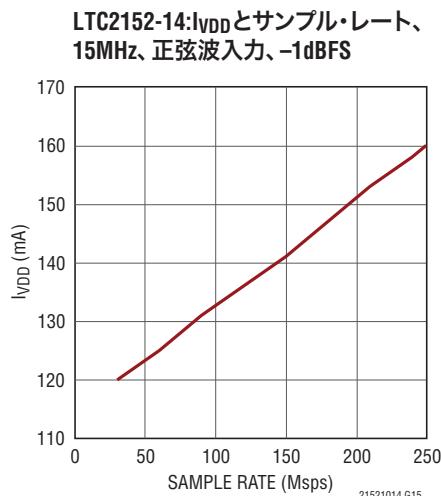
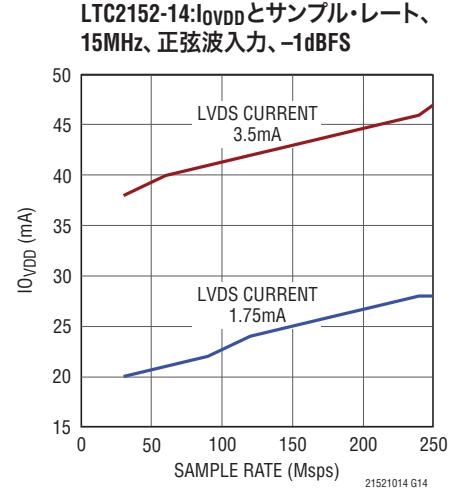
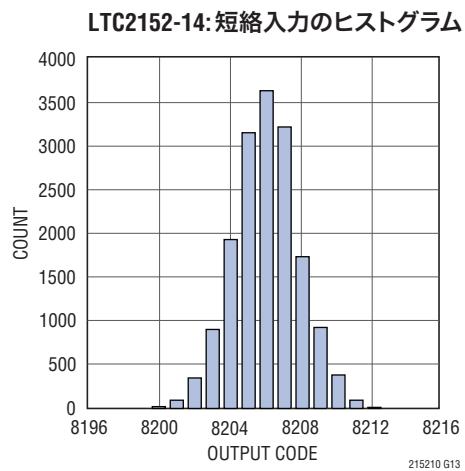
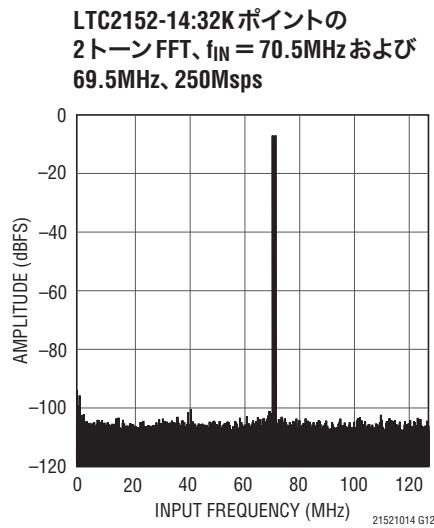
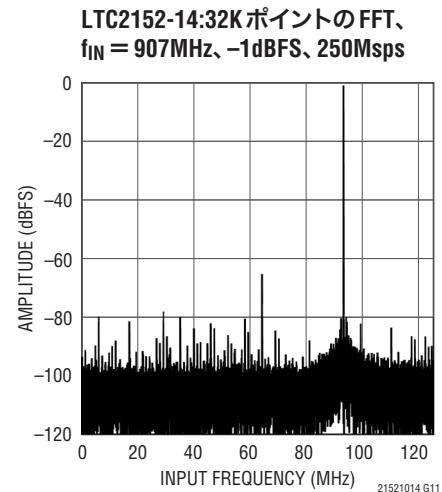
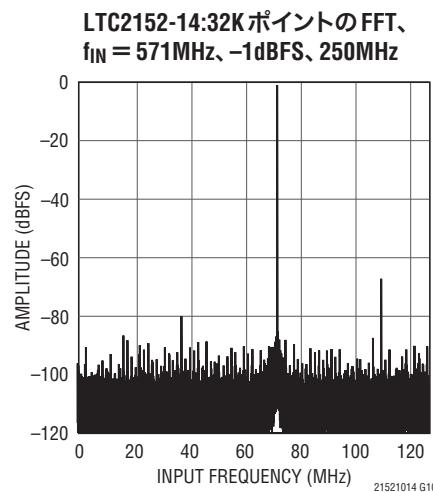
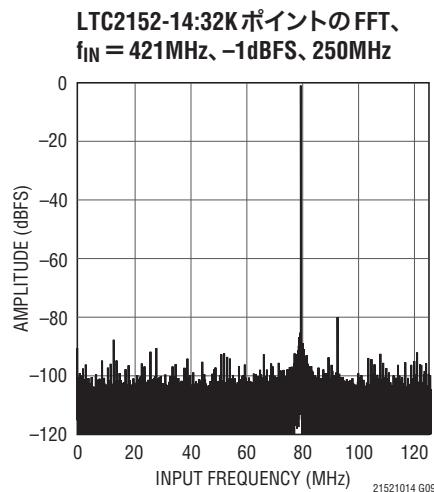
LTC2152-14/ LTC2151-14/LTC2150-14

標準的性能特性

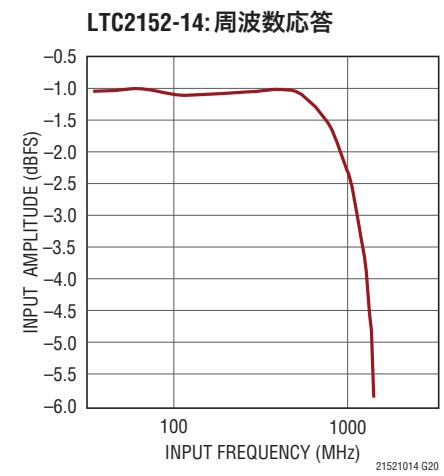
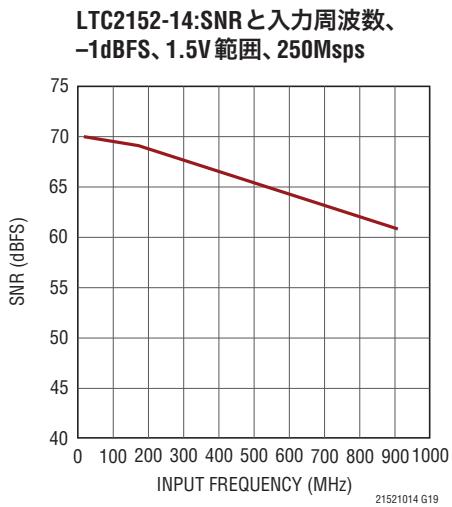
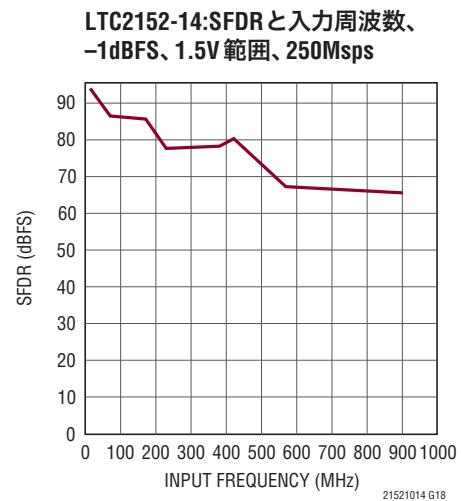
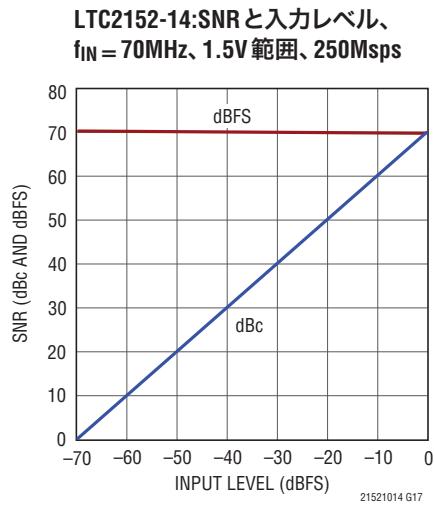


21521014fa

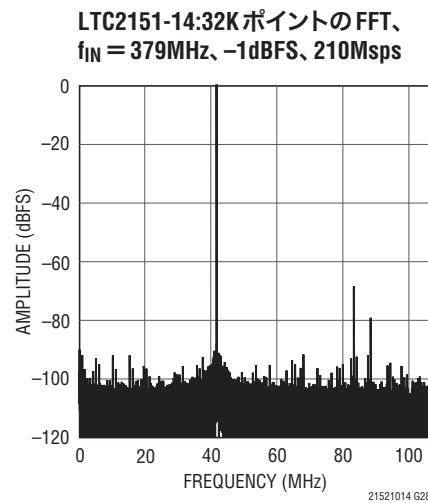
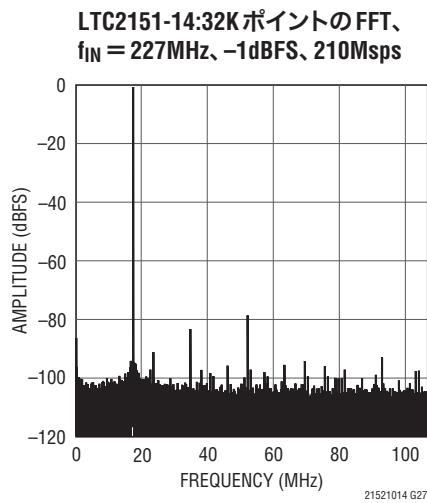
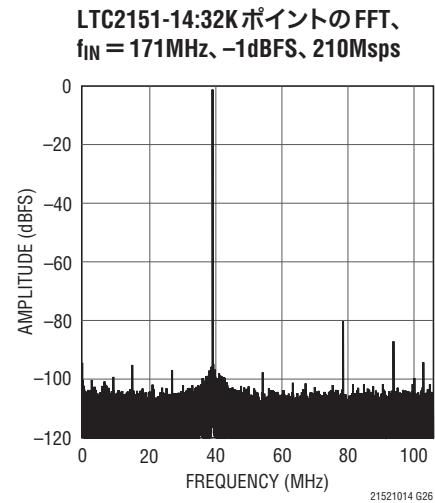
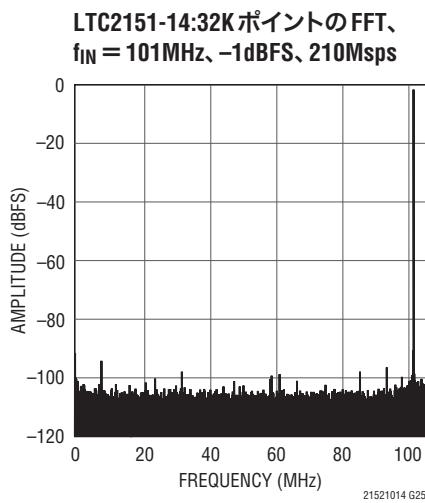
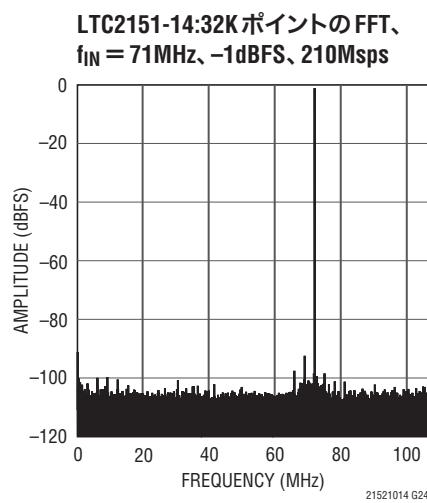
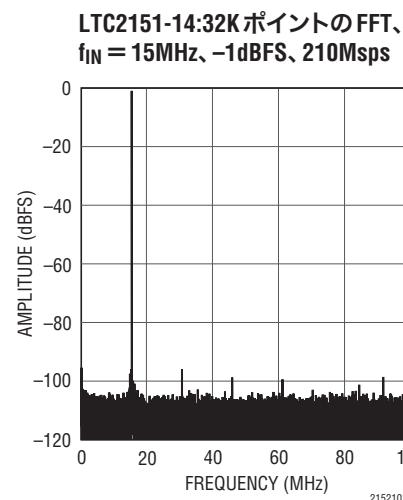
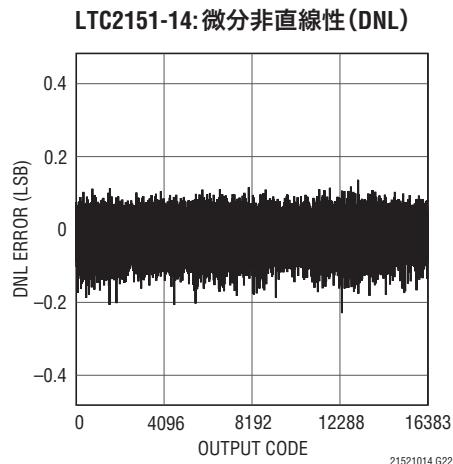
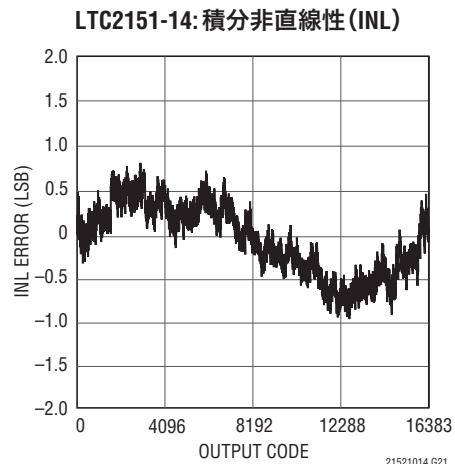
標準的性能特性



標準的性能特性

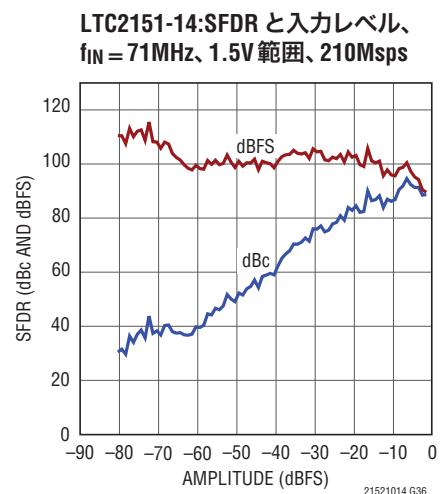
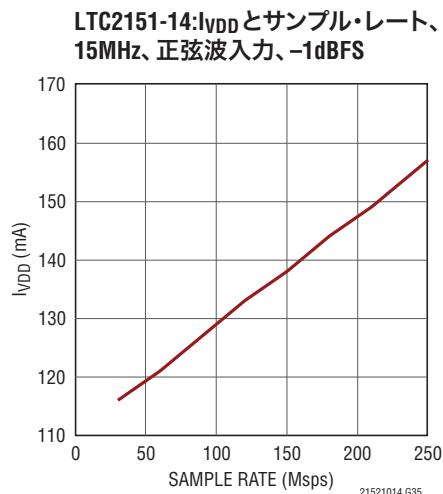
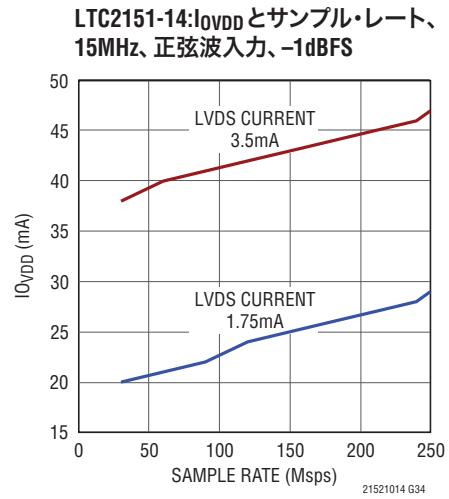
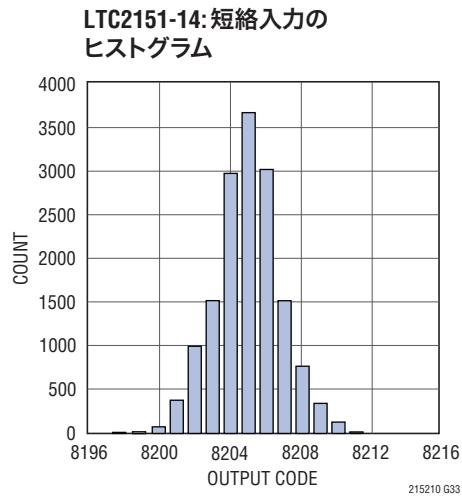
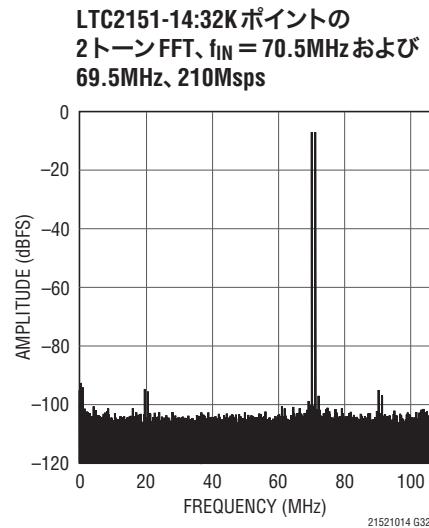
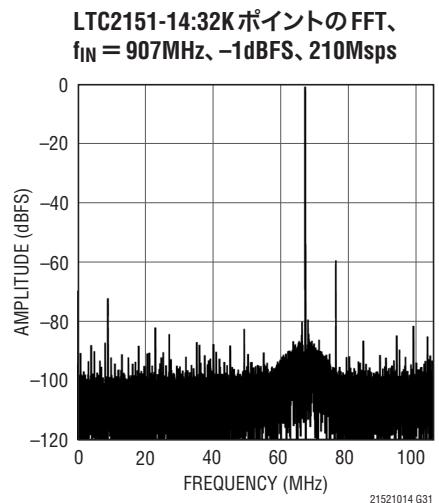
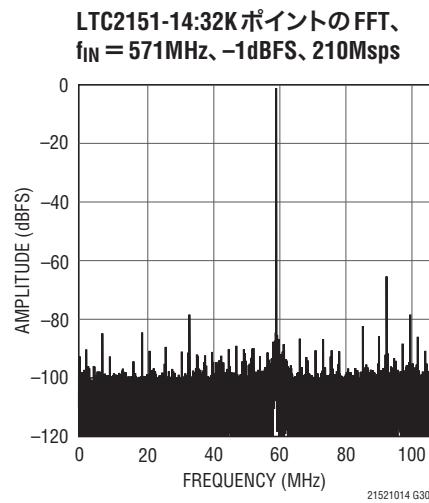
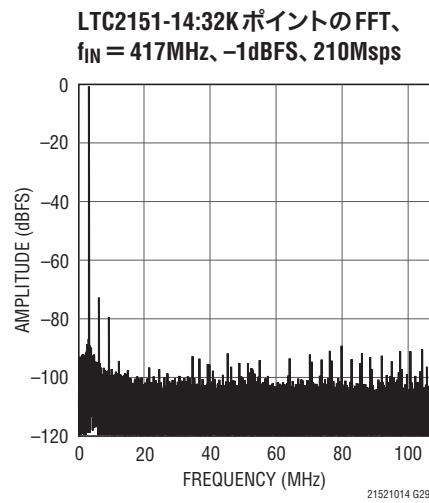


標準的性能特性



LTC2152-14/ LTC2151-14/LTC2150-14

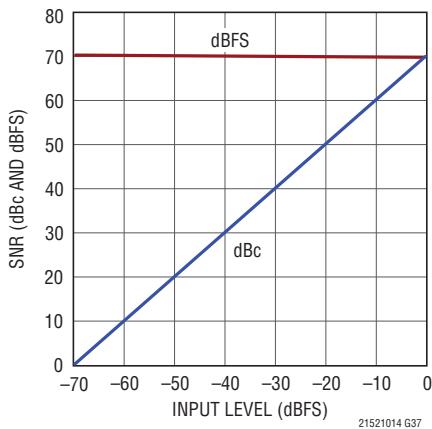
標準的性能特性



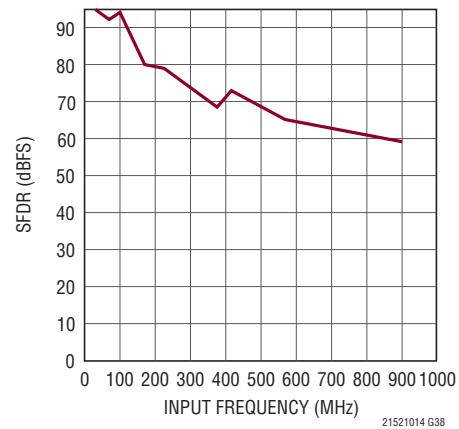
21521014fa

標準的性能特性

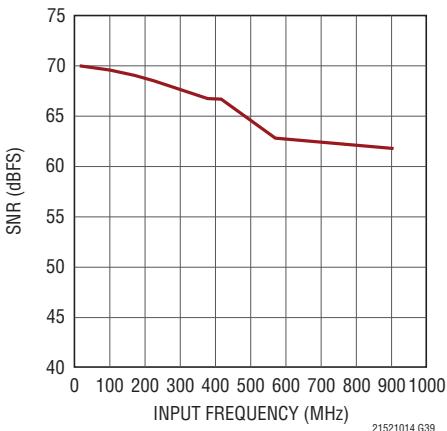
LTC2151-14:SNRと入力レベル、
 $f_{IN} = 71\text{MHz}$ 、1.5V範囲、210Msps



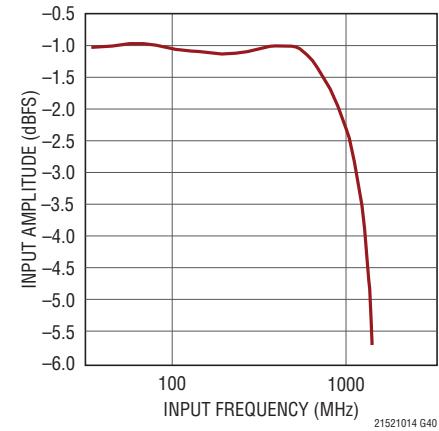
LTC2151-14:SFDRと入力周波数、
-1dBFS、1.5V範囲、210Msps



LTC2151-14:SNRと入力周波数、
-1dBFS、1.5V範囲、210Msps

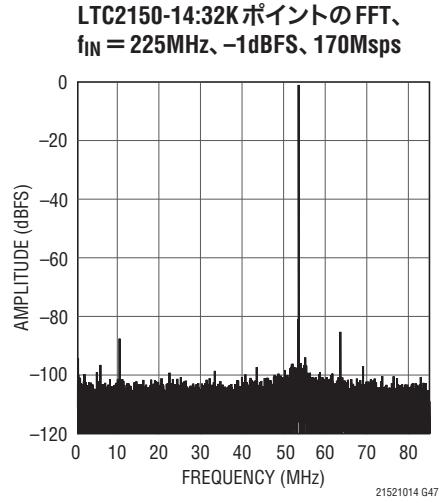
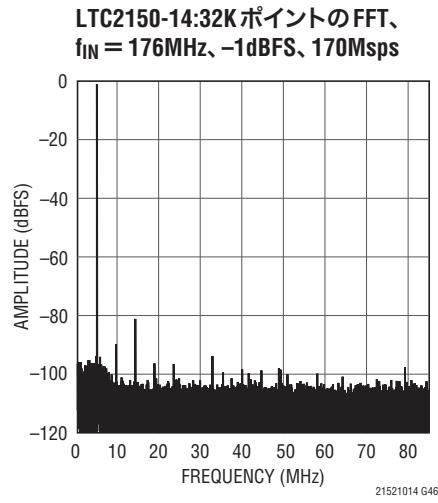
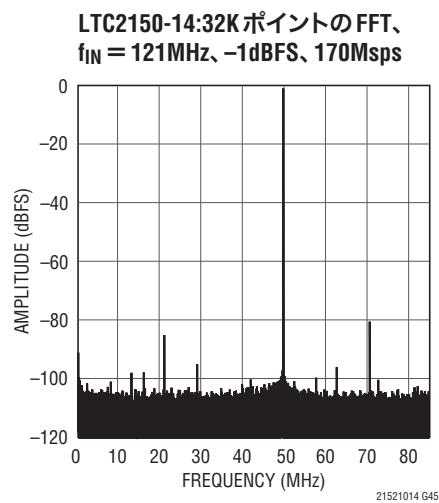
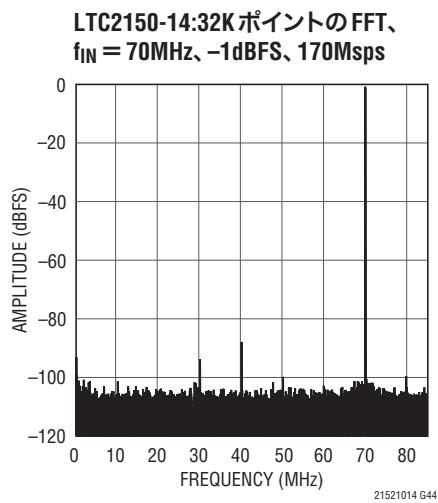
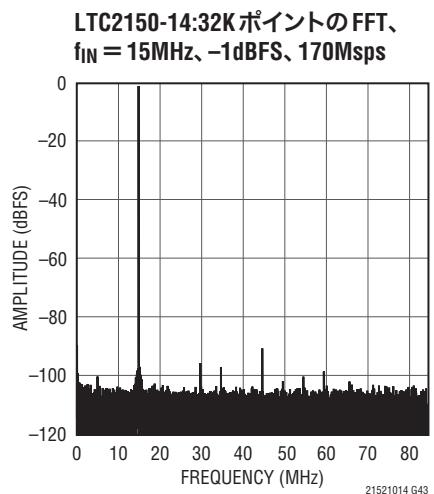
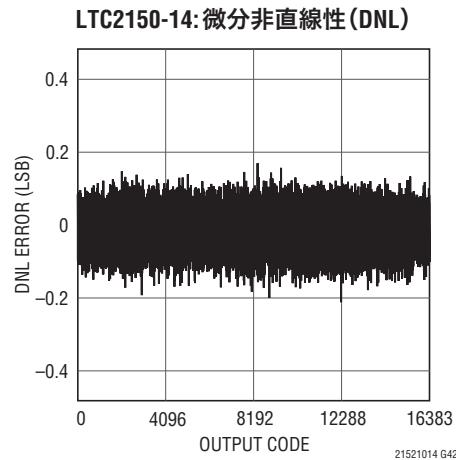
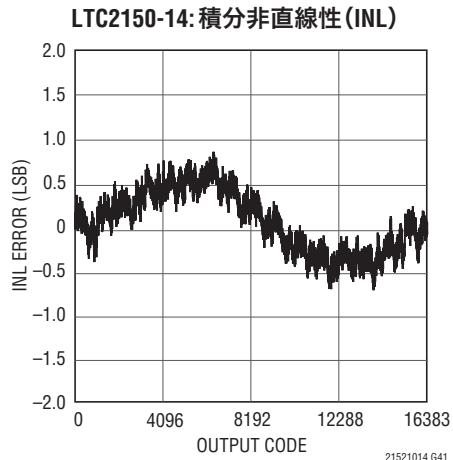


LTC2151-14:周波数応答



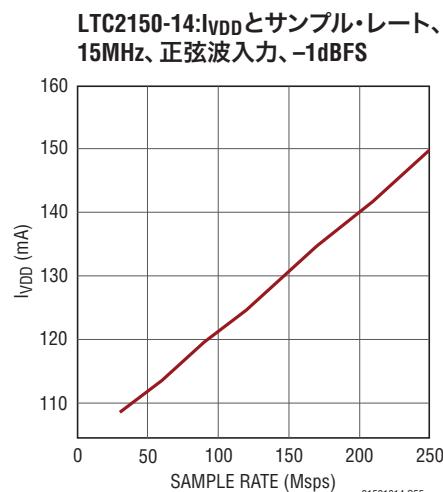
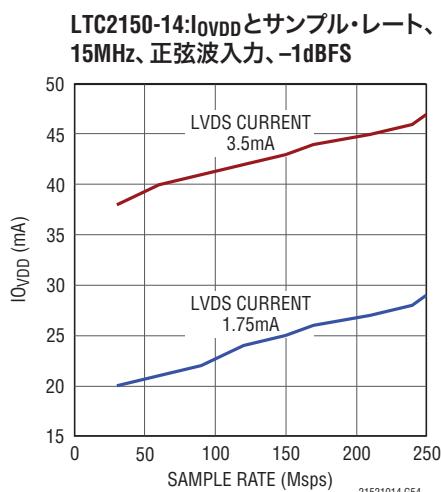
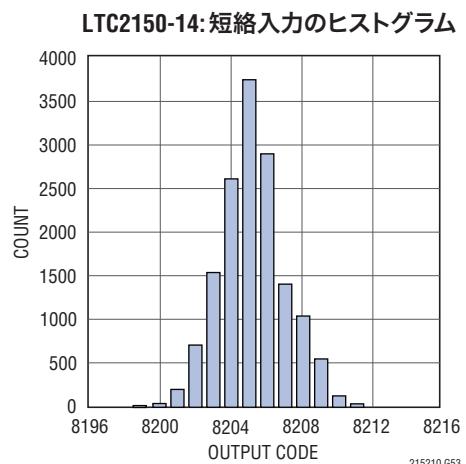
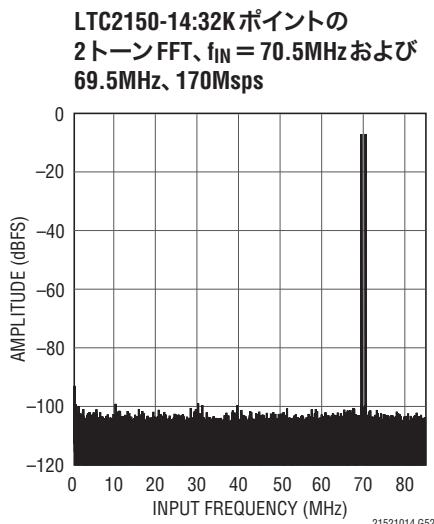
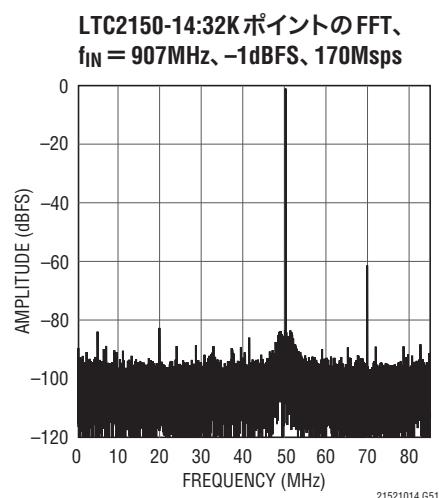
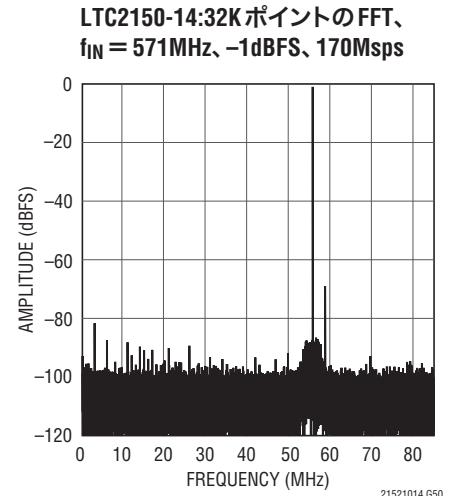
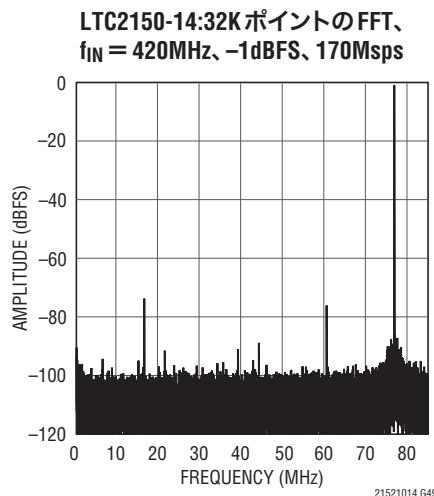
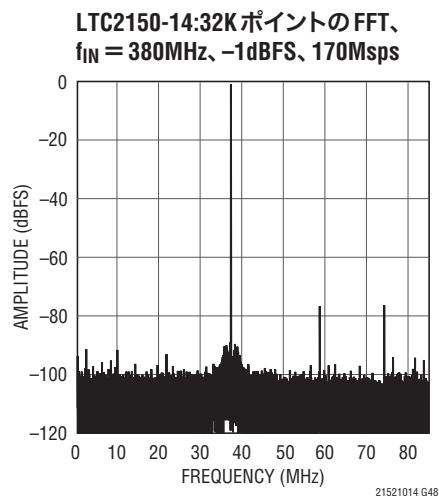
LTC2152-14/ LTC2151-14/LTC2150-14

標準的性能特性



21521014fa

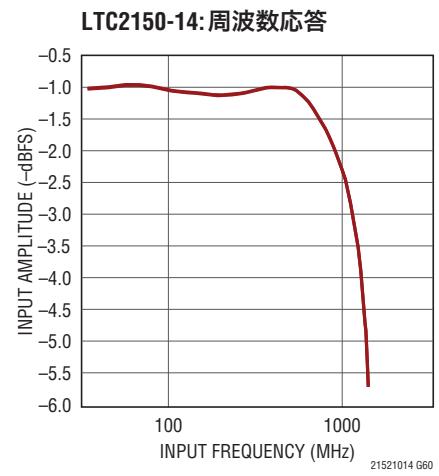
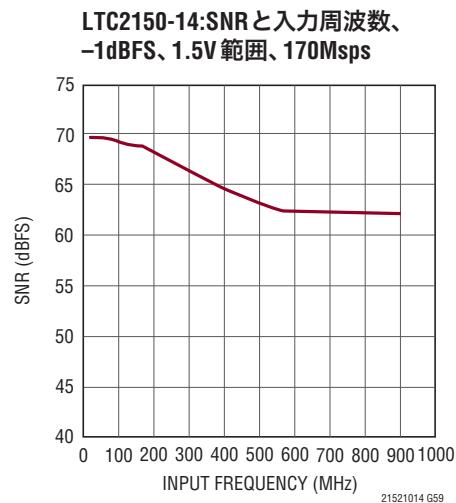
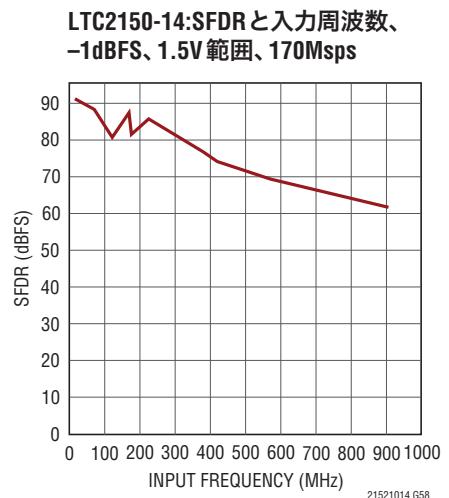
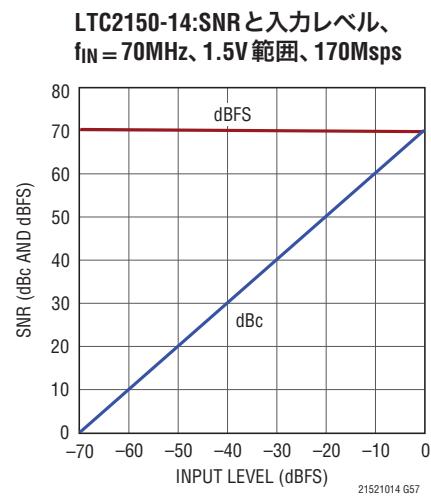
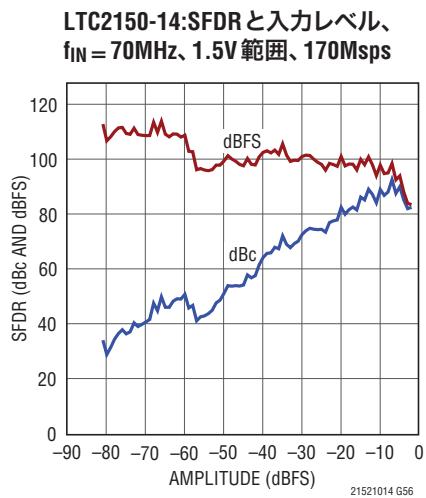
標準的性能特性



21521014fa

LTC2152-14/ LTC2151-14/LTC2150-14

標準的性能特性



21521014fa

ピン機能

V_{DD}(ピン1、2) : 1.8V アナログ電源。0.1μFのセラミック・コンデンサを使用してグランドにバイパスします。ピン1、2はバイパス・コンデンサを共有することができます。

GND(ピン3、6、10、13、35、露出パッド・ピン41) : ADCの電源グランド。露出パッドはPCBグランドに半田付けする必要があります。

A_{IN}⁺(ピン4) : 正差動アナログ入力。

A_{IN}⁻(ピン5) : 負差動アナログ入力。

SENSE(ピン7) : リファレンス・プログラミング・ピン。SENSEをV_{DD}に接続すると、内部リファレンスと±0.75Vの入力範囲が選択されます。1.2V～1.3Vの外部リファレンスをSENSEに与えると、 $\pm 0.6 \times V_{SENSE}$ の入力範囲が選択されます。

V_{REF}(ピン8) : リファレンス電圧出力。2.2μFのセラミック・コンデンサを使ってグランドにバイパスします。公称1.25V。

V_{CM}(ピン9) : 公称で0.439・V_{DD}に等しい同相バイアス出力。V_{CM}はアナログ入力の同相レベルをバイアスするのに使用します。0.1μFのセラミック・コンデンサを使ってグランドにバイパスします。

ENC⁺(ピン11) : エンコード入力。立ち上がりエッジで変換が開始されます。

ENC⁻(ピン12) : エンコード相補入力。立ち下がりエッジで変換が開始されます。

0V_{DD}(ピン20、30) : 出力ドライバの1.8V電源。0.1μFのセラミック・コンデンサを使ってグランドにバイパスします。

0GND(ピン21) : LVDSドライバのグランド。

SDO(ピン36) : シリアル・インターフェースのデータ出力。シリアル・プログラミング・モードでは(PAR/SER = 0V)、SDOはオプションのシリアル・インターフェースのデータ出力です。SDOの

データはモード制御レジスタから読み出して、SCKの立ち上がりエッジでラッチすることができます。SDOはオープンドラインのNチャネルMOSFET出力で、2kの外付けプルアップ抵抗を1.8V～3.3Vに接続する必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要であり、SDOは未接続のままでかまいません。

SDI(ピン37) : シリアル・インターフェースのデータ入力。シリアル・プログラミング・モードでは(PAR/SER = 0V)、SDIはシリアル・インターフェースのデータ入力です。SDIのデータはSCKの立ち上がりエッジでモード制御レジスタにクロックインされます。パラレル・プログラミング・モードでは(PAR/SER = V_{DD})、SDIを使って、3.5mAまたは1.75mAのLVDS出力電流を選択します(表2を参照)。

SCK(ピン38) : シリアル・インターフェースのクロック入力。シリアル・プログラミング・モードでは(PAR/SER = 0V)、SCKはシリアル・インターフェースのクロック入力です。パラレル・プログラミング・モードでは(PAR/SER = V_{DD})、SCKはデジタル出力モードを制御します(表2を参照)。

CS(ピン39) : シリアル・インターフェースのチップ・セレクト入力。シリアル・プログラミング・モードでは(PAR/SER = 0V)、CSはシリアル・インターフェースのチップ選択入力です。CSが“L”的ときSCKがイネーブルされ、SDIのデータをモード制御レジスタにシフトします。パラレル・プログラミング・モードでは(PAR/SER = V_{DD})、CSはクロック・デューティサイクル・スタビライザを制御します(表2を参照)。

PAR/SER(ピン40) : プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグランドに接続します。CS、SCK、SDI、SDOはA/Dの動作モードを制御するシリアル・インターフェースになります。パラレル・プログラミング・モードをイネーブルするにはV_{DD}に接続します。この場合、CS、SCK、SDIは、A/Dの(種類が限定された)動作モードを制御するパラレル・ロジック入力になります。PAR/SERはグランドまたはデバイスのV_{DD}に直接接続し、ロジック信号ではドライブしません。

ピン機能

LVDS出力 (DDR LVDS)

以下のピンは差動LVDS出力です。出力電流レベルはプログラマ可能です。各LVDS出力対(ペア)の間にはオプションの内部100Ω終端抵抗があります。

D0_1-/D0_1+ ~ D12_13-/D12_13+ (ピン 16/17, 18/19, 22/23, 24/25, 28/29, 31/32, 33/34) : ダブルデータレート・デジタル出力。2データ・ビットが各差動出力対に多重化されます。CLKOUT+が“L”的とき、偶数データ・ビット(D0, D2, D4, D6, D8, D10, D12)が現れます。CLKOUT+が“H”的とき、奇数データ・ビット(D1, D3, D5, D7, D9, D11, D13)が現れます。

CLKOUT-/CLKOUT⁺ (ピン26/27) : データ出力クロック。デジタル出力は通常CLKOUT⁺の立ち下がりエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT⁺の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

OF-/OF⁺ (ピン14/15) : オーバーフロー/アンダーフローのデジタル出力。オーバーフローやアンダーフローが生じると、OF⁺が“H”になります。このアンダーフローは、CLKOUT⁺が“L”的ときだけ有効です。クロックサイクルの後半分では、オーバーフローは0に設定されます。

機能ブロック図

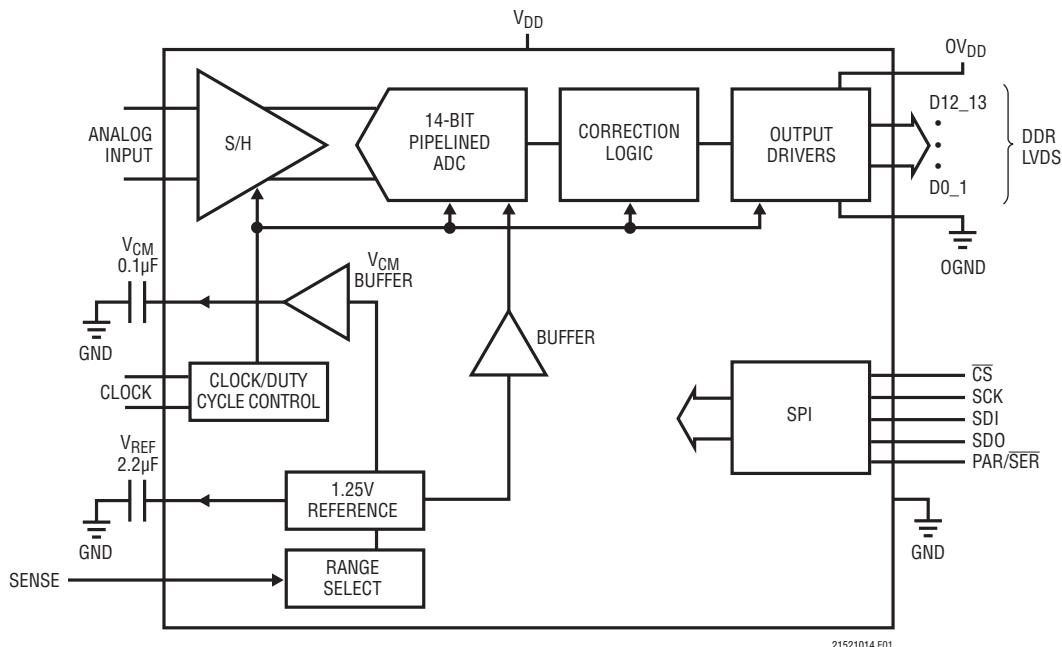
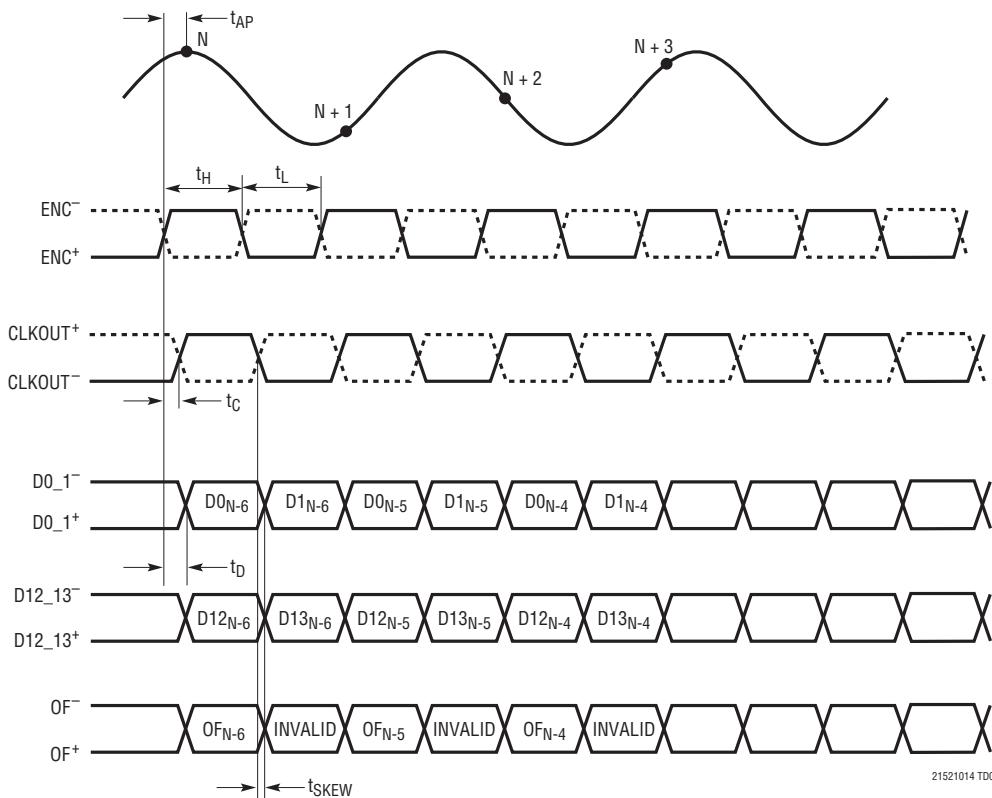


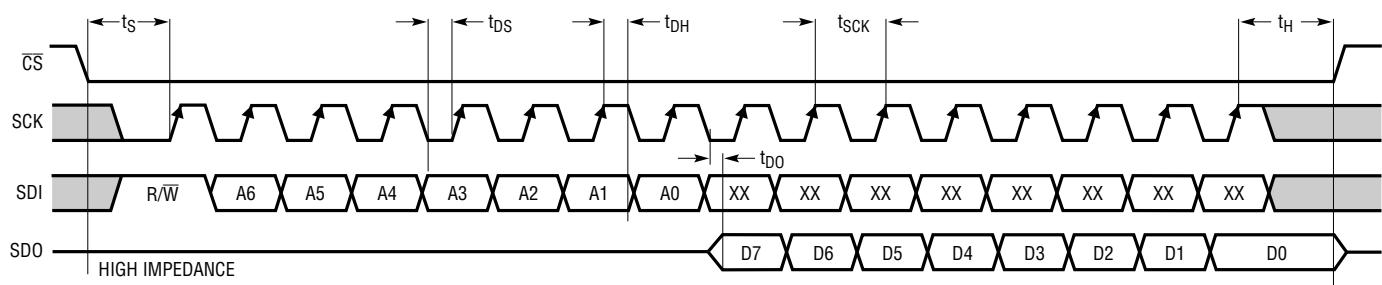
図1.機能ブロック図

タイミング図

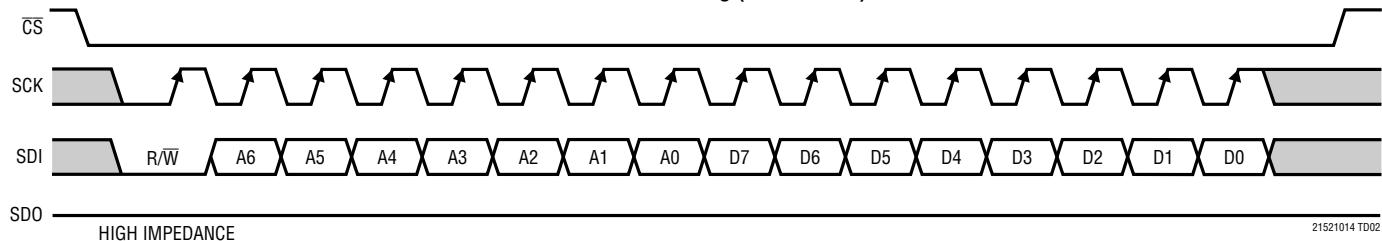
Double-Data Rate Output Timing, All Outputs Are Differential LVDS



SPI Port Timing (Readback Mode)



SPI Port Timing (Write Mode)



LTC2152-14/ LTC2151-14/LTC2150-14

アプリケーション情報

コンバータの動作

LTC2152-14/LTC2151-14/LTC2150-14は単一1.8V電源で動作する14ビット250Msps/210Msps/170Msps A/Dコンバータです。アナログ入力は差動でドライブする必要があります。最適性能を得るため、エンコード入力は差動でドライブします。デジタル出力はダブルデータレートLVDSです。シリアルSPIポートを通してモード制御レジスタをプログラムすることにより、追加機能を選択することができます。

アナログ入力

アナログ入力は差動CMOSサンプル・ホールド回路です(図2)。この入力は、 V_{CM} 出力ピンによって設定された同相電圧(公称0.8V)を基準にして、差動でドライブする必要があります。入力は $V_{CM} - 0.375V$ から $V_{CM} + 0.375V$ まで振幅させます。入力間には180°の位相差を持たせます。

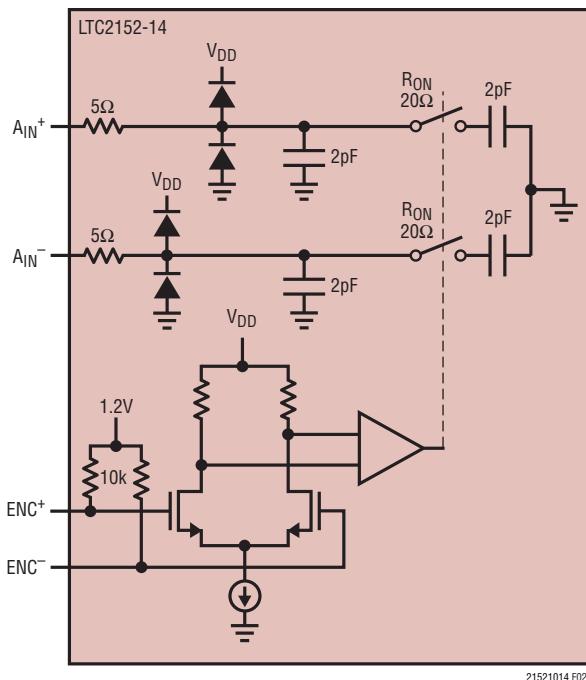


図2. 差動入力クロックの等価入力回路

入力ドライブ回路

入力のフィルタリング

できれば、アナログ入力にRCローパス・フィルタを置きます。このローパス・フィルタはドライブ回路をA/Dのサンプル・ホールドのスイッチングから分離し、ドライブ回路の広帯域ノイズも制限します。入力RCフィルタの例を図3に示します。RC部品の値はアプリケーションの入力周波数に基づいて選択します。

トランス結合回路

V_{CM} ピンを介して、一对の抵抗によって与えられる同相電圧を備えた、RFトランスによってドライブされるアナログ入力を図3に示します。

高い入力周波数では、伝送ラインのバラン・トランス(図4と図5)は、もっと良くバランスがとれているので、A/Dの歪みが小さくなります。

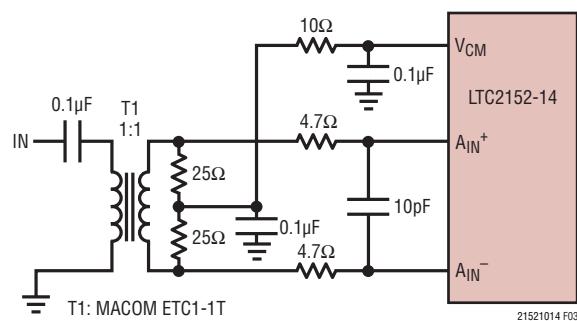


図3. トランスを使用したアナログ入力回路。
5MHz～70MHzの入力周波数に対して推奨

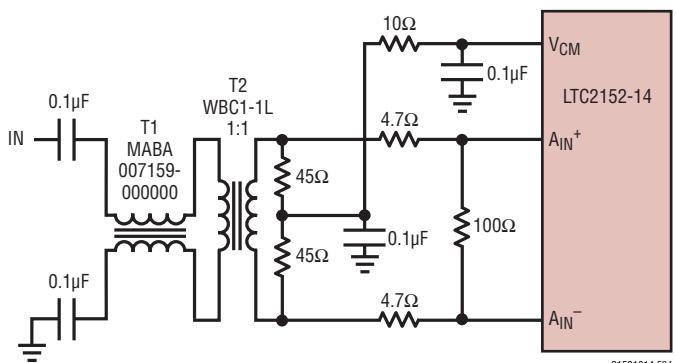


図4. 15MHz～150MHzの入力周波数用の
推奨フロントエンド回路

21521014fa

アプリケーション情報

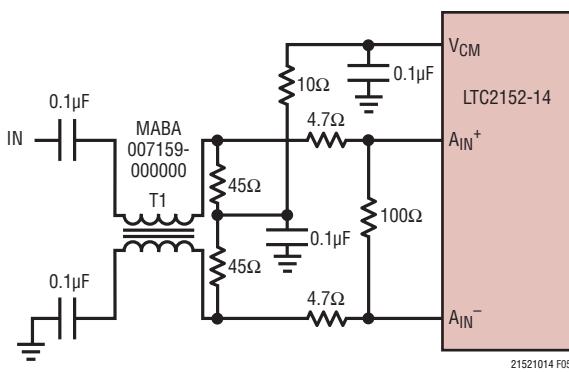


図5. 150MHz～900MHzの入力周波数用の推奨フロントエンド回路

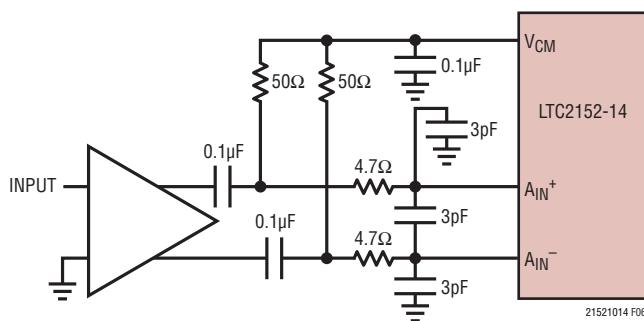


図6. 高速差動アンプを使ったフロントエンド回路

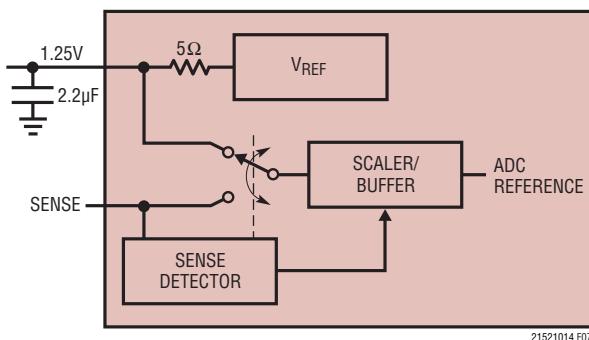


図7. リファレンス回路

アンプ回路

高速差動アンプによってドライブされるアナログ入力を図6に示します。アンプの出力はA/DにAC結合されているので、アンプの出力の同相電圧を最適に設定して、歪みを最小限に抑えることができます。

非常に高い周波数では、多くの場合、RF利得ブロックの方が差動アンプよりも歪みが少なくなります。利得ブロックがシングルエンドであれば、A/Dをドライブする前にトランス回路(図3と図5)で信号を差動に変換します。A/Dはシングルエンドでドライブすることはできません。

リファレンス

LTC2152-14/LTC2151-14/LTC2150-14は1.25Vの電圧リファレンスを内蔵しています。内部リファレンスを使った1.5Vの入力範囲の場合、SENSEをV_{DD}に接続します。外部リファレンスを使った1.5Vの入力範囲の場合、1.25Vのリファレンス電圧をSENSEに与えます(図7)。

エンコード入力

エンコード入力の信号品質はA/Dのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。回路基板上でそれらを決してデジタル・トレースの隣に配線しないでください。

エンコード入力は内部で10kの等価抵抗を介して1.2Vにバイアスされています(図8)。ドライバの同相電圧が1.1V～1.5Vの範囲内であれば、エンコード入力を直接ドライブすることは可能です。そうでなければ、トランスまたはカップリング・コン

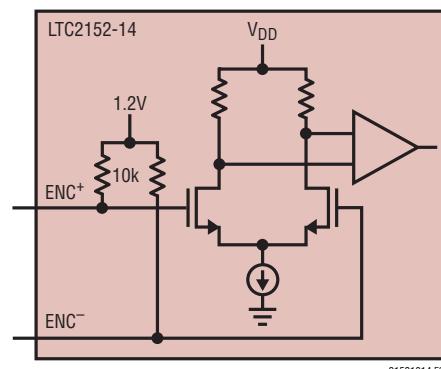


図8. 等価エンコード入力回路

アプリケーション情報

デンサが必要です(図9と図10)。入力信号の最大(ピーク)電圧は決して $V_{DD} + 0.1V$ を超えないように、または $-0.1V$ より下にならないようにします。

クロック・デューティサイクル・スタビライザ

良い性能を得るには、エンコード信号のデューティサイクルを50%($\pm 5\%$)にします。オプションのクロック・デューティサイクル・スタビライザ回路がイネーブルされていると、エンコードのデューティサイクルは30%～70%の間で変化することができ、デューティサイクル・スタビライザは内部のデューティサイクルを50%に保ちます。エンコード信号が周波数を変えるか、またはオフすると、デューティサイクル・スタビライザ回路は、入力クロックにロックするのに100クロック・サイクルを必要とします。デューティサイクル・スタビライザは、SPIレジスタA2(「SPI制御レジスタ」を参照)によって、または、パラレル・プログラミング・モードでは \overline{CS} によってイネーブルされます。

サンプル・レートを即座に変更する必要のあるアプリケーションでは、クロック・デューティサイクル・スタビライザをディスエーブルすることができます。デューティサイクル・スタビライザをディスエーブルする場合、サンプリング・クロックのデューティサイクルが50%($\pm 5\%$)になるように注意してください。

デジタル出力

デジタル出力はダブルデータレートLVDS信号です。2データ・ビットが各差動出力対に多重化されて出力されます。7組のLVDS出力対があります($D0_1^+/D0_1^-$ ～ $D12_13^+/D12_13^-$)。オーバーフロー(OF^+/OF^-)とデータ出力クロック($CLKOUT^+/CLKOUT^-$)は、それぞれLVDS出力対を備えています。

デフォルトでは、出力は標準LVDSレベルです。つまり、出力電流が3.5mA、出力同相電圧が1.25Vです。各LVDS出力対

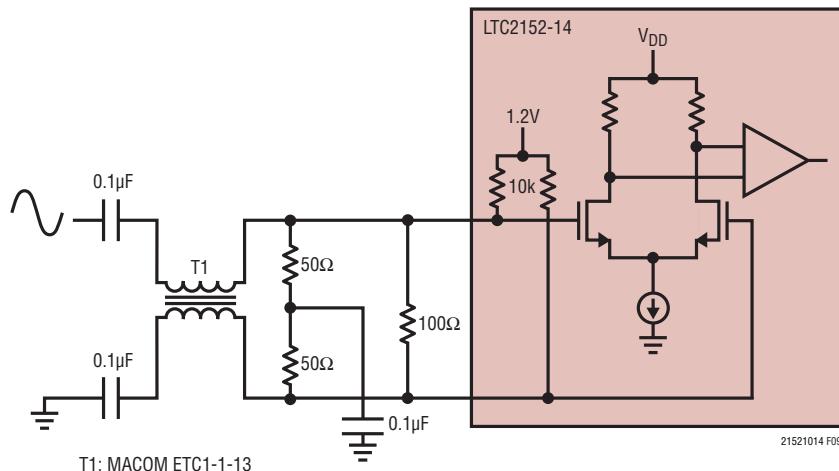


図9. 正弦波のエンコード・ドライブ

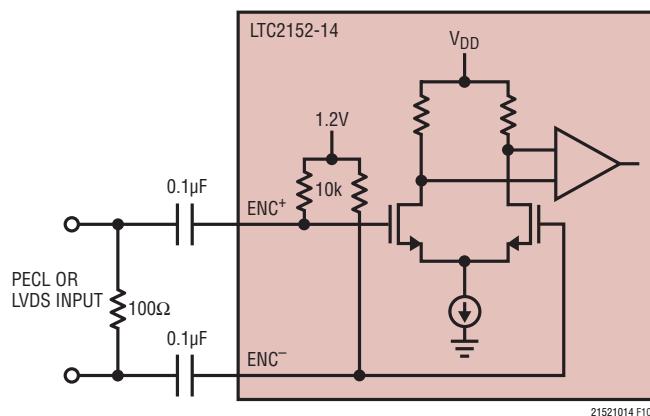


図10. PECLまたはLVDSのエンコード・ドライブ

21521014fa

アプリケーション情報

には外付けの 100Ω 差動終端抵抗が必要です。終端抵抗は、LVDS レシーバのできるだけ近くに配置してください。

出力は OV_{DD} と $OGND$ から電力を供給され、A/D のコア電源とグランドからは絶縁されています。

プログラム可能な LVDS 出力電流

デフォルトの出力ドライバ電流は 3.5mA です。この電流は、モード制御レジスタ A3 をシリアルにプログラムすることにより調節することができます (表 3 を参照)。利用可能な電流レベルは 1.75mA 、 2.1mA 、 2.5mA 、 3mA 、 3.5mA 、 4mA および 4.5mA です。

オプションの LVDS ドライバの内部終端

ほとんどの場合、 100Ω の外付け終端抵抗を使用するだけで、LVDS の優れた信号品質が得られます。さらに、モード制御レジスタ A3 をシリアルでプログラムすることにより、オプションの 100Ω の内部終端抵抗をイネーブルすることができます。内部終端には、レシーバ側の不完全な終端によって生じる反射を吸収する効果があります。内部終端が有効になると、同じ出力電圧振幅を維持するために、出力ドライバ電流が 2 倍になります。

オーバーフロー・ビット

アナログ入力にオーバーレンジまたはアンダーレンジが生じると、オーバーフロー出力ビット (OF) がロジック “H” を出力します。オーバーフロー・ビットにはデータ・ビットと同じパイプライン待ち時間があります。

OF は、 $CLKOUT^+$ が “L” のとき有効です。

出力クロックの位相シフト

出力データをラッチするとき適切なセットアップ時間とホールド時間を与えるには、データ出力ビットに対して $CLKOUT^+$ 信号の位相をシフトさせる必要があるかもしれません。ほとんどの FPGA はこの機能を備えており、これが一般にタイミングを調整する最良のポイントです。

代わりに、ADC は、モード制御レジスタ A2 をシリアルにプログラムすることにより、 $CLKOUT^+$ / $CLKOUT^-$ 信号の位相をシフトすることもできます。出力クロックは、 0° 、 45° 、 90° または 135° だけシフトすることができます。位相シフト機能を使うには、クロック・デューティサイクル・スタビライザをオンする必要があります。もう 1 つの制御レジスタ・ビットは、位相シフトとは関係なく、 $CLKOUT^+$ と $CLKOUT^-$ の極性を反転させることができます。これら 2 つの機能を組み合わせると、 45° から 315° までの位相シフトが可能になります (図 11)。

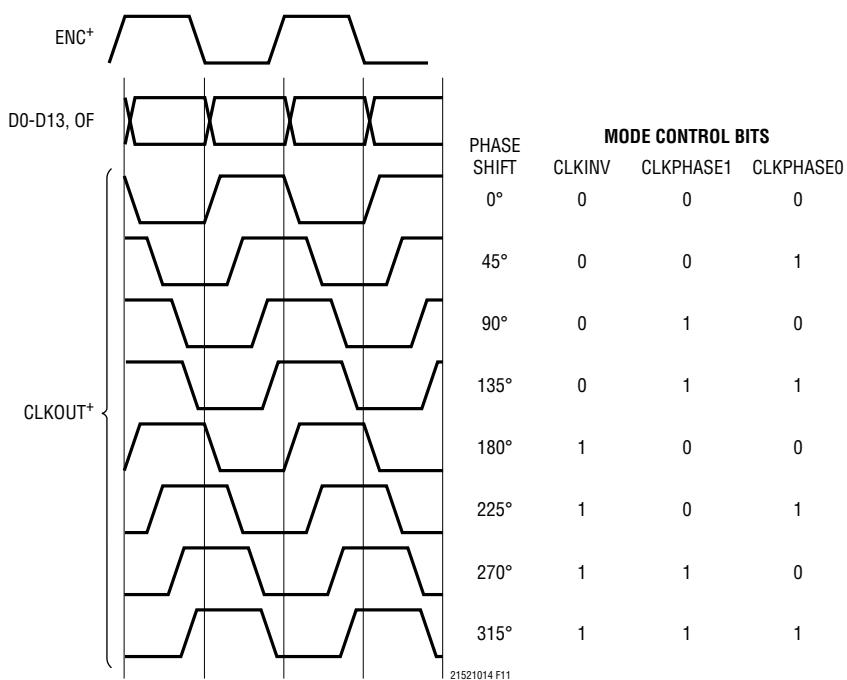


図 11. $CLKOUT$ の位相シフト

21521014fa

アプリケーション情報

データ形式

アナログ入力電圧、デジタル・データ出力ビット、およびオーバーフロー・ビットの相互関係を表1に示します。デフォルトでは、出力のデータ形式はオフセット・バイナリです。モード制御レジスタA4をシリアル・モードでプログラムすることにより、2の補数形式を選択することができます。

表1. 出力コードと入力電圧

$A_{IN^+} - A_{IN^-}$ (1.5V範囲)	OF	D13～D0 (オフセット・バイナリ)	D13～D0 (2の補数)
>0.75 V	1	11 1111 1111 1111	01 1111 1111 1111
+0.75V	0	11 1111 1111 1111	01 1111 1111 1111
+0.749908V	0	11 1111 1111 1110	01 1111 1111 1110
+0.0000915V	0	10 0000 0000 0001	00 0000 0000 0001
+0.000000V	0	10 0000 0000 0000	00 0000 0000 0000
-0.0000915V	0	01 1111 1111 1111	11 1111 1111 1111
-0.0001831V	0	01 1111 1111 1110	11 1111 1111 1110
-0.7499084V	0	00 0000 0000 0001	10 0000 0000 0001
-0.75V	0	00 0000 0000 0000	10 0000 0000 0000
<-0.75V	1	00 0000 0000 0000	10 0000 0000 0000

デジタル出力ランダマイザ

A/Dコンバータのデジタル出力からの干渉を避けられないことがあります。デジタル干渉は、容量性結合や誘導性結合、あるいはグランド・プレーンを介した結合によって発生する可能性があります。結合係数がぎわめて小さい場合でも、そのためにADC出力スペクトルに不要なトーンが発生することができます。デジタル出力をデバイスから伝送する前にランダム化することにより、これらの不要なトーンをランダム化し、それによって不要なトーン振幅を減少させることができます。

デジタル出力は、LSBと他の全てのデータ出力ビットとの間で、排他的論理和ロジック演算を行うことによってランダム化されます。デコードするには逆の演算を行います。つまり、LSBと他の全てのビットとの間で排他的論理和演算を行います。LSB、OF、およびCLKOUTの各出力は影響を受けません。モード制御レジスタA4をシリアル・モードでプログラムすることにより、出力ランダマイザをイネーブルすることができます。

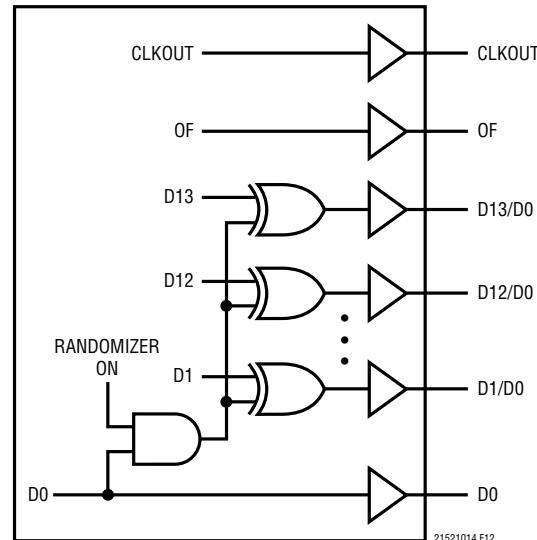


図12. デジタル出力ランダマイザの等価機能

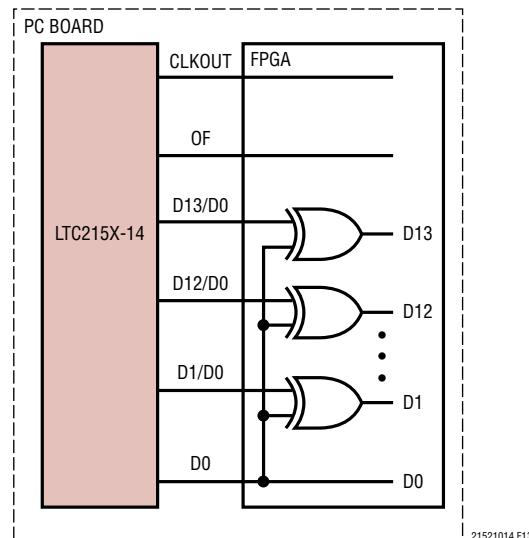


図13. ランダム化されたデジタル出力信号の復元

アプリケーション情報

交互ビット極性

回路基板のデジタル帰還を減らすもうひとつの機能は、交互ビット極性モードです。このモードがイネーブルされると、全ての奇数ビット(D1、D3、D5、D7、D9、D11、D13)が出力バッファの前で反転します。偶数ビット(D0、D2、D4、D6、D8、D10、D12)、OF、およびCLKOUTは影響を受けません。これにより、回路基板のグランド・プレーンのデジタル電流を減らし、(特に非常に小さなアナログ入力信号の場合)デジタル・ノイズを減らすことができます。

デジタル出力は、奇数ビット(D1、D3、D5、D7、D9、D11、D13)を反転させることにより、レシーバでデコードされます。交互ビット極性モードはデジタル出力ランダマイザからは独立しています。つまり、どちらかの機能だけをオンすることも、両方の機能を同時にオンすることも、両方の機能を同時にオフすることも可能です。モード制御レジスタA4をシリアル・モードでプログラムすることにより、交互ビット極性モードがイネーブルされます。

デジタル出力のテストパターン

A/Dへのデジタル・インターフェースのインサーキット・テストを可能にするため、A/Dのデータ出力(OF、D13～D0)を既知の値に強制するいくつかのテスト・モードがあります(DTESTONをセットするとアクティブになります)。

オール1:すべての出力が1

オール0:すべての出力が0

交互:サンプルの出力が交互にオール1からオール0に変化する。

チェックカード:サンプルの出力が交互に1010101010101010から010101010101010に変化する。

モード制御レジスタA4をシリアル・モードでプログラムすることにより、デジタル出力テストパターンをイネーブルすることができます。テストパターンがイネーブルされると、他のすべての形式設定モード(2の補数、ランダマイザ、交互ビット極性)がオーバーライドされます。

出力のディスエーブル

モード制御レジスタA3をシリアル・モードでプログラムすることにより、デジタル出力をディスエーブルすることができます。OFおよびCLKOUTを含む全てのデジタル出力がディスエーブルされます。高インピーダンスのディスエーブルされた状態

は、長期間の休止状態のためのものです。これは、複数のコンバータの間でデータ・バスを多重化するように設計されていません。

スリープ・モード

節電のため、A/Dをパワーダウン・モードにすることができます。スリープ・モードでは、A/Dコンバータ全体がパワーダウンし、電力消費は2mW未満になります。エンコード入力信号がディスエーブルされていないと、電力消費が(250Mspsで最大2mWまで)増加します。スリープ・モードは、モード制御レジスタA1(シリアル・プログラミング・モード)またはSCK(パラレル・プログラミング・モード)によってイネーブルされます。

スリープ・モードから回復するのに要する時間は、V_{REF}のバイパス・コンデンサの容量によって決まります。図1の推奨値の場合、A/Dは $0.1\text{ms} + 2500 \cdot t_p$ の後に安定化します。ここで、 t_p はサンプリング・クロックの周期です。

ナップ・モード

ナップ・モードでは、A/Dのコアはパワーダウンしますが、内部リファレンス回路はアクティブなままなので、より速くウェイクアップすることができます。ナップ・モードからの復帰には、最低でも100クロック・サイクルが必要です。ナップ・モードからのウェイクアップ時間は、クロックが動作している場合だけ保証されます。そうでないと、「パワーダウン・ウェイクアップ時間」の条件が適用されます。ナップ・モードは、シリアル・プログラミング・モードでパワーダウン・レジスタA1によってイネーブルされます。

デバイスのプログラミング・モード

LTC215X-14の動作モードは、パラレル・インターフェースまたは簡単なシリアル・インターフェースのどちらでもプログラム可能です。シリアル・インターフェースは柔軟性が高く、選択可能なすべてのモードをプログラミングできます。パラレル・インターフェースには制限が多く、よく使用される一部のモードのみをプログラミングできます。

パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、PAR/SERをV_{DD}に接続します。CS、SCK、およびSDIの各ピンはバイナリ・ロジック入力で、特定の動作モードを設定します。これらのピンはV_{DD}またはグランドに接続するか、あるいは1.8V、2.5V、

アプリケーション情報

または3.3VのCMOSロジックでドライブすることができます。表2に、 \overline{CS} 、SCK、およびSDIで設定されるモードを示します。

表2. パラレル・プログラミング・モード制御ビット

ピン	説明
\overline{CS}	クロック・デューティサイクル・スタビライザ制御ビット 0 = クロック・デューティサイクル・スタビライザをオフ 1 = クロック・デューティサイクル・スタビライザをオン
SCK	パワーダウン制御ビット 0 = 通常動作 1 = スリープ・モード(ADC全体がパワーダウン)
SDI	LVDS電流の選択ビット 0 = 3.5mAのLVDS電流モード 1 = 1.75mAのLVDS電流モード

シリアル・プログラミング・モード

シリアル・プログラミング・モードを使うには、PAR/SERをグランドに接続します。 \overline{CS} 、SCK、SDIおよびSDOの各ピンは、A/Dの制御レジスタをプログラムするシリアル・インターフェースになります。データは、16ビットのシリアル・ワードでレジスタに書き込まれます。レジスタの内容を検証するため、データをレジスタから読み出すこともできます。

シリアル・データ転送は \overline{CS} が“L”になると開始されます。SDIピンのデータは、SCKの先頭から16番目までの立ち上がりエッジでラッチされます。先頭から16番目より後のSCKの立ち上がりエッジは無視されます。データ転送は \overline{CS} が再度“H”になると終了します。

16ビットの入力ワードの最初のビットはR/Wビットです。次の7ビットはレジスタのアドレス(A6:A0)です。最後の8ビットはレジスタのデータ(D7:D0)です。

R/Wビットが“L”的場合、シリアル・データ(D7:D0)はアドレス・ビット(A6:A0)で指定されるレジスタに書き込まれます。R/Wビットが“H”的場合、アドレス・ビット(A6:A0)によって指定されるレジスタ内のデータが、SDOピンで読み出されます(タイミング図を参照)。読み出しコマンドの実行中、レジスタは更新されず、SDIのデータは無視されます。

SDOピンはオープン・ドレイン出力で、200Ωのインピーダンスでグランドに引き下げられます。レジスタのデータをSDOを介して読み出す場合は、2kの外付けプルアップ抵抗が必要です。シリアル・データが書き込み専用で読み出しの必要がない場

合には、SDOをフロートさせておくことができ、プルアップ抵抗は不要です。モード制御レジスタのマップを表3に示します。

ソフトウェア・リセット

シリアル・プログラミングを使用する場合には、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、すべてのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットでなければなりません。ソフトウェア・リセットを行うには、レジスタA0(ビットD7)に1を書き込む必要があります。リセットが完了した後、ビットD7は自動的に再度ゼロに設定されます。このレジスタは書き込み専用です。

接地とバイパス

LTC215X-14は、ADCの下の第一層に切れ目のないクリーンなグランド・プレーンを備えたプリント回路基板を必要とします。内部グランド・プレーンを備えた多層基板を推奨します。プリント基板のレイアウトは、デジタル信号線とアナログ信号線をできるだけ離すようにしなければなりません。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、ADCの下に配置したりしないように注意してください。

VDD、OVDD、VCM、およびVREFの各ピンには、高品質のセラミック・バイパス・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。0402サイズのセラミック・コンデンサを推奨します。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くする必要があります。

アナログ入力、エンコード信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに絶縁するためのバリヤとして、グランド領域とグランド・ビアを使用します。

熱伝導

LTC215X-14が発生する熱の大部分は、ダイから底面の露出パッドとパッケージのピンを通じてプリント回路基板に伝わります。優れた電気的性能と熱性能を得るには、露出パッドをPC基板の大きな接地されたパッドに半田付けする必要があります。このパッドは、多数のビアにより、内部のグランド・プレーンに接続します。

アプリケーション情報

表3. シリアル・プログラミング・モードのレジスタ・マップ(PAR/SER = GND)。“X”は使用しないビットを示す。

レジスタ A0:リセット・レジスタ(アドレス 00h)書き込み専用

D7	D6	D5	D4	D3	D2	D1	D0
RESET	X	X	X	X	X	X	X

ビット7 **RESET** ソフトウェア・リセット・ビット
0=不使用
1=ソフトウェアによるリセット。全てのモード制御レジスタが00hにリセットされる。リセットSPI書き込みコマンドが完了した後、ビットD7は自動的に再度ゼロに設定される。リセット・レジスタは書き込み専用。

ビット6~0 使用しないビット

レジスタ A1:パワーダウン・レジスタ(アドレス 01h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	SLEEP	NAP	0	0

ビット7~4 不使用、これらのビットは0として読み出される。

ビット3 **SLEEP**
0=通常動作
1=ADC全体をパワーダウン

ビット2 **NAP**
0=通常モード
1=低消費電力モード

ビット1~0 0に設定する必要がある。

レジスタ A2:タイミング・レジスタ(アドレス 02h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	CLKINV	CLKPHASE1	CLKPHASE0	DCS

ビット7~4 不使用、これらのビットは0として読み出される。

ビット3 **CLKINV** 出力クロック反転ビット
0=通常のCLKOUTの極性(タイミング図に示されているとおり)
1=反転したCLKOUT極性

ビット2~1 **CLKPHASE1:CLKPHASE0** 出力クロックの位相遅延ビット
00=CLKOUTの遅延なし(タイミング図に示されているとおり)
01=CLKOUT+/CLKOUT- 45°の遅延(クロックの周期・1/8)
10=CLKOUT+/CLKOUT- 90°の遅延(クロックの周期・1/4)
11=CLKOUT+/CLKOUT- 135°の遅延(クロックの周期・3/8)

Note: CLKOUT位相遅延機能を使う場合、クロック・デューティサイクル・スタビライザもオンする必要がある

ビット0 **DCS** クロック・デューティサイクル・スタビライザ・ビット
0=クロック・デューティサイクル・スタビライザをオフ
1=クロック・デューティサイクル・スタビライザをオン

LTC2152-14/ LTC2151-14/LTC2150-14

アプリケーション情報

レジスタ A3:出力モード・レジスタ(アドレス 03h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF

ビット7~5 不使用、これらのビットは0として読み出される。

ビット4~2 **ILVDS2:ILVDS0** LVDS出力電流ビット
000 = 3.5mA LVDS出力ドライバ電流
001 = 4.0mA LVDS出力ドライバ電流
010 = 4.5mA LVDS出力ドライバ電流
011 = 不使用
100 = 3.0mA LVDS出力ドライバ電流
101 = 2.5mA LVDS出力ドライバ電流
110 = 2.1mA LVDS出力ドライバ電流
111 = 1.75mA LVDS出力ドライバ電流

ビット1 **TERMON** LVDS内部終端ビット
0 = 内部終端をオフ

1 = 内部終端をオン。LVDS出力ドライバ電流はILVDS2:ILVDS0によって設定される電流の2倍

ビット0 **OUTOFF** デジタル出力のモード制御ビット
0 = LVDS DDR
1 = LVDSトライステート(高インピーダンス)

レジスタ A4:データ・フォーマット・レジスタ(アドレス 04h)

D7	D6	D5	D4	D3	D2	D1	D0
OUTTEST2	OUTTEST1	OUTTEST0	ABP	0	DTESTON	RAND	TWOSCOMP

ビット7~5 **OUTTEST2:OUTTEST0** デジタル出力のテストパターン・ビット

000 = 全デジタル出力 = 0

001 = 全デジタル出力 = 1

010 = 交互出力パターン。OF、D13~D0は、000 0000 0000 0000と111 1111 1111 1111を交互に出力

100 = チェッカーボード出力パターン。OF、D13~D0は010 1010 1010 1010と101 0101 0101 0101を交互に出力

ビット4 **ABP** 交互ビット極性モードの制御ビット
0 = 交互ビット極性モードをオフ

1 = 交互ビット極性モードをオン

ビット3 0に設定する必要がある。

ビット2 **DTESTON** デジタル・パターンをイネーブル(ビット7~5)

0 = 通常モード

1 = デジタル出力テストパターンをイネーブル

ビット1 **RAND** データ出力ランダマイザ・モード制御ビット

0 = データ出力ランダマイザ・モードをオフ

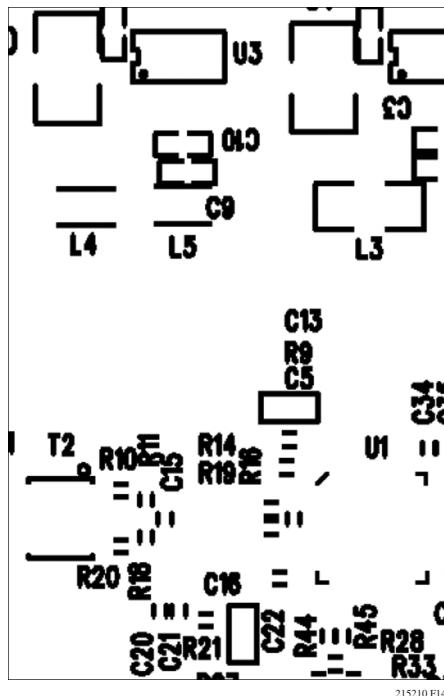
1 = データ出力ランダマイザ・モードをオン

ビット0 **TWOSCOMP** 2の補数モード制御ビット

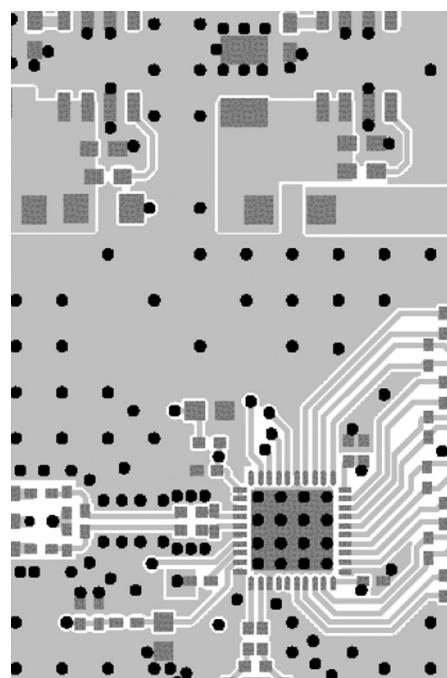
0 = オフセット・バイナリのデータ形式

1 = 2の補数のデータ形式

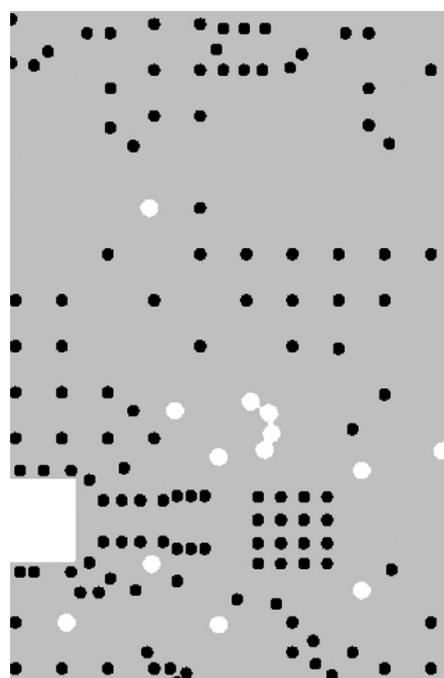
アプリケーション情報



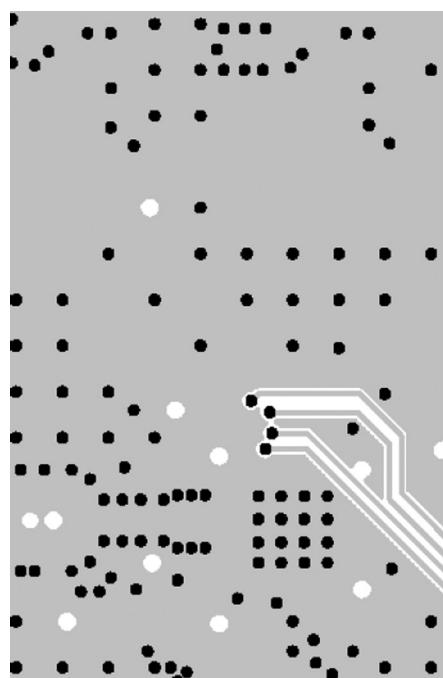
シルクスクリーンの上面



中間層1 GND



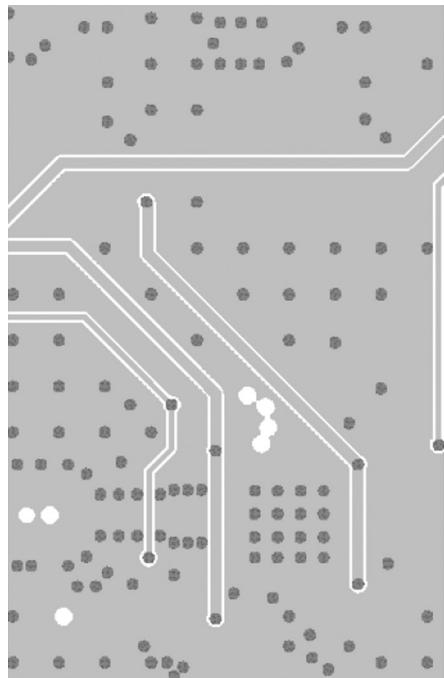
中間層2



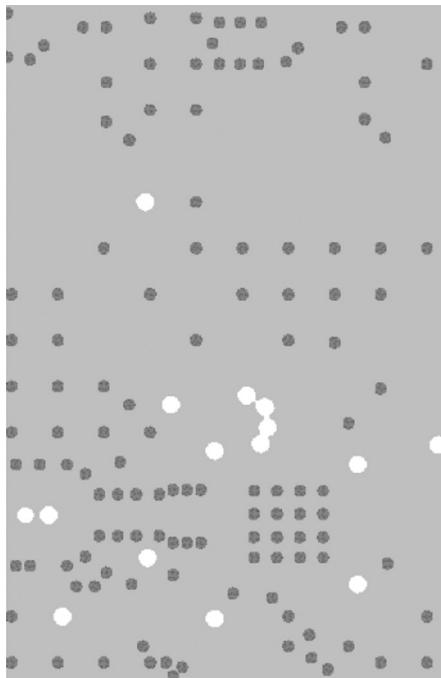
中間層3

21521014fa

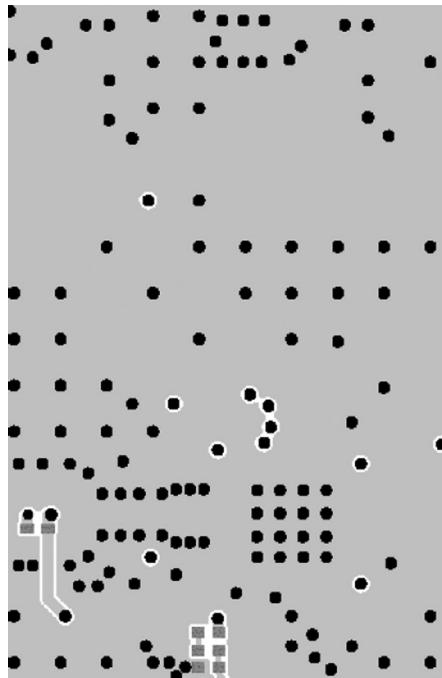
アプリケーション情報



中間層 4



中間層 5

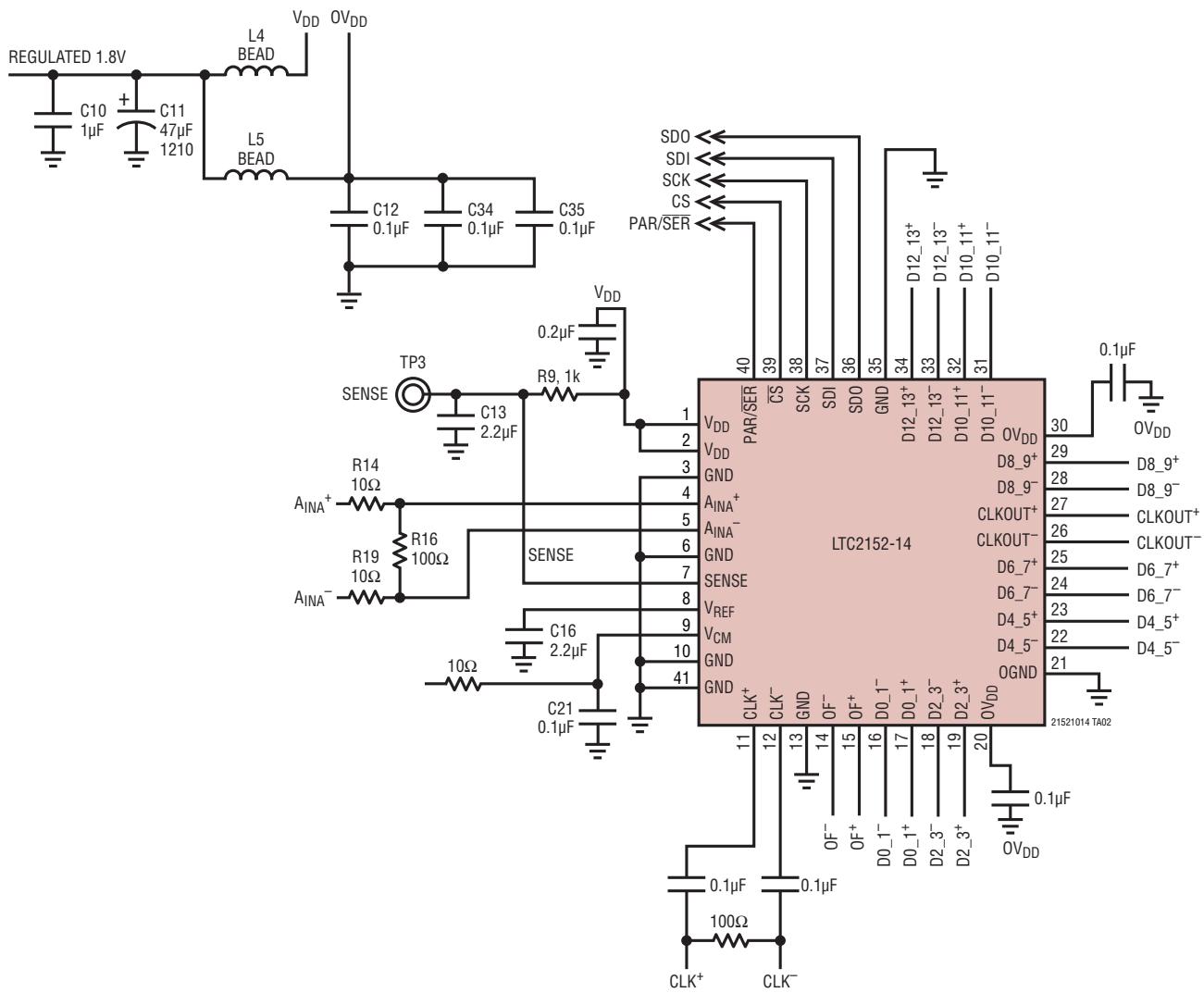


最下層 6

215210fa

21521014fa

標準的應用例



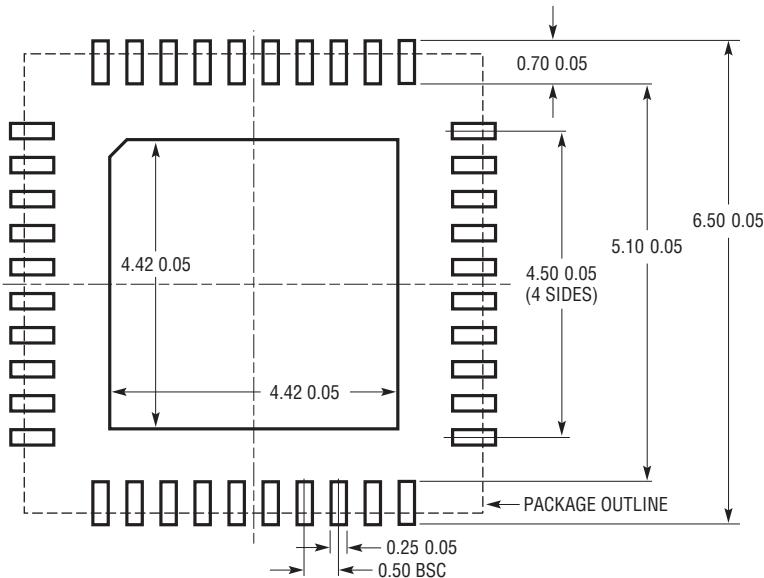
21521014fa

LTC2152-14/
LTC2151-14/LTC2150-14

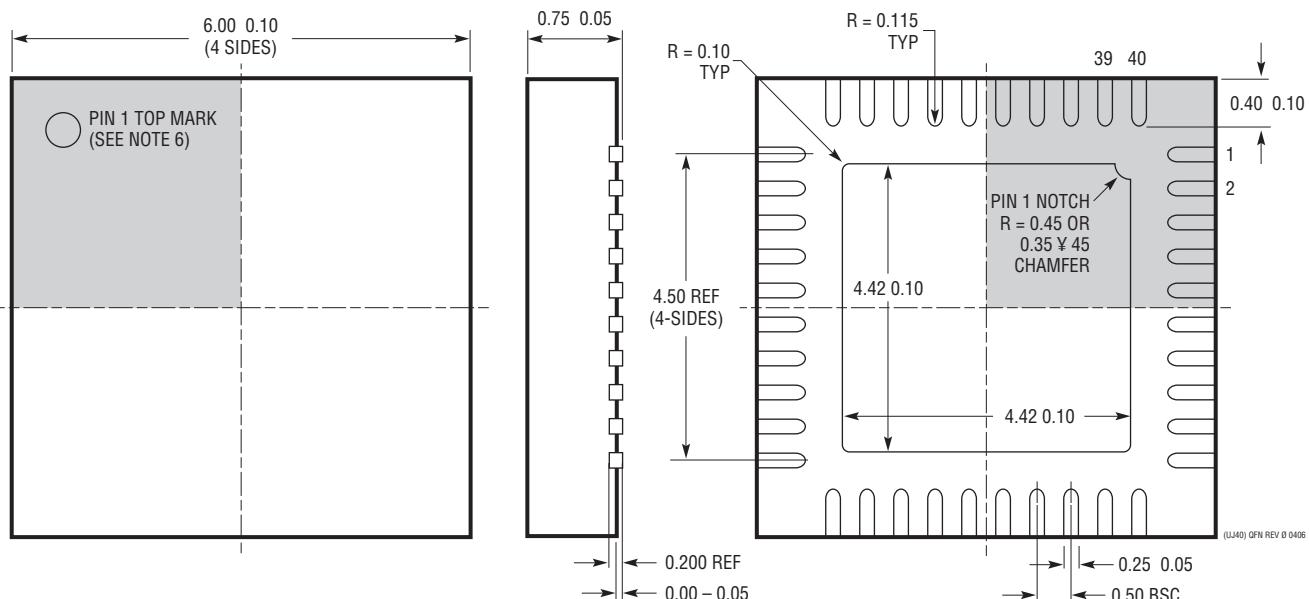
パッケージ

パッケージの最新の図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

UJ Package
40-Lead Plastic QFN (6mm x 6mm)
(Reference LTC DWG # 05-08-1728 Rev 0)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERS



NOTE:

1. 図面は JEDEC のパッケージ外形バリエーション(WJJD-2)
 2. 図は実寸では異なる
 3. すべての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは(もしあれば)各サイドで 0.20mm を超えないこと
 5. 露出パッドは半田メッキとする
 6. 線掛けの部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

BOTTOM VIEW—EXPOSED PAD

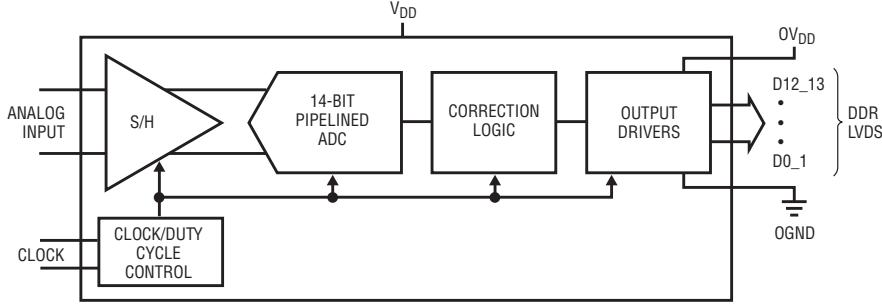
21521014fa

改訂履歴

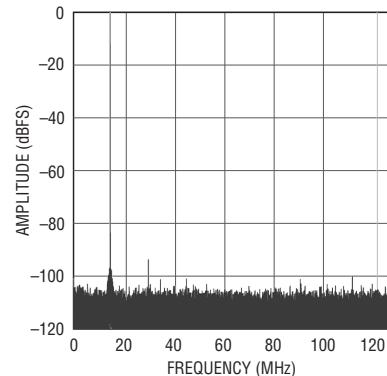
Rev	日付	概要	ページ番号
A	12/14	pipeline latencyを6に変更。 グラフG17を更新。	5、17 8

LTC2152-14/ LTC2151-14/LTC2150-14

標準的応用例



LTC2152-14 32K ポイントの FFT、
 $f_{IN} = 15\text{MHz}$ 、-1dBFS、250Msps



21521014 TA03b

関連製品

製品番号	説明	注釈
ADC		
LTC2208	16ビット、130Msps、3.3V ADC、LVDS出力	1250mW、SNR:77.7dB、SFDR:100dB、48ピンQFN
LTC2157-14/LTC2156-14/ LTC2155-14	14ビット、250Msps/210Msps/170Msps、 1.8V デュアル ADC、LVDS の DDR 出力	650mW/616mW/567mW、SNR:70dB、 SFDR:80dB、9mm×9mm 64ピンQFN
LTC2242-10/LTC2241-10/ LTC2240-10	10ビット、250Msps/210Msps/170Msps、 2.5V ADC、LVDS出力	740mW/585mW/445mW、SNR:60.6dB、 SFDR:78dB、64ピンQFN
LTC2242-12/LTC2241-12/ LTC2240-12	12ビット、250Msps/210Msps/170Msps、 2.5V ADC、LVDS出力	740mW/585mW/445mW、SNR:65.5dB、SFDR:80dB、 64ピンQFN
LTC2262-14	14ビット、150Msps 超低消費電力 1.8V ADC	149mW、SNR:72.8dB、SFDR:88dB、 DDR LVDS/DDR CMOS/CMOS出力、6mm×6mm QFN-36
RFミキサ/復調器		
LT5517	40MHz～900MHz 直接変換直交復調器	高いIIP3:800MHzで21dBm、LO直交ジェネレータ内蔵
LT5527	400MHz～3.7GHz 高直線性ダウンコンバーティング・ミキサ	IIP3:900MHzで24.5dBm、3.5GHzで23.5dBm、 NF=12.5dB、50ΩシングルエンドのRFポートとLOポート
LT5575	800MHz～2.7GHz 直接変換直交復調器	高いIIP3:900MHzで28dBm、LO直交ジェネレータ内蔵、 RFおよびLOトランジスタ内蔵
アンプ/フィルタ		
LTC6409	GBWが10GHzの、 $1.1\text{nV}/\sqrt{\text{Hz}}$ 差動アンプ / ADC ドライバ	SFDR:88dB (100MHz)、グランドを含む入力範囲、消費電流: 52mA、3mm×2mm QFN パッケージ
LTC6412	800MHz、31dB レンジ、アナログ制御 VGA	連続調整可能な利得制御、OIP3:240MHz で 35dBm、 ノイズフィギュア: 10dB、4mm×4mm QFN-24
LTC6420-20	300MHz の IF 周波数向け 1.8GHz、低ノイズ、 低歪み、デュアル差動 ADC ドライバ	固定利得: 10V/V、総入力ノイズ: $1\text{nV}/\sqrt{\text{Hz}}$ 、 アンプ当たりの消費電流: 80mA、3mm×4mm QFN-20
レシーバ・サブシステム		
LTM®9002	14ビット・デュアル・チャネルIF/ベースバンド・ レシーバ・サブシステム	高速 ADC、パッシブ・フィルタ、固定利得差動アンプを内蔵
LTM9003	12ビット・デジタル・プリディストーション・ レシーバ	12ビット ADC、入力周波数範囲が 0.4GHz～3.8GHz の ダウンコンバーティング・ミキサ

21521014fa