

### 特長

- SNR: 68.5dB
- SFDR: 90dB
- 低消費電力: 347mW/333mW/306mW (合計)
- 1.8V 単一電源
- DDR LVDS 出力
- ドライブしやすい 1.5V<sub>p-p</sub> の入力範囲
- 1.25GHz のフルパワー帯域幅 サンプル/ホールド
- オプションのクロック・デューティサイクル・スタビライザ
- 低消費電力のスリープ・モードとナップ・モード
- 設定用のシリアル SPI ポート
- 14ビット・バージョンとピン互換
- 40ピン (6mm×6mm) QFN パッケージ

### アプリケーション

- 通信
- セルラー基地局
- ソフトウェア無線
- 医療用画像処理
- 高精細ビデオ
- テストおよび測定機器

### 概要

LTC<sup>®</sup>2152-12/LTC2151-12/LTC2150-12は、広いダイナミック・レンジの高周波信号をデジタル化する、250MSPS/210MSPS/170MSPS 12ビット A/D コンバータ・ファミリです。SNRが68.5dB、SFDRが90dBという優れたAC特性を備えているため、要求の厳しい通信アプリケーションに最適です。1.25GHzの入力帯域幅により、優れた性能を維持しながら高い入力周波数をアンダーサンプリングできます。待ち時間はわずか6クロック・サイクルです。

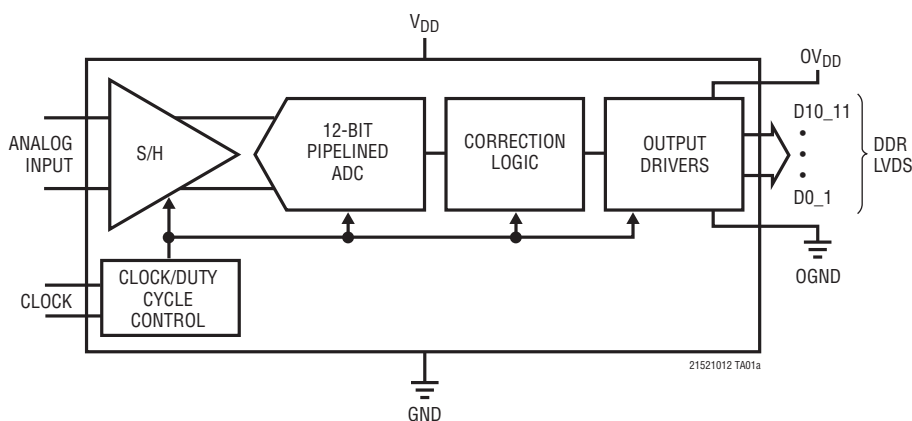
DC仕様では、±0.26LSB (標準) のINLと±0.16LSB (標準) のDNL、およびミッシング・コードがないことが全温度範囲で規定されています。遷移ノイズは0.54LSB<sub>RMS</sub>です。

デジタル出力は、ダブルデータレート (DDR) LVDSです。

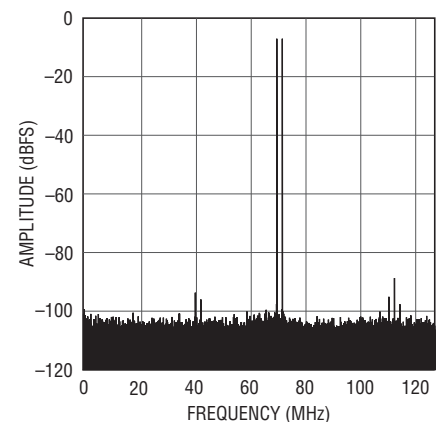
ENC<sup>+</sup>およびENC<sup>-</sup> 入力、正弦波、PECL、LVDS、TTL、またはCMOSの入力信号を使って差動でドライブ可能です。また、オプションのクロック・デューティサイクル・スタビライザにより、広範なクロック・デューティサイクルにおいてフルスピードで高い性能を達成できます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴは、リニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

### 標準的応用例



LTC2152-12: 32Kポイントの2トーンFFT、  
f<sub>IN</sub> = 71MHzおよび69MHz、250MSPS



# LTC2152-12/ LTC2151-12/LTC2150-12

## 絶対最大定格 (Note 1, 2)

### 電源電圧

$V_{DD}$ ,  $OV_{DD}$ .....-0.3V ~ 2V

### アナログ入力電圧

$A_{IN}^+$ ,  $A_{IN}^-$ ,  $\overline{PAR/SER}$ ,

SENSE (Note 3).....-0.3V ~ ( $V_{DD} + 0.2V$ )

### デジタル入力電圧

$ENC^+$ ,  $ENC^-$  (Note 3).....-0.3V ~ ( $V_{DD} + 0.3V$ )

$\overline{CS}$ , SDI, SCK (Note 4).....-0.3V ~ 3.9V

SDO (Note 4).....-0.3V ~ 3.9V

デジタル出力電圧.....-0.3V ~ ( $OV_{DD} + 0.3V$ )

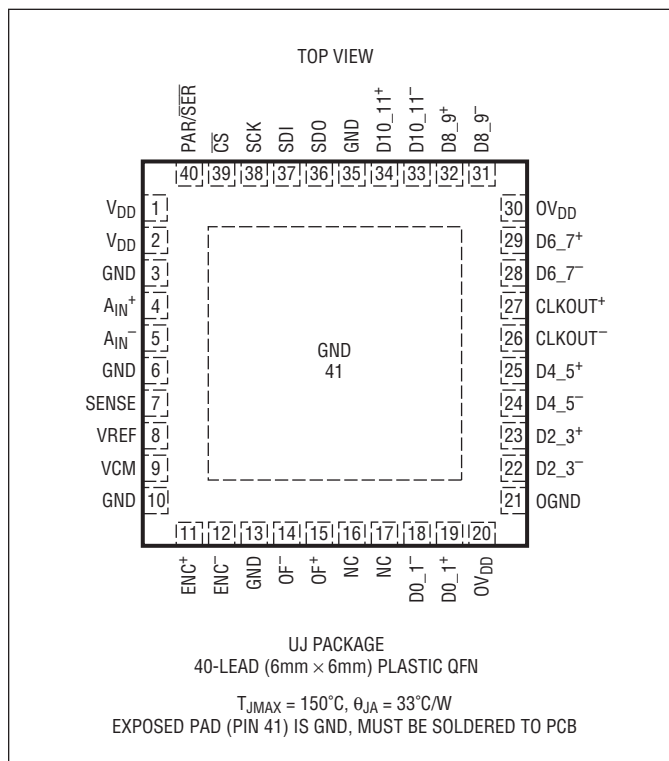
### 動作温度範囲

LTC2152C, LTC2151C, LTC2150C..... 0°C ~ 70°C

LTC2152I, LTC2151I, LTC2150I..... -40°C ~ 85°C

保存温度範囲..... -65°C ~ 150°C

## ピン配置



## 発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2152CUJ-12#PBF	LTC2152CUJ-12#TRPBF	LTC2152UJ-12	40-Lead (6mm×6mm) Plastic QFN	0°C to 70°C
LTC2152IUJ-12#PBF	LTC2152IUJ-12#TRPBF	LTC2152UJ-12	40-Lead (6mm×6mm) Plastic QFN	-40°C to 85°C
LTC2151CUJ-12#PBF	LTC2151CUJ-12#TRPBF	LTC2151UJ-12	40-Lead (6mm×6mm) Plastic QFN	0°C to 70°C
LTC2151IUJ-12#PBF	LTC2151IUJ-12#TRPBF	LTC2151UJ-12	40-Lead (6mm×6mm) Plastic QFN	-40°C to 85°C
LTC2150CUJ-12#PBF	LTC2150CUJ-12#TRPBF	LTC2150UJ-12	40-Lead (6mm×6mm) Plastic QFN	0°C to 70°C
LTC2150IUJ-12#PBF	LTC2150IUJ-12#TRPBF	LTC2150UJ-12	40-Lead (6mm×6mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。\* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/designtools/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

コンバータ特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値(Notes 5)。

PARAMETER	CONDITIONS	LTC2152-12			LTC2151-12			LTC2150-12			UNITS	
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
Resolution (No Missing Codes)		●	12		12		12		12		Bits	
Integral Linearity Error	Differential Analog Input (Note 6)	●	-1.2	±0.26	1.2	-1.2	±0.30	1.2	-1.2	±0.30	1.2	LSB
Differential Linearity Error	Differential Analog Input	●	-0.6	±0.16	0.6	-0.6	±0.16	0.6	-0.6	±0.16	0.6	LSB
Offset Error	(Note 7)	●	-13	±5	13	-13	±5	13	-13	±5	13	mV
Gain Error	External Reference	●	-4	±1	3	-4	±1	3	-4	±1	3	%FS
Offset Drift				±20			±20			±20		$\mu\text{V}/^\circ\text{C}$
Full-Scale Drift	Internal Reference			±30			±30			±30		ppm/ $^\circ\text{C}$
	External Reference			±10			±10			±10		ppm/ $^\circ\text{C}$
Transition Noise				0.54			0.54			0.54		LSBRMS

アナログ入力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値(Notes 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{IN}$	Analog Input Range ( $A_{IN}^+ - A_{IN}^-$ )	$1.7\text{V} < V_{DD} < 1.9\text{V}$	●	1.5		$V_{P-P}$	
$V_{IN(CM)}$	Analog Input Common Mode ( $A_{IN}^+ + A_{IN}^-$ )/2	Differential Analog Input (Note 8)	●	$V_{CM} - 20\text{mV}$	$V_{CM}$	$V_{CM} + 20\text{mV}$	V
$V_{SENSE}$	External Reference Mode	External Reference Mode	●	1.200	1.250	1.300	V
$I_{IN1}$	Analog Input Leakage Current	$0 < A_{IN}^+, A_{IN}^- < V_{DD}$ , No Encode	●	-1	1		$\mu\text{A}$
$I_{IN2}$	SENSE Input Leakage Current	$1.2\text{V} < \text{SENSE} < 1.3\text{V}$	●	-1	1		$\mu\text{A}$
$I_{IN3}$	PAR/SER Input Leakage Current	$0 < \text{PAR/SER} < V_{DD}$	●	-1	1		$\mu\text{A}$
$t_{AP}$	Sample-and-Hold Acquisition Delay Time			1			ns
$t_{JITTER}$	Sample-and-Hold Acquisition Delay Jitter			0.15			psRMS
CMRR	Analog Input Common Mode Rejection Ratio			75			dB
BW-3B	Full-Power Bandwidth			1250			MHz

ダイナミック精度 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ (Notes 5)。

SYMBOL	PARAMETER	CONDITIONS	LTC2152-12			LTC2151-12			LTC2150-12			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
SNR	Signal-to-Noise Ratio	15MHz Input		68.5		68.5		68.5		68.5		dBFS
		70MHz Input		68.4		68.3		68.3		68.3		dBFS
		140MHz Input	●	67.1	68.0	67.1	67.9	67.3	67.8		67.8	
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic	15MHz Input		90.6		90.1		90		90		dBFS
		70MHz Input		88		89		88		88		dBFS
		140MHz Input	●	72	80	74	81	76	80		80	
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	15MHz Input		98		98		98		98		dBFS
		70MHz Input		95		95		95		95		dBFS
		140MHz Input	●	81	85	82	85	83	84		84	
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	15MHz Input		68.5		68.4		68.4		68.4		dBFS
		70MHz Input		68.4		68.3		68.3		68.3		dBFS
		140MHz Input	●	66.5	67.7	66.6	67.7	66.7	67.7		67.7	
Crosstalk	Crosstalk Between Channels	Up to 315MHz Input		-95		-95		-95		-95		dB

# LTC2152-12/ LTC2151-12/LTC2150-12

## 内部リファレンスの特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{CM}$ Output Voltage	$I_{OUT} = 0$	0.439 • $V_{DD} - 18\text{mV}$	0.439 • $V_{DD}$	0.439 • $V_{DD} + 18\text{mV}$	V
$V_{CM}$ Output Temperature Drift			$\pm 37$		ppm/ $^\circ\text{C}$
$V_{CM}$ Output Resistance	$-1\text{mA} < I_{OUT} < 1\text{mA}$		4		$\Omega$
$V_{REF}$ Output Voltage	$I_{OUT} = 0$	1.225	1.250	1.275	V
$V_{REF}$ Output Temperature Drift			$\pm 30$		ppm/ $^\circ\text{C}$
$V_{REF}$ Output Resistance	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$		7		$\Omega$
$V_{REF}$ Line Regulation	$1.7\text{V} < V_{DD} < 1.9\text{V}$		0.6		mV/V

## 電源要件 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	LTC2152-12			LTC2151-12			LTC2150-12			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
$V_{DD}$	Analog Supply Voltage	(Note 9)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
$OV_{DD}$	Output Supply Voltage	LVDS Mode (Note 9)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
$I_{VDD}$	Analog Supply Current		●	166	185		158	175		145	159		mA
$I_{OVDD}$	Digital Supply Current	1.75mA LVDS Mode 3.5mA LVDS Mode	●	27 45	32 50		27 44	31 50		25 43	30 48		mA mA
$P_{DISS}$	Power Dissipation	1.75mA LVDS Mode 3.5mA LVDS Mode	●	347 380	391 423		333 364	371 405		306 338	340 373		mW mW
$P_{NAP}$	Nap Mode Power	Clocked at $f_S(\text{MAX})$		105			99			93			mW
$P_{SLEEP}$	Sleep Mode Power	Clocked at $f_S(\text{MAX})$		<2			<2			<2			mW

## デジタル入力および出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>エンコード入力 (ENC<sup>+</sup>, ENC<sup>-</sup>)</b>							
$V_{ID}$	Differential Input Voltage	(Note 8)	●	0.2	1	1.9	V
$V_{ICM}$	Common Mode Input Voltage	Internally Set Externally Set (Note 8)	●		1.2	1.5	V V
$V_{IN}$	Input Voltage Range	ENC <sup>+</sup> , ENC <sup>-</sup> to GND	●	0.2		1.9	V
$R_{IN}$	Input Resistance	(See Figure 2)			10	k $\Omega$	
$C_{IN}$	Input Capacitance	(Note 8)			2	pF	
<b>デジタル入力 (CS<sup>-</sup>, SDI, SCK)</b>							
$V_{IH}$	High Level Input Voltage	$V_{DD} = 1.8\text{V}$	●	1.3		V	
$V_{IL}$	Low Level Input Voltage	$V_{DD} = 1.8\text{V}$	●			0.6	V
$I_{IN}$	Input Current	$V_{IN} = 0\text{V}$ to 1.8V	●	-10		10	$\mu\text{A}$
$C_{IN}$	Input Capacitance	(Note 8)			3	pF	
<b>SDO出力 (オープン・ドレイン出力。SDOを使用する場合は2kのプルアップ抵抗が必要)</b>							
$R_{OL}$	Logic Low Output Resistance to GND	$V_{DD} = 1.8\text{V}$ , SDO = 0V			200	$\Omega$	
$I_{OH}$	Logic High Output Leakage Current	SDO = 0V to 3.6V	●	-10		10	$\mu\text{A}$
$C_{OUT}$	Output Capacitance	(Note 8)			4	pF	

21521012fa

## デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
<b>デジタル・データ出力</b>							
V <sub>OD</sub>	Differential Output Voltage	100Ω Differential Load, 3.5mA Mode	●	247	350	454	mV
		100Ω Differential Load, 1.75mA Mode	●	125	175	250	mV
V <sub>OS</sub>	Common Mode Output Voltage	100Ω Differential Load, 3.5mA Mode	●	1.125	1.250	1.375	V
		100Ω Differential Load, 1.75mA Mode	●	1.125	1.250	1.375	V
R <sub>TERM</sub>	On-Chip Termination Resistance	Termination Enabled, 0V <sub>DD</sub> = 1.8V			100		Ω

## タイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS		LTC2152-12			LTC2151-12			LTC2150-12			UNITS
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
f <sub>s</sub>	Sampling Frequency	(Note 9)	●	10	250	10	210	10	170			MHz	
t <sub>L</sub>	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off	●	1.9	2	50	2.26	2.38	50	2.79	2.94	50	ns
		Duty Cycle Stabilizer On	●	1.5	2	50	1.5	2.38	50	1.5	2.94	50	ns
t <sub>H</sub>	ENC High Time (Note 8)	Duty Cycle Stabilizer Off	●	1.9	2	50	2.26	2.38	50	2.79	2.94	50	ns
		Duty Cycle Stabilizer On	●	1.5	2	50	1.5	2.38	50	1.5	2.94	50	ns

## デジタル・データ出力

SYMBOL	PARAMETER	CONDITIONS		LTC215X-12			UNITS
				MIN	TYP	MAX	
t <sub>D</sub>	ENC to Data Delay	C <sub>L</sub> = 5pF	●	1.7	2	2.3	ns
t <sub>C</sub>	ENC to CLKOUT Delay	C <sub>L</sub> = 5pF	●	1.3	1.6	2	ns
t <sub>SKREW</sub>	DATA to CLKOUT Skew	t <sub>D</sub> - t <sub>C</sub>	●	0.3	0.4	0.55	ns
	Pipeline Latency			6		6	Cycles

## SPIポートのタイミング (Note 8)

t <sub>SCK</sub>	SCK Period	Write Mode, C <sub>SDO</sub> = 20pF Readback Mode R <sub>PULLUP</sub> = 2k, C <sub>SDO</sub> = 20pF		40 250			ns ns
t <sub>S</sub>	$\overline{\text{CS}}$ to SCK Set-Up Time		●	5			ns
t <sub>H</sub>	SCK to $\overline{\text{CS}}$ Hold Time		●	5			ns
t <sub>DS</sub>	SDI Set-Up Time		●	5			ns
t <sub>DH</sub>	SDI Hold Time		●	5			ns
t <sub>DO</sub>	SCK Falling to SDO Valid	Readback Mode R <sub>PULLUP</sub> = 2k, C <sub>SDO</sub> = 20pF	●			125	ns

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

**Note 2:** すべての電圧値は(注記がない限り) GND と OGND を短絡した状態の GND を基準にしている。

**Note 3:** これらのピンの電圧を GND より低くするか、V<sub>DD</sub> より高くすると、内部のダイオードによってクランプされる。この製品は、GND より低いか、または V<sub>DD</sub> より高い電圧でラッチアップを生じることなしに 100mA を超える入力電流を処理することができる。

**Note 4:** これらのピンの電圧を GND より低くすると、その電圧は内部のダイオードによってクランプされる。これらのピンの電圧を V<sub>DD</sub> より高くすると、その電圧は内部のダイオードによってクランプされない。この製品は、GND より低い電圧で、ラッチアップを生じることなく 100mA を超える入力電流を処理することができる。

**Note 5:** 注記がない限り、V<sub>DD</sub> = 0V<sub>DD</sub> = 1.8V、f<sub>SAMPLE</sub> = 250MHz (LTC2152)、210MHz (LTC2151)、または 170MHz (LTC2150)、LVDS 出力、差動 ENC<sup>+</sup>/ENC<sup>-</sup> = 2V<sub>P-P</sub> 正弦波、入力範囲 = 差動ドライブで 1.5V<sub>P-P</sub>。

**Note 6:** 積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

**Note 7:** オフセット誤差は、2 の補数出力モードで出力コードが 0000 0000 0000 と 1111 1111 1111 の間を行ったり来たりするとき、-0.5LSB から測定したオフセット電圧である。

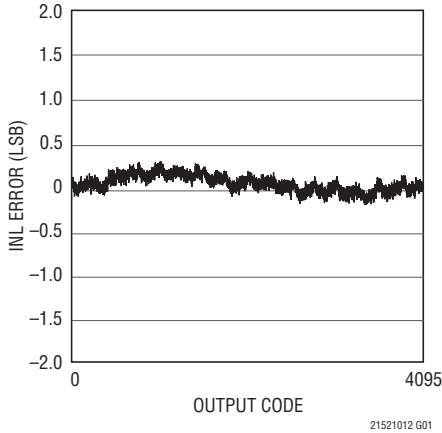
**Note 8:** 設計によって保証されているが、テストされない。

**Note 9:** 推奨動作条件。

# LTC2152-12/ LTC2151-12/LTC2150-12

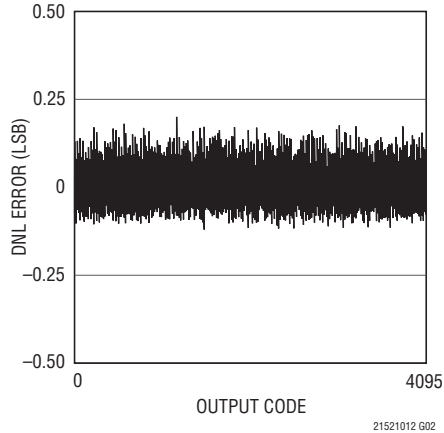
## 標準的性能特性

LTC2152-12: 積分非直線性 (INL)



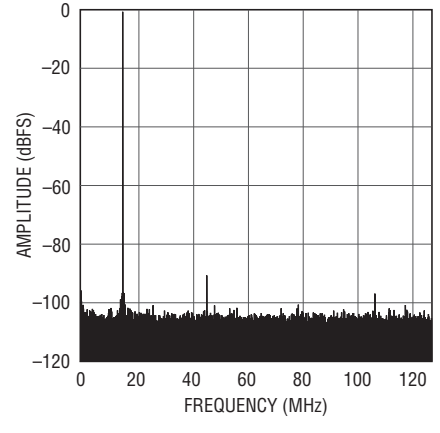
21521012 G01

LTC2152-12: 微分非直線性 (DNL)



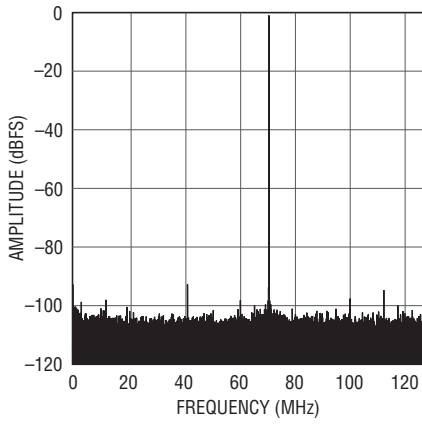
21521012 G02

LTC2152-12: 32KポイントのFFT、  
 $f_{IN} = 15\text{MHz}$ 、 $-1\text{dBFS}$ 、 $250\text{Mps}$



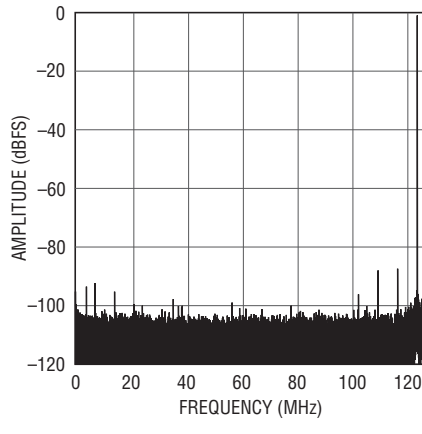
21521012 G03

LTC2152-12: 32KポイントのFFT、  
 $f_{IN} = 70\text{MHz}$ 、 $-1\text{dBFS}$ 、 $250\text{Mps}$



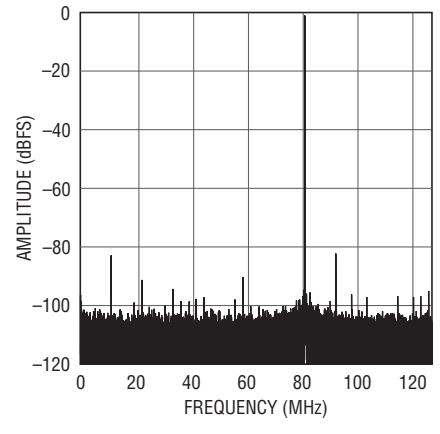
21521012 G04

LTC2152-12: 32KポイントのFFT、  
 $f_{IN} = 122\text{MHz}$ 、 $-1\text{dBFS}$ 、 $250\text{Mps}$



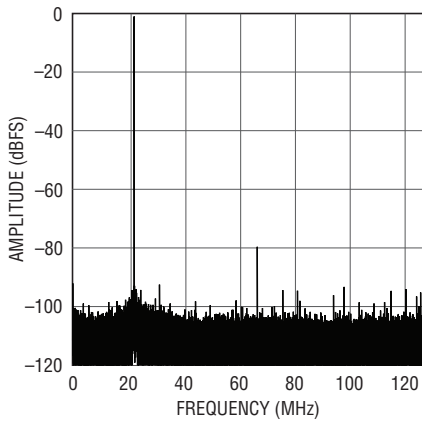
21521012 G05

LTC2152-12: 32KポイントのFFT、  
 $f_{IN} = 171\text{MHz}$ 、 $-1\text{dBFS}$ 、 $250\text{Mps}$



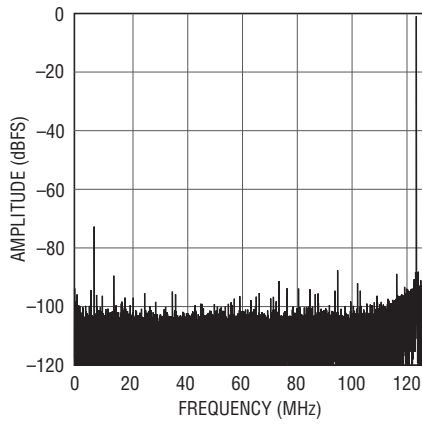
21521012 G06

LTC2152-12: 32KポイントのFFT、  
 $f_{IN} = 229\text{MHz}$ 、 $-1\text{dBFS}$ 、 $250\text{Mps}$



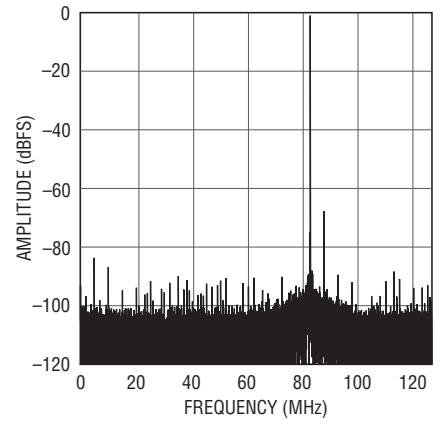
21521012 G07

LTC2152-12: 32KポイントのFFT、  
 $f_{IN} = 380\text{MHz}$ 、 $-1\text{dBFS}$ 、 $250\text{Mps}$



21521012 G08

LTC2152-12: 32KポイントのFFT、  
 $f_{IN} = 420\text{MHz}$ 、 $-1\text{dBFS}$ 、 $250\text{Mps}$

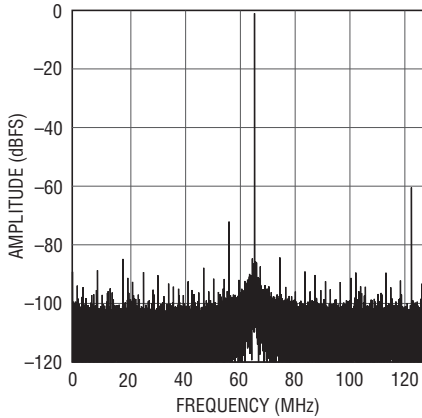


21521012 G09

21521012fa

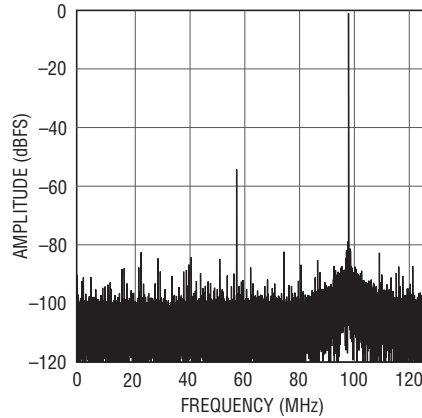
## 標準的性能特性

LTC2152-12: 32KポイントのFFT、  
 $f_{IN} = 567\text{MHz}$ 、 $-1\text{dBFS}$ 、 $250\text{Mpsps}$



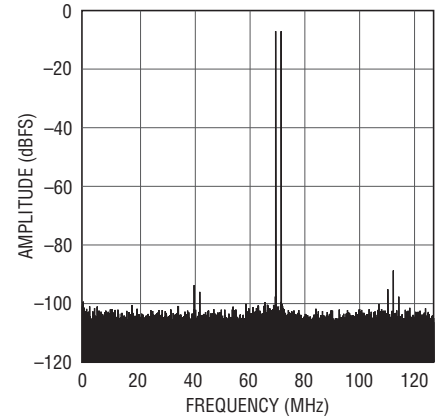
215210 G10

LTC2152-12: 32KポイントのFFT、  
 $f_{IN} = 907\text{MHz}$ 、 $-1\text{dBFS}$ 、 $250\text{Mpsps}$



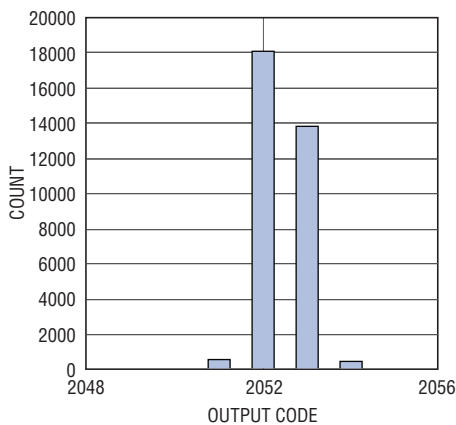
21521012 G11

LTC2152-12: 32Kポイントの  
2トーンFFT、 $f_{IN} = 71\text{MHz}$ および  
 $69\text{MHz}$ 、 $250\text{Mpsps}$



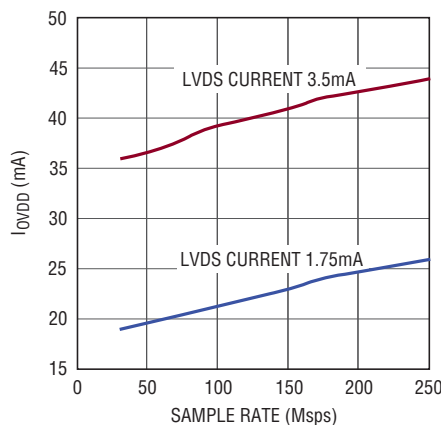
21521012 G12

LTC2152-12: 短絡入力の  
ヒストグラム



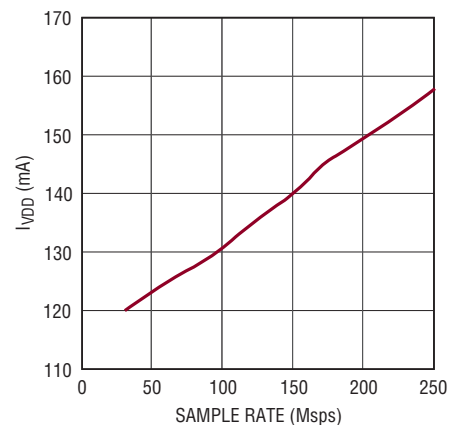
21521012 G13

LTC2152-12:  $I_{OVD}$ とサンプル・レート、  
 $15\text{MHz}$ の正弦波入力、 $-1\text{dBFS}$



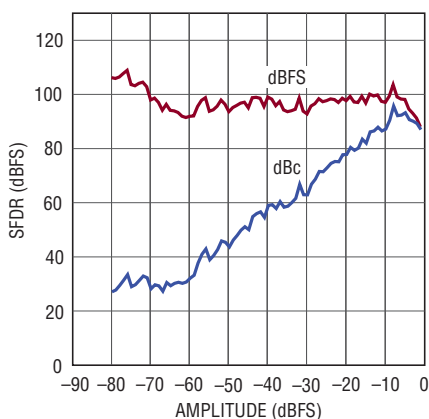
21521012 G14

LTC2152-12:  $I_{VDD}$ とサンプル・レート、  
 $15\text{MHz}$ の正弦波入力、 $-1\text{dBFS}$



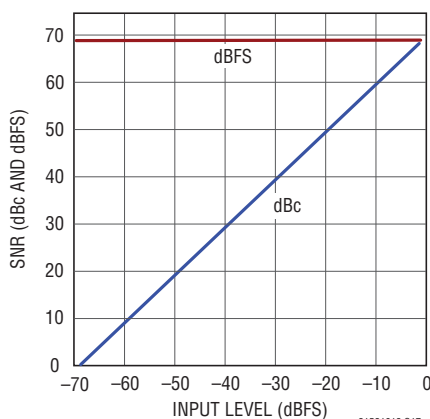
21521012 G15

LTC2152-12: SFDRと入力レベル、  
 $f_{IN} = 70\text{MHz}$ 、 $1.5\text{V}$ 範囲、 $250\text{Mpsps}$



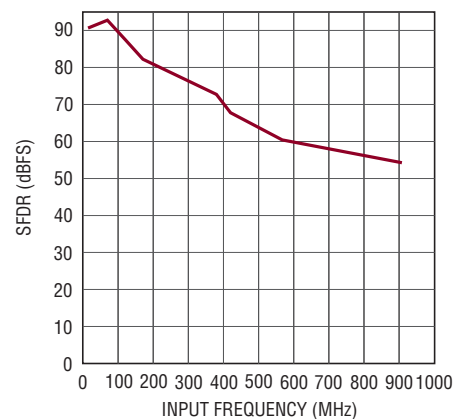
21521012 G16

LTC2152-12: SNRと入力レベル、  
 $f_{IN} = 70\text{MHz}$ 、 $1.5\text{V}$ 範囲、 $250\text{Mpsps}$



21521012 G17

LTC2152-12: SFDRと入力周波数、  
 $-1\text{dBFS}$ 、 $1.5\text{V}$ 範囲、 $250\text{Mpsps}$

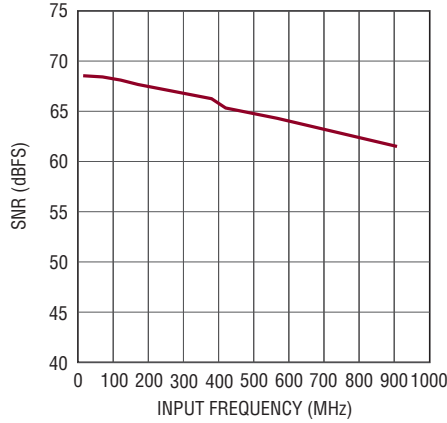


21521012 G18

# LTC2152-12/ LTC2151-12/LTC2150-12

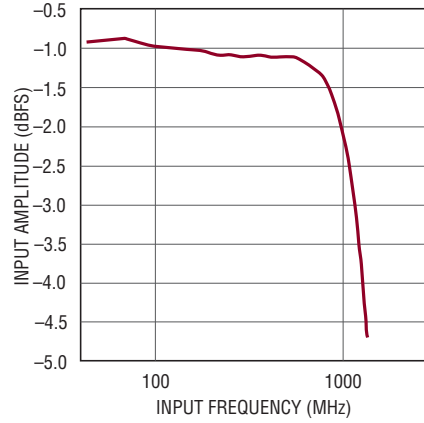
## 標準的性能特性

LTC2152-12: SNRと入力周波数、  
-1dBFS、1.5V範囲、250Msps



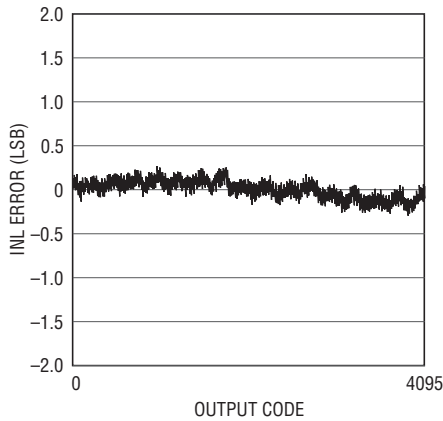
21521012 G19

LTC2152-12: 周波数応答



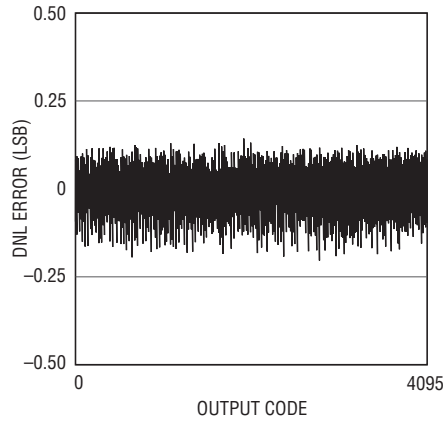
21521012 G20

LTC2151-12: 積分非直線性 (INL)



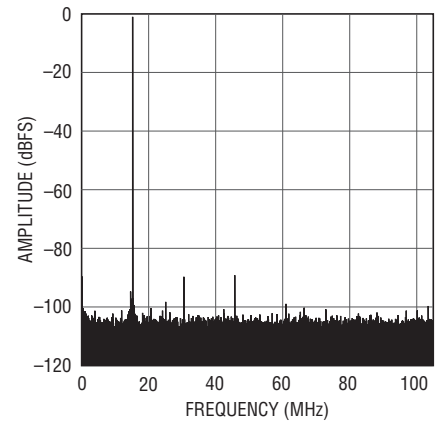
21521012 G21

LTC2151-12: 微分非直線性 (DNL)



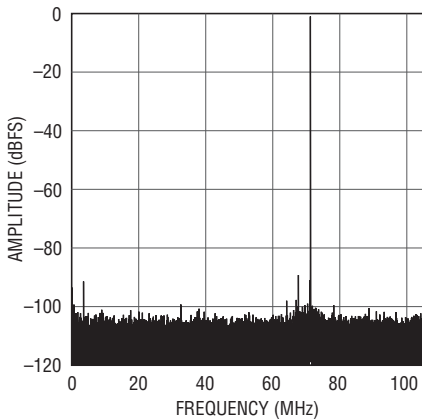
21521012 G22

LTC2151-12: 32KポイントのFFT、  
 $f_{IN} = 15\text{MHz}$ 、-1dBFS、210Msps



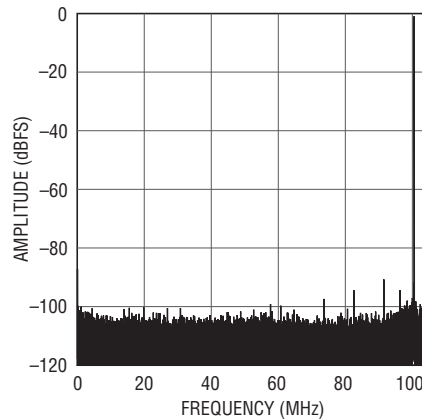
21521012 G23

LTC2151-12: 32KポイントのFFT、  
 $f_{IN} = 71\text{MHz}$ 、-1dBFS、210Msps



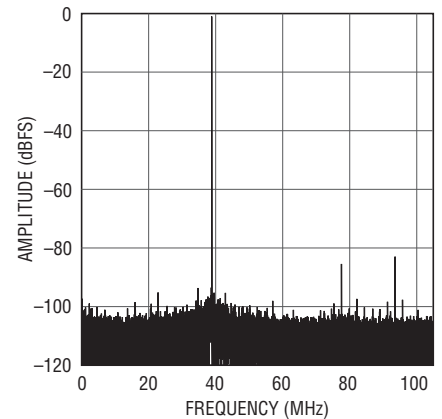
21521012 G24

LTC2151-12: 32KポイントのFFT、  
 $f_{IN} = 101\text{MHz}$ 、-1dBFS、210Msps



21521012 G25

LTC2151-12: 32KポイントのFFT、  
 $f_{IN} = 171\text{MHz}$ 、-1dBFS、210Msps



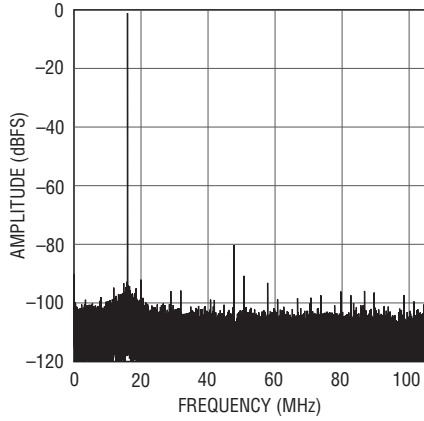
21521012 G26

21521012fa



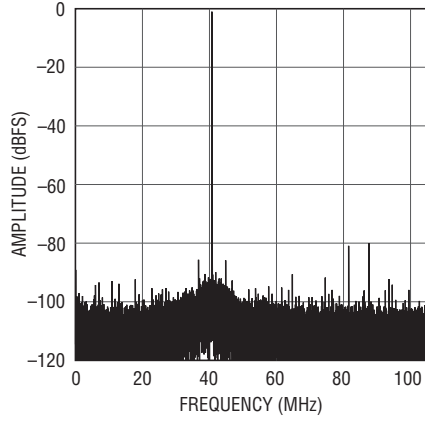
## 標準的性能特性

LTC2151-12: 32KポイントのFFT、  
 $f_{IN} = 227\text{MHz}$ 、 $-1\text{dBFS}$ 、 $210\text{Mpsps}$



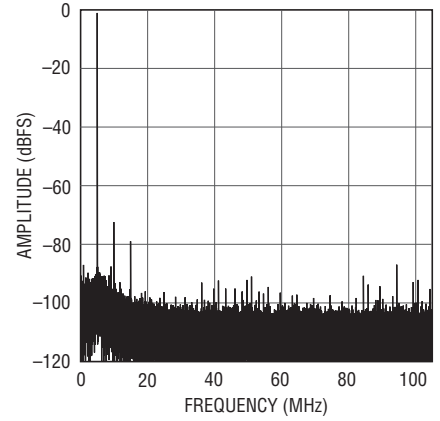
21521012 G27

LTC2151-12: 32KポイントのFFT、  
 $f_{IN} = 379\text{MHz}$ 、 $-1\text{dBFS}$ 、 $210\text{Mpsps}$



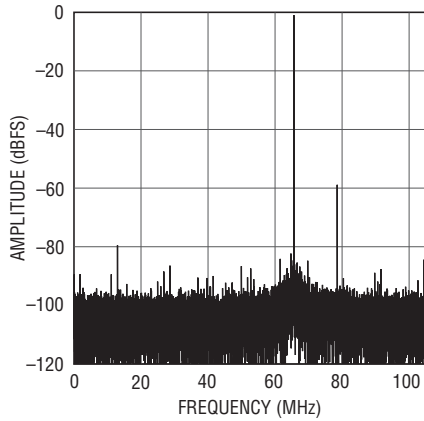
21521012 G28

LTC2151-12: 32KポイントのFFT、  
 $f_{IN} = 417\text{MHz}$ 、 $-1\text{dBFS}$ 、 $210\text{Mpsps}$



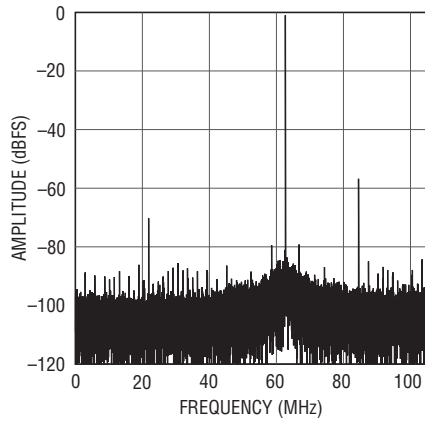
21521012 G29

LTC2151-12: 32KポイントのFFT、  
 $f_{IN} = 567\text{MHz}$ 、 $-1\text{dBFS}$ 、 $210\text{Mpsps}$



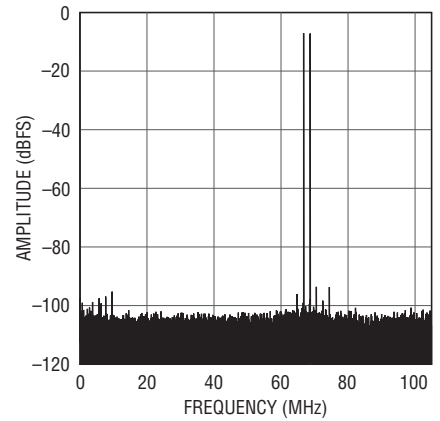
21521012 G30

LTC2151-12: 32KポイントのFFT、  
 $f_{IN} = 907\text{MHz}$ 、 $-1\text{dBFS}$ 、 $210\text{Mpsps}$



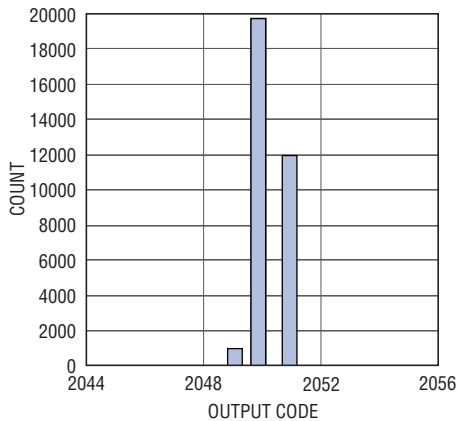
21521012 G31

LTC2151-12: 32Kポイントの2トーンFFT、  
 $f_{IN} = 71\text{MHz}$ および $69\text{MHz}$ 、 $210\text{Mpsps}$



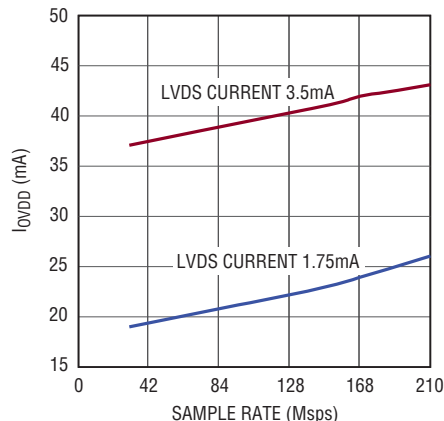
21521012 G32

LTC2151-12: 短絡入力の  
ヒストグラム



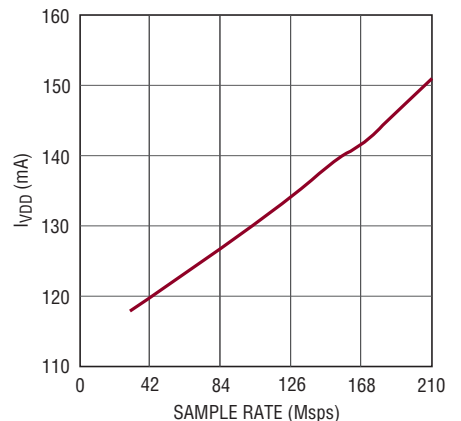
21521012 G33

LTC2151-12:  $I_{VDD}$ とサンプル・レート、  
 $15\text{MHz}$ の正弦波入力、 $-1\text{dBFS}$



21521012 G34

LTC2151-12:  $I_{VDD}$ とサンプル・レート、  
 $15\text{MHz}$ の正弦波入力、 $-1\text{dBFS}$



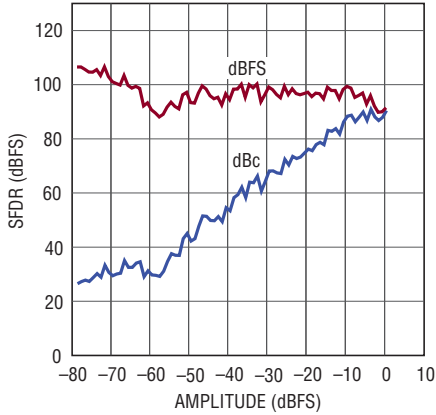
21521012 G35

21521012fa

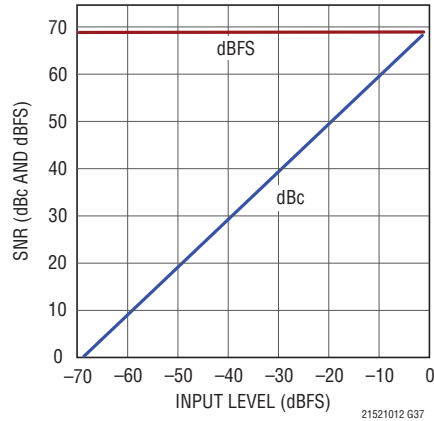
# LTC2152-12/ LTC2151-12/LTC2150-12

## 標準的性能特性

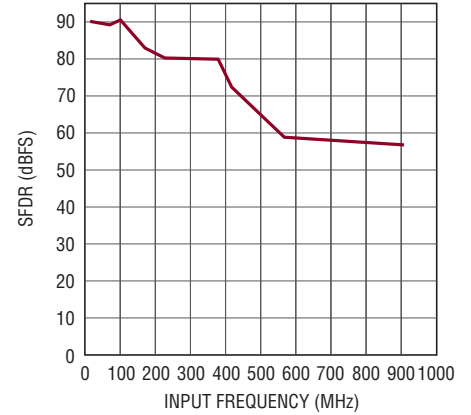
LTC2151-12: SFDRと入力レベル、  
 $f_{IN} = 70\text{MHz}$ 、1.5V 範囲、210Msps



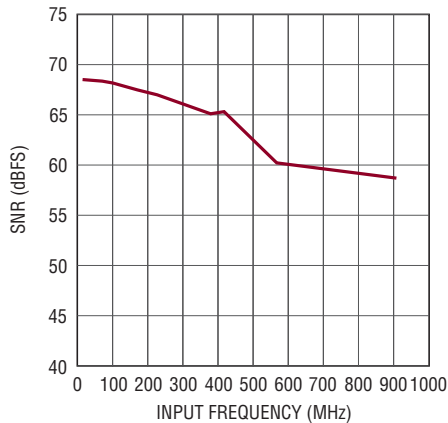
LTC2151-12: SNRと入力レベル、  
 $f_{IN} = 70\text{MHz}$ 、1.5V 範囲、210Msps



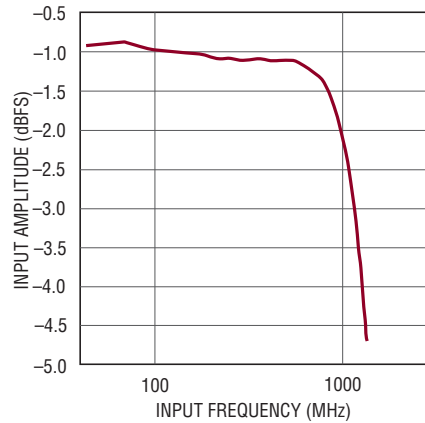
LTC2151-12: SFDRと入力レベル、  
-1dBFS、1.5V 範囲、210Msps



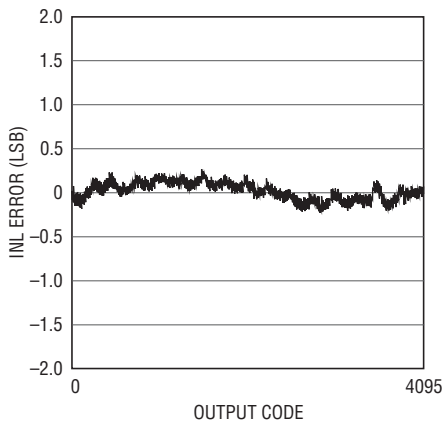
LTC2151-12: SNRと入力レベル、  
-1dBFS、1.5V 範囲、210Msps



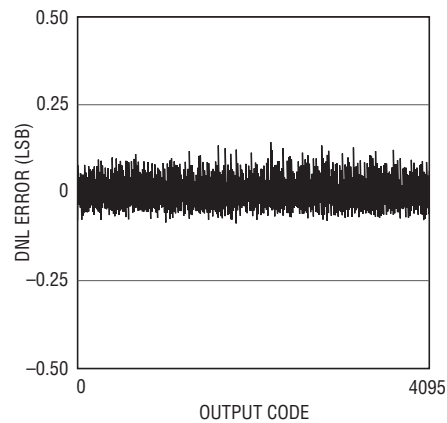
LTC2151-12: 周波数応答



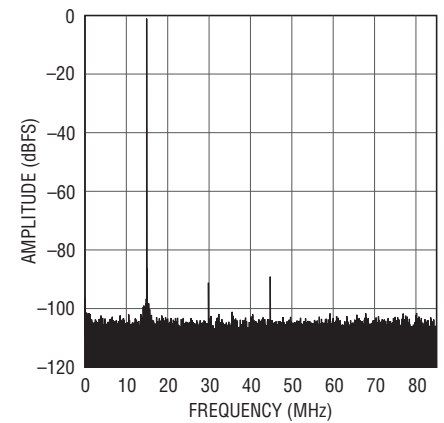
LTC2150-12: 積分非直線性 (INL)



LTC2150-12: 微分非直線性 (DNL)



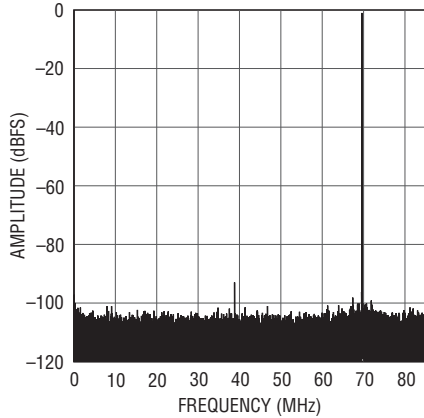
LTC2150-12: 32K ポイントの FFT、  
 $f_{IN} = 15\text{MHz}$ 、-1dBFS、170Msps



21521012fa

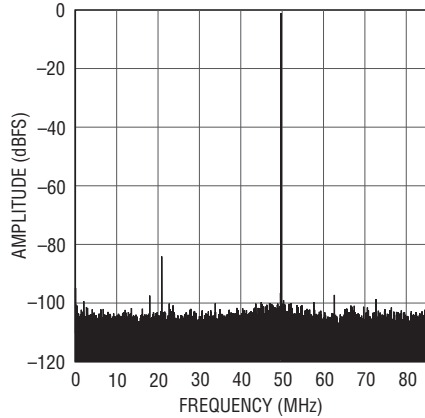
## 標準的性能特性

LTC2150-12:32KポイントのFFT、  
 $f_{IN} = 70\text{MHz}$ 、 $-1\text{dBFS}$ 、 $170\text{MSPs}$



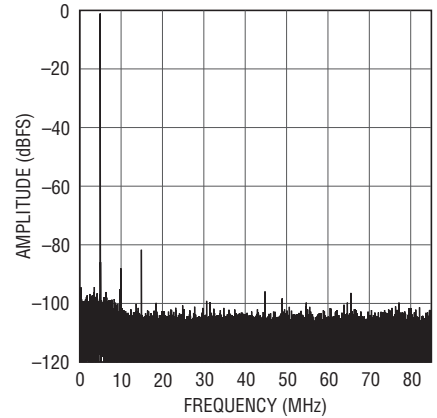
21521012 G44

LTC2150-12:32KポイントのFFT、  
 $f_{IN} = 121\text{MHz}$ 、 $-1\text{dBFS}$ 、 $170\text{MSPs}$



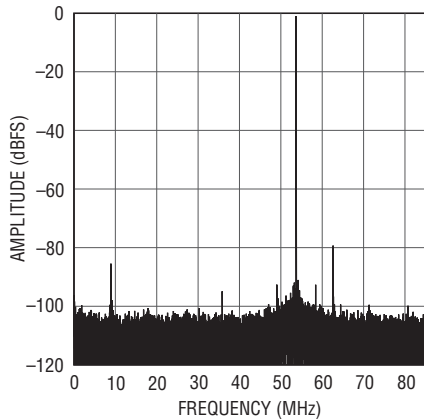
21521012 G45

LTC2150-12:32KポイントのFFT、  
 $f_{IN} = 176\text{MHz}$ 、 $-1\text{dBFS}$ 、 $170\text{MSPs}$



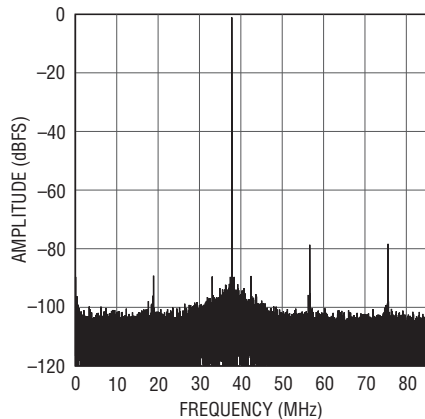
21521012 G46

LTC2150-12:32KポイントのFFT、  
 $f_{IN} = 225\text{MHz}$ 、 $-1\text{dBFS}$ 、 $170\text{MSPs}$



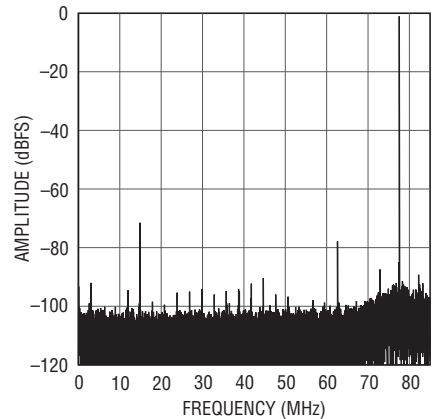
21521012 G47

LTC2150-12:32KポイントのFFT、  
 $f_{IN} = 380\text{MHz}$ 、 $-1\text{dBFS}$ 、 $170\text{MSPs}$



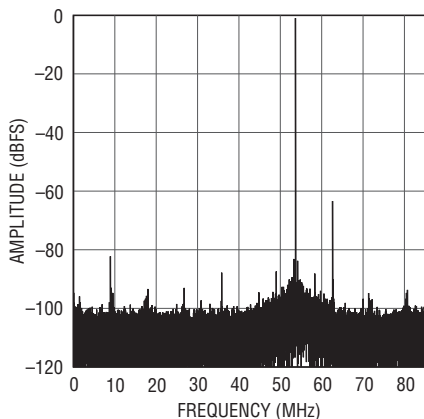
21521012 G48

LTC2150-12:32KポイントのFFT、  
 $f_{IN} = 420\text{MHz}$ 、 $-1\text{dBFS}$ 、 $170\text{MSPs}$



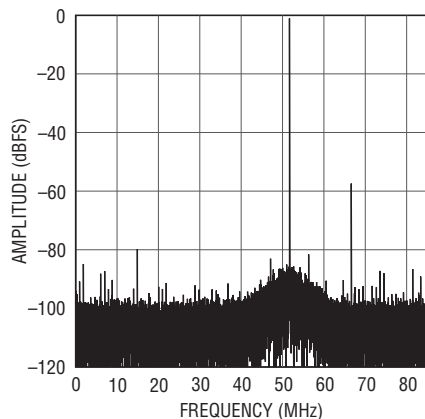
21521012 G49

LTC2150-12:32KポイントのFFT、  
 $f_{IN} = 567\text{MHz}$ 、 $-1\text{dBFS}$ 、 $170\text{MSPs}$



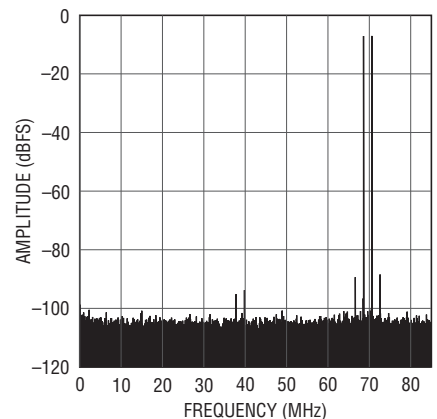
21521012 G50

LTC2150-12:32KポイントのFFT、  
 $f_{IN} = 907\text{MHz}$ 、 $-1\text{dBFS}$ 、 $170\text{MSPs}$



21521012 G51

LTC2150-12:32Kポイントの  
2トーンFFT、 $f_{IN} = 71\text{MHz}$ および  
 $69\text{MHz}$ 、 $170\text{MSPs}$



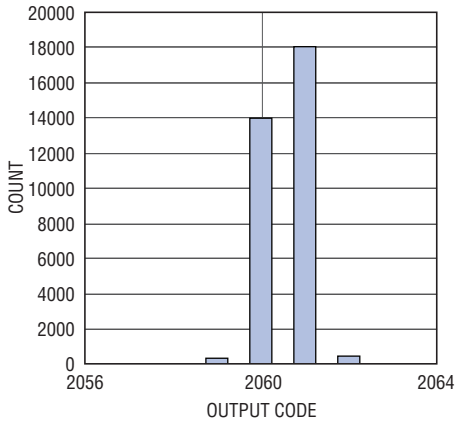
21521012 G52

21521012fa

# LTC2152-12/ LTC2151-12/LTC2150-12

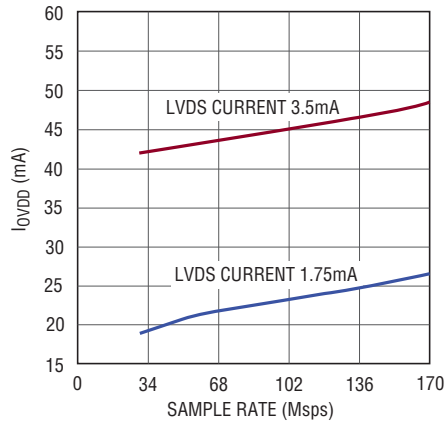
## 標準的性能特性

LTC2150-12: 短絡入力のヒストグラム



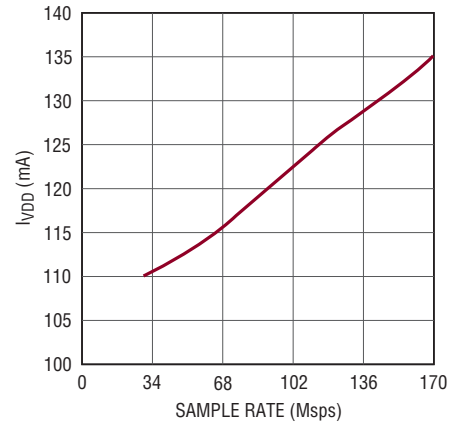
21521012 G53

LTC2150-12:  $I_{OVDD}$  とサンプル・レート、  
15MHzの正弦波入力、-1dBFS



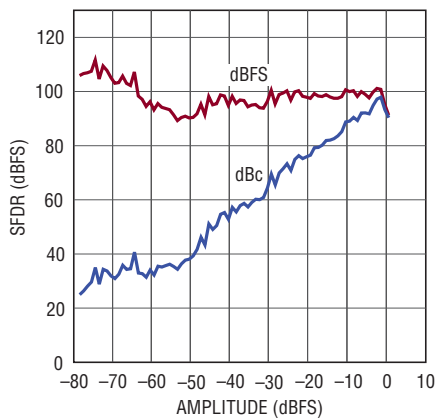
21521012 G54

LTC2150-12:  $I_{VDD}$  とサンプル・レート、  
15MHzの正弦波入力、-1dBFS



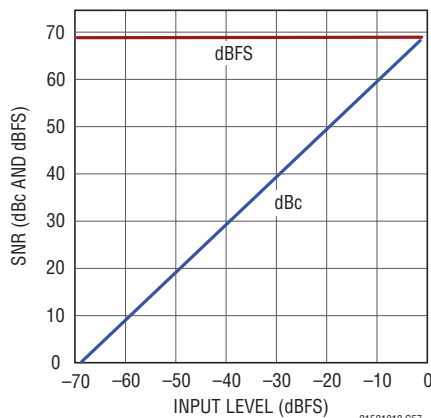
21521012 G55

LTC2150-12: SFDR と入力レベル、  
 $f_{IN} = 70\text{MHz}$ 、1.5V 範囲、170MSPS



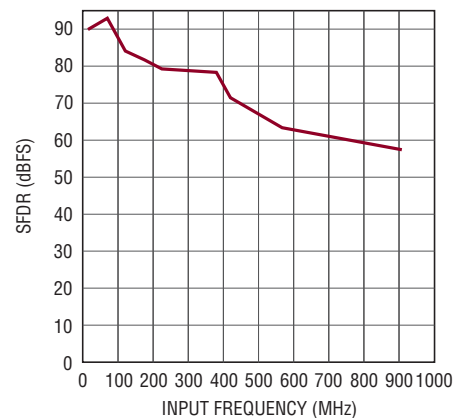
21521012 G56

LTC2150-12: SNR と入力レベル、  
 $f_{IN} = 70\text{MHz}$ 、1.5V 範囲、170MSPS



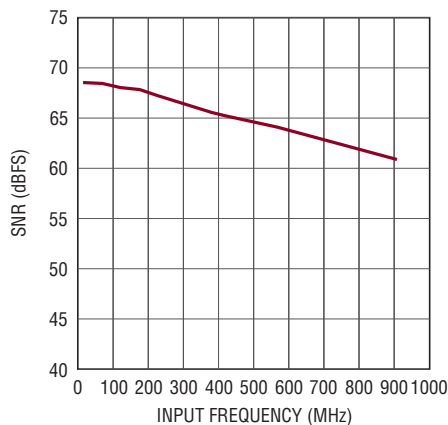
21521012 G57

LTC2150-12: SFDR と入力周波数、  
-1dBFS、1.5V 範囲、170MSPS



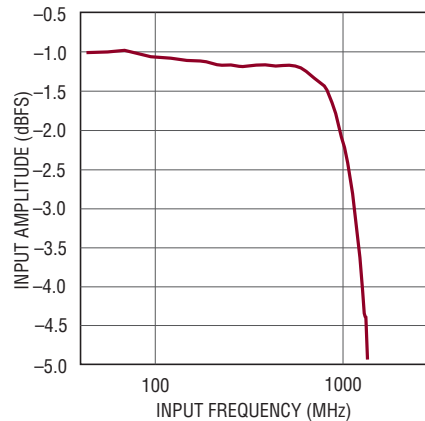
21521012 G58

LTC2150-12: SNR と入力周波数、  
-1dBFS、1.5V 範囲、170MSPS



21521012 G59

LTC2150-12: 周波数応答



21521012 G60

21521012fa

## ピン機能

**V<sub>DD</sub> (ピン1、2) :** 1.8Vアナログ電源。0.1 $\mu$ Fのセラミック・コンデンサを使ってグラウンドにバイパスします。ピン1、2はバイパス・コンデンサを共有することができます。

**GND (ピン3、6、10、13、35、背面パッド・ピン41) :** ADCの電源グラウンド。背面パッドはプリント回路基板のグラウンドに半田付けする必要があります。

**A<sub>IN</sub><sup>+</sup> (ピン4) :** 正の差動アナログ入力。

**A<sub>IN</sub><sup>-</sup> (ピン5) :** 負の差動アナログ入力。

**SENSE (ピン7) :** リファレンス・プログラミング・ピン。SENSEをV<sub>DD</sub>に接続すると、内部リファレンスと $\pm 0.75$ Vの入力範囲が選択されます。1.2V $\sim$ 1.3Vの外部リファレンスをSENSEに inputsすると、 $\pm 0.6 \cdot V_{SENSE}$ の入力範囲が選択されます。

**V<sub>REF</sub> (ピン8) :** リファレンス電圧出力。2.2 $\mu$ Fのセラミック・コンデンサを使ってグラウンドにバイパスします。公称1.25V。

**V<sub>CM</sub> (ピン9) :** 公称で $0.439 \cdot V_{DD}$ に等しい同相バイアス出力。V<sub>CM</sub>はアナログ入力の同相レベルをバイアスするのに使用します。0.1 $\mu$ Fのセラミック・コンデンサを使ってグラウンドにバイパスします。

**ENC<sup>+</sup> (ピン11) :** エンコード入力。立ち上がりエッジで変換が開始されます。

**ENC<sup>-</sup> (ピン12) :** エンコード相補入力。立ち下がりエッジで変換が開始されます。

**NC (ピン16、17) :** 接続なし。

**OV<sub>DD</sub> (ピン20、30) :** 出力ドライバの1.8V電源。個別に0.1 $\mu$ Fのセラミック・コンデンサを使用して、各ピンをグラウンドにバイパスします。

**OGND (ピン21) :** LVDSドライバのグラウンド。

**SDO (ピン36) :** シリアル・プログラミング・モード (PAR/SER = 0V) では、SDOはオプションのシリアル・インタフェースのデータ出力です。SDOのデータは、モード制御レジスタから読み出してSCKの立ち下がりエッジでラッチすることができます。SDOはオープン・ドレインのNチャンネルMOSFET出力で、2k $\Omega$ の外付けプルアップ抵抗を1.8V $\sim$ 3.3Vに接続する必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要であり、SDOは未接続のままかまいません。

**SDI (ピン37) :** シリアル・プログラミング・モード (PAR/SER = 0V) では、SDIはシリアル・インタフェースのデータ入力です。SDIのデータは、SCKの立ち上がりエッジで同期してモード制御レジスタに入ります。パラレル・プログラミング・モード (PAR/SER = V<sub>DD</sub>) では、SDIは3.5mAまたは1.75mAのLVDS出力電流を選択します (表2を参照)。

**SCK (ピン38) :** シリアル・プログラミング・モード (PAR/SER = 0V) では、SCKはシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モード (PAR/SER = V<sub>DD</sub>) では、SCKはスリープ・モードを制御します (表2を参照)。

**CS (ピン39) :** シリアル・プログラミング・モード (PAR/SER = 0V) では、CSはシリアル・インタフェースのチップ選択入力です。CSが“L”になると、SCKがイネーブルされ、SDIのデータがモード制御レジスタにシフトされます。パラレル・プログラミング・モード (PAR/SER = V<sub>DD</sub>) では、CSはクロック・デューティ・サイクル・スタビライザを制御します (表2を参照)。

**PAR/SER (ピン40) :** プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグラウンドに接続します。CS、SCK、SDI、およびSDOはA/Dコンバータの動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブルするにはV<sub>DD</sub>に接続します。この場合、CS、SCK、およびSDIは、A/Dコンバータの (種類が限定された) 動作モードを制御するパラレル・ロジック入力になります。PAR/SERはグラウンドまたはV<sub>DD</sub>に直接接続し、ロジック信号ではドライブしないようにします。

## ピン機能

### LVDS 出力 (DDR LVDS)

以下のピンは差動LVDS出力です。出力電流レベルは設定可能です。各LVDS出力対のピン間にはオプションの内部100Ω終端抵抗があります。

**D0<sub>-1</sub>/D0<sub>-1</sub><sup>+</sup>~D10<sub>-11</sub>/D10<sub>-11</sub><sup>+</sup> (ピン18/19、22/23、24/25、28/29、31/32、33/34) :** ダブルデータレート・デジタル出力。2つのデータ・ビットが各差動出力対に多重化されます。CLKOUT<sup>+</sup>が“L”のときは、偶数データ・ビット (D0、D2、D4、D6、D8、D10) が現れます。CLKOUT<sup>+</sup>が“H”のときは、奇数データ・ビット (D1、D3、D5、D7、D9、D11) が現れます。

**CLKOUT<sup>-</sup>/CLKOUT<sup>+</sup> (ピン26/27) :** データ出力クロック。デジタル出力は通常CLKOUT<sup>+</sup>の立ち下がりがエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT<sup>+</sup>の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

**OF<sup>-</sup>/OF<sup>+</sup> (ピン14/15) :** オーバーフロー/アンダーフロー・デジタル出力。オーバーフローまたはアンダーフローが生じるとOF<sup>+</sup>は“H”になります。このアンダーフローはCLKOUT<sup>+</sup>が“L”の場合にのみ有効です。クロック・サイクルの後半では、オーバーフローは0に設定されます。

## 機能ブロック図

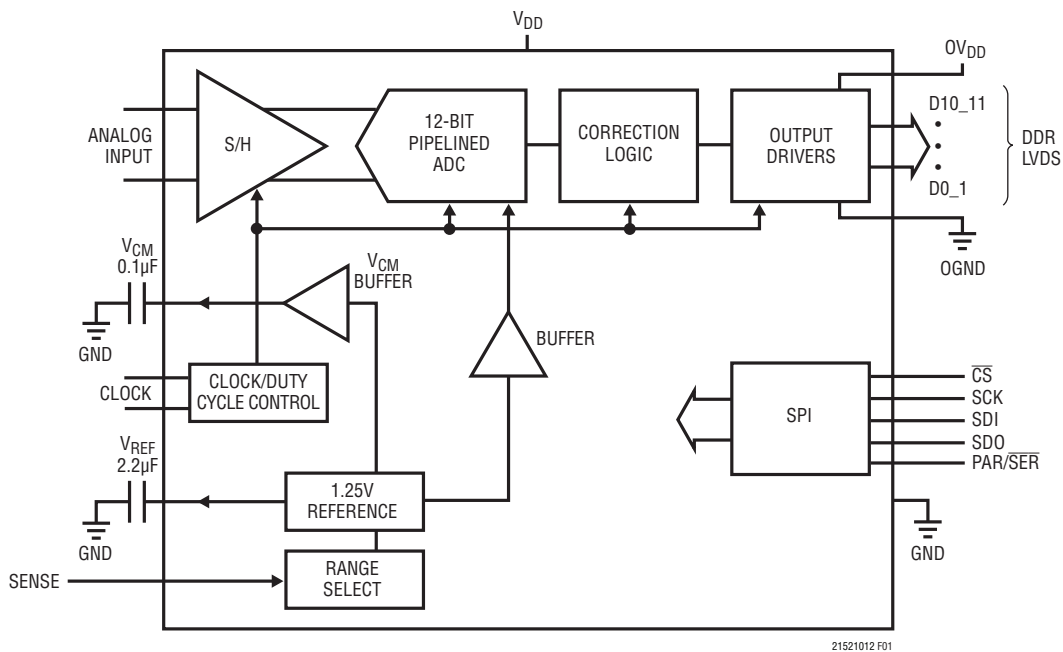
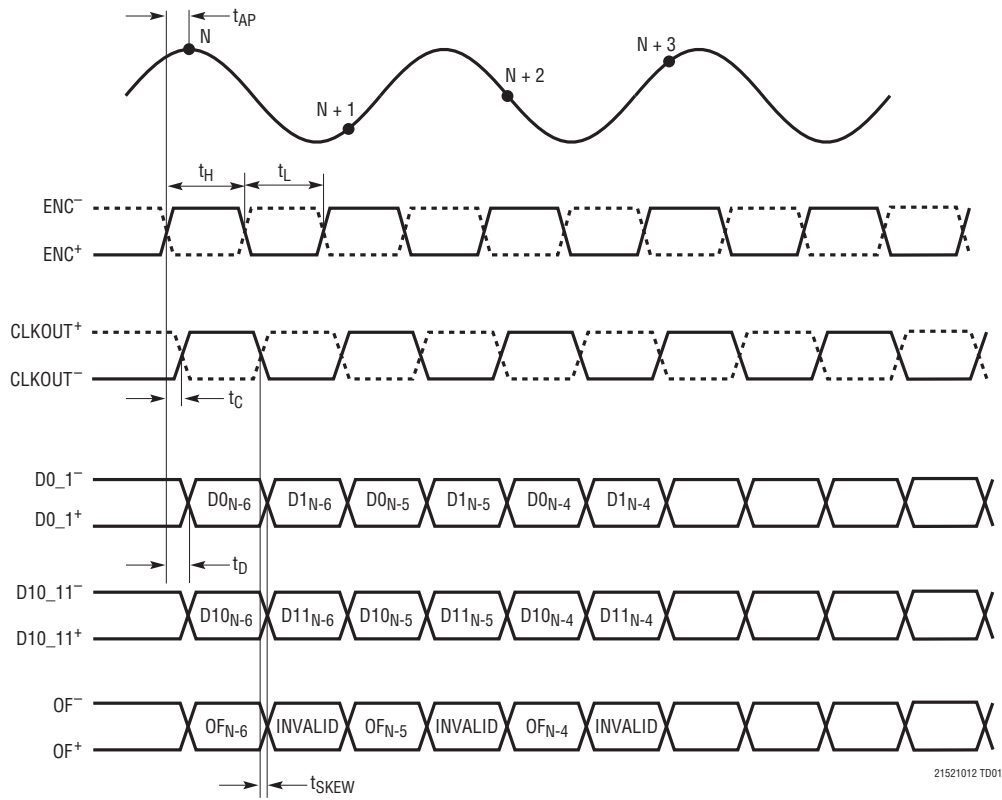


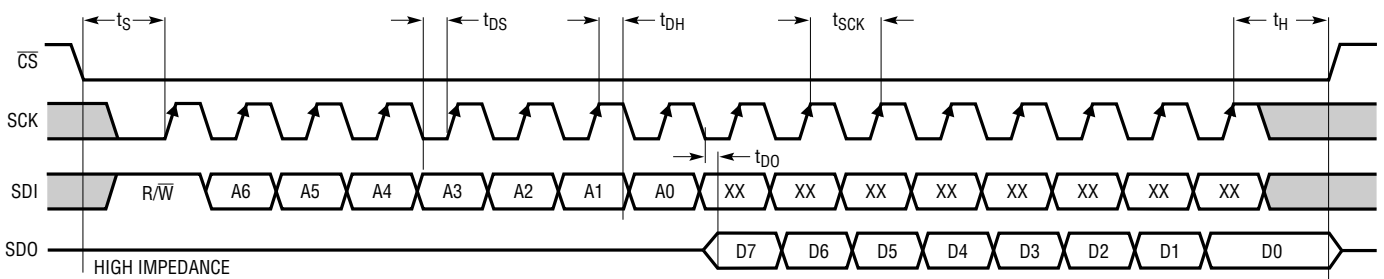
図1. 機能ブロック図

タイミング図

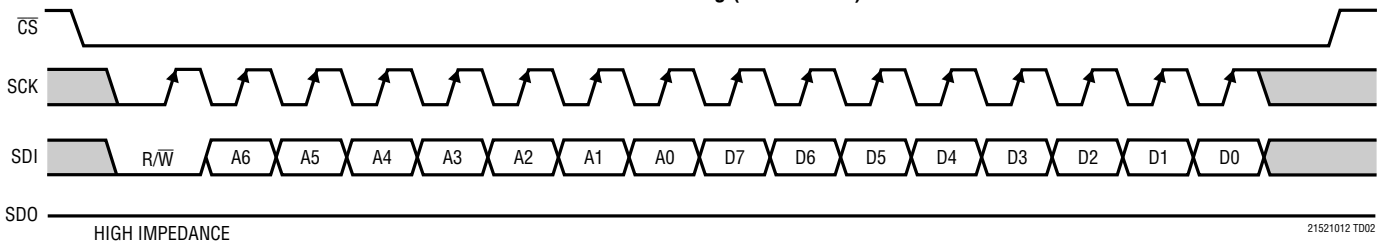
ダブルデータレート出力のタイミング、すべての出力が差動LVDS



SPI Port Timing (Readback Mode)



SPI Port Timing (Write Mode)



## アプリケーション情報

### コンバータの動作

LTC2152-12/LTC2151-12/LTC2150-12は、1.8V単一電源で動作する、12ビット、250Msps/210Msps/170MspsのA/Dコンバータです。アナログ入力は差動でドライブする必要があります。最適性能を得るため、エンコード入力は差動でドライブします。デジタル出力はダブルデータレートLVDSです。シリアルSPIポートを通してモード制御レジスタをプログラムすることにより、追加機能を選択することができます。

### アナログ入力

アナログ入力は差動CMOSサンプル&ホールド回路です(図2)。入力は、 $V_{CM}$ 出力ピンによって設定された同相電圧(公称 $0.439 \cdot V_{DD}$ )を基準にして、差動でドライブする必要があります。入力は $V_{CM} - 0.375V \sim V_{CM} + 0.375V$ の範囲で振幅します。入力間には $180^\circ$ の位相差が必要です。

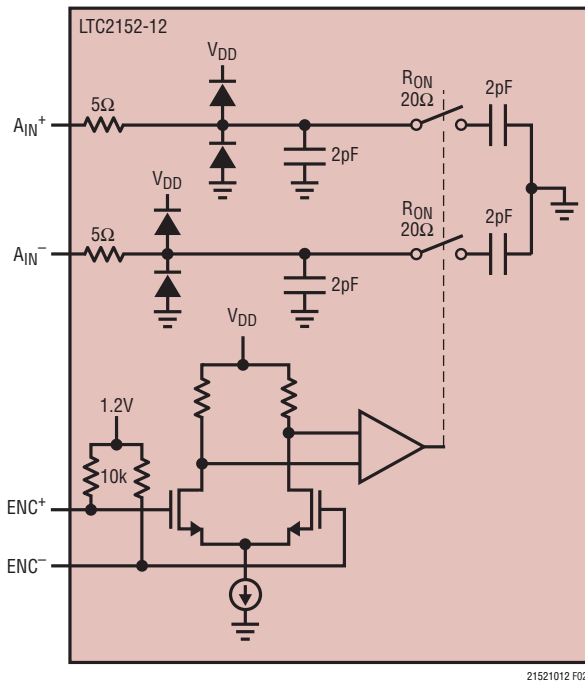


図2. 差動入力クロックの等価入力回路

### 入力駆動回路

#### 入力フィルタリング

可能であれば、アナログ入力のすぐ近くにRCローパス・フィルタを接続します。このローパス・フィルタがあると、A/Dコンバータのサンプル&ホールド・スイッチングから駆動回路が分離され、さらに駆動回路からの広帯域ノイズも制限されます。入力RCフィルタの一例を図3に示します。RC部品値はアプリケーションの入力周波数に基づいて選択します。

#### トランス結合回路

$V_{CM}$ ピンを介して一対の抵抗によって供給される同相電圧を備えたRFトランスによってドライブされるアナログ入力を図3に示します。

入力周波数が高いときは、伝送ラインの balan・トランス(図4および図5)のバランスが良くなるので、A/D変換の歪みが小さくなります。

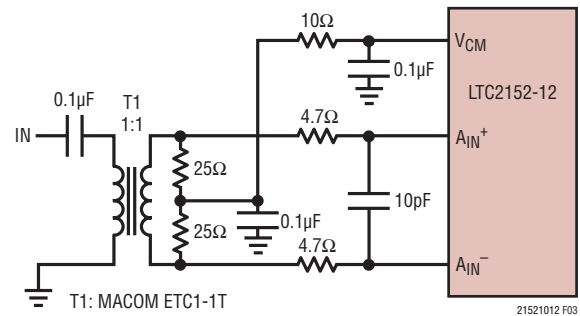


図3. トランスを使用したアナログ入力回路。入力周波数が5MHz~70MHzの場合に推奨

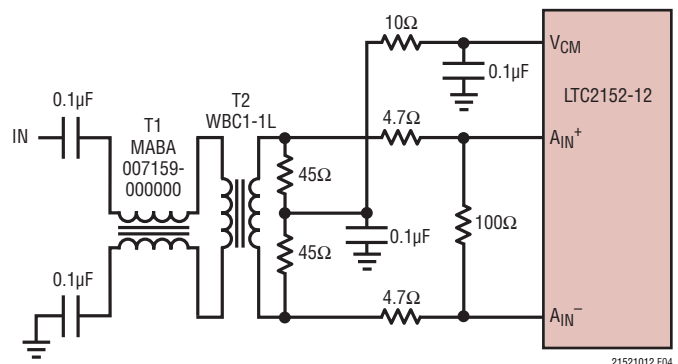


図4. 入力周波数が15MHz~150MHzの場合の推奨フロントエンド回路





## アプリケーション情報

が必要です(図9および図10)。入力信号の最大(ピーク)電圧は決して $V_{DD} + 0.1V$ を超えないように、または $-0.1V$ より低くならないようにします。

### クロック・デューティ・サイクル・スタビライザ

良好な性能を得るために、エンコード信号のデューティ・サイクルは50% ( $\pm 5\%$ ) にします。オプションのクロック・デューティ・サイクル・スタビライザ回路がイネーブルされていると、エンコードのデューティ・サイクルは30%~70%の間で変化することができ、デューティ・サイクル・スタビライザは内部のデューティ・サイクルを一定の50%に保ちます。エンコード信号の周波数が変わるかエンコード信号がオフになると、デューティ・サイクル・スタビライザ回路は入力クロックにロックするのに100クロック・サイクルを要します。デューティ・サイクル・スタビライザは、SPIレジスタA2(「SPI制御レジスタ」参照)、またはパラレル・プログラミング・モードでは $\overline{CS}$ によってイネーブルされます。

サンプル・レートを迅速に変更する必要があるアプリケーションでは、クロック・デューティ・サイクル・スタビライザをディスエーブルすることができます。デューティ・サイクル・スタビライザをディスエーブルする場合は、サンプリング・クロックのデューティ・サイクルが50% ( $\pm 5\%$ ) になるように注意してください。

### デジタル出力

デジタル出力は、ダブルデータレートLVDS信号です。2つのデータ・ビットが各差動出力対に多重化されて出力されます。6つのLVDS出力対(D0\_1+/D0\_1~D10\_11+/D10\_11+)があります。オーバーフロー(OF+/OF-)およびデータ出力クロック(CLKOUT+/CLKOUT-)には、それぞれLVDS出力対が1つあります。

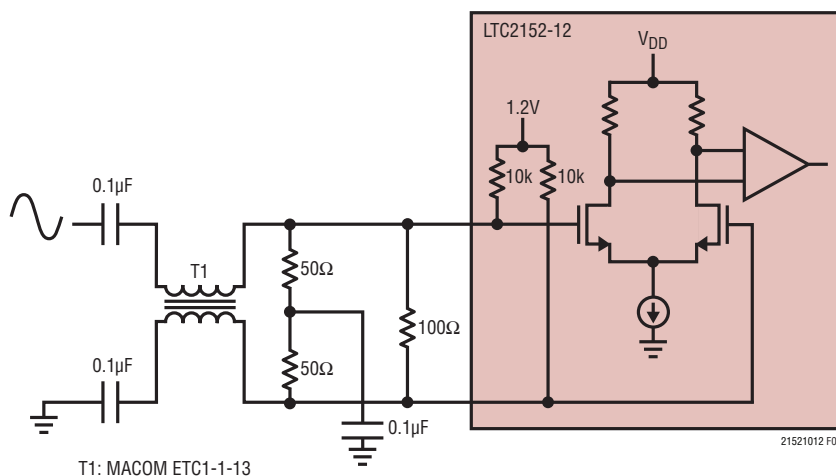


図9. 正弦波によるエンコード入力のドライブ

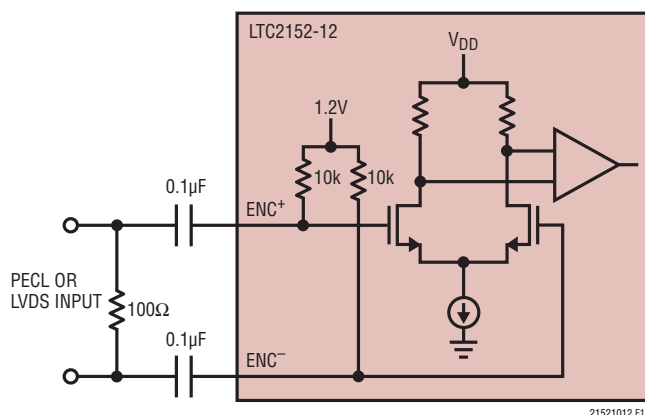


図10. PECLまたはLVDSによるエンコード入力のドライブ

21521012fa

## アプリケーション情報

デフォルトでは、出力は標準LVDSレベルです。すなわち、出力電流が3.5mA、出力同相電圧が1.25Vです。各LVDS出力対には外付けの100Ω差動終端抵抗が必要です。終端抵抗は、LVDSレシーバのできるだけ近くに配置してください。

出力は $OV_{DD}$ と $OGND$ から電力を供給され、A/Dコンバータのコアの電源とグランドからは分離されています。

### 設定可能なLVDS出力電流

デフォルトの出力ドライブ電流は3.5mAです。この電流は、モード制御レジスタA3を連続的にプログラムすることにより調整できます(表3を参照)。設定可能な電流レベルは、1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mAおよび4.5mAです。

### オプションのLVDSドライバの内部終端

ほとんどの場合は、100Ωの外付け終端抵抗を使用するだけでLVDSの優れた信号品位が得られます。さらに、モード制御レジスタA3を連続的にプログラムすることにより、オプションの100Ω内部終端抵抗をイネーブ爾することができます。内部終端には、レシーバ側の不完全な終端によって生じる反射を吸収する効果があります。内部終端がイネーブ爾されると、同じ出力電圧振幅を維持するために、出力ドライブ電流は2倍になります。

### オーバーフロー・ビット

アナログ入力にオーバーレンジまたはアンダーレンジが生じると、オーバーフロー出力ビット(OF)はロジック“H”を出力します。オーバーフロー・ビットにはデータ・ビットと同じパイプライン待ち時間があります。

SPIレジスタA2でCLKINVを0に設定すると、「タイミング図」に示すように、OF信号はCLKOUT+が“L”のときに有効になります。

### 出力クロックの位相シフト

出力データをラッチするとき適切なセットアップ時間とホールド時間を与えるには、データ出力ビットに対してCLKOUT+信号の位相をシフトさせることが必要な場合があります。ほとんどのFPGAはこの機能を備えており、これが一般にタイミングを調整する最良のポイントです。

あるいは、A/Dコンバータはモード制御レジスタA2を連続的にプログラムすることにより、CLKOUT+/CLKOUT-信号の位相をシフトすることもできます。出力クロックは0°、45°、90°または135°の単位でシフトすることができます。位相シフト機能を使うには、クロック・デューティ・サイクル・スタビライザをオンにする必要があります。もう1つの制御レジスタ・ビットは、位相シフトとは関係なく、CLKOUT+とCLKOUT-の極性を反転させることができます。これら2つの機能を組み合わせると、45°から315°までの位相シフトが可能になります(図11)。

アプリケーション情報

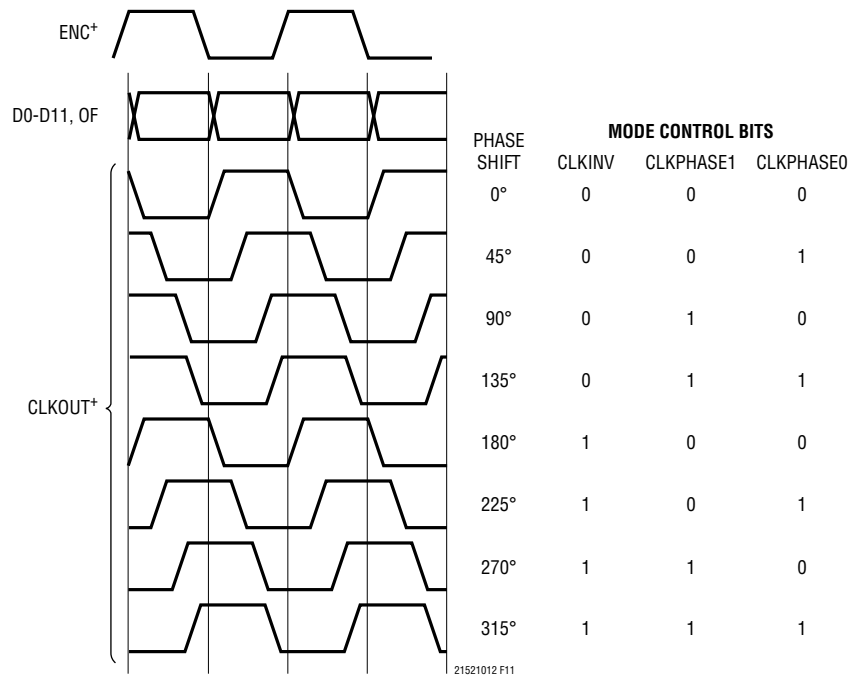


図 11. CLKOUTの位相シフト

## アプリケーション情報

### データ形式

アナログ入力電圧、デジタル・データ出力ビット、およびオーバーフロー・ビットの相互関係を表1に示します。デフォルトでは、出力のデータ形式はオフセット・バイナリです。モード制御レジスタ A4 を連続的にプログラムすることにより、2 の補数形式を選択することができます。

表 1. 出力コードと入力電圧

$A_{IN}^+ - A_{IN}^-$ (1.5V 範囲)	OF	D11~D0 (オフセット・バイナリ)	D11~D0 (2 の補数)
>0.75V	1	1111 1111 1111	0111 1111 1111
+0.75V	0	1111 1111 1111	0111 1111 1111
+0.7496337V	0	1111 1111 1110	0111 1111 1110
+0.0003662V	0	1000 0000 0001	0000 0000 0001
+0.000000V	0	1000 0000 0000	0000 0000 0000
-0.0003662V	0	0111 1111 1111	1111 1111 1111
-0.0007324V	0	0111 1111 1110	1111 1111 1110
-0.74963378V	0	0000 0000 0001	1000 0000 0001
-0.75V	0	0000 0000 0000	1000 0000 0000
<-0.75V	1	0000 0000 0000	1000 0000 0000

### デジタル出力ランダムマイザ

A/D コンバータのデジタル出力からの干渉は、場合によっては避けられません。デジタルの干渉は、容量性や誘導性の結合またはグラウンド・プレーンを介した結合から生じる可能性があります。結合係数がきわめて小さい場合でも、A/D コンバータの出力スペクトルに不要なトーンが発生することがあります。デジタル出力をデバイスから伝送する前にランダム化することにより、これらの不要なトーンをランダム化し、それによって不要なトーン振幅を減少させることができます。

デジタル出力は、LSB と他のすべてのデータ出力ビットとの間で排他的論理和演算を行うことによってランダム化されます。デコードするには逆の演算を行います。つまり、LSB と他のすべてのビットとの間で排他的論理和演算を行います。LSB、OF、および CLKOUT の各出力は影響を受けません。出力ランダムマイザは、モード制御レジスタ A4 を連続的にプログラムすることによってイネーブルすることができます。

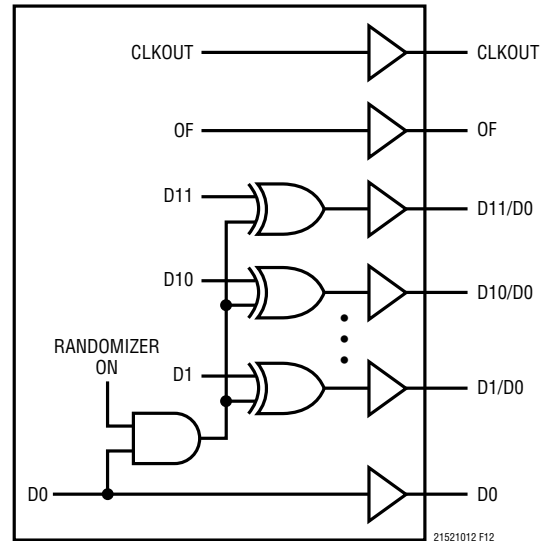


図 12. デジタル出力ランダムマイザの等価機能

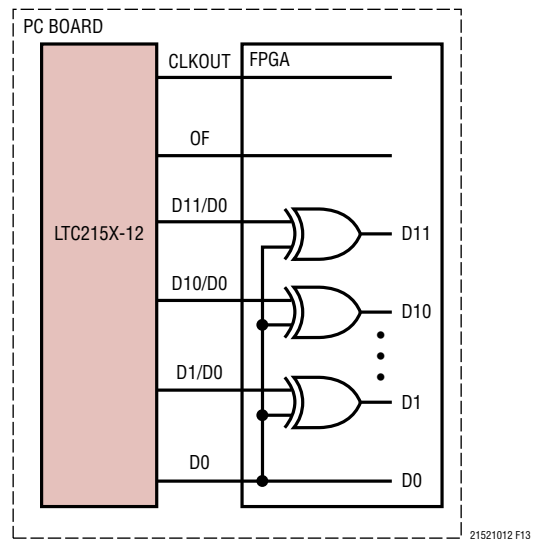


図 13. ランダム化されたデジタル出力信号の復元

## アプリケーション情報

### 交互ビット極性

回路基板のデジタル帰還を減らすことがあるもう1つの機能は、交互ビット極性モードです。このモードがイネーブルされると、すべての奇数ビット(D1、D3、D5、D7、D9、D11)が出力バッファの前で反転します。偶数ビット(D0、D2、D4、D6、D8、D10)、OFおよびCLKOUTは影響を受けません。これにより、回路基板のグランド・プレーンのデジタル電流を減らし、(特に非常に小さなアナログ入力信号の場合)デジタル・ノイズを減らすことができます。

デジタル出力は、奇数ビット(D1、D3、D5、D7、D9、D11)を反転させることにより、レシーバでデコードされます。交互ビット極性モードはデジタル出力ランダムマイザからは独立しています。つまり、どちらか一方の機能をオンすることも、両方の機能を同時にオンすることも、両方の機能を同時にオフすることも可能です。交互ビット極性モードは、モード制御レジスタA4を連続的にプログラムすることによってイネーブルされます。

### デジタル出力のテストパターン

A/Dコンバータへのデジタル・インタフェースを回路内でテストできるようにするため、A/Dコンバータのデータ出力(OF、D11～D0)を強制的に既知の値にするいくつかのテスト・モード(設定DTESTONによってアクティブ化)があります。

オール1:すべての出力が1

オール0:すべての出力が0

交互:サンプルの出力がオール1からオール0に交互に変化する。

格子縞:サンプルの出力が10101010101から01010101010に交互に変化する。

デジタル出力のテスト・パターンは、モード制御レジスタA4を連続的にプログラムすることによってイネーブルされます。テスト・パターンがイネーブルされると、その他の形式設定モード(2の補数、ランダムマイザ、交互ビット極性)はすべて無効になります。

### 出力のディスエーブル

デジタル出力はモード制御レジスタA3を連続的にプログラムすることによってディスエーブルすることができます。OFおよびCLKOUTを含むすべてのデジタル出力がディスエーブルされます。高インピーダンスのディスエーブル・ステートは、長期間の休止状態を意図しており、複数のコンバータ間でデータ・バスを多重化する用途向けには設計されていません。

### スリープ・モード

節電のため、A/Dコンバータをパワーダウン・モードにすることができます。スリープ・モードでは、A/Dコンバータ全体がパワーダウンするため、消費電力は2mW未満になります。エンコード入力信号がディスエーブルされていないと、消費電力は(250Msps時に最大2mW)増加します。スリープ・モードは、モード制御レジスタA1(シリアル・プログラミング・モード)またはSCK(パラレル・プログラミング・モード)によってイネーブルされます。

スリープ・モードから回復するのに要する時間は、 $V_{REF}$ のバイパス・コンデンサの容量によって決まります。図1の推奨値の場合、A/Dコンバータは $0.1\text{ms} + 2500 \cdot t_p$ の経過後に安定化します。ここで、 $t_p$ はサンプリング・クロックの周期です。

### ナップ・モード

ナップ・モードでは、A/Dコンバータのコアはパワーダウンしますが、内部リファレンス回路はアクティブなままなので素早く起動することができます。ナップ・モードからの復帰には、少なくとも100クロック・サイクルが必要です。ナップ・モードからの起動時間は、クロックが動作している場合のみ保証されます。そうでない場合は、スリープ・モード、起動時間条件が適用されます。ナップ・モードは、レジスタA1をシリアル・プログラミング・モードで設定することによってイネーブルされます。

### デバイスのプログラミング・モード

LTC215X-12の動作モードは、パラレル・インタフェースと簡素なシリアル・インタフェースのいずれでもプログラムできます。シリアル・インタフェースの方が柔軟性が高く、選択可能なすべてのモードをプログラムできます。パラレル・インタフェースには制限が多く、プログラムできるのはよく使用される一部のモードのみです。

### パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、 $\overline{\text{PAR/SER}}$ を $V_{DD}$ に接続します。 $\overline{\text{CS}}$ 、SCK、およびSDIの各ピンは、特定の動作モードを設定するバイナリ・ロジック入力です。これらのピンは $V_{DD}$ またはグランドに接続するか、あるいは1.8V、2.5V、または3.3VのCMOSロジックでドライブすることができます。 $\overline{\text{CS}}$ 、SCK、およびSDIで設定されるモードを表2に示します。



## アプリケーション情報

表2. パラレル・プログラミング・モード制御ビット

ピン	説明
$\overline{CS}$	クロック・デューティ・サイクル・スタビライザ制御ビット 0 = クロック・デューティ・サイクル・スタビライザをオフ 1 = クロック・デューティ・サイクル・スタビライザをオン
SCK	パワーダウン制御ビット 0 = 通常動作 1 = スリープ・モード(ADC全体がパワーダウン)
SDI	LVDS電流選択ビット 0 = 3.5mAのLVDS電流モード 1 = 1.75mAのLVDS電流モード

### シリアル・プログラミング・モード

シリアル・プログラミング・モードを使用するには、 $\overline{PAR/SER}$ をグラウンドに接続します。 $\overline{CS}$ 、SCK、SDIおよびSDOの各ピンは、A/Dコンバータの制御レジスタをプログラムするシリアル・インタフェースになります。データは16ビットのシリアル・ワードでレジスタに書き込まれます。レジスタの内容を検証するため、データをレジスタから読み出すこともできます。

シリアル・データ転送は $\overline{CS}$ が“L”になると開始されます。SDIピンのデータは、SCKの先頭から16番目までの立ち上がりエッジでラッチされます。先頭から16番目より後のSCK立ち上がりエッジは無視されます。データ転送は $\overline{CS}$ が再度“H”になると終了します。

16ビットの入力ワードの先頭ビットは $R/\overline{W}$ ビットです。次の7ビットはレジスタのアドレス(A6:A0)です。最後の8ビットはレジスタのデータ(D7:D0)です。

$R/\overline{W}$ ビットが“L”の場合、シリアル・データ(D7:D0)はアドレス・ビット(A6:A0)で設定されるレジスタに書き込まれます。 $R/\overline{W}$ ビットが“H”の場合は、アドレス・ビット(A6:A0)によって設定されるレジスタ内のデータがSDOピンで読み出されます(タイミング図を参照)。読み出しコマンドの実行中、レジスタは更新されず、SDIのデータは無視されます。

SDOピンはオープン・ドレイン出力で、200 $\Omega$ のインピーダンスでグラウンド電位まで引き込みます。SDOを介してレジスタのデータを読み出す場合は、2k $\Omega$ の外付けプルアップ抵抗が必要です。シリアル・データが書き込み専用で読み出す必要がない場合は、SDOをフロート状態のままにしてもかまわないため、プルアップ抵抗は不要です。モード制御レジスタのマップを表3に示します。

### ソフトウェア・リセット

シリアル・プログラミングを使用する場合には、電源を投入して安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、すべてのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットにする必要があります。ソフトウェア・リセットを実行するには、レジスタA0(ビットD7)に1を書き込む必要があります。リセットが完了した後、ビットD7は自動的に0に戻ります。このレジスタは書き込み専用です。

### 接地とバイパス

LTC215X-12には、A/Dコンバータの下の第1層に切れ目のないきれいなグラウンド・プレーンを備えたプリント回路基板が必要です。内部グラウンド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、A/Dコンバータの下に配置したりしないように注意してください。

VDD、OVDD、VCM、およびVREFの各ピンには、高品質のセラミック・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。サイズが0402のセラミック・コンデンサを推奨します。ピンとバイパス・コンデンサを接続するトレースは短くしておく必要があります。幅はできるだけ広くします。

アナログ入力、エンコード信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに分離するためのバリアとして、グラウンド領域とグラウンド・ビアを使用します。

### 熱伝達

LTC215X-12によって発生する熱の大半は、ダイから底面の背面パッドとパッケージのリードを通して、プリント回路基板に伝達されます。優れた電気的性能と熱性能を得るには、プリント回路基板上にある大きな接地パッドに背面パッドを半田付けする必要があります。このパッドは、多数のビアで内部のグラウンド・プレーンに接続します。

# LTC2152-12/ LTC2151-12/LTC2150-12

## アプリケーション情報

表3. シリアル・プログラミング・モードのレジスタ・マップ (PAR/SER = GND)。“X”は不使用のビットを示します。

レジスタA0:リセット・レジスタ(アドレス00h)書き込み専用

D7	D6	D5	D4	D3	D2	D1	D0
RESET	X	X	X	X	X	X	X

ビット7 **RESET** ソフトウェア・リセット・ビット

0 = 不使用

1 = ソフトウェア・リセット。すべてのモード制御レジスタが00hにリセットされる。リセットが完了すると、このビットは自動的に0に戻る。

ビット6～0 不使用のビット。

レジスタA1:パワーダウン・レジスタ(アドレス01h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	SLEEP	NAP	0	0

ビット7～4 不使用、これらのビットは0として読み出される。

ビット3 **SLEEP**

0 = 通常動作

1 = ADC全体をパワーダウン

ビット2 **NAP**

0 = 通常モード

1 = 低消費電力モード

ビット1～0 0に設定する必要がある。

レジスタA2:タイミング・レジスタ(アドレス02h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	CLKINV	CLKPHASE1	CLKPHASE0	DCS

ビット7～4 不使用、これらのビットは0として読み出される。

ビット3 **CLKINV** 出力クロック反転ビット

0 = 通常のCLKOUTの極性(タイミング図に示されているとおり)

1 = 反転したCLKOUT極性

ビット2～1 **CLKPHASE1:CLKPHASE0** 出力クロックの位相遅延ビット

00 = CLKOUTの遅延なし(タイミング図に示されているとおり)

01 = CLKOUT+/CLKOUT- 45°の遅延(クロックの周期・1/8)

10 = CLKOUT+/CLKOUT- 90°の遅延(クロックの周期・1/4)

11 = CLKOUT+/CLKOUT- 135°の遅延(クロックの周期・3/8)

Note:CLKOUT位相遅延機能を使う場合は、クロック・デューティ・サイクル・スタビライザもオンする必要がある。

ビット0 **DCS** クロック・デューティ・サイクル・スタビライザ・ビット

0 = クロック・デューティ・サイクル・スタビライザをオフ

1 = クロック・デューティ・サイクル・スタビライザをオン



## アプリケーション情報

### レジスタ A3: 出力モード・レジスタ(アドレス 03h)

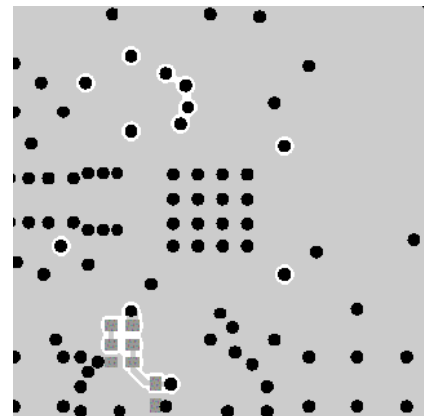
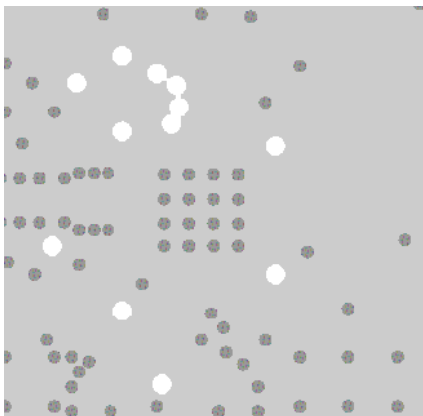
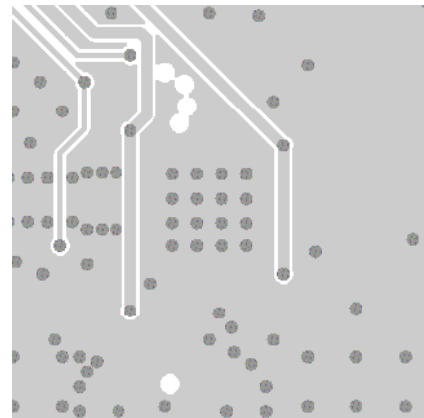
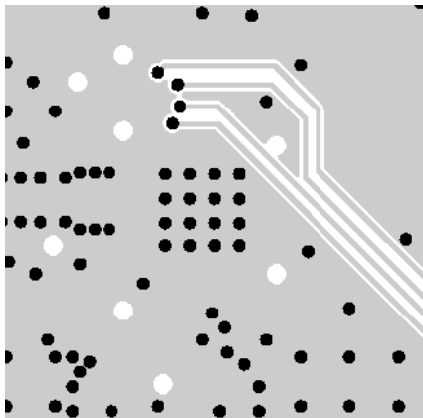
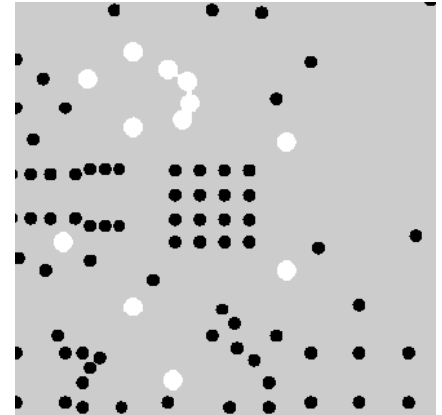
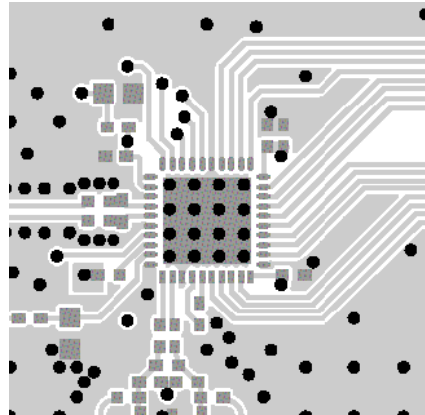
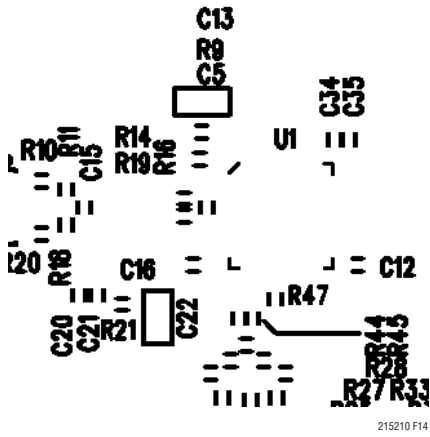
	D7	D6	D5	D4	D3	D2	D1	D0
	X	X	X	ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF
ビット7～5	不使用、これらのビットは0として読み出される。							
ビット4～2	<b>ILVDS2:ILVDS0</b> LVDS出力電流ビット 000 = 3.5mAのLVDS出力ドライバ電流 001 = 4.0mAのLVDS出力ドライバ電流 010 = 4.5mAのLVDS出力ドライバ電流 011 = 不使用 100 = 3.0mAのLVDS出力ドライバ電流 101 = 2.5mAのLVDS出力ドライバ電流 110 = 2.1mAのLVDS出力ドライバ電流 111 = 1.75mAのLVDS出力ドライバ電流							
ビット1	<b>TERMON</b> LVDS内部終端ビット 0 = 内部終端をオフ 1 = 内部終端をオン。LVDS出力ドライバ電流はILVDS2:ILVDS0によって設定される電流の2倍							
ビット0	<b>OUTOFF</b> デジタル出力モード制御ビット 0 = LVDS DDR 1 = LVDS トライステート(高インピーダンス)							

### レジスタ A4: データ・フォーマット・レジスタ(アドレス 04h)

	D7	D6	D5	D4	D3	D2	D1	D0
	OUTTEST2	OUTTEST1	OUTTEST0	ABP	0	DTESTON	RAND	TWOSCOMP
ビット7～5	<b>OUTTEST2:OUTTEST0</b> デジタル出力のテストパターン・ビット 000 = 全デジタル出力 = 0 001 = 全デジタル出力 = 1 010 = 交互出力パターン。OF、D11～D0は、00000 0000 0000と11111 1111 1111を交互に出力 100 = 格子縮出力パターン。OF、D11～D0は、01010 1010 1010と10101 0101 0101を交互に出力							
ビット4	<b>ABP</b> 交互ビット極性モードの制御ビット 0 = 交互ビット極性モードをオフ 1 = 交互ビット極性モードをオン							
ビット3	0に設定する必要がある。							
ビット2	<b>DTESTON</b> デジタル・パターンをイネーブル(ビット7～5) 0 = 通常モード 1 = デジタル出力テストパターンをイネーブル							
ビット1	<b>RAND</b> データ出力ランダムマイザ・モード制御ビット 0 = データ出力ランダムマイザ・モードをオフ 1 = データ出力ランダムマイザ・モードをオン							
ビット0	<b>TWOSCOMP</b> 2の補数モード制御ビット 0 = オフセット・バイナリのデータ形式 1 = 2の補数のデータ形式							

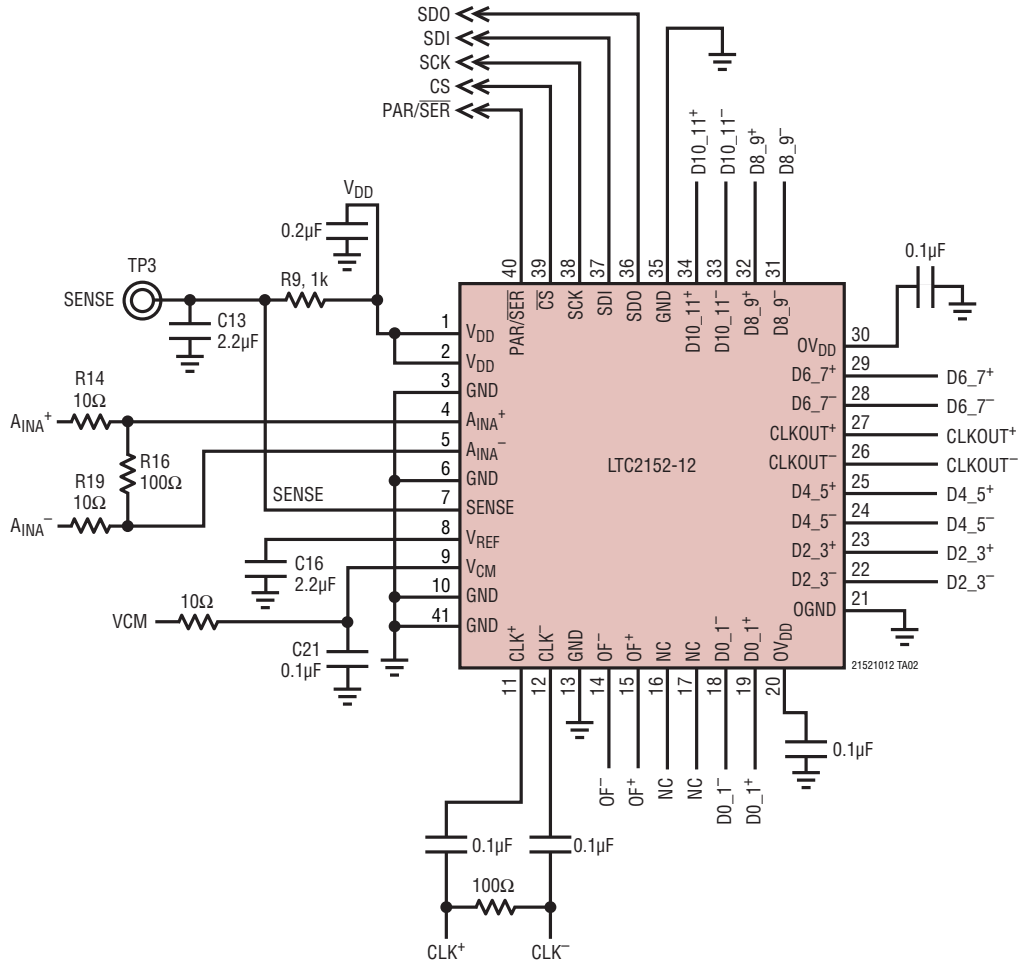
# LTC2152-12/ LTC2151-12/LTC2150-12

## アプリケーション情報



## 標準的応用例

LTC2152-12 回路図



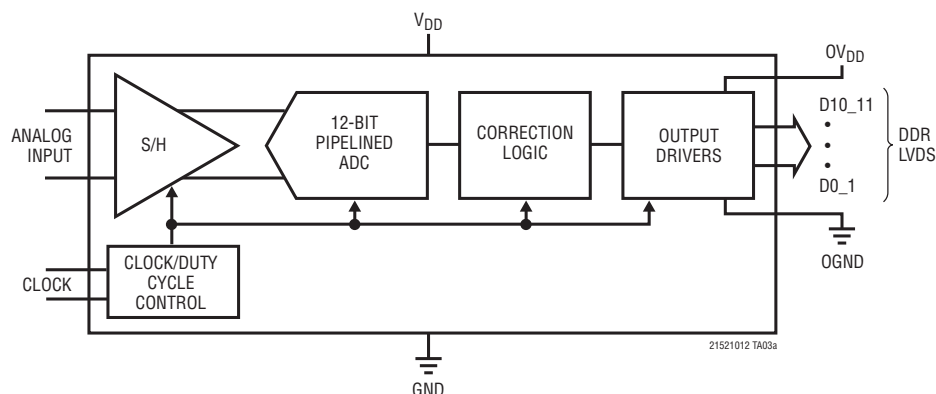


## 改訂履歴

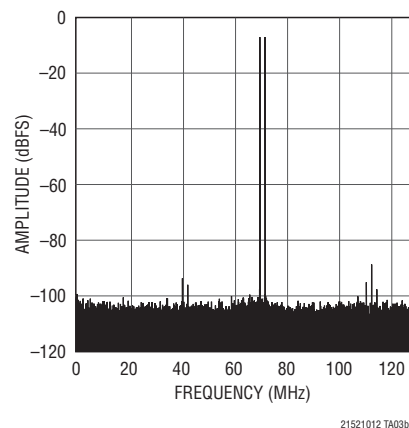
REV	日付	概要	ページ番号
A	12/14	pipeline latency を6に変更。 グラフG17、G37、G57を更新。	5、15 7、10、12

# LTC2152-12/ LTC2151-12/LTC2150-12

## 標準的応用例



LTC2152-12: 32Kポイントの2トーンFFT、  
 $f_{IN} = 71\text{MHz}$  および  $69\text{MHz}$ 、250Msps



## 関連製品

製品番号	説明	注釈
<b>A/Dコンバータ</b>		
<a href="#">LTC2208</a>	16ビット、130Msps、3.3V ADC、LVDS出力	1250mW、SNR: 77.7dB、SFDR: 100dB、64ピンQFNパッケージ
<a href="#">LTC2157-14/LTC2156-14/LTC2155-14</a>	14ビット、250Msps/210Msps/170Msps、1.8VデュアルADC、DDR LVDS出力	650mW/616mW/567mW、SNR: 70dB、SFDR: 90dB、64ピンQFNパッケージ
<a href="#">LTC2152-14/LTC2151-14/LTC2150-14</a>	14ビット、250Msps/210Msps/170Msps、1.8VデュアルADC、DDR LVDS出力	356mW/338mW/313mW、SNR: 70dB、SFDR: 90dB、40ピンQFNパッケージ
<a href="#">LTC2262-14</a>	14ビット、150Msps、1.8V動作のADC、超低消費電力	149mW、SNR: 72.8dB、SFDR: 88dB、DDR LVDS/DDR CMOS/CMOS出力、40ピンQFNパッケージ
<b>RFミキサ/復調器</b>		
<a href="#">LT<sup>®</sup>5517</a>	40MHz～900MHz直接変換直交復調器	高いIIP3: 800MHzで21dBm、LO直交ジェネレータ内蔵
<a href="#">LT5527</a>	400MHz～3.7GHz高直線性ダウンコンバーティング・ミキサ	IIP3は900MHzで24.5dBm、3.5GHzで23.5dBm、NF = 12.5dB、50ΩシングルエンドのRFポートとLOポート
<a href="#">LT5575</a>	800MHz～2.7GHz直接変換直交復調器	高いIIP3: 900MHzで28dBm、LO直交ジェネレータ内蔵、RFおよびLOトランス内蔵
<b>アンプ/フィルタ</b>		
<a href="#">LTC6409</a>	帯域幅10GHz、1.1nV/√Hz 差動アンプ/ADCドライバ	SFDR: 88dB (100MHz)、グラウンドを含む入力範囲、電源電流: 52mA、3mm×2mm QFNパッケージ
<a href="#">LTC6412</a>	800MHz、31dBレンジ、アナログ制御VGA	連続調整可能な利得制御、240MHzでのOIP3: 35dBm、ノイズフィギュア: 10dB、4mm×4mm 24ピンQFNパッケージ
<a href="#">LTC6420-20</a>	300MHzのIF周波数向け1.8GHz、低ノイズ、低歪み、デュアル差動ADCドライバ	固定利得: 10V/V、全入力ノイズ: 1nV/√Hz、アンプ当たりの電源電流: 80mA、3mm×4mm 20ピンQFNパッケージ
<b>レシーバ・サブシステム</b>		
<a href="#">LTM<sup>®</sup>9002</a>	14ビット・デュアル・チャンネルIF/ベースバンド・レシーバ・サブシステム	高速ADC、パッシブ・フィルタ、および固定利得差動アンプを内蔵
<a href="#">LTM9003</a>	12ビット・デジタル・プリディストーション・レシーバ	入力周波数範囲が0.4GHz～3.8GHzの12ビットADCダウンコンバーティング・ミキサを内蔵

21521012fa