

12ビット、125Msps/105Msps/ 80Msps 低消費電力デュアルADC

特長

- 2チャンネル同時サンプリングADC
- SNR: 70.6dB
- SFDR: 89dB
- 低消費電力: 183mW/144mW/109mW(合計)、
92mW/72mW/55mW(チャンネル当たり)
- 単一1.8V電源
- CMOS、DDR CMOSまたはDDR LVDS出力
- 選択可能な入力範囲: 1V_{p-p} ~ 2V_{p-p}
- 750MHzのフルパワー帯域幅サンプル/ホールド
- オプションのデータ出力ランダムマイザ
- オプションのクロック・デューティ・サイクル・スタビライザ
- シャットダウン・モードとナップ・モード
- 設定用のシリアルSPIポート
- 64ピン(9mm×9mm)QFNパッケージ

アプリケーション

- 通信
- セルラー基地局
- ソフトウェア無線
- 携帯型の医療用画像処理
- マルチチャンネル・データ収集
- 非破壊試験

概要

LTC[®]2145-12/LTC2144-12/LTC2143-12は、広いダイナミック・レンジの高周波信号をデジタル化する2チャンネル同時サンプリング12ビットA/Dコンバータです。SNRが70.6dB、SFDRが89dBという優れたAC特性を備えているため、要求の厳しい通信アプリケーションに最適です。また、ジッタがわずか0.08ps_{RMS}なので、優れたノイズ性能を維持しながらIF周波数をアンダーサンプリングできます。

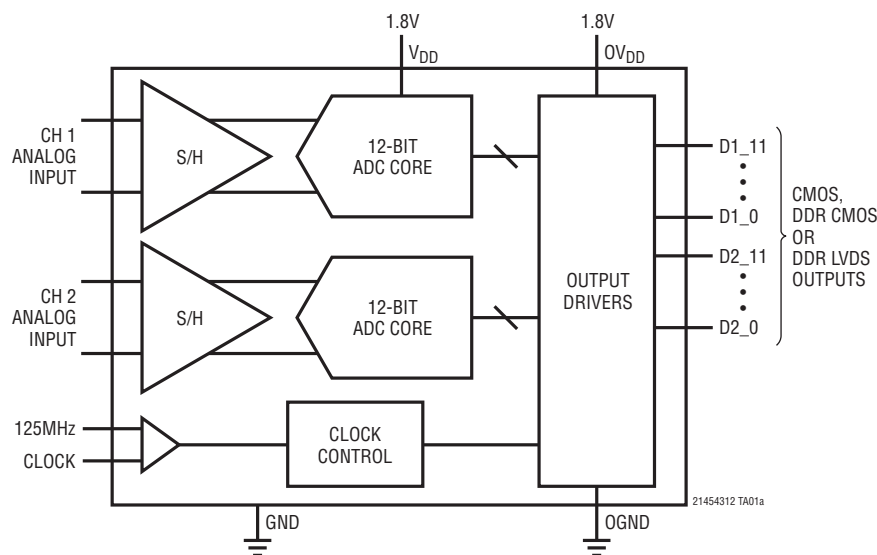
DC仕様では、±0.3LSB(標準)のINLと±0.1LSB(標準)のDNL、全温度範囲でミッシング・コードがないことが規定されています。遷移ノイズは0.3LSB_{RMS}です。

デジタル出力は、フルレートCMOS、ダブルデータレートCMOS、ダブルデータレートLVDSのいずれかに設定可能です。独立した出力電源により、1.2V~1.8VのCMOS出力振幅が可能です。

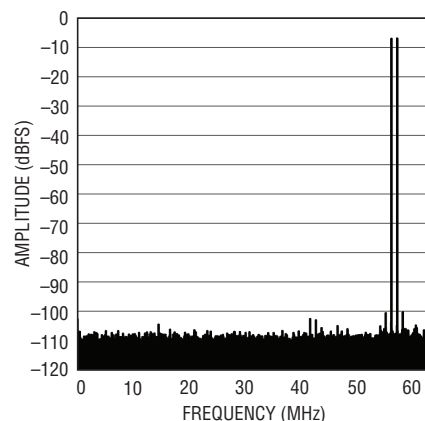
ENC⁺およびENC⁻入力は、正弦波、PECL、LVDS、TTLまたはCMOSの入力信号を使って差動またはシングルエンドでドライブ可能です。オプションのクロック・デューティ・サイクル・スタビライザにより、広範なクロック・デューティサイクルにおいてフルスピードで高性能を実現できます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



2 トーン FFT、 $f_{IN} = 70\text{MHz}$ および 69MHz



21454312fa

LTC2145-12/ LTC2144-12/LTC2143-12

絶対最大定格 (Note 1, 2)

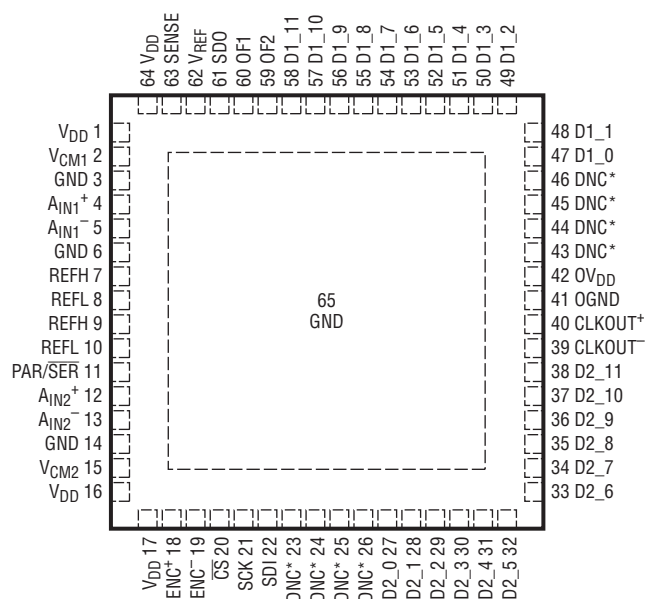
電源電圧 (V_{DD} , $0V_{DD}$) $-0.3V \sim 2V$
 アナログ入力電圧 (A_{IN}^+ , A_{IN}^- ,
 PAR/\overline{SER} , $SENSE$) (Note 3) $-0.3V \sim (V_{DD} + 0.2V)$
 デジタル入力電圧 (ENC^+ , ENC^- , \overline{CS} ,
 SDI , SCK) (Note 4) $-0.3V \sim 3.9V$
 SDO (Note 4) $-0.3V \sim 3.9V$

デジタル出力電圧 $-0.3V \sim (0V_{DD} + 0.3V)$
 動作温度範囲
 LTC2145C, LTC2144C, LTC2143C $0^\circ C \sim 70^\circ C$
 LTC2145I, LTC2144I, LTC2143I $-40^\circ C \sim 85^\circ C$
 保存温度範囲 $-65^\circ C \sim 150^\circ C$

ピン配置

フルレート CMOS 出力モード

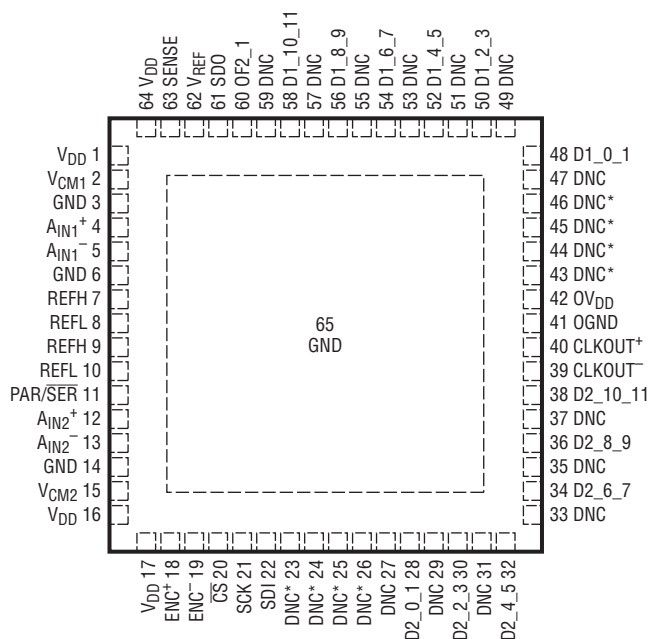
TOP VIEW



UP PACKAGE
 64-LEAD (9mm x 9mm) PLASTIC QFN
 $T_{JMAX} = 150^\circ C$, $\theta_{JA} = 20^\circ C/W$
 EXPOSED PAD (PIN 65) IS GND, MUST BE SOLDERED TO PCB

ダブルデータレート CMOS 出力モード

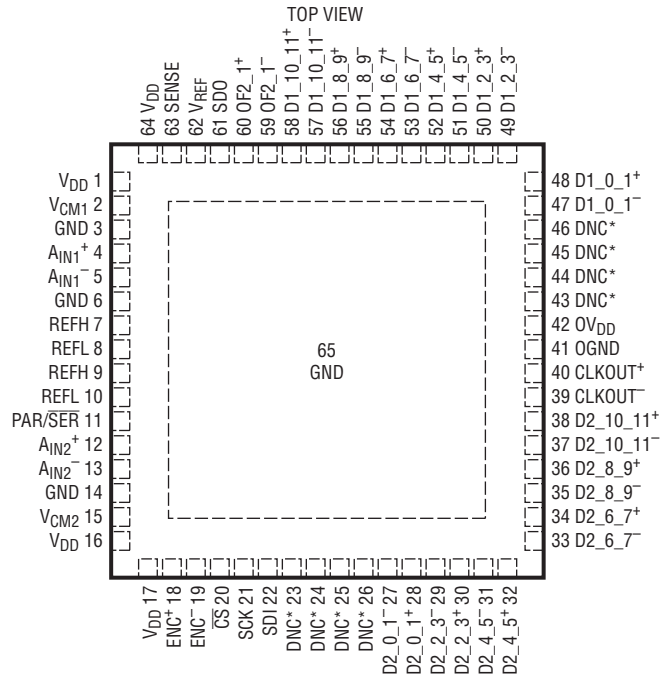
TOP VIEW



UP PACKAGE
 64-LEAD (9mm x 9mm) PLASTIC QFN
 $T_{JMAX} = 150^\circ C$, $\theta_{JA} = 20^\circ C/W$
 EXPOSED PAD (PIN 65) IS GND, MUST BE SOLDERED TO PCB

ピン配置

ダブルデータレート LVDS 出力モード



T_{JMAX} = 150°C, θ_{JA} = 20°C/W
EXPOSED PAD (PIN 65) IS GND, MUST BE SOLDERED TO PCB

発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2145CUP-12#PBF	LTC2145CUP-12#TRPBF	LTC2145UP-12	64-Lead (9mm x 9mm) Plastic QFN	0°C to 70°C
LTC2145IUP-12#PBF	LTC2145IUP-12#TRPBF	LTC2145UP-12	64-Lead (9mm x 9mm) Plastic QFN	-40°C to 85°C
LTC2144CUP-12#PBF	LTC2144CUP-12#TRPBF	LTC2144UP-12	64-Lead (9mm x 9mm) Plastic QFN	0°C to 70°C
LTC2144IUP-12#PBF	LTC2144IUP-12#TRPBF	LTC2144UP-12	64-Lead (9mm x 9mm) Plastic QFN	-40°C to 85°C
LTC2143CUP-12#PBF	LTC2143CUP-12#TRPBF	LTC2143UP-12	64-Lead (9mm x 9mm) Plastic QFN	0°C to 70°C
LTC2143IUP-12#PBF	LTC2143IUP-12#TRPBF	LTC2143UP-12	64-Lead (9mm x 9mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。
非標準の鉛仕上の製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

LTC2145-12/ LTC2144-12/LTC2143-12

コンバータ特性 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS		LTC2145-12			LTC2144-12			LTC2143-12			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Resolution (No Missing Codes)		●	12			12			12			Bits
Integral Linearity Error	Differential Analog Input (Note 6)	●	-0.9	± 0.3	0.9	-0.9	± 0.3	0.9	-0.9	± 0.3	0.9	LSB
Differential Linearity Error	Differential Analog Input	●	-0.5	± 0.1	0.5	-0.5	± 0.1	0.5	-0.5	± 0.1	0.5	LSB
Offset Error	(Note 7)	●	-9	± 1.5	9	-9	± 1.5	9	-9	± 1.5	9	mV
Gain Error	Internal Reference External Reference	●	-2.1	± 1.5 -0.5	0.8	-1.7	± 1.5 -0.3	1.1	-1.7	± 1.5 -0.3	1.1	%FS %FS
Offset Drift				± 10			± 10			± 10		$\mu\text{V}/^\circ\text{C}$
Full-Scale Drift	Internal Reference External Reference			± 30 ± 10			± 30 ± 10			± 30 ± 10		ppm/ $^\circ\text{C}$ ppm/ $^\circ\text{C}$
Gain Matching				± 0.2			± 0.2			± 0.2		%FS
Offset Matching				± 1.5			± 1.5			± 1.5		mV
Transition Noise				0.31			0.32			0.30		LSBRMS

アナログ入力 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range ($A_{IN}^+ - A_{IN}^-$)	$1.7\text{V} < V_{DD} < 1.9\text{V}$	●		1 to 2		V_{P-P}
$V_{IN(CM)}$	Analog Input Common Mode ($A_{IN}^+ + A_{IN}^-$)/2	Differential Analog Input (Note 8)	●	0.7	V_{CM}	1.25	V
V_{SENSE}	External Voltage Reference Applied to SENSE	External Reference Mode	●	0.625	1.250	1.300	V
I_{INCM}	Analog Input Common Mode Current	Per Pin, 125Msps Per Pin, 105Msps Per Pin, 80Msps			155 130 100		μA μA μA
I_{IN1}	Analog Input Leakage Current (No Encode)	$0 < A_{IN}^+, A_{IN}^- < V_{DD}$	●	-1.5		1.5	μA
I_{IN2}	PAR/SER Input Leakage Current	$0 < \text{PAR/SER} < V_{DD}$	●	-3		3	μA
I_{IN3}	SENSE Input Leakage Current	$0.625 < \text{SENSE} < 1.3\text{V}$	●	-3		3	μA
t_{AP}	Sample-and-Hold Acquisition Delay Time				0		ns
t_{JITTER}	Sample-and-Hold Acquisition Delay Jitter	Single-Ended Encode Differential Encode			0.08 0.10		pSRMS pSRMS
CMRR	Analog Input Common Mode Rejection Ratio				80		dB
BW-3B	Full-Power Bandwidth	Figure 6 Test Circuit			750		MHz

ダイナミック精度 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		LTC2145-12			LTC2144-12			LTC2143-12			UNITS
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
SNR	Signal-to-Noise Ratio	5MHz Input 70MHz Input 140MHz Input	●	69.4	70.6 70.5 70.3		69.2	70.5 70.4 70.2		69.6	70.8 70.7 70.5		dBFS dBFS dBFS
SFDR	Spurious Free Dynamic Range 2nd Harmonic	5MHz Input 70MHz Input 140MHz Input	●	76	89 88 84		77	89 88 84		78	89 88 84		dBFS dBFS dBFS
	Spurious Free Dynamic Range 3rd Harmonic	5MHz Input 70MHz Input 140MHz Input	●	79	89 88 84		79	89 88 84		80	89 88 84		dBFS dBFS dBFS
	Spurious Free Dynamic Range 4th Harmonic or Higher	5MHz Input 70MHz Input 140MHz Input	●	84	95 95 95		84	95 95 95		84	95 95 95		dBFS dBFS dBFS
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	5MHz Input 70MHz Input 140MHz Input	●	69	70.5 70.4 70		68.9	70.4 70.3 69.9		69.4	70.7 70.6 70.2		dBFS dBFS dBFS
	Crosstalk	10MHz Input			-110			-110			-110		dBc

内部リファレンスの特性 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{CM} Output Voltage	$I_{OUT} = 0$		$0.5 \cdot V_{DD} - 25\text{mV}$	$0.5 \cdot V_{DD}$	$0.5 \cdot V_{DD} + 25\text{mV}$	V
V_{CM} Output Temperature Drift				± 25		ppm/ $^\circ\text{C}$
V_{CM} Output Resistance	$-600\mu\text{A} < I_{OUT} < 1\text{mA}$			4		Ω
V_{REF} Output Voltage	$I_{OUT} = 0$		1.225	1.250	1.275	V
V_{REF} Output Temperature Drift				± 25		ppm/ $^\circ\text{C}$
V_{REF} Output Resistance	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$			7		Ω
V_{REF} Line Regulation	$1.7\text{V} < V_{DD} < 1.9\text{V}$			0.6		mV/V

LTC2145-12/ LTC2144-12/LTC2143-12

デジタル入力とデジタル出力 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
エンコード入力 (ENC ⁺ , ENC ⁻)						
差動エンコード・モード (ENC ⁻ は GND に接続されていない)						
V _{ID}	Differential Input Voltage	(Note 8)	●	0.2		V
V _{ICM}	Common Mode Input Voltage	Internally Set Externally Set (Note 8)	●	1.1	1.2 1.6	V V
V _{IN}	Input Voltage Range	ENC ⁺ , ENC ⁻ to GND	●	0.2	3.6	V
R _{IN}	Input Resistance	(See Figure 10)		10		k Ω
C _{IN}	Input Capacitance	(Note 8)		3.5		pF
シングルエンド・エンコード・モード (ENC ⁻ は GND に接続されている)						
V _{IH}	High Level Input Voltage	V _{DD} = 1.8V	●	1.2		V
V _{IL}	Low Level Input Voltage	V _{DD} = 1.8V	●		0.6	V
V _{IN}	Input Voltage Range	ENC ⁺ to GND	●	0	3.6	V
R _{IN}	Input Resistance	(See Figure 11)		30		k Ω
C _{IN}	Input Capacitance	(Note 8)		3.5		pF
デジタル入力 (CS ⁻ , SDI, SCK はシリアルまたはパラレル・プログラミング・モード。SDO はパラレル・プログラミング・モード)						
V _{IH}	High Level Input Voltage	V _{DD} = 1.8V	●	1.3		V
V _{IL}	Low Level Input Voltage	V _{DD} = 1.8V	●		0.6	V
I _{IN}	Input Current	V _{IN} = 0V to 3.6V	●	-10	10	μA
C _{IN}	Input Capacitance	(Note 8)		3		pF
SDO の出力 (シリアル・プログラミング・モード。オープン・ドレイン出力。SDO が使われる場合、2k Ω のプルアップ抵抗が必要)						
R _{OL}	Logic Low Output Resistance to GND	V _{DD} = 1.8V, SDO = 0V		200		Ω
I _{OH}	Logic High Output Leakage Current	SDO = 0V to 3.6V	●	-10	10	μA
C _{OUT}	Output Capacitance	(Note 8)		3		pF
デジタル・データ出力 (CMOS モード: フルデータレートとダブルデータレート)						
0V _{DD} = 1.8V						
V _{OH}	High Level Output Voltage	I _O = -500 μA	●	1.750	1.790	V
V _{OL}	Low Level Output Voltage	I _O = 500 μA	●		0.010 0.050	V V
0V _{DD} = 1.5V						
V _{OH}	High Level Output Voltage	I _O = -500 μA		1.488		V
V _{OL}	Low Level Output Voltage	I _O = 500 μA		0.010		V
0V _{DD} = 1.2V						
V _{OH}	High Level Output Voltage	I _O = -500 μA		1.185		V
V _{OL}	Low Level Output Voltage	I _O = 500 μA		0.010		V
デジタル・データ出力 (LVDS モード)						
V _{OD}	Differential Output Voltage	100 Ω Differential Load, 3.5mA Mode 100 Ω Differential Load, 1.75mA Mode	●	247	350 175	454 mV mV
V _{OS}	Common Mode Output Voltage	100 Ω Differential Load, 3.5mA Mode 100 Ω Differential Load, 1.75mA Mode	●	1.125	1.250 1.250	1.375 V V
R _{TERM}	On-Chip Termination Resistance	Termination Enabled, 0V _{DD} = 1.8V		100		Ω

21454312fa

LTC2145-12/ LTC2144-12/LTC2143-12

電源要件 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS		LTC2145-12			LTC2144-12			LTC2143-12			UNITS
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
CMOS出力モード:フルデータレートとダブルデータレート													
V _{DD}	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
OV _{DD}	Output Supply Voltage	(Note 10)	●	1.1	1.8	1.9	1.1	1.8	1.9	1.1	1.8	1.9	V
I _{VDD}	Analog Supply Current	DC Input Sine Wave Input	●		101.5 102.2	112		79.8 80.3	89		60.4 60.9	68	mA mA
I _{OVDD}	Digital Supply Current	Sine Wave Input, OV _{DD} = 1.2V			7.3			6.2			4.7		mA
P _{DISS}	Power Dissipation	DC Input Sine Wave Input, OV _{DD} = 1.2V	●		183 193	202		144 152	161		109 115	123	mW mW

LVDS 出力モード

V_{DD}	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
OV_{DD}	Output Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
I_{VDD}	Analog Supply Current	Sine Input, 1.75mA Mode Sine Input, 3.5mA Mode	●		103.4 104.6	119		81.6 82.8	94		62.1 63.4	73	mA mA
I_{OVDD}	Digital Supply Current ($OV_{DD} = 1.8\text{V}$)	Sine Input, 1.75mA Mode Sine Input, 3.5mA Mode	●		30.6 57.9	69		30.3 57.6	68		30.1 57.3	68	mA mA
P_{DISS}	Power Dissipation	Sine Input, 1.75mA Mode Sine Input, 3.5mA Mode	●		241 293	339		201 253	292		166 217	254	mW mW

すべての出力モード

P_{SLEEP}	Sleep Mode Power				1			1			1		mW
P_{NAP}	Nap Mode Power				16			16			16		mW
$P_{DIFFCLK}$	Power Increase with Differential Encode Mode Enabled (No increase for Nap or Sleep Modes)				20			20			20		mW

タイミング特性 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		LTC2145-12			LTC2144-12			LTC2143-12			UNITS
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
f_S	Sampling Frequency	(Note 10)	●	1		125	1		105	1		80	MHz
t_L	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off	●	3.8	4	500	4.52	4.76	500	5.93	6.25	500	ns
		Duty Cycle Stabilizer On	●	2	4	500	2	4.76	500	2	6.25	500	ns
t_H	ENC High Time (Note 8)	Duty Cycle Stabilizer Off	●	3.8	4	500	4.52	4.76	500	5.93	6.25	500	ns
		Duty Cycle Stabilizer On	●	2	4	500	2	4.76	500	2	6.25	500	ns
t_{AP}	Sample-and-Hold Acquisition Delay Time				0			0			0		ns

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
デジタル・データ出力 (CMOS モード: フルデータレートとダブルデータレート)						
t_D	ENC to Data Delay	$C_L = 5\text{pF}$ (Note 8)	●	1.1	1.7	3.1 ns
t_C	ENC to CLKOUT Delay	$C_L = 5\text{pF}$ (Note 8)	●	1	1.4	2.6 ns
t_{SKEW}	DATA to CLKOUT Skew	$t_D - t_C$ (Note 8)	●	0	0.3	0.6 ns
	Pipeline Latency	Full Data Rate Mode Double Data Rate Mode		6 6.5		Cycles Cycles

21454312fa

LTC2145-12/ LTC2144-12/LTC2143-12

タイミング特性 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
デジタル・データ出力 (LVDS モード)							
t_D	ENC to Data Delay	$C_L = 5\text{pF}$ (Note 8)	●	1.1	1.8	3.2	ns
t_C	ENC to CLKOUT Delay	$C_L = 5\text{pF}$ (Note 8)	●	1	1.5	2.7	ns
t_{SKEW}	DATA to CLKOUT Skew	$t_D - t_C$ (Note 8)	●	0	0.3	0.6	ns
	Pipeline Latency				6.5		Cycles
SPIポートのタイミング (Note 8)							
t_{SCK}	SCK Period	Write Mode Readback Mode, $C_{SDO} = 20\text{pF}$, $R_{PULLUP} = 2\text{k}$	● ●	40 250			ns ns
t_S	\overline{CS} to SCK Setup Time		●	5			ns
t_H	SCK to \overline{CS} Setup Time		●	5			ns
t_{DS}	SDI Setup Time		●	5			ns
t_{DH}	SDI Hold Time		●	5			ns
t_{DO}	SCK Falling to SDO Valid	Readback Mode, $C_{SDO} = 20\text{pF}$, $R_{PULLUP} = 2\text{k}$	●			125	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての電圧値は(注記がない限り) GNDとOGNDを短絡した状態のGNDを基準にしている。

Note 3: これらのピンの電圧をGNDより低くするか、 V_{DD} より高くすると、内部のダイオードによってクランプされる。この製品は、GNDより低い電圧、または V_{DD} より高い電圧でラッチアップを生じることなしに100mAを超える入力電流を処理することができる。

Note 4: これらのピンの電圧をGNDより低くすると、内部のダイオードによってクランプされる。これらのピンの電圧を V_{DD} より高くすると、内部のダイオードによってクランプされない。この製品は、GNDより低い電圧で、ラッチアップを生じることなく100mAを超える入力電流を処理することができる。

Note 5: 注記がない限り、 $V_{DD} = 0V$, $V_{DD} = 1.8V$, $f_{SAMPLE} = 125\text{MHz}$ (LTC2145)、105MHz (LTC2144)、または80MHz (LTC2143)、LVDS出力、差動ENC⁺/ENC⁻ = 2V_{p-p}の正弦波、入力範囲 = 差動ドライブで2V_{p-p}。

Note 6: 積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定する。

Note 7: オフセット誤差は、2の補数の出力モードで出力コードが 0000 0000 0000 と 1111 1111 1111 の間を行ったり来たりするとき、-0.5 LSBから測定したオフセット電圧である。

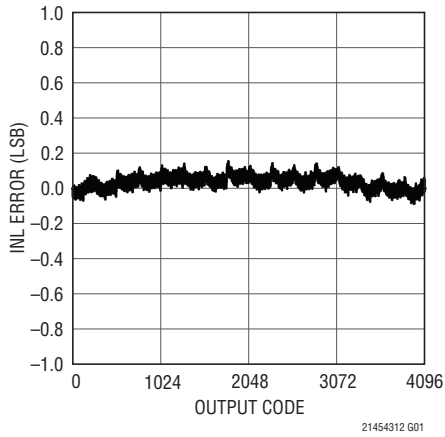
Note 8: 設計によって保証されているが、テストされない。

Note 9: 注記がない限り、 $V_{DD} = 1.8V$ 、 $f_{SAMPLE} = 125\text{MHz}$ (LTC2145)、105MHz (LTC2144)、または80MHz (LTC2143)、CMOS出力、ENC⁺ = シングルエンドの1.8Vの方形波、ENC⁻ = 0V、入力範囲 = 差動ドライブで2V_{p-p}、各デジタル出力に5pFの負荷。電源電流および電力損失の規格値はデバイス全体の合計値であり、1チャンネルあたりの値ではない。

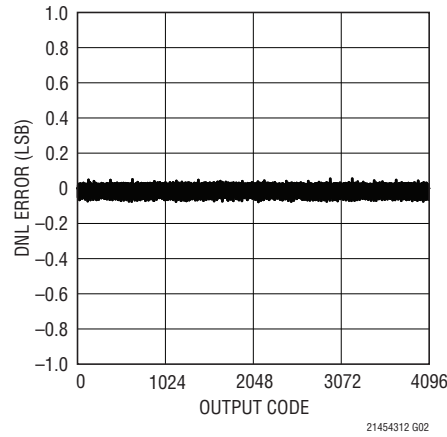
Note 10: 推奨動作条件。

標準的性能特性

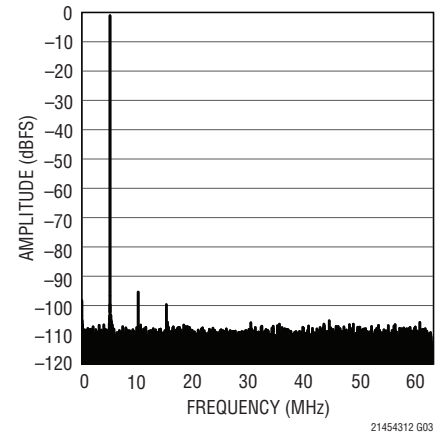
LTC2145-12: 積分非直線性 (INL)



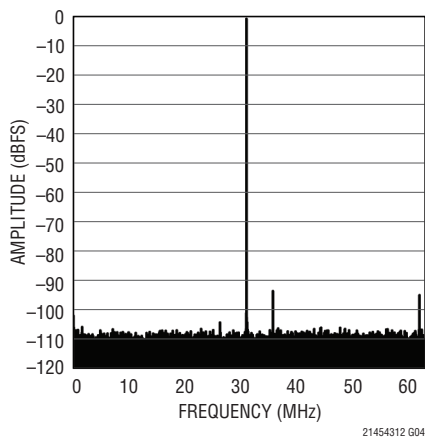
LTC2145-12: 微分非直線性 (DNL)



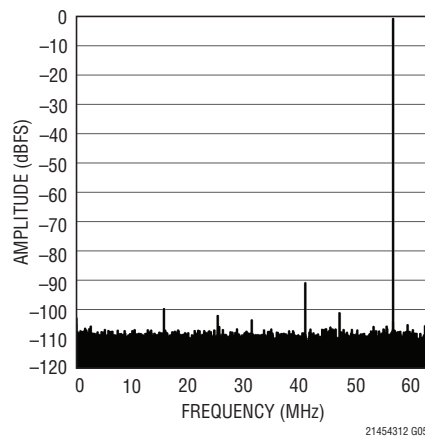
LTC2145-12: 64kポイントのFFT、
 $f_{IN} = 5\text{MHz}$ 、 -1dBFS 、 125Mps



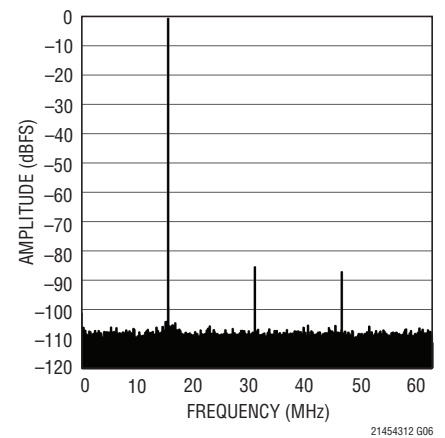
LTC2145-12: 64kポイントのFFT、
 $f_{IN} = 30\text{MHz}$ 、 -1dBFS 、 125Mps



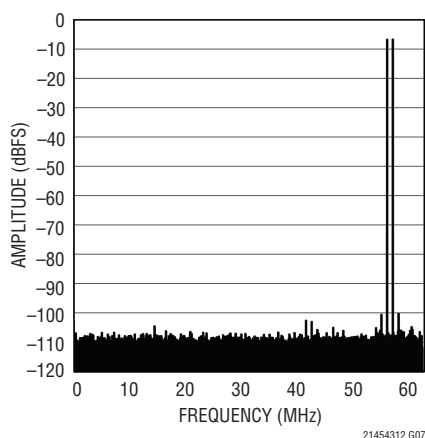
LTC2145-12: 64kポイントのFFT、
 $f_{IN} = 70\text{MHz}$ 、 -1dBFS 、 125Mps



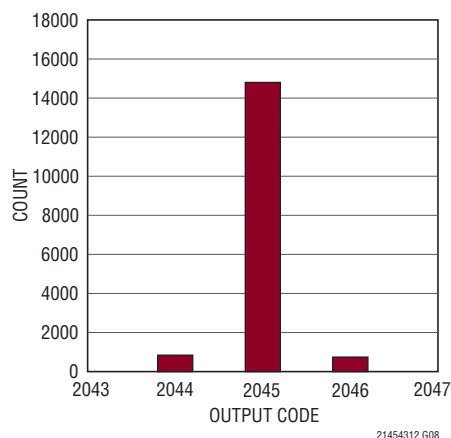
LTC2145-12: 64kポイントのFFT、
 $f_{IN} = 140\text{MHz}$ 、 -1dBFS 、 125Mps



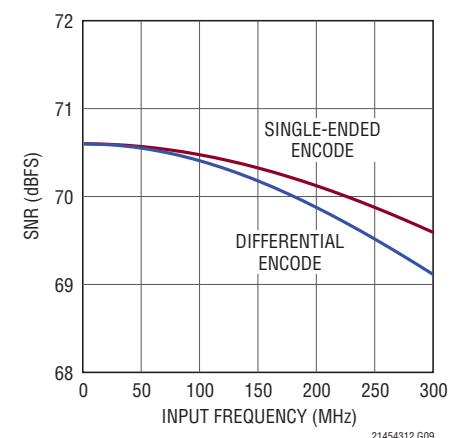
LTC2145-12: 64kポイントの2トーンFFT、
 $f_{IN} = 69\text{MHz}$ 、 70MHz 、 -7dBFS 、 125Mps



LTC2145-12: 短絡入力
のヒストグラム



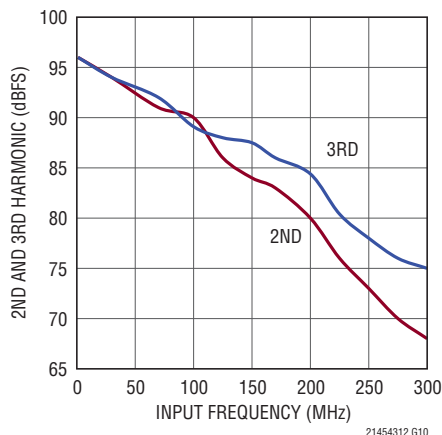
LTC2145-12: SNRと入力周波数、
 -1dBFS 、 125Mps 、 2V 範囲



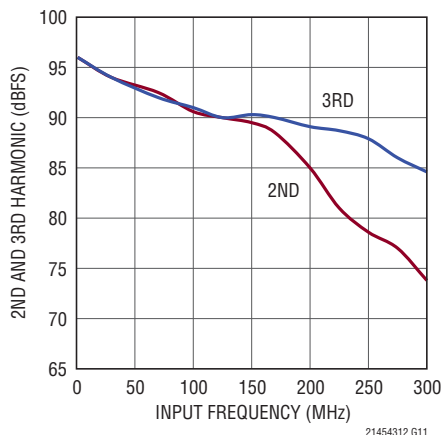
LTC2145-12/ LTC2144-12/LTC2143-12

標準的性能特性

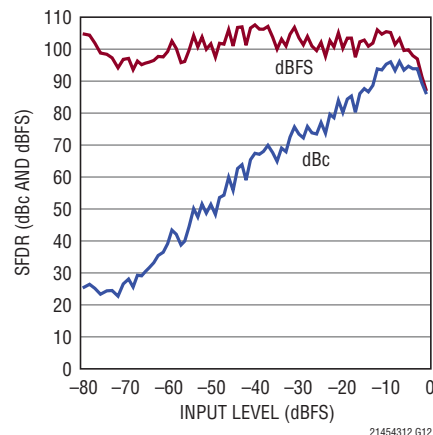
LTC2145-12: 2次および3次高調波と
入力周波数、-1dBFS、125Mps、2V範囲



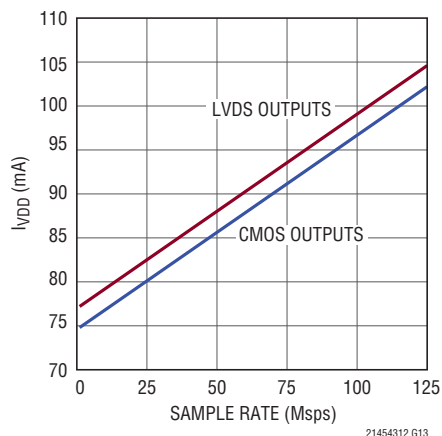
LTC2145-12: 2次および3次高調波と
入力周波数、-1dBFS、125Mps、1V範囲



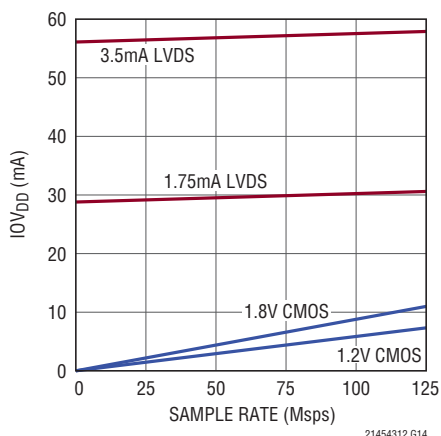
LTC2145-12: SFDRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、125Mps、2V範囲



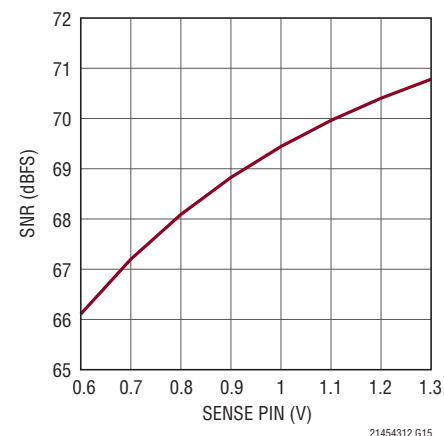
LTC2145-12: I_{VDD} とサンプル・レート、
5MHz、各チャネルに-1dBFSの正弦波入力



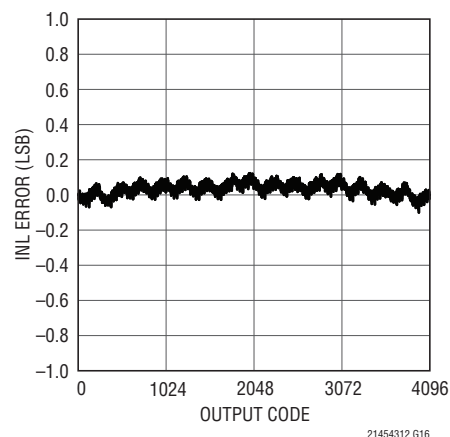
LTC2145-12: $I_{O_{VDD}}$ とサンプル・レート、
5MHz、各入力に-1dBFSの正弦波入力



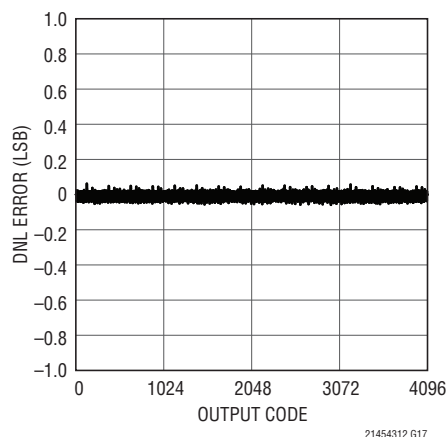
LTC2145-12: SNRとSENSE、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS



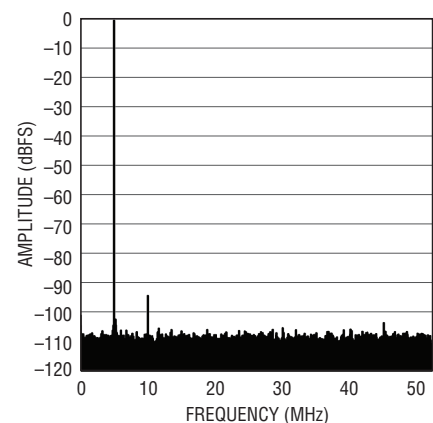
LTC2144-12: 積分非直線性 (INL)



LTC2144-12: 微分非直線性 (DNL)



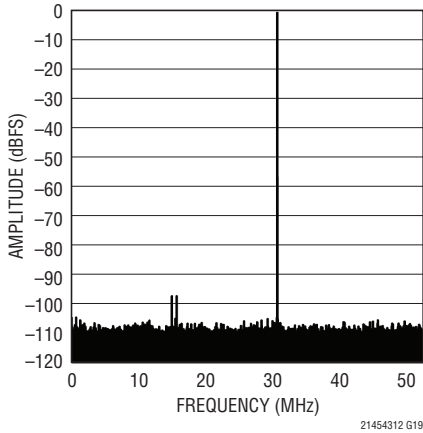
LTC2144-12: 64kポイントのFFT、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS、105Mps



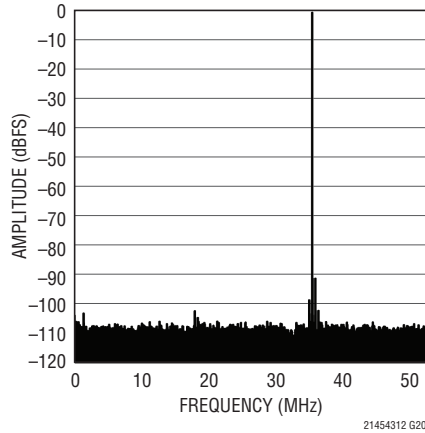
21454312fa

標準的性能特性

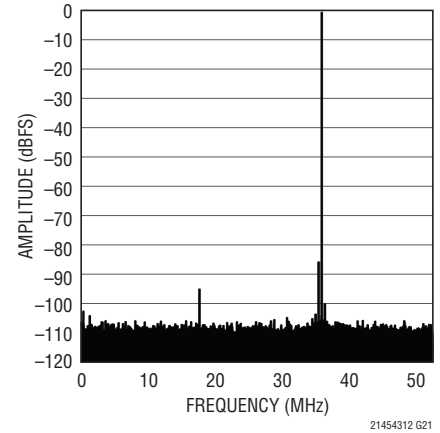
LTC2144-12:64kポイントのFFT、
 $f_{IN} = 30\text{MHz}$ 、 -1dBFS 、 105Mpsps



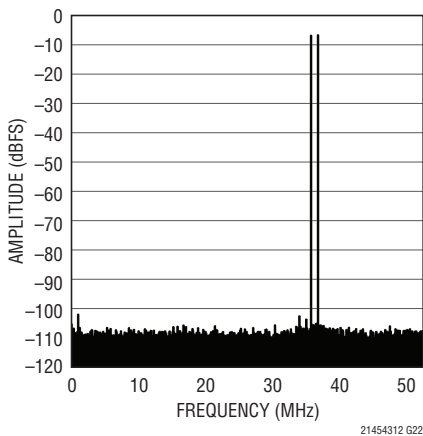
LTC2144-12:64kポイントのFFT、
 $f_{IN} = 70\text{MHz}$ 、 -1dBFS 、 105Mpsps



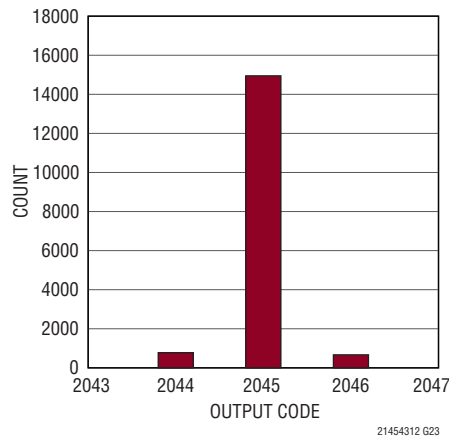
LTC2144-12:64kポイントのFFT、
 $f_{IN} = 140\text{MHz}$ 、 -1dBFS 、 105Mpsps



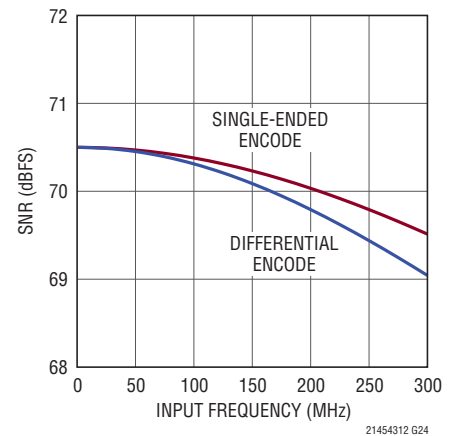
LTC2144-12:64kポイントの2トーンFFT、
 $f_{IN} = 69\text{MHz}$ 、 70MHz 、 -7dBFS 、 105Mpsps



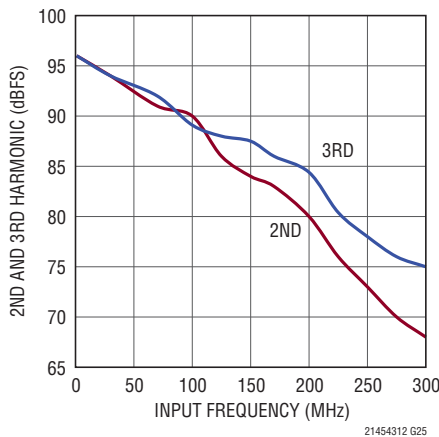
LTC2144-12: 短絡入力
のヒストグラム



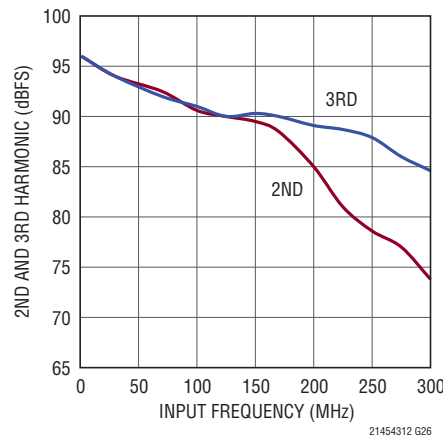
LTC2144-12:SNRと入力周波数、
 -1dBFS 、 105Mpsps 、 2V 範囲



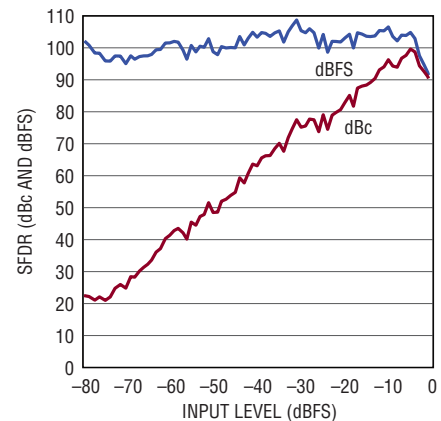
LTC2144-12:2次および3次高調波と
入力周波数、 -1dBFS 、 105Mpsps 、 2V 範囲



LTC2144-12:2次および3次高調波と
入力周波数、 -1dBFS 、 105Mpsps 、 1V 範囲



LTC2144-12:SFDRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、 105Mpsps 、 2V 範囲

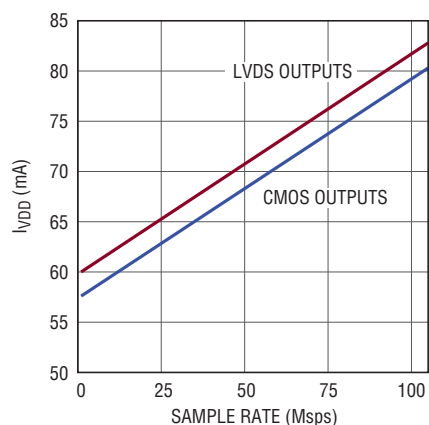


21454312fa

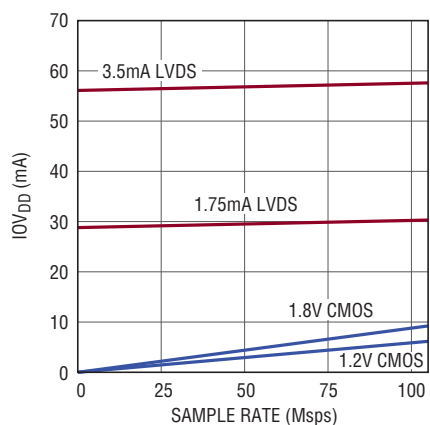
LTC2145-12/ LTC2144-12/LTC2143-12

標準的性能特性

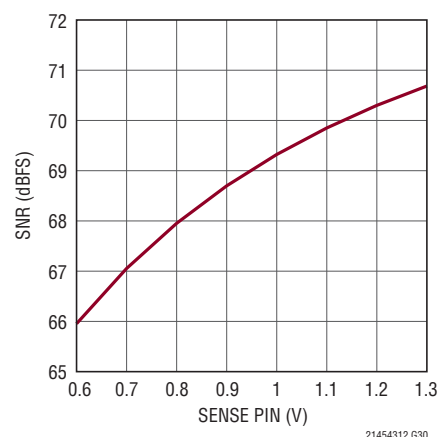
LTC2144-12: I_{VDD} とサンプル・レート、
5MHz、各チャンネルに-1dBFSの正弦波
入力



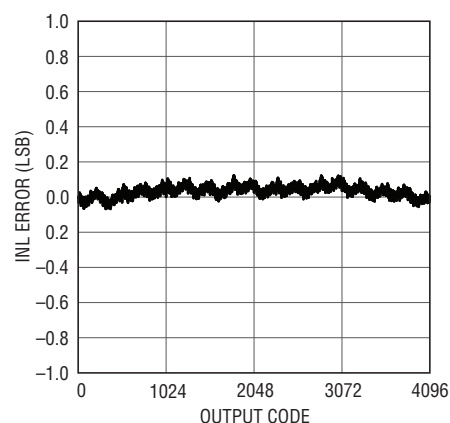
LTC2144-12: I_{OVDD} とサンプル・レート、
5MHz、各入力に-1dBFSの正弦波入力



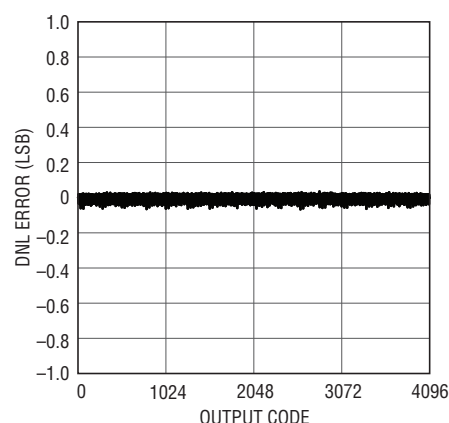
LTC2144-12: SNR と SENSE、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS



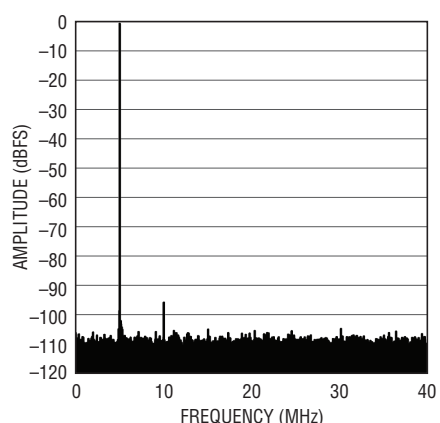
LTC2143-12: 積分非直線性 (INL)



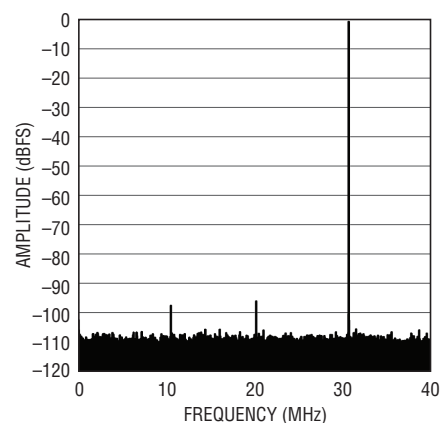
LTC2143-12: 微分非直線性 (DNL)



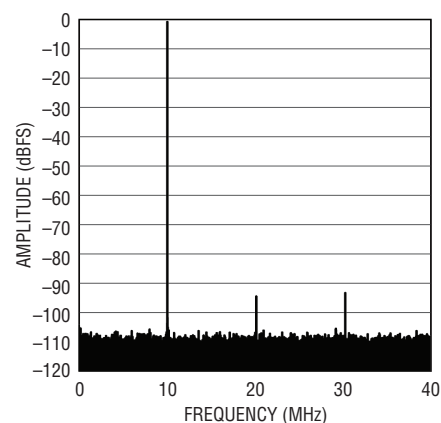
LTC2143-12: 64k ポイントの FFT、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS、80Msps



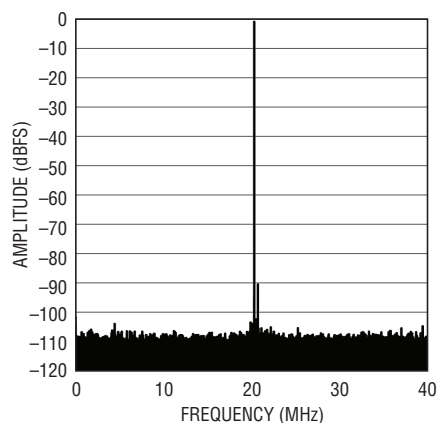
LTC2143-12: 64k ポイントの FFT、
 $f_{IN} = 30\text{MHz}$ 、-1dBFS、80Msps



LTC2143-12: 64k ポイントの FFT、
 $f_{IN} = 70\text{MHz}$ 、-1dBFS、80Msps



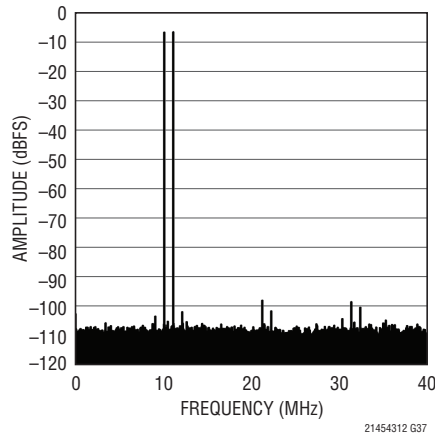
LTC2143-12: 64k ポイントの FFT、
 $f_{IN} = 140\text{MHz}$ 、-1dBFS、80Msps



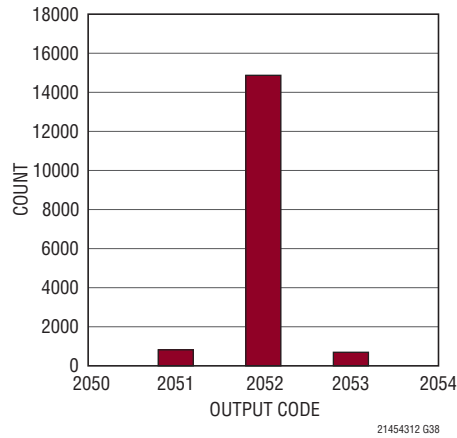
21454312fa

標準的性能特性

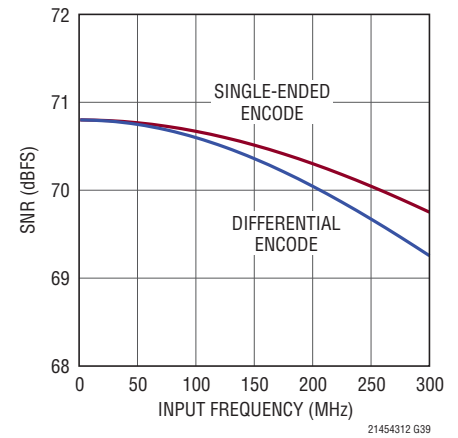
**LTC2143-12: 64k ポイントの
2 トーン FFT、 $f_{IN} = 69\text{MHz}$ 、 70MHz 、
-7dBFS、80Mps**



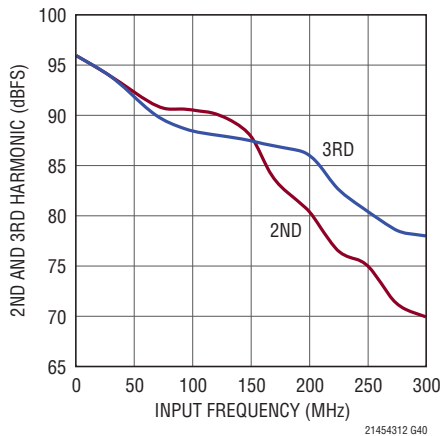
**LTC2143-12: 短絡入力
のヒストグラム**



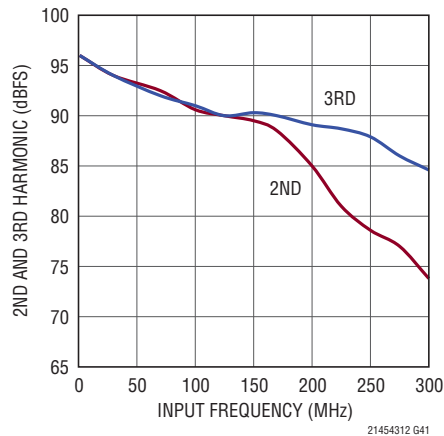
**LTC2143-12: SNR と入力周波数、
-1dBFS、80Mps、2V 範囲**



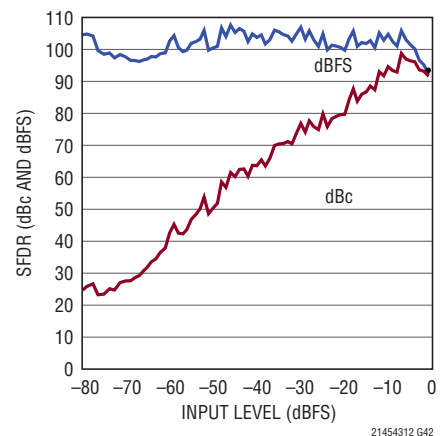
**LTC2143-12: 2 次および 3 次高調波と
入力周波数、-1dBFS、80Mps、
2V 範囲**



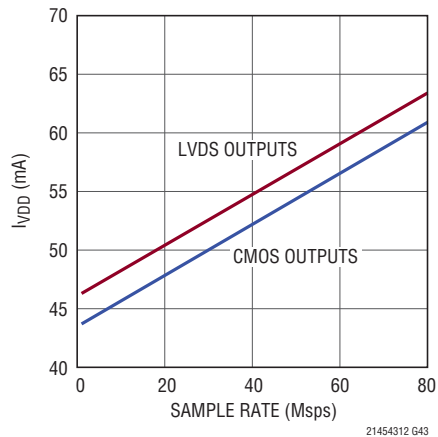
**LTC2143-12: 2 次および 3 次高調波と
入力周波数、-1dBFS、80Mps、
1V 範囲**



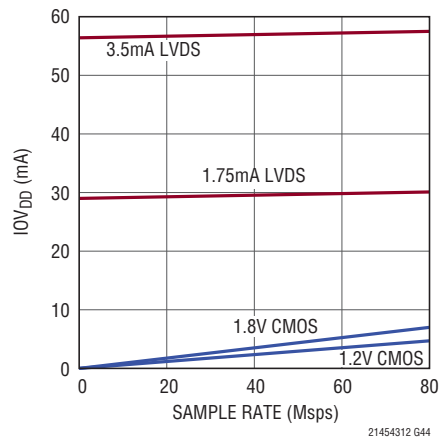
**LTC2143-12: SFDR と入力レベル、
 $f_{IN} = 70\text{MHz}$ 、80Mps、2V 範囲**



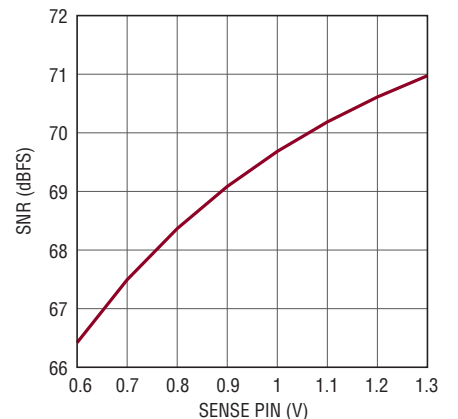
**LTC2143-12: I_{VDD} とサンプル・レート、
5MHz、各入力に -1dBFS の正弦波入力**



**LTC2143-12: I_{OVDD} とサンプル・レート、
5MHz、各チャネルに -1dBFS の正弦波
入力**



**LTC2143-12: SNR と SENSE、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS**



21454312fa

ピン機能

すべてのデジタル出力モードで同じピン

V_{DD} (ピン1、16、17、64) : 1.7V ~ 1.9Vのアナログ電源。0.1μFのセラミック・コンデンサを使用してグラウンドにバイパスします。隣接するピンはバイパス・コンデンサを共有することができます。

V_{CM1} (ピン2) : 公称でV_{DD}/2に等しい同相バイアス出力。V_{CM1}はチャンネル1のアナログ入力同相レベルをバイアスするのに使用します。0.1μFのセラミック・コンデンサを使ってグラウンドにバイパスします。

GND (ピン3、6、14) : ADCの電源グラウンド。

A_{IN1}⁺ (ピン4) : チャンネル1の正の差動アナログ入力。

A_{IN1}⁻ (ピン5) : チャンネル1の負の差動アナログ入力。

REFH (ピン7、9) : ADCの“H”リファレンス。REFHおよびREFLの推奨バイパス回路については「アプリケーション情報」のセクションを参照してください。

REFL (ピン8、10) : ADCの“L”リファレンス。REFHおよびREFLの推奨バイパス回路については「アプリケーション情報」のセクションを参照してください。

PAR/SER (ピン11) : プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグラウンドに接続します。 \overline{CS} 、SCK、SDI、SDOはA/Dの動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブルするにはV_{DD}に接続します。この場合、 \overline{CS} 、SCK、SDI、SDOは、A/Dの(種類が限定された)動作モードを制御するパラレル・ロジック入力になります。PAR/SERはグラウンドまたはV_{DD}に直接接続し、ロジック信号ではドライブしません。

A_{IN2}⁺ (ピン12) : チャンネル2の正の差動アナログ入力。

A_{IN2}⁻ (ピン13) : チャンネル2の負の差動アナログ入力。

V_{CM2} (ピン15) : 公称でV_{DD}/2に等しい同相バイアス出力。V_{CM2}はチャンネル2のアナログ入力同相レベルをバイアスするのに使用します。0.1μFのセラミック・コンデンサを使ってグラウンドにバイパスします。

ENC⁺ (ピン18) : エンコード入力。立ち上がりエッジで変換が開始されます。

ENC⁻ (ピン19) : エンコード相補入力。立ち下がりエッジで変換が開始されます。シングルエンド・エンコード・モードの場合はGNDに接続します。

\overline{CS} (ピン20) : シリアル・プログラミング・モードでは(PAR/SER=0V)、 \overline{CS} はシリアル・インタフェースのチップ選択入力です。 \overline{CS} が“L”のときSCKがイネーブルされ、SDIのデータをモード制御レジスタにシフトします。パラレル・プログラミング・モードでは(PAR/SER=V_{DD})、 \overline{CS} はクロック・デューティ・サイクル・スタビライザを制御します(表2を参照)。 \overline{CS} は、1.8V ~ 3.3Vのロジックでドライブできます。

SCK (ピン21) : シリアル・プログラミング・モードでは(PAR/SER=0V)、SCKはシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モードでは(PAR/SER=V_{DD})、SCKはデジタル出力モードを制御します(表2を参照)。SCKは1.8V ~ 3.3Vのロジックでドライブすることができます。

SDI (ピン22) : シリアル・プログラミング・モードでは(PAR/SER=0V)、SDIはシリアル・インタフェースのデータ入力です。SDIのデータはSCKの立ち上がりエッジでモード制御レジスタにクロックインされます。パラレル・プログラミング・モードでは(PAR/SER=V_{DD})、SDIをSDOと一緒に使ってデバイスをパワーダウンすることができます(表2を参照)。SDIは1.8V ~ 3.3Vのロジックでドライブすることができます。

OGND (ピン41) : 出力ドライバのグラウンド。インダクタンスがきわめて低い経路でグラウンド・プレーンに短絡する必要があります。このピンの近くに複数のビアを使用します。

OV_{DD} (ピン42) : 出力ドライバの電源。0.1μFのセラミック・コンデンサを使ってグラウンドにバイパスします。

SDO (ピン61) : シリアル・プログラミング・モードでは(PAR/SER=0V)、SDOはオプションのシリアル・インタフェースのデータ出力です。SDOのデータはモード制御レジスタから読み出して、SCKの立ち下がりエッジでラッチすることができます。SDOはオープンドレインのNMOS出力で、2kの外付けプルアップ抵抗を1.8V ~ 3.3Vに接続する必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要であり、SDOは未接続のままでかまいません。パラレル・プログラミング・モードでは(PAR/SER=V_{DD})、SDOをSDIと一緒に使ってデバイスをパワーダウンすることができます(表2を参照)。SDOを入力として使用する場合には、1kの直列抵抗を介して1.8V ~ 3.3Vのロジックでドライブすることができます。

V_{REF} (ピン62) : リファレンス電圧出力。2.2μFのセラミック・コンデンサを使ってグラウンドにバイパスします。出力電圧は公称1.25Vです。

ピン機能

SENSE (ピン 63) : リファレンス・プログラミング・ピン。SENSE を V_{DD} に接続すると、内部リファレンスと $\pm 1V$ の入力範囲が選択されます。SENSE をグランドに接続すると、内部リファレンスと $\pm 0.5V$ の入力範囲が選択されます。0.625V ~ 1.3V の外部リファレンスを SENSE に与えると、 $\pm 0.8 \cdot V_{SENSE}$ の入力範囲が選択されます。

グランド (露出パッド・ピン 65) : 露出パッドは PCB グランドに半田付けする必要があります。

DNC* (ピン 23、24、25、26、43、44、45、46) : これらのピンはパッケージ内部で GND に短絡します。ほとんどのアプリケーションでは、これらを未接続のままにします。14 ビットの LTC2145-14 または 16 ビットの LTC2185 とピン互換性を持たせる場合は、これらのピンをデジタル出力として接続して、バス幅を 14 ビットまたは 16 ビットにすることができます。

フルレート CMOS 出力モード

下のすべてのピンは CMOS 出力レベル (OGND から $0V_{DD}$) を備えています。

D2_0 ~ D2_11 (ピン 27、28、29、30、31、32、33、34、35、36、37、38) : チャンネル 2 のデジタル出力。D2_11 が MSB です。

CLKOUT⁻ (ピン 39) : CLKOUT⁺ の反転バージョン。

CLKOUT⁺ (ピン 40) : データ出力クロック。デジタル出力は通常、CLKOUT⁺ の立ち下がりエッジと同時に遷移します。CLKOUT⁺ の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

D1_0 ~ D1_11 (ピン 47、48、49、50、51、52、53、54、55、56、57、58) : チャンネル 1 のデジタル出力。D1_11 が MSB です。

OF2 (ピン 59) : チャンネル 2 のオーバーフロー/アンダーフロー・デジタル出力。オーバーフローまたはアンダーフローが生じると OF2 は“H”になります。

OF1 (ピン 60) : チャンネル 1 のオーバーフロー/アンダーフロー・デジタル出力。オーバーフローまたはアンダーフローが生じると OF1 は“H”になります。

ダブルデータレート CMOS 出力モード

下のすべてのピンは CMOS 出力レベル (OGND から $0V_{DD}$) を備えています。

D2_0_1 ~ D2_10_11 (ピン 28、30、32、34、36、38) : チャンネル 2 のダブルデータレート・デジタル出力。2 つのデータ・ビットが各出力ピンに多重化されます。CLKOUT⁺ が“L”のとき、

偶数データ・ビット (D0、D2、D4、D6、D8、D10) が現れます。CLKOUT⁺ が“H”のとき、奇数データ・ビット (D1、D3、D5、D7、D9、D11) が現れます。

DNC (ピン 27、29、31、33、35、37、47、49、51、53、55、57、59) : これらのピンは接続しないでください。

CLKOUT⁻ (ピン 39) : CLKOUT⁺ の反転バージョン。

CLKOUT⁺ (ピン 40) : データ出力クロック。デジタル出力は通常、CLKOUT⁺ の立ち下がりエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT⁺ の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

D1_0_1 ~ D1_10_11 (ピン 48、50、52、54、56、58) : チャンネル 1 のダブルデータレート・デジタル出力。2 つのデータ・ビットが各出力ピンに多重化されます。CLKOUT⁺ が“L”のとき、偶数データ・ビット (D0、D2、D4、D6、D8、D10) が現れます。CLKOUT⁺ が“H”のとき、奇数データ・ビット (D1、D3、D5、D7、D9、D11) が現れます。

OF2_1 (ピン 60) : オーバーフロー/アンダーフロー・デジタル出力。オーバーフローまたはアンダーフローが生じると OF2_1 は“H”になります。両方のチャンネルのオーバーフロー/アンダーフローがこのピンに多重化されます。CLKOUT⁺ が“L”のときチャンネル 2 が現れ、CLKOUT⁺ が“H”のときチャンネル 1 が現れます。

ダブルデータレート LVDS 出力モード

下のすべてのピンは LVDS 出力レベルを備えています。出力電流レベルはプログラム可能です。各 LVDS 出力対のピンの間にはオプションの内部 100Ω 終端抵抗が備わっています。

D2_0_1⁻/D2_0_1⁺ ~ D2_10_11⁻/D2_10_11⁺ (ピン 27/28、29/30、31/32、33/34、35/36、37/38) : チャンネル 2 のダブルデータレート・デジタル出力。2 つのデータ・ビットが各差動出力対に多重化されます。CLKOUT⁺ が“L”のとき、偶数データ・ビット (D0、D2、D4、D6、D8、D10) が現れます。CLKOUT⁺ が“H”のとき、奇数データ・ビット (D1、D3、D5、D7、D9、D11) が現れます。

CLKOUT⁻/CLKOUT⁺ (ピン 39/40) : データ出力クロック。デジタル出力は通常 CLKOUT⁺ の立ち下がりエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT⁺ の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

LTC2145-12/ LTC2144-12/LTC2143-12

ピン機能

D1_0⁻/D1_0⁺~D1_10⁻/D1_10⁺ (ピン47/48、49/50、51/52、53/54、55/56、57/58) : チャンネル1のダブルデータレート・デジタル出力。2つのデータ・ビットが各差動出力対に多重化されます。CLKOUT⁺が“L”のとき、偶数データ・ビット(D0、D2、D4、D6、D8、D10)が現れます。CLKOUT⁺が“H”のとき、奇数データ・ビット(D1、D3、D5、D7、D9、D11)が現れます。

OF2_1⁻/OF2_1⁺ (ピン59/60) : オーバーフロー/アンダーフロー・デジタル出力。オーバーフローまたはアンダーフローが生じるとOF2_1⁺は“H”になります。両方のチャンネルのオーバーフロー/アンダーフローがこのピンに多重化されます。CLKOUT⁺が“L”のときチャンネル2が現れ、CLKOUT⁺が“H”のときチャンネル1が現れます。

機能ブロック図

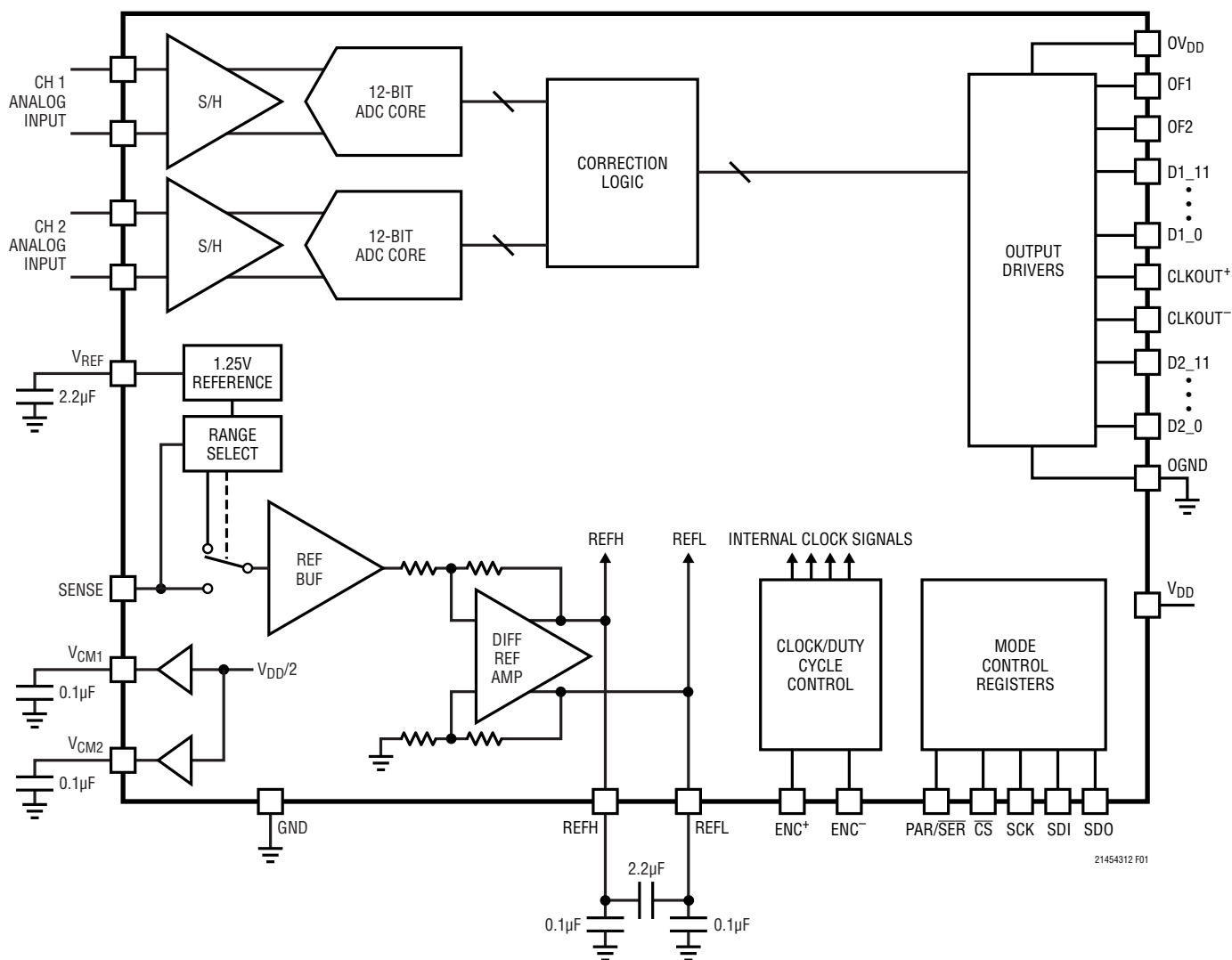
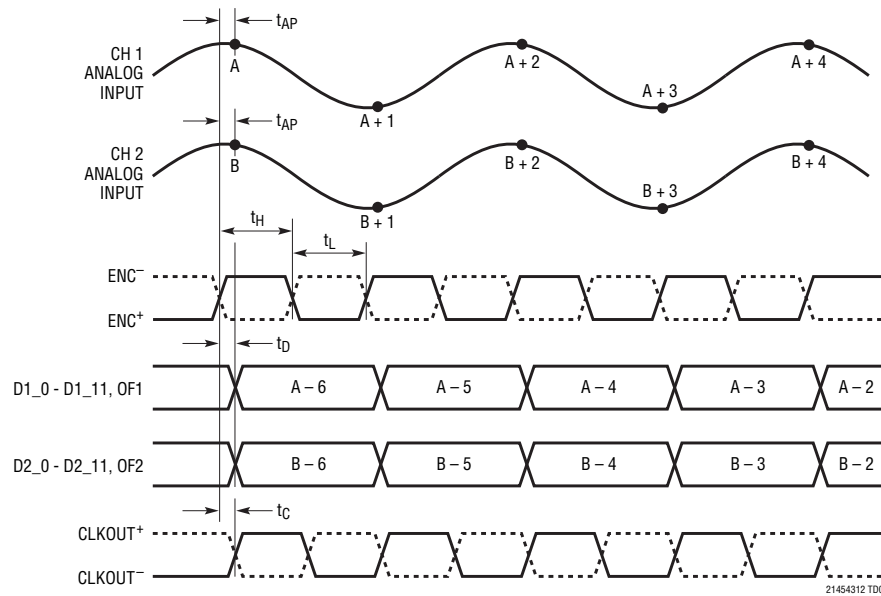


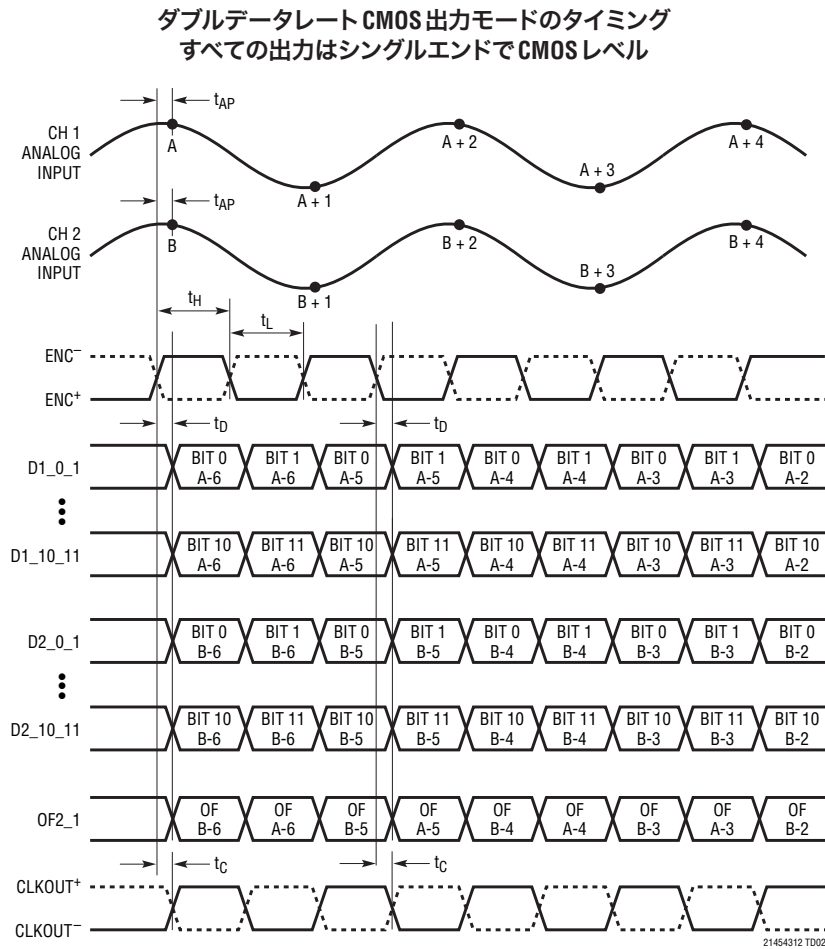
図1. 機能ブロック図

タイミング図

フルレート CMOS 出力モードのタイミング
すべての出力はシングルエンドで CMOS レベル

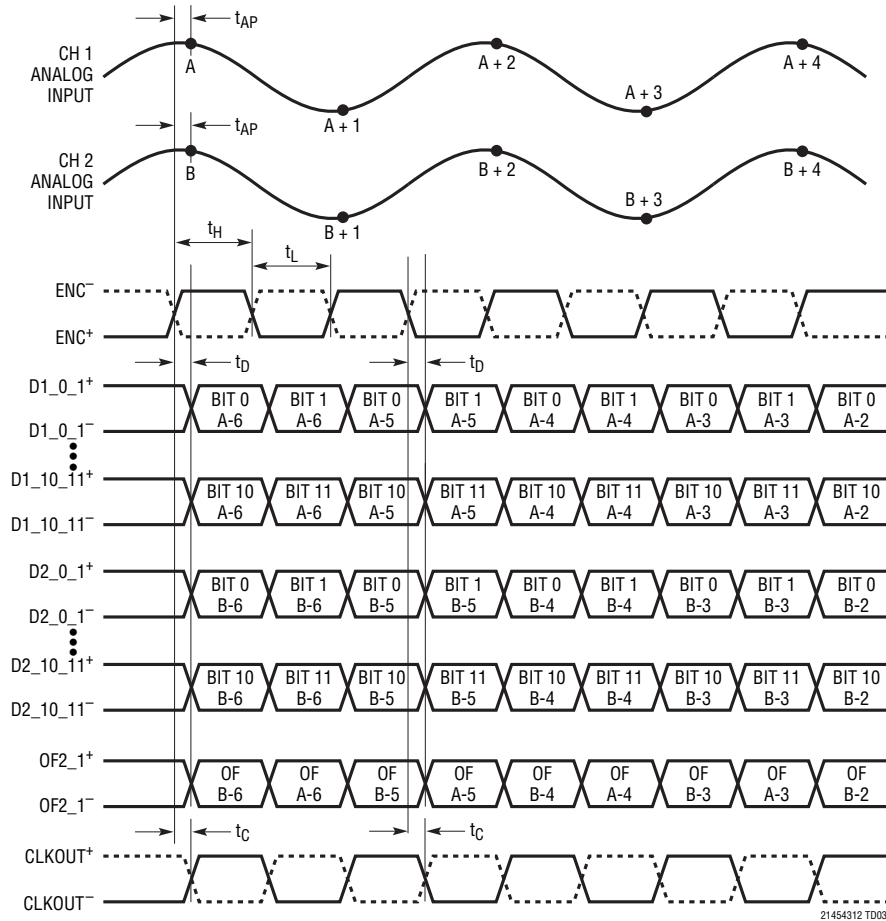


タイミング図

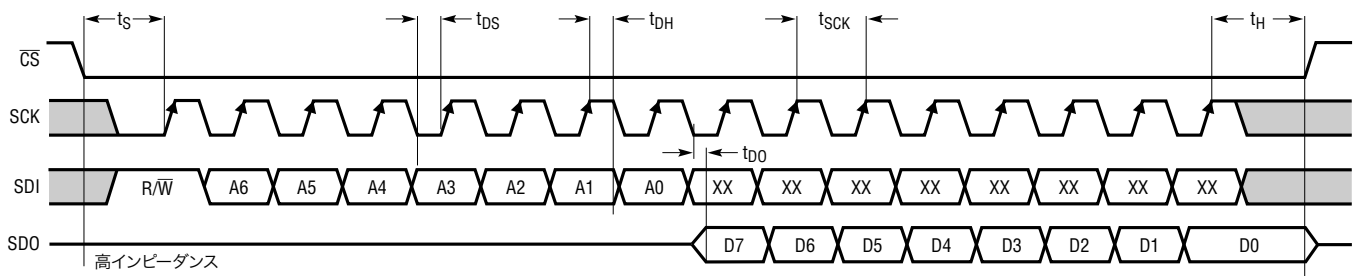


タイミング図

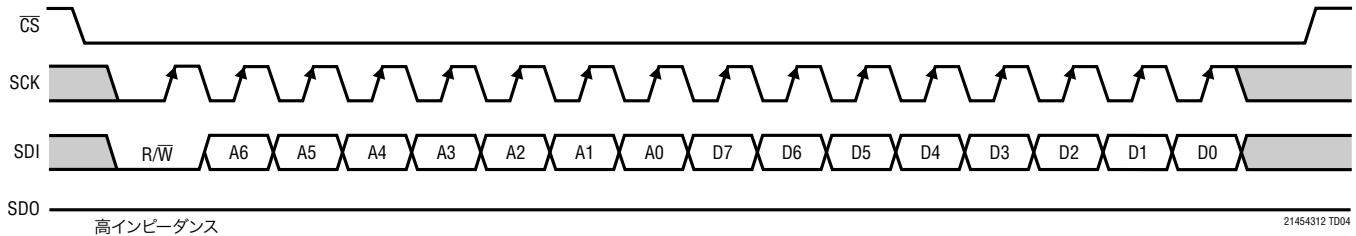
ダブルデータレート LVDS 出力モードのタイミング
すべての出力は差動で LVDS レベル



SPI ポートのタイミング (読み出しモード)



SPI ポートのタイミング (書き込みモード)



21454312 TD04

21454312fa

アプリケーション情報

コンバータの動作

LTC2145-12/LTC2144-12/LTC2143-12は、1.8V単一電源で動作する低消費電力、2チャンネル、12ビットの125Msps/105Msps/80Msps A/Dコンバータです。アナログ入力は差動でドライブします。エンコード入力は差動で、または消費電力を抑えるためにシングルエンドでドライブすることができます。デジタル出力は、CMOS、(出力ライン数を半分に減らすための)ダブルデータレートCMOS、または(システム内のデジタル・ノイズを減らすための)ダブルデータレートLVDSにすることができます。シリアルSPIポートを通してモード制御レジスタをプログラムすることにより、多くの追加機能を選択することができます。

アナログ入力

アナログ入力は差動CMOSサンプル・ホールド回路です(図2)。入力は、 V_{CM1} 出力ピンまたは V_{CM2} 出力ピンによって設定される同相電圧(公称 $V_{DD}/2$)を中心にして差動でドライブします。2Vの入力範囲の場合、入力を $V_{CM} - 0.5V$ から $V_{CM} + 0.5V$ まで振幅させます。入力間には 180° の位相差が必要です。

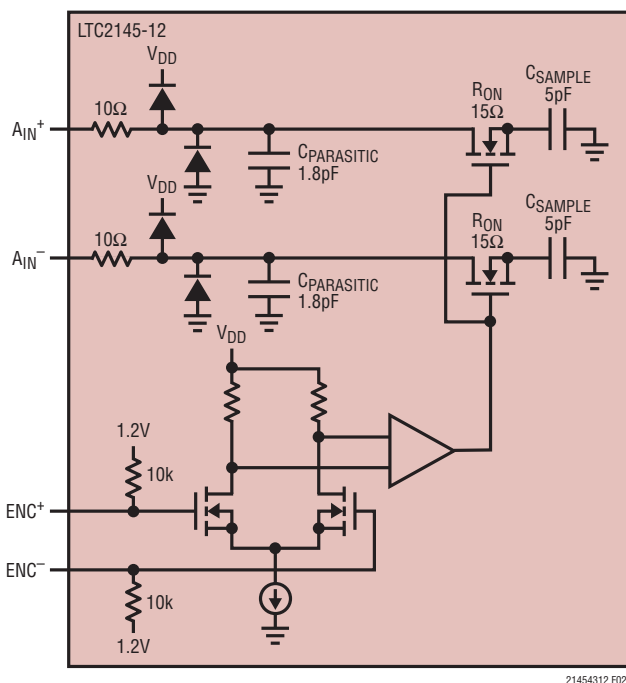


図2. 等価入力回路。2つのアナログ・チャンネルのうち1つのみを示す

2つのチャンネルは共有のエンコード回路(図2)によって同時にサンプリングされます。

シングルエンド入力

高調波歪みの影響を受けにくいアプリケーションでは、 V_{CM} を中心にした1V_{P-P}信号を使って A_{IN}^+ 入力をシングルエンドでドライブすることができます。 A_{IN}^- 入力は V_{CM} に接続し、 V_{CM} バイパス・コンデンサは2.2μFまで増加させます。シングルエンド入力を行うと、高調波歪みが増加しINLが低下しますが、ノイズとDNLは変化しません。

入力ドライブ回路

入力フィルタリング

可能であれば、アナログ入りにRCローパス・フィルタを接続します。このローパス・フィルタはドライブ回路をA/Dのサンプル・ホールドのスイッチング回路から絶縁し、ドライブ回路の広帯域ノイズも制限します。入力RCフィルタの一例を図3に示します。RC部品値はアプリケーションの入力周波数に基づいて選択します。

トランス結合回路

2次側にセンタータップを備えたRFトランスでドライブされるアナログ入力を図3に示します。センタータップは V_{CM} でバイアスされており、A/Dの入力を最適なDCレベルに設定します。入力周波数が高いときは、伝送ラインのバラン・トランス(図4～図6)のバランスが良くなるので、A/D変換の歪みが小さくなります。

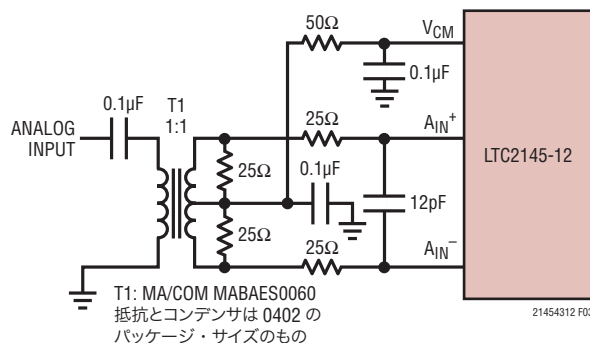


図3. トランスを使用したアナログ入力回路。5MHz～70MHzの入力周波数に対して推奨

アプリケーション情報

アンプ回路

高速差動アンプによってドライブされるアナログ入力を図7に示します。アンプの出力はA/DにAC結合されているので、アンプの出力の同相電圧を最適に設定して歪みを最小限に抑えることができます。

非常に高い周波数では、多くの場合、RF利得ブロックの方が差動アンプよりも歪みが少なくなります。利得ブロックがシングルエンドであれば、A/Dをドライブする前にトランス回路(図4～図6)で信号を差動に変換します。

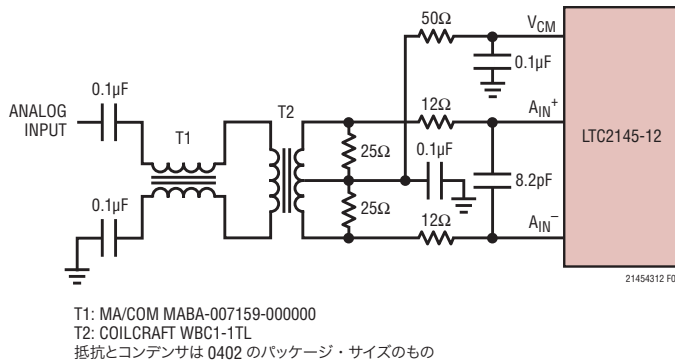


図 4. 4.5MHz～150MHzの入力周波数用の推奨フロントエンド回路

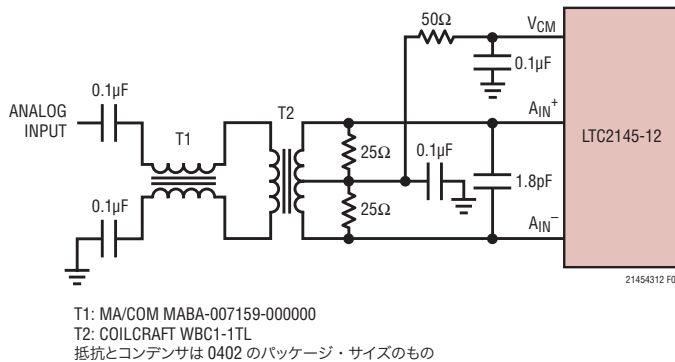


図 5. 150MHz～250MHzの入力周波数用の推奨フロントエンド回路

リファレンス

LTC2145-12/LTC2144-12/LTC2143-12は、1.25Vの電圧リファレンスを内蔵しています。内部リファレンスを使用する2Vの入力範囲の場合、SENSEをV_{DD}に接続します。内部リファレンスを使用する1Vの入力範囲の場合、SENSEをグラウンドに接続します。外部リファレンスを使用する2Vの入力範囲の場合、1.25Vのリファレンス電圧をSENSEに与えます(図9)。

0.625V～1.30Vの電圧をSENSEに印加することによって入力範囲を調整することができます。これにより、入力範囲は $1.6 \cdot V_{SENSE}$ になります。

V_{REF}、REFHおよびREFLの各ピンは図8に示すようにバイパスします。REFHとREFLの間のバイパスには、低インダクタンスの2.2µF インターデジタル・コンデンサを推奨します。このタイプのコンデンサは複数のメーカーから低価格で販売されています。

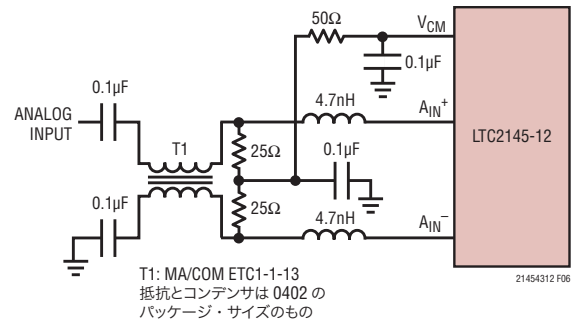


図 6. 250MHzを超える入力周波数用の推奨フロントエンド回路

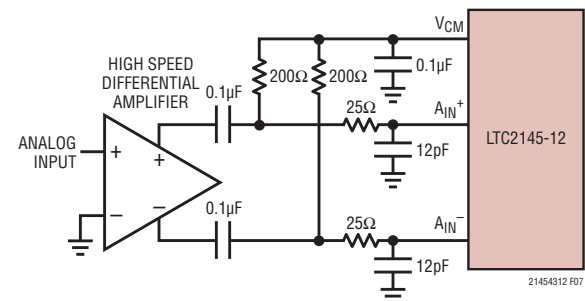


図 7. 高速差動アンプを使ったフロントエンド回路

LTC2145-12/ LTC2144-12/LTC2143-12

アプリケーション情報

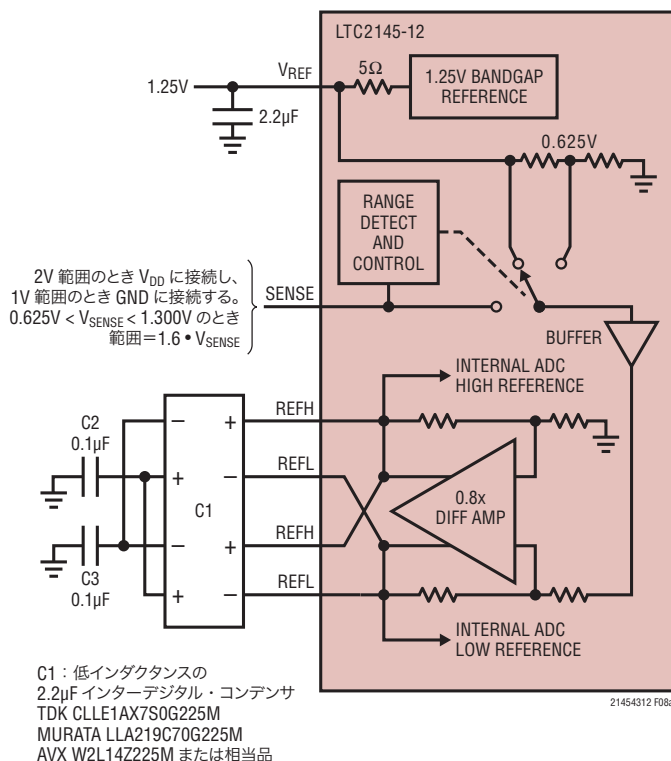


図 8a. リファレンス回路

また、REFHとREFLの間のC1を標準の2.2μFコンデンサで置き換えることができます(図8bを参照)。コンデンサは(回路基板の裏面ではなく)これら2つのピンにできるだけ近づけます。

REFH/REFLのバイパス・コンデンサの推奨基板レイアウトを図8cおよび図8dに示します。図8cでは、メーカーによってはインターデジタル・コンデンサ(C1)のピンが内部で接続されていないため、C1のすべてのピンを接続していることに注意してく

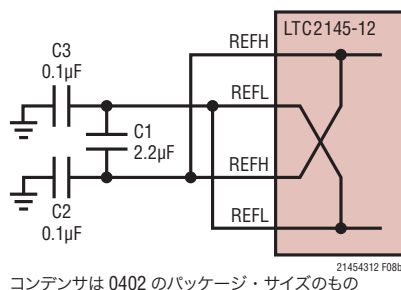


図 8b. REFH/REFLの代替バイパス回路

ださい。図8dでは、内部層の短いジャンパによってREFHピンとREFLピンを接続しています。これらのジャンパのインダクタンスを最小に抑えるために、別の基板層のグラウンド・プレーンの小さい穴にそれらを配置することができます。

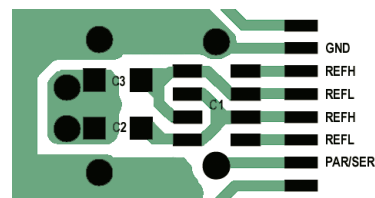


図 8c. 図 8a の REFH/REFL のバイパス回路の推奨レイアウト

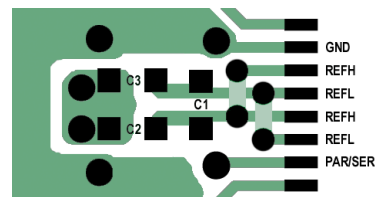


図 8d. 図 8b の REFH/REFL のバイパス回路の推奨レイアウト

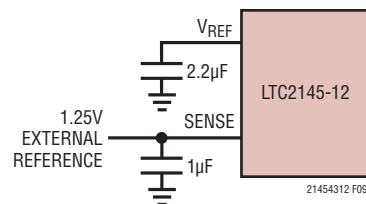


図 9. 1.25V の外部リファレンスの使い方

エンコード入力

エンコード入力の信号品質は、A/Dのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。回路基板上でデジタル・トレースに隣接して配線しないでください。エンコード入力には2つの動作モードがあります。差動エンコード・モード(図10)とシングルエンド・エンコード・モード(図11)です。

正弦波、PECLまたはLVDSのエンコード入力には、差動エンコード・モードを推奨します(図12および図13)。エンコード入力は内部で10kΩの等価抵抗を介して1.2Vにバイアスされています。エンコード入力は V_{DD} より高くすることができ(最

アプリケーション情報

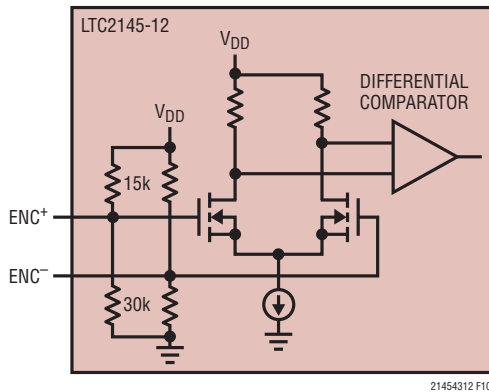


図10. 差動エンコード・モードの等価エンコード入力回路

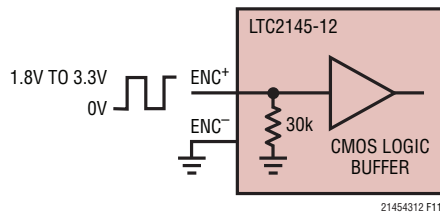


図11. シングルエンド・エンコード・モードの等価エンコード入力回路

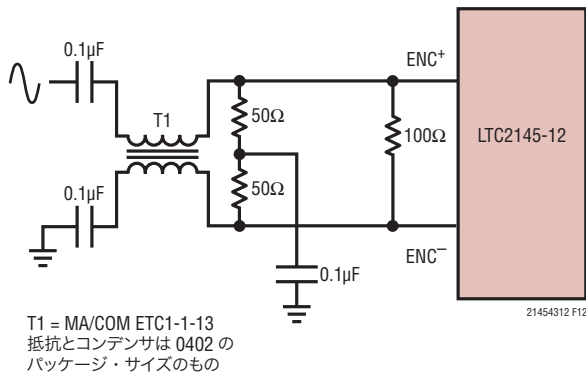


図12. 正弦波のエンコード・ドライブ

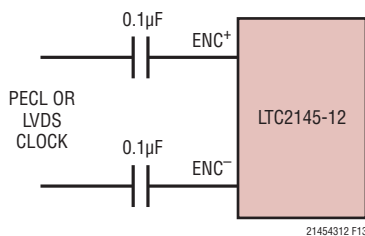


図13. PECL または LVDS のエンコード・ドライブ

大3.6V)、同相範囲は1.1V～1.6Vです。差動エンコード・モードでは、ENC⁻をグラウンドより200mV以上高い電圧に維持して、シングルエンド・エンコード・モードを誤ってトリガしないようにします。良好なジッタ性能を得るため、ENC⁺とENC⁻の立ち上がり時間と立ち下がり時間を速くします。

シングルエンド・エンコード・モードは、CMOS エンコード入力と組み合わせて使用します。このモードを選択するには、ENC⁻をグラウンドに接続し、ENC⁺を方形波のエンコード入力でドライブします。ENC⁺はV_{DD}より高くすることができるので(最大3.6V)、1.8V～3.3VのCMOSロジック・レベルを使用することができます。ENC⁺のしきい値は0.9Vです。良好なジッタ性能を得るため、ENC⁺の立ち上がり時間と立ち下がり時間を速くします。エンコード信号がオフするか、または約500kHzより低い周波数になると、A/Dがナップモードになります。

クロック・デューティサイクル・スタビライザ

良好な性能を得るために、エンコード信号のデューティサイクルを50%(±5%)にします。オプションのクロック・デューティサイクル・スタビライザ回路がイネーブルされていると、エンコードのデューティサイクルは30%～70%の間で変化することができます。デューティサイクル・スタビライザは内部のデューティサイクルを50%に保ちます。エンコード信号が周波数を変えると、デューティサイクル・スタビライザ回路は入力クロックにロックするのに100クロック・サイクルを要します。デューティサイクル・スタビライザはモード制御レジスタA2(シリアル・プログラミング・モード)によって、またはCS(パラレル・プログラミング・モード)によってイネーブルされます。

サンプル・レートを即座に変更する必要のあるアプリケーションでは、クロック・デューティサイクル・スタビライザをディスエーブルすることができます。デューティ・サイクル・スタビライザをディスエーブルする場合、サンプリング・クロックのデューティ・サイクルが50%(±5%)になるように注意してください。デューティサイクル・スタビライザは5Mspsより下では使わないでください。

デジタル出力

デジタル出力モード

LTC2145-12/LTC2144-12/LTC2143-12は、フルレートCMOSモード、(出力ライン数を半分に減らすための)ダブルデータレートCMOSモード、(システム内のデジタル・ノイズを減らすための)ダブルデータレートLVDSモードの3種類のデジタル

アプリケーション情報

出力モードで動作可能です。出力モードはモード制御レジスタ A3 (シリアル・プログラミング・モード) によって、または SCK (パラレル・プログラミング・モード) によって設定されます。ダブルデータレート CMOS はパラレル・プログラミング・モードでは選択できないことに注意してください。

フルレート CMOS モード

フルレート CMOS モードでは、データ出力 (D1_0 ~ D1_11 および D2_0 ~ D2_11)、オーバーフロー (OF2、OF1)、およびデータ出力クロック (CLKOUT⁺、CLKOUT⁻) が CMOS 出力レベルになります。出力は OV_{DD} と OGND から電力を供給され、A/D のコア電源とグラウンドからは絶縁されています。OV_{DD} は 1.1V ~ 1.9V の範囲をとることができるので、1.2V ~ 1.8V の CMOS ロジック出力が可能です。

良好な性能を得るために、デジタル出力が最小限の容量性負荷をドライブするようにします。負荷容量が 10pF より大きい場合、デジタル・バッファを使用します。

ダブルデータレート CMOS モード

ダブルデータレート CMOS モードでは、2つのデータ・ビットが多重化されて各データピンに出力されます。これにより、デジタル・ラインの数が 13 だけ減るので、基板配線が簡単になり、データを受け取るのに必要な入力ピンの数が減ります。データ出力 (D1_0_1、D1_2_3、D1_4_5、D1_6_7、D1_8_9、D1_10_11、D2_0_1、D2_2_3、D2_4_5、D2_6_7、D2_8_9、D2_10_11)、オーバーフロー (OF2_1)、およびデータ出力クロック (CLKOUT⁺、CLKOUT⁻) が CMOS 出力レベルになります。出力は OV_{DD} と OGND から電力を供給され、A/D のコア電源とグラウンドからは絶縁されています。OV_{DD} は 1.1V ~ 1.9V の範囲をとることができるので、1.2V ~ 1.8V の CMOS ロジック出力が可能です。どちらの ADC チャンネルのオーバーフローも OF2_1 ピンに多重化されることに注意してください。

良好な性能を得るために、デジタル出力が最小限の容量性負荷をドライブするようにします。負荷容量が 10pF より大きい場合、デジタル・バッファを使用します。

100Msps より高いサンプル・レートでダブルデータレート CMOS モードを使用すると、負荷容量と基板レイアウトによっては SNR がわずかに (約 0.1dB ~ 0.3 dB) 劣化することがあります。

ダブルデータレート LVDS モード

ダブルデータレート LVDS モードでは、2つのデータ・ビットが多重化されて各差動出力対に出力されます。ADC チャ

ネルごとに、デジタル出力データのための 6 つの LVDS 出力対 (D1_0_1⁺/D1_0_1⁻ ~ D1_10_11⁺/D1_10_11⁻ および D2_0_1⁺/D2_0_1⁻ ~ D2_10_11⁺/D2_10_11⁻) があります。オーバーフロー (OF2_1⁺/OF2_1⁻) とデータ出力クロック (CLKOUT⁺/CLKOUT⁻) はそれぞれ LVDS 出力対を備えています。どちらの ADC チャンネルのオーバーフローも OF2_1⁺/OF2_1⁻ 出力対に多重化されることに注意してください。

デフォルトでは、出力は標準 LVDS レベルです。すなわち、出力電流が 3.5mA、出力同相電圧が 1.25V です。各 LVDS 出力対には外付けの 100Ω 差動終端抵抗が必要です。終端抵抗は、LVDS レシーバのできるだけ近くに配置してください。

出力は OV_{DD} と OGND から電力を供給され、A/D のコア電源とグラウンドからは絶縁されています。LVDS モードでは、OV_{DD} を 1.8V にする必要があります。

設定可能な LVDS 出力電流

LVDS モードでは、既定の出力ドライバ電流は 3.5mA です。この電流はモード制御レジスタ A3 をシリアル・モードでプログラムすることにより調節することができます。設定可能な電流レベルは、1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mA および 4.5mA です。

オプションの LVDS ドライバの内部終端

ほとんどの場合、100Ω の外付け終端抵抗を使用するだけで LVDS の優れた信号品質が得られます。さらに、モード制御レジスタ A3 をシリアル・モードでプログラムすることにより、オプションの 100Ω の内部終端抵抗をイネーブルすることができます。内部終端には、レシーバ側の不完全な終端によって生じる反射を吸収する効果があります。内部終端がイネーブルされると、同じ出力電圧振幅を維持するために、出力ドライバ電流が 2 倍になります。

オーバーフロー・ビット

アナログ入力にオーバーレンジまたはアンダーレンジが生じると、オーバーフロー出力ビットがロジック“H”を出力します。オーバーフロー・ビットにはデータ・ビットと同じパイプライン待ち時間があります。フルレート CMOS モードでは、各 ADC チャンネルが固有のオーバーフロー・ピンを備えています (チャンネル 1 : OF1、チャンネル 2 : OF2)。DDR CMOS モードまたは DDR LVDS モードでは、どちらの ADC チャンネルのオーバーフローも OF2_1 出力に多重化されます。

アプリケーション情報

出力クロックの位相シフト

フルレートCMOSモードでは、データ出力ビットは通常CLKOUT⁺の立ち下がりエッジと同時に変化するので、CLKOUT⁺の立ち上がりエッジを使って出力データをラッチすることができます。ダブルデータレートのCMOSおよびLVDSの各モードでは、データ出力ビットは通常CLKOUT⁺の立ち下がりエッジおよび立ち上がりエッジと同時に変化します。データをラッチするとき適切なセットアップ時間とホールド時間を与えるには、データ出力ビットに対してCLKOUT⁺信号の位相をシフトさせる必要があるかもしれません。ほとんどのFPGAはこの機能を備えており、これが一般にタイミングを調整する最良のポイントです。

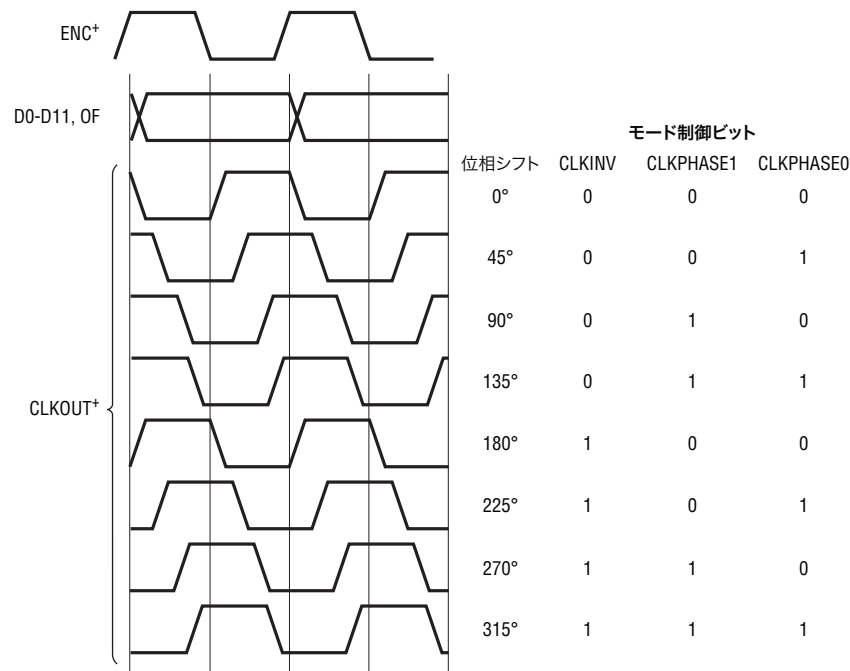
LTC2145-12/LTC2144-12/LTC2143-12は、モード制御レジスタA2をシリアル・モードでプログラムすることにより、CLKOUT⁺/CLKOUT⁻信号の位相をシフトすることもできます。出力クロックは0°、45°、90°または135°だけシフトすることができます。位相シフト機能を使うには、クロック・デューティサイクル・スタビライザをオンする必要があります。もう1つの制御レジスタ・ビットは、位相シフトとは関係なく、CLKOUT⁺とCLKOUT⁻の極性を反転させることができます。これら2つの機能を組み合わせると、45°から315°までの位相シフトが可能になります(図14)。

データ・フォーマット

アナログ入力電圧、デジタル・データ出力ビット、およびオーバーフロー・ビットの相互関係を表1に示します。デフォルトでは、出力のデータ形式はオフセット・バイナリです。モード制御レジスタA4をシリアル・モードでプログラムすることにより、2の補数形式を選択することができます。

表1. 出力コードと入力電圧

A _{IN} ⁺ - A _{IN} ⁻ (2V範囲)	OF	D11~D0 (オフセット・バイナリ)	D11~D0 (2の補数)
>+1.000000V	1	1111 1111 1111	0111 1111 1111
+0.999512V	0	1111 1111 1111	0111 1111 1111
+0.999024V	0	1111 1111 1110	0111 1111 1110
+0.000488V	0	1000 0000 0001	0000 0000 0001
0.000000V	0	1000 0000 0000	0000 0000 0000
-0.000488V	0	0111 1111 1111	1111 1111 1111
-0.000976V	0	0111 1111 1110	1111 1111 1110
-0.999512V	0	0000 0000 0001	1000 0000 0001
-1.000000V	0	0000 0000 0000	1000 0000 0000
≤-1.000000V	1	0000 0000 0000	1000 0000 0000



21454312 F14

図14. CLKOUTの位相シフト

アプリケーション情報

デジタル出力ランダムマイザ

A/D コンバータのデジタル出力からの干渉は、場合によっては避けられません。デジタル干渉は、容量性結合や誘導性結合、あるいはグランド・プレーンを介した結合によって発生する可能性があります。結合係数がきわめて小さい場合でも、そのためにADC出力スペクトラムに不要なトーンが発生することがあります。デジタル出力をデバイスから伝送する前にランダム化することにより、これらの不要なトーンをランダム化し、それによって不要なトーン振幅を減少させることができます。

デジタル出力は、LSBと他のすべてのデータ出力ビットとの間で排他的論理和ロジック演算を行うことによって「ランダム化」されます。デコードするには逆の演算を行います。つまり、LSBと他のすべてのビットとの間で排他的論理和演算を行います。LSB、OF、およびCLKOUTの各出力は影響を受けません。モード制御レジスタA4をシリアル・モードでプログラムすることにより、出力ランダムマイザをイネーブルすることができます。

交互ビット極性

回路基板のデジタル帰還を減らすもうひとつの機能は交互ビット極性モードです。このモードがイネーブルされると、全ての奇数ビット(D1、D3、D5、D7、D9、D11)が出力バッファの前で反転します。偶数ビット(D0、D2、D4、D6、D8、D10)、OFおよびCLKOUTは影響を受けません。これにより、回路基板のグランド・プレーンのデジタル電流を減らし、(特に非常に小さなアナログ入力信号の場合)デジタル・ノイズを減らすことができます。

A/Dの入力にミッドスケールのあたりを中心にした非常に小さな信号があるとき、デジタル出力はほとんど1とほとんど0の間をトグルします。このようにほとんどのビットを同時に切り替えると、大きな電流がグランド・プレーンを流れます。1つおきにビットを反転させることにより、交互ビット極性モードはビットの半数を“H”に遷移させ、ビットの半数を“L”に遷移させます。これにより、グランド・プレーンの電流がキャンセルされ、デジタル・ノイズが減少します。

デジタル出力は、奇数ビット(D1、D3、D5、D7、D9、D11)を反転させることにより、レシーバでデコードされます。交互ビット極性モードはデジタル出力ランダムマイザからは独立しています。つまり、どちらかの機能だけをオンすることも、両方の機能を同時にオンすることも、両方の機能を同時にオフすることも可能です。モード制御レジスタA4をシリアル・モードでプログラムすることにより、交互ビット極性モードがイネーブルされます。

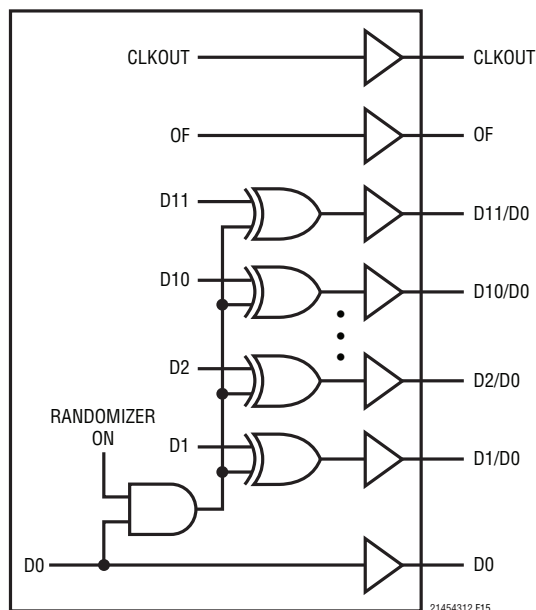


図 15. デジタル出力ランダムマイザの等価機能

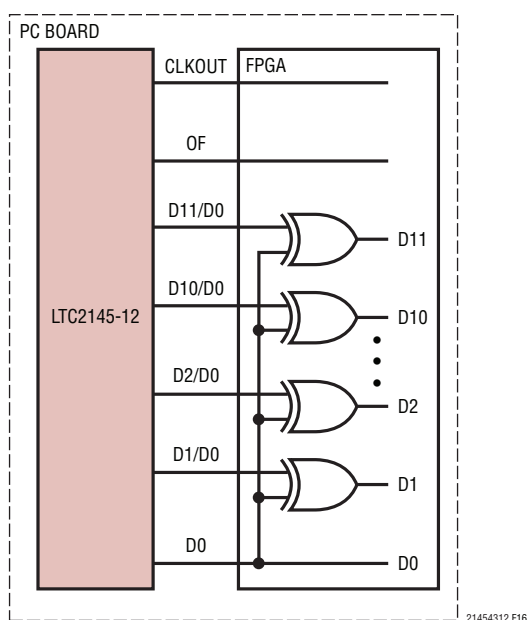


図 16. ランダム化されたデジタル出力信号の復元

アプリケーション情報

デジタル出力のテストパターン

A/D へのデジタル・インタフェースのインサート・テストを可能にするため、A/D のデータ出力 (OF、D11 ~ D0) を既知の値に強制するいくつかのテスト・モードがあります。

オール1: すべての出力が1

オール0: すべての出力が0

交互: サンプルの出力が交互にオール1からオール0に変化する。

格子縞: サンプルの出力が交互に 1010101010101 から 0101010101010 に変化する。

モード制御レジスタ A4 をシリアル・モードでプログラムすることにより、デジタル出力テストパターンをイネーブルすることができます。テストパターンがイネーブルされると、他のすべての形式設定モード (2 の補数、ランダムイザ、交互ビット極性) がオーバーライドされます。

出力のディスエーブル

モード制御レジスタ A3 をシリアル・モードでプログラムすることにより、デジタル出力をディスエーブルすることができます。OF および CLKOUT を含むすべてのデジタル出力がディスエーブルされます。高インピーダンスのディスエーブル状態は、インサート・テストまたは長期間の休止状態のためであり、複数のコンバータ間でデータ・バスをフルスピードで多重化するには遅すぎて使えません。出力をディスエーブルするときは、両方のチャンネルをスリープ・モードまたはナップ・モードにしてください。

スリープ・モードとナップ・モード

節電のため、A/D をスリープ・モードまたはナップ・モードにすることができます。スリープ・モードでは、デバイス全体がパワーダウンし、消費電力は 1mW になります。スリープ・モードから回復するのに要する時間は、 V_{REF} 、REFH および REFL のバイパス・コンデンサの容量によって決まります。図 8 の推奨値の場合、A/D コンバータは 2ms 後に安定します。

ナップ・モードでは、A/D のコアはパワーダウンしますが、内部リファレンス回路はアクティブなままなので、スリープ・モードより速くウェイクアップすることができます。ナップ・モードからの回復には、少なくとも 100 クロック・サイクルが必要です。非常に高精度な DC セットリングが必要なアプリケーションの場合、50 μ s を追加することにより、A/D がナップ・モードから移行す

るときの電源電流の変化によって生じるわずかな温度変化に対して内蔵リファレンスがセトリングできるようにします。チャンネル 2 または両方のチャンネルをナップ・モードにすることはできませんが、チャンネル 1 をナップ・モードにしてチャンネル 2 を通常動作させることはできません。

スリープ・モードとナップ・モードは、モード制御レジスタ A1 (シリアル・プログラミング・モード) または SDI と SDO (パラレル・プログラミング・モード) によってイネーブルされます。

デバイスのプログラミング・モード

LTC2145-12/LTC2144-12/LTC2143-12 の動作モードは、パラレル・インタフェースとシンプルなシリアル・インタフェースのいずれでもプログラムできます。シリアル・インタフェースは柔軟性が高く、選択可能なすべてのモードをプログラムできます。パラレル・インタフェースには制限が多く、よく使用される一部のモードのみをプログラムできます。

パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、 $\overline{\text{PAR/SER}}$ を V_{DD} に接続します。 $\overline{\text{CS}}$ 、SCK、SDI および SDO の各ピンはバイナリ・ロジック入力で、特定の動作モードを設定します。これらのピンは V_{DD} またはグランドに接続するか、あるいは 1.8V、2.5V または 3.3V の CMOS ロジックでドライブすることができます。入力として使用する場合、SDO は 1k の直列抵抗を介してドライブします。表 2 に、 $\overline{\text{CS}}$ 、SCK、SDI、および SDO で設定されるモードを示します。

表 2. パラレル・プログラミング・モードの制御ビット ($\overline{\text{PAR/SER}} = V_{DD}$)

ピン	説明
$\overline{\text{CS}}$	クロック・デューティサイクル・スタビライザ制御ビット 0 = クロック・デューティサイクル・スタビライザをオフ 1 = クロック・デューティサイクル・スタビライザをオン
SCK	デジタル出力モード制御ビット 0 = フルレート CMOS 出力モード 1 = ダブルデータレート LVDS 出力モード (LVDS 電流が 3.5mA、内部終端はオフ)
SDI/SDO	パワーダウン制御ビット 00 = 通常動作 01 = チャンネル 1 は通常動作、チャンネル 2 はナップ・モード 10 = チャンネル 1、チャンネル 2 もナップ・モード 11 = スリープ・モード (デバイス全体がパワーダウン)

アプリケーション情報

シリアル・プログラミング・モード

シリアル・プログラミング・モードを使うには、 $\overline{\text{PAR}}/\overline{\text{SER}}$ をグラウンドに接続します。 $\overline{\text{CS}}$ 、 SCK 、 SDI および SDO の各ピンは、A/Dのモード制御レジスタをプログラムするシリアル・インタフェースになります。データは、16ビットのシリアル・ワードでレジスタに書き込まれます。レジスタの内容を検証するため、データをレジスタから読み出すこともできます。

シリアル・データ転送は $\overline{\text{CS}}$ が“L”になると開始されます。 SDI ピンのデータは、 SCK の先頭から16番目までの立ち上がりエッジでラッチされます。先頭から16番目より後の SCK 立ち上がりエッジは無視されます。データ転送は $\overline{\text{CS}}$ が再度“H”になると終了します。

16ビットの入力ワードの最初のビットは $\text{R}/\overline{\text{W}}$ ビットです。次の7ビットはレジスタのアドレス(A6:A0)です。最後の8ビットはレジスタのデータ(D7:D0)です。

$\text{R}/\overline{\text{W}}$ ビットが“L”の場合、シリアル・データ(D7:D0)はアドレス・ビット(A6:A0)で設定されるレジスタに書き込まれます。 $\text{R}/\overline{\text{W}}$ ビットが“H”の場合、アドレス・ビット(A6:A0)によって指定されるレジスタ内のデータが SDO ピンで読み出されます(タイミング図を参照)。読み出しコマンドの実行中、レジスタは更新されず、 SDI のデータは無視されます。

SDO ピンはオープン・ドレイン出力で、 200Ω のインピーダンスでグラウンドに引き下げられます。 SDO を介してレジスタのデータを読み出す場合は、 $2k\Omega$ の外付けプルアップ抵抗が必要です。シリアル・データが書き込み専用で読み出しの必要がない場合には、 SDO をフロートさせておくことができるので、プルアップ抵抗は必要ありません。

モード制御レジスタのマップを表3に示します。

ソフトウェア・リセット

シリアル・プログラミングを使用する場合には、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、すべてのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットでなければなりません。ソフトウェアによるリセットを実行するには、リセット・レジスタのビットD7にロジック1を書き込みます。リセットSPI書き込みコマンドが完了した後、ビットD7は自動的に再度ゼロに設定されます。

接地とバイパス

LTC2145-12/LTC2144-12/LTC2143-12には、切れ目のないクリーンなグラウンド・プレーンを備えたプリント回路基板が必要です。ADCの下層の最初の層に内部グラウンド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、ADCの下に配置したりしないように注意してください。

V_{DD} 、 OV_{DD} 、 V_{CM} 、 V_{REF} 、 REFH 、 REFL の各ピンには、高品質のセラミック・バイパス・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。0402サイズのセラミック・コンデンサを推奨します。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くする必要があります。

特に重要なのは、 REFH と REFL の間に配置するコンデンサです。このコンデンサは、A/Dコンバータと同じ側の回路基板上で、できるだけデバイスの近くに配置します。

アナログ入力、エンコード信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに絶縁するためのバリヤとして、グラウンド領域とグラウンド・ピアを使用します。

熱伝達

LTC2145-12/LTC2144-12/LTC2143-12によって発生する熱の大半は、ダイから底面の露出パッドとパッケージのリードを通して、プリント回路基板に伝達されます。優れた電気的性能と熱性能を得るには、露出パッドをPC基板の大きな接地されたパッドに半田付けする必要があります。このパッドは、多数のピアにより、内部のグラウンド・プレーンに接続します。

アプリケーション情報

表3. シリアル・プログラミング・モードのレジスタ・マップ (PAR/SE \overline{R} = GND)

レジスタA0:リセット・レジスタ(アドレス00h)

D7	D6	D5	D4	D3	D2	D1	D0
RESET	X	X	X	X	X	X	X

ビット7 **RESET** ソフトウェア・リセット・ビット

0 = 不使用

1 = ソフトウェアによるリセット。すべてのモード制御レジスタが00hにリセットされる。ADCは一時的にスリープ・モードになる。このビットはSPI書き込みコマンドの終了時に自動的に再度ゼロに設定される。リセット・レジスタは書き込み専用。リセット・レジスタからのデータの読み出しはランダムとなる。

ビット6～0 使用されない、ドントケア・ビット

レジスタA1:パワーダウン・レジスタ(アドレス01h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	PWROFF1	PWROFF0

ビット7～2 使用されない、ドントケア・ビット

ビット1～0 **PWROFF1:PWROFF0** パワーダウン制御ビット

00 = 通常動作

01 = チャンネル1は通常動作、チャンネル2はナップ・モード

10 = チャンネル1、チャンネル2ともナップ・モード

11 = スリープ・モード

レジスタA2:タイミング・レジスタ(アドレス02h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	CLKINV	CLKPHASE1	CLKPHASE0	DCS

ビット7～4 使用されない、ドントケア・ビット

ビット3 **CLKINV** 出力クロック反転ビット

0 = 通常のCLKOUT極性(タイミング図参照)

1 = 反転したCLKOUT極性

ビット2～1 **CLKPHASE1:CLKPHASE0** 出力クロックの位相遅延ビット

00 = CLKOUT遅延なし(タイミング図参照)

01 = CLKOUT⁺/CLKOUT⁻を45°(クロック周期の1/8)だけ遅延

10 = CLKOUT⁺/CLKOUT⁻を90°(クロック周期の1/4)だけ遅延

11 = CLKOUT⁺/CLKOUT⁻を135°(クロック周期の3/8)だけ遅延

Note:CLKOUT位相遅延機能を使う場合、クロック・デューティサイクル・スタビライザもオンする必要がある

ビット0 **DCS** クロック・デューティサイクル・スタビライザ・ビット

0 = クロック・デューティサイクル・スタビライザをオフ

1 = クロック・デューティサイクル・スタビライザをオン

LTC2145-12/ LTC2144-12/LTC2143-12

アプリケーション情報

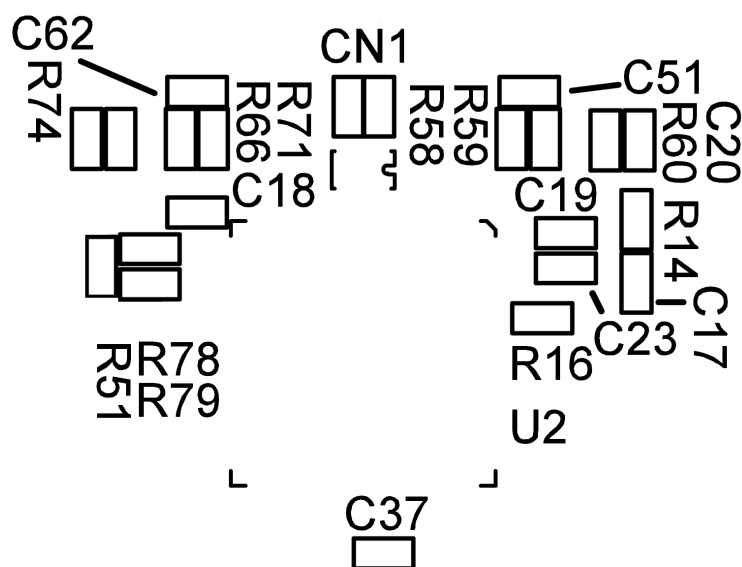
レジスタ A3: 出力モード・レジスタ (アドレス 03h)

D7	D6	D5	D4	D3	D2	D1	D0
X	ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTMODE1	OUTMODE0
ビット 7	使用されない、ドントケア・ビット						
ビット 6 ~ 4	ILVDS2:ILVDS0 LVDS 出力電流ビット 000 = 3.5mA の LVDS 出力ドライバ電流 001 = 4.0mA の LVDS 出力ドライバ電流 010 = 4.5mA の LVDS 出力ドライバ電流 011 = 不使用 100 = 3.0mA の LVDS 出力ドライバ電流 101 = 2.5mA の LVDS 出力ドライバ電流 110 = 2.1mA の LVDS 出力ドライバ電流 111 = 1.75mA の LVDS 出力ドライバ電流						
ビット 3	TERMON LVDS 内部終端ビット 0 = 内部終端をオフ 1 = 内部終端をオン。LVDS 出力ドライバ電流は ILVDS2:ILVDS0 によって設定される電流の 2 倍						
ビット 2	OUTOFF 出力のディスエーブル・ビット 0 = デジタル出力をイネーブル 1 = デジタル出力をディスエーブルし、出力を高インピーダンスにする Note: デジタル出力をディスエーブルする場合は、デバイスもスリープ・モードまたはナップ・モードにする (両チャンネルとも)。						
ビット 1 ~ 0	OUTMODE1:OUTMODE0 デジタル出力モード制御ビット 00 = フルレート CMOS 出力モード 01 = ダブルデータレート LVDS 出力モード 10 = ダブルデータレート CMOS 出力モード 11 = 不使用						

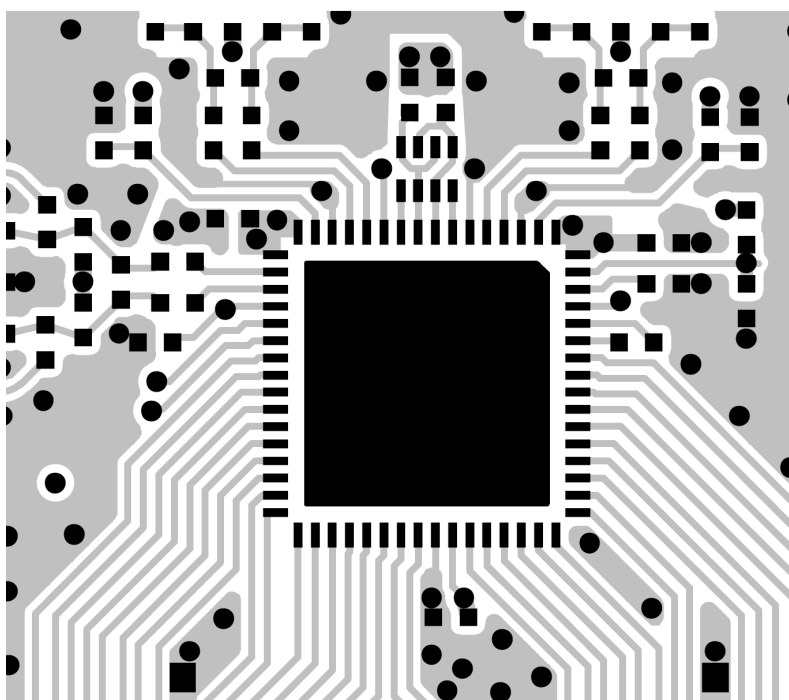
レジスタ A4: データ・フォーマット・レジスタ (アドレス 04h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	OUTTEST2	OUTTEST1	OUTTEST0	ABP	RAND	TWOSCOMP
ビット 7 ~ 6	使用されない、ドントケア・ビット						
ビット 5 ~ 3	OUTTEST2:OUTTEST0 デジタル出力のテストパターン・ビット 000 = デジタル出力のテストパターンをオフ 001 = すべてのデジタル出力 = 0 011 = すべてのデジタル出力 = 1 101 = 格子縞出力パターン。OF、D11 ~ D0 は 1 0101 0101 0101 と 0 1010 1010 1010 を交互に出力 111 = 交互出力パターン。OF、D11 ~ D0 は 0 0000 0000 0000 と 1 1111 1111 1111 を交互に出力 Note: 他のビットの組み合わせは使用されない						
ビット 2	ABP 交互ビット極性モード制御ビット 0 = 交互ビット極性モードをオフ 1 = 交互ビット極性モードをオン。出力形式をオフセット・バイナリに強制する						
ビット 1	RAND データ出力ランダムマイザ・モード制御ビット 0 = データ出力ランダムマイザ・モードをオフ 1 = データ出力ランダムマイザ・モードをオン						
ビット 0	TWOSCOMP 2 の補数モード制御ビット 0 = オフセット・バイナリのデータ形式 1 = 2 の補数のデータ形式						

標準的応用例

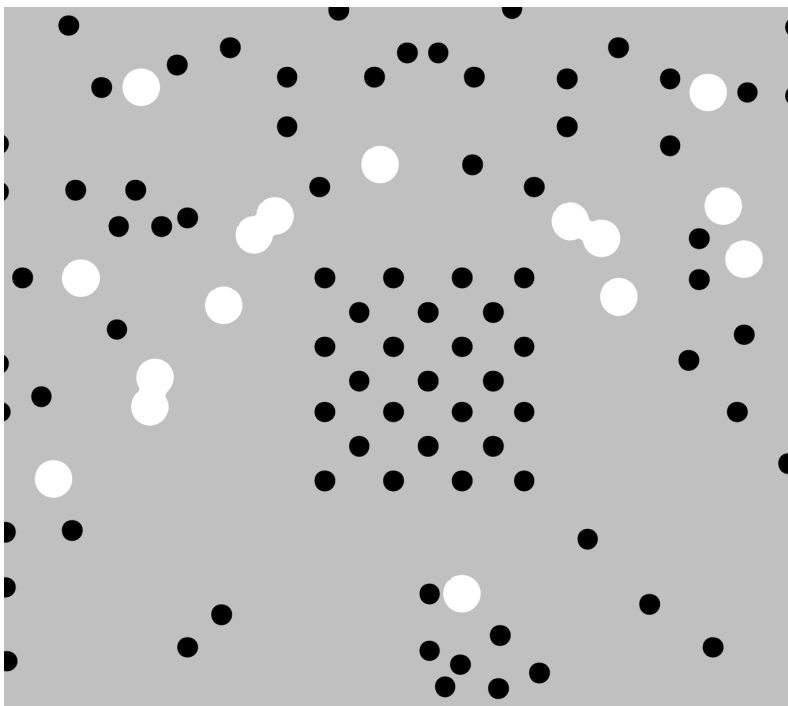


部品面シルク

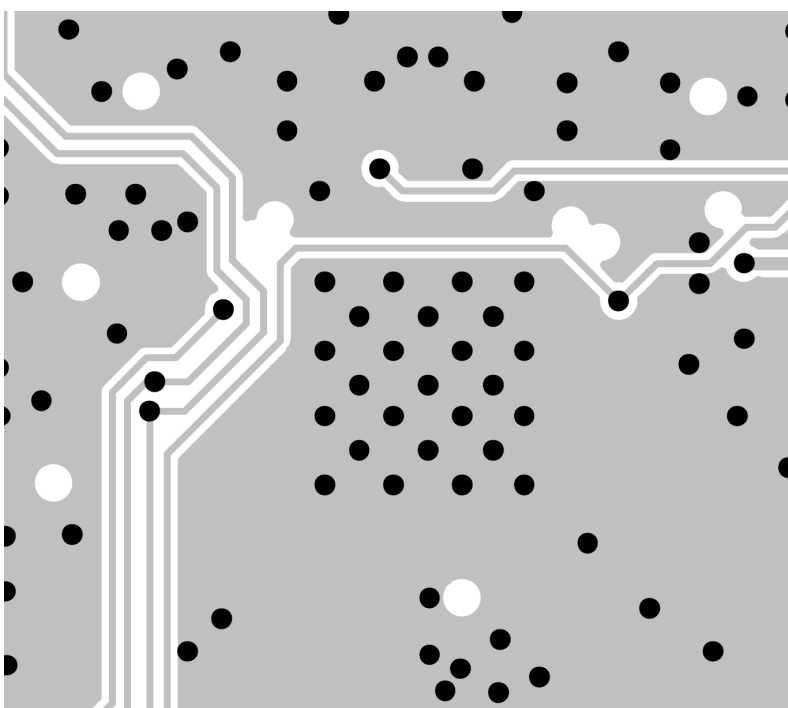


上面

標準的応用例

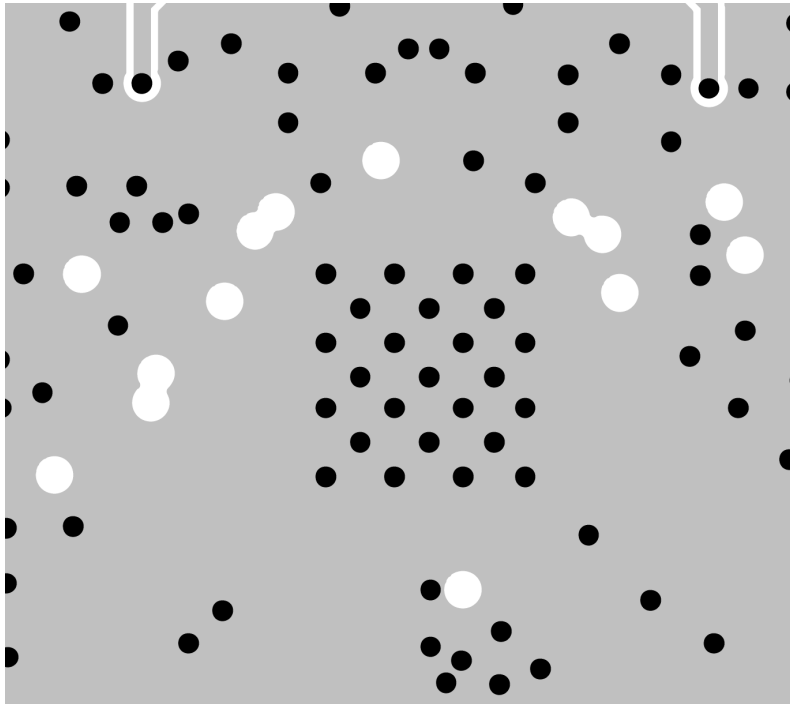


内部第2層 GND

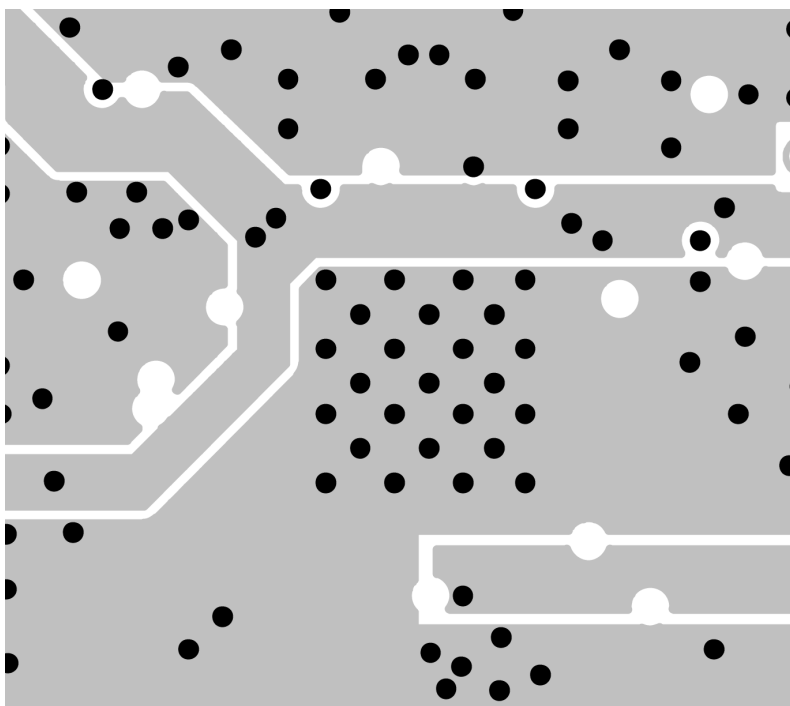


内部第3層

標準的応用例

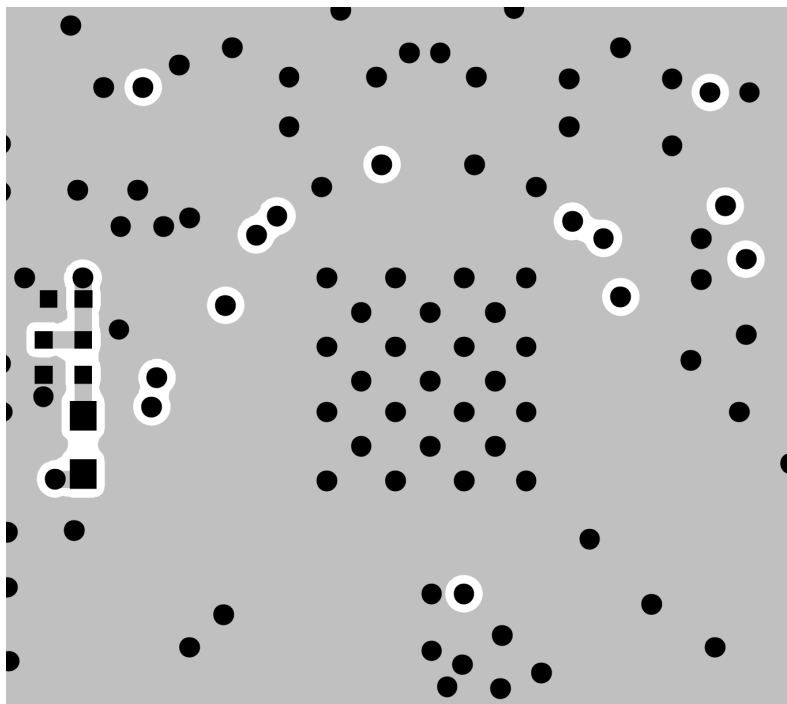


内部第4層



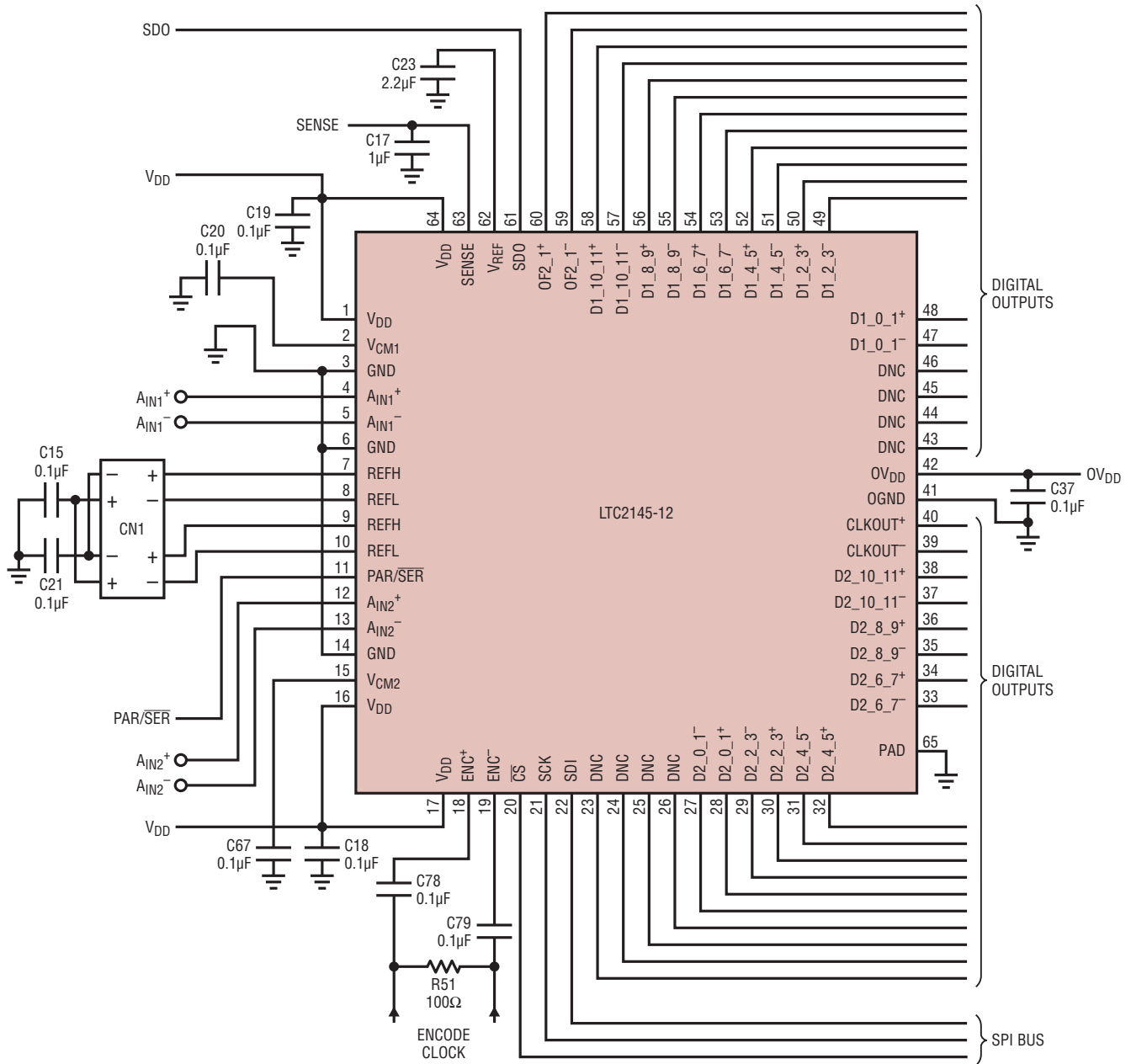
内部第5層電源

標準的応用例



底面

標準の応用例



LTC2145-12 の回路図

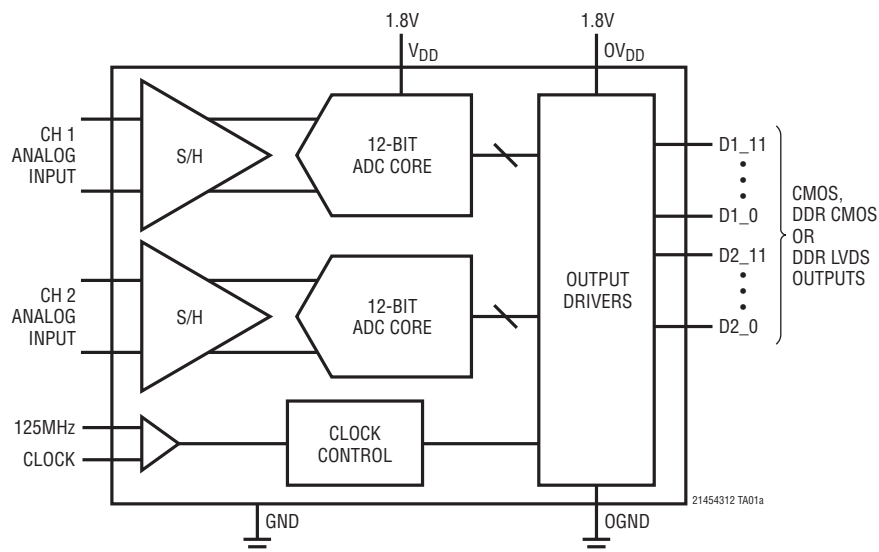
21454312 TA02

改訂履歴

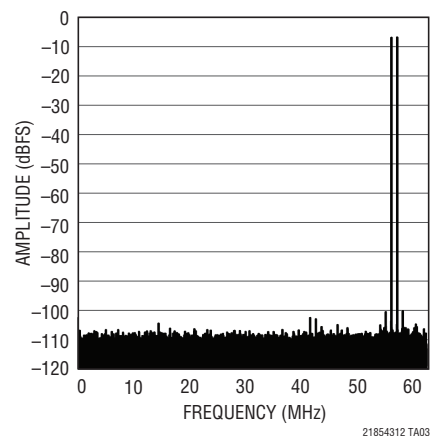
REV	日付	概要	ページ番号
A	7/12	チャンネル1データバス(D1_*)のピン説明で「チャンネル1」に記述修正	16

LTC2145-12/ LTC2144-12/LTC2143-12

標準的応用例



2 トーン FFT、 $f_{IN} = 70\text{MHz}$ および 69MHz



関連製品

製品番号	説明	注釈
ADC		
LTC2185/LTC2184/ LTC2183	16ビット、125Msps/105Msps/80Msps 1.8V デュアル ADC	200mW/308mW/370mW, SNR: 76.8dB, SFDR: 90dB, DDR LVDS/DDR CMOS/CMOS 出力、9mm×9mm QFN-64
LTC2145-14/LTC2144-14/ LTC2143-14	14ビット、125Msps/105Msps/80Msps 1.8V/デュアル ADC	189mW/149mW/113mW, SNR: 73dB, SFDR: 90dB, DDR LVDS/DDR CMOS/CMOS 出力、9mm×9mm QFN-64
LTC2259-14/LTC2260-14/ LTC2261-14	14ビット、80Msps/105Msps/125Msps、 超低消費電力 1.8V ADC	89mW/106mW/127mW, SNR: 73.4dB, SFDR: 85dB, DDR LVDS/DDR CMOS/CMOS 出力、6mm×6mm QFN-40
LTC2262-14	14ビット、150Msps 超低消費電力 1.8V ADC	149mW, SNR: 72.8dB, SFDR: 88dB, DDR LVDS/DDR CMOS/CMOS 出力、 6mm×6mm QFN-40
LTC2266-14/LTC2267-14/ LTC2268-14	14ビット、80Msps/105Msps/125Msps、 超低消費電力 1.8V デュアル ADC	203mW/243mW/299mW, SNR: 73.1dB, SFDR: 88dB、シリアル LVDS 出力、 6mm×6mm QFN-40
LTC2266-12/LTC2267-12/ LTC2268-12	12ビット、80Msps/105Msps/125Msps、 超低消費電力 1.8V デュアル ADC	200mW/238mW/292mW, SNR: 70.6dB, SFDR: 88dB、シリアル LVDS 出力、 6mm×6mm QFN-40
RF ミキサ/復調器		
LT5517	40MHz ~ 900MHz 直接変換直交復 調器	高い IIP3: 800MHz で 21dBm、LO 直交ジェネレータ内蔵
LT5557	400MHz ~ 3.8GHz 高直線性ダウコン バーティング・ミキサ	IIP3は2.6GHzで23.7dBm、3.5GHzで23.5dBm、NF = 13.2dB、3.3V電源動作、 トランス内蔵
LT5575	800MHz ~ 2.7GHz 直接変換直交復 調器	高い IIP3: 900MHz で 28dBm、LO 直交ジェネレータ内蔵、RF および LO トラ ンス内蔵
アンプ/フィルタ		
LTC6412	800MHz、31dB レンジ、アナログ制御 VGA	連続調整可能な利得制御、240MHzでの OIP3: 35dBm、 ノイズフィギュア: 10dB、4mm×4mm QFN-24
LTC6605-7/LTC6605-10/ LTC6605-14	ADCドライバ付きの整合したデュアル 7MHz/10MHz/14MHz フィルタ	差動ドライバ付きの整合した2個の2次ローパス・フィルタ、ピンでプログラム 可能な利得、6mm×3mm DFN-22
シグナルチェーン・レシーバ		
LTM9002	14ビット・デュアル・チャネル IF/ベース バンド・レシーバ・サブシステム	高速 ADC、パッシブ・フィルタ、固定利得差動アンプを内蔵

21454312fa