

JESD204B シリアル出力を備えた デュアル14ビット、 250Msps A/D コンバータ

特長

- 5GbpsのJESD204B インタフェース
- SNR: 70dBFS
- SFDR: 90dBFS
- 低消費電力: 864mW(合計)
- 1.8V単電源
- 1.5V_{p-p}の入力電圧範囲を容易に駆動
- フルパワー帯域幅が1.25GHzのサンプル/ホールド
- オプションのクロック2分周回路
- オプションのクロック・デューティ・サイクル・スタビライザ
- 低消費電力のスリープ・モードおよびナップ・モード
- 設定用のシリアルSPIポート
- 48ピン(7mm×7mm)QFNパッケージ

アプリケーション

- 通信機器
- セルラ基地局
- ソフトウェア無線
- 医療用画像処理
- 高精細ビデオ機器
- テスト装置および測定装置

概要

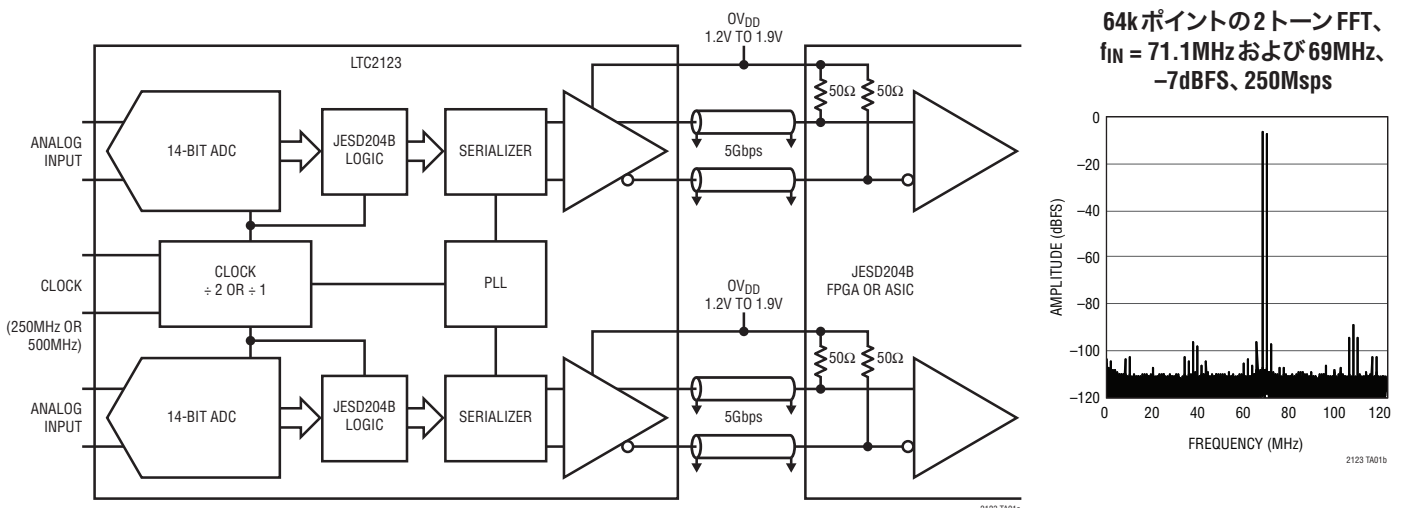
LTC[®]2123は、JESD204Bシリアル出力を備えた2チャンネル同時サンプリングの250Msps、14ビットA/Dコンバータです。このデバイスは、ダイナミックレンジの広い高周波信号をデジタル化する目的で設計されています。SNR (信号対ノイズ比)が70dB、SFDR (スプリアスのないダイナミックレンジ)が90dBというAC特性を備えているため、要求の厳しい通信アプリケーションに最適です。入力帯域幅が1.25GHzなので、このA/Dコンバータは高周波数でのアンダーサンプリングが可能です。

5GbpsのJESD204Bシリアル・インタフェースを内蔵しているので、必要なデータ線の数をも最小限に抑えることにより、PCBの設計を簡略化できます。

DEVCLK⁺入力とDEVCLK⁻入力は、正弦波、PECL、またはLVDS信号を使用して差動で駆動できます。また、オプションのクロック2分周回路またはクロック・デューティ・サイクル・スタビライザにより、広範なクロック・デューティ・サイクルにわたってフルスピードで高い性能を維持できます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴは、リニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



LTC2123

絶対最大定格

(Note 1、2)

電源電圧

V_{DD} 、 OV_{DD} $0.3V \sim 2V$

アナログ入力電圧

A_{INA}/B^+ 、 A_{INA}/B^- $-0.3V \sim (V_{DD} + 0.2V)$

SENSE (Note 3) $-0.3V \sim (V_{DD} + 0.2V)$

デジタル入力電圧

$DEVCLK^+$ 、 $DEVCLK^-$ 、 $SYSREF^+$ 、 $SYSREF^-$ 、
 $SYNC^+$ 、 $SYNC^-$ (Note 3) $-0.3V \sim (V_{DD} + 0.3V)$

$\overline{CS}$ 、 SDI 、 SCK (Note 4) $-0.3V \sim 3.9V$

SDO (Note 4) $-0.3V \sim 3.9V$

デジタル出力電圧 $-0.3V \sim (V_{DD} + 0.3V)$

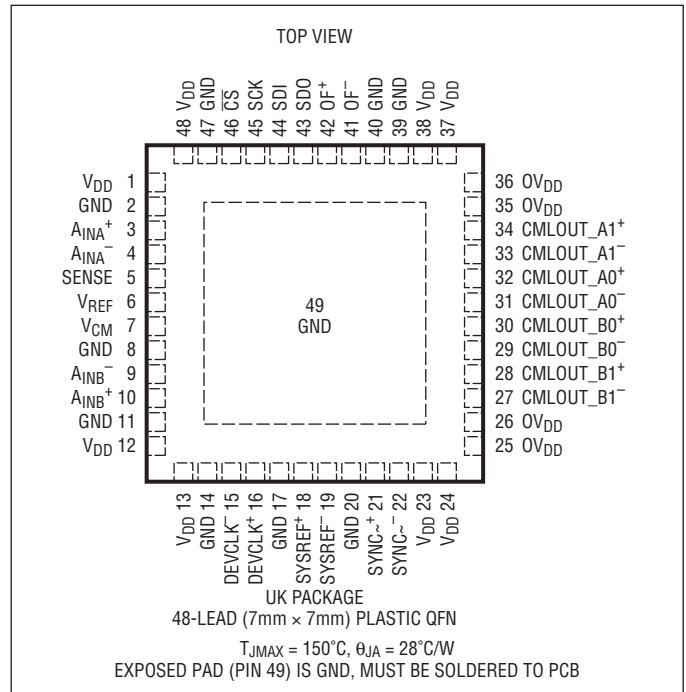
動作周囲温度範囲

LTC2123C $0^{\circ}C \sim 70^{\circ}C$

LTC2123I $-40^{\circ}C \sim 85^{\circ}C$

保存温度範囲 $-65^{\circ}C \sim 150^{\circ}C$

ピン配置



発注情報

無鉛仕上げ	テープ・アンド・リール	製品マーキング*	パッケージ	温度範囲
LTC2123CUK#PBF	LTC2123CUK#TRPBF	LTC2123UK	48-Lead (7mmx7mm) Plastic QFN	$0^{\circ}C$ to $70^{\circ}C$
LTC2123IUK#PBF	LTC2123IUK#TRPBF	LTC2123UK	48-Lead (7mmx7mm) Plastic QFN	$-40^{\circ}C$ to $85^{\circ}C$

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

非標準の鉛ベース仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

コンバータの特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^{\circ}C$ での値 (Note 5)。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)		●	14			Bits
Integral Linearity Error	Differential Analog Input (Note 6)	●	−5.5	±0.85	5.5	LSB
Differential Linearity Error	Differential Analog Input	●	−0.9	±0.25	0.9	LSB
Offset Error	(Note 7)	●	−13	±5	13	mV
Gain Error	Internal Reference External Reference	●	−4.0	±1.5 ±1	2.2	%FS %FS
Offset Drift				±20		μV/°C
Full-Scale Drift	Internal Reference External Reference			±30 ±10		ppm/°C ppm/°C
Transition Noise				1.82		LSB _{RMS}

2123fa

アナログ入力

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V _{IN}	Analog Input Range (A _{IN} ⁺ – A _{IN} [–])	1.7V < V _{DD} < 1.9V	●	1.5			V _{P-P}
V _{IN(CM)}	Analog Input Common Mode (A _{IN} ⁺ + A _{IN} [–])/2	Differential Analog Input (Note 8)	●	V _{CM} – 20mV	V _{CM}	V _{CM} + 20mV	V
V _{SENSE}	External Voltage Reference Applied to SENSE	External Reference Mode	●	1.2	1.250	1.3	V
I _{IN1}	Analog Input Leakage Current	0 < A _{IN} ⁺ , A _{IN} [–] < V _{DD} , No Clock	●	–1	1		μA
I _{IN2}	SENSE Input Leakage Current	1.23V < SENSE < 1.27V	●	–1	1		μA
t _{AP}	Sample-and-Hold Acquisition Delay Time			1			ns
t _{JITTER}	Sample-and-Hold Acquisition Delay Jitter			0.15			ps _{RMS}
CMRR	Analog Input Common Mode Rejection Ratio			75			dB
BW–3dB	Full-Power Bandwidth			1250			MHz

ダイナミック精度

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SNR	Signal-to-Noise Ratio	15MHz Input 70MHz Input 140MHz Input	●	70 69.7 69		dBFS dBFS dBFS
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic	15MHz Input 70MHz Input 140MHz Input	●	90 85 80		dBFS dBFS dBFS
	Spurious Free Dynamic Range 4th Harmonic or Higher	15MHz Input 70MHz Input 140MHz Input	●	98 95 85		dBFS dBFS dBFS
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	15MHz Input 70MHz Input 140MHz Input	●	69.9 69.4 68.8		dBFS dBFS dBFS
Crosstalk	Crosstalk Between Channels	Up to 315MHz Input		-95		dB

内部リファレンスの特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CM} Output Voltage	$I_{OUT} = 0$	$0.435 \cdot V_{DD} - 18mV$	$0.435 \cdot V_{DD}$	$0.435 \cdot V_{DD} + 18mV$	V
V_{CM} Output Temperature Drift			± 37		ppm/ $^\circ\text{C}$
V_{CM} Output Resistance	$-1mA < I_{OUT} < 1mA$		4		Ω
V_{REF} Output Voltage	$I_{OUT} = 0$	1.225	1.250	1.275	V
V_{REF} Output Temperature Drift			± 30		ppm/ $^\circ\text{C}$
V_{REF} Output Resistance	$-400\mu A < I_{OUT} < 1mA$		7		Ω
V_{REF} Line Regulation	$1.7V < V_{DD} < 1.9V$		0.6		mV/V

LTC2123

電源要件

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{DD}	Analog Supply Voltage	(Note 9)	●	1.7	1.8	1.9	V
OV_{DD}	Output Supply Voltage	CML Current = 16mA, Directly Terminated (Note 8)	●	1.2		1.9	V
		CML Current = 16mA, AC Terminated	●	1.4		1.9	V
I_{VDD}	Analog Supply Current		●		480	520	mA
I_{OVDD}	Output Supply Current Per Lane	CML Current = 12mA	●	11	12	13.8	mA
P_{DISS}	Power Dissipation	$V_{DD} = 1.8\text{V}$, Excluding OV_{DD} Power	●		864	936	mW
P_{SLEEP}	Sleep Mode Power				2		mW
P_{NAP}	Nap Mode Power				468		mW

デジタル入力とデジタル出力

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
クロック入力 (DEVCLK⁺, DEVCLK⁻)							
V_{ID}	Differential Input Voltage	(Note 8)	●	0.2			V
V_{ICM}	Common Mode Input Voltage	Internally Set			1.2		V
		Externally Set (Note 8)	●	1.1		1.5	V
R_{IN}	Input Resistance	(See Figure 2)			10		k Ω
C_{IN}	Input Capacitance				2		pF
差動デジタル入力 (SYNC⁺, SYNC⁻, SYSREF⁺, SYSREF⁻)							
V_{ID}	Differential Input Voltage	(Note 8)	●	0.2			V
V_{ICM}	Common Mode Input Voltage	Internally Set			1.2		V
		Externally Set (Note 8)	●	1.1		1.5	V
R_{IN}	Input Resistance				6.7		k Ω
C_{IN}	Input Capacitance				2		pF
デジタル入力 ($\overline{CS}$, SDI, SCK)							
V_{IH}	High Level Input Voltage	$V_{DD} = 1.8\text{V}$	●	1.3			V
V_{IL}	Low Level Input Voltage	$V_{DD} = 1.8\text{V}$	●			0.6	V
I_{IN}	Input Current	$V_{IN} = 0\text{V}$ to 3.6V	●	-10		10	μA
C_{IN}	Input Capacitance	(Note 8)			3		pF
SDO 出力 (オープン・ドレイン出力。SDO を使用する場合は 2k のプルアップ抵抗が必要)							
R_{OL}	Logic Low Output Resistance to GND	$V_{DD} = 1.8\text{V}$, SDO = 0V			200		Ω
I_{OH}	Logic High Output Leakage Current	SDO = 0V to 3.6V	●	-10		10	μA
C_{OUT}	Output Capacitance	(Note 8)			4		pF
LVDS 出力 (OF⁺, OF⁻)							
V_{OD}	Differential Output Voltage	100 Ω Differential Load		247	350	454	mV
V_{OS}	Common Mode Output Voltage			1.125	1.25	1.375	V

デジタル入力とデジタル出力

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
CML 出力						
V_{DIFF}	CML Differential Output Voltage	Output Current Set to 10mA Output Current Set to 12mA Output Current Set to 14mA Output Current Set to 16mA		500 600 700 800		mVppd mVppd mVppd mVppd
V_{OH}	Output High Level	Directly-Coupled 50Ω to OV_{DD} Directly-Coupled 100Ω Differential AC-Coupled		OV_{DD} $OV_{\text{DD}} - \frac{1}{4}V_{\text{DIFF}}$ $OV_{\text{DD}} - \frac{1}{4}V_{\text{DIFF}}$		V V V
V_{OL}	Output Low Level	Directly-Coupled 50Ω to OV_{DD} Directly-Coupled 100Ω Differential AC-Coupled		$OV_{\text{DD}} - \frac{1}{2}V_{\text{DIFF}}$ $OV_{\text{DD}} - \frac{3}{4}V_{\text{DIFF}}$ $OV_{\text{DD}} - \frac{3}{4}V_{\text{DIFF}}$		V V V
V_{OCM}	Output Common Mode Level	Directly-Coupled 50Ω to OV_{DD} Directly-Coupled 100Ω Differential AC-Coupled		$OV_{\text{DD}} - \frac{1}{4}V_{\text{DIFF}}$ $OV_{\text{DD}} - \frac{1}{2}V_{\text{DIFF}}$ $OV_{\text{DD}} - \frac{1}{2}V_{\text{DIFF}}$		V V V
R_{OUT}	Output Resistance	Single-Ended Differential	● 80	50 100	120	Ω Ω

タイミング特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f_s	Sampling Frequency	(Note 9)	● 50		250	MHz
t_L	$1 \times \text{CLK}$ Low Time (Note 8)	Duty Cycle Stabilizer Off Duty Cycle Stabilizer On	● 1.9 ● 1.5	2 2	10 10	ns ns
t_H	$1 \times \text{CLK}$ High Time (Note 8)	Duty Cycle Stabilizer Off Duty Cycle Stabilizer On	● 1.9 ● 1.5	2 2	10 10	ns ns

SPI ポートのタイミング (Note 8)

t_{SCK}	SCK Period	Write Mode Readback Mode $C_{\text{SDO}} = 20\text{pF}$, $R_{\text{PULLUP}} = 2\text{k}$	● 40 ● 250			ns ns
t_{CSS}	$\overline{\text{CS}}$ to SCK Set-Up Time		● 5			ns
t_{CSH}	SCK to $\overline{\text{CS}}$ Hold Time		● 5			ns
t_{DS}	SDI Set-Up Time		● 5			ns
t_{DH}	SDI Hold Time		● 5			ns
t_{DO}	SCK Falling to SDO Valid	Readback Mode $C_{\text{SDO}} = 20\text{pF}$, $R_{\text{PULLUP}} = 2\text{K}$	●		125	ns

JESD204B のタイミング (Note 8)

$t_{\text{BIT, UI}}$	High Speed Serial Bit Period	2 Lane Mode (1 Lane Per ADC) 4 Lane Mode (2 Lanes Per ADC)	● 200 ● 400		1000 1000	ps ps
t_{JIT}	Total Jitter of CML Outputs (P-P)	$> 3.125\text{Gbps}$ Per Lane (BER = $1\text{E-}15$, Note 8) $< 3.125\text{Gbps}$ Per Lane (BER = $1\text{E-}12$, Note 8)	● ●		0.3 0.35	UI UI
$t_{\text{SU_SYN}}$	SYNC~ to DEVCLK Set-Up Time	(Note 8)	● 0.6			ns
$t_{\text{H_SYN}}$	DEVCLK to SYNC~ Hold Time	(Note 8)	● 0.6			ns

タイミング特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$t_{\text{SU_SYS}}$	SYSREF to DEVCLK Set-Up Time	(Note 8)	●	0.6			ns
$t_{\text{H_SYS}}$	DEVCLK to SYSREF Hold Time	(Note 8)	●	0.6			ns
LAT_{P2}	Pipeline Latency, 2-Lane Mode	(Note 10)	●	13.5		13.5	t_{S}
LAT_{P4}	Pipeline Latency, 4-Lane Mode	(Note 10)	●	19.5		19.5	t_{S}
t_{DS}	Delay from DEVCLK to Serial Data Out	(Note 8)	●			0.6	t_{S}
LAT_{SC2}	Latency from SYNC~ Assertion to COMMA Out, 2-Lane Mode	(Note 10)	●	10		10	t_{S}
LAT_{SC4}	Latency from SYNC~ Assertion to COMMA Out, 4-Lane Mode	(Note 10)	●	20		20	t_{S}
LAT_{SL2}	Latency from SYNC~ De-assertion to LAS Out, 2-Lane Mode	(Notes 10, 11)	●	6		6	t_{S}
LAT_{SL4}	Latency from SYNC~ De-assertion to LAS Out, 4-Lane Mode	(Notes 10, 11)	●	12		12	t_{S}
LAT_{OF}	Overflow Latency	(Note 10)	●	6		6	t_{S}
$t_{\text{D_OF1X}}$	Analog Delay of OF with 1X_CLK	(Note 8)	●	1.4	1.7	2.0	ns
$t_{\text{D_OF2X}}$	Analog Delay of OF with 2X_CLK	(Note 8)	●	1.6	1.9	2.2	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: すべての電圧値は(注記がない限り)GNDを基準にしている。

Note 3: これらのピンの電圧をGNDより低くするか、 V_{DD} より高くすると、その電圧は内部のダイオードによってクランプされる。この製品は、GNDより低い、または V_{DD} より高い電圧でラッチアップを生じることなしに100mAを超える入力電流を処理することができる。

Note 4: これらのピンの電圧をGNDより低くすると、内部のダイオードによってクランプされる。これらのピンの電圧を V_{DD} より高くすると、その電圧は内部のダイオードによってクランプされない。この製品は、GNDより低い電圧で、ラッチアップを生じることなく100mAを超える入力電流を処理することができる。

Note 5: 注記がない限り、 $V_{\text{DD}} = 1.8\text{V}$ 、 $f_{\text{SAMPLE}} = 250\text{MHz}$ 、差動CLK+/CLK- = $2V_{\text{P-P}}$ の正弦波、入力範囲 = 差動ドライブで1.5Vp-p。

Note 6: 積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: オフセット誤差は、出力コードが01 1111 1111 1111と10 0000 0000 0000の間を行ったり来たりするとき、-0.5LSBから測定されたオフセット電圧である。

Note 8: 設計によって保証されているが、テストされない。

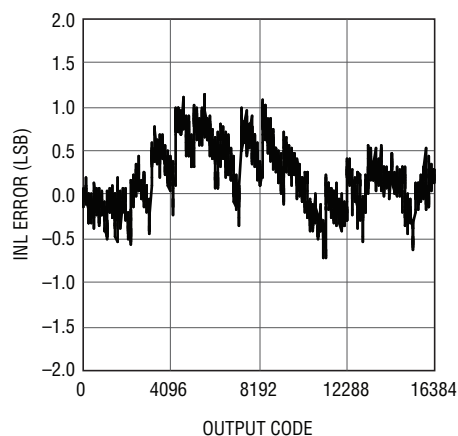
Note 9: 推奨動作条件。

Note 10: 「2X_CLK」SPIレジスタ・ビットがセットされているとき、DEVCLK周波数はサンプリング周波数の2倍になります。「2X_CLK」ビットがセットされていないとき、DEVCLK周波数はサンプリング周波数に等しくなります。レイテンシはサンプリング周期(t_{S})単位で測定されます。ここで、 t_{S} は、サンプリング周波数の逆数です。

Note 11: サブクラス0では、SYNC~のデアサートの検出後のフレーム開始時に、レーン・アライメント・シーケンス(LAS)レイテンシ測定が始まります。サブクラス1または2では、SYNC~のデアサートの検出後初めてのマルチフレーム開始時に、LASレイテンシ測定が始まります。

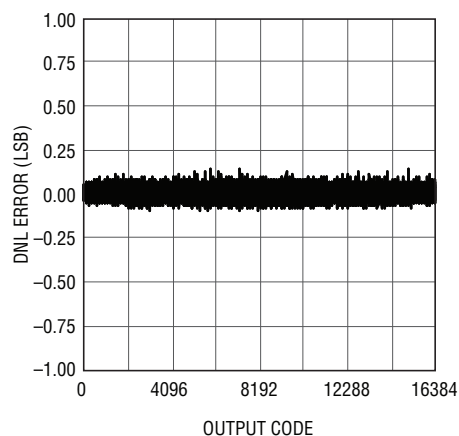
標準的性能特性

積分非直線性 (INL)



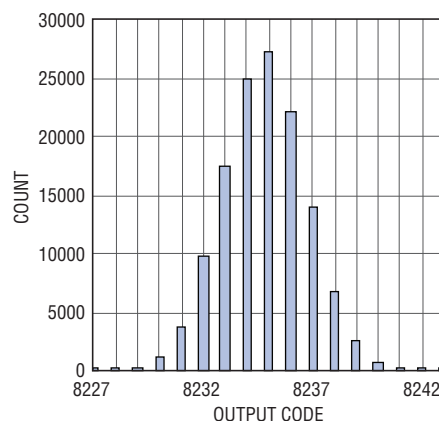
2123 G01

微分非直線性 (DNL)

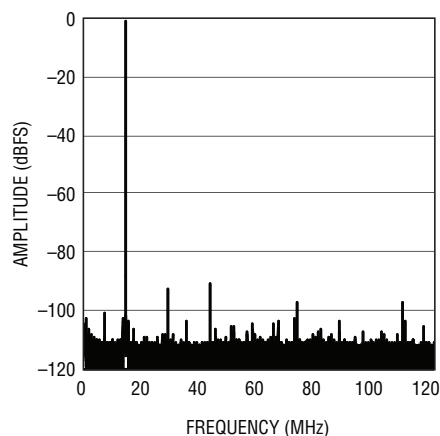


2123 G02

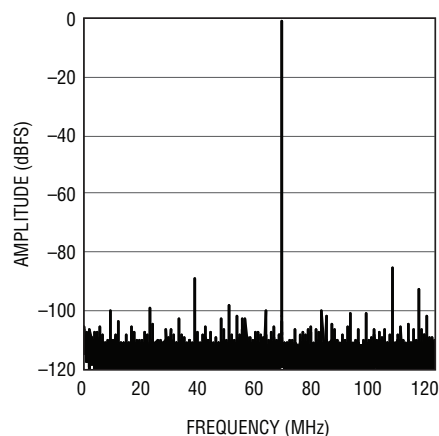
AC 接地入力時のヒストグラム



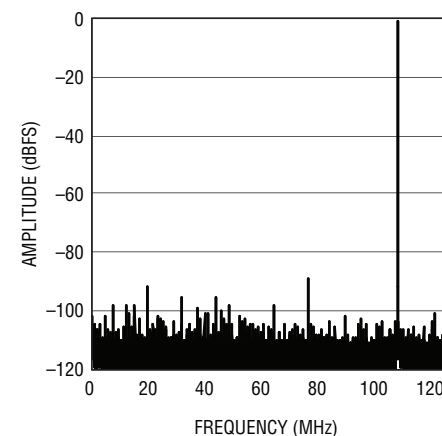
2123 G03

64k ポイントの FFT、 $f_{IN} = 15.1\text{MHz}$ 、 -1dBFS 、250Msps

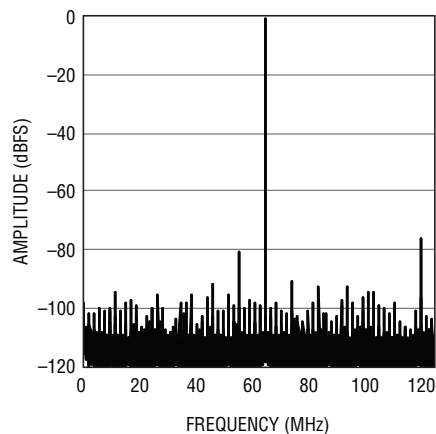
2123 G04

64k ポイントの FFT、 $f_{IN} = 70.1\text{MHz}$ 、 -1dBFS 、250Msps

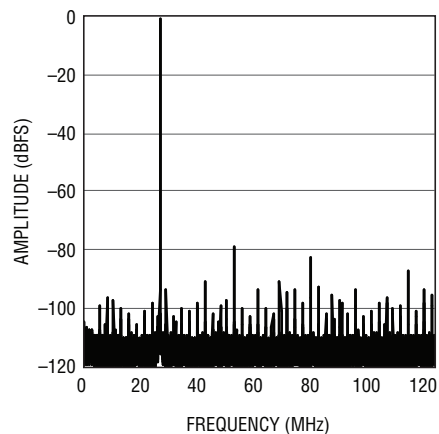
2123 G05

64k ポイントの FFT、 $f_{IN} = 141.1\text{MHz}$ 、 -1dBFS 、250Msps

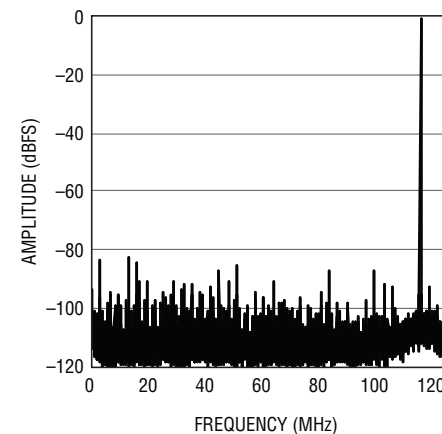
2123 G06

64k ポイントの FFT、 $f_{IN} = 185.1\text{MHz}$ 、 -1dBFS 、250Msps

2123 G07

64k ポイントの FFT、 $f_{IN} = 223.1\text{MHz}$ 、 -1dBFS 、250Msps

2123 G08

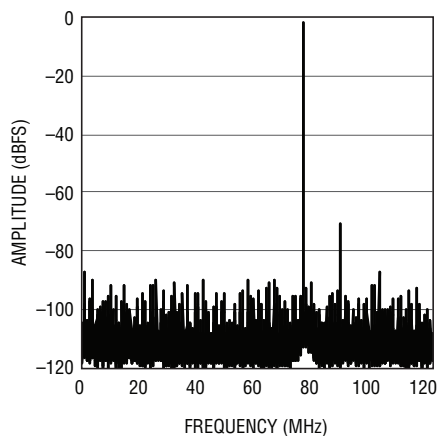
64k ポイントの FFT、 $f_{IN} = 383.1\text{MHz}$ 、 -1dBFS 、250Msps

2123 G09

2123fa

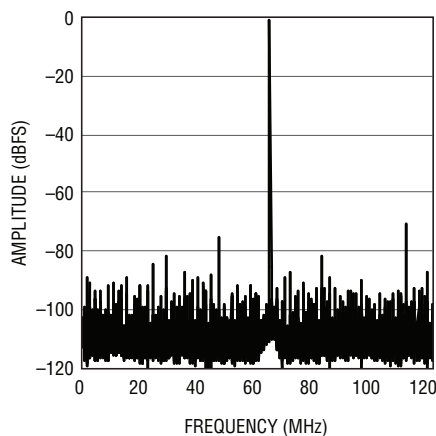
標準的性能特性

64kポイントのFFT、
 $f_{IN} = 421.1\text{MHz}$ 、 -1dBFS 、 250Mpsps



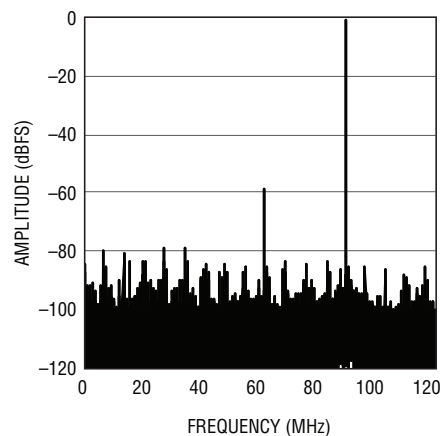
2123 G10

64kポイントのFFT、
 $f_{IN} = 567.1\text{MHz}$ 、 -1dBFS 、 250Mpsps



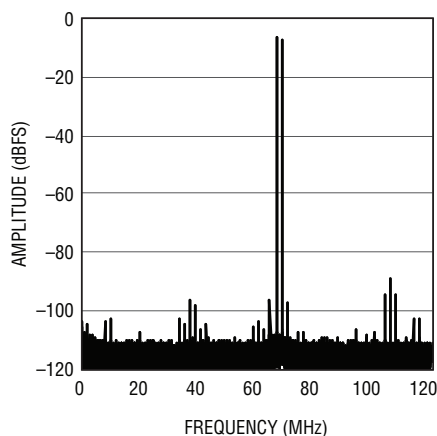
2123 G11

64kポイントのFFT、
 $f_{IN} = 907.1\text{MHz}$ 、 -1dBFS 、 250Mpsps



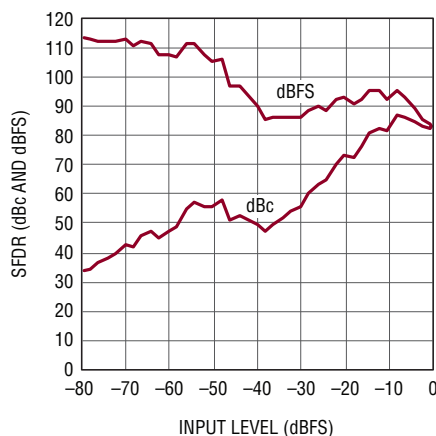
2123 G12

64kポイントの2トーンFFT、 $f_{IN} = 71.1\text{MHz}$
および 69MHz 、 -7dBFS 、 250Mpsps



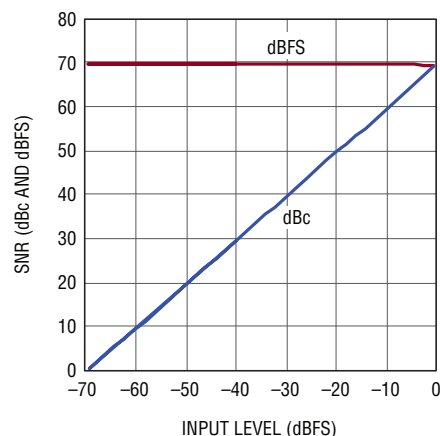
2123 G13

SFDRと入力レベル、 $f_{IN} = 70\text{MHz}$ 、
 1.5V 範囲、 250Mpsps



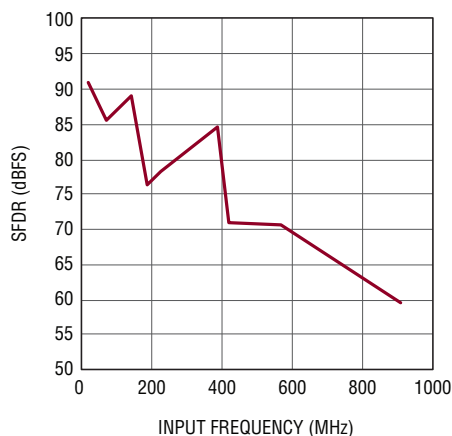
2123 G14

SNRと入力レベル、 $f_{IN} = 70\text{MHz}$ 、
 1.5V 範囲、 250Mpsps



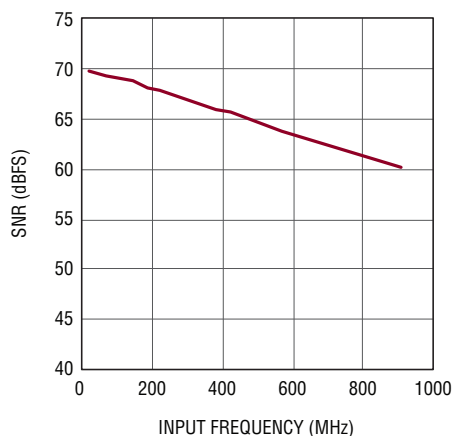
2123 G15

SFDRと入力周波数、
 -1dBFS 、 1.5V 範囲、 250Mpsps



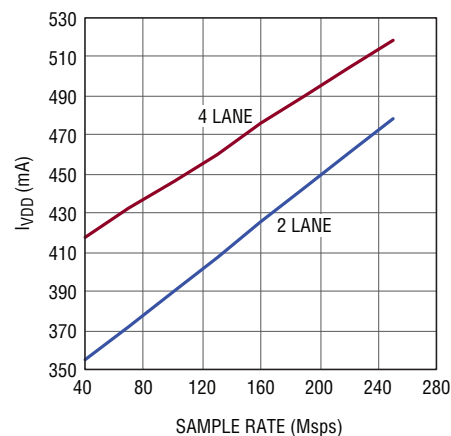
2123 G16

SNRと入力周波数、
 -1dBFS 、 1.5V 範囲、 250Mpsps



2123 G17

I_{VDD} とサンプル・レート、
 $f_{IN} = 15\text{MHz}$ 、 -1dBFS

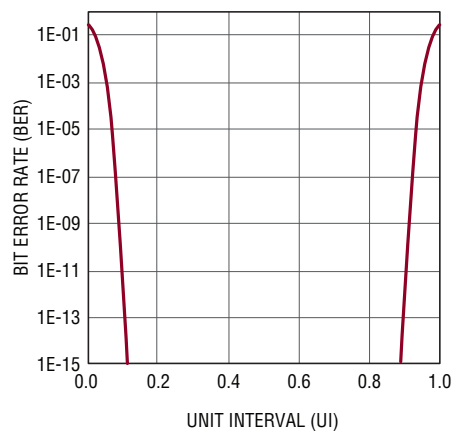
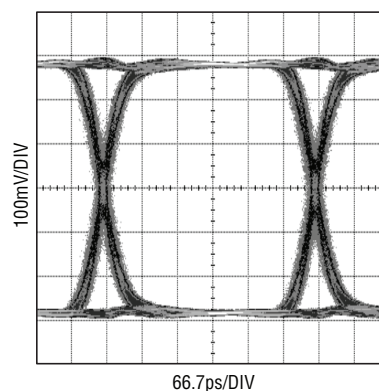


2123 G18

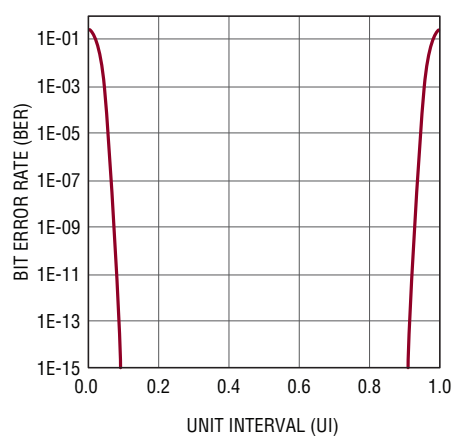
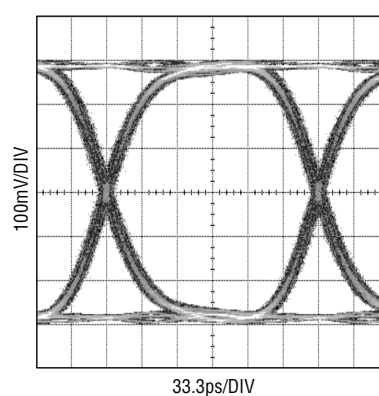
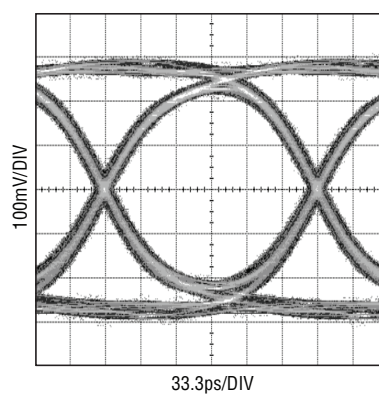
2123fa

標準的性能特性

CMLOUT バスタブ曲線、2.5Gbps

CMLOUT アイ・ダイアグラム、
2.5Gbps

CMLOUT バスタブ曲線、5Gbps

CMLOUT アイ・ダイアグラム、
5GbpsCMLOUT アイ・ダイアグラム、
5Gbps、8 インチ (20cm) FR4

ピン機能

V_{DD} (ピン 1、12、13、23、24、37、38、48) : 1.8V 電源。0.1μF のセラミック・コンデンサを使用してグラウンドにバイパスします。隣接するピンはバイパス・コンデンサを共有することができます。

GND (ピン 2、8、11、14、17、20、39、40、47、露出パッド・ピン 49) : デバイスの電源グラウンド。露出パッドはプリント回路基板のグラウンドに半田付けする必要があります。

A_{INA}⁺/A_{INA}⁻ (ピン 3、4) : チャンネル A 用のアナログ入力ペア。

SENSE (ピン 5) : リファレンスのプログラミング・ピン。SENSE を V_{DD} に接続すると、内部リファレンスと ±0.75V の入力範囲が選択されます。1.2V ~ 1.3V の外部リファレンスを SENSE に与えると、±0.6 × V_{SENSE} の入力範囲が選択されます。

V_{REF} (ピン 6) : リファレンス電圧出力。2.2μF のセラミック・コンデンサを使ってグラウンドにバイパスします。公称 1.25V です。

V_{CM} (ピン 7) : 同相バイアス出力。公称値は 0.435 × V_{DD} に等しい。V_{CM} はアナログ入力の同相レベルをバイアスするのに使用します。0.1μF のセラミック・コンデンサを使ってグラウンドにバイパスします。

A_{INB}⁻/A_{INB}⁺ (ピン 9、10) : チャンネル B 用のアナログ入力ペア。

DEVCLK⁻/DEVCLK⁺ (ピン 15、16) : デバイス・クロック入力ペア。サンプル・クロックは、クロック信号から得られます。1 分周モードでは、アナログ信号は DEVCLK (DEVCLK = DEVCLK⁺ – DEVCLK⁻) の立ち上がりエッジでサンプリングされます。

オプションで、DEVCLK を 2 で分周することもできます。サブクラス 1 では、SYSREF 信号が“L”から“H”に遷移すると、DEVCLK の立ち上がりエッジで 2 分周回路が初期化されます。サブクラス 2 では、SYNC~ 信号が“L”から“H”に遷移すると、DEVCLK の立ち上がりエッジで 2 分周回路が初期化されます。

SYSREF⁺/SYSREF⁻ (ピン 18、19) : JESD204B サブクラス 1 入力信号ペア。SYSREF の“L”から“H”への遷移が DEVCLK の立ち上がりエッジでサンプリングされ、内部分周器がリセットされ、定遅延がセットアップされます (SYSREF = SYSREF⁺ – SYSREF⁻)。

SYNC~⁺/SYNC~⁻ (ピン 21、22) : JESD204B 同期入力信号ペア。3 つのサブクラスすべてにおいて、初期コードグループ同期を確立するのに使用されます。SYNC~ 信号が“L”レベルになると、LTC2123 は K28.5 コンマを出力します (SYNC~ = SYNC~⁺ – SYNC~⁻)。

サブクラス 2 では、SYNC~ の“L”から“H”への遷移は DEVCLK の立ち上がりエッジでサンプリングされ、内部分周器がリセットされ、定遅延がセットされます。

OV_{DD} (ピン 25、26、35、36) : 出力ドライバの 1.8V 電源。0.1μF のセラミック・コンデンサを使用して、各ペアをグラウンドにバイパスします。

CMLOUT_{B1}⁻/CMLOUT_{B1}⁺ (ピン 27、28) : チャンネル B、レーン 2 用の電流モード・ロジックの出力ペア。50Ω 抵抗を使用して OV_{DD} に終端するか、差動 100Ω 抵抗で相補出力に終端するか、または他の終端電圧に AC 結合する必要があります。

CMLOUT_{B0}⁻/CMLOUT_{B0}⁺ (ピン 29、30) : チャンネル B、レーン 1 用の電流モード・ロジックの出力ペア。50Ω 抵抗を使用して OV_{DD} に終端するか、差動 100Ω 抵抗で相補出力に終端するか、または他の終端電圧に AC 結合する必要があります。

CMLOUT_{A0}⁻/CMLOUT_{A0}⁺ (ピン 31、32) : チャンネル A、レーン 1 用の電流モード・ロジックの出力ペア。50Ω 抵抗を使用して OV_{DD} に終端するか、差動 100Ω 抵抗で相補出力に終端するか、または他の終端電圧に AC 結合する必要があります。

CMLOUT_{A1}⁻/CMLOUT_{A1}⁺ (ピン 33、34) : チャンネル A、レーン 2 用の電流モード・ロジックの出力ペア。50Ω 抵抗を使用して OV_{DD} に終端するか、差動 100Ω 抵抗で相補出力に終端するか、または他の終端電圧に AC 結合する必要があります。

OF⁻/OF⁺ (ピン 41、42) : オーバーフロー/アンダーフローの LVDS デジタル出力。オーバーフローやアンダーフローが生じると、OF は“H”になります。チャンネル A とチャンネル B のオーバーフローは 1 つに多重化され、サンプリング周波数の 2 倍で送信されます (OF = OF⁺ – OF⁻)。

SDO (ピン 43) : シリアル・インタフェースのデータ出力。SDO は、オプションのシリアル・インタフェース・データ出力です。SDO のデータは、モード制御レジスタから読み出して SCK の立ち上がりエッジでラッチすることができます。SDO はオープンドレインの N チャネル MOSFET 出力で、2k の外付けプルアップ抵抗を 1.8V ~ 3.3V に接続する必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要であり、SDO は未接続のままでかまいません。

ピン機能

SDI (ピン 44) : シリアル・インタフェースのデータ入力。SDIは、シリアル・インタフェース・データ入力です。SDIのデータはSCKの立ち上がりエッジでモード制御レジスタにクロックインされます。SDIは1.8V ~ 3.3Vのロジックでドライブできます。

SCK (ピン 45) : シリアル・インタフェースのクロック入力。SCKは、シリアル・インタフェース・クロック入力です。SCKは1.8V ~ 3.3Vのロジックでドライブできます。

$\overline{CS}$ (ピン 46) : シリアル・インタフェースのチップ選択入力。 $\overline{CS}$ が“L”のときSCKがイネーブルされ、SDIのデータをモード制御レジスタにシフトします。 $\overline{CS}$ は、1.8V ~ 3.3Vのロジックでドライブできます。

ブロック図

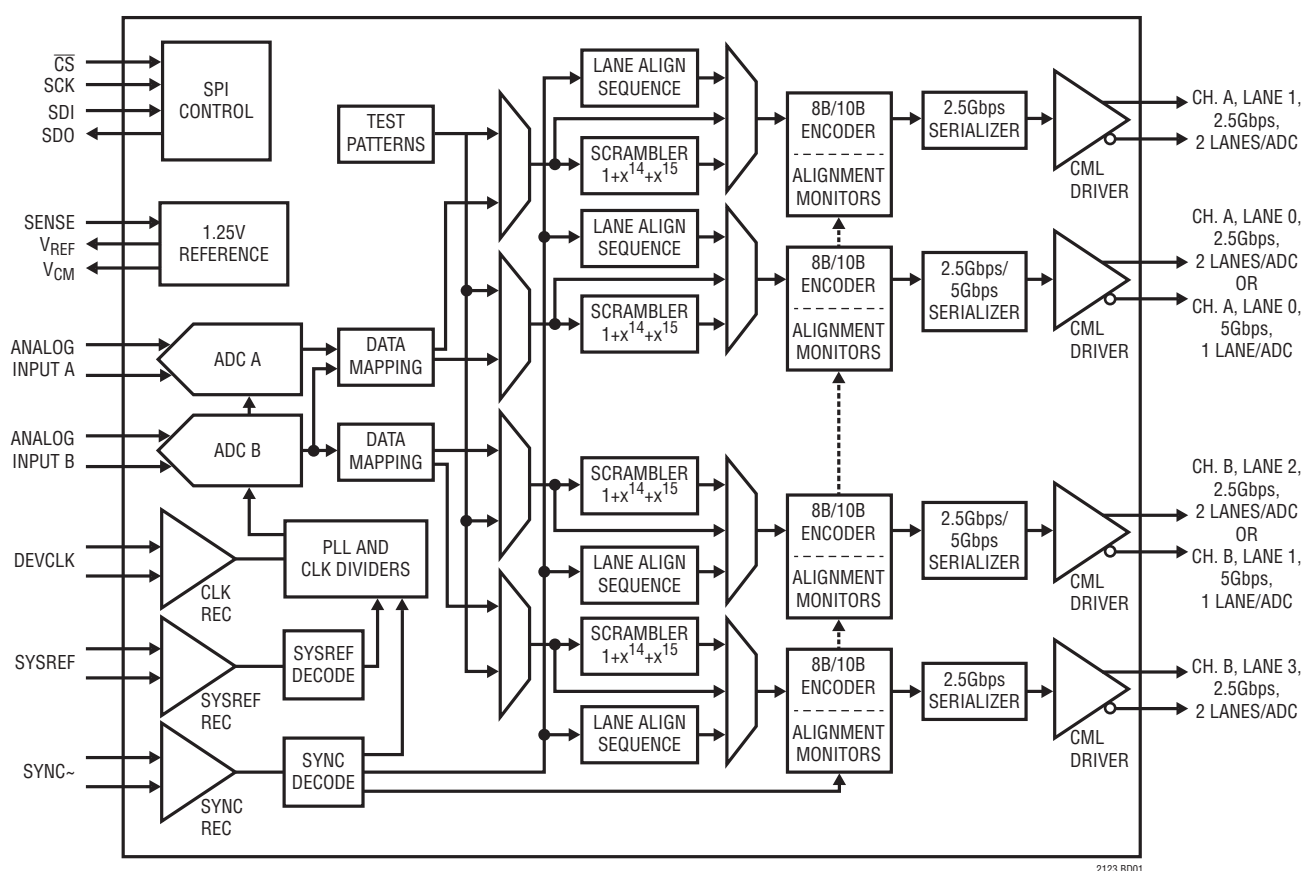
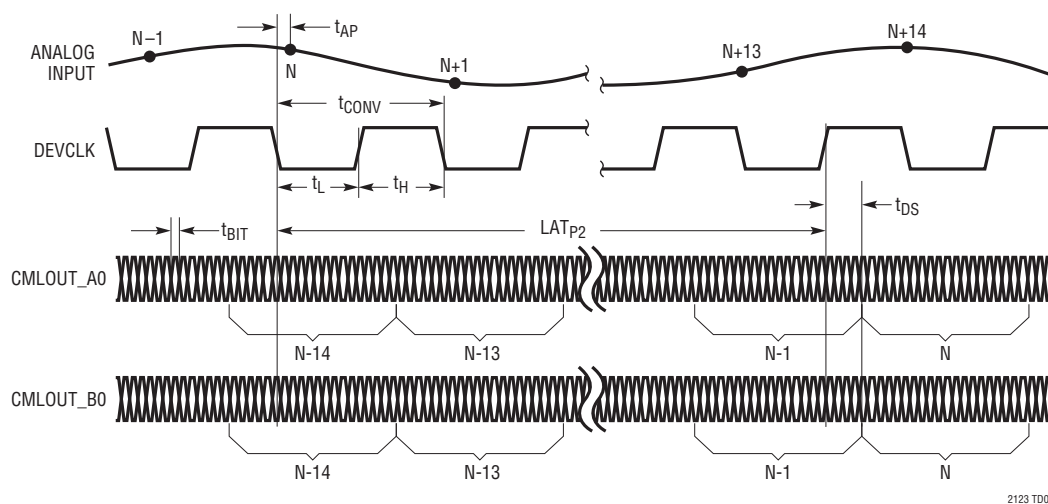
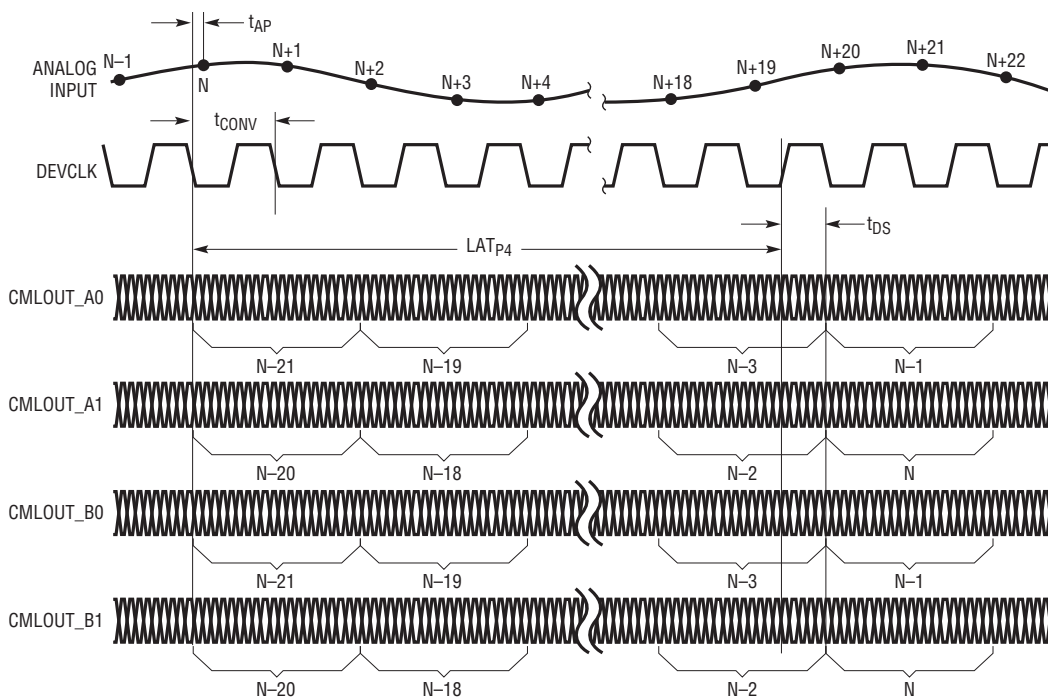


図1. 機能ブロック図

タイミング図



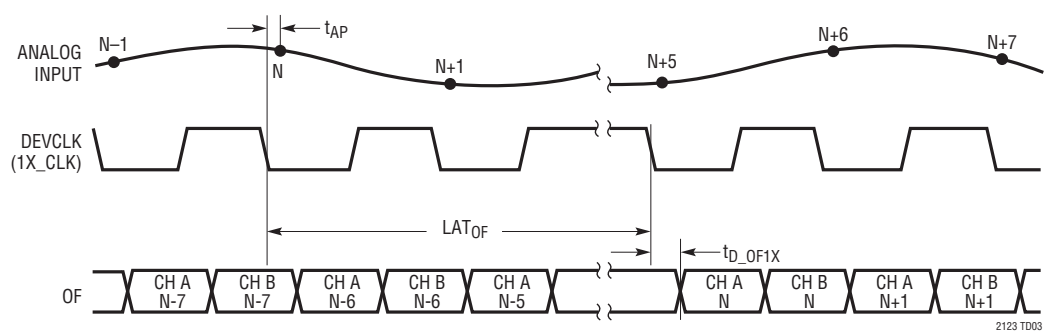
2レーン・タイミング (1ADC 当たり 1レーン)、 $f_{DEVCLK} = f_s$



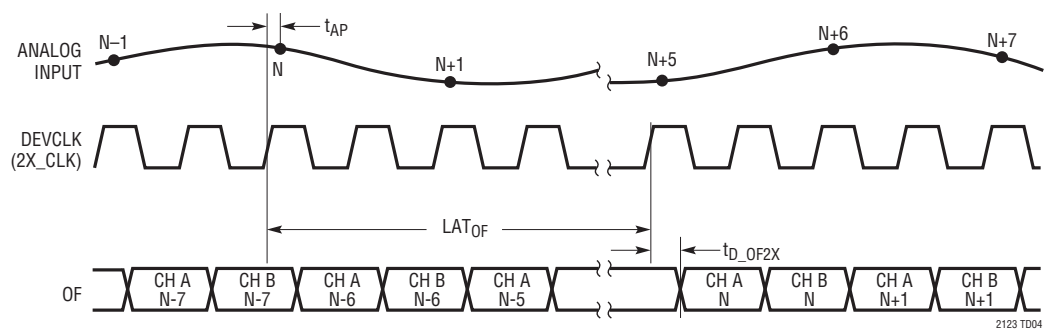
4レーン・タイミング (1ADC 当たり 2レーン)、 $f_{DEVCLK} = f_s$

注記: $DEVCLK = DEVCLK^+ - DEVCLK^-$

タイミング図

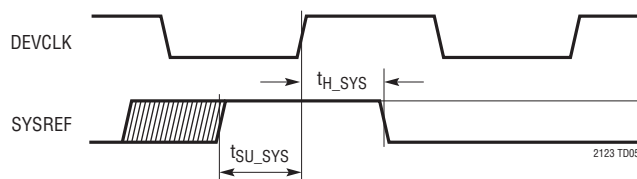


オーバーフロー (OF) タイミング、1X_CLK モード

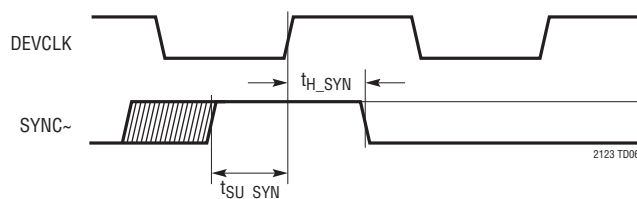


オーバーフロー (OF) タイミング、2X_CLK モード

タイミング図



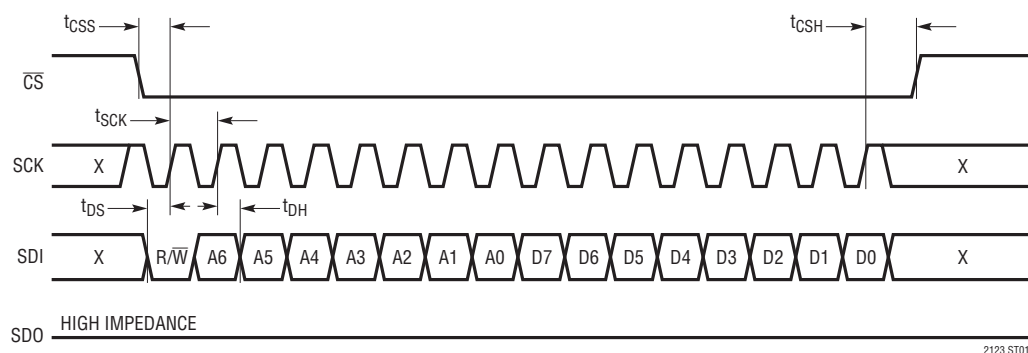
SYSREF タイミング (サブクラス 1)



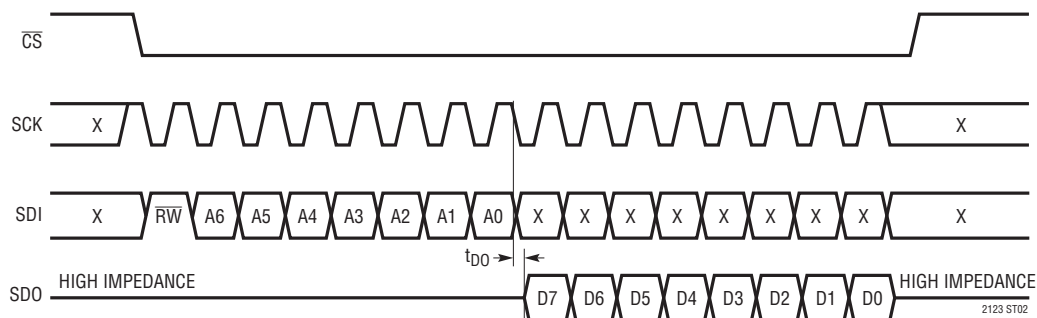
**SYNC~ 立ち上がりエッジ・クロック・リセット・タイミング
(サブクラス 2)**

注記: DEVCLK = DEVCLK⁺ - DEVCLK⁻、OF = OF⁺ - OF⁻、SYSREF = SYSREF⁺ - SYSREF⁻、SYNC~ = SYNC~⁺ - SYNC~⁻

SPIのタイミング



SPI タイミング、書き込みモード



SPI タイミング、読み取りモード

定義

ADC 性能に関する用語

アパーチャ遅延時間

DEVCLK のサンプリング・エッジで、DEVCLK⁺ の立ち上がりエッジが DEVCLK⁻ の立ち下がりエッジと等しくなった時点から、入力信号がサンプル・ホールド回路によって保持されるまでの時間です。

アパーチャ遅延ジッタ

変換から変換までのアパーチャ遅延時間の変動。このランダムな変動により、AC 入力 of のサンプリング時にノイズが生じます。ジッタだけを要因とした場合の信号対ノイズ比は次のようになります。

$$\text{SNR}_{\text{JITTER}} = -20 \log (2\pi \cdot f_{\text{IN}} \cdot t_{\text{JITTER}})$$

クロストーク

クロストークは、あるチャネル(フルスケール信号でドライブ)から別のチャネル(-1dBFS 信号でドライブ)への結合です。

混変調歪み

ADC の入力信号が複数のスペクトラム成分で構成されていると、ADC の伝達関数の非直線性により、THD に加えて混変調歪み (IMD) が生じることがあります。IMD は周波数の異なる別の正弦波入力が存在するためにある正弦波入力に生じる変化です。

周波数が f_a と f_b の 2 つの純粋な正弦波が ADC の入力に与えられると、ADC の伝達関数の非直線性により $m f_a \pm n f_b$ の和と差の周波数で歪み積を生じることがあります。ここで、 m と n は 0、1、2、3 などです。例えば、3 次の IMD 項には、 $(2f_a + f_b)$ 、 $(f_a + 2f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a - 2f_b)$ が含まれます。3 次 IMD は、最大の 3 次 IMD 積の RMS 値に対する、どちらかの入力トーンの RMS 値の比として定義されます。

信号対ノイズ+歪み比

信号対ノイズ+歪み比 $[S/(N+D)]$ は、ADC 出力における基本入力周波数の RMS 振幅と、他のすべての周波数成分の RMS 振幅の比です。出力の帯域は DC からサンプリング周波数の半分より低い周波数に制限されています。

信号対ノイズ比

信号対ノイズ比 (SNR) は、基本入力周波数の RMS 振幅と、1 次から 5 次までの高調波を除く他のすべての周波数成分の RMS 振幅の比です。

スプリアスフリー・ダイナミックレンジ (SFDR)

ピーク・スプリアス・スペクトラム成分の RMS 値に対する RMS 入力信号振幅の比率を dBc で表した値です。SFDR はフルスケールに対する相対値としても計算され、この場合は dBFS で表されます。

定義

シリアル・インタフェースに関する用語

8B/10B エンコーディング

8ビット・オクテットを10ビット・コードグループにエンコードするデータ・エンコーディング規格(IEEE標準802.3-2002のパート3、36.2節)。得られるコードグループは、次の2つの基本的理由により、シリアル伝送に最適です。1) このコードグループはランレングスが制限され、PLL ベースのクロック・リカバリに十分な数の遷移が確実に含まれるため、レシーバはデータを捕捉するのに高速クロックを必要としません。2) このコードグループはDC バランスが取れているため、AC 結合が可能です(「ランニング・ディスパリティ」を参照)。

入力オクテットが取り得る256個の値と、それぞれから得られる10ビット・コードグループの表は、IEEE 標準802.3-2002のパート3の表36-1に記載されています。256個のデータ・コードグループのそれぞれに関連した名称が「Dx.y」の形式で定められており、xは0~31、yは0~7の範囲の値をとります。また、同標準の表36-2は非データの文字(コンマなど)として使用される特殊コードグループの12個のセットを「Kx.y」の名前形式で定義しています。

電流モード・ロジック(CML)

差動高速ロジックを実現するのに使われる回路テクニック。CMLは差動対(通常nタイプ)を使って、抵抗性負荷への電流を制御します。どのようなロジック機能でもCMLを使って実装できます。出力の振幅とオフセットは、バイアス電流、負荷抵抗、および終端抵抗に依存します。

この製品ファミリはCMLドライバを使って高速シリアル・データを外部世界に伝送します。出力ドライバのバイアス電流は10mA~16mAの範囲にプログラム可能で、各出力において内部および外部の結合された終端抵抗25Ω(50Ωソース//50Ω終端)の両端に約250mV_{P-P}(500mV_{ppd})~400mV_{P-P}(800mV_{ppd})の信号振幅を発生します(ここで、mV_{ppd}はmV_{P-P}の差動)。

コードグループ

8B/10B エンコーダからの10ビット出力、または8B/10B デコーダへの10ビット入力。

コンマ

バイナリ・シーケンスの「0011111」または「1100000」を含む特殊8B/10Bコードグループ。コンマ・シーケンスは(ビット・エラーが発生しない限り)どの通常のコードグループの組み合わせによっても発生することができないので、コンマはフレームのアラインメントおよび同期に使われます。コンマを含んでいる3つの特殊コードグループがあります(K28.1、K28.5、およびK28.7)。

簡単にするため、これら3つの特殊コードグループのそれぞれは「コンマ」と呼ばれることが多いですが、厳密な意味では、コンマに指定されているのは各コードグループの最初の7ビットです。

DC バランスのとれた信号

最小限の信号劣化でAC結合することができるように特に前処理した信号。DC バランスは1と0の平均個数が等しいとき達成され、カップリング・コンデンサの受信側に対してDCがふらつく望ましくない影響を除去します。8B/10B コーディングを使うと、下記のディスパリティ規則によってDC バランスが実現されます(「ランニング・ディスパリティ」を参照)。

デスクランブラ

スクランブルされたデータをスクランブルされる前の状態に復元するロジック・ブロック。セルフアライニング・デスクランブラはスクランブラと同じ疑似ランダム・ビット・シーケンスに基づいているので、アラインメント信号は不要です。この製品ファミリでは、スクランブラは $1+x^{14}+x^{15}$ の多項式をベースにしており、セルフアライニング・プロセスにより、最初の15ビット(1個のADCサンプル)が失われます。

定遅延

システムの入力から出力への予測可能かつ再現可能な遅延。JESD204B サブクラス1および2は、システム全体で予測可能かつ再現可能なパイプライン遅延に対応するテクノロジーを採用しています。

フレーム

LTC2123のフレームは、1レーンにつき2個の完全なコードグループから成り、1レーンにつき1個の完全なADCサンプルを構成します。

定義

フレーム・アラインメント・モニタリング (FAM)

初期フレーム同期が確立された後、フレーム・アラインメント・モニタリングにより、レシーバはデータの損失なしにコードグループのアラインメントが維持されていることを検証できます。これは、特定の条件が満たされたとき、フレームの最後のコードグループを K28.7 コンマで置き換えることで行われます。レシーバは、アラインメント検証のために、このコンマをフレーム内の位置マーカーとして使います。データをデコードした後、レシーバは K28.7 コンマを元のデータに置き換えます。

初期フレーム同期

アラインメント目的で、フレーム境界情報をレシーバに知らせるプロセス。レシーバは SYNC~ 信号をアサートし、これにより、ADC は K28.5 コンマをレシーバに送信します。レシーバは SYNC~ 信号をデアサートし、ADC は、そのサブクラスと動作モードに従い、コンマの送信を中止します。データ・ストリーム内のコンマの終了点が、フレームの境界になります。

レーン・アラインメント・モニタリング (LAM)

JESD204B では、8B/10B K28.3 特殊文字を使用してレーン・アラインメントを実現およびモニタリングします。これらの文字はデータ・ストリーム内のマルチフレームの末尾に、条件に従って埋め込まれます。レシーバは、レーン・アラインメント検証のために、この文字をマルチフレーム内の位置マーカーとして使います。データをデコードした後、レシーバは K28.3 文字を元のデータに置き換えます。

ローカル・マルチフレーム・クロック (LMFC)

JESD204B システムの各デバイス内の内部クロックであり、マルチフレームの境界を示します。

マルチフレーム

複数のレーン・システムのレーン不一致と比較して、長く持続することを目的としたフレームのグループ。JESD204B では、マルチフレームの最大長は 32 フレームです。

JESD204B システムには外部マルチフレーム・クロックがないため、マルチフレーム境界を示す信号をローカル・マルチフレーム・クロック (LMFC) と呼びます。

オクテット

8B/10B エンコーダへの 8 ビット入力、または 8B/10B デコーダからの 8 ビット出力。

ランレングス・リミテッド (RLL)

データ・ストリーム内の連続した 1 または 0 の個数を制限する目的でエンコードされたデータ。

このプロセスは、レシーバがフェーズロック・ループを使ってロックして高速クロックを再生するのに十分な個数の遷移箇所がシリアル・データ内に存在することを保証します。

ランニング・ディスパリティ

DC バランスを維持するために、ほとんどの 8B/10B コードグループは、各入力オクテットに対して 2 種類の出力が可能です。ランニング・ディスパリティを計算することで、DC バランスを維持するには 2 つのコードグループのどちらを伝送すべきかを判断します。

コードグループのディスパリティが、サブブロックと呼ばれる 2 つのセグメントで解析されます。サブブロック 1 はコードグループの最初の 6 ビットで構成され、サブブロック 2 はコードグループの最後の 4 ビットで構成されます。サブブロック内の 1 の個数が 0 の個数より多いとき、ランニング・ディスパリティは正であり、0 の個数が 1 の個数より多いとき、ランニング・ディスパリティは負です。サブブロック内で 1 と 0 の個数が等しいとき、ランニング・ディスパリティは変化せず保たれます。

現在のランニング・ディスパリティの極性により、DC バランスを維持するには 2 つのコードグループのどちらを送信すべきかが決まります。ディスパリティの規則の詳細に関しては、IEEE 標準 802.3-2002 のパート 3、36.2.4.4 項を参照してください。

疑似ランダム・ビット・シーケンス (PRBS)

有限のインターバルでランダムな性質を持つデータ・シーケンス。最も一般的に使用される PRBS テスト・パターンは $1+x^m+x^n$ の形の多項式によって記述することができ、最長 $2n-1$ ビットの長さでランダムな性質を有します。ここで、 n は PRBS 多項式の次数を表し、 m はランダム・シーケンスの長さを最大化する役目を果たします。

スクランブラ

疑似ランダム・ビット・シーケンスを入力オクテットに適用し、高速シリアル・ビット・ストリームの総コンテンツを最小化するロジック・ブロック。

アプリケーション情報

コンバータの動作

LTC2123は、JESD204B 高速シリアル出力を備えた2チャンネル、14ビット、250Msps A/Dコンバータです。アナログ入力には差動でドライブする必要があります。最適性能を得るには、DEVCLK入力を差動でドライブする必要があります。高速シリアル・インタフェースは、最高5Gbps/レーンのデータ・レートに対応します。オーバーフロー/アンダーフロー・インジケータは、高速シリアル・データの一部として提供されています。また、オプションで、低遅延ダブル・データ・レートLVDS出力としても提供されています。SPIポートを使用して、複数のユーザー・オプションをプログラム可能です。

アナログ入力

アナログ入力は差動CMOSサンプル・ホールド回路です(図2)。入力は、 V_{CM} 出力ピンによって設定された同相電圧(公称0.8V)を基準にして、差動でドライブする必要があります。1.5Vの入力範囲の場合、入力を $V_{CM} - 0.375V$ から $V_{CM} + 0.375V$ まで振幅させます。入力間には 180° の位相差が必要です。2つのチャンネルは、共有クロック回路によって同時にサンプルされます。

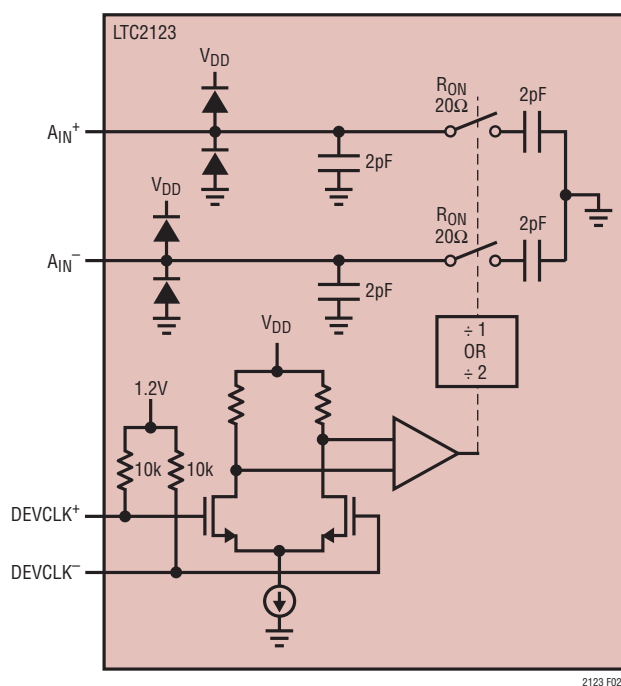


図2. シングル・チャンネル用の等価入力回路

入力駆動回路

入力のフィルタリング

可能であれば、アナログ入力のすぐ近くにRCローパス・フィルタを接続します。このローパス・フィルタがあると、A/Dコンバータのサンプル&ホールド・スイッチングから駆動回路が分離され、さらに駆動回路からの広帯域ノイズも制限されます。入力RCフィルタの例を図3に示します。RC部品値はアプリケーションの特定の入力周波数に基づいて選択します。

トランス結合回路

V_{CM} ピンを介して一対の抵抗によって与えられる同相電圧を持つRFトランスによって駆動されるアナログ入力を図3に示します。入力周波数が高いときは、伝送ラインのバラン・トランス(図4と図5)のバランスが良くなるので、A/D変換の歪みが小さくなります。

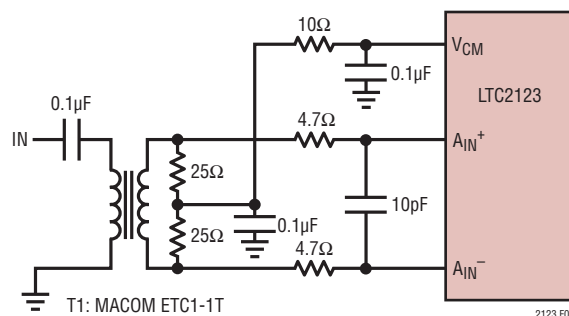


図3. トランスを使用したアナログ入力回路。
5MHz～70MHzの入力周波数に対して推奨

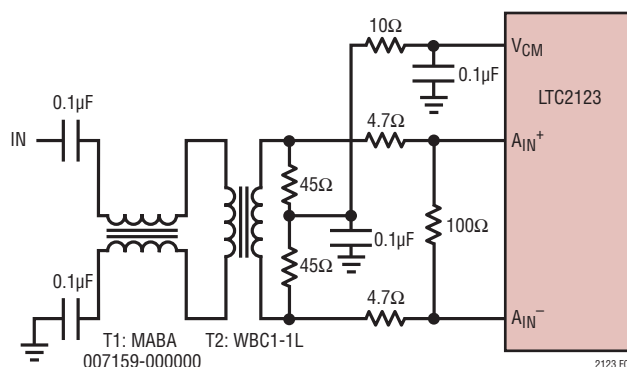


図4. 入力周波数が15MHz～150MHzの場合の推奨フロントエンド回路

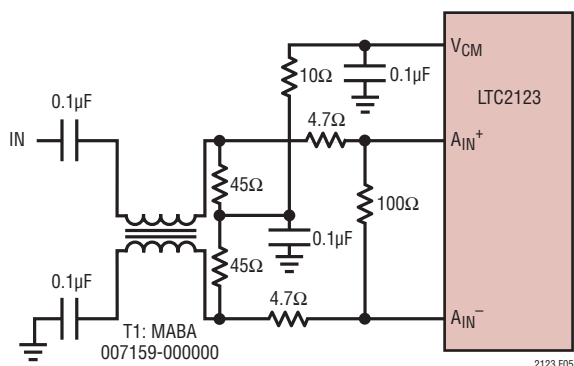


図5. 入力周波数が150MHz～900MHzの場合の推奨フロントエンド回路

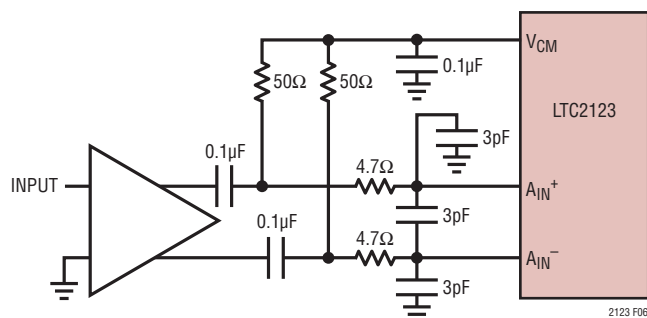


図6. 高速差動アンプを使ったフロントエンド回路

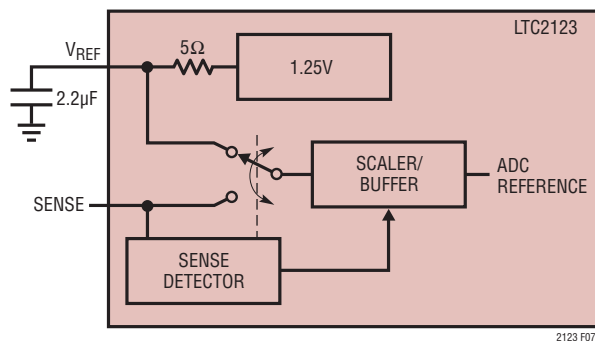


図7. リファレンス回路

アンプ回路

高速差動アンプによってドライブされるアナログ入力を図6に示します。アンプの出力はA/DコンバータにAC結合されているので、アンプの出力の同相電圧を最適に設定して歪みを最小限に抑えることができます。非常に高い周波数では、多くの場合、RF利得ブロックの方が差動アンプよりも歪みが小さくなります。利得ブロックがシングルエンドであれば、A/Dをドライブする前にトランス回路(図3～図5)で信号を差動に変換します。A/Dコンバータをシングルエンドでドライブすることはできません。

リファレンス

LTC2123は1.25Vの電圧リファレンスを内蔵しています。内部リファレンスを使用する1.5Vの入力範囲の場合、SENSEをVDDに接続します。外部リファレンスを使用する1.5Vの入力範囲の場合は、1.25Vのリファレンス電圧をSENSEに加えます(図7)。

デバイス・クロック(DEVCLK)入力

DEVCLKは、ADCサンプル・クロックをドライブするために使用されます。そのため、DEVCLK入力の信号品質はA/Dノイズ性能に大きな影響を与えます。DEVCLK入力はアナログ信号として扱う必要があります。これらは回路基板上のデジタル・トレースの隣に配線してはなりません。DEVCLK入力は内部で10kの等価抵抗を介して1.2Vにバイアスされています(図8)。

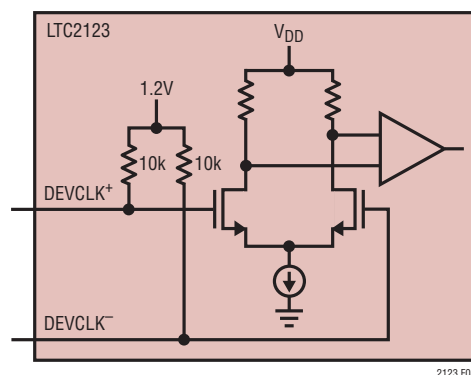


図8. 等価DEVCLK入力回路

アプリケーション情報

ドライバの同相電圧が1.1V～1.5Vの範囲内であれば、DEVCLK入力を直接ドライブすることが可能です。そうでなければ、トランスまたはカップリング・コンデンサが必要です(図9と図10)。入力信号の最大(ピーク)電圧は決して $V_{DD} + 0.1V$ を超えないように、または $-0.1V$ より低くならないようにします。

ADCサンプル・クロックは、DEVCLKから得られます。良好な性能を得るために、サンプル・クロックのデューティ・サイクルは50% ($\pm 5\%$) にします。LTC2123では、50%のデューティ・サイクルのサンプル・クロックを確保するため、2つのプログラム可能なオプションがあります。

- 1) オプションのDEVCLK2分周回路がクロック経路内に提供されており、2X高調波DEVCLKを50%デューティ・サイクル・サンプル・クロックに変換できます。2X_CLKオプションはSPIレジスタ2のビット2でイネーブルされます。
- 2) 2Xクロックがない場合は、クロック・デューティ・サイクル・スタビライザ(Duty Cycle Stabilizer : DCS)回路をイネーブルできます。イネーブル時、DEVCLKのデューティ・サイクルは30%～70%の範囲で変化することができ、デューティ・サイクル・スタビライザは内部デューティ・サイクルを50%に保ちます。デューティ・サイクル・スタビライザは、SPIレジスタ2のビット0でイネーブルされます。SPIレジスタで2X_CLKオプションを選択した場合、DCS_enビットのステートに関わらず、デューティ・サイクル・スタビライザはディスエーブルされます。

サンプル・レートを迅速に変更する必要があるが2Xクロックが使用できないアプリケーションでは、2X_CLKとクロック・デューティ・サイクル・スタビライザの両方をディスエーブルすることができます。その場合は、DEVCLKのデューティ・サイクルが50% ($\pm 5\%$) になるように注意してください。

オーバーフローの検出

オーバーフロー (OF) は、アナログ入力範囲を超えるか範囲未満であるときに検出されます。OF事象を通知するためのメカニズムは2つあります。

- 1) ADCデータのLSBの後のシリアル・ビット・ストリームの一部としてOFビットを送信
- 2) OF事象の早期通知専用のLVDS出力ペアが別に存在。LVDSのOFインジケータは、6サンプル・クロック・サイクルの遅延を持ちます。両方のADCコンバータのOF信号は多重化され、ダブル・データ・レートの1つの出力ペアになります。チャンネルAのOF信号は内部サンプル・クロックの前半分でアクティブで、チャンネルBのOF信号は周期の後半分でアクティブになります。

LVDSのOFインジケータは、標準LVDSレベルで出力されます。すなわち、出力電流は3.5mA、出力同相電圧は1.25Vです。正常に機能するためには、外付けの100 Ω 差動終端抵抗が必要です。終端抵抗は、LVDSレシーバにできるだけ近づけて配置します。使用する場合、このLVDS出力ペアはSPIレジスタ2のビット1でイネーブルします。

データ形式

アナログ入力電圧、デジタル・データ出力ビット、およびオーバーフロー・ビットの相互関係を表1に示します。出力のデータ形式はオフセット・バイナリです。

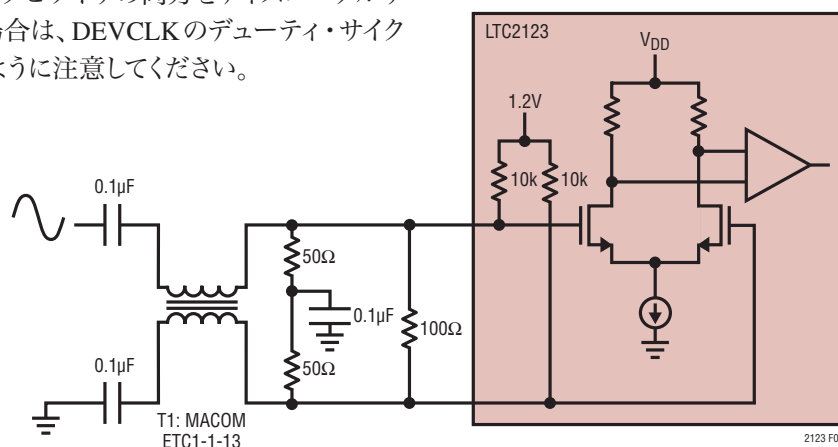


図9. 正弦波のDEVCLKドライブ

アプリケーション情報

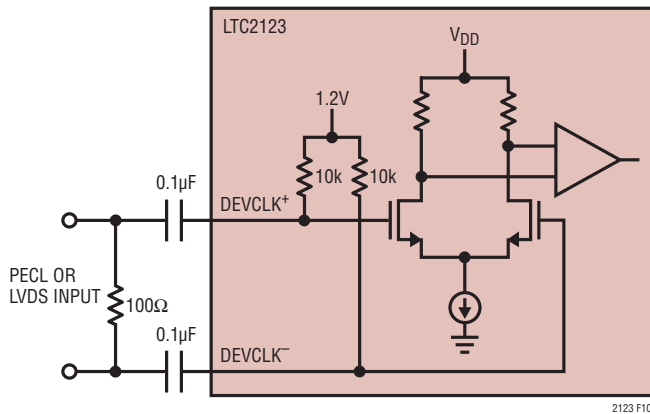


図 10. AC 結合された DEVCLK ドライブ

表 1. 出力コードと入力電圧

$A_{IN}^+ - A_{IN}^-$ (1.5V 範囲)	OF	D13~D0 (オフセット・バイナリ)
>0.75V	1	11 1111 1111 1111
+0.75V	0	11 1111 1111 1111
+0.749908V	0	11 1111 1111 1110
+0.0000915V	0	10 0000 0000 0001
+0.000000V	0	10 0000 0000 0000
-0.0000915V	0	01 1111 1111 1111
-0.0001831V	0	01 1111 1111 1110
-0.7499084V	0	00 0000 0000 0001
-0.75V	0	00 0000 0000 0000
<-0.75V	1	00 0000 0000 0000

パワーダウン・モード

パワーダウン・モードは、SPI インタフェースのレジスタ 1 で制御します。2 つの A/D コンバータ・チャネルを別々または同時にパワーダウンしたり、デバイス全体を節電のためにスリープ・モードにしたりすることができます。SPI レジスタ・ビットの「PDA」および「PDB」を使用すると、内部クロックとリファレンス回路をアクティブにしたまま、各 A/D コンバータのチャネルを個別にパワーダウンできます。「SLEEP」を使用すると、デバイス全体をパワーダウンし、消費電力は 5mW 未満になります。スリープ・モードから回復するのに要する時間は、 V_{REF} のバイパス・コンデンサの容量によって決まります。2.2μF の推奨値の場合、A/D コンバータは $0.1ms + 2500 \cdot t_p$ 経過後に安定化します。ここで、 t_p はサンプリング・クロックの周期です。

ナップ・モード

ナップ (NAP) モードでは、両 A/D コンバータのコアはパワーダウンしますが、内部クロック回路、リファレンス回路、シリアル・

インタフェースはアクティブなままなので、より高速に起動できます。ナップ・モードでは、各 A/D コンバータの出力のデータはゼロに強制されます。ナップ・モードでは、SPI およびシリアル・テスト・パターンは完全に機能しているため、SPI で任意のテスト・パターンを選択できます。ナップ・モードからの復帰には、最低でも 100 クロック・サイクルが必要です。

JESD204B の概要

JESD204B は、データ・コンバータ向けの高速シリアル・インタフェースを定義する JEDEC 規格です。シリアル化のメリットとして、PCB (プリント回路基板) のトレースが少なくなり、PCB レイアウトを簡素化できることが挙げられます。JESD204B を使用することで、サンプル開始位置の特定、複数のレーンに到着したデータの適切なアラインメントなど、シリアル・データ伝送にまつわるいくつかの問題を解決できます。

JESD204B デバイスは、業界標準の 8B/10B コードグループ (IEEE 802.3-2002、セクション 3) を使用してパラレル・データをエンコードします。ビットをエンコードすると、8 ビットにつき 2 ビットのオーバーヘッド要件がありますが (8 ビットは 10 ビットにエンコードされる)、シリアル化の前に ADC データをエンコードすることで、送信データをシリアル伝送に最適な形式にするメリットがあります。このようなメリットとして、DC バランス (AC 結合用) とランレングスの制限 (レシーバがフェーズロック・ループを使ってデータからクロックを抽出するのに十分な個数の遷移箇所を提供) などが挙げられます。

図 11 と図 12 は、送信前に ADC サンプル・データを 10 ビット・コードグループへ変換する過程を図示したものです。コードグループは、フレームおよびマルチフレームを構成します。LTC2123 で可能なレーン構成は次の 2 種類です。

- 1) 最高 5Gbps/レーンで動作する 2 レーン・モード (ADC1 個につき 1 レーン)
- 2) 最高 2.5Gbps/レーンで動作する 4 レーン・モード (ADC1 個につき 2 レーン)

SYNC~ 信号

高速シリアル・レーンに加えて、JESD204B では SYNC~ (アクティブ“L”) 信号を使用する必要があります。SYNC~ 信号はレシーバから発生し、LTC2123 への同期要求リクエストとして働きます (JESD204B 4.9)。

アプリケーション情報

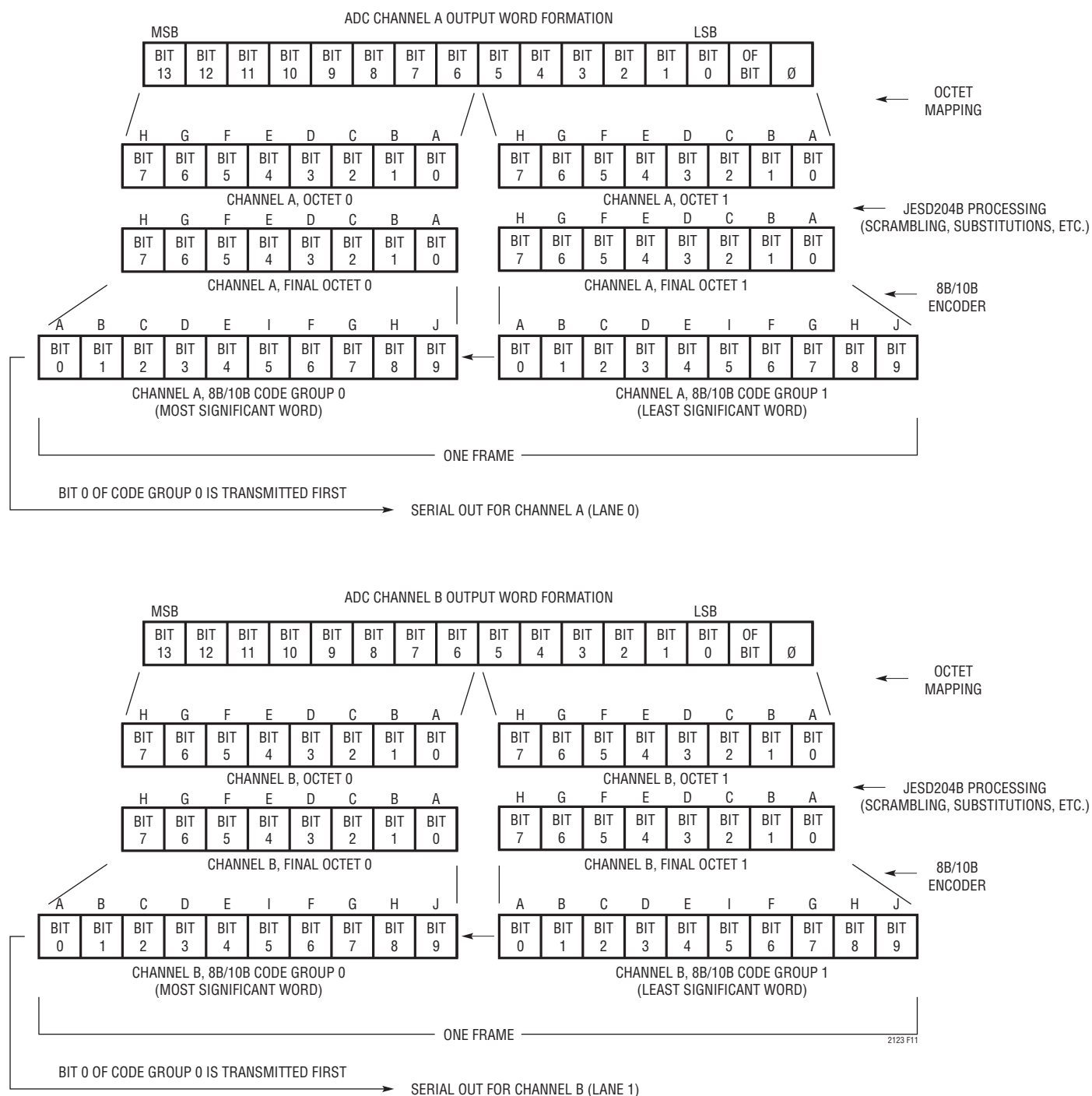


図11. 2レーン・モードにおける各レーンのワード構成

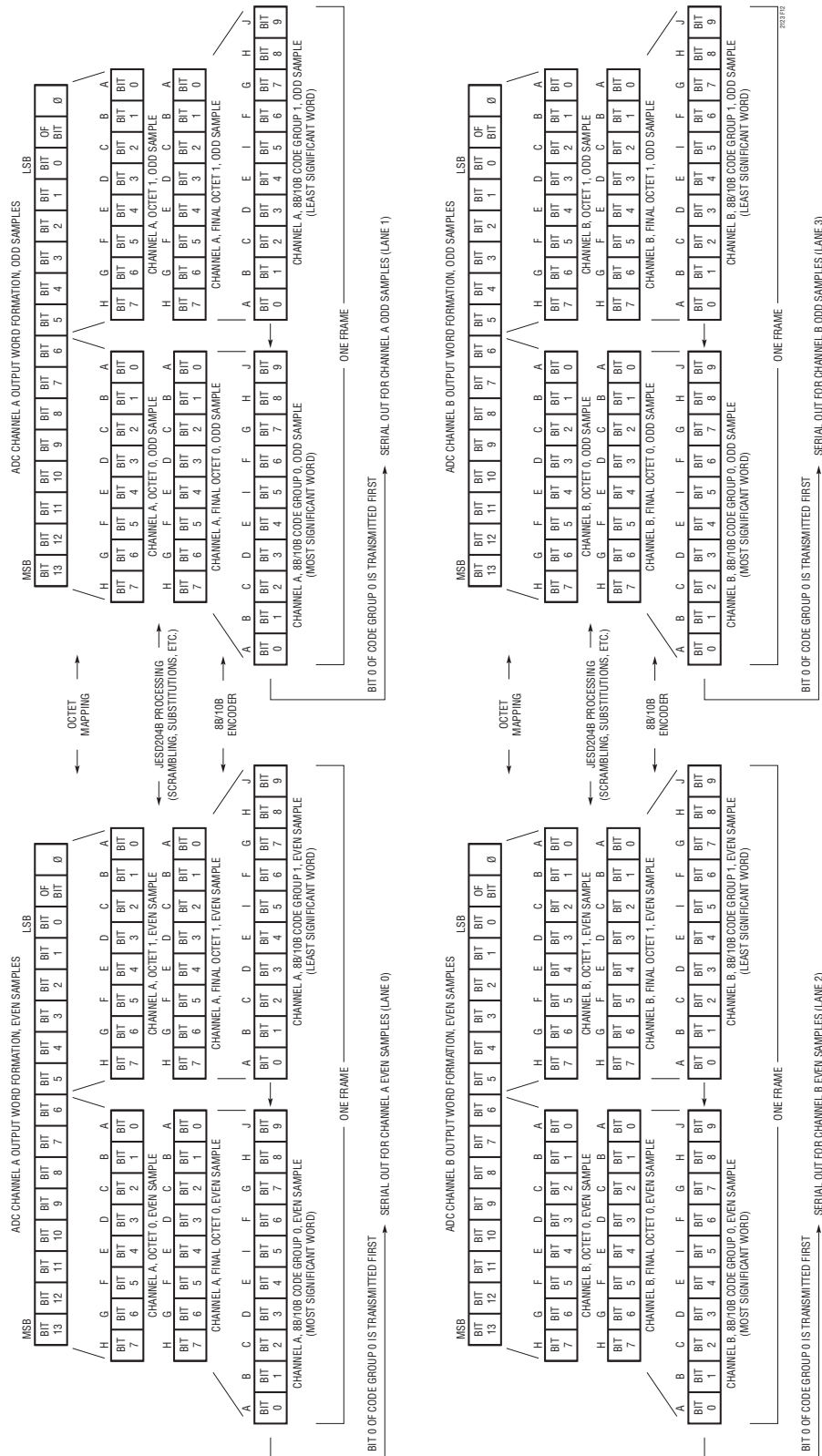


図12. 4レーン・モードにおける各レーンのワード構成

アプリケーション情報

表 2. JESD204B リンク構成パラメータ

JESD204B リンク構成パラメータ	ADC1 個につき 1 レーンのモードにおける LTC2123 のデバイス値	ADC1 個につき 2 レーンのモードにおける LTC2123 のデバイス値	エンコーディング
DID<7:0>	SPI Programmable	SPI Programmable	Binary Value
ADJCNT<3:0>	NA, 0000	NA, 0000	Binary Value
BID<3:0>	SPI Programmable	SPI Programmable	Binary Value
ADJDIR	NA, 0	NA, 0	Binary Value
PHADJ	NA, 0	NA, 0	Binary Value
LID ₋₁ <4:0> CMLOUT_A0 CMLOUT_A1 CMLOUT_B0 CMLOUT_B1	0_0000 NA 0_0001 NA	0_0000 0_0001 0_0010 0_0011	Binary Value Minus 1
SCR<0>	SPI Programmable		Binary Value
L ₋₁ <4:0>	0_0001	0_0011	Binary Value Minus 1
F ₋₁ <7:0>	0000_0001	0000_0001	Binary Value Minus 1
K ₋₁ <4:0>	SPI Programmable	SPI Programmable	Binary Value Minus 1
M ₋₁ <7:0>	0000_0001	0000_0001	Binary Value Minus 1
CS<1:0>	01	01	Binary Value
N ₋₁ <4:0>	0_1101	0_1101	Binary Value Minus 1
SUBCLASSV<2:0>	SPI Programmable	SPI Programmable	Binary Value
N' ₋₁ <4:0>	0_1111	0_1111	Binary Value Minus 1
JESDV<2:0>	001	001	Binary Value
S ₋₁ <4:0>	0_0000	0_0001	Binary Value Minus 1
HD	0	0	Binary Value
CF<4:0>	0_0000	0_0000	Binary Value
FCHK<7:0>	Sum of all fields mod 256	Sum of all fields mod 256	Binary Value

JESD204B リンク構成パラメータ

JESD204B がリンクの動作を表現するために使用するリンク構成パラメータは 20 個あります (JESD204B 8.3、表 20)。エラーなく通信を行うため、レシーバは LTC2123 のパラメータを照合する必要があります。LTC2123 のリンク・パラメータを表 2 にまとめます。

JESD204B のサブクラス

JESD204B の動作には 3 つのサブクラスがあります。サブクラスは、通信リンクを介して、異なるレベルの定遅延を提供します。ここでは、これら 3 つのサブクラスを簡単にまとめます。

サブクラス 0: 定遅延サポートなし。LTC2123 とレシーバ間でクリティカル・クロックをリセットおよびアラインメントするためのサポートを提供しません。LTC2123 はこのサブクラスに対応しています。

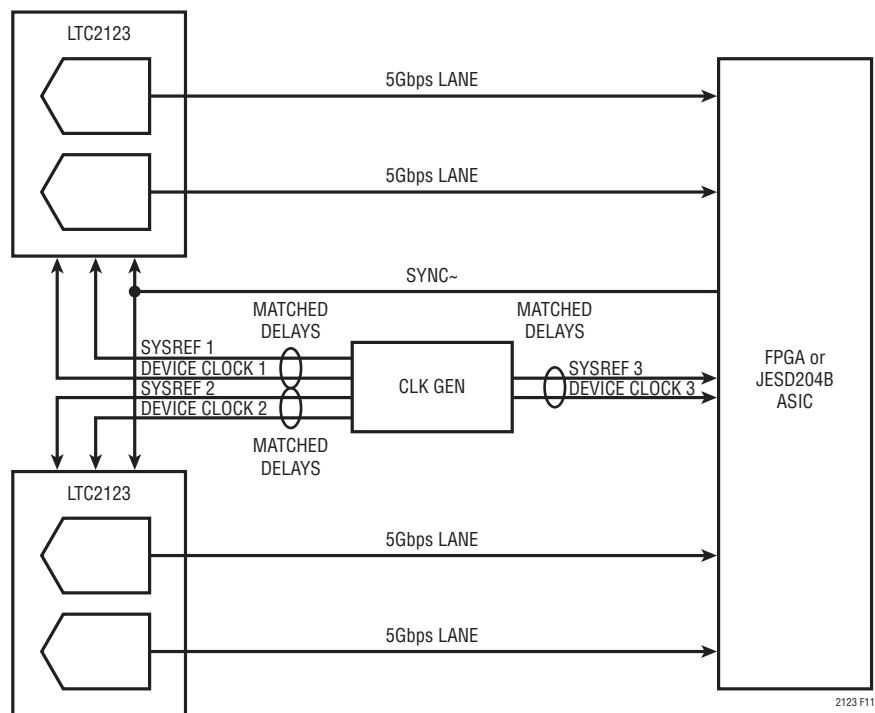
サブクラス 1: SYSREF 信号を追加することで、定遅延が実現されます。SYSREF 信号は、LTC2123 およびレシーバ内のクリティカル・クロックをアラインメントするための正確なタイミング情報を提供します。SYSREF の“L”から“H”への遷移は DEVCLK の立ち上がりエッジでサンプリングされるため、DEVCLK 信号と SYSREF 信号は互いに近い場所で生成され、これらの信号間の遅延が厳密に一致する必要があります (図 13)。LTC2123 はこのサブクラスに対応しています。

アプリケーション情報

サブクラス1に保護効果を加えるため、LTC2123はオプションでアラート・モードを提供しています。SYSREFの生成回路によっては、1つ目のSYSREFパルスとして誤ったパルスや短いパルスが生成されることがあります。1つ目のパルスの欠陥によってアラインメント・エラーが発生するのを防ぐため、オプションのアラート・モードをSPIでイネーブルできます。アラート・モードでは、LTC2123は1つ目のSYSREFパルスを無視し、2つ目のパルスでクリティカル・クロックをリセットします。したがって、1つ目のパルスはシステムを保護状態にする役をし、2つ目のパルスがクロックをリセットします。一定の(プログラム可能な)マルチフレーム数が経過しても2つ目のSYSREFパル

スを受信しない場合、次のSYSREFパルスを受信するまでシステムは保護解除状態になります。図14は、サブクラス1のアラート・モードのステート・マシンを示しています。

サブクラス2: DEVCLKの立ち上がりエッジでSYNC~信号の“L”から“H”の遷移をサンプリングすることで、定遅延をサポートします。SYNC~信号の“L”から“H”への遷移を検出すると、クリティカル・クロックが再アラインメントされます。LTC2123はこのサブクラスに対応していますが、その検出の分解能は常にA/DコンバータのDEVCLK周波数によって決定されます。



NOTE: INTERNAL CLOCKS ARE RESET BY SYSREF ON THE RISING EDGE OF THE DEVICE CLOCK. FOR DETERMINISTIC LATENCY, EACH SYSREF/DEVICE CLOCK PAIR SHOULD HAVE MATCHED DELAYS, AND SHOULD SATISFY SETUP AND HOLD REQUIREMENTS, t_{SU_SYN} AND t_{H_SYS} .

図13. JESD204B サブクラス1構成

アプリケーション情報

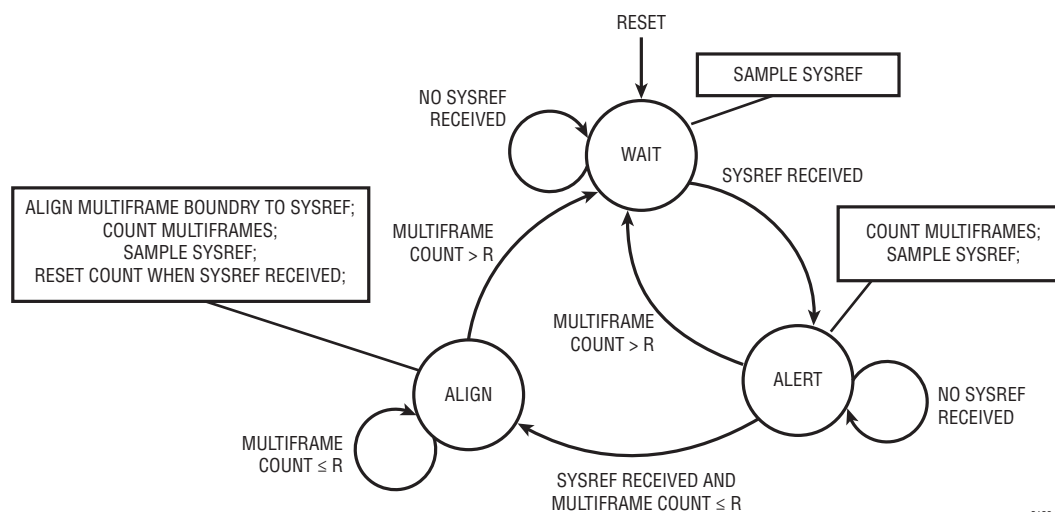


図 14. サブクラス1のアラート・モード

コードグループ同期
(JESD204B 5.3.3.1)

各レシーバが受信したシリアル・データに適切にアラインメントするため、各ADCトランスミッタは、コードグループ開始位置とフレームの開始位置をそのレシーバに伝達しなければなりません。複数のADCデバイスが複数のレーン上で伝送を行っている場合、レシーバがレーン間の関係性を判断するため、すべてのレーン上で同時にこのアラインメントを行う必要があります。レシーバは、そのSYNC~信号をアサートすることで同期を開始します。複数のレシーバが存在する場合、すべてのレシーバのSYNC~信号の論理ORを取ることで、すべてのADCデバイスに同時に同期リクエストを送ることができます。次の同期プロセスは、レシーバによっていつでも開始できます。

- レシーバがSYNC~信号(アクティブ“L”)をアサートすることで同期をリクエストします。
- ADCデバイスがローカル・フレーム・クロック(LFC)の5番目の立ち上がりエッジでSYNC~のアサートを検出します。検出後のフレームの最初で、各ADCトランスミッタは、データの代わりにK28.5記号の連続的ストリームをブロードキャストします。
- レシーバは、少なくとも4つの連続するK28.5記号を正しく受信した後、SYNC~信号をデアサートします。

サブクラス0:

- ADCデバイスは、SYNC~信号がデアサートされたことを、そのデバイス・クロックの立ち上がりエッジで検出し、検出後のフレームが開始するまで各レーン上でK28.5記号の送信を続けます。
- 初期レーン・アラインメント・シーケンス(ILAS)がディスエーブルされていない場合、ADCデバイスはそのマルチフレーム開始マーカをリセットし、ILASを送信し、次いでエンコードされたADCデータを送信します。ILASの長さは4マルチフレームです。
- ILASがディスエーブルされている場合、ADCデバイスはエンコードされたADCデータを各レーン上で送信し始めます。

サブクラス1:

- ADCデバイスは、SYNC~信号がデアサートされたことを、そのデバイス・クロックの立ち上がりエッジで検出し、次のマルチフレームが開始するまで各レーン上でK28.5記号の送信を続けます。
- ILASがディスエーブルされていない場合、ADCデバイスはマルチフレームの最初にILASを送信します。ILASのすぐ後にエンコードされたADCデータが続きます。
- ILASがディスエーブルされている場合、ADCデバイスはエンコードされたADCデータを、マルチフレーム境界の最初に各レーン上で送信し始めます。

アプリケーション情報

サブクラス2:

- このサブクラスの独自の特徴として、SYNC~信号はレシーバによってそのマルチフレーム境界上でデアサートされる必要があります。ADCデバイスはSYNC~信号がデアサートされたことをそのデバイス・クロックの立ち上がりエッジで検出します(遅延誤差を最小化するには、ADCデバイスのクロック周波数はレシーバ・デバイスのクロック周波数以上である必要があるため)。
- ADCのローカル・フレーム・クロック(LFC)およびローカル・マルチフレーム・クロック(LMFC)は検出されたエッジ上でリセットされます。
- 内部クロックをリセットした後、レシーバが新しいクロック位置に再同期できるよう、ADCデバイスは1マルチフレーム(少なくとも5フレーム+9オクテット)の間、K28.5記号を各レーン上で送信し続けます。ADCデバイスは、その次のマルチフレーム開始時にK28.5の送信を中止します。
- ILASがイネーブルされている場合、ADCデバイスはILASを送信し、続けてエンコードされたADCデータを送信します。
- ILASがイネーブルされていない場合、ADCデバイスはエンコードされたADCデータを各レーン上で送信します。

コードグループの開始は、各K28.5記号の開始と同時に行われます。

フレームの開始は、SYNC~信号がデアサートされてから初めての非K28.5記号と同時になります。

初期レーン・アラインメント・シーケンスの送信
(JESD204B 5.3.3.5)

レーン・アラインメント・シーケンスがSPIでディスエーブルされていないとき、レーン・アラインメント・シーケンスの表に示すシーケンスはコードグループ同期が完了した後すぐに送信されます。レーン・アラインメント・シーケンスは、4つの完全なマルチフレームで構成されます。1マルチフレーム当たりの最小オクテット数は、レーン・アラインメント・シーケンスの2番目のマルチフレームの構成内容によって最終的に制御されます。

レーン・アラインメント・シーケンスは、次のように構成されます。

- シーケンス内の各マルチフレームは、1つのK28.0制御記号で開始し、1つのK28.3記号で終了します。
- 8ビットレーン・アラインメント・カウンタを使用してレーン・アラインメント・シーケンス用のオクテット・データが生成されます。このカウンタは、コードグループ同期プロセスによってリセットされます。カウンタのクロックは、オクテット・クロック(文字クロック)で制御されます。
- レーン・アラインメント・カウンタのオクテットは、制御記号または構成オクテットの送信中でない限り、レーン・アラインメント・シーケンス中、常に送信されます。
- 2つ目のマルチフレームには構成データが含まれます。構成データはマルチフレームの3つ目のオクテットで開始し、先頭にK28.4記号がきます。
- レーン・アラインメント・シーケンスはスクランブルされないことがあります(SPIレジスタのスクランブル・オプションが無視される)。

K28.3記号はレーン・アラインメント記号であり、レシーバがリンク内のすべてのレーンでマルチフレーム境界ポイントをアラインメントするために使用できる場合があることに注意してください。

アプリケーション情報

2レーン・モード(ADC1個につき1レーン)用レーン・アラインメント・シーケンス表、1番目のマルチフレーム

表 3a. 最小マルチフレーム長 ($K=9$)、1 番目のマルチフレーム

フレーム	説明	データ・ オクテット (16進)	8B/10B シンボル
0	Start of Subsequence		K28.0
	Octet Counter	01	D1.0
1	Octet Counter	02	D2.0
	Octet Counter	03	D3.0
2	Octet Counter	04	D4.0
	Octet Counter	05	D5.0
3	Octet Counter	06	D6.0
	Octet Counter	07	D7.0
4	Octet Counter	08	D8.0
	Octet Counter	09	D9.0
5	Octet Counter	0A	D10.0
	Octet Counter	0B	D11.0
6	Octet Counter	0C	D12.0
	Octet Counter	0D	D13.0
7	Octet Counter	0E	D14.0
	Octet Counter	0F	D15.0
8	Octet Counter	10	D16.0
	Lane Alignment Symbol		K28.3

表 3b. 最大マルチフレーム長 ($K=32$)、1 番目のマルチフレーム

フレーム	説明	データ・ オクテット (16進)	8B/10B シンボル
0	Start of Subsequence		K28.0
	Octet Counter	01	D1.0
1	Octet Counter	02	D2.0
	Octet Counter	03	D3.0
2	Octet Counter	04	D4.0
	Octet Counter	05	D5.0
3	Octet Counter	06	D6.0
	Octet Counter	07	D7.0
4	Octet Counter	08	D8.0
	Octet Counter	09	D9.0
5	Octet Counter	0A	D10.0
	Octet Counter	0B	D11.0
6	Octet Counter	0C	D12.0
	Octet Counter	0D	D13.0
7	Octet Counter	0E	D14.0
	Octet Counter	0F	D15.0
8	Octet Counter	10	D16.0
	Octet Counter	11	D17.0
⋮	⋮	⋮	⋮
25	Octet Counter	32	D18.1
	Octet Counter	33	D19.1
26	Octet Counter	34	D20.1
	Octet Counter	35	D21.1
27	Octet Counter	36	D22.1
	Octet Counter	37	D23.1
28	Octet Counter	38	D24.1
	Octet Counter	39	D25.1
29	Octet Counter	3A	D26.1
	Octet Counter	3B	D27.1
30	Octet Counter	3C	D28.1
	Octet Counter	3D	D29.1
31	Octet Counter	3E	D30.1
	Lane Alignment Symbol		K28.3

アプリケーション情報

2レーン・モード(ADC1個につき1レーン)用レーン・アラインメント・シーケンス表、2番目のマルチフレーム

表3c. 最小マルチフレーム長($K=9$)、2番目のマルチフレーム

フレーム	説明	データ・ オクテット (16進)	8B/10B シンボル
0	Start of Subsequence		K28.0
	Start of Link Configuration		K28.4
1	$DID[7:0]$	*00	D0.0
	$\{ADJCNT[3:0], BID[3:0]\}$	*00	D0.0
2	$\{0, ADJDIR, PHADJ, LID[4:0]\}$	00	D0.0
	$\{SCR, 00, L_{-1}[4:0]\}$	*01	D1.0
3	$F_{-1}[7:0]$	01	D1.0
	$\{000, K_{-1}[4:0]\}$	*08	D8.0
4	$M_{-1}[7:0]$	01	D1.0
	$\{CS[1:0], 0, [N_{-1}[4:0]\}$	4D	D13.2
5	$\{SUBCLASSV[2:0], N'_{-1}[4:0]\}$	0F	D15.0
	$\{JESDV[2:0], S_{-1}[4:0]\}$	20	D0.1
6	$\{HD[0], 00, CF[4:0]\}$	00	D0.0
	Reserved	00	D0.0
7	Reserved	00	D0.0
	$FCHK[7:0]$	29	D9.1
8	Octet Counter	22	D2.1
	Lane Alignment Symbol		K28.3

X₋₁は、Xが-1エンコーディングの影響を受けることを示す。

{ }は、連結を示す。

*は、SPIで直接プログラム可能なフィールドを示す。

構成フィールドのデフォルト値: $DID=0$ 、 $BID=0$ 、 $LID=0$ 、 $SCR=0$ 、 $L=2$ 、 $F=2$ 、 $K=9$ または32、 $M=2$ 、 $CS=1$ 、 $N=14$ 、 $SUBCLASSV=0$ 、 $N'=16$ 、 $S=1$ 、 $HD=0$ 、 $CF=0$

フィールドの説明: DID =デバイスID、 BID =バンクID、 LID =レーンID、 SCR =スクランブリングがイネーブルされている、 L =レーン数/デバイス、 F =オクテット数/フレーム、 K =フレーム数/マルチフレーム、 M =コンバータ数/デバイス、 CS =制御ビット数/サンプル、 N =コンバータの分解能、 N' =総ビット数/サンプル、 S =サンプル数/コンバータ/フレーム、 HD =高密度フォーマット、 CF =制御ワード数/フレーム/リンク、 $FCHK$ =全フィールドのチェックサム(mod 256)

表3d. 最大マルチフレーム長($K=32$)、2番目のマルチフレーム

フレーム	説明	データ・ オクテット (16進)	8B/10B シンボル
0	Start of Subsequence		K28.0
	Start of Link Configuration		K28.4
1	$DID[7:0]$	*00	D0.0
	$\{ADJCNT[3:0], BID[3:0]\}$	*00	D0.0
2	$\{0, ADJDIR, PHADJ, LID[4:0]\}$	*00	D0.0
	$\{SCR[0], 00, L_{-1}[4:0]\}$	*01	D1.0
3	$F_{-1}[7:0]$	01	D1.0
	$\{000, K_{-1}[4:0]\}$	*1F	D8.0
4	$M_{-1}[7:0]$	01	D1.0
	$\{CS[1:0], 0, [N_{-1}[4:0]\}$	4D	D13.2
5	$\{SUBCLASSV[2:0], N'_{-1}[4:0]\}$	0F	D15.0
	$\{JESDV[2:0], S_{-1}[4:0]\}$	20	D0.1
6	$\{HD[0], 00, CF[4:0]\}$	00	D0.0
	Reserved	00	D0.0
7	Reserved	00	D0.0
	$FCHK[7:0]$	40	D0.2
8	Octet Counter	50	D16.2
	Octet Counter	51	D17.2

⋮	⋮	⋮	⋮
25	Octet Counter	72	D18.3
	Octet Counter	73	D19.3
26	Octet Counter	74	D20.3
	Octet Counter	75	D21.3
27	Octet Counter	76	D22.3
	Octet Counter	77	D23.3
28	Octet Counter	78	D24.3
	Octet Counter	79	D25.3
29	Octet Counter	7A	D26.3
	Octet Counter	7B	D27.3
30	Octet Counter	7C	D28.3
	Octet Counter	7D	D29.3
31	Octet Counter	7E	D30.3
	Lane Alignment Symbol		K28.3

アプリケーション情報

2レーン・モード(ADC1個につき1レーン)用レーン・アラインメント・シーケンス表、3番目のマルチフレーム

表 3e. 最小マルチフレーム長 ($K=9$)、3 番目のマルチフレーム

フレーム	説明	データ・ オクテット (16進)	8B/10B シンボル
0	Start of Subsequence		K28.0
	Octet Counter	25	D5.1
1	Octet Counter	26	D6.1
	Octet Counter	27	D7.1
2	Octet Counter	28	D8.1
	Octet Counter	29	D9.1
3	Octet Counter	2A	D10.1
	Octet Counter	2B	D11.1
4	Octet Counter	2C	D12.1
	Octet Counter	2D	D13.1
5	Octet Counter	2E	D14.1
	Octet Counter	2F	D15.1
6	Octet Counter	30	D16.1
	Octet Counter	31	D17.1
7	Octet Counter	32	D18.1
	Octet Counter	33	D19.1
8	Octet Counter	34	D20.1
	Lane Alignment Symbol		K28.3

表 3f. 最大マルチフレーム長 ($K=32$)、3 番目のマルチフレーム

フレーム	説明	データ・ オクテット (16進)	8B/10B シンボル
0	Start of Subsequence		K28.0
	Octet Counter	81	D1.4
1	Octet Counter	82	D2.4
	Octet Counter	83	D3.4
2	Octet Counter	84	D4.4
	Octet Counter	85	D5.4
3	Octet Counter	86	D6.4
	Octet Counter	87	D7.4
4	Octet Counter	88	D8.4
	Octet Counter	89	D9.4
5	Octet Counter	8A	D10.4
	Octet Counter	8B	D11.4
6	Octet Counter	8C	D12.4
	Octet Counter	8D	D13.4
7	Octet Counter	8E	D14.4
	Octet Counter	8F	D15.4
8	Octet Counter	90	D16.4
	Octet Counter	91	D17.4
⋮	⋮	⋮	⋮
25	Octet Counter	B2	D18.5
	Octet Counter	B3	D19.5
26	Octet Counter	B4	D20.5
	Octet Counter	B5	D21.5
27	Octet Counter	B6	D22.5
	Octet Counter	B7	D23.5
28	Octet Counter	B8	D24.5
	Octet Counter	B9	D25.5
29	Octet Counter	BA	D26.5
	Octet Counter	BB	D27.5
30	Octet Counter	BC	D28.5
	Octet Counter	BD	D29.5
31	Octet Counter	BE	D30.5
	Lane Alignment Symbol		K28.3

アプリケーション情報

2レーン・モード(ADC1個につき1レーン)用レーン・アラインメント・シーケンス表、4番目のマルチフレーム

表 3g. 最小マルチフレーム長 ($K=9$)、4番目のマルチフレーム

フレーム	説明	データ・ オクテット (16進)	8B/10B シンボル
0	Start of Subsequence		K28.0
	Octet Counter	37	D23.1
1	Octet Counter	38	D24.1
	Octet Counter	39	D25.1
2	Octet Counter	3A	D26.1
	Octet Counter	3B	D27.1
3	Octet Counter	3C	D28.1
	Octet Counter	3D	D29.1
4	Octet Counter	3E	D30.1
	Octet Counter	3F	D31.1
5	Octet Counter	40	D0.2
	Octet Counter	41	D1.2
6	Octet Counter	42	D2.2
	Octet Counter	43	D3.2
7	Octet Counter	44	D4.2
	Octet Counter	45	D5.2
8	Octet Counter	46	D6.2
	Lane Alignment Symbol		K28.3

表 3h. 最大マルチフレーム長 ($K=32$)、4番目のマルチフレーム

フレーム	説明	データ・ オクテット (16進)	8B/10B シンボル
0	Start of Subsequence		K28.0
	Octet Counter	C1	D1.6
1	Octet Counter	C2	D2.6
	Octet Counter	C3	D3.6
2	Octet Counter	C4	D4.6
	Octet Counter	C5	D5.6
3	Octet Counter	C6	D6.6
	Octet Counter	C7	D7.6
4	Octet Counter	C8	D8.6
	Octet Counter	C9	D9.6
5	Octet Counter	CA	D10.6
	Octet Counter	CB	D11.6
6	Octet Counter	CC	D12.6
	Octet Counter	CD	D13.6
7	Octet Counter	CE	D14.6
	Octet Counter	CF	D15.6
8	Octet Counter	D0	D16.6
	Octet Counter	D1	D17.6
⋮	⋮	⋮	⋮
25	Octet Counter	F2	D18.7
	Octet Counter	F3	D19.7
26	Octet Counter	F4	D20.7
	Octet Counter	F5	D21.7
27	Octet Counter	F6	D22.7
	Octet Counter	F7	D23.7
28	Octet Counter	F8	D24.7
	Octet Counter	F9	D25.7
29	Octet Counter	FA	D26.7
	Octet Counter	FB	D27.7
30	Octet Counter	FC	D28.7
	Octet Counter	FD	D29.7
31	Octet Counter	FE	D30.7
	Lane Alignment Symbol		K28.3

アプリケーション情報

JESD204Bの動作モード

スクランブル・モード

(JESD204B 5.2、別添D)

シリアル・データ出力からのスペクトル干渉を防ぐため、SPIでイネーブルされているデータ・スクランブラがADCデータと8B/10Bエンコーダの間に追加され、シリアル・リンクのスペクトラムをランダム化します。スクランブラに使用される多項式は $1+x^{14}+x^{15}$ で、これは $2^{15}-1$ ごとに自身を繰り返す擬似ランダム・パターンです。

スクランブルされたデータは、2つの有効な8B/10Bコードグループに変換されます。これらの8B/10Bコードグループは、次いでシリアル化され送信されます。

データを非シリアル化し、コードグループをオクテットにデコードし、それをJESD204B 5.2に記載されているセルフアライニング・デスクランブラを使用して元のオクテットにデスクランブルするためにレシーバが必要です。

フレーム・アラインメント・モニタリング(FAM)

(JESD204B 5.3.3.4、7.3)

各フレームには、2つ以上のオクテットまたはコードグループが含まれます。そのため、レシーバのフレーム・アラインメントが正しいことを定期的に検証する必要があります。

フレーム・アラインメント・モニタリングがSPIでディスエーブルされていないとき、レシーバはフレーム・アラインメントをデータ損失なしに検証できます。これを実現するため、フレームの最後のコードグループ内の既定のデータが制御文字K28.7で置き換えられます。レシーバは、K28.7文字を検出して元のデータに置き換える必要があります。このようにして、最後のオクテットまたはコードグループを検証できます。フレーム・アラインメント・モニタリング・モードは2つあります。

FAMモード1は、スクランブリングがイネーブルされていないとき、次のように実装されます。

- 現在のフレームの最後のコードグループのデータが前のフレームの最後のコードグループのデータと等しい場合、コンバータは最後のコードグループを制御文字K28.7に置き換えてからシリアル化を実行します。ただし、K28.7記号がすでに前のフレームで送信済みだった場合、実際のコードグループが送信されます。レーン・アラインメント・モニタリングがイネーブルされており、それがマルチフレームの最後のコードグループである場合、前のフレームで制御記号が送信されていたとしても、K28.7の代わりにK28.3が送信されます。
- K28.7記号を受信すると、レシーバはそれを前のフレームの同じ位置でデコードされたデータに置き換える必要があります。

FAMモード2はスクランブリングがイネーブルされているとき、次のように実装されます。

- 現在のフレームの最後のコードグループ内のデータがD28.7に等しいとき、コンバータはこのデータをK28.7制御文字に置き換えます。レーン・アラインメント・モニタリングがイネーブルされており、それがマルチフレームの最後のコードグループである場合、K28.7の代わりにK28.3が送信されます。
- K28.7記号を受信すると、レシーバはそれをD28.7に置き換える必要があります。

FAMがイネーブルされているとき、レシーバはデータ・ストリーム内にK28.7記号が存在するか探索する必要があります。フレームの末尾とみなされる位置以外の同じ場所に2つの連続するK28.7記号が検出されたら、レシーバはそのフレーム境界を新しい位置に再アラインメントします。

レーン・アラインメント・モニタリング(LAM)

(JESD204B 5.3.3.6、7.5)

リンク内に複数のレーンが存在する場合、各レーンの継続的アラインメントを周期的にモニタすることが役立ちます。

アプリケーション情報

レシーバがデータ損失なしにレーン・アラインメントを検証できるように、送信されたデータにはレーン・アラインメント記号が置換ベースで挿入されます。このモードでは、マルチフレームの最後のコードグループの既定のデータが制御記号 K28.3 で置き換えられます。レシーバは、K28.3 文字を検出して元のデータに置き換える必要があります。このようにすることで、マルチフレームの最後のコードグループをマーキングし、レーン・アラインメントに使用できるようになります。レーン・アラインメント・モニタリング・モードは2つあります。

LAMモード1は、スクランプリングがイネーブルされていないとき、次のように実装されます。

- それがマルチフレームの最後のコードグループであり、そのデータが前のフレームの最後のコードグループのデータと等しい場合、コンバータは現在のコードグループを制御記号 K28.3 に置き換えます。
- K28.3 記号を受信すると、レシーバはそれを前のフレームの同じ位置でデコードされたデータに置き換える必要があります。

LAMモード2は、スクランプリングがイネーブルされているとき、次のように実装されます。

- それがマルチフレームの最後のコードグループであり、コードグループのデータが D28.3 に等しい場合、コンバータはこのデータを K28.3 制御記号と置き換えます。
- K28.3 記号を受信すると、レシーバはそれを D28.3 に置き換える必要があります。

シンプルな周期テスト・パターンと複雑な周期テスト・パターン

評価およびシステム・デバッグのため、7つのテスト・パターンがユーザーに提供されています。

パターン1: 周期 K28.5

パターン1は、K28.5 コンマの両方のデイスパリティを含んでおり、20ビット長です。K28.5 パターンには、最大ランレングスと最小ランレングスの独自の組み合わせが含まれているため、符号間干渉 (ISI) の影響を素早く観察するのに役立ちます。

パターン2: 周期 K28.7

パターン2は、高速シリアル・インタフェースで可能な最小周波数の方形波を生成します(「1111100000」パターン)。

パターン3: 周期 D21.5

パターン3は、高速インタフェースで可能な最大周波数を生成します(「1010」パターン)。

パターン4: PRBS15

パターン4は、多項式 $1+x^{14}+x^{15}$ (JESD204B 5.2 に記載されているスクランブラが使用するのと同じ多項式) に基づく疑似ランダム・ビット・シーケンスです。このパターンを選択した場合、スクランブラが内部的に強制オンされ、ADC データは強制的にゼロになります。8B/10B エンコーディング前のシーケンスの長さは $2^{15}-1$ です。

フレーム・アラインメント・モニタリングおよびレーン・アラインメント・モニタリングがディスエーブルされていないとき、本データシートの「フレーム・アラインメント・モニタリング」セクションと「レーン・アラインメント・モニタリング」セクションに記載されているとおり、データの置換が行われます。

パターン5: 繰り返しレーン・アラインメント・シーケンス

パターン5は、JESD204B 5.3.3.8.2 に記載されているレーン・アラインメント・シーケンスの連続送信です。このモードでは、次のようになります。

ケース1 - この状態に入る前に SYNC~ がアクティブである場合

- コードグループ同期が実行されます (SYNC~ がデアサートされるまで K28.5 コンマが全フレームで送信されます)。
- 表 3a ~ 3h に従って、レーン・アラインメント・シーケンスが繰り返し送信されます。

ケース2 - この状態に入る前に SYNC~ がアクティブでない場合

- K28.5 コンマの少なくとも1つのマルチフレームが送信されます。
- 表 3a ~ 3h に従って、レーン・アラインメント・シーケンスが繰り返し送信されます。

スクランプリングがイネーブルされている場合、テスト・サンプルはスクランブルされません。

このテスト・シーケンスは、レシーバからの同期リクエストに敏感です。テスト・サンプル送信中に SYNC~ 信号がアサートされるといつでも、レーン・アラインメント・シーケンス・ポインタがリセットされ、ケース1が繰り返されます。

アプリケーション情報

パターン6:テスト・サンプル・シーケンス

パターン6は、JESD204B 5.1.6.3に定義されている複数のテスト・サンプルのセットです。これらのテスト・サンプルをリンクを介して送信することで、A/Dコンバータのデータ・マッピングがレシーバと一致することを確認できるようになります。A/Dコンバータをテスト・サンプル送信モードにするには、対応するビットが周期テスト・パターンSPIレジスタにセットされている必要があります。このビットをセットすると、次のことが実行されます。

ケース1 - このステートに入る前にSYNC~がアクティブである場合

- コードグループ同期が実行されます (SYNC~がデアサートされるまでK28.5コンマが全フレームで送信されます)。
- 表3a～3hに従って、レーン・アラインメント・シーケンスが (イネーブルされている場合)送信されます。
- 表4a～4bに従って、テスト・サンプルが繰り返し送信されます。

ケース2 - このステートに入る前にSYNC~がアクティブでない場合

- 4個のK28.5コンマが送信されます。
- 表3a～3hに従って、レーン・アラインメント・シーケンスが (イネーブルされている場合)送信されます。
- 表4a～4bに従って、テスト・サンプルが繰り返し送信されます。

スクランプリングがイネーブルされている場合、テスト・サンプルはスクランブルされますが、レーン・アラインメント・シーケンスはスクランブルされません。

このテスト・シーケンスは、レシーバからの同期リクエストに敏感です。テスト・サンプル送信中にSYNC~信号がアサートされるといつでも、テスト・サンプル・シーケンス・ポインタがリセットされ、ケース1が繰り返されます。

表4a. パターン6のテスト・サンプル・データの説明、1レーン/ADC ($L=2$)、2オクテット/フレーム ($F=2$)、1サンプル/コンバータ/フレーム周期 ($S=1$)

テスト・サンプル・シーケンス	ADC 0		ADC 1	
	レーン0のオクテット		レーン1のオクテット	
Frame 0 ($CID+1$)	0000_0000	0000_0110	0000_0000	0000_1000
Frame 1 ($SID+1$)	0000_0000	0000_0100	0000_0000	0000_0110
Frame i , $2 \leq i \leq K$ (MSB set to 1)	1000_0000	0000_0000	1000_0000	0000_0000

表4b. パターン6のテスト・サンプル・データの説明、2レーン/ADC ($L=4$)、2オクテット/フレーム ($F=2$)、2サンプル/コンバータ/フレーム周期 ($S=2$)

テスト・サンプル・シーケンス	ADC 0				ADC 1			
	レーン0のオクテット		レーン1のオクテット		レーン2のオクテット		レーン3のオクテット	
Frame 0 ($CID+1$)	0000_0000	0000_0110	0000_0000	0000_0100	0000_0000	0000_1000	0000_0000	0000_1000
Frame 1 ($SID+1$)	0000_0000	0000_0100	0000_0000	0000_1010	0000_0000	0000_0100	0000_0000	0000_1000
Frame 2	1000_0000	0000_0000	1000_0000	0000_0000	1000_0000	0000_0010	1000_0000	0000_0000
Frame 3	1000_0000	0000_0000	1000_0000	0000_0000	1000_0000	0000_0000	1000_0000	0000_0010
Frame i , $2 \leq i \leq K$ (MSB set to 1)	1000_0000	0000_0000	1000_0000	0000_0000	1000_0000	0000_0000	1000_0000	0000_0000

注記: CID = コンバータID、 SID = サンプルID、 K = マルチフレーム内のフレーム数、1は制御ビットの位置を示す (オーバーフロー・ビット)

アプリケーション情報

パターン7:改良 RPAT

JESD204B の 4.4.1、4.5.1、4.6.1 項は、ジッタ準拠テストのため、可能な2つのパターンのうち1つをトランスミッタがサポートすることを要求しています。改良 RPAT パターンはこれら2つのパターンの1つで、連続的に繰り返される12個の特有のコードグループで構成されます(改良 RPAT シーケンスの説明は、IEEE 標準 802.3-2008、別添 48A に記載されています)。

この RPAT パターンは、正のデイスパリティで開始する必要があります。正のデイスパリティをスムーズに強制するため、10文字のプリアンブルが送信されます。最初の9文字は D5.6 コードグループです。この D5.6 が前のデイスパリティを保持します。これら9個の記号のデイスパリティが正の場合、10番目のプリアンブル記号も D5.6 記号になります。デイスパリティが負の場合、D16.2 コードグループを10番目のプリアンブル文字として送信して、反転を強制します。

表5. 改良 RPAT テスト・パターン

コードグループ名	オクテット値 (16進)	デイスパリティ
D30.5	BE	+
D23.6	D7	-
D3.1	23	+
D7.2	47	+
D11.3	6B	+
D15.4	8F	+
D19.5	B3	+
D20.0	14	+
D30.2	5E	-
D27.7	FB	+
D21.1	35	+
D25.2	59	+

シリアル・プログラミング

$\overline{CS}$ 、SCK、SDI、および SDO の各ピンは、A/D コンバータの制御レジスタをプログラムするシリアル周辺装置インタフェース (SPI) になります。データは16ビットのシリアル・ワードでレジスタに書き込まれます。データをレジスタから読み出して、レジスタの内容を検証することもできます。シリアル・データ転送は $\overline{CS}$ が“L”になると開始されます。SDI ピンのデータは、SCK の先頭から16番目までの立ち上がりエッジでラッチされます。先頭から16番目より後の SCK の立ち上がりエッジは無視されます。データ転送は、 $\overline{CS}$ が再度“H”になると終了します。16ビットの入力ワードの先頭ビットは R/ $\overline{W}$ ビットです。次の7ビットはレジスタのアドレス (A6:A0) です。最後の8ビットはレジスタのデータ (D7:D0) です。R/ $\overline{W}$ ビットが“L”の場合、シリアル・データ (D7:D0) はアドレス・ビット (A6:A0) で設定されるレジスタに書き込まれます。R/ $\overline{W}$ ビットが“H”の場合は、アドレス・ビット (A6:A0) によって設定されるレジスタ内のデータが SDO ピンで読み出されます(タイミング図を参照)。読み出しコマンドの実行中、レジスタは更新されず、SDI のデータは無視されます。SDO ピンはオープン・ドレイン出力で、200Ω のインピーダンスでグラウンドに引き下げられます。レジスタのデータを SDO を介して読み出す場合は、2k の外付けプルアップ抵抗が必要です。シリアル・データが書き込み専用で読み出す必要がない場合は、SDO をフロート状態のままにしてもかまわないため、プルアップ抵抗は不要です。モード制御レジスタのマップを表6に示します。

ソフト・リセット

モード制御レジスタは、電源がオンして安定した後できるだけ早くプログラムする必要があります。すべての SPI レジスタをデフォルト値にグローバル・リセットするには、アドレス0のビット D7 に1を書き込みます。リセットが完了した後、ビット D7 は自動的に0に戻ります。このレジスタは書き込み専用です。

アプリケーション情報

表 6.SPIレジスタのメモリ・マップ

SPIレジスタの内容	アドレス	D7	D6	D5	D4	D3	D2	D1	D0
Soft Reset	0	Reset							
Power Down	1					SLEEP	NAP	PDB	PDA
ADC CNTL	2						2X_CLK	OF_en	DCS_en
Device ID	3	DID[7:0]							
Bank ID	4					BID[3:0]			
Lanes (-1)	5						L ₋₁ [2:0]		
Frames/Multiframe (-1)	6				K ₋₁ [4:0]				
JESD204B Modes	7			LAS_dis	LAM_dis	FAM_dis	Reserved	RST_dis	SCR_en
JESD204B Subclass Modes	8	R ₋₁ [2:0] (Alert Length)			Alert	TX_SYNC	SUBCLASS[2:0]		
Periodic Test Patterns	9						PAT[2:0]		
Normal Data							0	0	0
K28.5 (SYNC Comma)							0	0	1
K28.7 (…1111100000…)							0	1	0
D21.5 (…10101010…)							0	1	1
PRBS15 (1+x ¹⁴ +x ¹⁵)							1	0	0
Lane Alignment Sequence							1	0	1
Test Samples Sequence							1	1	0
Modified RPAT pattern							1	1	1
CML Output Magnitude	10							CML BIAS[1:0]	
10mA (250mV)								0	0
12mA (300mV)								0	1
14mA (350mV)								1	0
16mA (400mV)								1	1

注記: X₋₁ はそのフィールドXが-1エンコーディングの影響を受けることを示す。

アプリケーション情報

レジスタ A0: リセット・レジスタ (アドレス 00h)

D7	D6	D5	D4	D3	D2	D1	D0
Reset	X	X	X	X	X	X	X

このレジスタは書き込み専用。このレジスタの読み出しは「オール1」になります。

ビット7 **RESET** ソフトウェア・リセット・ビット

0 = リセットがディスエーブルされている

1 = ソフトウェア・リセット。すべてのSPIレジスタがデフォルト値にセットされる。リセットが完了すると、このビットは自動的に0に戻る。

ビット6～0 不使用のビット

レジスタ A1: パワーダウン・モード (アドレス 01h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	Sleep	Nap	PDB	PDA

ビット7～4 未使用のビット

ビット3 **SLEEP**

0 = 通常動作

1 = ADC全体をパワーダウン

ビット2 **NAP**

0 = 通常動作 (デフォルト設定)

1 = 両方のチャンネルが低消費電力キープアライブ・モード

ビット1 **PDB**

0 = 通常動作 (デフォルト設定)

1 = チャンネルBをパワーダウン

ビット0 **PDA**

0 = 通常動作 (デフォルト設定)

1 = チャンネルAをパワーダウン

レジスタ A2: ADC制御 (アドレス 02h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	2X_CLK	OF_en	DCS_en

ビット7～3 不使用のビット

ビット2 **2X_CLK**

0 = DEVCLK周波数はサンプル周波数に等しい (デフォルト設定)

1 = DEVCLK周波数はサンプル周波数の2倍

ビット1 **OF_en**

0 = LVDS オーバーフロー出力がディスエーブルされている (デフォルト設定)

1 = LVDS オーバーフロー出力がイネーブルされている

ビット0 **DCS_en**

0 = デューティ・サイクル・スタビライザがディスエーブルされている (デフォルト設定)

1 = デューティ・サイクル・スタビライザがイネーブルされている

レジスタ A3: デバイスID (アドレス 03h)

D7～D0							
DID[7:0]							

ビット7～0 **DID[7:0]** デバイスID。デフォルト値は00000000。

DIDは、JESD204B 8.3で定義されている。最初のレーン・アラインメント・シーケンスを送信している間のみ使用され、A/Dコンバータの構成や機能に影響しない。

アプリケーション情報

レジスタ A4: バンク ID (アドレス 04h)

D7	D6	D5	D4	D3 ~ D0
X	X	X	X	BID[3:0]

ビット 7 ~ 4 不使用するビット

ビット 3 ~ 0 **BID[3:0]** バンク ID。デフォルト値は 0000。

BID は、JESD204B 8.3 で定義されている。DID ワードの拡張として提供されている。最初のレーン・アラインメント・シーケンスを送信している間のみ使用され、A/D コンバータやシリアル・リンクの構成や機能に影響しない。

レジスタ A5: レーン数 -1 (アドレス 05h)

D7	D6	D5	D4	D3	D2 ~ D0
X	X	X	X	X	L ₋₁ [2:0]

ビット 7 ~ 3 不使用するビット

ビット 2 ~ 0 **L₋₁[2:0]** L の値がデバイスを構成。レーン・アラインメント・シーケンスでも送信される。

001 = 2 レーン (ADC1 個につき 1 レーン、デフォルト設定)

011 = 4 レーン (ADC1 個につき 2 レーン)

レジスタ A6: マルチフレーム当たりのフレーム数 -1 (アドレス 06h)

D7	D6	D5	D4 ~ D0
X	X	X	K ₋₁ [4:0]

ビット 7 ~ 5 不使用するビット

ビット 4 ~ 0 **K₋₁[4:0]** マルチフレーム当たりのフレーム数 - 1。デフォルト値は 01111 (マルチフレーム当たり 16 フレーム)

K は、JESD204B 5.3.3.5 で定義されている。2 レーン動作と 4 レーン動作の両方において、K の最小有効値は 9 (K₋₁ = 01000) で、最大有効値は 32 (K₋₁ = 11111)。

レジスタ A7: JESD204B モード (アドレス 07h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	LAS_dis	LAM_dis	FAM_dis	0	RST_dis	SCR_en

ビット 7 ~ 6 不使用するビット

ビット 5 **LAS_dis**

0 = レーン・アラインメント・シーケンスがイネーブルされている (デフォルト設定)

1 = レーン・アラインメント・シーケンスがディスエーブルされている

ビット 4 **LAM_dis**

0 = レーン・アラインメント・モニタがイネーブルされている (デフォルト設定)

1 = レーン・アラインメント・モニタがディスエーブルされている

ビット 3 **FAM_dis**

0 = フレーム・アラインメント・モニタがイネーブルされている (デフォルト設定)

1 = フレーム・アラインメント・モニタがディスエーブルされている

ビット 2 予約済みビット。0 に設定。

ビット 1 **RST_dis**

0 = サブクラス 1 では、SYSREF 分周器のリセットがイネーブルされている (デフォルト設定)

サブクラス 2 では、SYNC~ 分周器のリセットがイネーブルされている (デフォルト設定)

1 = サブクラス 1 では、SYSREF 分周器のリセットがディスエーブルされている

サブクラス 2 では、SYNC~ 分周器のリセットがディスエーブルされている

ビット 0 **SCR_en**

0 = スクランプリングがディスエーブルされている (デフォルト設定)

1 = スクランプリングがイネーブルされている

アプリケーション情報

レジスタ A8: JESD204B サブクラス・モード (アドレス 08h)

D7～D5	D4	D3	D2～D0
R ₋₁ [2:0]	Alert	TX_SYNC	SUBCLASSV[2:0]
ビット7～5	R₋₁[2:0]	サブクラス1のアラート・モードの保護解除の長さ。 デフォルト値は000(R = 1)。マルチフレーム周期で測定される。	
ビット4	Alert	サブクラス1のアラート・モード。最初のパルスは保護、2つ目(およびそれ以降)のパルスはアクティブ 0 = アラート・モードがディスエーブルされている(デフォルト設定) 1 = アラート・モードがイネーブルされている	
ビット3	TX_SYNC	マルチフレーム位置が変わった場合、K28.5 コンマのマルチフレームが送信される。 0 = トランスミッタ主導の同期がディスエーブルされている(デフォルト設定) 1 = トランスミッタ主導の同期がイネーブルされている	
ビット2～0	SUBCLASSV[2:0]	000 = JESD204B サブクラス0(デフォルト設定) 001 = JESD204B サブクラス1(SYSREFで定遅延を実現) 010 = JESD204B サブクラス2(SYNC~の立ち上がりエッジを使用して定遅延を実現)	

レジスタ A9: 周期テスト・パターン (アドレス 09h)

D7	D6	D5	D4	D3	D2～D0
X	X	X	X	X	PAT[2:0]
ビット7～3	不使用のビット				
ビット2～0	PAT[2:0] 000 = 通常のADCデータ 001 = K28.5パターン(SYNC コンマ) 010 = K28.7パターン(...1111100000...) 011 = D21.5パターン(...1010101010...) 100 = PRBS15パターン($1+x^{14}+x^{15}$) 101 = レーン・アラインメント・シーケンス 110 = テスト・サンプル・シーケンス 111 = 改良RPATパターン				

レジスタ A10: CML出力の大きさ (アドレス 0Ah)

D7	D6	D5	D4	D3	D2	D1～D0
X	X	X	X	X	X	CMLBIAS[1:0]
ビット7～2	不使用のビット					
ビット1～0	CMLBIAS[1:0] すべてのCML出力に影響 00 = 10mA(250mV) 01 = 12mA(300mV) 10 = 14mA(350mV) 11 = 16mA(400mV)					

アプリケーション情報

高速 CML 出力の終端

正常に機能するため、CML 出力は伝送線路特性インピーダンスで終端させる必要があります。一般的に、伝送線路インピーダンスは、シングルエンド 50Ω または差動 100Ω のいずれかを提供するように設計します。

OV_{DD} 電源電圧と終端電圧により、CML 出力の同相出力レベルが決まります。CML ドライバが正しく動作するには、出力同相電圧が 1V より高い必要があります。

図 15 に示す直接結合された終端モードは、レシーバの終端電圧が要求範囲内であるときに推奨されます。CML 出力が 50Ω の終端抵抗に直接結合されているとき、OV_{DD} 電源電圧はレシーバの終端電圧としても機能し、出力同相電圧は (プログラムされた CML 電流に応じて) OV_{DD} より 125mV ~ 200mV 下の範囲内になります。このモードでは、OV_{DD} 電圧は 1.125V ~ 1.2V (最小) から V_{DD} (最大) の範囲である必要があります。

図 16 に示す直接結合された差動終端は、レシーバで終端電圧が利用できないとき、入力同相電圧が要求範囲内であることを前提にして使用できます。この場合、同相電圧は OV_{DD} より 250mV ~ 400mV 下の範囲内になります。最小 OV_{DD} は、(プログラムされた CML 電流に応じて) 1.25V ~ 1.4V の範囲にある必要があります。最大 OV_{DD} は V_{DD} と等しくなります。

シリアル・レシーバの同相入力要件が直接結合された終端モードに適合しない場合、DC バランスの取れた 8B/10B エンコードされたデータでは、図 17 に示す DC ブロッキング・コンデンサが許容されます。このような AC 結合モードでは、終端電圧はレシーバの要件によって決まります。カップリング・コンデンサは、目的の動作ビット・レートに応じて、通常 1nF ~ 10nF の間で適切に選択する必要があります。AC 結合モードでは、出力同相電圧は OV_{DD} より 250mV ~ 400mV 下になるため、OV_{DD} 電源電圧は直接結合された差動終端の場合と同じ範囲になります。LTC2123 は、JESD204B の仕様に完全に AC 準拠しています。

表 7. 最小 OV_{DD} 電圧

CML 電流	直接結合された 最小 OV _{DD}	直接結合された 差動最小 OV _{DD}	AC 結合された 最小 OV _{DD}
10mA	1.125V	1.25V	1.25V
12mA	1.15V	1.3V	1.3V
14mA	1.175V	1.35V	1.35V
16mA	1.2V	1.4V	1.4V

アプリケーション情報

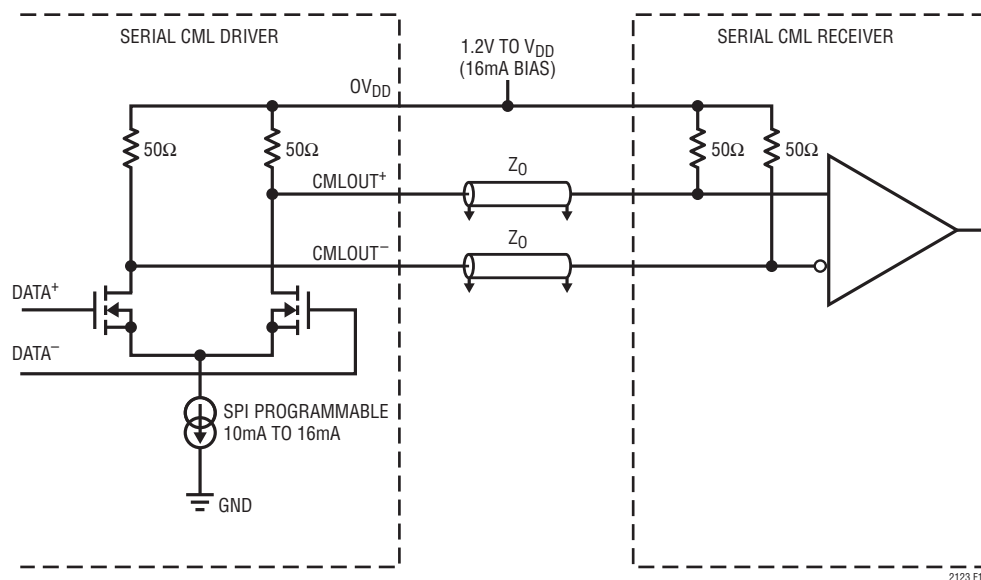


図 15. CML 終端、直接結合モード

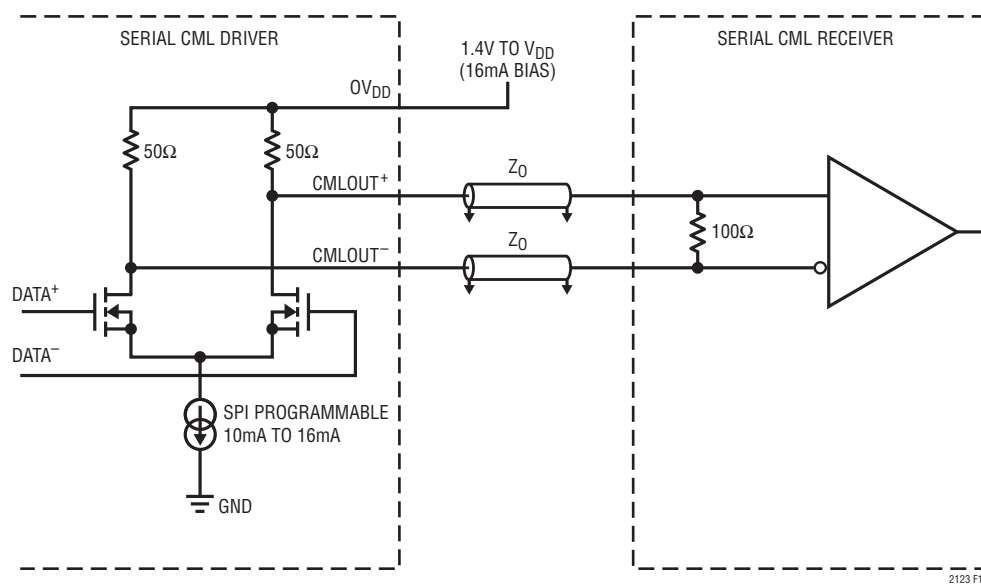


図 16. CML 終端、直接結合された差動モード

アプリケーション情報

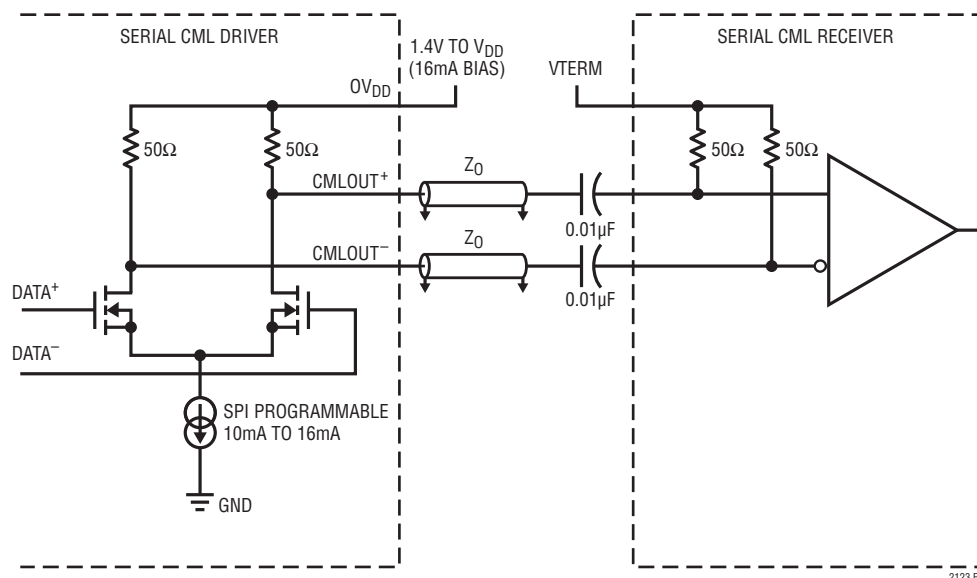


図 17. CML 終端、AC 結合モード

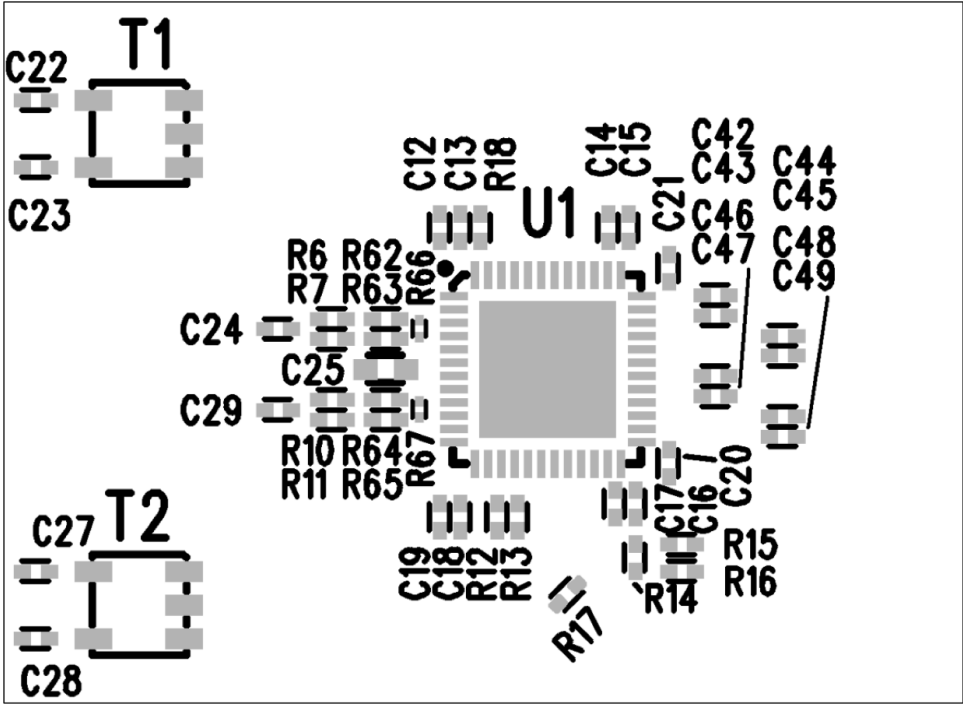
接地とバイパス

LTC2123 には、A/D コンバータの下第 1 層に切れ目のないきれいなグラウンド・プレーンを備えたプリント回路基板が必要です。内部グラウンド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、ADC の下に配置したりしないように注意してください。V_{DD}、OV_{DD}、V_{CM}、V_{REF} の各ピンには、高品質のセラミック・バイパス・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。0402 サイズのセラミック・コンデンサを推奨します。ピンとバイパス・コンデンサを接続するトレースは短くしておく必要があり、幅はできるだけ広くします。アナログ入力、クロック信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに絶縁するためのバリヤとして、グラウンド領域とグラウンド・ビアを使用します。

熱伝達

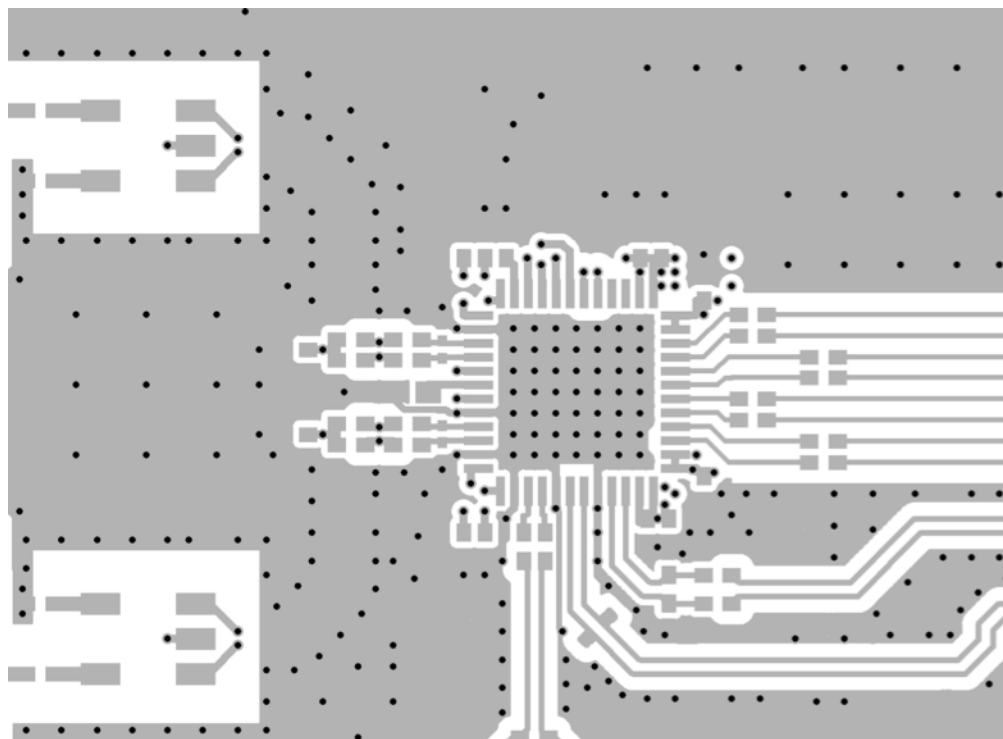
LTC2123 が発生する熱の大部分はダイから底面の露出パッドとパッケージのピンを通してプリント回路基板に伝わります。優れた電気的性能と熱性能を得るには、プリント回路基板上にある大きな接地パッドに露出パッドを半田付けする必要があります。このパッドは、多数のビアで内部のグラウンド・プレーンに接続します。

部品面シルク

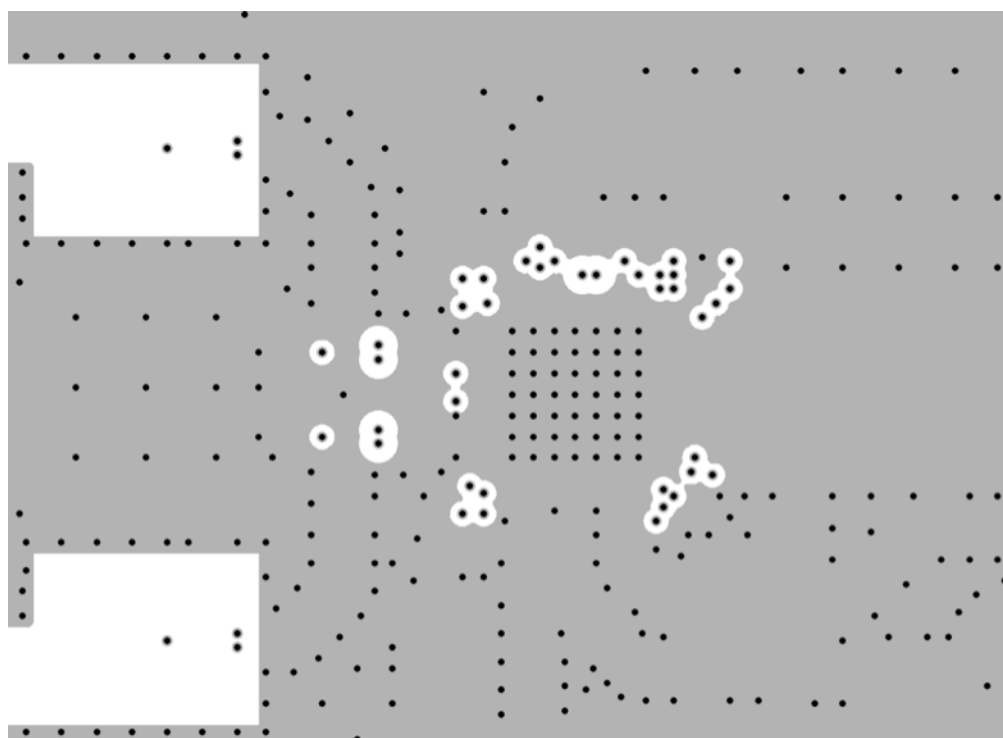


標準的応用例

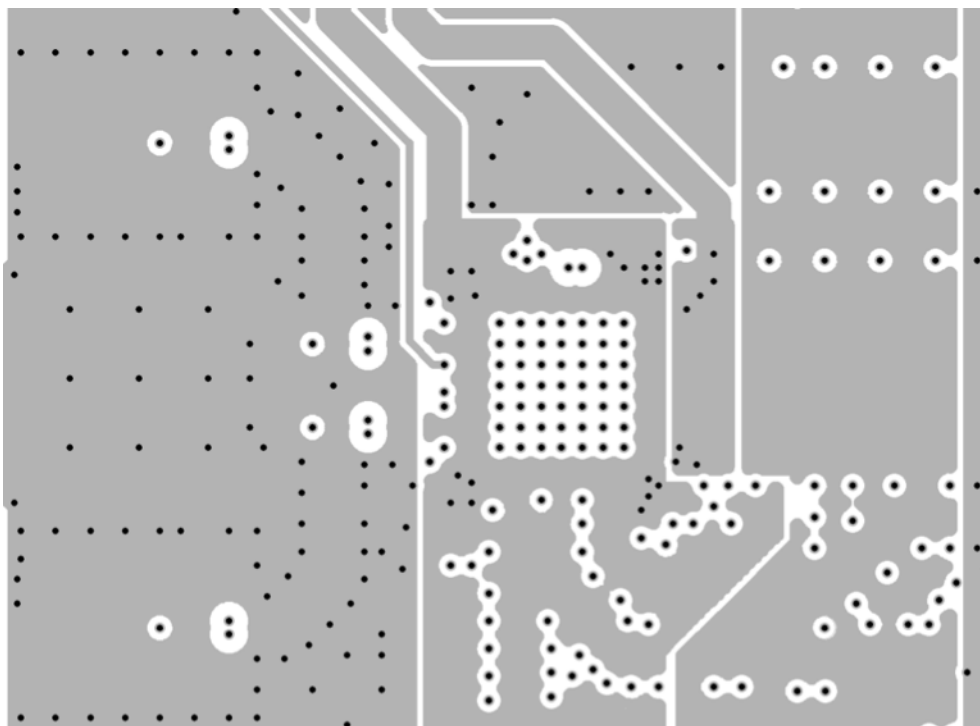
上面



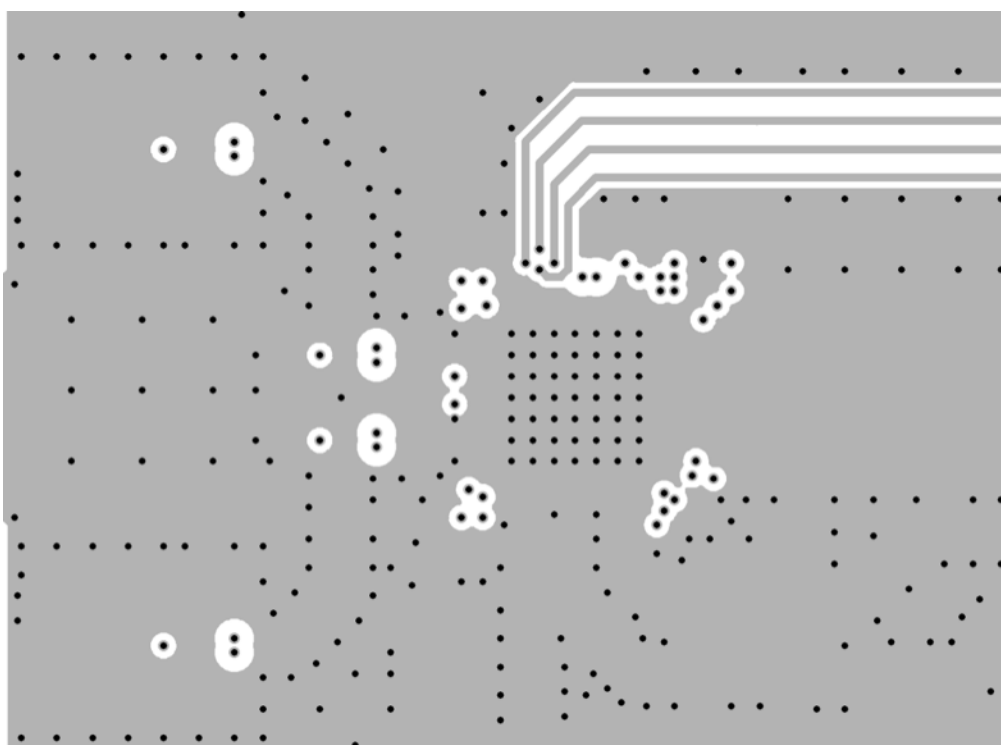
中間層2、GND



中間層3

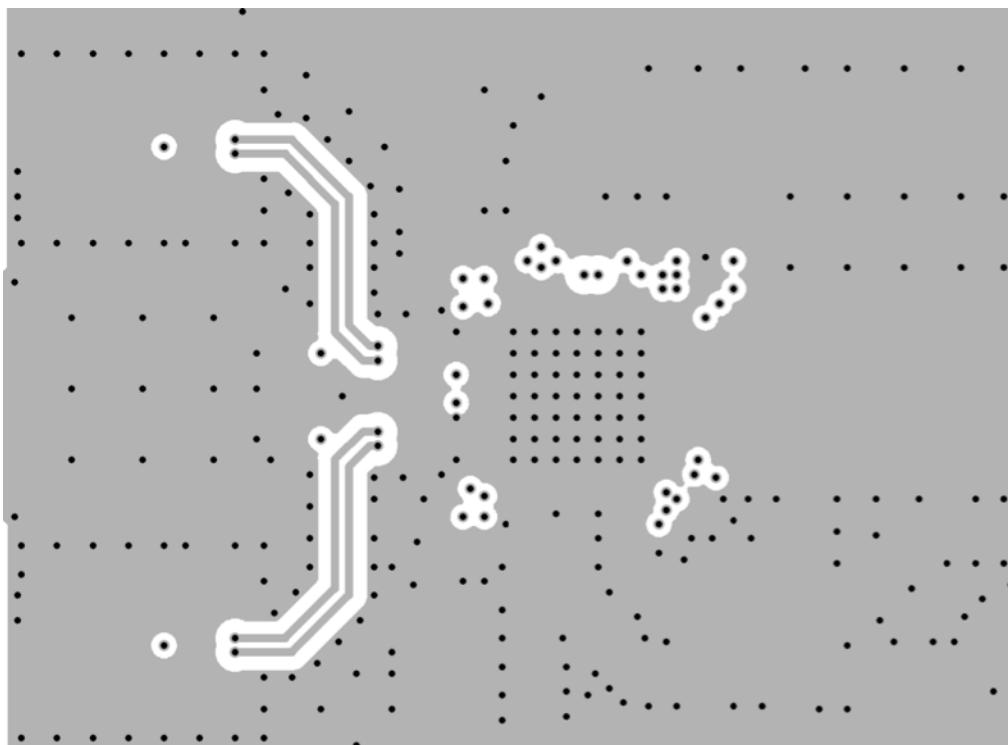


中間層4

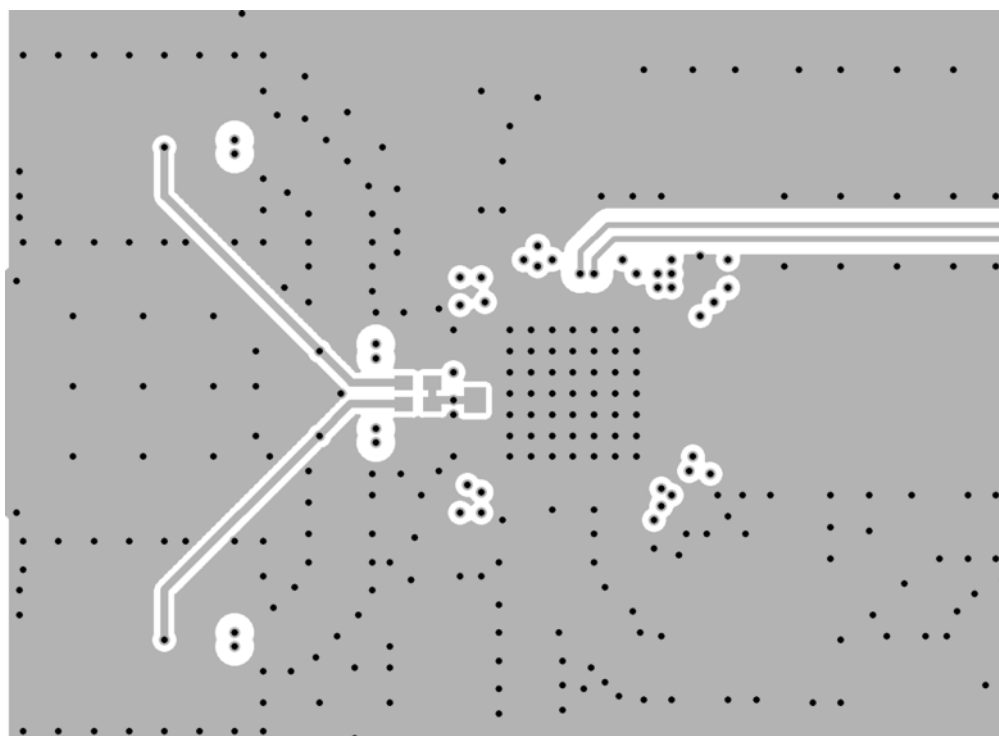


標準的応用例

中間層 5、GND



最下層

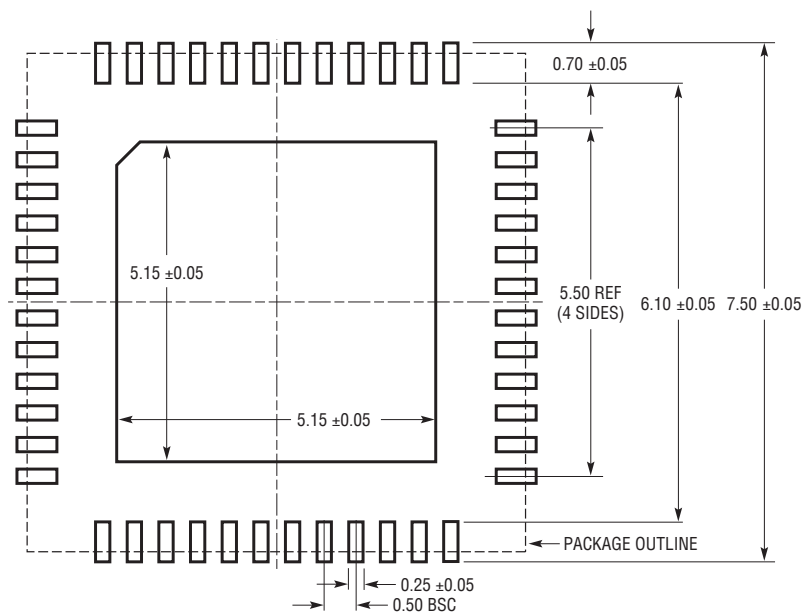


2123fa

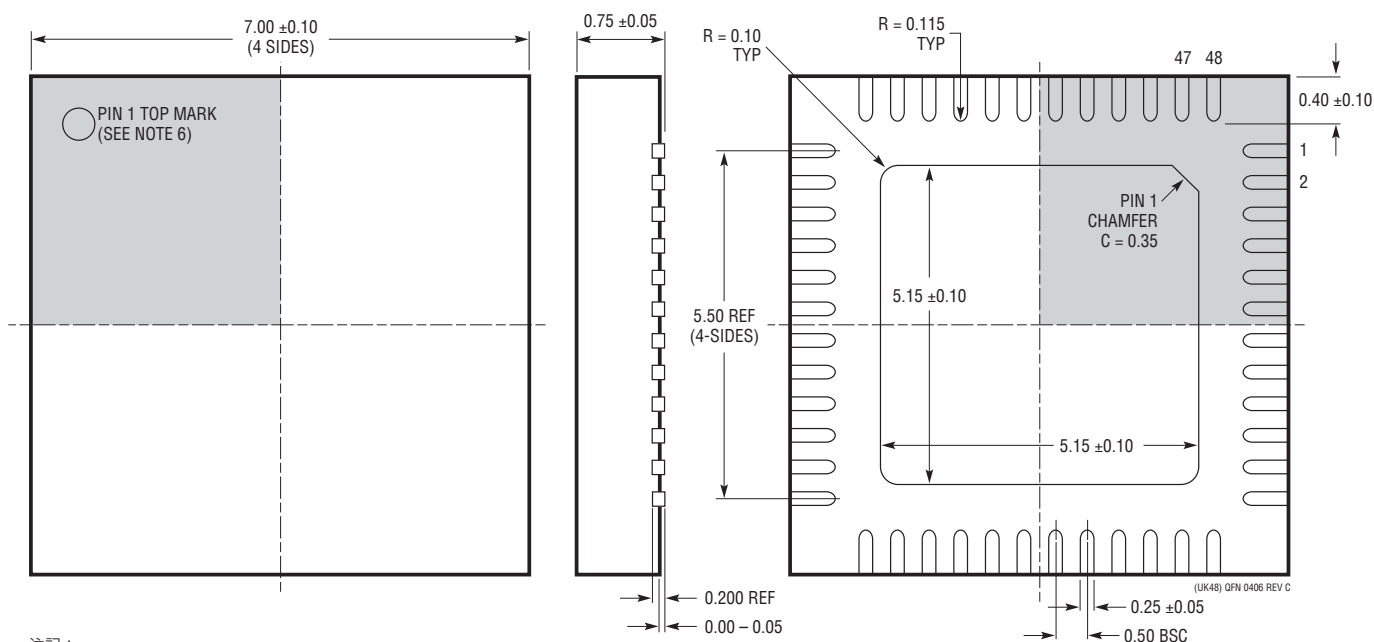
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

UK Package
48-Lead Plastic QFN (7mm × 7mm)
(Reference LTC DWG # 05-08-1704 Rev C)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



注記:

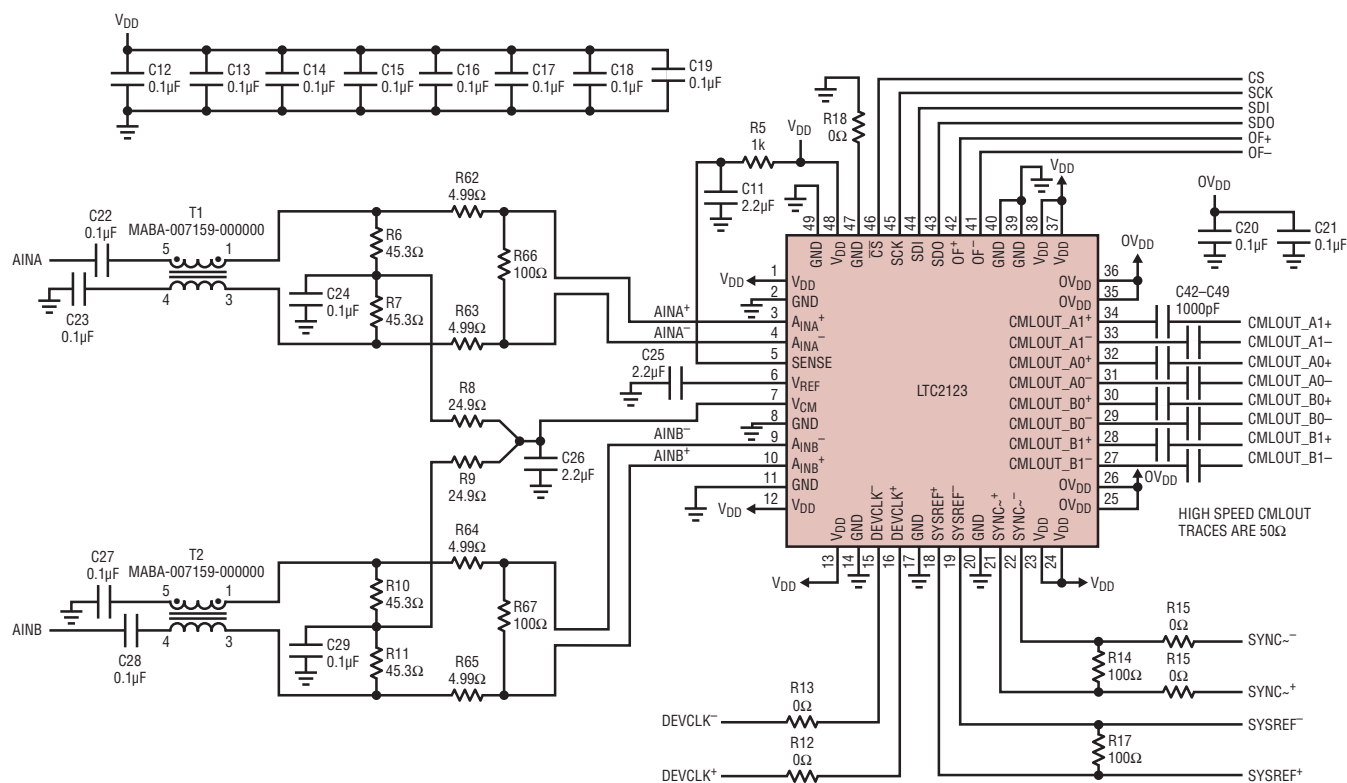
1. 図面は JEDEC のパッケージ外形 MO-220 のバリエーション (WKD-2) に適合
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは (もしあれば) 各サイドで 0.20mm を超えないこと
5. 露出パッドは半田メッキとする
6. 灰色の部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

BOTTOM VIEW—EXPOSED PAD

改訂履歴

REV	日付	概要	ページ番号
A	9/14	P _{DISS} の最大規格を改訂 「標準的応用例」を改訂。	4 50

標準的応用例



関連製品

製品番号	説明	注釈
高速ADC		
LTC2122	14ビット、170Msps 1.8V デュアル ADC、JESD204B シリアル出力	781mW、SNR:70dB、SFDR:90dB、7mm×7mm QFN パッケージ、6.2Gbps (シングル・レーン) シリアル・インタフェース
LTC2158-14	14ビット、310Msps 1.8V デュアル ADC、DDR LVDS 出力	724mW、SNR:68.8dB、SFDR:88dB、9mm×9mm QFN パッケージ
LTC2157-14/ LTC2156-14/ LTC2155-14	14ビット、250Msps/210Msps/170Msps、1.8V デュアル ADC、DDR LVDS 出力	650mW/616mW/567mW、SNR:70dB、SFDR:90dB、9mm×9mm QFN パッケージ
LTC2274	16ビット 105Msps 3.3V シングル ADC、JESD204 シリアル出力	1300mW、SNR:77.6dB、SFDR:100dB、6mm×6mm QFN パッケージ
レシーバ・サブシステム		
LTM [®] 9013	300MHz 広帯域レシーバ	I/Q 復調器、IF アンプ、および 14ビット、310Msps 高速デュアル A/D コンバータを内蔵、15mm×15mm BGA パッケージ