

特長

- SFDR: 98dBFS
- SNR ノイズフロア: 80dBFS
- アパーチャ・ジッタ: 45fs_{RMS}
- PGAフロントエンドの入力電圧範囲: 2.4V_{P-P}または1.6V_{P-P}
- オプションの内部デザイナー
- オプションのデータ出力ランダムマイザ
- 消費電力: 1280mW
- シャットダウン・モード
- 設定用のシリアルSPIポート
- クロック・デューティ・サイクル・スタビライザ
- 48ピン(7mm×7mm)QFNパッケージ

アプリケーション

- ソフトウェア無線
- 軍用無線およびレーダー
- セルラ基地局
- スペクトル分析
- 画像処理システム
- ATEおよび計測装置

概要

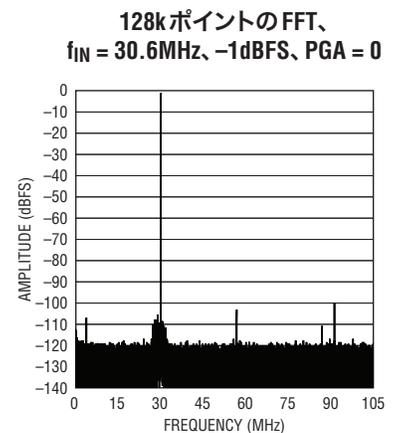
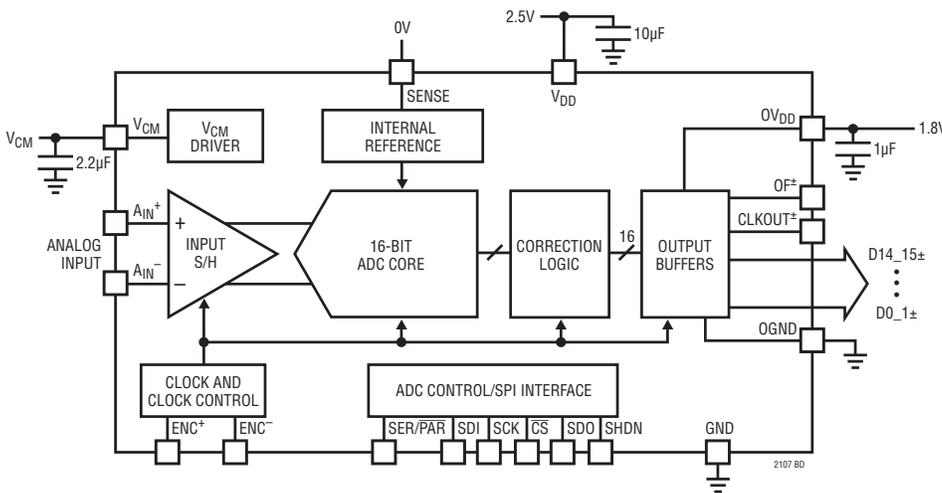
LTC[®]2107は、16ビット、210MSPsの高性能A/Dコンバータです。高いサンプル・レート、低ノイズ、高直線性の組み合わせにより、新世代のデジタル無線設計が可能です。直接サンプリングのフロントエンドは、特にソフトウェア無線や多チャネルGSM基地局などの最も要求の厳しいレシーバ・アプリケーション用に設計されています。SNR = 80dBFS、SFDR = 98dBFSなどのAC性能を備えています。アパーチャ・ジッタは45fs_{RMS}なので、優れた性能を維持しながら最大500MHzのIF周波数を直接サンプリングできます。

内部デザイナー、PGAフロントエンド、デジタル出力のランダム化などの機能は、性能を最大限に発揮するのに役立ちます。動作モードは3線式のシリアル・インタフェース(SPI)を介して制御できます。

ダブル・データレート(DDR)低電圧差動(LVDS)デジタル出力は、デジタル・ライン数を低減して省スペース設計を可能にするのに役立ちます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴは、リニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。7683695、8482442、8648741を含む米国特許によって保護されています。

ブロック図



LTC2107

絶対最大定格 (Note 1, 2)

電源電圧

V_{DD} -0.3V ~ 2.8V
 OV_{DD} -0.3V ~ 2V

アナログ入力電圧

A_{IN}^+ , A_{IN}^- , ENC^+ , ENC^- , PAR/\overline{SER} , SENSE
 (Note 3) -0.3V ~ ($V_{DD} + 0.2V$)

デジタル入力電圧

\overline{CS} , SDI, SCK (Note 4) -0.3V ~ 3.9V

デジタル出力電圧 -0.3V ~ ($OV_{DD} + 0.3V$)

SDO (Note 4) -0.3V ~ 3.9V

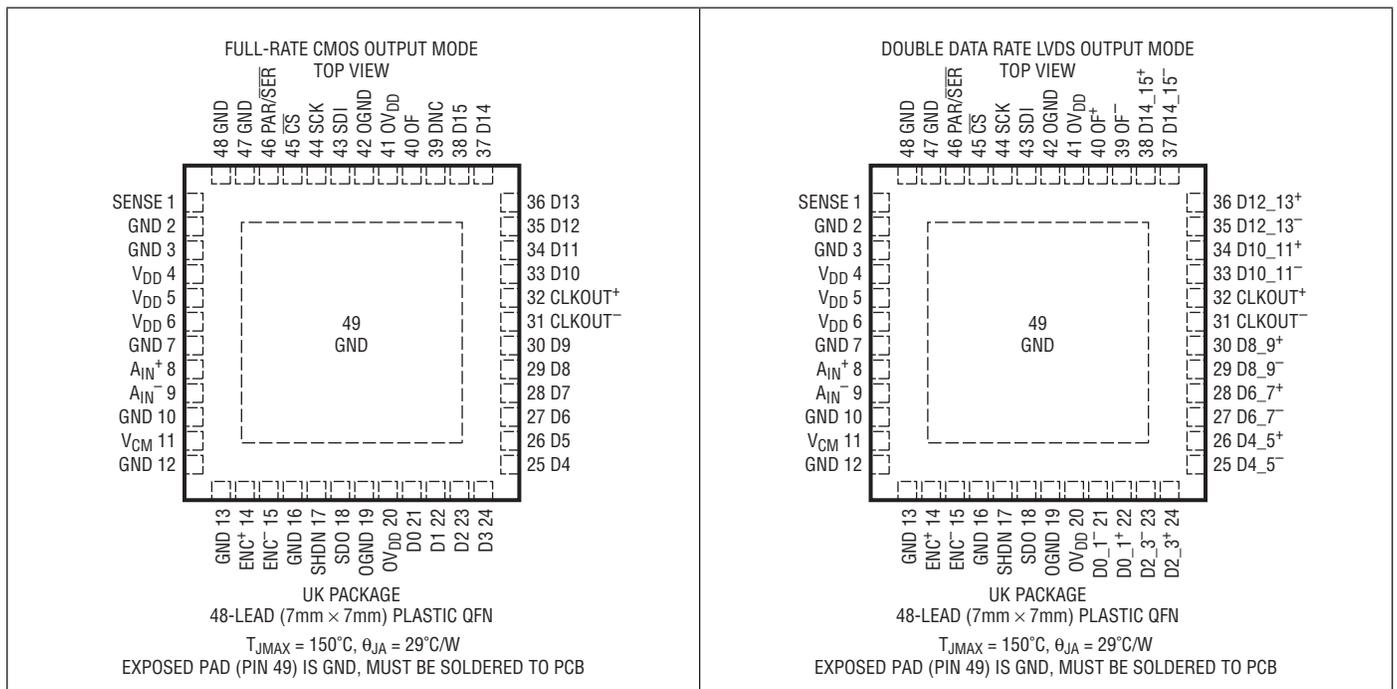
動作温度範囲

LTC2107C 0°C ~ 70°C

LTC2107I -40°C ~ 85°C

保存温度範囲 -65°C ~ 150°C

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2107CUK#PBF	LTC2107CUK#TRPBF	LTC2107UK	48-Lead (7mm × 7mm) Plastic QFN	0°C to 70°C
LTC2107IUK#PBF	LTC2107IUK#TRPBF	LTC2107UK	48-Lead (7mm × 7mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

コンバータ特性 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Resolution (No Missing Codes)		●	16		Bits	
Integral Linearity Error	Differential Analog Input (Note 6)	●	-4.5	± 1.6	4.5	LSB
Differential Linearity Error	Differential Analog Input		-1	± 0.4	1.0	LSB
Offset Error	(Note 7)	●	-5	-0.5	5	mV
Gain Error	Internal Reference, PGA = 0 External Reference, PGA = 0	●	-0.85	± 1.5 -0.2	0.85	%FS %FS
Offset Drift			-20		$\mu\text{V}/^\circ\text{C}$	
Full-Scale Drift	Internal Reference, PGA = 0 External Reference, PGA = 0		110 70		ppm/ $^\circ\text{C}$ ppm/ $^\circ\text{C}$	
Transition Noise	External Reference, PGA = 0 External Reference, PGA = 1		2.3 3.0		LSB _{RMS} LSB _{RMS}	
Noise Density, Input Referred	PGA = 0, Sample Rate = 210Msps, Bandwidth = 105MHz PGA = 1, Sample Rate = 210Msps, Bandwidth = 105MHz		8.3 7.2		nV/ $\sqrt{\text{Hz}}$ nV/ $\sqrt{\text{Hz}}$	

アナログ入力 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{IN}	Analog Input Range ($A_{IN^+} - A_{IN^-}$)	2.375V < V_{DD} < 2.625V, PGA = 0 2.375V < V_{DD} < 2.625V, PGA = 1	● ●	2.4 1.6		V_{P-P} V_{P-P}	
$V_{IN(CM)}$	Analog Input Common Mode ($A_{IN^+} + A_{IN^-}$)/2	Differential Analog Input (Note 8)	●	1.15	V_{CM}	1.25	V
V_{SENSE}	External Voltage Reference Applied to SENSE	External Reference Mode	●	1.225	1.250	1.275	V
I_{IN1}	Analog Input Leakage Current	0.6V < A_{IN^+} < 1.8V, 0.6V < A_{IN^-} < 1.8V	●	-1		1	μA
I_{IN2}	SENSE, PAR/SER Input Leakage Current	0 < SENSE, PAR/SER < V_{DD}	●	-1		1	μA
t_{AP}	Sample-and-Hold Acquisition Delay Time	$R_S = 25\Omega$		0.5			ns
t_{JITTER}	Sample-and-Hold Acquisition Delay Jitter	(Note 11)		45			fs _{RMS}
BW-3dB	Full-Power Bandwidth	$R_S = 25\Omega$		800			MHz
	Over-Range Recovery Time	$\pm 120\%$ Full Scale (Note 10)		1			Cycles

ダイナミック精度 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
SNR	Signal-to-Noise Ratio	5.1MHz Input (PGA = 0) 30.3MHz Input (PGA = 0) 71.1MHz Input (PGA = 0) 141MHz Input (PGA = 0)	●	78	79.8 79.7 79.5 79.1	dBFS dBFS dBFS dBFS	
		141MHz Input (PGA = 1) 250MHz Input (PGA = 0) 250MHz Input (PGA = 1)	●	75.2	77.0 78.2 76.4	dBFS dBFS dBFS	
SFDR	Spurious Free Dynamic Range 2nd Harmonic	5.1MHz Input (PGA = 0) 30.3MHz Input (PGA = 0) 71.1MHz Input (PGA = 0) 141MHz Input (PGA = 0)	●	84	104.3 96.8 87 87.5	dBFS dBFS dBFS dBFS	
		141MHz Input (PGA = 1) 250MHz Input (PGA = 0) 250MHz Input (PGA = 1)	●	84	95.5 85.8 89.3	dBFS dBFS dBFS	
		Spurious Free Dynamic Range 3rd Harmonic	5.1MHz Input (PGA = 0) 30.3MHz Input (PGA = 0) 71.1MHz Input (PGA = 0) 141MHz Input (PGA = 0)	●	86	98 96.8 87 93.3	dBFS dBFS dBFS dBFS
			141MHz Input (PGA = 1) 250MHz Input (PGA = 0) 250MHz Input (PGA = 1)	●	86	100 80.4 83.5	dBFS dBFS dBFS
	Spurious Free Dynamic Range 4th Harmonic or Higher	5.1MHz Input (PGA = 0) 30.3MHz Input (PGA = 0) 71.1MHz Input (PGA = 0) 141MHz Input (PGA = 0)	●	93	100.8 101.6 100.7 105	dBFS dBFS dBFS dBFS	
		141MHz Input (PGA = 1) 250MHz Input (PGA = 0) 250MHz Input (PGA = 1)	●	91	96.4 95.7 96.3	dBFS dBFS dBFS	
	S/(N+D)	Signal-to-Noise Plus Distortion Ratio	5.1MHz Input (PGA = 0) 30.3MHz Input (PGA = 0) 71.1MHz Input (PGA = 0) 141MHz Input (PGA = 0)	●	77	79.4 79.5 78.4 78.7	dBFS dBFS dBFS dBFS
			141MHz Input (PGA = 1) 250MHz Input (PGA = 0) 250MHz Input (PGA = 1)	●	74	76.7 76.7 76.0	dBFS dBFS dBFS
	SFDR	Spurious Free Dynamic Range at -25dBFS Dither "Off"	5.1MHz Input (PGA = 0) 30.3MHz Input (PGA = 0) 71.1MHz Input (PGA = 0) 141MHz Input (PGA = 0)	●	95	100.4 107.4 106.6 108.3	dBFS dBFS dBFS dBFS
			141MHz Input (PGA = 1) 250MHz Input (PGA = 0) 250MHz Input (PGA = 1)			106.7 106.7 106.7	dBFS dBFS dBFS
		Spurious Free Dynamic Range at -25dBFS Dither "On"	5.1MHz Input (PGA = 0) 30.3MHz Input (PGA = 0) 71.1MHz Input (PGA = 0) 141MHz Input (PGA = 0)	●	103	126 124 119 119	dBFS dBFS dBFS dBFS
			141MHz Input (PGA = 1) 250MHz Input (PGA = 0) 250MHz Input (PGA = 1)			122.3 124.4 124.6	dBFS dBFS dBFS
SNRD		SNR Density	Sample Rate = 210Msps, PGA = 0			160.2	dBFS/ $\sqrt{\text{Hz}}$
			Sample Rate = 210Msps, PGA = 1			157.9	dBFS/ $\sqrt{\text{Hz}}$

V_{CM} 出力 ●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値(Notes 5)。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V _{CM} Output Voltage	I _{OUT} = 0	1.17	1.20	1.23	V
V _{CM} Output Temperature Drift			18		ppm/°C
V _{CM} Output Resistance	-1mA < I _{OUT} < 1mA		0.35		Ω
V _{CM} Line Regulation	2.375V < V _{DD} < 2.625V		0.8		mV/V

デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値(Notes 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
エンコード入力 (ENC⁺, ENC⁻)							
V _{ID}	Differential Input Voltage	(Note 8)	●	0.2	2	V	
V _{ICM}	Common Mode Input Voltage	Internally Set Externally Set (Note 8)		1.1	1.2 1.5	V V	
V _{IN}	Input Voltage Range	ENC ⁺ , ENC ⁻ to GND	●	0	2.5	V	
R _{IN}	Input Resistance	(See Figure 8)		5		kΩ	
R _{TERM}	Optional Encode Termination	Encode Termination Enabled (See Figure 8)		107		Ω	
C _{IN}	Input Capacitance	Between ENC ⁺ and ENC ⁻ (Note 8)		3		pF	
デジタル入力 (CS⁻, SDI, SCK, SHDN)							
V _{IH}	High Level Input Voltage	V _{DD} = 2.5V	●	1.2		V	
V _{IL}	Low Level Input Voltage	V _{DD} = 2.5V	●		0.6	V	
I _{IN}	Input Current	V _{IN} = 0V to 3.6V	●	-10	10	μA	
C _{IN}	Input Capacitance	(Note 8)		2		pF	
SDO 出力 (オープン・ドレイン出力。SDO が使われる場合、2kΩ のプルアップ抵抗が必要)							
R _{OL}	Logic Low Output Resistance to GND	V _{DD} = 2.5V, SDO = 0V		260		Ω	
I _{OH}	Logic High Output Leakage Current	SDO = 0V to 3.6V	●	-10	10	μA	
C _{OUT}	Output Capacitance	(Note 8)		2		pF	
デジタル・データ出力 (CMOS モード)							
V _{OH}	High Level Output Voltage	I _O = -500μA	●	1.7	1.790	V	
V _{OL}	Low Level Output Voltage	I _O = 500μA	●	0.010	0.050	V	
デジタル・データ出力 (LVDS モード)							
V _{OD}	Differential Output Voltage	100Ω Differential Load, 3.5mA Mode 100Ω Differential Load, 1.75mA Mode	● ●	247 125	350 175	454 250	mV mV
V _{OS}	Common Mode Output Voltage	100Ω Differential Load, 3.5mA Mode 100Ω Differential Load, 1.75mA Mode	● ●	1.19 1.20	1.250 1.250	1.375 1.375	V V
R _{TERM}	On-Chip Termination Resistance	Termination Enabled, 0V _{DD} = 1.8V, 3.5mA Mode		100			Ω

LTC2107

電源要件 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 9)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V _{DD}	Analog Supply Voltage	(Note 9)	● 2.375	2.5	2.625	V
OV _{DD}	Output Supply Voltage	CMOS Mode (Note 9)	● 1.7	1.8	1.9	V
		LVDS Mode (Note 9)	● 1.7	1.8	1.9	V
I _{VDD}	Analog Supply Current			495.3	545	mA
I _{OVDD}	Digital Supply Current	CMOS Mode		61		mA
		LVDS Mode, 1.75mA Mode	● 23.2	26		mA
		LVDS Mode, 3.5mA Mode	● 45	50		mA
P _{DISS}	Power Dissipation	CMOS Mode		1348		mW
		LVDS Mode, 1.75mA Mode	● 1280	1409		mW
		LVDS Mode, 3.5mA Mode	● 1320	1453		mW
P _{SHDN}	SHDN Mode Power			6.4		mW
I _{VDD}	Analog Supply Current with Inactive Encode	Encode Clock Not Active Keep Alive Oscillator Enabled		366		mA

タイミング特性 ● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f _S	Sampling Frequency	(Note 9)	● 10		210	MHz
t _L	ENC Low Time	Duty Cycle Stabilizer Off (Note 8)	● 2.26	2.38	50	ns
		Duty Cycle Stabilizer On (Note 8)	● 1.16	2.38	50	ns
t _H	ENC High Time	Duty Cycle Stabilizer Off (Note 8)	● 2.26	2.38	50	ns
		Duty Cycle Stabilizer On (Note 8)	● 1.16	2.38	50	ns
t _{AP}	Sample-and-Hold Acquisition Delay Time	R _S = 25Ω		0.5		ns

デジタル・データ出力 (CMOS モード)

t _D	ENC to Data Delay	C _L = 6.8pF (Notes 8, 12)	● 1.3	1.9	2.5	ns
t _C	ENC to CLKOUT Delay	C _L = 6.8pF (Notes 8, 12)	● 1.3	1.9	2.5	ns
t _{SKREW}	DATA to CLKOUT Skew	t _D - t _C (Note 8)	● -0.3	0	0.3	ns
	Pipeline Latency			7		Cycles

デジタル・データ出力 (LVDS モード)

t _D	ENC to Data Delay	C _L = 6.8pF (Notes 8, 12)	● 1.3	1.9	2.5	ns
t _C	ENC to CLKOUT Delay	C _L = 6.8pF (Notes 8, 12)	● 1.3	1.9	2.5	ns
t _{SKREW}	DATA to CLKOUT Skew	t _D - t _C (Note 8)	● -0.3	0	0.3	ns
	Pipeline Latency			7		Cycles

SPIポートのタイミング (Note 8)

t _{SCK}	SCK Period	Write Mode (Note 8)	● 40			ns
		Read Back Mode, C _{SDO} = 20pF, R _{PULLUP} = 2k	● 250			ns
t _S	$\overline{\text{CS}}$ to SCK Setup Time		● 5			ns
t _{HS}	SCK to $\overline{\text{CS}}$ Setup Time		● 5			ns
t _{DS}	SDI Setup Time		● 5			ns
t _{DH}	SDI Hold Time		● 5			ns
t _{DO}	SCK Falling to SDO Valid	Read Back Mode, C _{SDO} = 20pF, R _{PULLUP} = 2k	●		125	ns

2107f

電気的特性

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: すべての電圧値は(注記がない限り)GNDと短絡した状態のOGNDを基準にしている。

Note 3: これらのピンの電圧をGNDより低くするか、 V_{DD} より高くすると、その電圧は内部のダイオードによってクランプされる。この製品は、GNDより低い電圧、または V_{DD} より高い電圧でラッチアップを生じることなしに100mAを超える入力電流を処理することができる。

Note 4: これらのピンの電圧をGNDより低くすると、内部のダイオードによってクランプされる。これらのピンの電圧を V_{DD} より高くすると、その電圧は内部のダイオードによってクランプされない。この製品は、GNDより低い電圧で、ラッチアップを生じることなく100mAを超える入力電流を処理することができる。

Note 5: 注記がない限り、 $V_{DD} = 2.5V$ 、 $OV_{DD} = 1.8V$ 、 $f_{SAMPLE} = 210MHz$ 、LVDS出力、差動ENC/ $ENC^- = 2V_{P-P}$ の正弦波、入力範囲 = 差動ドライブで $2.4V_{P-P}$ (PGA = 0)。

Note 6: 積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: オフセット誤差は、2の補数の出力モードで出力コードが0000 0000 0000 0000と1111 1111 1111 1111の間を行ったり来たりするとき、 $-0.5LSB$ から測定したオフセット電圧である。

Note 8: 設計によって保証されているが、テストされない。

Note 9: 推奨動作条件。

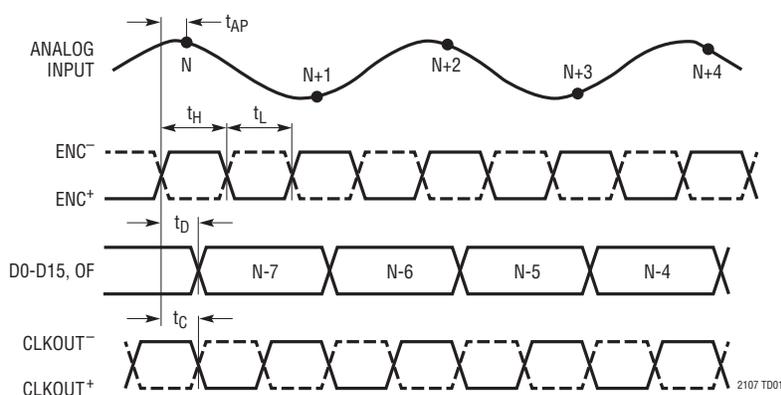
Note 10: 詳細については、「オーバーフロー・ビット」のセクションを参照のこと。

Note 11: 図11のテスト回路は、ジッタ性能を検証するために使用される。

Note 12: C_L は、各出力ピンとグラウンド間の外部シングルエンド負荷容量である。

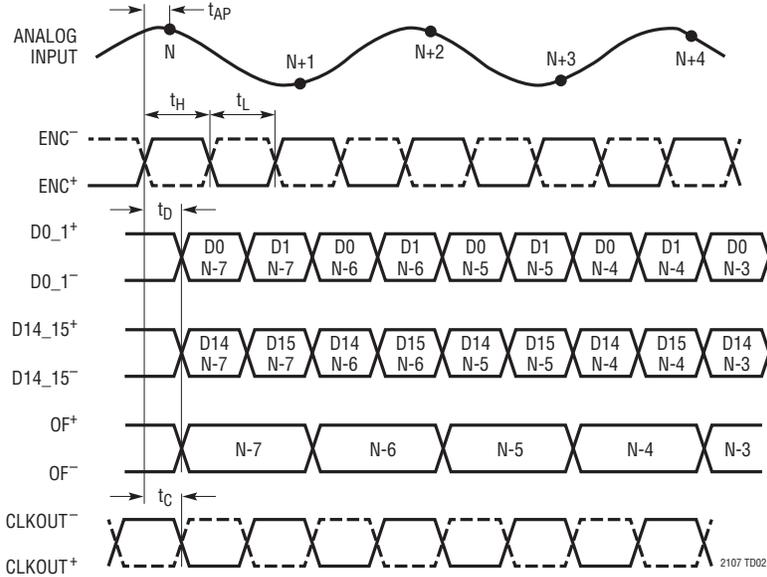
タイミング図

CMOS出力タイミング・モード
すべての出力はシングルエンドでCMOSレベル

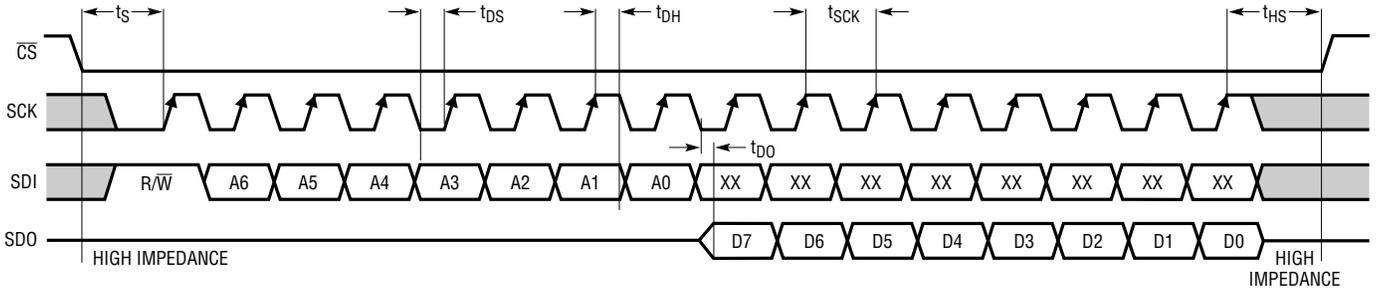


タイミング図

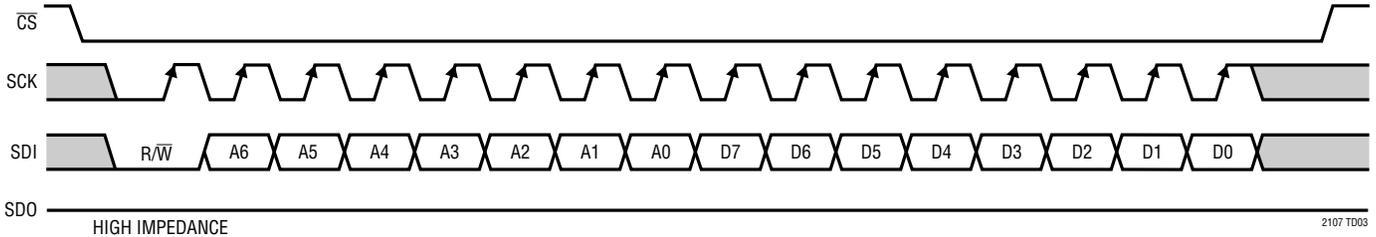
ダブルデータレート LVDS 出力モードのタイミング
すべての出力は差動で LVDS レベル



SPI ポートのタイミング (Readback Mode)

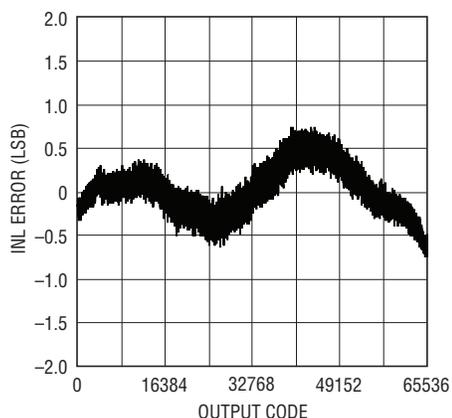


SPI ポートのタイミング (Write Mode)



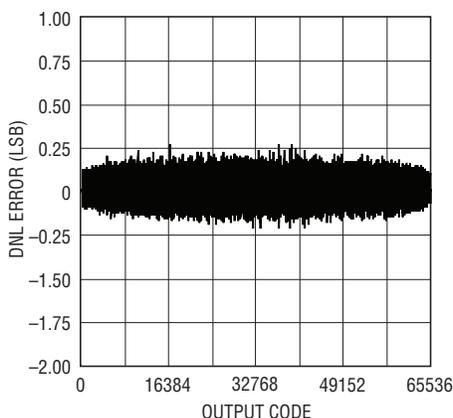
標準的性能特性

積分非直線性 (INL) と
出力コード



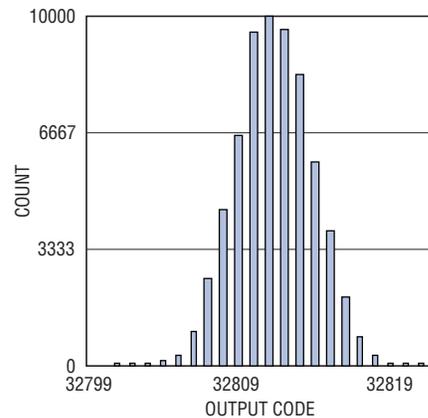
2107 G01

微分非直線性 (DNL) と
出力コード



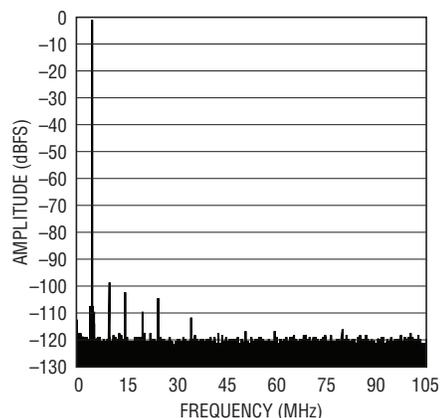
2107 G02

AC 接地入力時のヒストグラム



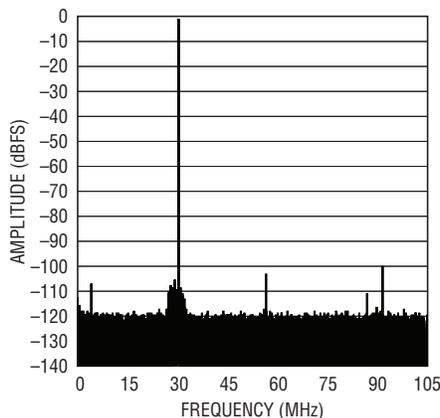
2107 G03

128k ポイントの FFT、 $f_{IN} = 5.0\text{MHz}$ 、
-1dBFS、PGA = 0、ディザは「オン」



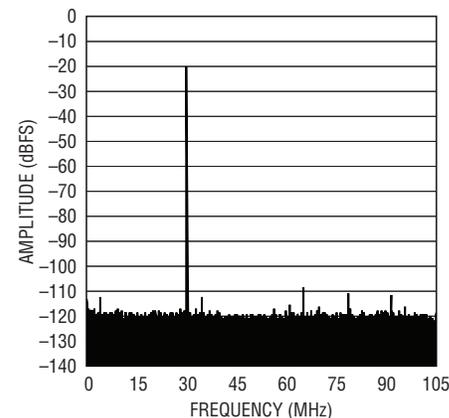
2107 G04

128k ポイントの FFT、 $f_{IN} = 30.6\text{MHz}$ 、
-1dBFS、PGA = 0、ディザは「オン」



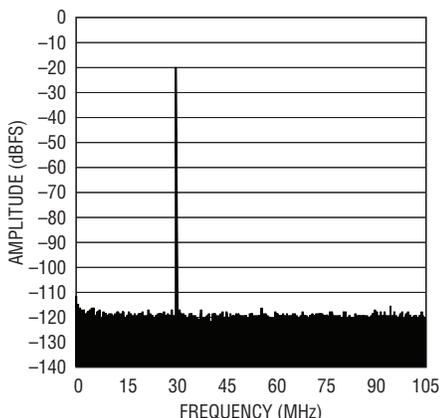
2107 G05

128k ポイントの FFT、30.6MHz、
-20dBFS、PGA = 0、ディザは「オフ」



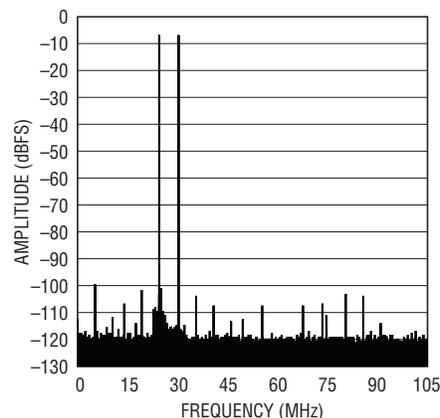
2107 G06

128k ポイントの FFT、30.6MHz、
-20dBFS、PGA = 0、ディザは「オン」



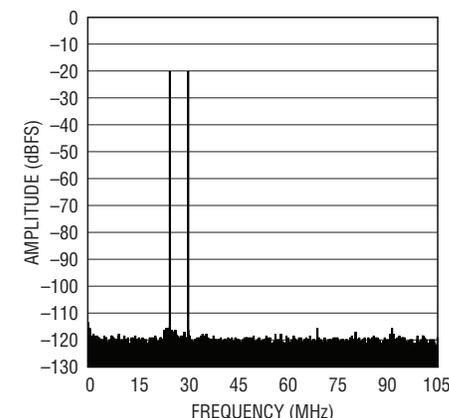
2107 G07

128k ポイントの 2 トーン FFT、
25.1MHz および 30.51MHz、-7dBFS
PGA = 0、ディザは「オン」



2107 G08

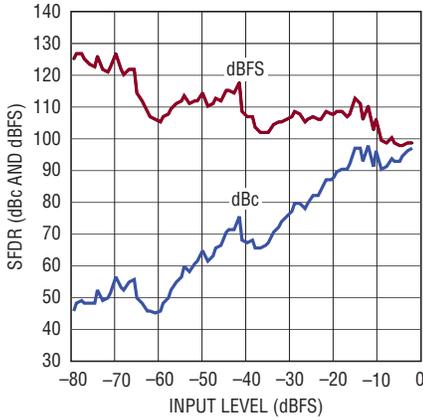
128k ポイントの 2 トーン FFT、
25.07MHz および 30.5MHz、-20dBFS
PGA = 0、ディザは「オン」



2107 G09

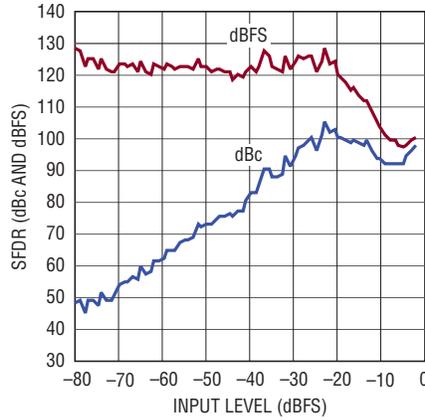
標準的性能特性

SFDRと入力レベル、 $f_{IN} = 30.6\text{MHz}$ 、 $\text{PGA} = 0$ 、ディザは「オフ」



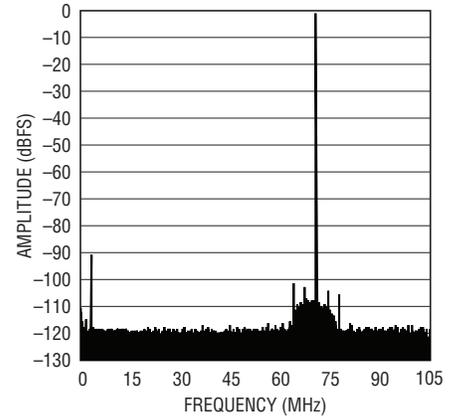
2107 G10

SFDRと入力レベル、 $f_{IN} = 30.6\text{MHz}$ 、 $\text{PGA} = 0$ 、ディザは「オン」



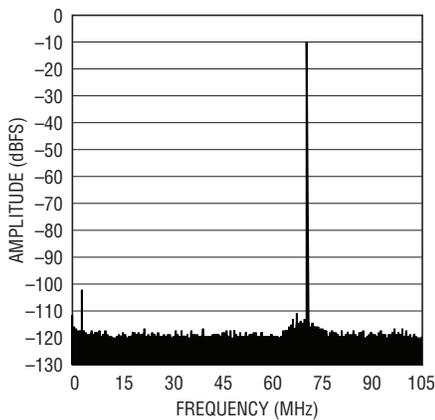
2107 G11

128kポイントのFFT、 $f_{IN} = 71.1\text{MHz}$ 、 -1dBFS 、 $\text{PGA} = 0$ 、ディザは「オン」



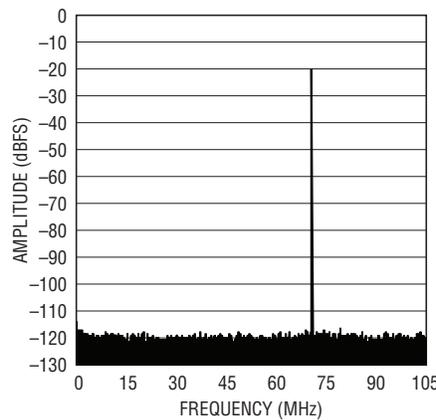
2107 G12

128kポイントのFFT、 $f_{IN} = 71.1\text{MHz}$ 、 -10dBFS 、 $\text{PGA} = 0$ 、ディザは「オン」



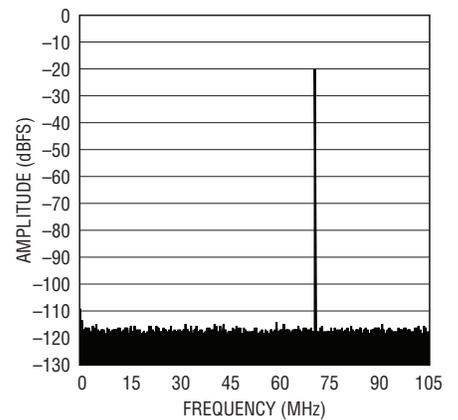
2107 G13

128kポイントのFFT、 $f_{IN} = 71.1\text{MHz}$ 、 -20dBFS 、 $\text{PGA} = 0$ 、ディザは「オン」



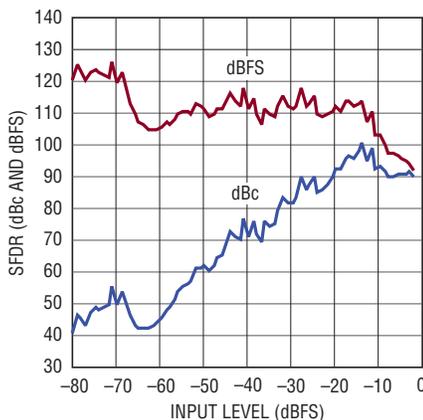
2107 G14

128kポイントのFFT、 $f_{IN} = 71.1\text{MHz}$ 、 -20dBFS 、 $\text{PGA} = 1$ 、ディザは「オン」



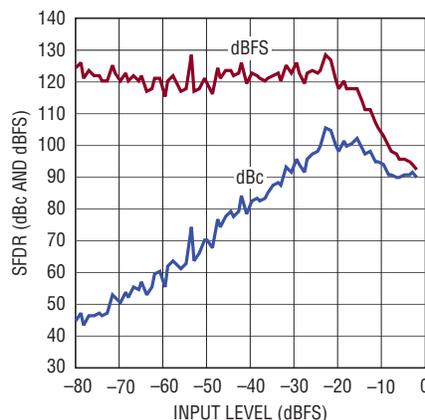
2107 G15

SFDRと入力レベル、 $f_{IN} = 71.1\text{MHz}$ 、 $\text{PGA} = 1$ 、ディザは「オフ」



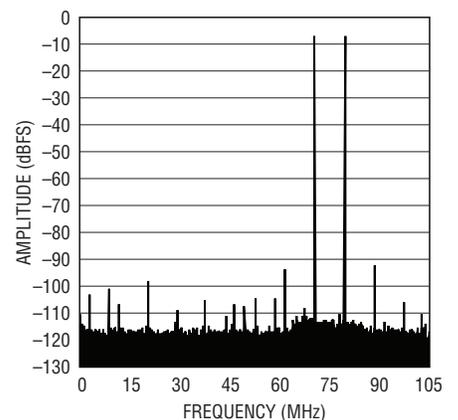
2107 G16

SFDRと入力レベル、 $f_{IN} = 71.1\text{MHz}$ 、 $\text{PGA} = 1$ 、ディザは「オン」



2107 G17

128kポイントのFFT、 $f_{IN} = 71.1\text{MHz}$ および 80MHz 、 -7dBFS 、 $\text{PGA} = 0$ 、ディザは「オン」

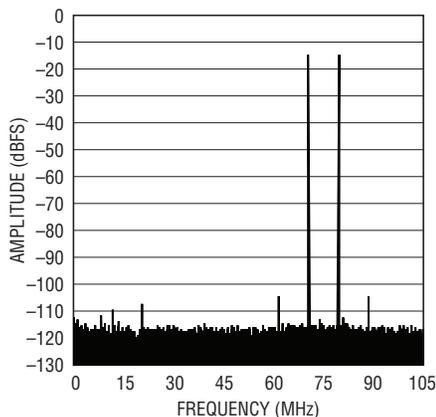


2107 G18

2107f

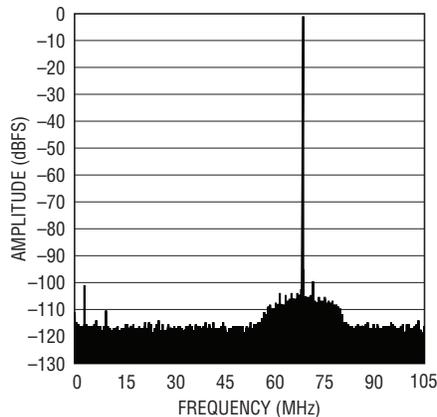
標準的性能特性

128kポイントのFFT、 $f_{IN} = 71.1\text{MHz}$
および80MHz、-15dBFS、PGA = 0、
ディザーは「オン」



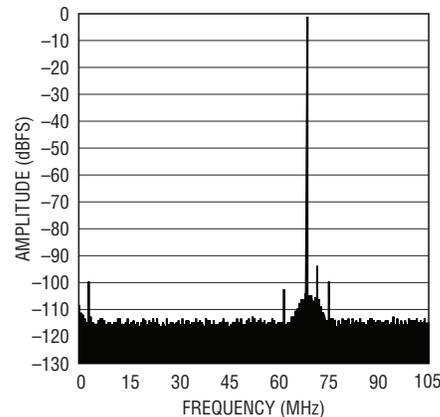
2107 G19

64kポイントのFFT、 $f_{IN} = 141.1\text{MHz}$ 、
-1dBFS、PGA = 0、ディザーは「オン」



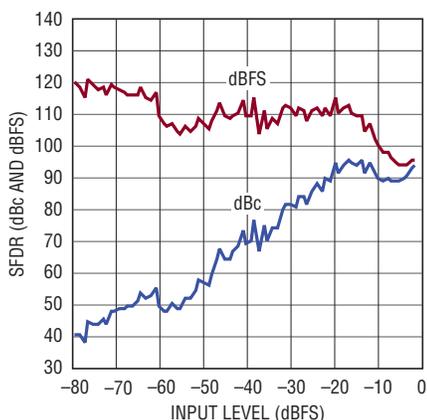
2107 G20

64kポイントのFFT、 $f_{IN} = 141.1\text{MHz}$ 、
-1dBFS、PGA = 1、ディザーは「オン」



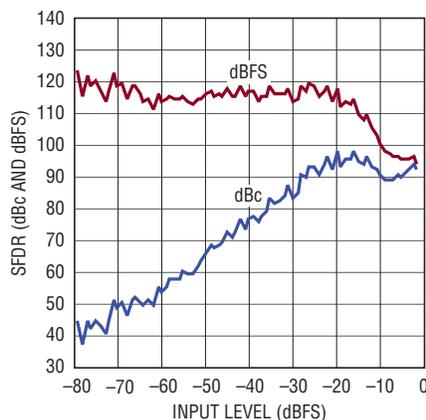
2107 G21

SFDRと入力レベル、 $f_{IN} = 141.1\text{MHz}$ 、
PGA = 1、ディザーは「オフ」



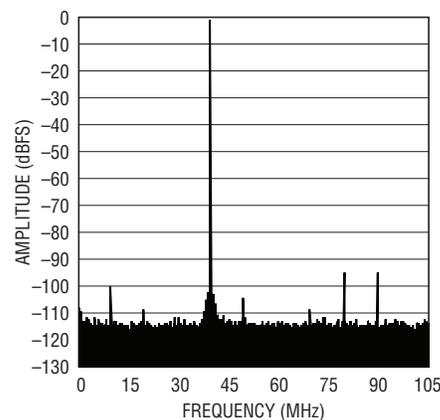
2107 G22

SFDRと入力レベル、 $f_{IN} = 141.1\text{MHz}$ 、
PGA = 1、ディザーは「オン」



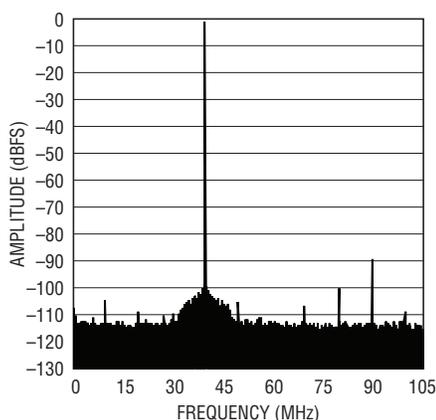
2107 G23

64kポイントのFFT、 $f_{IN} = 170.0\text{MHz}$ 、
-1dBFS、PGA = 1、ディザーは「オン」



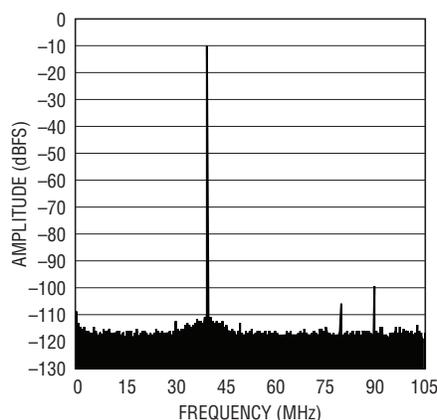
2107 G24

128kポイントのFFT、 $f_{IN} = 250.0\text{MHz}$ 、
-1dBFS、PGA = 1、ディザーは「オン」



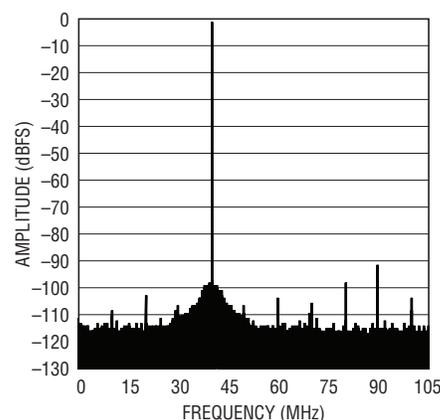
2107 G25

128kポイントのFFT、 $f_{IN} = 250.0\text{MHz}$ 、
-10dBFS、PGA = 1、ディザーは「オン」



2107 G26

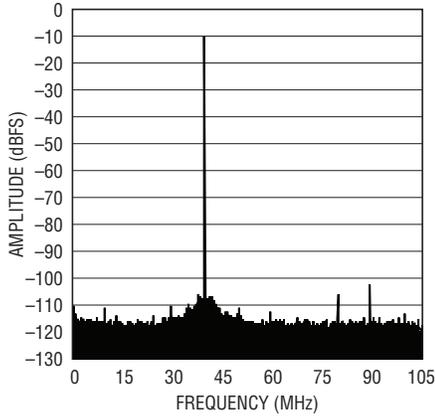
128kポイントのFFT、 $f_{IN} = 380.0\text{MHz}$ 、
-1dBFS、PGA = 1、ディザーは「オン」



2107 G27

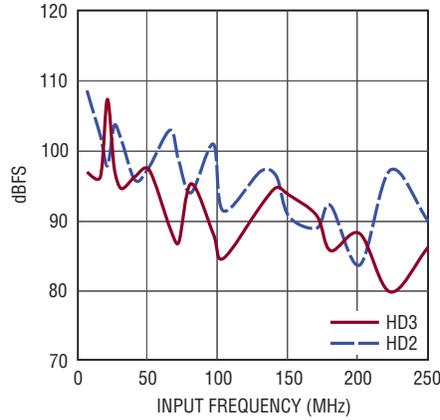
標準的性能特性

128kポイントのFFT、 $f_{IN} = 380.0\text{MHz}$ 、 -10dBFS 、 $\text{PGA} = 1$ 、ディザは「オン」



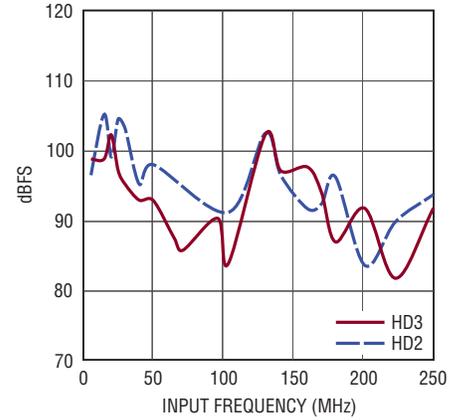
2107 G28

HD2/HD3と入力周波数、 $\text{PGA} = 0$ 、 -1dBFS



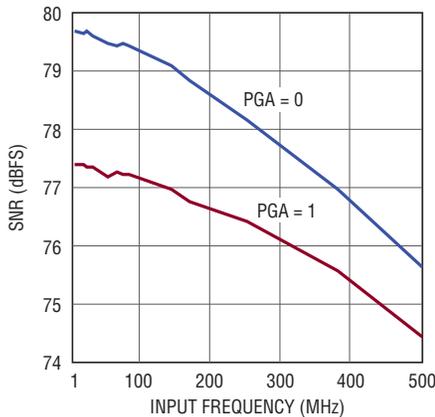
2107 G29

HD2/HD3と入力周波数、 $\text{PGA} = 1$ 、 -1dBFS



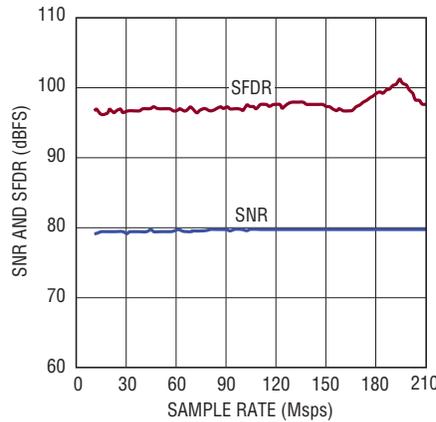
2107 G30

SNRと入力周波数



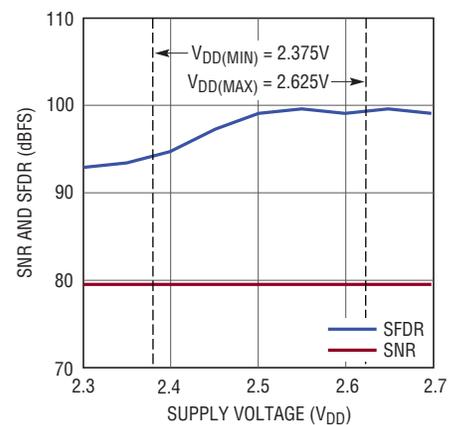
2107 G31

SNR、SFDRとサンプル・レート、 $f_{IN} = 5\text{MHz}$ 、 -1dBFS



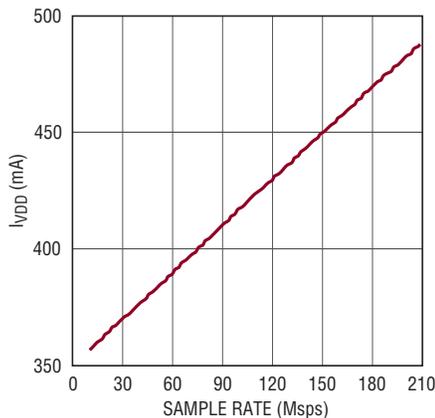
2107 G32

SNR、SFDRと電源電圧 (V_{DD})、 $f_{IN} = 5\text{MHz}$ 、 -1dBFS



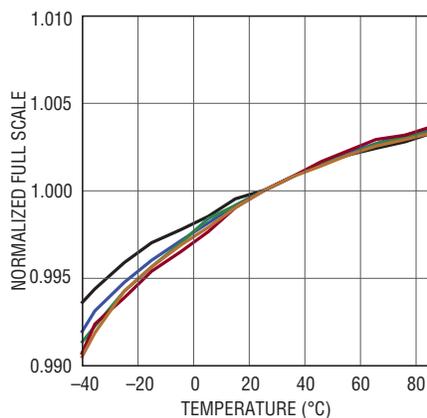
2107 G33

I_{VDD} とサンプル・レート、 5MHz の正弦波、 -1dBFS



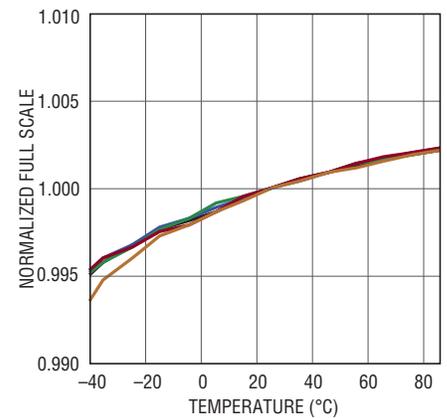
2107 G34

正規化フルスケール値と温度、内部リファレンス、5個のデータ



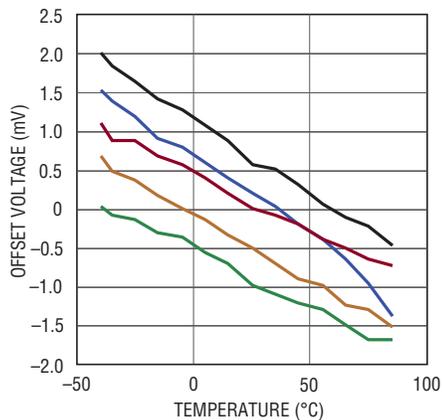
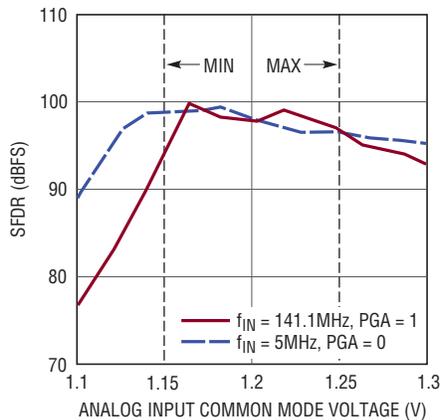
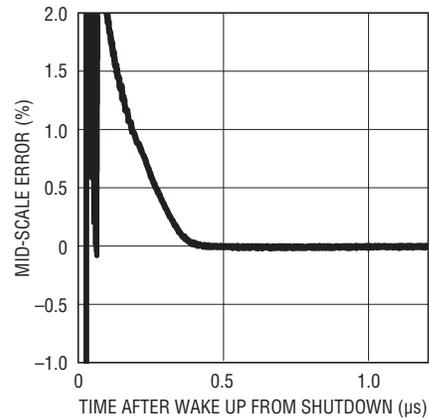
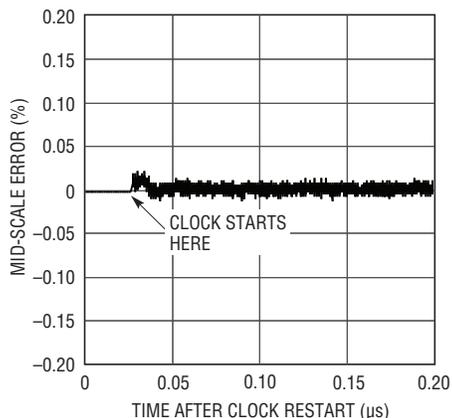
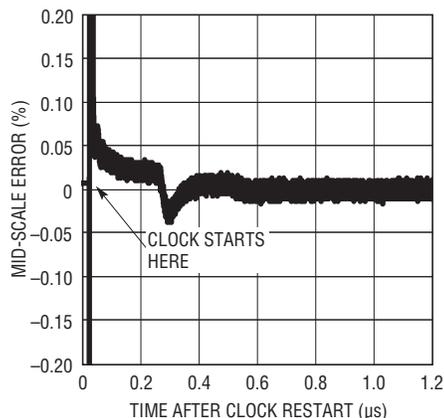
2107 G35

正規化フルスケール値と温度、外部リファレンス、5個のデータ



2107 G36

標準的性能特性

入力オフセット電圧と温度、
5個のデータSFDRとアナログ入力同相電圧、
-1dBFSシャットダウンから起動後の
ミッドスケール・セトリングキープアライブ「オン」でエンコード・
クロック開始後のミッドスケール・
セトリングキープアライブ「オフ」でエンコード・
クロック開始後のミッドスケール・
セトリング

ピン機能

(全てのデジタル出力モードで同じピン)

SENSE (ピン1) : リファレンスのプログラミング・ピン。SENSEピンの電圧は、内部リファレンスを使用するか、外部の1.25Vリファレンスを使用するかを選択します。SENSEをグランドまたは V_{DD} に接続すると、内部リファレンスが選択されます。SENSEを1.25Vの外部リファレンスに接続すると、自動的に外部リファレンス・モードが選択されます。正常に動作するには外部リファレンスが $1.25V \pm 25mV$ である必要があります。

GND (ピン2、3、7、10、12、13、16、47、48、49) : ADCの電源グランド。

V_{DD} (ピン4、5、6) : 2.5Vのアナログ電源。0402 10 μ Fのセラミック・コンデンサ1個と0402 0.1 μ Fのセラミック・コンデンサ1個をこれらのピンのできるだけ近くに配置して、グランドにバイパスします。ピン4、5、6は、この2つのバイパス・コンデンサを共有できます。

A_{IN}^+ (ピン8) : 正の差動アナログ入力。

A_{IN}^- (ピン9) : 負の差動アナログ入力。

V_{CM} (ピン11) : 同相バイアス出力。公称値は1.2Vに等しい。 V_{CM} はアナログ入力の同相レベルをバイアスするのに使用します。2.2 μ Fのセラミック・コンデンサを使ってグランドにバイパスします。

ENC⁺ (ピン14) : エンコード入力。立ち上がりエッジで変換が開始されます。

ENC⁻ (ピン15) : エンコード相補入力。立ち下がりエッジで変換が開始されます。

SHDN (ピン17) : 電源シャットダウン・ピン。SHDN = 0Vにすると通常動作になります。SHDN = 2.5Vにするとアナログ回路の電力消費が抑えられ、デジタル出力は高インピーダンス状態に設定されます。

SDO (ピン18) : シリアル・プログラミング・モード ($\overline{PAR/SER} = 0V$)では、SDOはシリアル・インタフェースのデータ出力です。SDOのデータはモード制御レジスタから読み出して、SCKの立ち下がりエッジでラッチすることができます。SDOはオープンドレインのNMOS出力で、2k Ω の外付けプルアップ抵抗を1.8V ~ 3.3Vに接続する必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要であり、SDOは未接続のままかまいません。

OGND (ピン19、42) : 出力ドライバのグランド。OGNDとGNDは同相グランド・プレーンで相互に接続する必要があります。

OV_{DD} (ピン20、41) : 出力ドライバの1.8V電源。0402 1 μ Fのセラミック・コンデンサ1個と0402 0.1 μ Fのセラミック・コンデンサ1個を使用して各OV_{DD}ピンをグランドにバイパスします。バイパス・コンデンサはこれらのピンにできるだけ近づけて配置してください。ピン20とピン41は、これらのバイパス・コンデンサを共有できません。

SDI (ピン43) : シリアル・プログラミング・モード ($\overline{PAR/SER} = 0V$)では、SDIはシリアル・インタフェースのデータ入力です。SDIのデータは、SCKの立ち上がりエッジでモード制御レジスタにクロックインされます。パラレル・プログラミング・モード ($\overline{PAR/SER} = V_{DD}$)では、SDIはデジタル出力ランダム化制御ビットになります。SDIが“L”のとき、デジタル出力のランダム化はディスエーブルされます。SDIが“H”のとき、デジタル出力のランダム化はイネーブルされます。SDIは1.8V ~ 3.3Vのロジックでドライブできます。

SCK (ピン44) : シリアル・プログラミング・モードでは ($\overline{PAR/SER} = 0V$)、SCKはシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モード ($\overline{PAR/SER} = V_{DD}$)では、SCKはプログラム可能な利得アンプ・フロントエンド (PGA) を制御します。SCKを“L”にすると1のフロントエンド利得と2.4V_{P-P}の入力範囲を選択します。“H”にすると1.5のフロントエンド利得と1.6V_{P-P}の入力範囲を選択します。SCKは1.8V ~ 3.3Vのロジックでドライブできます。

\overline{CS} (ピン45) : シリアル・プログラミング・モードでは ($\overline{PAR/SER} = 0V$)、 \overline{CS} はシリアル・インタフェースのチップ選択入力です。 \overline{CS} が“L”のときSCKがイネーブルされ、SDIのデータをモード制御レジスタにシフトします。パラレル・プログラミング・モード ($\overline{PAR/SER} = V_{DD}$)では、 \overline{CS} はデジタル出力モードを制御します。 \overline{CS} を“L”にすると、フルレートCMOS出力モードがイネーブルされます。 \overline{CS} を“H”にすると、ダブルデータレートLVDS出力モード (出力電流は3.5mA) がイネーブルされます。 \overline{CS} は、1.8V ~ 3.3Vのロジックでドライブできます。

$\overline{PAR/SER}$ (ピン46) : プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグランドに接続します。 \overline{CS} 、SCK、SDI、SDOはA/Dコンバータの動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブルするには V_{DD} に接続します。この場合、 \overline{CS} 、SCK、SDIは、A/Dコンバータの (種類が限定された) 動作モードを制御するパラレル・ロジック入力になります。 $\overline{PAR/SER}$ はグランドまたはデバイスの V_{DD} に直接接続し、ロジック信号ではドライブしません。

ピン機能

フルレート CMOS 出力モード

以降のすべてのピンは CMOS 出力レベル (0GND ~ 0V_{DD}) を備えています。

CMOS 出力モードは、サンプル・レートが 100Msps 以下の場合のみ推奨されます。

D0 ~ D15 (ピン 21 ~ 30、33 ~ 38) : デジタル出力。D15 が MSB です。

CLKOUT⁻ (ピン 31) : CLKOUT⁺ の反転バージョン。

CLKOUT⁺ (ピン 32) : データ出力クロック。デジタル出力は、通常、CLKOUT⁺ の立ち下がりエッジと同時に遷移します。CLKOUT⁺ の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

DNC (ピン 39) : このピンは接続しないでください。

OF (ピン 40) : オーバーフロー/アンダーフロー・デジタル出力。オーバーフローやアンダーフローが生じると、OF は “H” になります。

ダブルデータレート LVDS 出力モード

以降のすべてのピンは LVDS 出力レベルを備えています。出力電流レベルは設定可能です。各 LVDS 出力対のピンの間にはオプションの内部 100Ω 終端抵抗があります。

D0⁻/D0⁺ ~ D14⁻/D14⁺ (ピン 21/22、23/24、25/26、27/28、29/30、33/34、35/36、37/38) : ダブルデータレート・デジタル出力。2つのデータ・ビットが各差動出力対に多重化されます。CLKOUT⁺ が “L” のとき、偶数データ・ビット (D0、D2、D4、D6、D8、D10、D12、D14) が現れます。CLKOUT⁺ が “H” のとき、奇数データ・ビット (D1、D3、D5、D7、D9、D11、D13、D15) が現れます。

CLKOUT⁻/CLKOUT⁺ (ピン 31/32) : データ出力クロック。デジタル出力は、通常、CLKOUT⁺ の立ち下がりエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT⁺ の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

OF⁻/OF⁺ (ピン 39/40) : オーバーフロー/アンダーフロー・デジタル出力。オーバーフローやアンダーフローが生じると、OF⁺ は “H” になります。OF⁻ は、OF⁺ の反転バージョンです。

ブロック図

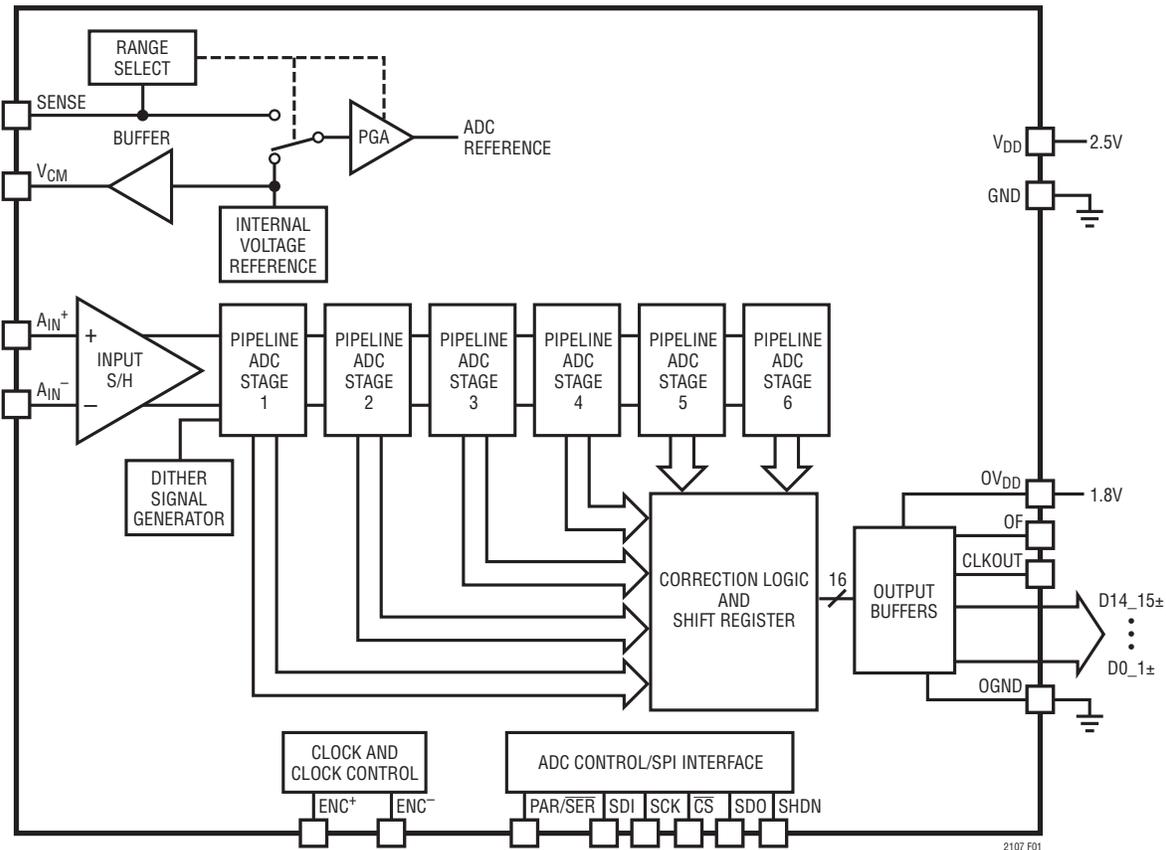


図1. 機能ブロック図

アプリケーション情報

コンバータの動作

LTC2107は、直接サンプリングが可能なPGAフロントエンドを備えた16ビット、210Mspsの高性能A/Dコンバータです。図1に示すように、このコンバータにはパイプライン構成の6つのADC段があり、サンプリングされた入力には7サイクルを経てデジタル値になります(「タイミング図」のセクションを参照)。同相ノイズの除去性能を高め、偶数次高調波を削減し、入力電圧範囲をできるだけ大きくするため、アナログ入力は差動式です。同相ノイズを除去し、ジッタ性能を最適化するため、エンコード入力も差動式です。デジタル出力はCMOSま

たは(システム内のデジタル・ノイズを削減する)ダブルデータレートLVDSを使用できます。シリアルSPIポートを介してモード制御レジスタをプログラムすることにより、多くの追加機能を選択することができます。

LTC2107の動作は2段階で、差動入力ピンであるENC⁺/ENC⁻の状態によって決まります。簡潔に説明するため、ここでは、ENC⁺がENC⁻より大きい状態をENC“H”、ENC⁺がENC⁻より小さい状態をENC“L”とします。

7クロック・サイクルにわたる連続した段の複数の段階によって信号を処理し、アナログ入力のデジタル表現を生成します。

アプリケーション情報

ENCが“L”のとき、アナログ入力には差動式に直接サンプリングされ、ブロック図に示す「INPUT S/H」(入力S/H)の内部で、入力サンプル・ホールド(S/H)コンデンサに移されます。ENCが“L”から“H”に移行する瞬間も、サンプル・コンデンサの電圧は維持されます。ENCが“H”の間、ホールドされた入力電圧はサンプル/ホールド・アンプによってバッファされます。このアンプはパイプライン構成の最初のADC段をドライブします。ENCが“H”のとき、第1段はS/Hアンプの出力を取り込みます。ENCが“L”に戻ると、第1段が出力を生成し、第2段がその出力を取り込みます。同時に、入力S/Hは再度、次のアナログ入力を取り込みます。ENCが“H”に戻ると、第2段が出力を生成し、第3段がその出力を取り込みます。残りの第3段～第5段でも同じ処理が繰り返され、第5段の出力が第6のADC段に送られて最終評価が行われます。

段から得られた結果が1つのアナログ入力サンプルと整合するよう、全段から得られた結果にデジタル的な遅延処理が行われます。遅延処理済みの全段からの結果を補正ロジックで結合した後、最終結果が出力バッファに送られます。

サンプル/ホールド動作

LTC2107の直接サンプリング差動サンプル・ホールドの等価回路を図2に示します。差動アナログ入力 A_{IN}^+ および A_{IN}^- は、NMOSトランジスタ・スイッチを介してサンプリング・コンデンサ(C_{SAMPLE})に直接サンプリングされます。各入力に付加されているコンデンサ(C_{PAR})は、インターコネクトおよびデバイス寄生について各入力に関連した他のすべての容量を合計したものです。

ENCが“L”になっているサンプル段階の間は、NMOSスイッチがアナログ入力とサンプリング・コンデンサを接続して充電し、入力電圧に追従します。サンプル段階中の入力における容量は C_{SAMPLE} と C_{PAR} の和、すなわち 6.38pF になります。ENCが“L”から“H”に移行するとき、NMOSスイッチがオープンになり、アナログ入力がサンプリング・コンデンサから切断されます。サンプリング・コンデンサの電圧はホールドされ、ホールドされた電圧がADCコアに送られて評価されます。ホールド段階中の入力における容量は C_{PAR} 、すなわち 0.66pF です。

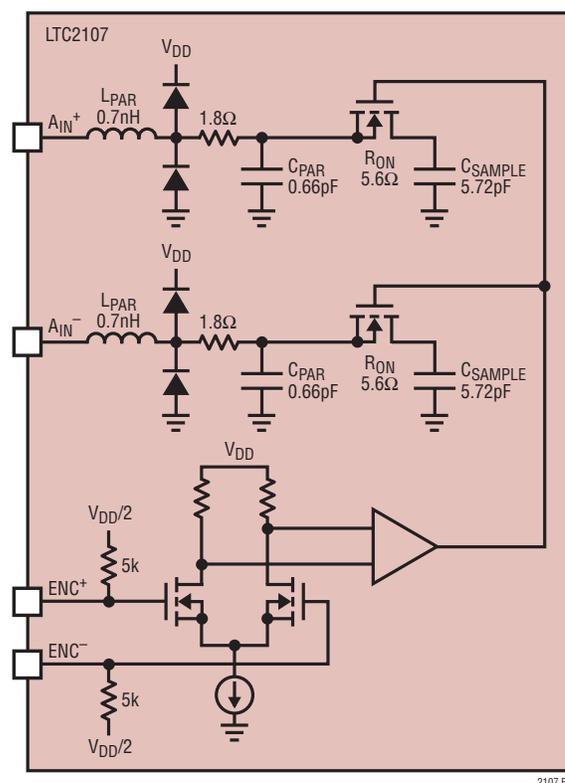


図2. 等価入力回路。

サンプリング・グリッチ

ENCが“H”から“L”に移行すると、入力はサンプリング・コンデンサに再度接続され、新しいサンプルを収集します。サンプリング・コンデンサには直前のサンプルが引き続きホールドされているので、現在のサンプルと直前のサンプルの間の電圧変化に比例する電荷をアナログ入力が供給する必要があります。さらに、NMOSサンプリング・スイッチのターンオンに関連する固定電荷があります。

理想的には、入力回路はサンプリング期間($1/2f_{ENCODE}$)中にサンプリング・コンデンサを満充電するのに十分なだけ高速である必要があります。しかし、通常それは不可能であり、不十分なセトリングによってSFDRが低下します。不十分なセトリングの影響を最小限に抑えるため、サンプリング・グリッチはできるだけリニアになるように設計されています。

アプリケーション情報

長いBNCケーブルを使用するテスト機器でADCをドライブする場合、特に注意が必要です。そのようなケースではBNCケーブル内に反射が発生し、SFDRが低下します。3dBアッテネーター・パッドをデモ基板の入力に接続すると、この問題の緩和に役立ちます。

ドライブのインピーダンス

他の高性能高速ADCと同様に、LTC2107のダイナミック性能も入力ドライブ回路の影響を受けることがあり、特に2次高調波と3次高調波には大きく影響されます。ソース・インピーダンスと入力リアクタンスはSFDRに影響を与えることがあります。サンプル&ホールド回路はENCの立ち上がりエッジで5.72pFのサンプリング・コンデンサと入力ピンを接続し、サンプリング周期を開始します。サンプリング期間はENCが立ち上がると終了し、サンプリングされた入力をサンプリング・コンデンサにホールドします。

アナログ入力ドライブ・インピーダンスは、サンプリング帯域幅とセトリング時間に影響を与えます。LTC2107の入力インピーダンスは、1GHz未満の周波数では主に容量性です。ソース・インピーダンスが高いと、セトリング時間が遅くなり、サンプリング帯域幅が狭くなります。ソース・インピーダンスが25Ωのとき、サンプリング帯域幅は通常800MHzです。

入力インピーダンスが低いと、SFDRの結果が向上します。最高の性能を得るためには、各入力のソース・インピーダンスを50Ω以下にすることを推奨します。差動入力のソース・インピーダンスは整合させる必要があります。よく整合していないと、偶数次高調波、特に2次高調波が大きくなります。

PGA機能

LTC2107はプログラム可能な利得アンプ・サンプル/ホールド回路を備えています。利得は、シリアル動作モードまたはパラレル動作モードで制御できます。PGA = 0にすると、1のサンプル/ホールド利得と2.4V_{P-P}の入力範囲が選択されます。PGA = 1にすると、1.5のサンプル/ホールド利得と1.6V_{P-P}の入力範囲が選択されます。PGA設定により、ADCドライブ最適化が柔軟になります。ADC入力信号が低いと、ADCドライブ回路のOIP3要件が緩和されます。PGA = 1セトリングの低い入力範囲ではドライブが容易で、高周波数アプリケーションにおける歪みが少なくなります。PGA = 1では、PGA = 0のときと比べてSNRが2.3dB低下しますが、入力換算ノイズは1.2dB改善します。

表1. PGAの設定

	PGA = 0	PGA = 1	単位
Input Range	2.4	1.6	V _{P-P}
SNR, Idle Channel	80	77.7	dBFS
Input Referred Noise	85	74	μVRMS

入力駆動回路

入力は、V_{CM}出力ピンによって設定された同相電圧(公称1.2V)を基準にして、差動でドライブする必要があります。2.4Vの入力範囲の場合、入力をV_{CM} - 0.6VからV_{CM} + 0.6Vまで振幅させます。入力間には180°の位相差が必要です。

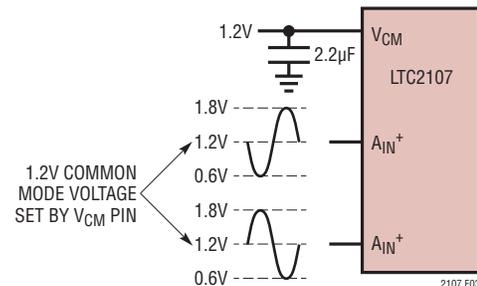


図3.2.4V入力範囲の場合の入力電圧振幅

トランス結合回路

RFトランスは、シングルエンド入力から差動入力への変換のほか、電圧利得およびインピーダンスの変換のためのシンプルで、低ノイズ、低電力、低歪みの手法を提供します。伝送線路トランスおよび磁束結合トランスの組み合わせ回路によってドライブされるアナログ入力を図4に示します。磁束結合トランスの二次コイルはV_{CM}でバイアスされており、A/Dコンバータの入力を最適なDCレベルに設定します。ADCの前には、常に入力ピンA_{IN+}およびA_{IN-}で検出されるソース・インピーダンスが存在します。ソース・インピーダンスが50Ωより大きくなると、入力帯域幅が狭くなって高周波歪みが大きくなる恐れがあります。トランスを使う場合の不利な点は低周波における信号損失です。ほとんどの小型RFトランスは1MHzより低い周波数では性能が低下します。

入力周波数が高い場合、1つの伝送線路トランスを使用します(図5~6)。

アプリケーション情報

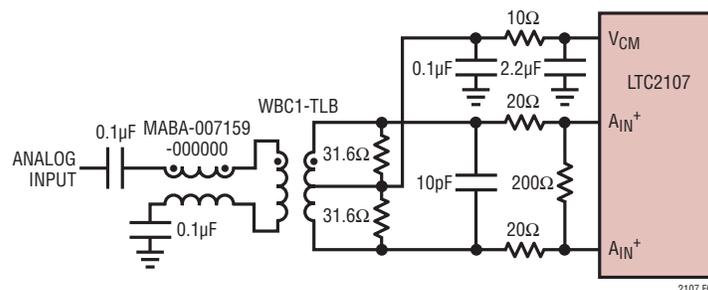


図4.2つのトランスを使用したシングルエンド入力から差動入力への変換。
5MHz～100MHzの入力周波数に対して推奨

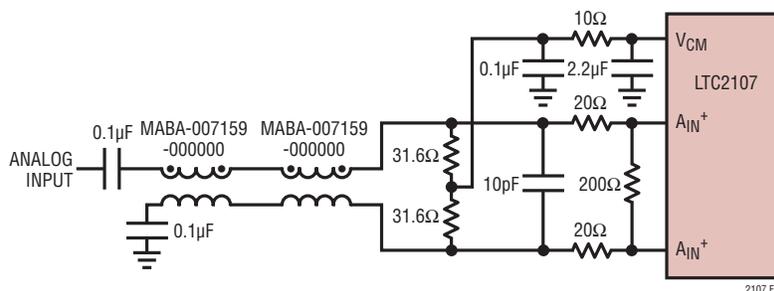


図5.2つのトランスを使用したシングルエンド入力から差動入力への変換。
100MHz～250MHzの入力周波数に対して推奨

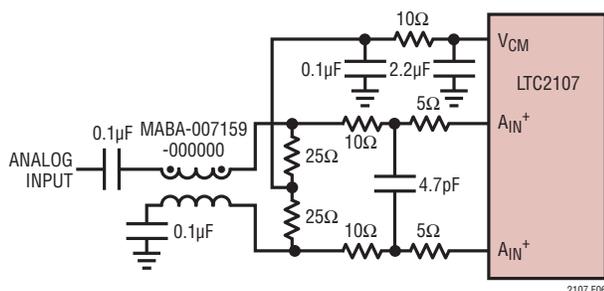


図6.1つのトランスを使用したシングルエンド入力から差動
入力への変換。入力周波数が250MHzを超える場合に推奨

ディザ

ディザ機能は、LTC2107のSFDR性能を向上します。ディザをオンにするには、レジスタA1[2]に“1”を書き込みます。簡潔に説明するため、ここでは $A_{IN+} - A_{IN-}$ を A_{IN} と表記します。ディザ機能は、ADCの前にあるサンプル対象のアナロ

グ入力に擬似乱数のディザ電圧を付加し、 $A_{IN} +$ ディザを得ます。この信号はADCによって変換され、デジタル形式の $A_{IN} +$ ディザが得られます。その後ディザが減算され、ADCの出力において16ビット分解能で A_{IN} の値が得られます。ディザ機能は、ユーザーには不可視です。ADCの入力信号範囲は、ディザのオン/オフに影響されません。

リファレンス

LTC2107は、1.25Vの内部電圧リファレンスを持ちます。SENSEを V_{DD} またはGNDに接続すると、1.25V内部リファレンスの使用が選択されます。SENSEピンは、1.25Vの外部リファレンスの入力でもあります。1.25Vの外部リファレンスまたは1.25Vの内部リファレンスの使用方法を図7に示します。1.25Vの外部リファレンス電圧の構成方法を図8に示します。内部リファレンスと外部リファレンスのいずれでも、 $PGA = 0$ で2.4V_{P-P}のADC入力範囲が得られます。

アプリケーション情報

TIE SENSE TO 0V OR V_{DD} TO USE THE INTERNAL 1.25V REFERENCE
 TIE SENSE TO A 1.25V REFERENCE TO USE AN EXTERNAL REFERENCE

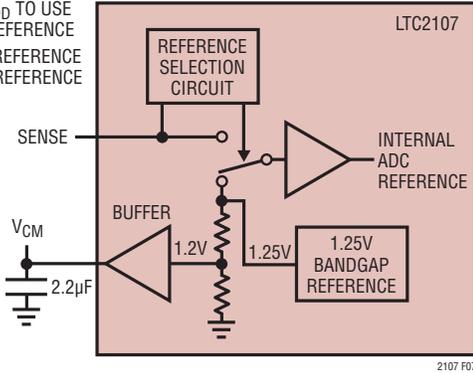


図7. リファレンス回路

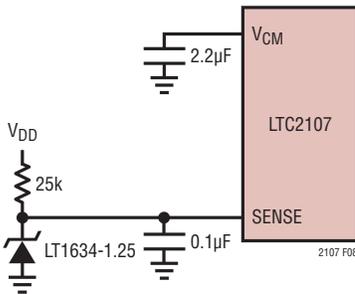


図8. 1.25Vの外部リファレンスの使い方

エンコード入力

差動エンコード入力の信号品質は、A/Dコンバータのノイズ性能に大きく影響します。エンコード入力はアナログ信号として扱います。回路基板上でデジタル・トレースに隣接して配線しないでください。正弦波、PECL、またはLVDSのエンコード入力を使用できます。エンコード入力は内部で5kΩの等価抵抗を介して1.25Vにバイアスされています。オプションの100Ω

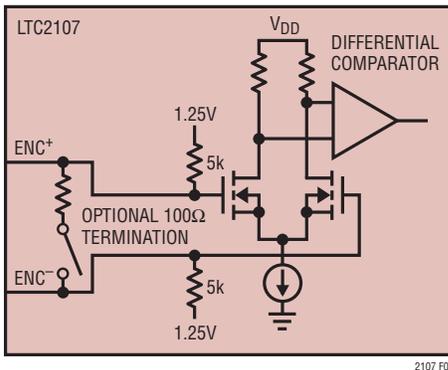


図9. 等価エンコード入力回路

終端抵抗は、制御レジスタ・ビットA3[5]に“1”を書き込むことでオンにできます。エンコード入力は V_{DD} まで高くすることができ、同相範囲は1.1V～1.5Vです。

ジッタ性能を向上するには、高品質で低ジッタのクロック源を使用する必要があります。SNR性能を最適化するには2V_{P-P}の差動エンコード信号を推奨します。与えられた入力周波数で要求されるSNRを達成するためのクロック・ソース・ジッタ要件については、図10を参照してください。

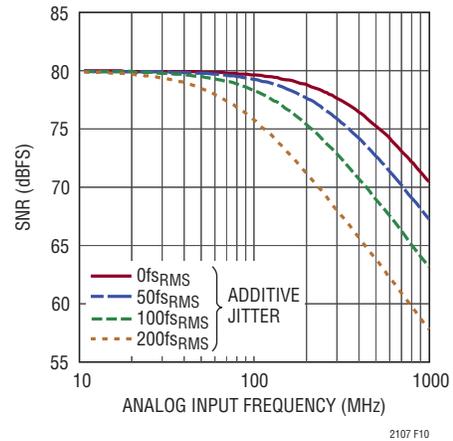


図10. 理想SNRとアナログ入力周波数およびクロック・ソース・ジッタ

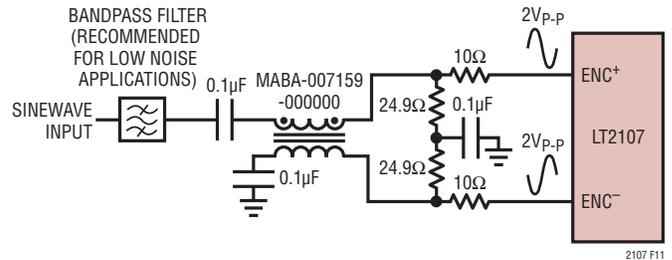


図11. 正弦波のエンコード・ドライブ

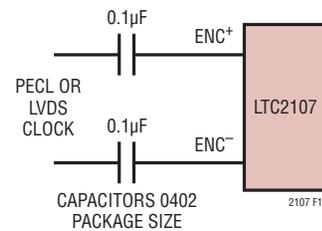


図12. PECLまたはLVDSのエンコード・ドライブ

アプリケーション情報

クロック・デューティ・サイクル・スタビライザ

クロック・デューティ・サイクル・スタビライザ(DCS)は、50%以外のデューティ・サイクル・エンコード入力から50%のデューティ・サイクル・クロックをLTC2107内部に生成する回路です。クロックDCSはデフォルトでオフになっています。イネーブルするには制御レジスタ・ビットA3[0]に“1”を書き込みます(シリアル・プログラミング・モードのみ)。DCSがディスエーブルされているとき、エンコード信号が50% (±5%)のデューティ・サイクルを持つときに最適なADC性能が達成されます。オプションのクロック・デューティ・サイクル・スタビライザ回路がイネーブルされていると、エンコードのデューティ・サイクルは30%~70%の間で変化することができ、デューティ・サイクル・スタビライザは内部のデューティ・サイクルを一定の50%に保ちます。エンコード信号の周波数が変わるかエンコード信号がオフになって再度オンになると、デューティ・サイクル・スタビライザ回路は入力クロックにロックして安定状態を維持するのに約100クロック・サイクルを要します。

サンプル・レートを迅速に変更する必要のあるアプリケーションでは、クロック・デューティ・サイクル・スタビライザをディスエーブルしておくことができます。デューティ・サイクル・スタビライザをディスエーブルする場合は、サンプリング・クロックのデューティ・サイクルが50% (±5%)になるように注意してください。

キーブアライブ発振器

LTC2107には、リフレッシュ、正常な機能、およびバイアスのためにクロックの存在に依存する回路が数多く存在します。しかし、動作中常にエンコード・クロックがLTC2107で使用できるとは限りません。

キーブアライブ発振器により、ENC⁺/ENC⁻でエンコード・クロックがアクティブでないときにチップ内800kHzクロックが存在することが保証されます。キーブアライブ発振器の機能を図13に示します。この機能の目的は、ENC⁺/ENC⁻ピンでエンコード・クロックがアクティブになったときにADCが高速に動作できるようにすることです。ENC⁺/ENC⁻クロックがアクティブになったときの高速なADC復帰の根拠については、ミッドスケールおよびフルスケールのセトリング性能プロットを参照してください。キーブアライブ発振器は、A3[4]に“1”を書き込むとディスエーブルできます。キーブアライブ発振器がディスエーブルされており、ENC⁺/ENC⁻ピンでクロックがアクティブでない場合、チップ内にアクティブなクロックは存在しません。その場合、A_{IN}⁺/A_{IN}⁻ピンでの入力漏れ電流増加も発生します。

デジタル出力

デジタル出力モード

LTC2107は、CMOSモードまたはダブルデータレートLVDSモードの2つのデジタル出力モードで動作可能です。出力モードはモード制御レジスタA4[0](シリアル・プログラミング・モード)、またはCS⁻(パラレル・プログラミング・モード)によって設定されます。LVDSモードは通常、プリント回路基板におけるデジタル・ノイズを低減するために使用されます。

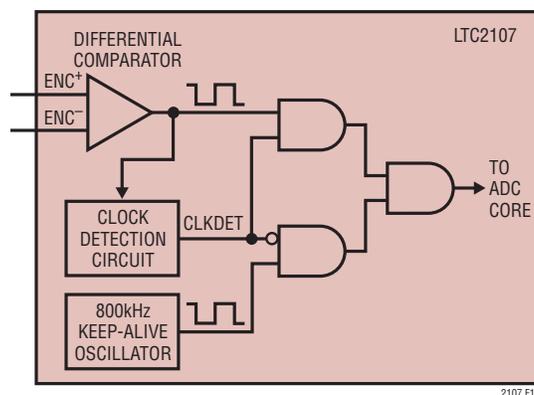


図13. キーブアライブ発振器の機能

アプリケーション情報

CMOSモード

CMOSモードでは、16個のデジタル出力(D0~D15)、オーバーフロー(OF)、データ出力クロック(CLKOUT⁺、CLKOUT⁻)はCMOS出力レベルになります。出力はOV_{DD}とOGNDから電力を供給され、A/Dコンバータのコアの電源とグラウンドからは分離されています。

良好な性能を得るために、デジタル出力がドライブする容量性負荷は最小限に抑えます。負荷容量が5pFより大きい場合は、デジタル・バッファを使用します。

CMOSモードは、サンプル・レートが100Mspsより高い場合は推奨されません。

ダブルデータレートLVDSモード

ダブルデータレートLVDSモードでは、2つのデータ・ビットが多重化されて各差動出力対に出力されます。8つのLVDS ADCデータ出力対があります(D0₁₊/D0₁₋~D14₁₅₊/D14₁₅₋)。オーバーフロー(OF⁺/OF⁻)とデータ出力クロック(CLKOUT⁺/CLKOUT⁻)は、それぞれLVDS出力対を備えています。

デフォルトでは、出力は標準LVDSレベルです。すなわち、出力電流が3.5mA、出力同相電圧が1.25Vです。各LVDS出力対には外付けの100Ω差動終端抵抗が必要です。終端抵抗は、LVDSレシーバのできるだけ近くに配置してください。

出力はOV_{DD}とOGNDから電力を供給され、A/Dコンバータのコアの電源とグラウンドからは分離されています。LVDSモードでは、OV_{DD}を1.8Vにする必要があります。

設定可能なLVDS出力電流

LVDSモードでは、デフォルトの出力ドライバ電流は3.5mAです。この電流は、モード制御レジスタA4をシリアル・モードでプログラムすることにより調整できます。使用可能な電流レベルは、1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mAおよび4.5mAです。

オプションのLVDSドライバの内部終端

ほとんどの場合、100Ωの外付け終端抵抗を使用するだけでLVDSの優れた信号品質が得られます。さらに、モード制御レジスタA4[3]をシリアル・モードでプログラムすることにより、オプションの100Ωの内部終端抵抗をイネーブルすることができます。内部終端は、レシーバでの不完全な終端によって発生する反射を吸収するのに役立ちます。内部終端がイネーブルされると、同じ出力電圧振幅を維持するために、出力ドライバ電流は2倍になります。

オーバーフロー・ビット

アナログ入力にオーバーレンジまたはアンダーレンジが生じると、オーバーフロー出力ビット(OF)はロジック“H”を出力します。オーバーフロー・ビットにはデータ・ビットと同じパイプライン待ち時間があります。

フルレートCMOSモードのOFは、オーバーフロー・ピンです。DDR LVDSモードでは、OF⁺/OF⁻は2つの差動オーバーフロー・ピンです。20,000サンプルを超えて、フルスケールの120%の範囲を上回るか下回る値に維持されると、不正なADCコードが生成され、ADC復帰時間が長くなります。

出力クロックの位相シフト

フルレートCMOSモードでは、データ出力ビットは通常CLKOUT⁺の立ち下がりエッジと同時に変化するので、CLKOUT⁺の立ち上がりエッジを使って出力データをラッチすることができます。ダブルデータレートLVDSモードでは、データ出力ビットは通常CLKOUT⁺の立ち下がりエッジおよび立ち上がりエッジと同時に変化します。データをラッチするとき適切なセットアップ時間とホールド時間を与えるには、データ出力ビットに対してCLKOUT⁺信号の位相をシフトさせることが必要な場合があります。ほとんどのFPGAはこの機能を備えており、これが一般にタイミングを調整する最良のポイントです。

LTC2107はモード制御レジスタA3[2:1]をシリアル・モードでプログラムすることにより、CLKOUT⁺/CLKOUT⁻信号の位相をシフトすることもできます。出力クロックは0°、45°、90°または

アプリケーション情報

135°の単位でシフトすることができます。位相シフト機能を使うには、クロック・デューティ・サイクル・スタビライザをオンにする必要があります。“1”をA3[0]に書き込むと、位相シフトとは関係なくCLKOUT⁺とCLKOUT⁻の極性が反転します。これら2つの機能を組み合わせると、45°から315°までの位相シフトが可能になります(図14)。

データ形式

アナログ入力電圧、デジタル・データ出力ビット、およびオーバーフロー・ビットの相互関係を表2に示します。デフォルトでは、出力のデータ形式はオフセット・バイナリです。モード制御レジスタA5[0]をシリアル・モードでプログラムすることにより、2の補数形式を選択することができます。

表2. 出力コードと入力電圧

A _{IN} ⁺ - A _{IN} ⁻ (2.4V範囲)	OF	D15~D0 (オフセット・バイナリ)	D15~D0 (2の補数)
>+1.2000000V	1	1111 1111 1111 1111	0111 1111 1111 1111
+1.1999634V	0	1111 1111 1111 1111	0111 1111 1111 1111
+1.1999268V	0	1111 1111 1111 1110	0111 1111 1111 1110
+0.0000366V	0	1000 0000 0000 0001	0000 0000 0000 0001
+0.0000000V	0	1000 0000 0000 0000	0000 0000 0000 0000
-0.0000366V	0	0111 1111 1111 1111	1111 1111 1111 1111
-0.0000732V	0	0111 1111 1111 1110	1111 1111 1111 1110
-1.1999634V	0	0000 0000 0000 0001	1000 0000 0000 0001
-1.2000000V	0	0000 0000 0000 0000	1000 0000 0000 0000
≤-1.2000000V	1	0000 0000 0000 0000	1000 0000 0000 0000

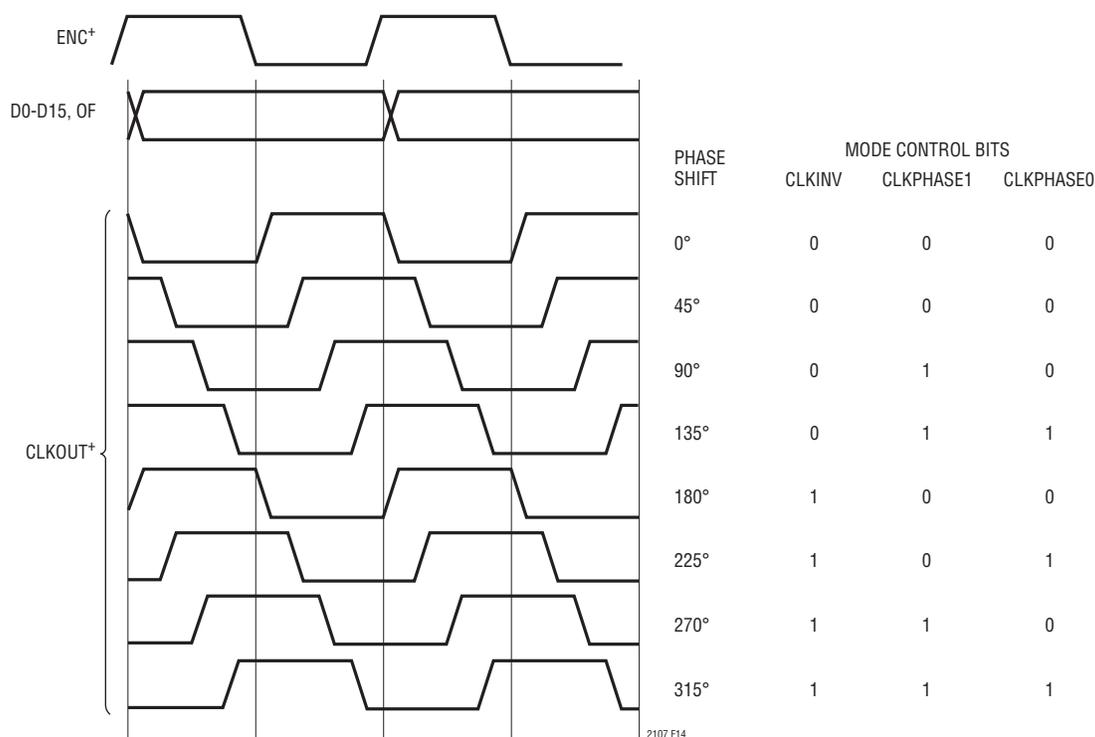


図14. CLKOUTの位相シフト

アプリケーション情報

デジタル出力ランダムマイザ

A/Dコンバータのデジタル出力からの干渉は、場合によっては避けられません。デジタル干渉は、容量性結合や誘導性結合、あるいはグランド・プレーンを介した結合によって発生する可能性があります。結合係数がきわめて小さい場合でも、そのためにA/Dコンバータの出力スペクトルに不要なトーンが発生することがあります。デジタル出力をデバイスから伝送する前にランダム化することにより、これらの不要なトーンをランダム化し、それによって不要なトーン振幅を減少させることができます。

デジタル出力は、LSBと他のすべてのデータ出力ビットとの間で排他的論理和演算を行うことによってランダム化されます。デコードするには逆の演算を行います。つまり、LSBと他の全てのビットとの間で排他的論理和演算を行います。LSB、OF、およびCLKOUTの各出力は影響を受けません。モード制御レジスタA5[1]をシリアル・モードでプログラムすることにより、出力ランダムマイザをイネーブルすることができます。

交互ビット極性

回路基板のデジタル帰還を減らすもうひとつの機能は交互ビット極性モードです。このモードがイネーブルされると、全ての奇数ビット(D1、D3、D5、D7、D9、D11、D13、D15)が出力バッファの前で反転します。偶数ビット(D0、D2、D4、D6、D8、D10、D12、D14)、OFおよびCLKOUTは影響を受けません。これにより、回路基板のグランド・プレーンのデジタル電流を減らし、(特に非常に小さなアナログ入力信号の場合)デジタル・ノイズを減らすことができます。

A/Dコンバータの入力にミッドスケール付近を中心とした微小信号があると、デジタル出力はほとんどのビットが1の状態とほとんどのビットが0の状態との間で切り換わります。このようにほとんどのビットが同時に切り換わると、大きな電流がグランド・プレーンを流れます。交互ビット極性モードでは、ビットを1つおきに反転することにより、全ビットの半数が“H”に遷移し、同時に全ビットの半数が“L”に遷移します。一次側には、これによりグランド・プレーンの電流が打ち消され、デジタル・ノイズが減少します。

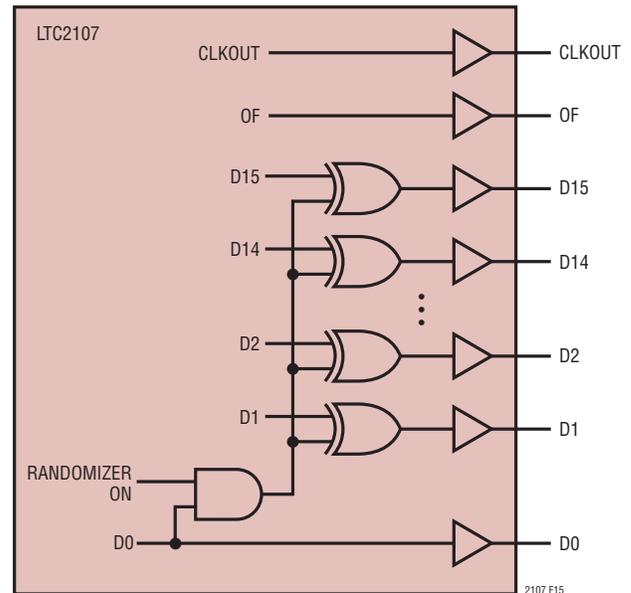


図15. デジタル出力ランダムマイザの等価機能

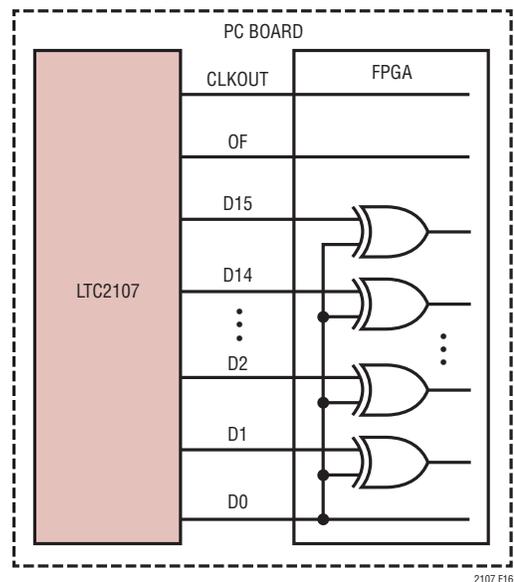


図16. ランダム化されたデジタル出力信号の復元

アプリケーション情報

デジタル出力は、奇数ビット(D1、D3、D5、D7、D9、D11、D13、D15)を反転させることにより、レシーバでデコードされます。交互ビット極性モードはデジタル出力ランダムマイザからは独立しています。つまり、両方の機能を同時にオンすることも、両方の機能を同時にオフすることも可能です。交互ビット極性モードは、モード制御レジスタA5[2]をシリアル・モードでプログラムすることによってイネーブルされます。

デジタル出力のテストパターン

A/Dコンバータへのデジタル・インタフェースのインサーキット・テストを可能にするため、A/Dコンバータのデータ出力(OF、D15～D0)を強制的に既知の値にするいくつかのテスト・モードがあります。

オール1:すべての出力が1

オール0:すべての出力が0

交互:サンプルの出力がオール1からオール0に交互に変化する。

格子縞:サンプルの出力が10101010101010101から01010101010101010に交互に変化する。

デジタル出力のテスト・パターンは、モード制御レジスタA5[5:3]をシリアル・モードでプログラムすることによってイネーブルされます。テストパターンがイネーブルされると、他のすべての形式設定モード(2の補数、ランダムマイザ、交互ビット極性)は無効になります。

出力のディスエーブル

デジタル出力は、制御レジスタA4[2]をシリアル・モードでプログラムすることによりディスエーブルすることができます。OFおよびCLKOUTを含むすべてのデジタル出力がディスエーブルされます。高インピーダンスのディスエーブル状態は長期間の休止状態のためであり、複数のコンバータ間でデータ・バスをフルスピードで多重化するには遅すぎて使えません。

シャットダウン・モード

節電のため、A/Dコンバータをシャットダウン・モードにすることができます。シャットダウン・モードでは、A/Dコンバータ全体がパワーダウンし、電力消費は6.4mWになります。シャットダウン・モードは、モード制御レジスタA1[1](シリアル・プログラミング・モード)またはSHDN(パラレルまたはシリアル・プログラミング・モード)によってイネーブルされます。シャットダウンから復帰するために必要な時間をミッドスケール・セトリング性能プロットに示します。

デバイスのプログラミング・モード

LTC2107の動作モードはパラレル・インタフェースまたは簡単なシリアル・インタフェースのどちらでもプログラム可能です。シリアル・インタフェースの方が柔軟性が高く、選択可能なすべてのモードをプログラムできます。パラレル・インタフェースには制限が多く、プログラムできるのはよく使用される一部のモードのみです。

パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、 $\overline{\text{PAR}}/\overline{\text{SER}}$ を V_{DD} に接続します。 $\overline{\text{CS}}$ 、SCK、SDIおよびSHDNの各ピンは、特定の動作モードを設定するバイナリ・ロジック入力です。これらのピンは V_{DD} またはグラウンドに接続するか、あるいは1.8V、2.5V、または3.3VのCMOSロジックでドライブすることができます。 $\overline{\text{CS}}$ 、SCK、SDI、およびSHDNで設定されるモードを表3に示します。

表3. パラレル・プログラミング・モード制御ビット

ピン	説明
$\overline{\text{CS}}$	Digital Output Mode Control Bit 0 = Full Rate CMOS Digital Output Mode 1 = Double Data Rate (DDR) LVDS Output Modes
SCK	Programmable Gain Front-End (PGA) Control Bit 0 = Front-End Gain = 1 (FS = 2.4V _{p-p}) 1 = Front-End Gain = 1.5 (FS = 1.6V _{p-p})
SDI	Digital Output Randomizer Control Bit 0 = Digital Output Randomization Disabled 1 = Digital Output Randomization Enabled
SHDN	0 = Normal Operation 1 = ADC Power Shut Down

アプリケーション情報

シリアル・プログラミング・モード

シリアル・プログラミング・モードを使用するには、 $\overline{\text{PAR/SER}}$ をグラウンドに接続します。 $\overline{\text{CS}}$ 、 SCK 、 SDI および SDO の各ピンは、A/Dコンバータのモード制御レジスタをプログラムするシリアル・インタフェースになります。データは16ビットのシリアル・ワードでレジスタに書き込まれます。データをレジスタから読み出して、レジスタの内容を検証することもできます。

シリアル・データ転送は $\overline{\text{CS}}$ が“L”になると開始されます。SDIピンのデータは、 SCK の先頭から16番目までの立ち上がりエッジでラッチされます。先頭から16番目より後の SCK 立ち上がりエッジは無視されます。データ転送は $\overline{\text{CS}}$ が再度“H”になると終了します。

16ビットの入力ワードの先頭ビットは $\text{R}/\overline{\text{W}}$ ビットです。次の7ビットはレジスタのアドレス(A6:A0)です。最後の8ビットはレジスタのデータ(D7:D0)です。

$\text{R}/\overline{\text{W}}$ ビットが“L”の場合、シリアル・データ(D7:D0)はアドレス・ビット(A6:A0)で設定されるレジスタに書き込まれます。 $\text{R}/\overline{\text{W}}$ ビットが“H”の場合は、アドレス・ビット(A6:A0)によって設定されるレジスタ内のデータが SDO ピンで読み出されます(タイミング図を参照)。読み出しコマンドの実行中、レジスタは更新されず、SDIのデータは無視されます。

SDO ピンはオープン・ドレイン出力で、 260Ω のインピーダンスでグラウンドに引き下げられます。レジスタのデータを SDO を介して読み出す場合は、 $2\text{k}\Omega$ の外付けプルアップ抵抗が必要です。シリアル・データが書き込み専用で読み出す必要がない場合は、 SDO をフロート状態のままにしてもかまわないため、プルアップ抵抗は不要です。

モード制御レジスタのマップを表4に示します。

ソフトウェア・リセット

シリアル・プログラミングを使用する場合は、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムし

ます。最初のシリアル・コマンドは、すべてのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットにする必要があります。ソフトウェアによるリセットを実行するには、リセット・レジスタのビットA0[7]にロジック1を書き込みます。リセットが完了した後、ビットA0[7]は自動的に0に戻ります。リセット後、シリアル制御ビットはすべて0に設定されます。

接地とバイパス

LTC2107には切れ目のないクリーンなグラウンド・プレーンを備えたプリント回路基板が必要です。内部グラウンド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、ADCの下に配置したりしないように注意してください。

VDD 、 OVDD 、 VCM の各ピンには、高品質のセラミック・バイパス・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。0.1 μF 、1 μF 、2.2 μF 、10 μF のデカップリング・コンデンサには、0402サイズのセラミック・コンデンサを推奨します。ピンとバイパス・コンデンサを接続するトレースは短くしておく必要があり、幅はできるだけ広くします。

アナログ入力、エンコード信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに絶縁するためのバリアとして、グラウンド領域とグラウンド・ビアを使用します。

熱伝達

LTC2107が発生する熱の大部分はダイから底面の露出パッドとパッケージのピンを通してプリント回路基板に伝わります。優れた電気的性能と熱性能を得るには、プリント回路基板上にある大きな接地パッドに露出パッドを半田付けする必要があります。

アプリケーション情報

表4. シリアル・プログラミング・モードのレジスタ・マップ

レジスタ A0: リセット・レジスタ(アドレス 00h)

D7	D6	D5	D4	D3	D2	D1	D0
RESET	X	X	X	X	X	X	X

- ビット7 **RESET** ソフトウェア・リセット・ビット
 0 = 不使用
 1 = ソフトウェアによるリセット。すべてのモード制御レジスタは00hにリセットされる。リセットが完了すると、このビットは自動的に0に戻る。
 リセット・レジスタは書き込み専用。
- ビット6～0 使用しないビット。0として読み取り。

レジスタ A1: ADC 制御レジスタ(アドレス 01h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	PGA	$\overline{\text{DITH}}$	SHDN	X

- ビット7～4,0 使用しないビット。0として読み取り。
- ビット3 **PGA** プログラム可能な利得フロントエンド制御ビット
 0 = フロントエンド利得 1。起動時のデフォルト値。
 1 = フロントエンド利得 1.5。
- ビット2 **$\overline{\text{DITH}}$** ディザ制御ビット
 0 = ディザがイネーブルされている。起動時のデフォルト値。
 1 = ディザがディスエーブルされている。
- ビット1 **SHDN** ADC 電源シャットダウン制御ビット
 0 = 通常動作。起動時のデフォルト値。
 1 = ADC 電源シャットダウン

アプリケーション情報

レジスタ A2: 不使用 (アドレス 02h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	X	X

ビット7~0 使用しないビット。0として読み取り。

レジスタ A3: クロック制御レジスタ (アドレス 03h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	Encode Term	KAOSC	CLKINV	CLKPHASE1	CLKPHASE0	DCS

ビット7~6 使用しないビット。0として読み取り。

ビット5 100Ωのクロック・エンコード終端
 0 = クロック・エンコード終端をオフ。起動時のデフォルト値。
 1 = クロック・エンコード終端をオン。

ビット4 **KAOSC** キープアライブ発振器制御ビット
 0 = キープアライブ発振器がイネーブルされている。起動時のデフォルト値。
 1 = キープアライブ発振器がディスエーブルされている。

ビット3 **CLKINV** 出力クロック反転ビット
 0 = 通常のCLKOUT極性 (タイミング図参照)。起動時のデフォルト値。
 1 = 反転したCLKOUT極性

ビット2~1 **CLKPHASE1:CLKPHASE0** 出力クロックの位相遅延ビット
 00 = CLKOUT遅延なし (タイミング図参照)。起動時のデフォルト値。
 01 = CLKOUT+/CLKOUT-を45° (クロック周期×1/8)だけ遅延
 10 = CLKOUT+/CLKOUT-を90° (クロック周期×1/4)だけ遅延
 11 = CLKOUT+/CLKOUT-を135° (クロック周期×3/8)だけ遅延
 Note: CLKOUT位相遅延機能を使う場合、クロック・デューティ・サイクル・スタビライザもオンする必要がある

ビット0 **DCS** クロック・デューティ・サイクル・スタビライザ制御ビット
 0 = クロック・デューティ・サイクル・スタビライザをオフ。起動時のデフォルト値。
 1 = クロック・デューティ・サイクル・スタビライザをオン。

アプリケーション情報

レジスタ A4: 出力モード・レジスタ (アドレス 04h)

D7	D6	D5	D4	D3	D2	D1	D0
X	ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	X	LVDS

ビット7 使用しないビット。0として読み取り。

ビット6～4 **ILVDS2:ILVDS0** LVDS出力電流制御ビット
 000 = 3.5mAのLVDS出力ドライバ電流。起動時のデフォルト値。
 001 = 4.0mAのLVDS出力ドライバ電流。
 010 = 4.5mAのLVDS出力ドライバ電流。
 011 = 不使用。
 100 = 3.0mAのLVDS出力ドライバ電流。
 101 = 2.5mAのLVDS出力ドライバ電流。
 110 = 2.1mAのLVDS出力ドライバ電流。
 111 = 1.75mAのLVDS出力ドライバ電流。

ビット3 **TERMON** LVDS内部終端ビット
 0 = 内部終端をオフ。起動時のデフォルト値。
 1 = 内部終端をオン。LVDS出力ドライバ電流はILVDS2:ILVDS0によって設定される電流の2倍

ビット2 **OUTOFF** 出力ディスエーブル・ビット
 0 = デジタル出力をイネーブル。起動時のデフォルト値。
 1 = デジタル出力をディスエーブルし、出力を高インピーダンスにする。

ビット1 使用しないビット。0として読み取り。

ビット0 **LVDS** デジタル出力モード制御ビット
 0 = ダブルデータレートLVDS出力モード。起動時のデフォルト値。
 1 = フルレートCMOS出力モード。

アプリケーション情報

レジスタ A5: データ・フォーマット・レジスタ (アドレス 05h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	OUTTEST2	OUTTEST1	OUTTEST0	ABP	RAND	TWOSCOMP

ビット7～6 使用しないビット。0として読み取り。

ビット5～3 **OUTTEST2:OUTTEST0** デジタル出力のテストパターン・ビット
 000 = デジタル出力のテストパターンをオフ。起動時のデフォルト値。
 001 = すべてのデジタル出力 = 0。
 011 = すべてのデジタル出力 = 1。
 101 = チェッカーボード出力パターン。OF、D15～D0は10101 0101 0101 0101と01010 1010 1010 1010を交互に出力。
 111 = 交互出力パターン。OF、D15～D0は00000 0000 0000 0000と11111 1111 1111 1111を交互に出力。
 Note: 他のビットの組み合わせは使用されない。

ビット2 **ABP** 交互ビット極性モード制御ビット

0 = 交互ビット極性モードをオフ。起動時のデフォルト値。
 1 = 交互ビット極性モードをオン。

ビット1 **RAND** データ出力ランダムマイザ・モード制御ビット

0 = データ出力ランダムマイザ・モードをオフ。起動時のデフォルト値。
 1 = データ出力ランダムマイザ・モードをオン。

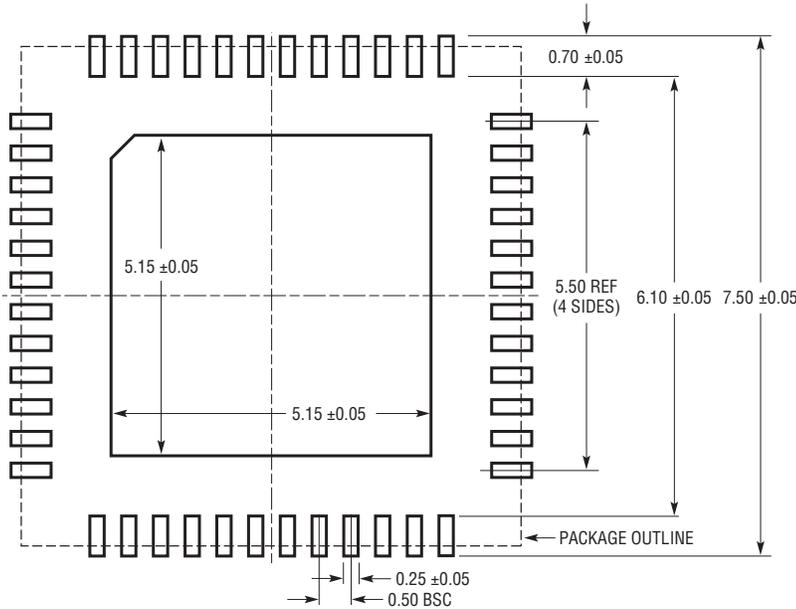
ビット0 **TWOSCOMP** 2の補数モード制御ビット

0 = オフセット・バイナリのデータ形式。起動時のデフォルト値。
 1 = 2の補数のデータ形式。

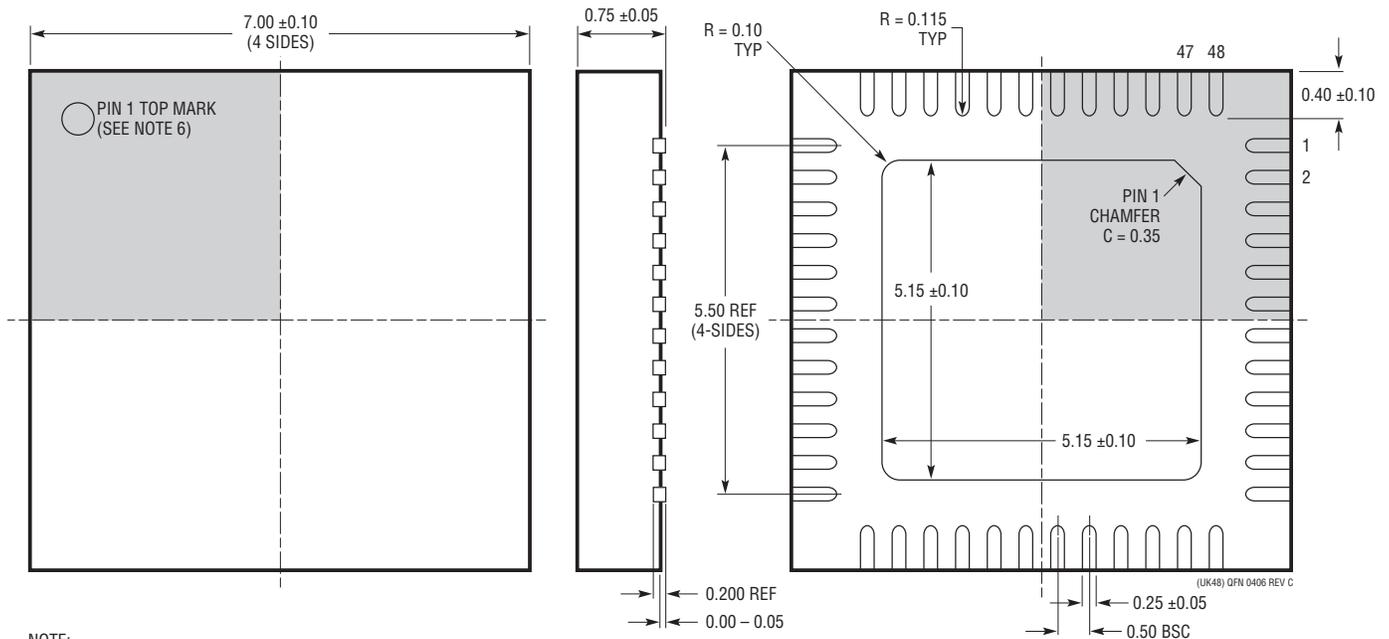
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

UK Package
48-Lead Plastic QFN (7mm × 7mm)
 (Reference LTC DWG # 05-08-1704 Rev C)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



NOTE:

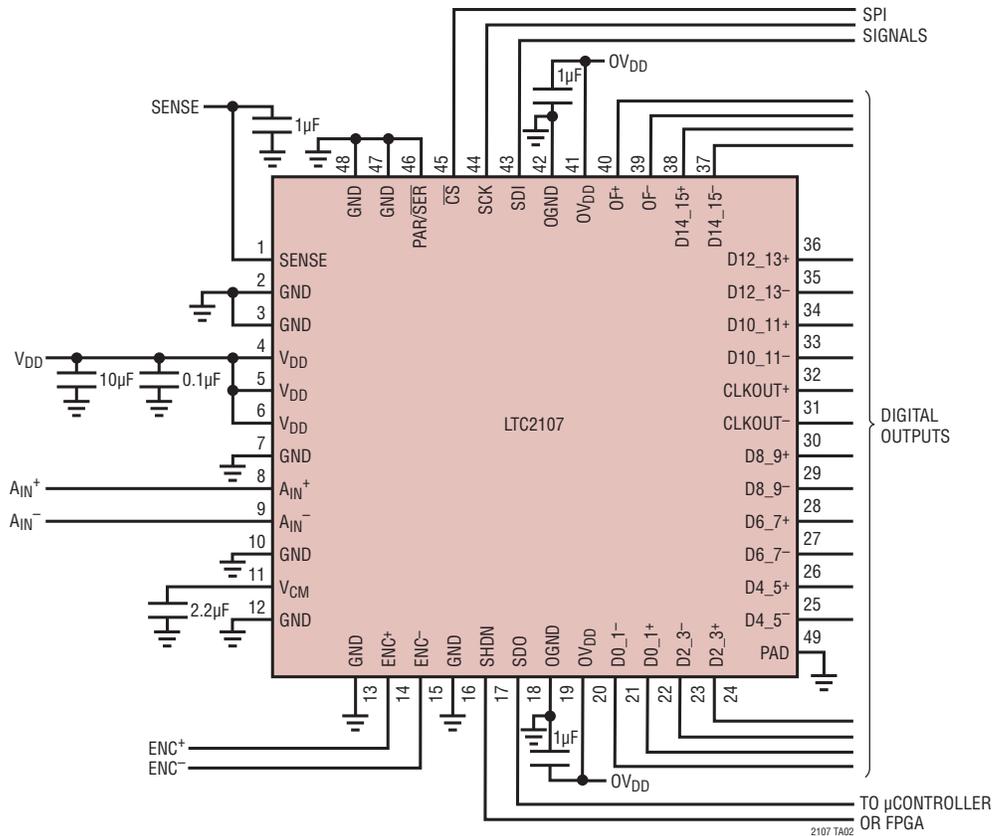
1. 図面は JEDEC のパッケージ外形 M0-220 のバリエーション (WKKD-2) に適合
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは(もしあれば)各サイドで 0.20mm を超えないこと
5. 露出パッドは半田メッキとする
6. 灰色の部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

BOTTOM VIEW—EXPOSED PAD

LTC2107

標準的応用例

LTC2107の回路図(シリアル・モード)



関連製品

製品番号	説明	注釈
高速ADC		
LTC2208	16ビット、130Msps、3.3V ADC	77.7dB SNR、100dB SFDR、1250mW、CMOSまたはLVDS出力、9mm×9mm QFN-64
LTC2209	16ビット、160Msps、3.3V ADC	77.1dB SNR、100dB SFDR、1530mW、CMOSまたはLVDS出力、9mm×9mm QFN-64
LTC2217	16ビット、105Msps、3.3V ADC	81.6dB SNR、100dB SFDR、1190mW、CMOSまたはLVDS出力、9mm×9mm QFN-64
LTC2195	16ビット、125Msps 超低消費電力1.8VデュアルADC	76.8dB SNR、90dB SFDR、432mW、シリアルLVDS出力、7mm×8mm QFN-52
LTC2271	16ビット、20Msps 超低消費電力1.8VデュアルADC	84.1dB SNR、99dB SFDR、185mW、シリアルLVDS出力、7mm×8mm QFN-52
固定利得IFアンプ/ADCドライバ		
LTC6430-15	直線性の高い差動RF/IFアンプ/A/Dコンバータ・ドライバ	15dB利得、+50dBm OIP3、3dB NF @240MHz、5V/160mAの電源
ベースバンド差動アンプ		
LTC6409	1.1nV/√Hz単電源差動アンプ/ADCドライバ	88dB SFDR @100MHz、ACまたはDC結合入力、3mm×2mm QFN-10
RFミキサ		
LTC5551	300MHz～3.5GHzの超高ダイナミックレンジ・ミキサ	+36dBm IIP3、2.4dBの変換利得、0dBm LOドライブ、670mWの全電力

2107f