

特長

- 2フェーズ単一出力コントローラ
- 所要入力容量と電源誘導ノイズを低減
- 電流モード制御による電流分担
- フェーズ・ロック可能な固定周波数：150kHz～300kHz
- 真のリモート・センシング差動アンプ
- OPTI-LOOP™補償による過渡応答の改善
- 出力電圧精度 $\pm 1\%$
- 広い V_{IN} 範囲：4V～36V動作
- 低損失動作：99%デューティ・サイクル
- 調整可能なソフト・スタート電流ランプ
- 内部電流フォールドバック
- 無効オプション付き短絡シャットダウン・タイマ
- 過電圧ソフト・ラッチで不要なトリップを除去
- 28ピンSSOPパッケージで供給

アプリケーション

- デスクトップ・コンピュータ
- インターネット/ネットワーク・サーバー
- 大容量メモリ・アレイ
- DC電力配分システム

概要

LTC®1929は、2フェーズ単一出力、フェーズロック可能な固定周波数アーキテクチャで外部Nチャネル・パワーMOSFETをドライブする同期整流式降圧電流モード・スイッチング・レギュレータ・コントローラです。この2フェーズ・コントローラは、最大300kHzの周波数で位相の異なる2つの出力段をドライブし、入力コンデンサと出力コンデンサの両方でRMSリップル電流を減少させます。2フェーズ・テクニックにより効果的に基本周波数を2倍にし、各チャネルを効率のために最適な周波数で動作させ過渡応答を改善します。熱設計も簡略化されます。

内部差動アンプは、高電流アプリケーションで要求される、安定化電源の正および負出力端子の真のリモート・センシングを提供します。

RUN/SSピンは、ソフトスタートと両方のチャネルをシャット・ダウンする無効にすることが可能な時限ラッチ短絡シャットダウン機能を提供します。内部フォールドバック電流制限は、出力フォルト発生時に外部同期MOSFETを保護します。OPTI-LOOP補償により、広範な出力容量とESR値に対して過渡応答の最適化を図ることができます。

LT、LTC、LTはリニアテクノロジー社の登録商標です。
OPTI-LOOPはリニアテクノロジー社の登録商標です。

標準的応用例

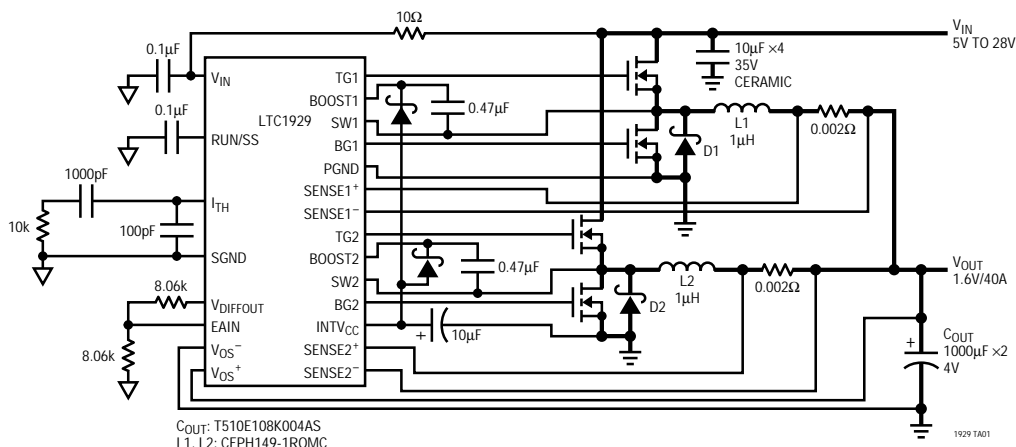


図1. 高電流2フェーズ降圧コンバータ

LTC1929

絶対最大定格

(Note 1)

入力電源電圧 (V_{IN}).....	36V ~ - 0.3V
トップサイド・ドライブ電圧 (BOOST1,2) ...	42V ~ - 0.3V
スイッチ電圧 (SW1、2).....	36V ~ - 5V
SENSE1 ⁺ 、SENSE2 ⁺ 、SENSE1 ⁻ 、 SENSE2 ⁻ 電圧	(1.1)INTV _{CC} ~ - 0.3V
EAIN、 V_{OS}^+ 、 V_{OS}^- 、EXTV _{CC} 、INTV _{CC} 、 RUN/SS、AMPMD電圧	7V ~ - 0.3V
ブースト・ドライバ電圧 (BOOST-SW).....	7V ~ - 0.3V
PLLFLTR、PLLIN、 $V_{DIFFOUT}$ 電圧	INTV _{CC} ~ - 0.3V
I_{TH} 電圧.....	2.7V ~ - 0.3V
ピーク出力電流 < 1 μ s (TGL1、2、BG1、2).....	3A
INTV _{CC} RMS出力電流	50mA
動作周囲温度範囲	
LTC1929C	0 ~ 85
LTC1929I.....	- 40 ~ 85
接合部温度 (Note 2).....	125
保存温度範囲	- 65 ~ 150
リード温度 (半田付け、10秒).....	300

パッケージ/発注情報

<p>TOP VIEW</p> <p>G PACKAGE 28-LEAD PLASTIC SSOP $T_{JMAX} = 125^{\circ}C$, $\theta_{JA} = 95^{\circ}C/W$</p>	ORDER PART NUMBER
	LTC1929CG LTC1929IG

ミリタリ・グレードに関してはお問い合わせください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25$ での値。注記がない限り、 $V_{IN} = 15V$ 、 $V_{RUN/SS} = 5V$

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Main Control Loop						
V_{EAIN}	Regulated Feedback Voltage	(Note 3); I_{TH} Voltage = 1.2V	● 0.792	0.800	0.808	V
$V_{SENSEMAX}$	Maximum Current Sense Threshold	$V_{SENSE^-} = 5V$	65	75	85	mV
I_{INEAIN}	Feedback Current	(Note 3)		-5	-50	nA
$V_{LOADREG}$	Output Voltage Load Regulation	(Note 3) Measured in Servo Loop; I_{TH} Voltage = 0.7V Measured in Servo Loop; I_{TH} Voltage = 2V		0.05 -0.1	0.3 -0.5	% %
$V_{REFLNREG}$	Reference Voltage Line Regulation	$V_{IN} = 3.6V$ to 30V (Note 3)		0.002		%/V
V_{OVL}	Output Overvoltage Threshold	Measured at V_{EAIN}	● 0.84	0.86	0.88	V
UVLO	Undervoltage Lockout	V_{IN} Ramping Down	3	3.5	4	V
g_m	Transconductance Amplifier g_m	$I_{TH} = 1.2V$; Sink/Source 5 μ A; (Note 3)		3		mmho
g_{mOL}	Transconductance Amplifier Gain	$I_{TH} = 1.2V$; ($g_m \times Z_L$; No Ext Load); (Note 3)		1.5		V/mV
I_Q	Input DC Supply Current	(Note 4) EXTV _{CC} Tied to V_{OUT} ; $V_{OUT} = 5V$ $V_{RUN/SS} = 0V$		470 20	40	μ A μ A
$I_{RUN/SS}$	Soft-Start Charge Current	$V_{RUN/SS} = 1.9V$		-1.2		μ A
$V_{RUN/SS}$	RUN/SS Pin ON Threshold	$V_{RUN/SS}$ Rising	1.0	1.5	1.9	V
$V_{RUN/SSLO}$	RUN/SS Pin Latchoff Arming	$V_{RUN/SS}$ Rising from 3V		4.1		V
I_{SCL}	RUN/SS Discharge Current	Soft Short Condition $V_{EAIN} = 0.5V$; $V_{RUN/SS} = 4.5V$	0.5	2.0	4.0	μ A

電氣的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25$ での値。注記がない限り、 $V_{IN} = 15V$ 、 $V_{RUN/SS} = 5V$

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I_{SDLHO}	Shutdown Latch Disable Current	$V_{EAIN} = 0.5V$		1.6	5	μA
I_{SENSE}	Total Sense Pins Source Current	Each Channel: $V_{SENSE1-, 2-} = V_{SENSE1+, 2+} = 0V$		-60		μA
DF_{MAX}	Maximum Duty Factor	In Dropout	98	99.5		%
$TG1, 2 t_r$	Top Gate Transition Time: Rise Time	$C_{LOAD} = 3300pF$		30	90	ns
$TG1, 2 t_f$	Fall Time	$C_{LOAD} = 3300pF$		40	90	ns
$BG1, 2 t_r$	Bottom Gate Transition Time: Rise Time	$C_{LOAD} = 3300pF$		30	90	ns
$BG1, 2 t_f$	Fall Time	$C_{LOAD} = 3300pF$		20	90	ns
$TG/BG t_{1D}$	Top Gate Off to Bottom Gate On Delay Synchronous Switch-On Delay Time	$C_{LOAD} = 3300pF$ Each Driver		90		ns
$BG/TG t_{2D}$	Bottom Gate Off to Top Gate On Delay Top Switch-On Delay Time	$C_{LOAD} = 3300pF$ Each Driver		90		ns

Internal V_{CC} Regulator

V_{INTVCC}	Internal V_{CC} Voltage	$6V < V_{IN} < 30V$; $V_{EXTVCC} = 4V$	4.8	5.0	5.2	V
$V_{LDO INT}$	INT V_{CC} Load Regulation	$I_{CC} = 0$ to 20mA; $V_{EXTVCC} = 4V$		0.2	1.0	%
$V_{LDO EXT}$	EXT V_{CC} Voltage Drop	$I_{CC} = 20mA$; $V_{EXTVCC} = 5V$		120	240	mV
V_{EXTVCC}	EXT V_{CC} Switchover Voltage	$I_{CC} = 20mA$, EXT V_{CC} Ramping Positive	● 4.5	4.7		V
V_{LDOHYS}	EXT V_{CC} Switchover Hysteresis	$I_{CC} = 20mA$, EXT V_{CC} Ramping Negative		0.2		V

Oscillator and Phase-Locked Loop

f_{NOM}	Nominal Frequency	$V_{PLLFLTR} = 1.2V$	200	220	250	kHz
f_{LOW}	Lowest Frequency	$V_{PLLFLTR} = 0V$	110	140	170	kHz
f_{HIGH}	Highest Frequency	$V_{PLLFLTR} \geq 2.4V$	270	310	350	kHz
R_{PLLIN}	PLLIN Input Resistance			50		k Ω
$I_{PLLFLTR}$	Phase Detector Output Current Sinking Capability Sourcing Capability	$f_{PLLIN} < f_{OSC}$ $f_{PLLIN} > f_{OSC}$		-15 15		μA μA
R_{RELPHS}	Controller 2-Controller 1 Phase			180		Deg

Differential Amplifier/Op Amp Gain Block (Note 5)

A_{DA}	Gain	Differential Amp Mode	0.995	1	1.005	V/V
$CMRR_{DA}$	Common Mode Rejection Ratio	Differential Amp Mode; $0V < V_{CM} < 5V$	46	55		dB
R_{IN}	Input Resistance	Differential Amp Mode; Measured at V_{OS+} Input		80		k Ω
V_{OS}	Input Offset Voltage	Op Amp Mode; $V_{CM} = 2.5V$; $V_{DIFFOUT} = 5V$; $I_{DIFFOUT} = 1mA$			6	mV
I_B	Input Bias Current	Op Amp Mode		30	200	nA
A_{OL}	Open Loop DC Gain	Op Amp Mode; $0.7V \leq V_{DIFFOUT} < 10V$		5000		V/mV
V_{CM}	Common Mode Input Voltage Range	Op Amp Mode	0		3	V
$CMRR_{OA}$	Common Mode Rejection Ratio	Op Amp Mode; $0V < V_{CM} < 3V$	70	90		dB
$PSRR_{OA}$	Power Supply Rejection Ratio	Op Amp Mode; $6V < V_{IN} < 30V$	70	90		dB
I_{CL}	Maximum Output Current	Op Amp Mode; $V_{DIFFOUT} = 0V$	10	35		mA
$V_{O(MAX)}$	Maximum Output Voltage	Op Amp Mode; $I_{DIFFOUT} = 1mA$	10	11		V
GBW	Gain-Bandwidth Product	Op Amp Mode; $I_{DIFFOUT} = 1mA$		2		MHz
SR	Slew Rate	Op Amp Mode; $R_L = 2k$		5		V/ μs

電気的特性

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。

Note 2: T_J は、次式に基づき周囲温度 T_A と消費電力 P_D から計算される。

$$LTC1929CG: T_J = T_A + (P_D \cdot 95) / W$$

Note 3: LTC1929は V_{ITH} を規定電圧にサーボ制御し、その結果の V_{EAIN} を測定する帰還ループでテストされている。

Note 4: スイッチング周波数で発生するゲート電荷により動作時消費電流は高くなる。アプリケーション情報を参照。

Note 5: AMPMDピンが H のときは、ICピンが直接内部オペアンプ入力に接続される。AMPMDピンが L のとき、内部MOSFETスイッチがオペアンプ周辺の4個の40k抵抗を接続し、標準ユニティゲイン差動アンプを形成する。

ピン機能

RUN/SS (ピン1): ソフトスタート、実行制御入力、および短絡検出タイマの組合せ。このピンのグラウンドへのコンデンサで、最大電流出力までのランプ時間を設定します。このピンを0.8V以下にすると、ICはすべての内部回路をシャットダウンします。シャットダウン時には、すべての機能がディスエーブルされます。

SENSE1⁺、SENSE2⁺ (ピン2、14): 差動電流コンパレータの(+)入力。 I_{TH} ピン電圧およびSENSE⁻ピンとSENSE⁺ピン間のビルトイン・オフセットは、 R_{SENSE} とともに電流トリップ・スレッシュホールドを設定します。

SENSE1⁻、SENSE2⁻ (ピン3、13): 差動電流コンパレータの(-)入力。

EAIN (ピン4): 内部0.8Vリファレンス電圧への帰還電圧と比較する誤差アンプの入力。このピンは、通常は差動アンプ(DIFFOUT)の出力から抵抗分割器に接続されません。

PLLFLTR (ピン5): フェーズロック・ループのローパス・フィルタをこのピンに接続します。代わりに、このピンをACまたはDC電圧源でドライブして、内部発振器の周波数を変えることができます。

PLLIN (ピン6): 位相検出器への外部同期入力。このピンは50k Ω 抵抗により内部でSGNDに終端されます。フェーズロック・ループは、コントローラ1の立上がりトリップ・ゲート信号をPLLIN信号の立上りエッジに同期させます。

NC (ピン7、28): 接続されていません。

I_{TH} (ピン8): 誤差アンプの出力で、スイッチング・レギュレータの補償点。両方の電流コンパレータのスレッシュホールドは、この制御電圧に応じて増加します。このピンの公称電圧範囲は0V ~ 2.4Vです。

SGND (ピン9): 両方のコントローラに共通の信号グラウンドで、入力スイッチ電流グラウンド経路から C_{OUT} コンデンサの共通(-)端子に別々に配線しなければなりません。

$V_{DIFFOUT}$ (ピン10): 真のリモート出力電圧センシングを提供する差動アンプの出力。このピンは通常、出力電圧を設定する外部抵抗分割器をドライブします。

V_{OS-} 、 V_{OS+} (ピン11、12): オペアンプへの入力。電子的にスイッチ・イン/アウト可能な内部高精度抵抗によって、これを差動アンプまたは汎用オペアンプとして構成できます。

AMPMD (ピン15): このロジック入力ピンは、オペアンプをユニティゲイン差動アンプとして構成する内部高精度抵抗の接続を制御します。

TG2、TG1 (ピン16、27): トップNチャネルMOSFETの大電流ゲート・ドライブ。これらは、スイッチ・ノード電圧SWに重畳されたINTV_{CC}に等しい電圧振幅を持つフローティング・ドライバの出力です。

SW2、SW1 (ピン17、26): インダクタへのスイッチ・ノード接続。これらのピンでの電圧振幅は、グラウンドよりショットキ・ダイオード(外部)1個の電圧降下分だけ低い電圧から V_{IN} までです。

BOOST2、BOOST1 (ピン18、25): トップサイド・フローティング・ドライバへのブートストラップへの電源。コンデンサがブースト・ピンとスイッチ・ピン間に接続され、ショットキ・ダイオードがブースト・ピンとINTV_{CC}ピン間に接続されます。

BG2、BG1 (ピン19、23): ボトム(同期)NチャネルMOSFETの電圧振幅大電流ゲート・ドライブ。これらのピンの電圧振幅はグラウンドからINTV_{CC}までです。

ピン機能

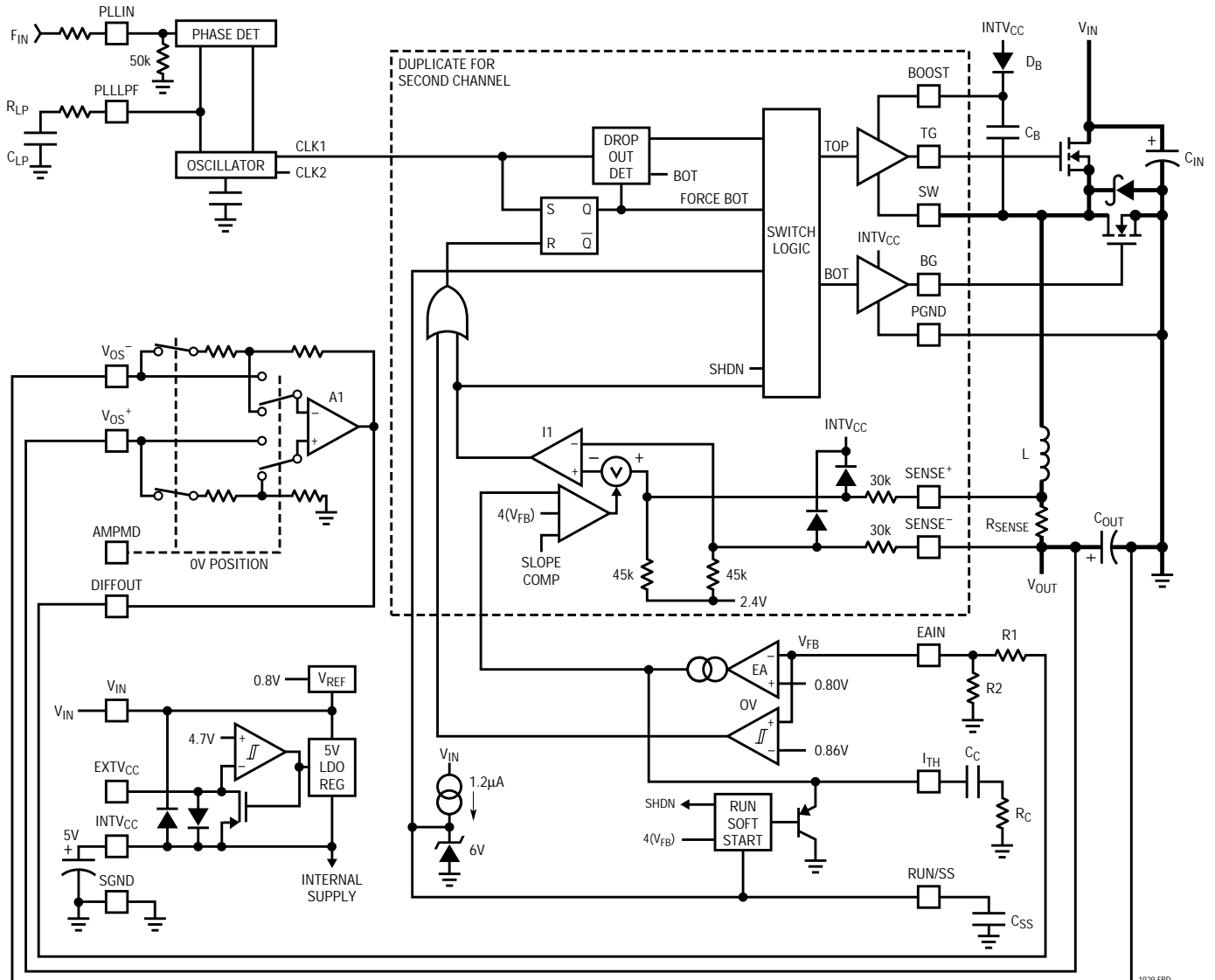
PGND(ピン20): ドライバ・パワー・グランド。ボトム NチャネルMOSFETのソースとC_{IN}の(-)端子に接続します。

INTV_{CC}(ピン21): 内部の低損失5Vリニア・レギュレータおよびEXTV_{CC}スイッチの出力。ドライバと制御回路にはこの電圧源から電力が供給されます。ICの間近に配置された1μFセラミック・コンデンサと最小4.7μFの追加タンタルまたは他の低ESRコンデンサで、パワー・グランドにデカップルします。

EXTV_{CC}(ピン22): 内部スイッチへの外部電源入力。EXTV_{CC}が4.7Vを超えると、このスイッチが閉じ、内部低損失レギュレータをバイパスしてINTV_{CC}を供給します。アプリケーション情報セクションにあるEXTV_{CC}の接続を参照してください。このピンの電圧が7Vを超えてはいけません。V_{EXTVCC} ≤ V_{INTVCC}となるようにしてください。

V_{IN}(ピン24): メイン電源ピン。ICの信号グランド・ピンの近くでデカップリングしなければなりません。

機能図



1929 FBD

動作 (機能図を参照)

メイン制御ループ

LTC1929は内蔵電流分担機能を持つ定周波数、電流モード降圧アーキテクチャを採用しています。通常動作中は、発振器がRSラッチをセットすると各サイクルごとにトップMOSFETがターンオンし、メイン電流コンパレータI1がRSラッチをリセットするとターンオフします。I1がRSラッチをリセットすると、ピーク・インダクタ電流は誤差アンプEAの出力である I_{TH} ピンの電圧によって制御されます。差動アンプA1は出力コンデンサ両端でセンスされた差動電圧に等しい信号を生成しますが、この信号を内部信号グランド(SGND)リファレンスを再び基準として利用します。EAINピンはDIFFOUTピンでこの電圧帰還信号の一部を受け取り、EAがこれを内部リファレンス電圧と比較します。負荷電流が増加すると、0.8Vリファレンスに対してEAINピン電圧がわずかに低下し、それによって平均インダクタ電流が新たな負荷電流と一致するまで I_{TH} 電圧が上昇します。

トップMOSFETがターンオフした後、残りの期間はボトムMOSFETがターンオンします。トップMOSFETドライバは、通常は外付けショットキ・ダイオードを通して、各オフ・サイクル中に再充電されるフローティング・ブートストラップ・コンデンサ C_B からバイアスされません。しかし、 V_{IN} が V_{OUT} 近くの電圧にまで低下すると、ループがドロップアウトに入り、トップMOSFETを連続してターンオンにしようとする場合があります。ドロップアウト検出器はこの状態を検出し、トップMOSFETを10サイクルごとに約400ns間ターンオフして、ブートストラップ・コンデンサを再充電します。

メイン制御ループは、ピン1(RUN/SS)を“L”にするとシャット・ダウンします。RUN/SSを解放すると、内部1.2 μ A電流源がソフトスタート・コンデンサ C_{SS} を充電できます。 C_{SS} が1.5Vに達すると、メイン制御ループは最大値の約30%にクランプされた I_{TH} 電圧でイネーブルされます。 C_{SS} が引き続き充電されると、 I_{TH} は再び徐々に解放され、通常動作が再開できます。RUN/SSピンが“L”のとき、すべてのLTC1929の機能がシャットダウンされます。 C_{SS} が4.1Vに充電されたとき V_{OUT} がその公称値の70%に達していなかった場合は、アプリケーション情報セクションで述べるとおり過電流ラッチオフを起動できます。

低電流動作

LTC1929は連続PWM制御モードで動作します。連続PWM制御モードでの低出力電流時の動作において、この期間の後半中は大きな負のインダクタ電流を犠牲にして過渡応答を最適化します。リップル電流のレベルは、インダクタ値、入力電圧、出力電圧、そして動作周波数によって決まります。

周波数同期

フェーズロック・ループにより、内部発振器はPLLINピンを通して、外部ソースに同期することができます。また、PLLFLTRピンでの位相検出器の出力も、0V~2.4VのDC電圧入力に相当する140kHz~310kHzの周波数で動作する発振器のDC周波数制御入力です。ロックされると、PLLはトップMOSFETのターンオンを同期信号の立上りエッジに揃えます。PLLINがオープンになっていると、PLLFLTRピンは“L”になり、発振器の周波数を最小にします。

入力コンデンサからのピーク電流が効果的に2分割されるので、入力容量のESR条件と効率損失が大幅に低減し、電力損失はRMS電流の二乗に比例します。2段構成、単一出力電圧によって入力経路の電力損失を75%低減でき、入力コンデンサの所要RMS電流定格が大幅に低下します。

INTV_{CC}/EXTV_{CC}電源

トップおよびボトムMOSFETドライバ、そして大部分のIC回路への電源は、INTV_{CC}から供給されます。EXTV_{CC}ピンをオープンにしておくと、内部5V低損失レギュレータがINTV_{CC}に電源を供給します。EXTV_{CC}ピンが4.7Vを超えると5Vレギュレータがターンオフし、内部スイッチがターンオンしてEXTV_{CC}をINTV_{CC}に接続します。これによって、アプリケーション情報セクションで説明するとおり、INTV_{CC}電源をレギュレータ自身または二次巻線の出力などの高効率な外部ソースから供給することができます。規定のINTV_{CC}電流以上を必要とするアプリケーションでは、外部ショットキ・ダイオードを使用して、EXTV_{CC}からINTV_{CC}の電圧降下を最小限に抑えることができます。ゲート・ドライブ能力を高めるために、EXTV_{CC}に最大7Vの電圧を供給することができます。

動作 (機能図を参照)

差動アンプ

このアンプは、真の差動出力電圧センシングを備えています。V_{OUT}⁺とV_{OUT}⁻の両方をセンスすれば、高電流アプリケーションや電氣的相互接続損失を持つアプリケーションの安定化に寄与します。AMPMDピンによって、高い同相除去差動アプリケーション用の内部高精度帰還抵抗の選択、または他のアプリケーション用に内部帰還抵抗を使用せずに、実際のアンプ入力を直接利用することができます。AMPMDピンは接地して、ユニティゲイン差動アプリケーションで、内部高精度抵抗を接続するか、またはINTV_{CC}ピンに接続して内部抵抗をバイパスし、アンプ入力を直接利用できるようにします。このアンプはユニティゲイン安定動作、2MHzの利得帯域幅、120dB以上の開ループ利得の設計になっています。また、5V/μsの出力スルーレートをもち、標準的に最大25mAの出力RMS電流で容量性負荷をドライブ可能です。このアンプは、電流をシンクできないので抵抗性負荷で行う必要があります。

短絡検出

入力電源からの突入電流を制限するために、最初にRUN/SSコンデンサが使用されます。コントローラにRUN/SSピン上のコンデンサによって決まる時間が与えられ、出力コンデンサが充電されて全負荷電流が供給されると、RUN/SSコンデンサは短絡タイムアウト回路として使用されます。出力電圧が公称出力電圧の70%以下に低下した場合、出力は激しい過電流または短絡状態にあるとみなされ、RUN/SSコンデンサが放電を開始します。この状態がRUN/SSコンデンサのサイズによって決まる十分長い期間続くと、コントローラはRUN/SSピン電圧が再サイクルされるまでシャットダウンされます。この内蔵ラッチオフは、RUN/SSピンに5V相当で5μA以上を供給すれば無効にできます。この電流によってソフトスタート期間が短縮されますが、激しい過電流または短絡時のRUN/SSの正味放電は防止されます。出力電圧が公称レベルの70%以下になると、短絡ラッチオフ回路がイネーブルされていてもいなくても、フォールドバック電流制限がアクティブになります。

アプリケーション情報

基本的なLTC1929のアプリケーション回路を1ページ目の図1に示します。外付け部品の選択は負荷要求条件に基づいて行われ、まずR_{SENSE1,2}の選択から始めます。R_{SENSE1,2}が分かれば、L1とL2を選択することができます。次に、パワーMOSFETとD1およびD2を選択します。動作周波数とインダクタは、主にリップル電流量に基づいて選択されます。最後に、(PolyPhase™動作が最小にする)入力リップル電流を扱うことができるC_{IN}を選択し、また出力リップル電圧と負荷ステップ仕様を満足する(同様にPolyPhaseにより最小化される)十分低いESRになるようなC_{OUT}を選択します。電流モード・アーキテクチャは、出力段間で内蔵機能による電流分担を行います。図1に示す回路は最大28V(外付けMOSFETによって制限される)の入力電圧で動作するように構成できます。

出力電流に対応したR_{SENSE}の選択

R_{SENSE1,2}は要求される出力電流に基づいて選択します。LTC1929の電流コンパレータは、75mV/R_{SENSE}の最大ス

レッシュヨルドとSGNDから1.1(INTV_{CC})までの同相入力範囲を有しています。この電流コンパレータのスレッシュヨルドはインダクタ電流のピークを設定するため、そのピーク値よりピーク・ツー・ピーク・リップル電流 I_Lの半分だけ小さい最大出力電流 I_{MAX}が発生します。

LTC1929および外付け部品値のばらつきに対する余裕をもたせると、次式のようにになります。

$$R_{SENSE} = 2(50\text{mV}/I_{MAX})$$

動作周波数

LTC1929はフェーズ・ロック可能な固定周波数アーキテクチャを採用し、周波数は内部コンデンサによって決定されます。このコンデンサは、固定電流とPLLFLTRピンに印加された電圧に比例する電流を加えた電流で充電されます。詳しくはアプリケーション情報の「フェーズロック・ループと周波数同期」を参照してください。

PolyPhaseはリアテクノロジーの登録商標です。

アプリケーション情報

PLLFLTRピンに加えられた電圧と周波数のグラフを図2に示します。動作周波数が高くなるとゲート電荷損失が増加し、効率が低下します(効率の考察のセクションを参照)。最大スイッチング周波数は約310kHzです。

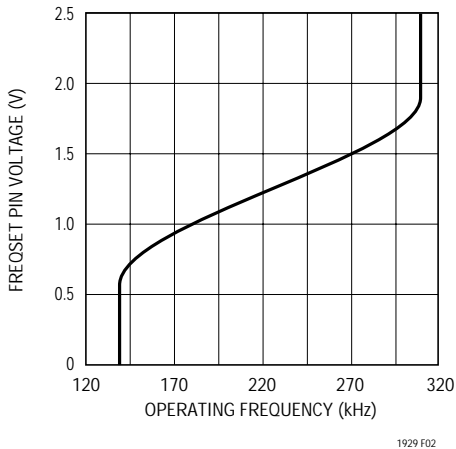


図2. 動作周波数とV_{PLLFLTR}

インダクタ値の計算と出力リップル電流

動作周波数とインダクタの選択には相関関係があるため、動作周波数が高ければより小型のインダクタとコンデンサ値を使用できます。そうであれば、なぜ誰もが大きな値の部品でより低い周波数で動作させるほうを選ぶのでしょうか？ 答えは効率です。周波数が高いほど、MOSFETゲート電荷と遷移損失のために一般に効率が低下します。この基本的なトレードオフに加えて、リップル電流と低電流動作におけるインダクタ値の影響も考慮しなければなりません。PolyPhaseアプローチは、入力および出力両方のリップル電流を低減し、より低い基本周波数で動作させるために個々の出力段を最適化することによって、効率を向上させています。

インダクタ値はリップル電流に直接影響を与えます。個々のセクションN当りのインダクタ・リップル電流 I_L は、次式で示すようにインダクタンスまたは周波数が高いほど減少し、 V_{IN} または V_{OUT} が高いほど増加します：

$$\Delta I_L = \frac{V_{OUT}}{fL} \left(1 - \frac{V_{OUT}}{V_{IN}} \right)$$

ここで、fは個々の出力段の動作周波数です。

2フェーズ・コンバータでは、出力コンデンサの正味リップル電流は、リップル・キャンセレーションにより個々のインダクタ・リップル電流よりもはるかに少なくなります。正味出力リップル電流の計算方法の詳細については、アプリケーション・ノート 77を参照してください。

図3は、1および2フェーズ構成の出力コンデンサの正味リップル電流を示します。デューティ係数がx軸で10%~90%の間で変化するので、出力リップル電流は固定出力電圧についてプロットされています。出力リップル電流は、ゼロ・デューティ係数でのインダクタ・リップル電流に対して正規化されています。退屈な計算の代わりにグラフを使用でき、設計プロセスが簡素化されます。

大きな I_L の値が許容できれば、低いインダクタンスを使用できますが、出力電圧リップルは高くなります。リップル電流を設定するための妥当なスタート・ポイントは、 $I_L = 0.4(I_{OUT})/2$ です。ここで、 I_{OUT} は全負荷電流です。入力電圧が最大のときに、 I_L が最大となることに注意してください。個々のインダクタ・リップル電流は、インダクタ、入力、および出力電圧によって決まります。

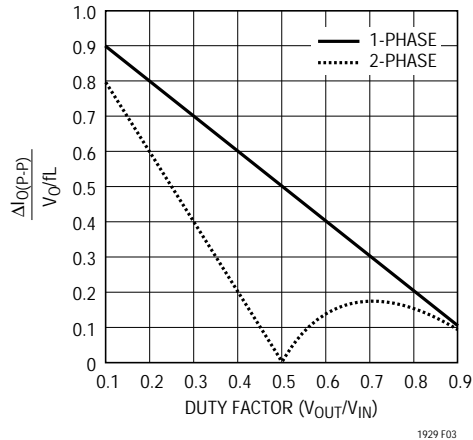


図3. 正規化出力リップル電流とデューティ係数 [$I_{RMS} \approx 0.3(I_{O(P-P)})$]

インダクタ・コアの選択

L1とL2の値が分かれば、インダクタのタイプを選択しなければなりません。高効率コンバータは、一般に低コストの鉄粉コアで生じるコア損失では最適な性能が得られないため、より高価なフェライト、モリパーマロイ、またはKool M μ ®コアを使用しなければなりません。インダクタ値が同じ場合、実際のコア損失はコア・サイズでは

Kool M μ はMagnetics, Inc.の登録商標です。

アプリケーション情報

なく、選択したインダクタンスによって大きく異なります。インダクタンスが増加するとコア損失が低下します。残念ながら、インダクタンスを大きくするにはワイヤの巻数を増やす必要があるため銅損失が増加します。

フェライトを使用した設計ではコア損失がきわめて低く、高いスイッチング周波数に適しているため、設計目標を銅損失と飽和を回避することに集中できます。フェライト・コアの材質は極度に飽和します。すなわち、最大設計ピーク電流を超えると、インダクタンスが急激に消滅します。その結果、インダクタのリップル電流が増加し、出力電圧リップルが増加します。コアは絶対に飽和させないでください。

Molypermalloy (Magnetics, Inc.製)は、トロイドに最適な低損失コア材料ですが、フェライトよりも高価です。品質と価格の両面を考慮すると、同社のKool Muが適切です。トロイドは特に多層巻線を使用するとき、空間効率が非常に高くなります。これらに適したボビンがないため実装が困難です。しかし、表面実装用の設計ができ、高さもそれほどではありません。

パワーMOSFET、D1およびD2の選択

LTC1929で使用する各コントローラに対して、2個の外部パワーMOSFETを選択しなければなりません。トップ(メイン)スイッチ用のNチャネルMOSFET 1個と、ボトム(同期)スイッチ用のNチャネルMOSFET 1個です。

ピーク・ツー・ピークのドライブ・レベルは、 $INTV_{CC}$ 電圧で設定されます。この電圧は、始動時には標準5Vです(EXTV_{CC}ピン接続を参照)。したがって、大部分のアプリケーションではロジック・レベル・スレッショルドMOSFETを使用しなければなりません。唯一の例外は、入力電圧が低い($V_{IN} < 5V$)場合です。その場合は、サブロジックレベルのスレッショルドMOSFET($V_{GS(TH)} < 3V$)を使用します。MOSFETの BV_{DSS} 仕様にも十分注意してください。ほとんどのロジックレベルのMOSFETは30Vまたはそれ以下に制限されています。

パワーMOSFETの選択基準には、“オン”抵抗 $R_{DS(ON)}$ 、逆伝達容量 C_{RSS} 、入力電圧、および最大出力電流が含まれます。LTC1929が連続モードで動作中のときは、各出力段のトップおよびボトムMOSFETのデューティ係数は、次式で与えられます。

$$\text{メイン・スイッチのデューティ・サイクル} = \frac{V_{OUT}}{V_{IN}}$$

$$\text{同期スイッチのデューティ・サイクル} = \left(\frac{V_{IN} - V_{OUT}}{V_{IN}} \right)$$

また、MOSFETの最大出力電流時の消費電力は次式で与えられます。

$$P_{MAIN} = \frac{V_{OUT}}{V_{IN}} \left(\frac{I_{MAX}}{2} \right)^2 (1 + \delta) R_{DS(ON)} + k \left(V_{IN} \right)^2 \left(\frac{I_{MAX}}{2} \right) (C_{RSS}) (f)$$

$$P_{SYNC} = \frac{V_{IN} - V_{OUT}}{V_{IN}} \left(\frac{I_{MAX}}{2} \right)^2 (1 + \delta) R_{DS(ON)}$$

ここで、 δ は $R_{DS(ON)}$ の温度係数、 k はゲート・ドライブ電流に反比例する定数です。

I^2R 損失の項は2つのMOSFETに共通していますが、トップサイドのNチャネルの式では追加の遷移損失の項があり、これは入力電圧が最大のときに最も高くなります。 $V_{IN} < 20V$ の場合、高電流時効率は一般に大型MOSFETを使用向上し、 $V_{IN} > 20V$ の場合、低 C_{RSS} の高 $R_{DS(ON)}$ デバイスを使用することによって実際に高い効率が実現されるポイントまで、遷移損失が急激に上昇します。同期MOSFETの損失は、トップ・スイッチのデューティ係数が低い高入力電圧時、または同期スイッチが周期のほぼ100%オンになる短絡時に最も大きくなります。

あるMOSFETに対する $(1 + \delta)$ は、一般に正規化 $R_{DS(ON)}$ と温度の曲線から得られますが、低電圧MOSFETに対する近似値として $\delta = 0.005/$ を使用することができます。 C_{RSS} は通常MOSFETの特性で規定されています。定数 $k = 1.7$ を用いて、メイン・スイッチの消費電力式の2つの項の関係を推定することができます。

図1に示すショットキ・ダイオードD1およびD2は、2つの大型パワーMOSFETの導通間のデッドタイム中に導通します。これによって、ボトムMOSFETのボディ・ダイオードがターンオンしてデッドタイム中に電荷を蓄積

アプリケーション情報

し、効率が低下する逆回復時間の発生を防止します。1A ~ 3A (出力電流によって決まる) のショットキ・ダイオードは、一般に平均電流が比較的小さいため、両方の動作領域にとって妥当なものです。大きなダイオードでは、接合容量が大きいため遷移損失が増えます。

C_{IN}およびC_{OUT}の選択

連続モードでは、各トップNチャネルMOSFETのソース電流は、デューティ・サイクルがV_{OUT}/V_{IN}の方形波になります。最大RMS電流に対応できる容量の低ESR入力コンデンサを使用しなければなりません。これに近い等式の詳細については、アプリケーション・ノート77を参照してください。図4は、出力電圧が固定され入力電圧が変わる場合の2フェーズ構成での入力コンデンサのリップル電流を示します。入力リップル電流は、DC出力電流に対して正規化されています。退屈な計算の代わりにグラフを使用することができます。最小入力リップル電流は、入力電圧が出力電圧の2倍のときに達成されま

す。最小値はインダクタ・リップル電流のためにまったくゼロではありません。図4のグラフにおいて、以下のときに局所的な最大入力RMSコンデンサ電流に達します。

$$\frac{V_{OUT}}{V_{IN}} = \frac{2k-1}{4} \quad \text{ここで } k = 1, 2 \text{ です。}$$

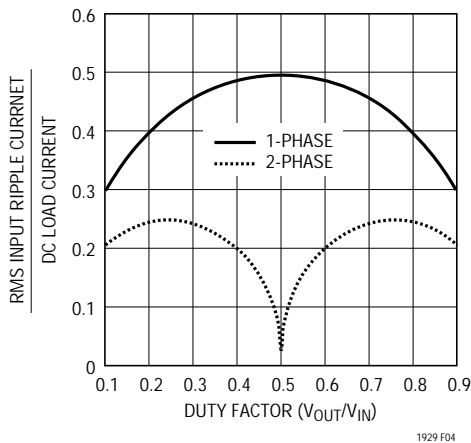


図4. 正規化されたRMS入力リップル電流と1および2出力段のデューティ係数

大きく変化させてもそれほど状況が改善されないため、一般にはこれらの最悪ケース条件が設計に使用されます。多くの場合、コンデンサ製造業者のリップル電流定格は、わずか2000時間の寿命時間によって規定されています。このため、コンデンサをさらにディレーティングする、つまり要求条件よりも高い温度定格のコンデンサを選択するようにしてください。設計でのサイズまたは高さの条件に適合させるため、何個かのコンデンサを並列にすることもできます。疑問があれば必ずコンデンサ製造業者に問い合わせてください。

効率損失が入力RMS電流の二乗に比例することに注目することが重要です。したがって、1フェーズ設計と比較すると、2ステージ方式では電力損失が75%少なくなります。2フェーズ・システムでは入力リップル電流が減少するため、バッテリー/入力保護ヒューズの抵抗分(使用されている場合)、PCボード・トレースおよびコネクタの抵抗損失も減少します。必要な入力容量は、電流パルスの周波数が効果的に上昇するため、さらに1/2に低減されます。

C_{OUT}は要求される等価直列抵抗(ESR)に基づいて選択します。ESR条件を満足すれば、一般にRMS電流定格はI _{RIPPLE(P-P)}条件をはるかに上回ります。定常状態の出力リップル(V_{OUT})は次式から求められます：

$$\Delta V_{OUT} \approx \Delta I_{RIPPLE} \left(ESR + \frac{1}{16fC_{OUT}} \right)$$

ここで、f = 各ステージの動作周波数、C_{OUT} = 出力容量、I _{RIPPLE} = 合成インダクタのリップル電流です。

I_Lは入力電圧に関係するため、出力リップルは入力電圧に応じて変化します。I_L = 0.4 I_{OUT(MAX)}/2のとき、出力リップルは以下の条件を仮定すると、最大V_{IN}で50mV未満になります。

$$C_{OUT} \text{の所要ESR} < 4(R_{SENSE}) \text{および}$$

$$C_{OUT} > 1/(16f)(R_{SENSE})$$

ESRが非常に低いコンデンサが出現してきたため、小型表面実装パッケージを使用すれば物理的に非常に小型の実装方法が可能になりました。I_{TH}ピンを使用してスイッチング・レギュレータ・ループを外部から補償できるので(OPTI-LOOP補償)、出力コンデンサのタイプを

アプリケーション情報

より広範に選択できます。OPTI-LOOP補償により、出力コンデンサのESRの制限を効果的になくします。各コンデンサ・タイプのインピーダンス特性は、理想的なコンデンサとはかなり異なっているため、設計段階で正確なモデリングまたはベンチ評価が必要です。

ニチコン、United Chemicon、三洋電機などのメーカーから高性能なスルーホール・コンデンサが入手できます。三洋電機やパナソニックSP製の表面実装型の半導体誘電体コンデンサは、アルミニウム電解コンデンサの中で(ESR・サイズ)の積が最も低いものですが、多少価格が高くなっています。OS-CON型コンデンサと並列に別のセラミック・コンデンサを接続して、インダクタンスの影響を低減することを推奨します。

表面実装アプリケーションでは複数のコンデンサを並列に接続して、応用回路のESRまたはRMS電流処理要件に適合させる必要があります。表面実装構成のアルミニウム電解コンデンサと乾式タンタル・コンデンサが提供されています。新しい特殊ポリマ表面実装コンデンサは、ESRは非常に低いものの、単位ボリュームあたりの容量性密度ははるかに低くなっています。タンタル・コンデンサの場合、スイッチング電源に使用するためのサージ試験が実施されていることが求められます。いくつかの試験が実施されたケース高さが2mmから4mmの表面実装タンタル・コンデンサのAVX TPS、AVX TPSV、またはKEMET T510シリーズが最適です。他のコンデンサ・タイプとしては、三洋製のOS-CON、ニチコンPLシリーズ、そしてSprague 595Dシリーズがあります。他の特長については、メーカーにお問い合わせください。コンデンサを組み合わせれば、性能が向上しながら全体的なコストとサイズが削減される場合がよくあります。

INTV_{CC}レギュレータ

内部Pチャネル低損失レギュレータは、V_{IN}電源ピンからINTV_{CC}ピンに5Vを生成します。INTV_{CC}レギュレータは、LTC1929のドライバと内部回路に電力を供給します。INTV_{CC}ピン・レギュレータは、ピークで最大50mAを供給でき、最小4.7μFのタンタルまたは電解コンデンサでパワー・グラウンドにバイパスしなければなりません。MOSFETゲート・ドライバには非常に高い瞬時電流が必要なため、ICのすぐ近くにもう1個の1μFセラミック・コンデンサを追加することが推奨されます。

大型MOSFETが高周波でドライブされている高入力電圧アプリケーションでは、LTC1929の最大接合部温度定格を超えるおそれがあります。差動アンプ出力から流れる電流に加えて、電源電流はゲート電荷供給電流によって支配されます。効率の考察のセクションで述べるとおり、ゲート電荷は動作周波数に依存します。供給電流は、内部5VのレギュレータまたはEXTV_{CC}ピンを通して供給できます。EXTV_{CC}ピンに加えられる電圧が4.7V以下のときは、すべてのINTV_{CC}負荷電流は内部5Vリア・レギュレータによって供給されます。この場合、ICの消費電力は(I_{IN})(V_{IN} - INTV_{CC})だけ高くなり効率は低下します。接合部温度は、電気的特性のNote 1に記載された等式を使用して推定することができます。たとえば、LTC1929のV_{IN}電流は次式のとおりに24V電源では24mA以下に制限されます。

$$T_J = 70 + (24\text{mA})(24\text{V})(95 \text{ } \mu\text{W}) = 125$$

EXTV_{CC}ピンを使用すると、接合部温度は以下の値まで低下します。

$$T_J = 70 + (24\text{mA})(5\text{V})(95 \text{ } \mu\text{W}) = 81.4$$

コントローラが最大V_{IN}での連続モードで動作しているときには、入力電源電流を測定し、最大接合部温度を超えないよう消費電力を計算しなければなりません。

EXTV_{CC}の接続

LTC1929は、EXTV_{CC}とINTV_{CC}ピンの間に接続された内部PチャネルMOSFETスイッチを内蔵しています。EXTV_{CC}に印加される電圧が4.7V以上になると、内部レギュレータがターンオフし、スイッチがクローズして、EXTV_{CC}ピンをINTV_{CC}ピンに接続し、それによって内部電源とMOSFETゲートをドライブする電源を供給します。EXTV_{CC}に印加される電圧が4.5V以上の場合、スイッチは閉じたままです。これにより、MOSFETドライバおよび制御回路の電源は通常動作中(4.7V < V_{EXTVCC} < 7V)は出力から、また出力が安定化を行っていないとき(起動時、短絡時など)は、内部レギュレータから供給できます。図示のアプリケーション回路を使用するときには、EXTV_{CC}ピンに7V以上の電圧を印加してはいけません。EXTV_{CC} < V_{IN} + 0.3Vとなるようにしてください。V_{IN}電源がないときに、外部電圧源がEXTV_{CC}ピンに印加されている場合は、電流がV_{IN}に逆流するのを防止するために、LTC1929のV_{IN}ピンと直列にダイオードを、そ

アプリケーション情報

してEXTV_{CC}ピンとV_{IN}ピンの間にショットキ・ダイオードを配置することができます。

ドライバおよび制御電流によるV_{IN}電流は、デューティ係数/効率の比で計算されるため、出力からINTV_{CC}に電源を供給すれば効率を大幅に改善できます。5Vレギュレータの場合、これはEXTV_{CC}ピンを直接V_{OUT}に接続できることを意味します。ただし、3.3Vおよび他の低電圧レギュレータの場合は、出力からINTV_{CC}電源を得るために回路を追加する必要があります。

以下、EXTV_{CC}に対して可能な4つの接続方法を示します。

1. EXTV_{CC}をオープン(または接地する)。こうすると、内部5VレギュレータからINTV_{CC}に電源が供給されるため、入力電圧が高いときに効率が低下します。
2. EXTV_{CC}をV_{OUT}に直接接続する。これは5Vレギュレータでは通常の接続であり、効率が最も高くなります。
3. EXTV_{CC}を外部電源に接続する。5V~7Vの範囲の外部電源が利用できれば、これを使用してEXTV_{CC}に電源を供給し、MOSFETゲート・ドライブ条件を満足させることができます。
4. EXTV_{CC}を出力から引き出すブースト・ネットワークに接続する。3.3Vおよび他の低電圧レギュレータでは、EXTV_{CC}を4.7V以上で7V未満に昇圧した出力誘導電圧に接続すれば効率が改善されます。これは図5aに示す誘導性ブースト巻線、または図5bに示す容量性チャージポンプ

によって行うことができます。チャージポンプには、磁気回路が単純になるという長所があります。

トップサイドMOSFETドライバ電源(C_B、D_B)(機能図を参照)

外部ブートストラップ・コンデンサC_{B1}とC_{B2}はBOOST1ピンに接続され、BOOST2ピンはトップサイドMOSFETにゲート・ドライブ電圧を供給します。SWピンが“L”のとき、機能図のコンデンサC_BがINTV_{CC}からダイオードD_Bを通して充電されます。トップサイドMOSFETがターンオンすると、ドライバは希望のMOSFETのゲート・ソース間にC_B電圧を印加します。これによってMOSFETが導通し、トップサイド・スイッチがターンオンします。スイッチ・ノード電圧SWがV_{IN}に達し、BOOSTピンはV_{IN} + V_{INTVCC}に上昇します。ブースト・コンデンサC_Bの値は、トップサイドMOSFETの入力容量の30倍から100倍が必要です。D_Bの逆ブレークダウン電圧は、V_{IN(MAX)}より大きくなければなりません。

最適なゲート・ドライブ振幅レベルを定義するときの最終的な判定は、入力電源電流です。変更を行って入力電流が減少すれば、効率が改善されています。入力電流が変化しない場合は、効率も改善されていません。

出力電圧

LTC1929は真のリモート電圧センス能力を備えています。センシング接続は、負荷から共通の密接に結合されたPCトレース・ペアを通して、差動アンプの入力に戻さなければなりません。差動アンプは、帰還PCトレ

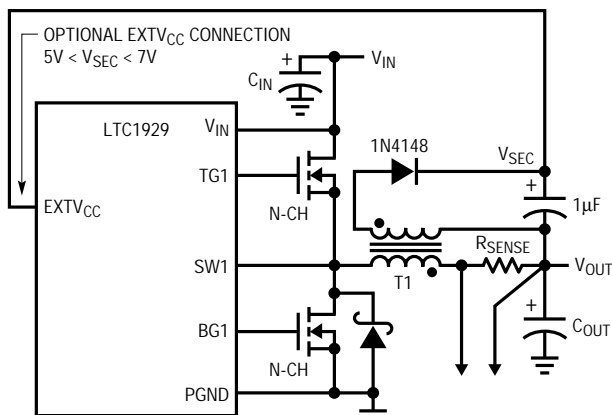


図5a. EXTV_{CC}接続による二次出力ループ

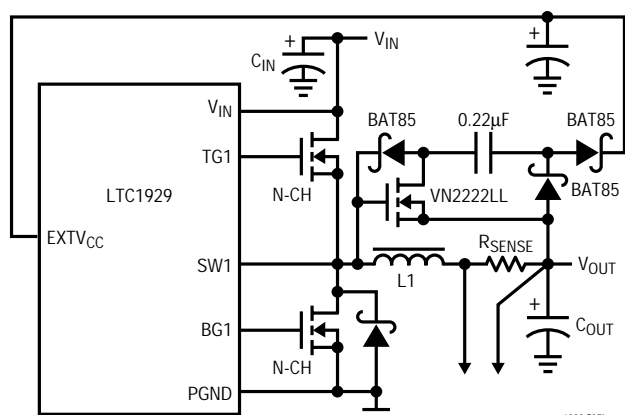


図5b. EXTV_{CC}用の容量性チャージ・ポンプ

アプリケーション情報

スに容量的または誘導的に放射される同相モード信号やグラウンド・ループ干渉を排除します。差動アンプの出力信号は分割され、誤差アンプによって内部高精度0.8V電圧リファレンスと比較されます。

差動アンプは、AMPMDピンに印加される電圧に応じて、2つの構成いずれかで使用されます。機能図に接続を示す最初の構成では、一組の内部高精度抵抗を利用して、出力電圧の高精度計装タイプの測定を可能にしています。AMPMDピンを接地すると、この構成が有効になります。AMPMDピンをINTV_{CC}に接続すると、抵抗が切り離され、アンプ入力を直接利用できるようになります。こうすれば、アンプを汎用オペアンプとして使用できます。アンプは入力を内部で切り替えるために、0V～3Vの同相入力範囲制限を備えています。出力は内部プルダウン電流のないINPNエミッタ・ホロワです。電流をシンクするために、DC抵抗性負荷を接地する必要があります。出力は0Vから10V($V_{IN} \geq V_{DIFFOUT} + 2V$)まで振幅します。

ソフトスタート/実行機能

RUN/SSピンは、1)実行/シャットダウン、2)ソフトスタート、および、3)無効設定可能な短絡ラッチオフ・タイマの3つの機能を提供します。ソフトスタートは、コントローラの電流制限 $I_{TH(MAX)}$ を徐々に増加させることによって、入力電源のサージ電流を低減します。ラッチオフ・タイマは、非常に短い、極端な負荷過渡状態によって過電流ラッチがトリップするのを防止します。RUN/SSピンに供給される小さなプルアップ電流(5 μ A以上)により、過電流ラッチが動作するのを防止します。以下の説明は、この機能がどのように動作するかについて記述します。

内部1.2 μ A電流源がコンデンサ C_{SS} を充電します。RUN/SSの電圧が1.5Vに達すると、コントローラが動作を開始できます。RUN/SSの電圧が1.5Vから3.0Vに上昇すると、内部電流制限も25mV/ R_{SENSE} から75mV/ R_{SENSE} に上昇します。出力電流制限はゆっくり上昇し、最大電流に達するにはさらに1.4s/ μ Fを要します。このように、出力電流はゆっくり上昇して、入力電源から流れる起動サー

ジ電流を低減します。RUN/SSがグラウンド・レベルになると、およそ以下の遅延時間後に始動します。

$$t_{DELAY} = \frac{1.5V}{1.2\mu A} C_{SS} = (1.25s / \mu F) C_{SS}$$

出力電流が上昇するための時間は、次ようになります：

$$t_{IRAMP} = \frac{3V - 1.5V}{1.2\mu A} C_{SS} = (1.25s / \mu F) C_{SS}$$

両方のRUN/SSコントローラ・ピンを0.8V以下にすると、LTC1929は低電流シャットダウン($I_Q < 40\mu A$)状態になります。RUN/SSピンは、図6に示すように直接ロジックでドライブ可能です。図6のダイオードD1によってスタート遅延は短くなりますが、 C_{SS} をゆっくり上昇させるソフトスタート機能を実現できます。RUN/SSピンは6Vのツェナー・クランプを内蔵しています(機能図を参照)。

フォールト状態：過電流ラッチオフ

RUN/SSピンには過電流状態が検出されるとコントローラをラッチオフする機能もあります。両方のコントローラの突入電流を制限するために、最初にRUN/SSコンデンサ C_{SS} が使用されます。コントローラが起動し、出力コンデンサを充電するのに十分な時間が経過し、全負荷電流が供給されるようになると、RUN/SSコンデンサは短絡タイマとして使用されます。 C_{SS} が4.1Vに達した後、出力電圧が標準値の70%以下に低下した場合、出力は過電流状態であるとみなされ、 C_{SS} が放電を開始します。この状態が C_{SS} のサイズによって決まる期間より長く続くと、RUN/SSピン電圧が再サイクルされるまでコントローラはシャットダウンします。起動時に過負荷状態が発生した場合、この時間は次式で概算できます。

$$T_{LO1} \approx (C_{SS} \cdot 0.6V) / (1.2\mu A) = 5 \cdot 10^5 (C_{SS})$$

起動後に過負荷状態が発生した場合、RUN/SSコンデンサの電圧は充電を続け、ラッチオフするまでにさらに時間がかかります。

$$T_{LO2} \approx (C_{SS} \cdot 3V) / (1.2\mu A) = 2.5 \cdot 10^6 (C_{SS})$$

アプリケーション情報

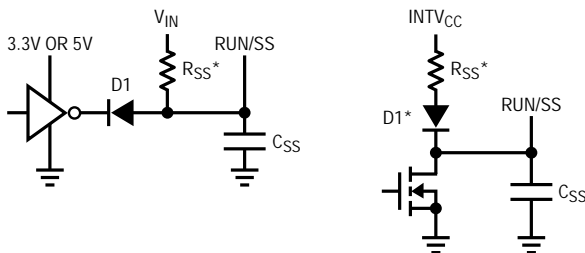
図6に示すとおり、この内蔵過電流ラッチオフは、RUN/SSピンにプルアップ抵抗(R_{SS})を設けて無効にすることができます。この抵抗によってソフトスタート期間が短縮されますが、過電流状態時または短絡時にRUN/SSコンデンサの放電を防止します。図の場合のように V_{IN} から5 μ Aの電流でドライブすると、電流ラッチオフは常に無効になります。図6に示すとおり、このプルアップ抵抗をINTV_{CC}に接続しているダイオードは、シャットダウン中に余分な電源電流をなくすと同時に、INTV_{CC}の負荷も解放してコントローラが起動しないようにします。

電流ラッチオフを無効にする理由は？ 設計の試作段階では、ノイズのピックアップやレイアウトの不備に関する問題があり、保護回路がコントローラをラッチオフする可能性があります。この機能を無効にすると、回路とPCレイアウトのトラブルシューティングが可能です。内部短絡およびフォールドバック電流制限は有効になったままで、電源システムを障害から保護します。設計が完了した後、単にフォールドバック電流制限だけに頼るか、あるいはプルアップ抵抗を取り除いてラッチオフ機能をイネーブルするかどうかを決定することができます。

ソフトスタート・コンデンサ C_{SS} の値は、出力電圧、出力容量、および負荷電流特性に応じて決定する必要があります。最小ソフトスタート容量は、次式で与えられます。

$$C_{SS} > (C_{OUT})(V_{OUT})(10^{-4})(R_{SENSE})$$

大部分のアプリケーションでは、 $C_{SS} = 0.1\mu F$ の最小推奨ソフトスタート・コンデンサで十分です。



*OPTIONAL TO DEFEAT OVERCURRENT LATCHOFF 1929 F06

図6. RUN/SSピンのインタフェース

フェーズロック・ループと周波数同期

LTC1929は、内部電圧制御発振器と位相検出器から成るフェーズロック・ループを内蔵しています。これによって、トップMOSFETのターンオンを外部ソースの立上りエッジにロックさせることができます。電圧制御発振器の周波数範囲は、中心周波数 f_0 の $\pm 50\%$ です。PLLFLTRピンに印加される1.2Vの電圧は、約220kHzの周波数に相当します。LTC1929の公称動作周波数範囲は140kHz ~ 310kHzです。

使用される位相検出器は、外部発振器と内部発振器の間に0度の位相シフトを与えるエッジ・センシティブ・デジタルタイプです。このタイプの位相検出器は、VCO中心周波数の高調波近くの入力周波数にはロックアップしません。PLLのホールドイン範囲(f_H)は、キャプチャ範囲(f_C)と等しくなります。

$$f_H = f_C = \pm 0.5 f_0 (150kHz - 300kHz)$$

位相検出器の出力は、PLLFLTRピンの外部フィルタ・ネットワークを充放電する電流源のコンプリメンタリ・ペアです。図7に簡略ブロック図を示します。

外部周波数(f_{PLLIN})が発振器周波数 f_{OSC} より大きい場合、電流は継続的にソースされ、PLLFLTRピンをプルアップします。外部周波数が f_{OSC} より低いときは、継続的に電流がシンクされ、PLLFLTRピンをプルダウンします。外部周波数と内部周波数が同じでも、位相差がある場合は、電流源が位相差に相当する時間の長さだけターンオンします。したがって、PLLFLTRピンの電圧は、外部発振器と内部発振器の位相および周波数が同じになるまで調整されます。この安定動作点で、位相コンパレータ出力がオープンになり、フィルタ・コンデンサ C_{LP} がその電圧を保持します。LTC1929のPLLINピンは、そのピンの近くにあるロジック・ゲートなどの低インピーダンス素子からドライブしなければなりません。

ループ・フィルタ部品(C_{LP} 、 R_{LP})は、位相検出器からの電流パルスを平滑して、電圧制御発振器に安定した入力を提供します。フィルタ部品 C_{LP} と R_{LP} は、ループがどれくらい速くロックを得るかを決定します。一般に、 $R_{LP} = 10k$ 、 C_{LP} は0.01 μF から0.1 μF です。

アプリケーション情報

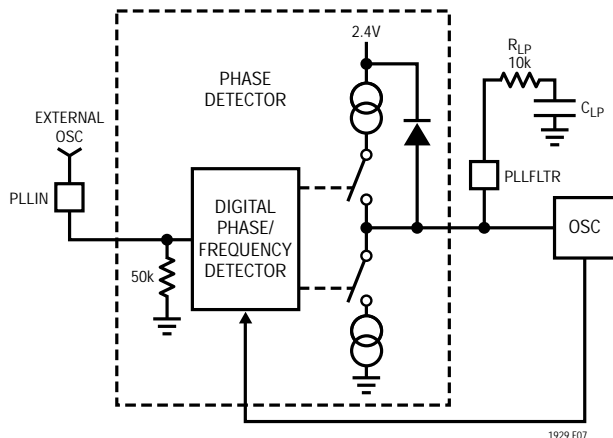


図7. フェーズロック・ループのブロック図

最小オン時間の検討

最小オン時間 $t_{ON(MIN)}$ は、LTC1929がトップMOSFETをターンオンできる最小時間です。これは内部タイミング遅延とトップMOSFETをターンオンするのに必要なゲート電荷の量によって決まります。低デューティ・サイクルのアプリケーションでは、この最小オン時間の制限値に接近する可能性がありますので以下の注意が必要です。

$$t_{ON(MIN)} < \frac{V_{OUT}}{V_{IN}(f)}$$

デューティ・サイクルが最小オン時間で適応可能な値以下になると、LTC1929はサイクル・スキップを開始し、非定周波数動作になります。出力電圧は連続的に安定化されませんが、リップル電流とリップル電圧は上昇します。

LTC1929の最小オン時間は一般に200ns以下です。ただし、ピーク・センス電圧が低下すると、最小オン時間は徐々に増加します。これは、軽負荷でリップル電流が低い強制連続アプリケーションでは特に重要な問題です。この状況で、デューティ・サイクルが最小オン時間以下に低下した場合、相応に大きな電流および電圧リップルを伴う過大なサイクル・スキップが発生するおそれがあります。

アプリケーションが最小オン時間制限付近で動作する可能性がある場合、最小オン時間条件に適合するのに十分なリップル振幅を供給できる低いインダクタンス値のインダクタを選択しなければなりません。一般に、各位相のインダクタ・リップル電流は $V_{IN(MAX)}$ で $I_{OUT(MAX)}$ の15%またはそれ以上に保持してください。

効率の検討

スイッチング・レギュレータの効率は出力電力÷入力電力×100%で表されます。個々の損失を解析して、効率を制限する要素がどれであり、また何が変化すれば最も効率が改善されるかを判断できる場合がよくあります。効率のパーセントは次式で表すことができます。

$$\% \text{効率} = 100\% - (L1 + L2 + L3 + \dots)$$

ただし、L1、L2などは入力電力に対するパーセンテージで表される個々の損失です。

回路にある電力を消費するすべての部品で損失が発生しますが、LTC1929回路での損失の大半は、一般に1) LTC1929 V_{IN} 電流(差動アンプ出力の負荷を含む)、2) INTV_{CC}レギュレータ電流、3) I^2R 損失、および4) トップサイドMOSFET遷移損失の4つの主要要因によるものです。

1) V_{IN} 電流には次の2つの要素があります。1つは電気的特性表に記載されたDC電源電流で、MOSFETドライバと制御回路の電流を除いたものです。もう1つは差動アンプ出力から取り出される電流です。 V_{IN} 電流による損失は一般に小さな値(0.1%以下)です。

2) INTV_{CC}電流はMOSFETドライバおよび制御回路電流の和です。MOSFETドライバ電流はパワーMOSFETのゲート容量をスイッチングすることによって流れます。MOSFETのゲートが“L”から“H”、そして再び“L”に切り替わる度に、INTV_{CC}からグラウンドに微小電荷dQが移動します。それによって生じるdQ/dtはINTV_{CC}から流出する電流であり、一般に制御回路の電流よりはるかに大きくなります。連続モードでは、 $I_{GATECHG} = (Q_T + Q_B)$ です。ただし、 Q_T と Q_B はトップサイドとボトムサイドMOSFETのゲート電荷です。

アプリケーション情報

出力から引き出されるソースからEXTV_{CC}スイッチ入力を經由してINTV_{CC}電源を供給すると、ドライバおよび制御回路に必要なV_{IN}電流は、(デューティ・サイクル)(効率)で計算されます。たとえば、20Vから5Vのアプリケーションでは、10mAのINTV_{CC}電流は約3mAのV_{IN}電流になります。これによって、中間電流損失が10%以上(ドライバがV_{IN}から直接電源を供給されている場合)からわずかに数パーセントに減少します。

3) I²R損失は、ヒューズ(使用している場合)、MOSFET、インダクタ、電流センス抵抗、および入出力コンデンサのESRのDC抵抗から推定されます。連続モードでは、LやR_{SENSE}に平均出力電流が流れますが、トップサイドMOSFETと同期MOSFET間でチョップされます。2つのMOSFETがほぼ同じR_{DS(ON)}の場合は、1つのMOSFETの抵抗とLの抵抗、R_{SENSE}およびESRを加算するだけでI²R損失を求めることができます。たとえば、それぞれR_{DS(ON)} = 10mΩ、R_L = 10mΩ、そしてR_{SENSE} = 5mΩの場合、全抵抗は25mΩになります。これにより、5V出力の場合に出力電流が各出力段につき3Aから15Aまで増加すると損失は2%~8%になります。また、3.3V出力では各出力段につき損失は3%~12%になります。効率は外付け部品と出力電力レベルが同じ場合は、V_{OUT}の2乗に反比例して変化します。高性能デジタル・システムでますます要求される低出力電圧と大電流が同時発生時の影響は単に2倍になるのではなく、スイッチング・レギュレータ・システムでの重要損失条件では4倍になります。

4) 遷移損失はトップサイドMOSFETにのみ、しかも高入力電圧(通常、20V以上)で動作しているときに限って適用されます。遷移損失は次式から推定できます。

$$\text{遷移損失} = (1.7) V_{IN}^2 I_{O(MAX)} C_{RSS} f$$

銅トレースや内部バッテリー抵抗など、他の「隠れた」損失は、携帯用システムではさらに5%~10%の効率低下を生じる可能性があります。これらの「システム」レベルの損失をシステムの設計に含めることが非常に重要です。内部バッテリーおよび入力ヒューズ抵抗損失は、C_{IN}がスイッチング周波数において十分な電荷保存と非常に低いESRを持つようにすれば最小限に抑えることができます。

25W電源は、一般に10mΩ~20mΩの最大ESRの最小20μF~40μFのコンデンサを必要とします。LTC1929の2フェーズ・アーキテクチャでは、競合製品と比較した場合の入力容量条件は標準で半分です。デッドタイム中のショットキ導通損失やインダクタ・コア損失などのその他の損失は、一般に追加される全損失の2%以下にしかありません。

過渡応答のチェック

レギュレータのループ応答は、負荷過渡応答を観察すればチェックできます。スイッチング・レギュレータは、DC(抵抗性)負荷電流のステップにตอบสนองするのに数サイクルを要します。負荷ステップが発生すると、V_{OUT}はI_{LOAD}(ESR)だけシフトします。ESRはC_{OUT}(I_{LOAD})の等価直列抵抗です。そしてまた、レギュレータを電流変化に適應させ、V_{OUT}を安定状態値に復帰させる帰還誤差信号を生成するC_{OUT}の充放電を開始します。この回復期間に、V_{OUT}で安定性の問題となるオーバershootやリングングが発生します。I_{TH}ピンにより制御ループ動作を最適化できるだけでなく、DC結合およびACフィルタされた閉ループ応答テスト・ポイントも提供します。このテスト・ポイントでのDCステップ、立上り時間、およびセトリングは、真に閉ループ応答を反映するものです。優秀な2次システムを想定すれば、位相マージンと減衰係数は、このピンで見られるオーバershootの割合を使って評価することができます。このピンの立上り時間を調べれば、帯域幅も評価できます。図1の回路に示すI_{TH}ピンの外部部品で、ほとんどのアプリケーションで十分な補償を行うことができます。

I_{TH}シリーズのR_C-C_Cフィルタは、支配的ポールゼロ・ループ補償を設定します。これらの値は、最終的なPCレイアウトが行われ、特定の出力コンデンサのタイプと容量値を決定した後で、過渡応答を最大にするために、多少(推奨値の0.2~5倍)変更することができます。さまざまなタイプと値によって、ループ帰還係数の利得と位相が決まるので、まず出力コンデンサを決定する必要があります。2μs以下の立上り時間を持つ全負荷電流の20%~80%の出力電流パルスが、帰還ループを乱すことなく、全体的なループ安定性のセンスを与える出力電圧

アプリケーション情報

と I_{TH} ピンの波形を生成します。出力電流のステップによって生じる初期出力電圧ステップは帰還ループの帯域幅以内でない場合があるため、位相マージンを決定するのにこの信号を使用することはできません。これが、帰還ループにありフィルタされ補償された制御ループ応答である I_{TH} ピン信号を調べる方がよいことの原因です。ループの利得は R_C を大きくすると増大し、ループの帯域幅は C_C を小さくすると増大します。 C_C が減少したのと同じだけ R_C を増大させると、ゼロ周波数は同じに維持され、帰還ループの最も重要な周波数範囲で位相を同じに維持します。出力電圧のセトリング動作は、閉ループ・システムの安定性に関係し、実際の総合的な電源性能を実証します。

次に、大容量($1\mu\text{F}$ 以上)電源バイパス・コンデンサを持つ負荷の断続が行われると、さらに大きな過渡が発生します。放電したバイパス・コンデンサは実質的に C_{OUT} と並列になるため、 V_{OUT} の電圧は急速に降下します。負荷のスイッチの抵抗が低く、しかも瞬間的にドライブされると、どんなレギュレータでも出力電圧の急激な変化を防止するだけ素早く電流供給を変えることができません。 C_{LOAD} 対 C_{OUT} の比率が1:50より大きい場合は、スイッチの立上り時間を制御して、負荷の立上り時間を約 $25 \cdot C_{LOAD}$ に制限しなければなりません。したがって $10\mu\text{F}$ のコンデンサでは $250\mu\text{s}$ の立上り時間が必要となり、充電電流は約 200mA に制限されます。

自動車分野での検討事項：
シガレット・ライターへの接続

バッテリー駆動デバイスを車載用として使用すると、シガレット・ライターから電源をとって、バッテリーを節約するだけでなく、動作中にバッテリー・パックの再充電までもやっつけてしまおうと思うのは当然といえます。しかし、接続する前に、以下の点に注意してください。まず、最悪の電源に差し込んでいるということです。自動車のメイン・バッテリー・ラインは、負荷の急激な変化、バッテリーの逆接続、バッテリー電圧の過剰など、多くの好ましくない過渡電位を発生させる温床です。

バッテリー・ケーブルがゆるいと負荷の急激な変化が生じます。ケーブルの接続が絶たれると、オルタネータのフィールドが崩壊して、減衰するのに数 100ms を要する 60V もの高電圧スパイクが発生する可能性があります。バッテリーの逆接続はその言葉通りであり、ダブル・バッテリーでは、牽引トラックのオペレータの考察によりエンジン始動時に 24V が 12V より早く発生することが分かっています。

図8に示す回路は、自動車のバッテリー・ラインの故障からDC/DCコンバータを保護する最も簡単な方法です。直列ダイオードはバッテリーの逆接続中に電流が流れるのを防止し、過渡サプレッサは負荷の切替え中に、入力電圧をクランプします。過渡電圧サプレッサは倍電圧バッテリー動作時には導通してはならず、コンバータのブレイクダウン電圧以下の入力電圧はクランプしてはいなければなりません。LTC1929の最大入力電圧は 36V ですが、ほとんどのアプリケーションはMOSFET BV_{DSS} によって 30V に制限されています。

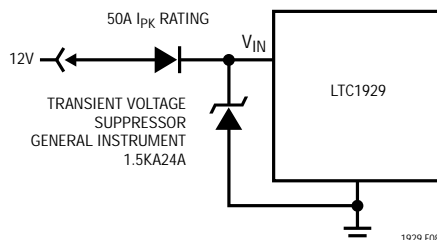


図8. 車載用アプリケーションの保護

アプリケーション情報

設計例 (2フェーズを使用)

設計例として、 $V_{IN} = 5V$ (標準)、 $V_{IN} = 5.5V$ (最大)、 $V_{OUT} = 1.8V$ 、 $I_{MAX} = 20A$ 、 $T_A = 70$ 、そして $f = 310kHz$ と仮定すると、 R_{SENSE1} 、および R_{SENSE2} は次のとおりすぐに計算できます。

$$R_{SENSE1} = R_{SENSE2} = 50mV/10A = 0.005$$

$L1 = L2 = 2\mu H$ の場合、各チャネルのリプル電流の実効値には、次式が使用されます。

$$\Delta I_L = \frac{V_{OUT}}{fL} \left(1 - \frac{V_{OUT}}{V_{IN}} \right)$$

リプル電流の最大値は入力電圧が最大のときに発生します。

$$\Delta I_L = \frac{1.8}{(310kHz)(2\mu H)} \left(1 - \frac{1.8}{5.5} \right) \approx 1.95A$$

各インダクタのリプル電流は最大出力電流時に、保守的な値で20%です。

次に、200nsの最小オン時間に違反していないことを確認してください。最小オン時間は以下のとおり最大 V_{IN} で発生します。

$$t_{ON(MIN)} = \frac{V_{OUT}}{V_{IN(MAX)}f} = \left[\frac{1.8V}{5.5V(310kHz)} \right] \approx 1\mu s$$

出力電圧が2.4V以下なので、出力抵抗分割器は出力電圧を設定するだけでなく、両方のチャネルでセンス・ピン電流を吸収する値が必要です。

$$R1_{(MIN)} = \frac{20k}{2} \left(\frac{V_{OUT}}{2.4V - V_{OUT}} \right) \\ = 10k \left(\frac{1.8V}{2.4V - 1.8V} \right) = 30k$$

1%抵抗 $R1 = 13.2k$ と $R2 = 16.5k$ を選択すると、1.80Vの出力電圧が発生します。

トップサイドMOSFETの消費電力は容易に推定できます。たとえば、Siliconix Si4420DYを使用した場合、 $R_{DS(ON)} = 0.013$ 、 $C_{RSS} = 300pF$ です。高い周囲温度における T_J (推定値) = 110、最大入力電圧では：

$$P_{MAIN} = \frac{1.8V}{5.5V} (10)^2 \left[1 + (0.005)(110^\circ C - 25^\circ C) \right] \\ 0.013\Omega + 1.7(5.5V)^2 (10A)(300pF) \\ (310kHz) = 0.65W$$

高い周囲温度における通常動作条件での同期MOSFETによるワーストケース電力消費と推定50の接合部温度上昇で：

$$P_{SYNC} = \frac{5.5V - 1.8V}{5.5V} (10A)^2 (1.48)(0.013\Omega) \\ = 1.29W$$

グラウンドへの短絡によって、流れるフォールドバック電流は：

$$I_{SC} = \frac{25mV}{0.005\Omega} + \frac{1}{2} \left[\frac{200ns(5.5V)}{2\mu H} \right] = 5.28A$$

高い周囲温度における短絡条件での同期MOSFETによるワーストケース電力消費と推定50の接合部温度上昇では：

$$P_{SYNC} = \frac{5.5V - 1.8V}{5.5V} (5.28A)^2 (1.48)(0.013\Omega) \\ = 360mW$$

これは通常状態、および最大負荷状態での値よりはるかに小さなものです。なお、短絡条件でもはや負荷が電力を消費しないので、全システム消費電力は99%以上減少します。

アプリケーション情報

ピークRMS入力電流が起こるときのデューティ係数は、図4に従ってD = 0.25とD = 0.75です。ピークに最も近いデューティ・サイクルを生成する入力電圧における、ワーストケースの所要RMS電流定格を計算します。

C_{IN}は以下のRMS電流定格を必要とします。

$$C_{IN}の所要I_{RMS} = (20A) \sqrt{\frac{1.8}{5.5} - \frac{1}{2} \left(\frac{1}{2} - \left| \frac{1.8}{5.5} - \frac{1}{2} \right| \right)}$$

$$= 4.76A_{RMS}$$

出力コンデンサのリプル電流は、各インダクタについてすでに計算されたインダクタ・リプルを使用して計算され、計算したデューティ係数とともに図3から得た係数で乗算されます。デューティ係数は50%以下なので、連続モードでの出力リプルは入力電圧が最大のとときに最も高くなります。最大出力電流リプルは、以下のとおりです：

$$\Delta I_{COUT} = \frac{V_{OUT}}{fL} \left(1 - \frac{V_{OUT}}{V_{IN}} \right) \left(\frac{0.33}{0.66} \right) \quad (33\% \text{ D.F.において})$$

$$\Delta I_{COUTMAX} = \frac{1.8V}{(310kHz)(2\mu H)} \left(1 - \frac{1.8V}{5.5V} \right) 0.54$$

$$= 0.97A$$

$$V_{OUTRIPPLE} = 20m\Omega(0.97A) = 19.4mV_{RMS}$$

別の計算では、次のとおりD = 1.8V/5.5 = 0.33における出力リプル電流の式を使用します。

$$\Delta I_{RIPPLE} = \frac{2(1.8V)}{310kHz(2\mu H)} \left[\frac{1 - 2(0.33)(1 - 0.33)}{|1 - 2(0.33)| + 1} \right]$$

$$= 0.99A$$

$$V_{OUTRIPPLE} = 20m\Omega(0.99A) = 19.7mV_{RMS}$$

PCボード・レイアウト・チェックリスト

PCボードをレイアウトするときは、以下のチェックリストを使用し、LTC1929の適切な動作を保証する必要があります。これらの項目は図11のレイアウト図にもイラストで示してあります。レイアウトで以下の項目をチェックしてください。

- 1) 信号およびパワー・グランドが分離されているか？ LTC1929の信号グランド・ピンは、個別にC_{OUT}の(-)プレートにリターンしなければなりません。パワー・グランドはボトムNチャンネルMOSFETのソース、ショットキ・ダイオードのアノード、およびC_{IN}の(-)プレートにリターンします。リードはできる限り短くしてください。
- 2) LTC1929のV_{OS}⁺ピンがC_{OUT}の(+)プレートに接続されているか？ LTC1929のV_{OS}⁻ピンがC_{OUT}の(-)プレートに接続されているか？ 抵抗分割器R1、R2をV_{DIFFOUT}と信号グランドの間に接続し、R1両端のフィード・フォワード・コンデンサはできる限りLTC1929の近くで接続しなければなりません。
- 3) SENSE⁻およびSENSE⁺リードが最小PCトレース間隔で配線されているか？ SENSE⁺ピンとSENSE⁻ピンの間のフィルタ・コンデンサは、できる限りLTC1929の近くに配置します。ケルビン接続による精密な電流検知を行います。
- 4) C_{IN}の(+)プレートはできる限りトップサイドMOSFETのドレインの近くで接続されているか？ このコンデンサはMOSFETにAC電流を供給します。入力コンデンサ、トップおよびボトムMOSFET、およびショットキ・ダイオードによって形成される入力電流経路をPCボードの同じ側に密なループで維持して、誘導および放射EMIを最小限に抑えてください。
- 5) INTV_{CC}の1μFセラミック・デカップリング・コンデンサがINTV_{CC}とパワー・グランド・ピンの間で、ピンに近づけて接続されているか？ このコンデンサはMOSFETドライバ・ピーク電流を伝達します。小さな値を使用して、ICに隣接して配置できるようにします。
- 6) スイッチング・ノードSW1(SW2)を敏感な小信号ノードから離しておきます。理想的には、スイッチ・ノードは、LTC1929から最も遠い点に配置しなければなりません。
- 7) PLLINピンをドライブするには、ロジック・ゲートなどの低インピーダンス・ソースを使用し、リードの長さをできる限り短くします。

アプリケーション情報

図9の回路図は、2フェーズ・スイッチング・レギュレータの全分岐電流を示します。電流波形を検討すれば、高スイッチング電流経路を物理的に小さなサイズに保持することが重要である理由がきわめて明白になります。これらの「ループ」から高電界および磁界が無線局が信号を送信するように放射されます。出力コンデンサのグランドは入力コンデンサの負端子にリターンしなければならず、共通グランド経路をスイッチ電流経路に共有させないでください。回路の左半分は、スイッチング・レギュレータによって生成される「ノイズ」を生じます。非常に高いスイッチング電流が存在するので、同期MOSFETとショットキ・ダイオードのグランド終端は、短い絶縁されたPCトレースで入力コンデンサのボトム・プレートに戻さなければなりません。入力コンデンサのボトム・プレートからの独立した絶縁経路を使用して、ICのパワー・グランド・ピン(PGND)と信号グランド・ピン(SGND)で接続しなければなりません。このテクニックは、スイッチング・レギュレータの全過程の間、高電流パルスによって発生する固有の信号が、インピーダンスが有限の代替電流経路をとらないようにします。外部OPTI-LOOP補償により、最適化されないPCレイアウトを過補償することができますが、この設計手順は推奨されません。

2フェーズ・コントローラによる入力および出力RMSリップル電流の低減方法を示す簡単な図による説明

マルチフェーズ電源は、入力および出力コンデンサ両方のリップル電流を大幅に低減します。RMS入力リップル電流は使用フェーズ数で除算され、有効リップル周波数は乗算されます(入力電圧が使用フェーズ数×出力電圧より大きいと仮定)。出力リップル振幅も使用フェーズ数によって減少し、有効リップル周波数は使用フェーズ数によって上昇します。図10にこの原理を図示しています。

1ステージ設計のワーストケースRMSリップル電流のピークは、出力電圧値の2倍です。2ステージ設計のワーストケースRMSリップル電流は、入力電圧の1/4と3/4でピークに達します。RMS電流を計算すると、より高い

有効デューティ係数が得られ、ピーク電流レベルは各ステージでの電流が平衡している限り分割されます。1ステージ・スイッチング・レギュレータでのRMS電流の計算方法の詳細については、アプリケーションノート19を参照してください。図3と4は、フェーズを追加して入力および出力電流を低減する方法を理解するのに役立ちます。この2フェーズ・コンバータでは、入力電流のピークは半分に低下し、周波数は2倍になります。したがって、入力容量条件は理論的には1/4に減少します！優れた低ESR特性を持つセラミック入力コンデンサを使用することができます。

図4は、入力容量から引き出されるRMS入力電流と入力電圧対出力電圧比によって決まるデューティ・サイクルの関係を示しています。1フェーズ・システムのピーク入力RMS電流レベルは、2つのステージ間での電流分割による2フェーズ・ソリューションで50%低減されます。

2フェーズ・ソリューションで興味深いのは、1フェーズ設計において入力コンデンサに対してワーストケース・リップル電流を発生させる V_{IN} 、 $V_{OUT} = V_{IN}/2$ が、2フェーズ設計では入力電流リップルを生じないことです。

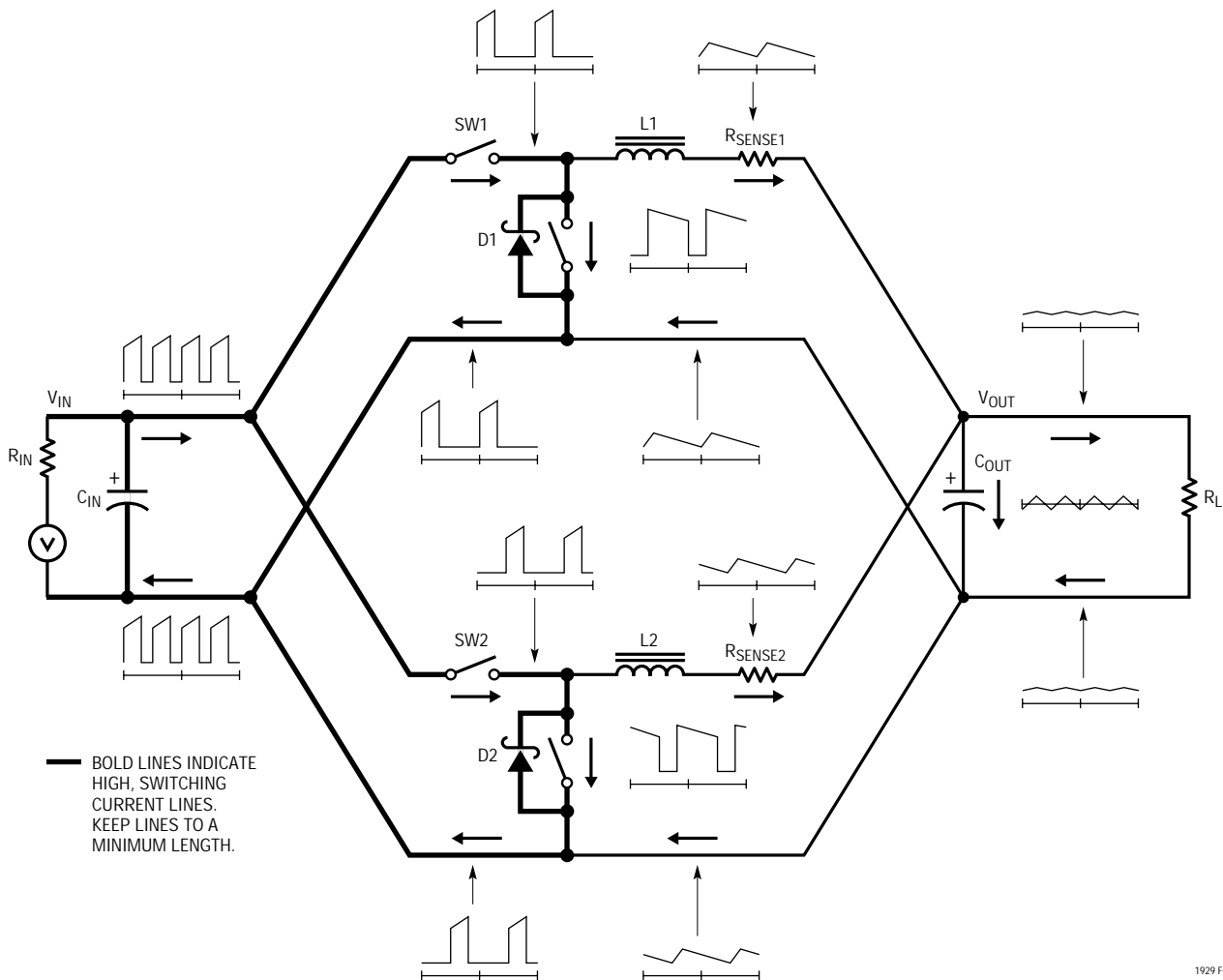
出力リップル電流は、同じインダクタンス値を使用した1フェーズ・ソリューションと比較すると大幅に低減されます。これは、 $(V_{IN} - V_{OUT})/L$ の充電電流からボトムMOSFETがターンオンしているステージの V_{OUT}/L の放電電流項をトップMOSFETがオンになっているステージから減じるためです。出力リップル電流は以下のとおりです。

$$\Delta I_{RIPPLE} = \frac{2V_{OUT}}{fL} \left[\frac{|1-2D|(1-D)}{|1-2D|+1} \right]$$

ここで、Dはデューティ係数です。

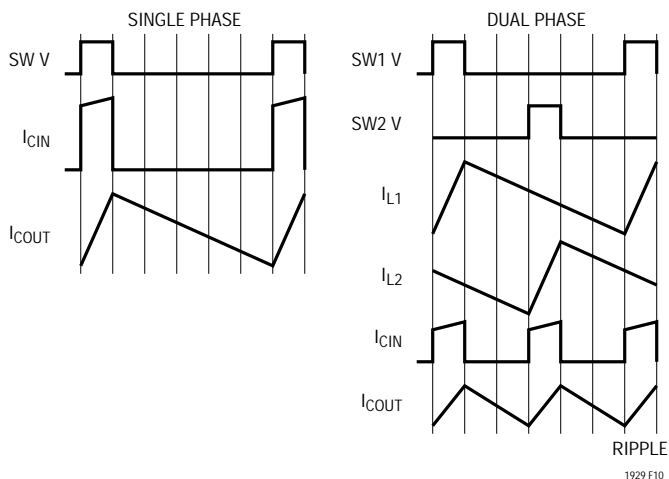
入力および出力リップル周波数は、使用ステージ数によって増加し、出力容量の要求条件を低減します。図3と4に示すとおり、 V_{IN} がほぼ $2(V_{OUT})$ と等しいとき、非常に低い入力および出力リップル電流が得られます。

アプリケーション情報



1929 F09

図9. マルチフェーズ・スイッチング・レギュレータの瞬時的な電流経路の流れ



1929 F10

図10. 1および2フェーズ電流波形

標準的應用例

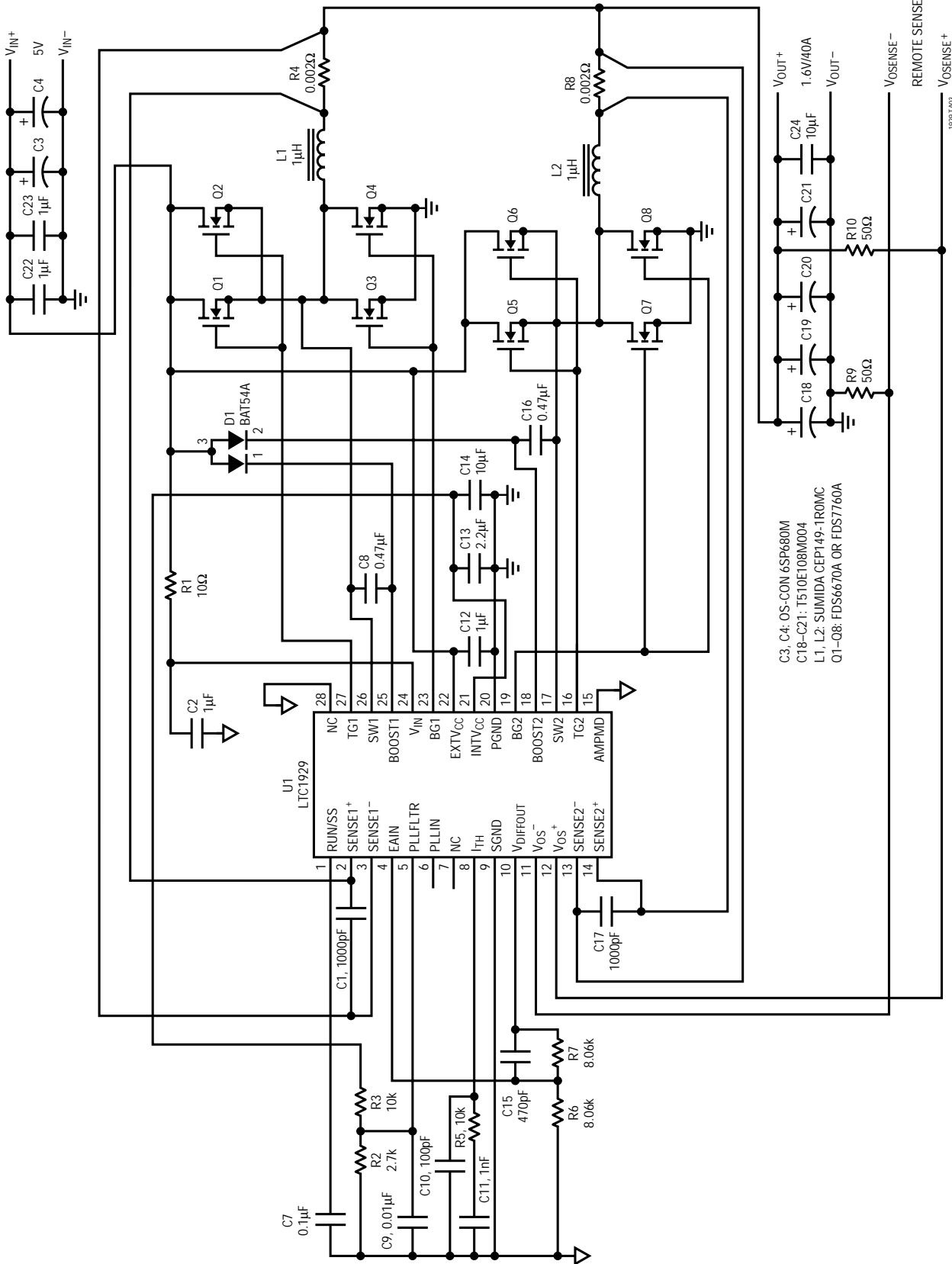


图11. 5V入力、1.6V/40A CPU電源

標準的応用例

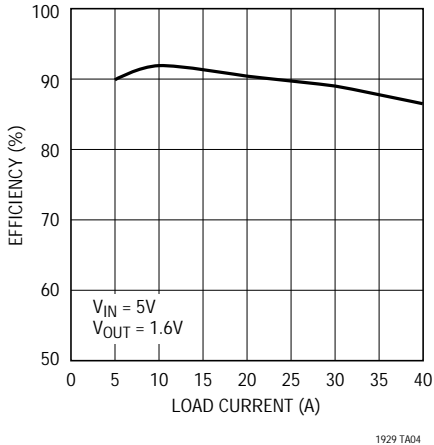
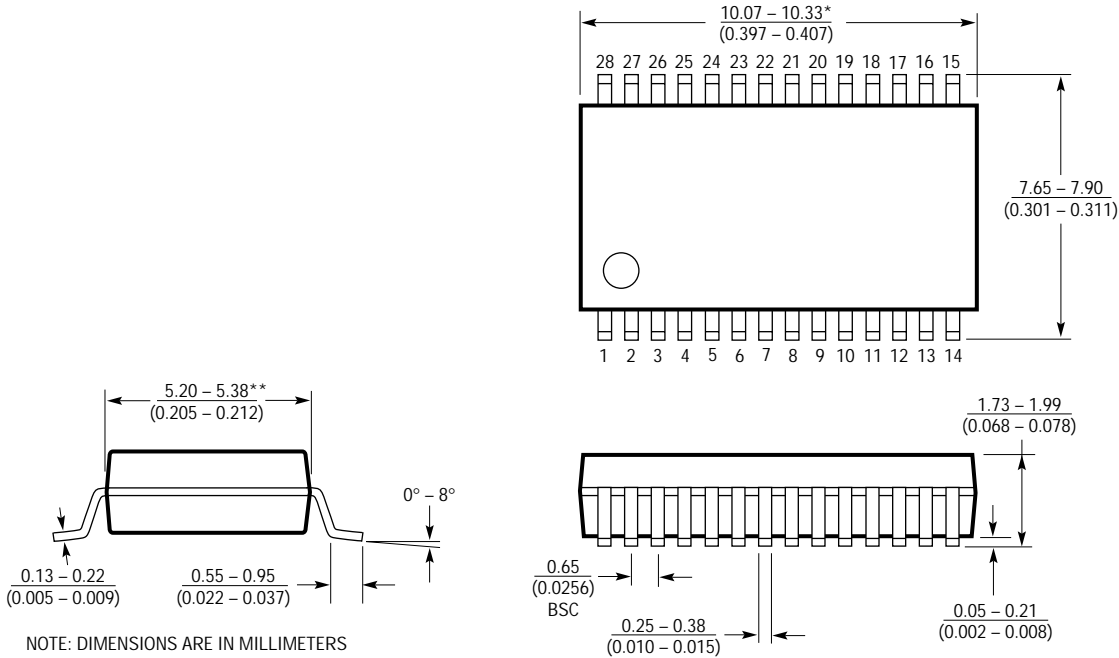


図12. 図11の回路の効率プロット

パッケージ 注記がない限り寸法はインチ(ミリメートル)

Gパッケージ
28リード・プラスチックSSOP(0.209)
(LTC DWG # 05-08-1640)



NOTE: DIMENSIONS ARE IN MILLIMETERS
 *DIMENSIONS DO NOT INCLUDE MOLD FLASH. MOLD FLASH SHALL NOT EXCEED 0.152mm (0.006") PER SIDE
 **DIMENSIONS DO NOT INCLUDE INTERLEAD FLASH. INTERLEAD FLASH SHALL NOT EXCEED 0.254mm (0.010") PER SIDE

G28 SSOP 1098

標準的応用例

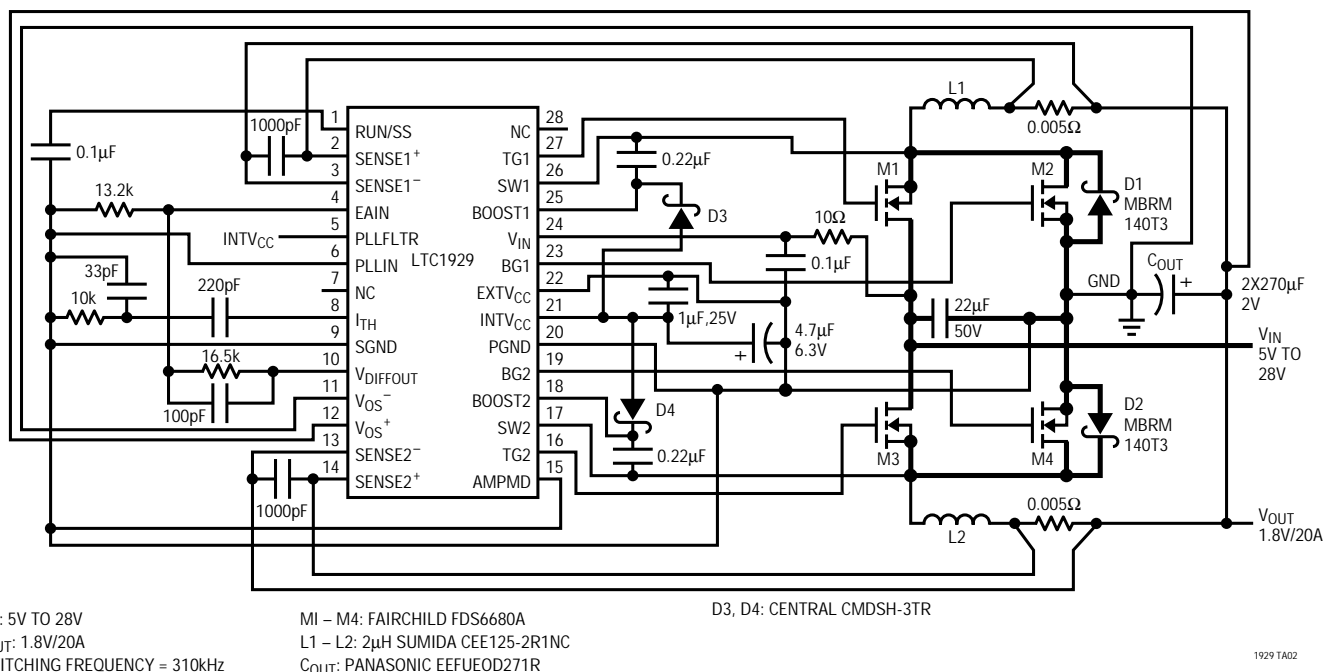


図13. 1.8V/20A CPU電源

関連製品

製品番号	説明	注釈
LTC1438/LTC1439	デュアル高効率低ノイズ同期式降圧スイッチング・レギュレータ	POR、補助レギュレータ
LTC1438-ADJ	補助レギュレータ付きデュアル同期式コントローラ	POR、外部帰還分割器
LTC1538-AUX	デュアル高効率低ノイズ同期式降圧スイッチング・レギュレータ	補助レギュレータ、5Vスタンバイ
LTC1539	デュアル高効率低ノイズ同期式降圧スイッチング・レギュレータ	5Vスタンバイ、POR、低バッテリー、補助レギュレータ
LTC1435/LTC1435A	高効率同期整流式降圧スイッチング・レギュレータ	バースト・モード™動作、16ピン細型SO
LTC1436A-PLL	高効率低ノイズ同期式降圧スイッチング・レギュレータ	アダプティブ・パワー™モード、24ピンSSOP
LTC1628	デュアル高効率、2フェーズ同期式降圧スイッチング・レギュレータ	定周波数、スタンバイ、5Vおよび3.3V LDO
LTC1629	PolyPhase高効率コントローラ	最大12フェーズまで拡張可能、G-28、最大120A
LTC1702/LTC1703	デュアル高効率、2フェーズ同期式降圧スイッチング・レギュレータ	500kHz、GBW 25MHz
LTC1735	高効率同期整流式降圧コントローラ	バースト・モード動作、16ピン細型SSOP、フォールト保護、 $3.5V \leq V_{IN} \leq 36V$
LTC1736	5ビットVIDによる高効率同期整流式降圧コントローラ	出力フォールト保護、パワー・グッド、GN-24、 $3.5 \leq V_{IN} \leq 36V$ 、 $0.8V \leq V_{IN} \leq 6V$

Adaptive PowerとBurst Modeは、リニアテクノロジー社の商標です。