



2線インタフェース デュアル・ファン・コントローラ

2001年6月

特徴

- 2個の8ビット電流DACを内蔵
- モノトニック保証のDAC
- 起動時に既知のICの状態
- 無効機能付き、シリアル・インタフェース・アクセスのタイマ
- I²C™およびSMBusに準拠した2線シリアル・インタフェース
- プログラム可能な2個のファン・タコメータ・インタフェース
- プログラム可能な4個の汎用I/O
- 小型16ピンSSOPパッケージで供給
- 2.7V ~ 5.75Vの単一電源動作
- 故障出力信号
- ステータス・レジスタ
- ファン・プラスタ機能
- 2本のプログラム線を使用した9アドレス

アプリケーション

- サーバ
- デスクトップ・コンピュータ
- 電源
- 冷却装置

LT, LTC, LT はリニアテクノロジー社の登録商標です。
I²C はフィリップス社の商標です。

概要

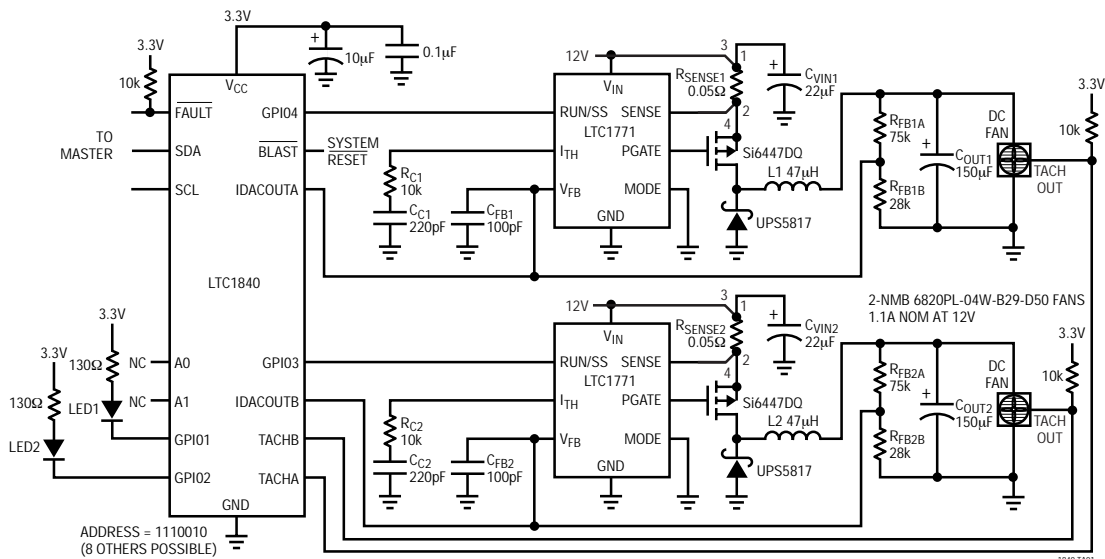
LTC®1840は、2個の8ビット電流DAC、2個のタコメータ・インタフェース、および4個の汎用I/O(GPIO)を内蔵したファン・コントローラであり、2.7V ~ 5.75Vの範囲の単電源で動作します。電流出力DACは外部のスイッチング・レギュレータを制御するために使用され、それがファンの速度を制御します。電流出力DACとタコメータにより、コントローラはファン速度の閉制御ループを形成します。GPIOピンは、デジタル入力またはプルダウン付きのオープンドレイン出力として使用できます。

デバイスには、簡潔な2線I²CおよびSMBusに準拠したシリアル・インタフェース機能があり、多くのデバイス間で通信ができます。インタフェースにはデバイスの状態を反映する故障状態レジスタがあり、故障状態の原因を探すための調査ができます。また、DAC出力電流、GPIOのモード、およびタコメータ周波数のような他の動作特性もシリアル・インタフェースを介してプログラムできます。2本のアドレス・ピンによって9個のデバイス・アドレスが可能です。

BLASTピンにより、レギュレータの出力電圧を最大にするように1本のピンでDAC出力電流を制御でき、またシリアル接続タイマの動作を制御できます。

標準的応用例

少ない部品点数の高效率デュアル・ファン制御



LTC1840

絶対最大定格

(Note 1)

V_{CC} からGND	- 0.5 ~ 6V
A0、A1	- 0.3 ~ ($V_{CC} + 0.3V$)
$I_{DACOUTA}$ 、 $I_{DACOUTB}$	- 0.3 ~ ($V_{CC} + 0.75V$)
他の全てのピン	- 0.3 ~ 6V
動作温度範囲	
LTC1840C	0 ~ 70
LTC1840I	- 40 ~ 85
保存温度範囲	- 65 ~ 125
リード温度(半田付け、10秒)	300

パッケージ/発注情報

<p>GN PACKAGE 16-LEAD PLASTIC SSOP $T_{JMAX} = 125^{\circ}C$, $\theta_{JA} = 110^{\circ}C/W$</p>	ORDER PART NUMBER
	LTC1840CGN LTC1840IGN
	GN PART MARKING
	1840 1840I

より広い動作温度範囲で規定されたデバイスはお問い合わせください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25$ での値。 $V_{CC}=3V$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
DACs							
n	Resolution		8			Bits	
DNL	Differential Nonlinearity	$V_{DACOUT} = 1.1V$, Guaranteed Monotonic	●		± 0.9	LSB	
INL	Integral Nonlinearity	$V_{DACOUT} = 1.1V$			± 4	LSB	
ZSE	Zero-Scale Error	$V_{DACOUT} = 1.1V$	-0.2	0.1	2	μA	
	Output Voltage Rejection	$1.1V < V_{DACOUT} < 3.75V$			± 1	LSB	
	Output Voltage Rejection	$V_{CC} = 5.75V$, $1.1V < V_{DACOUT} < 6.5V$			± 2	LSB	
$I_{DACOUTA(FS)}$, $I_{DACOUTB(FS)}$	Full-Scale Current	Sinking	●	97 95	103 105	μA μA	
Power Supply							
V_{CC}	Positive Supply Voltage		●	2.7	5.75	V	
I_{CC}	Supply Current	$V_{CC} = 3V$ $V_{CC} = 5V$		400 500		μA μA	
V_{UVLO}	UVLO/POR Voltage		●	2.1	2.4	2.69	V
V_{UVHYS}	UVLO/POR Voltage Hysteresis	(Note 2)		20	90	160	mV
Oscillator Performance							
f_{OSC}	Oscillator Frequency		●	47	50	53	kHz
PSRR	Supply Sensitivity	$2.7V < V_{CC} < 5.75V$			0.1	0.5	%/V
GPIO Performance							
I_O	Output Current Sink	$V_{GPIOX} = 0.7V$, Internal Pull-Down Enabled	●	10			mA
V_{IL}	Digital Input Low Voltage	Internal Pull-Down Disabled	●		$0.3V_{CC}$		V
V_{IH}	Digital Input High Voltage	Internal Pull-Down Disabled	●	$0.7V_{CC}$			V
V_{IHYST}	Input Hysteresis	(Note 2)		50			mV
I_{LEAK}	Leakage	Internal Pull-Down Disabled				± 1	μA

電気的特性

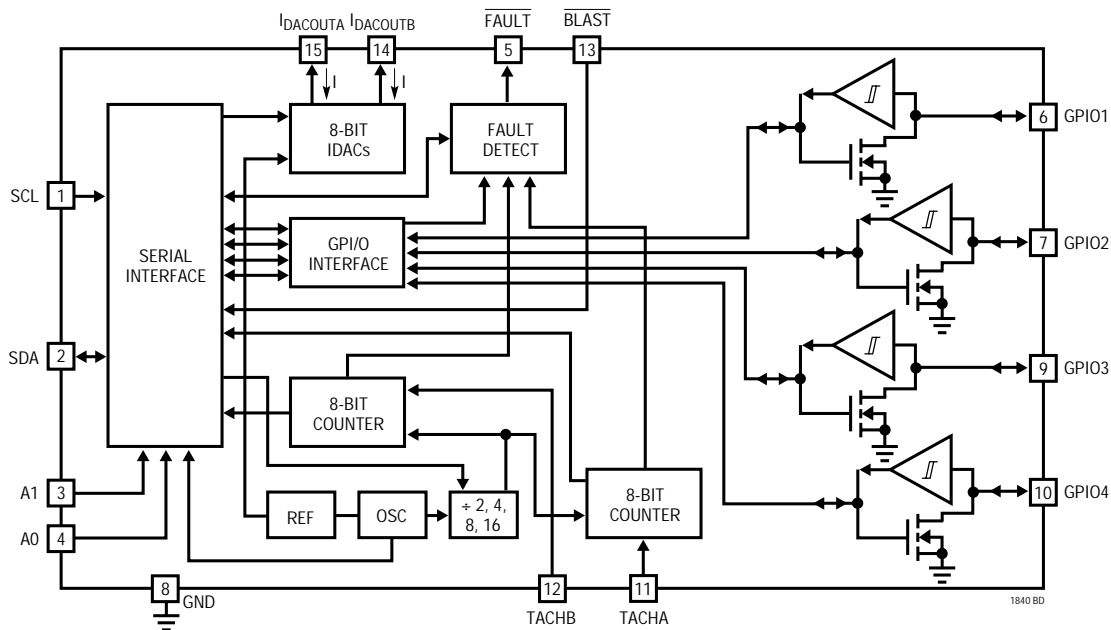
●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25$ での値。 $V_{CC}=3V$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Digital Inputs SCL, SDA							
V_{IH}	Digital Input High Voltage		●	1.4		V	
V_{IL}	Digital Input Low Voltage		●		0.6	V	
V_{LTH}	Logic Threshold Voltage	(Note 2)		1		V	
I_{LEAK}	Digital Input Leakage	$V_{CC} = 5V$ and $0V$, $V_{IN} = GND$ to V_{CC}			± 1	μA	
C_{IN}	Digital Input Capacitance	(Note 2)			10	pF	
Digital Output SDA							
V_{OL}	Digital Output Low Voltage	$I_{PULL-UP} = 3mA$	●		0.4	V	
Digital Output FAULT							
V_{OL}	Digital Output Low Voltage	$I_{PULL-UP} = 1mA$	●		0.4	V	
Digital Inputs TACHA, TACHB							
V_{IH}	Digital Input High Voltage		●	$0.7V_{CC}$		V	
V_{IL}	Digital Input Low Voltage		●		$0.3V_{CC}$	V	
I_{LEAK}	Digital Input Leakage	$V_{CC} = 5V$ and $0V$, $V_{IN} = GND$ to V_{CC}			± 1	μA	
Digital Input BLAST							
V_{LTH}	Logic Threshold Voltage	Measured on \overline{BLAST} Falling Edge		0.95	1.0	1.05	V
V_{IHYST}	Input Hysteresis	(Note 2), Measured on Rising Edge		20		mV	
I_{LEAK}	Digital Input Leakage	$V_{CC} = 5V$ and $0V$, $V_{IN} = GND$ to V_{CC}			± 1	μA	
Address Inputs A0, A1							
V_{IH}	Input High Voltage		●	$0.9V_{CC}$		V	
V_{IL}	Input Low Voltage		●		$0.1V_{CC}$	V	
I_{IN}	Input Current	AX Shorted to GND or V_{CC} , $V_{CC} = 5V$			± 100	μA	
Timing Characteristics							
f_{I2C}	I ² C Operating Frequency	(Note 2)		0	100	kHz	
t_{BUF}	Bus Free Time Between Stop and Start Condition	(Note 2)		4.7		μs	
$t_{HD, STA}$	Hold Time after (Repeated) Start Condition	(Note 2)		4		μs	
$t_{SU, STA}$	Repeated Start Condition Setup Time	(Note 2)		4.7		μs	
$t_{SU, STO}$	Stop Condition Setup Time	(Note 2)		4		μs	
$t_{HD, DAT}$	Data Hold Time			300		ns	
$t_{SU, DAT}$	Data Setup Time	(Note 2)		250		ns	
t_{LOW}	Clock Low Period	(Note 2)		4.7		μs	
t_{HIGH}	Clock High Period	(Note 2)		4.0		μs	
t_f	Clock, Data Fall Time	(Note 2)			300	ns	
t_r	Clock, Data Rise Time	(Note 2)			1000	ns	

Note1: 絶対最大定格はそれを超えるとデバイスの寿命を損なう可能性がある値

Note2: 設計による保証であり、テスト対象ではない。

ブロック図



ピン機能

SCL(ピン1)：シリアル・クロック入力。2線バスのマスタ・デバイスが、シリアル・バス通信を有効にするために0kHz～100kHzの間の周波数でこのピンをクロックします。SCLの立ち上がりエッジで、SDAピンのデータがシフトして入出力されます。SCLには1Vのロジック・スレッショルドがあり、通常は外部プルアップ抵抗または電流源が必要です。

SDA(ピン2)：シリアル・データ入力。これは、通常は外部プルアップ抵抗または電流源を付け、LTC1840内のオープン・ドレイン部分または外部部品でプルダウンされる双方向データピンです。マスタは、アドレッシング、データの書き込み、および読み出しの認識の間、SDAを制御し、LTC1840は、データが読み出される時や書き込み認識の間、SDAを制御します。SDAデータはSCLの立ち上がりエッジでシフトされて入出力されます。SDAには1Vのロジック・スレッショルドがあります。

A1(ピン3)：3ステートのアドレス・プログラム入力。このピンには内部的に3つの異なるロジック状態があり、それは電源に接続されるか、グランドに接続されるか、または接続されないか(NC)によって決まります。A0ピンとこのピンによって、LTC1840に対して9つの異なる2線バス・アドレスが可能となります。(表1を参照して下さい)

A0(ピン4)：3ステートのアドレス・プログラム入力。A1を参照して下さい。

FAULT(ピン5)：不具合状態を示すプルダウン出力です。このピンは、LTC1840の様々な不具合状態の信号を出力するために使用されるプルダウンされたオープンドレインがあります。外部に10kのプルアップ抵抗を推奨します。

GPIO1、GPIO2、GPIO3、GPIO4(ピン6、7、9、10)：汎用入出力。これらのピンは、CMOSロジック・スレッショルドのデジタル入出力、またはLEDが点滅するように設定可能なオープンドレインのプルダウンがあるLEDドライバとして使用できます。GPIOピンは、そのロジック状態の変化によって不具合を生ずるように設定でき、その不具合はソフトウェアまたはLTC1840の電源オフでしか、解除できません。全てのGPIOは起動時に不具合を生じていないロジック入力にデフォルト設定され、その機能はシリアル・インタフェースを介して変更されます。

GND(ピン8)：グランド。アナログ・グランド・プレーンに接続してください。

TACHA(ピン11)：タコメータ入力A。これは、3線ファンのタコメータ出力にインタフェースするように設計されたデジタル入力です。内部ロジックがシリアル・インタフェースで設定された25kHz、12.5kHz、6.25kHz、または3.125kHzの周波数でTACHAの立ち上がりエッジをカウントし、直前に終了したカウントがシリアル・インタフェースを介してアクセス可能なレジスタに格納されます。最大カウントは255で、カウントがこの数値を超えるとLTC1840は不具合を生じるように設定されています。

ピン機能

このピンはCMOSロジック・スレッシュホールドをもち、不具合を生じない13.125kHzをカウントするように初期設定されています。

TACHB(ピン12)：タコメータ入力B。TACHAを参照してください。

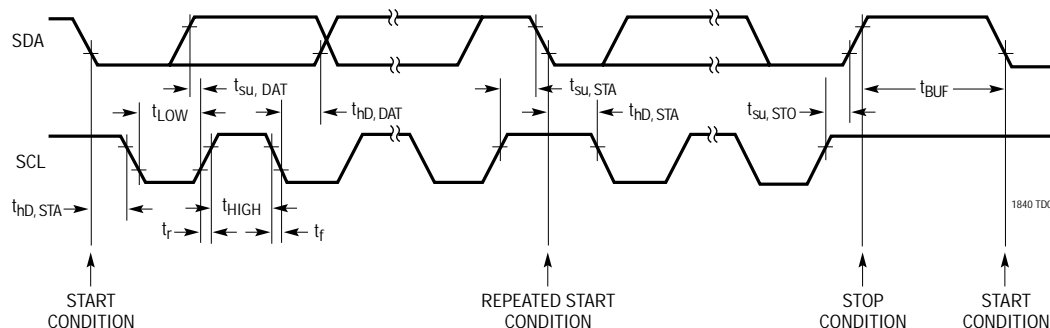
$\overline{\text{BLAST}}$ (ピン13)：プラスト/タイマ機能ピン。これは、プラスト動作とタイマ動作を制御する多機能デジタル入力ピンです。このピンが起動時にロジック・ハイの状態であるか、またはハイからローへ遷移している場合、電流DACの以前の状態を無視し、その出力がフルスケール(100 μA)になるように“プラスト”し、不具合状態を設定します。更に、 $\overline{\text{BLAST}}$ がロジック・ハイの状態の場合には、シリアル通信タイマは有効となっています。この回路はLTC1840への各シリアル通信間の時間を測定し、デバイスが約1分半の間、アクセスされないと、プラストにして不具合に移行します。このピンには1Vのロジック・スレッシュホールドがあります。

I_{DACOUTB} (ピン14)：電流DAC出力B。これは、最大で100 μA のシンク電流出力をもつハイ・インピーダンス出力です。この電流は、シリアル・インタフェースを介して256分の幾つかの値に設定もできますし、または $\overline{\text{BLAST}}$ ピンを使用したり、シリアル通信タイマが有効となっている時にLTC1840が約1分半の間、アクセスされない場合にすぐにフルスケールになるようにプラストすることができます。このピンは、1.1Vの低い電圧から、少なくとも V_{CC} 以上0.75Vまでの非常に厳しい偏差に設定電流を維持します。電流DACは、その全8ビット範囲のわたってモニタリングが保証されます。

I_{DACOUTA} (ピン15)：電流DAC出力A。 I_{DACOUTB} を参照してください。

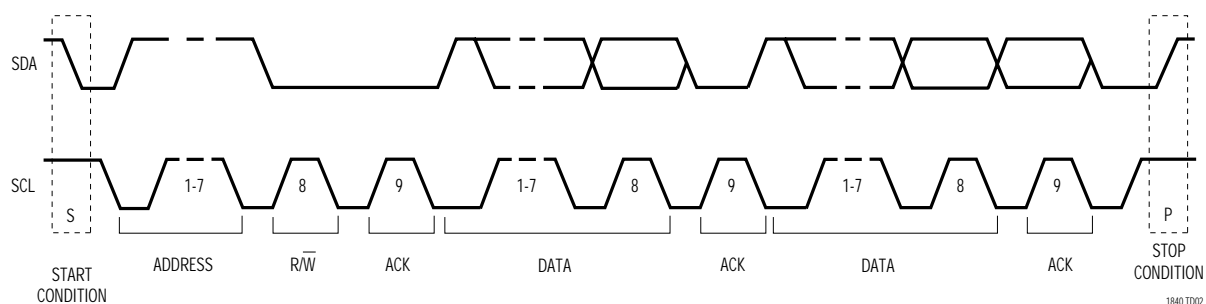
V_{CC} (ピン16)：正電源。このピンをしっかりとグランド(ピン8)にデカップリングしてください。10 μF のタンタル・コンデンサと0.1 μF のセラミック・コンデンサを並列にすることをお勧めします。

タイミング図



動作

標準的な2線シリアル²CまたはSMBusの伝送



動作

シリアル・インタフェース

- ・簡素な2線インタフェース
- ・同一バス上に複数デバイス接続可能
- ・アイドル状態のバスは、SDAおよびSCLラインをハイにしてください。
- ・LTC1840はリード/ライト可能
- ・マスタがバスを制御
- ・デバイスはデータの前に独自のアドレスを読み込みます。

STARTおよびSTOP条件

バスが使用されていない時は、SCLおよびSDAの双方ともハイにしてください。バスのマスタは、SCLがハイの間にSDAをハイからローに遷移するSTART条件で、伝送開始の信号を出します。マスタはスレーブとの通信を終えると、SCLがハイの間にSDAがローからハイに遷移するSTOP条件を出力します。バスはこのとき伝送自由な状態です。

認証

マスタとスレーブ間のハンドシェイク通信のために、認証信号が使用されます。スレーブで生成される認証(LOWアクティブ)は、最後のバイト情報が受信されたことをマスタに知らせます。認証に関連するクロック・パルスはマスタで生成されます。送信マスタは認証クロック・パルスの間、SDAラインを解除(HIGH)します。受信スレーブは認証クロックパルスの間、SDAラインをプル

ダウンしなければならないので、このクロックパルスのHIGH期間の間は安定なLOWのままであり続けます。

受信スレーブがスレーブ・アドレスを認識しない(例えば、リアルタイム機能を行っているために受信できない)場合、スレーブはデータラインをHIGHのままにしなければいけません。そして、伝送を中断するためにマスタがSTOP条件を生成します。

受信スレーブはスレーブ・アドレスを認識するが、伝送中しばらくして、もはやデータ・バイトを受信できなくなった場合、マスタは再び伝送を中断しなければいけません。これはスレーブによって示され、続けて最初のバイト上で“非認識”を生成します。スレーブはデータラインをHIGHのままにし、マスタがSTOP条件を生成します。

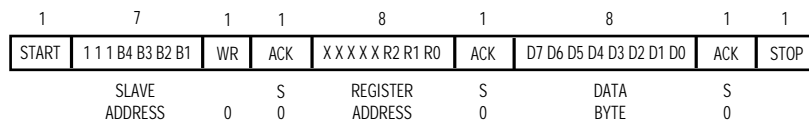
サポートされる命令

LTC1840は、リード・バイト、ライト・バイト、リード・ワード(2番目のデータバイトは全て1)、およびライト・ワード命令(2番目のデータバイトは無視)をサポートします。

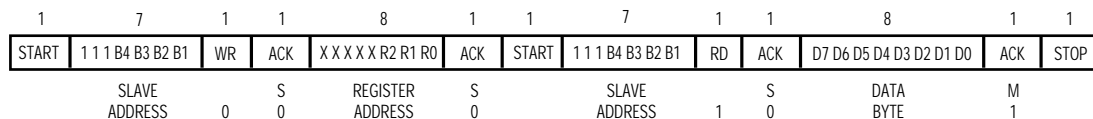
ライト命令のデータ伝送タイミング

誤ったデータがLTC1840に書き込まれないようにするため、ライト命令からのデータは有効な認証が行われた後、のみ、ストアされます。デバイスは、LTC1840がデータ書き込みを認識する期間の終わりを示すSCLの立ち上がりエッジでSDAがローであることを検出してから、続くSCLのロー期間にデータをラッチします。

LTC1840のライト・バイト・プロトコル



LTC1840のリード・バイト・プロトコル



1840TD03

動作

LTC1840のデバイス・アドレス

3ステートのA0およびA1ピンによって、9個の個別アドレスのどれか一つでデバイスが動作するように構成できます。ピンの状態に相当するアドレスを表1に示します。

表1. デバイス・アドレス

LTC1840 Device Address		2-Wire Bus Slave Address Bits			
A0	A1	B4	B3	B2	B1
L	NC	0	0	0	0
NC	H	0	0	0	1
NC	NC	0	0	1	0
H	NC	0	0	1	1
L	L	0	1	0	0
H	H	0	1	0	1
NC	L	0	1	1	0
H	L	0	1	1	1
L	H	1	0	0	0

A0およびA1列のLはピンをグランドすることを示し、HはV_{CC}に接続することを示し、またNCは接続しないことを示します。接続されない場合、ピンの電圧はおおよそV_{CC}/2に設定されます。アドレスのB7、B6、およびB5は111に内部接続されています。

表2. LTC1840のレジスタ・アドレスと内容

Register Name (R/W)	Register Address R2 R1 R0	Data Byte							
		D7	D6	D5	D4	D3	D2	D1	D0
FAULT	000	TACHA FLT (0)	TACHB FLT (0)	Blast (0)	Timer (0)	GPIO4 FLT (0)	GPIO3 FLT (0)	GPIO2 FLT (0)	GPIO1 FLT (0)
STATUS	001	TACHA FLTEN (0)	TACHB FLTEN (0)	DIV1 (0)	DIV0 (0)	*See Note 2 (0/1)	(0)	(0)	(1)
DACA	010	MSB (0)	Bit 6 (0)	Bit 5 (0)	Bit 4 (0)	Bit 3 (0)	Bit 2 (0)	Bit 1 (0)	LSB (0)
DACB	011	MSB (0)	Bit 6 (0)	Bit 5 (0)	Bit 4 (0)	Bit 3 (0)	Bit 2 (0)	Bit 1 (0)	LSB (0)
TACHA	100	Cnt A7 (1)	Cnt A6 (1)	Cnt A5 (1)	Cnt A4 (1)	Cnt A3 (1)	Cnt A2 (1)	Cnt A1 (1)	Cnt A0 (1)
TACHB	101	Cnt B7 (1)	Cnt B6 (1)	Cnt B5 (1)	Cnt B4 (1)	Cnt B3 (1)	Cnt B2 (1)	Cnt B1 (1)	Cnt B0 (1)
GPIO Data	110	GPIO4 Pin (N/A)	GPIO3 Pin (N/A)	GPIO2 Pin (N/A)	GPIO1 Pin (N/A)	GPIO4 Reg (1)	GPIO3 Reg (1)	GPIO2 Reg (1)	GPIO1 Reg (1)
GPIO Setup	111	GPIO4 BLNK (0)	GPIO3 BLNK (0)	GPIO2 BLNK (0)	GPIO1 BLNK (0)	GPIO4 FLTEN (0)	GPIO3 FLTEN (0)	GPIO2 FLTEN (0)	GPIO1 FLTEN (0)

Note1: 括弧内の数字は、起動時のデフォルト・ビット状態を示します。
Note2: ビットの状態は、使用されるスレーブ・アドレスに依存します。

レジスタ・アドレスと制御

不具合状態はフォルト・レジスタへの書き込み動作でクリアできますが、ライト命令からのデータ・バイトが実際にレジスタにロードされてはいません。

TACHA/B FLTビットは、ステータス・レジスタ内の対応するTACHA/B FLTENビットがハイに設定され、対応するTACHA/Bカウンタが最大カウンタの255をオーバーフローする場合にハイになります。これらの不具合は内部でラッチされ、フォルト・レジスタに書き込むことでクリアしなければいけません。フォルト・レジスタへの書き込みの後、まだカウンタがオーバーフローしていると、再度、不具合が発生します。TACH FLTビットはロー状態で起動します。

ブラストとタイマのビットは各々、ブラストやシリアル通信タイマの終了の後、ハイになります。

GPIOX FLTビットがハイの時は、GPIOXピンが不具合状態を生じていることを反映しています。そのためには、不具合を生じるようにGPIO設定レジスタをイネーブル(GPIOX FLTENをハイに設定)しておく必要があり、その後でピンのロジック状態が変化しなければいけません。不具合は内部でラッチされ、ソフトウェアでフォルト・レジスタに書き込んでクリアする必要があります。

動作

フォルト・レジスタが書き込まれる時点からGPIOXピンの状態が変化すると、信号を出して別の不具合を生じるでしょう。

DIV1とDIV0には、タコメータのクロックを生成するために発振器周波数が分割される比率(2、4、8、または16)をプログラムします。DIVビットは、16の周波数分割に相当するローで起動します。例えば、DIV1とDIV0が双方ともハイの時、分割比は2に設定されます。DIV1がハイで、DIV0がローの時、分割比は4に設定されます。DIV1がローで、DIV0がハイの時、分割比は8に設定されます。

TACHAとTACHBレジスタは、UVLO状態によって全て1に設定されます。タコ・カウンタがTACHAピンおよびTACHBピンの立ち上がりエッジの間をカウントします。カウンタがその最大カウントの255をオーバーフローすると、カウンタ結果を保持するラッチは、TACHピンの次のエッジを待たずにすぐに255に設定されます。これが行われると、相当するタコ・レジスタを読み出すことで、突然に停止したり、ロックするロータを容易に検出できます。その他には、レジスタは単に以前のカウントを保持しながら、オーバーフロー・カウントを更新しないタコ信号エッジを待っています。

GPIOデータ・レジスタ内のGPIOXピンのビットはそのピン自身のロジック状態を反映し、GPIOXレジスタのビットはピンの内部プルダウンのゲートを制御する、レジスタ内に格納されたデータを反映しています。GPIOXビットのロジックの極性は、適当な大きさのプルアップ抵抗があるGPIOXピンのものと同様です。(例えば、GPIO1レジスタ・ビットの値1は、内部のNチャンネルMOSFETプルダウンをオフ状態にし、GPIO1ピンに値1を生じます。)デジタル入力として使用されるGPIOに対しては、GPIOXレジスタのビットは内部のプルダウンNチャンネルMOSFETをオフするようにハイに設定され、そのピンの状態は外部で制御することができ、GPIOXピンのビットを介して読み返します。GPIOレジスタのビットはハイ状態で起動します。

GPIO設定レジスタ内のGPIOX BLNKビットは、GPIO上の内部プルダウンがGPIOXレジスタのビットがローの時に約1.5Hzでオン・オフするかどうかを制御します。また、GPIOX FLTENビットは、GPIOピンが状態の変化によって不具合状態をトリガできるかどうかを制御しま

す。GPIO FLTENとGPIO BLNKのビットはロー状態で起動します。

シリアル・インタフェースの例

この例では、LTC1840の2つのアドレス・ピンはオープン(NC)で、DACAの出力電流をフルスケールの半分(50 μ A)に設定します。

SCLがハイの間にSDAをハイからローにしてバスにスタート条件を与え、次にLTC1840のスレーブ・アドレスとしてデバイスに1110010のSDAビット・ストリームを書き込み、そして書き込み動作が続くことを示す0を続けます。全てのSDAの遷移はSCLがローの時に生じる必要があります。もしくはスタート条件またはストップ条件が割り込まれます。そこでLTC1840は、通信の試行にตอบสนองしていることを示すために、SCLクロックの次のフェーズの間にSDAラインをローにします。DACA出力レジスタに書き込むためには、LTC1840に00000010を書き込み、SDAをローにすることで次のSCLサイクルで再びLTC1840が認証を出すのを待ちます。次に、DACA電流を示す値をLTC1840に送ります。10000000のSDAデータ・ストリームを書き込むと、50 μ AシンクするようにDACを設定します。するとLTC1840は、次のSCLサイクルの間にSDAをローにして、三度、認証を出します。そして内部DACAレジスタにデータが書き込まれ、 $I_{DACOUTA}$ は50 μ Aをシンクします。最後に、SCLがハイの間にSDAをローからハイにしてストップ条件を生成します。

タコメータ・インタフェースの動作

ファンに、プロペラ1回転当たり2パルスを生成するタコメータ出力があるのは一般的です。LTC1840には、このパルスの立ち上がりエッジの間をカウントする回路にインタフェースする2つの入力があります。カウントする周波数はシリアル・インタフェースを介して25kHz、12.5kHz、6.25kHz、および3.125kHzに設定でき、各々50kHzの発振器の動作を2、4、8、および16で分周することと同等です。この2入力に相当するカウント値もまた、シリアル・インタフェースを介して読み出すことができます。このカウントを格納している出力レジスタは全て1で起動し、それはまた、ロータの突然の停止を検出するために2つの立ち上がりエッジの間でカウンタがオーバーフローするとすぐに全て1がロードされます。しかし、起動時にファンが回転している間の不要な不具合状態を避けるため、そのような不具合をデフォルト状態が引き起こさないようにする必要があります。

動作

ファンが同時に動作しなければ、オープンドレインのタコメータ出力信号をもつ複数のファンを1個のLTC1840のタコメータ入力にOR配線の形態で接続できます。ファンが同時に回転すると、タコ・レジスタのカウントは無意味になります。

GPIO動作

GPIO回路には、LEDを駆動できるNチャネルMOSFETのオープンドレイン・プルダウンと、GPIOピンのロジック状態にシリアル・インタフェースを介して接続できるリードバック回路の機能があります。そのピンのロジック状態を読み出す回路には、標準的なCMOSスレッシュホールドがあります。プルダウンでの消費電力を最小化するように注意してください。LEDには直列抵抗を接続して、電流を制限し、またLEDの順方向電圧降下が約 $V_{CC} - 0.7V$ より低い場合には内部プルダウン間の電圧降下を制限するようにしてください。NチャネルMOSFETプルダウンは、LEDを駆動するために0.7Vの電圧降下で10mAをシンクできます。LED電流とLTC1840内部の消費電力を制限するために、通常は直列抵抗が必要です。抵抗値は表3を参照してください。

表3．LED抵抗値の推奨

LED Current (mA)	Recommended Series Resistor (Ω)	
	$V_{CC} = 3V$	$V_{CC} = 5V$
1	1k	3k
3	270	910
5	120	510
10	30	240

Note : LED順方向電圧は2Vと仮定する。

FAULT動作

通常、 \overline{FAULT} ピン内部のプルダウンは、フォルト・レジスタ内のフォルト・ビットの一つがハイになる時にだけ、イネーブルされます。しかし、低い V_{CC} 電源のためにPORブロックによってデバイスがシャットダウンする時にもイネーブルされます。このPORの不具合には、相当するフォルト・レジスタのビットはありません。

\overline{BLAST} とタイマ動作

\overline{BLAST} ピンは、DAC出力電流を即時に最大値にするために使用され、そしてまたシリアル・インタフェース・タイマの動作を制御します。デバイスがPORから抜ける時に \overline{BLAST} ピンがハイの場合、またはPORの後で \overline{BLAST} にハイからローへの遷移がある場合にプラストが発生します。 \overline{BLAST} ピンのスレッシュホールドは、 V_{CC} に関係なく、約1Vです。デバイスが約1分半の間、シリアル・インタフェースを介してアドレスされない場合に不具合状態の信号を出すシリアル接続タイマは、 \overline{BLAST} ピンがハイの時にのみ、有効です。プラストと有効なシリアル接続タイマが必要でない時には、このピンをグラウンドに接続します。起動時にプラストを生じずにタイマ動作が必要な場合には、デバイスの電源が立ち上がった後に \overline{BLAST} ピンを約1Vにしてください。フォルト・レジスタに書き込むことで、プラスト状態をクリアできます。

スイッチング・レギュレータへの電流出力DACのインタフェース

電流DACの出力は、ファンの電源であるスイッチング・レギュレータの出力電圧を制御するために使用され、それがファンの回転速度を決定します。レギュレータの出力から帰還ピン、そしてグラウンドへの抵抗分割器は、ファンの最小速度に相当する最小必要電圧がファンに得られるように設定します。つまり、出力から帰還ピンへの抵抗の大きさは、必要な最大と最小ファン電圧の差をDACの公称最大電流出力(100 μ A)で割って選びます。そして、帰還ピンからグラウンドへの抵抗値は分割器の比率から得られ、抵抗値が算出できます。

例えば、レギュレータの帰還ピンがグラウンドに対して1.25Vで、必要な最小ファン電圧が5Vであれば、分割器の上側の抵抗は帰還ノードからグラウンドへの抵抗よりも $(5V - 1.25V)/1.25V=3$ 倍だけ、大きくなります。次に、必要な最大ファン電圧が12Vであれば、上側の抵抗値は $(12V - 5V)/100\mu A = 69.8k$ となり、また下側の抵抗は $69.8k/3=23.2k$ です。図1を参照してください。

動作

LTC1840内の電流出力DACの1.1Vに準拠した電圧よりもレギュレータの帰還ピンの電圧が低い場合には、レギュレータ出力から帰還ピンへの抵抗を2つに分けて、動作するための更なる余裕をDACに与えることができます。図2を参照してください。

1個のレギュレータ出力で2個以上のファンを制御する場合、実際のファン回転速度のわずかな差によって可聴

ビート周波数を生じるかもしれませんが、それは非常にわずらわしいものです。この問題を避けるため、いくつかのファンと直列に抵抗やダイオードを挿入してファンに印加される実際の電圧を変えることができ、結果として回転速度の差が大きくなり、目立つビートは減ります。図3を参照してください。

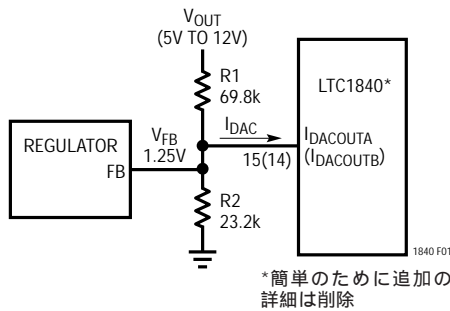


図1 . 1.25Vリファレンス用の帰還分割器

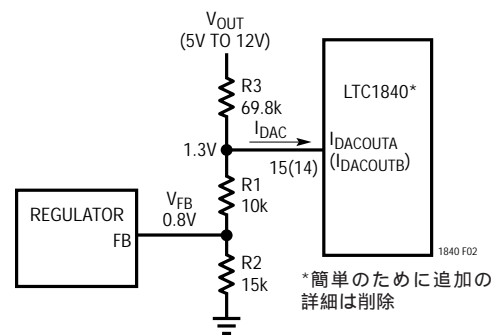


図2 . 0.8Vリファレンス用の帰還分割器

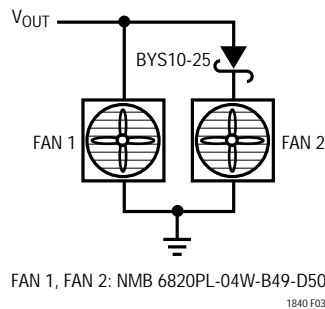
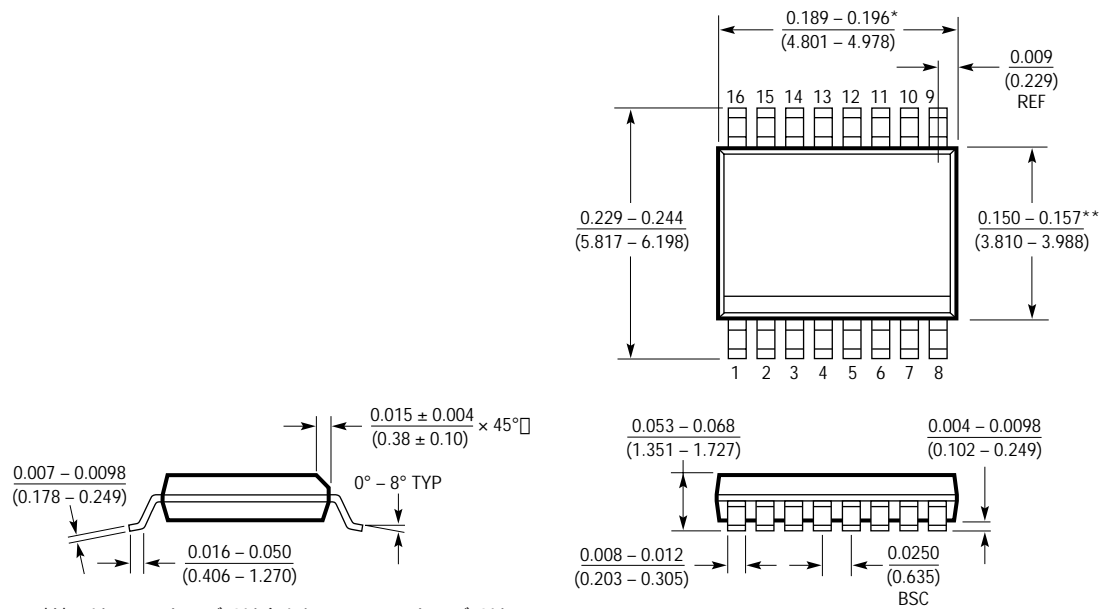


図3 . ビート周波数避けるための直列ダイオード

パッケージ寸法

GNパッケージ
16ピン・プラスチックSSOP(細型0.150インチ)
(参照番号 LTC DWG # 05-08-1641)

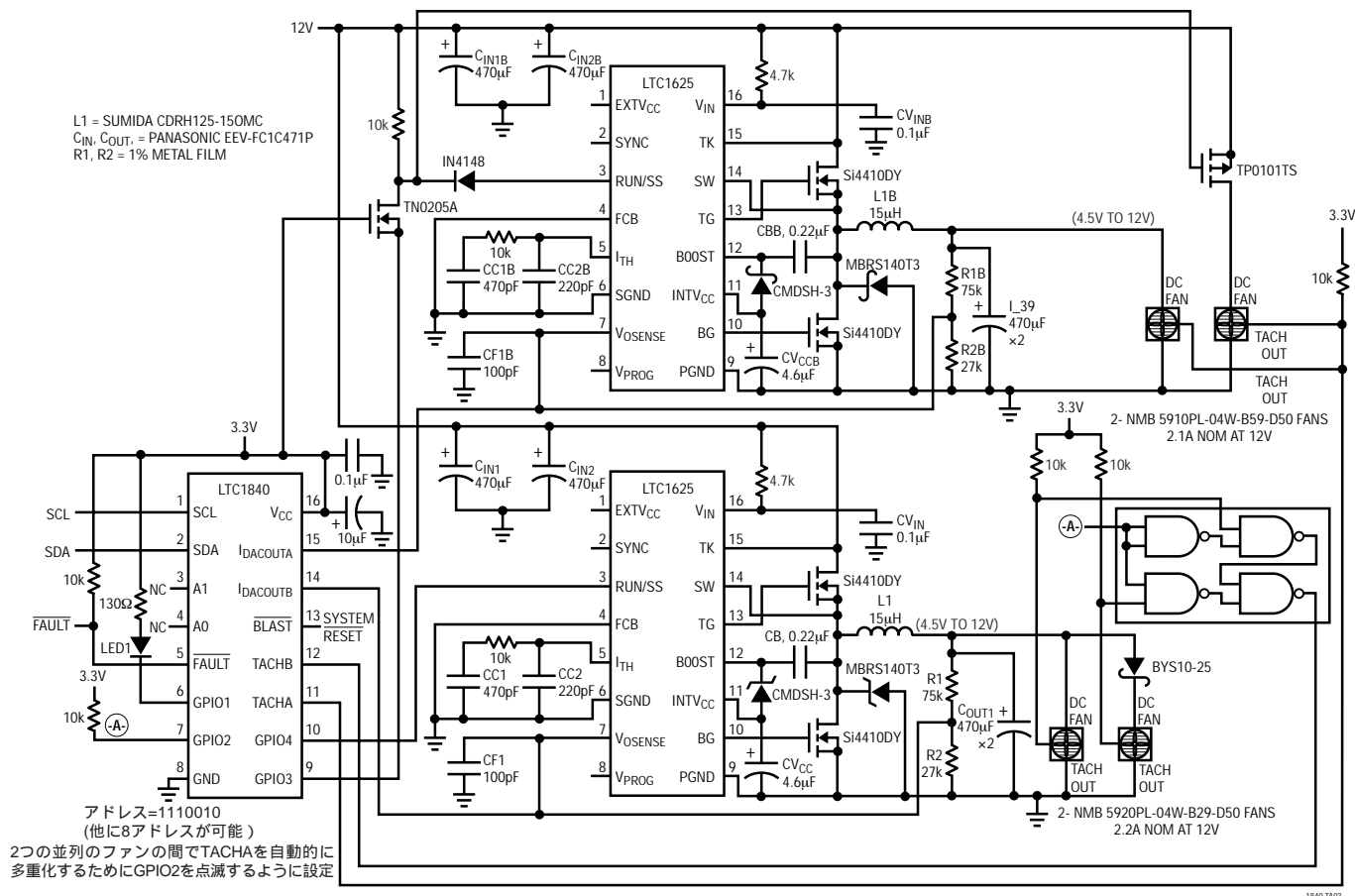


- * 寸法にはモールドのバリは含まない。モールドのバリは片側で0.006" (0.152mm)を超えないこと。
** 寸法にはリード間のバリを含まない。リード間のバリは片側で0.010" (0.254")を超えないこと。

GN16 (SSOP) 1098

標準的応用例

自動プラスト冗長があるファン・ペアと自動タコメータ多重があるファン・ペアの制御



関連製品

製品番号	説明	注釈
LTC1625	No R _{SENSE} TM 、電流モード、同期式降圧スイッチング・レギュレータ	97%までの効率、3MHzまでの動作、外部ダイオード不要、0.85Vの起動電圧
LTC1695	ThinSOT TM 、SMBus/I ² C、ファン速度コントローラ	180mA出力電流定格、0.75 PMOSのリニア・レギュレータ
LTC1694/LTC1694-1	SMBusアクセラレータ	DCとACプルアップ電流内蔵/ACプルアップ電流のみ内蔵
LTC1771	超低消費電流、降圧DC/DCコントローラ	10μA電源電流、93%効率、1.23V ≤ V _{OUT} ≤ 18V、2.8V ≤ V _{IN} ≤ 20V
LTC4300-1	ホットスワップ可能、2線バス・バッファ	活栓挿抜時のSDA、SCL欠落を防止、双方向バス・バッファ、バックプレーンとカードの容量を分離

No R_{SENSE}およびThinSOTはリニアテクノロジー社の商標です。